

(12) **Österreichische Patentanmeldung**

(21) Anmeldenummer:	A 50152/2014	(51) Int. Cl.:	H01L 21/56 (2006.01)
(22) Anmeldetag:	27.02.2014		H01L 23/31 (2006.01)
(43) Veröffentlicht am:	15.09.2015		H01L 23/485 (2006.01)
			H01L 23/00 (2006.01)
			H01L 23/538 (2006.01)
			H05K 3/46 (2006.01)
			H05K 1/18 (2006.01)

(56) Entgegenhaltungen:
US 6154366 A
JP 2001053447 A
US 6271469 B1
US 2011045642 A1

(71) Patentanmelder:
AT&S Austria Technologie & Systemtechnik
Aktiengesellschaft
8700 Leoben (AT)

(72) Erfinder:
Weidinger Gerald
8700 Leoben (AT)
Zluc Andreas
8700 Leoben (AT)

(74) Vertreter:
Patentanwaltskanzlei Matschnig & Forsthuber
OG
WIEN

(54) **Verfahren zum Kontaktieren eines in eine Leiterplatte eingebetteten Bauelements sowie Leiterplatte**

(57) Ein Verfahren zum Kontaktieren eines in eine Leiterplatte (13) eingebetteten Bauelements (6), welches die folgenden Schritte aufweist:

- Bereitstellen eines Cores (1), das zumindest eine Isolierschicht (2) und zumindest eine Leiterschicht (3, 4) aufweist,
- Einbetten zumindest eines Bauelements (6) in eine Isolierschicht, wobei die Anschlüsse (8) des Bauelements im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht (4) aufweisenden Außenfläche des Cores (1) liegen,
- Aufbringen eines photostrukturierbaren Lacks (9) auf die eine Außenfläche unter Ausfüllen der Räume zwischen den Anschlüssen (8) des Bauelements (6),
- Freilegen der Anschlüsse (8) und der von dem photostrukturierbaren Lack (9) bedeckten Gebiete der Leiterschicht (4) durch Belichten und Entwickeln des photostrukturierbaren Lacks,
- durch Anwenden eines semi-additiven Prozesses Ablagern einer Schicht (10) von Leitermaterial auf den freien Stirnflächen der Anschlüsse (8) und Bilden einer Leiterstruktur (12-12) zumindest auf der einen Fläche des Cores (1) sowie der Verbindungsleitungen (11) zwischen den Anschlüssen und der Leiterstruktur (12-12) und
- Entfernen der nicht zur Leiterstruktur (12-12) gehörenden Bereiche der Leiterschicht (4+10).



Fig. 1

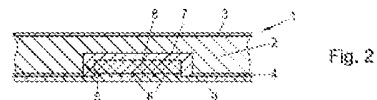


Fig. 2

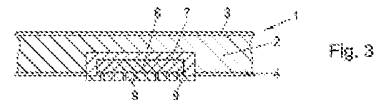


Fig. 3

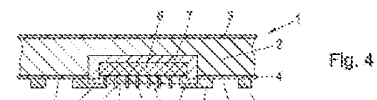


Fig. 4

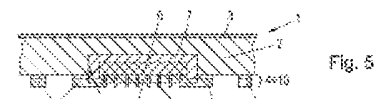


Fig. 5

Zusammenfassung

Ein Verfahren zum Kontaktieren eines in eine Leiterplatte (13) eingebetteten Bauelements (6), welches die folgenden Schritte aufweist:

- a) Bereitstellen eines Cores (1), das zumindest eine Isolierschicht (2) und zumindest eine Leiterschicht (3, 4) aufweist,
- b) Einbetten zumindest eines Bauelements (6) in eine Isolierschicht, wobei die Anschlüsse (8) des Bauelements im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht (4) aufweisenden Außenfläche des Cores (1) liegen,
- c) Aufbringen eines photostrukturierbaren Lacks (9) auf die eine Außenfläche unter Ausfüllen der Räume zwischen den Anschlüssen (8) des Bauelements (6),
- d) Freilegen der Anschlüsse (8) und der von dem photostrukturierbaren Lack (9) bedeckten Gebiete der Leiterschicht (4) durch Belichten und Entwickeln des photostrukturierbaren Lacks,
- e) durch Anwenden eines semi-additiven Prozesses Ablagern einer Schicht (10) von Leitermaterial auf den freien Stirnflächen der Anschlüsse (8) und Bilden einer Leiterstruktur (12-12) zumindest auf der einen Fläche des Cores (1) sowie der Verbindungsleitungen (11) zwischen den Anschlüssen und der Leiterstruktur (12-12) und
- f) Entfernen der nicht zur Leiterstruktur (12-12) gehörenden Bereiche der Leiterschicht (4+10).

Fig. 1 bis 5

Die Erfindung bezieht sich auf ein Verfahren zum Kontaktieren eines in eine Leiterplatte eingebetteten Bauelements.

Weiters bezieht sich die Erfindung auf eine Leiterplatte mit zumindest einer Isolierschicht und zumindest einer strukturierten Leiterschicht mit Leiterbahnen, mit zumindest einem in die Isolierschicht unter Verwendung einer Kleberschicht in eine Vertiefung der Leiterplatte eingebetteten Bauelement, dessen Anschlüsse im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht aufweisenden Außenfläche der Leiterplatte liegen und mit leitenden Verbindungen zwischen den Anschlüssen des Bauelements und Leiterbahnen der Leiterschicht

Das Einbetten von Bauteilen, wie insbesondere von Halbleiterchips, in Leiterplattenstrukturen ist dem Fachmann geläufig, wobei im Rahmen der Erfindung Strukturen betrachtet werden, bei welchen die Anschlüsse des Bauteils im Wesentlichen in einer Ebene an der Außenfläche der Leiterplatte liegen, wobei man auch von „surface embedded components“ spricht. Die elektrischen Anschlüsse des Bauelements müssen mit einer Leiterstruktur kontaktiert werden, wozu verschiedene Wege beschritten wurden.

Beispielsweise zeigt die DE 10 2006 009 723 A1 ein Verfahren zum Einbetten eines Bauelements in eine Leiterplatte und zu dessen Kontaktieren, bei welchem auf ein metallisches Substrat eine erste Isolierschicht mit einer Leiterstruktur aufgebracht wird. Sodann wird ein Fenster bzw. ein Ausschnitt für den Chip in der ersten Schicht erzeugt und in dieses unter Belassen eines Spaltes ein Chip eingesetzt und mit Hilfe eines Klebstoffes auf dem Substrat fixiert. Die Anschlüsse des Chips befinden sich dabei an einer von dem Substrat abgewandten Kontaktseite. Darüber wird eine photostrukturierte zweite isolierende Schicht aufgetragen, welche die Kontaktstellen des Chips freilässt und dann erfolgt durch galvanisches Abscheiden eines Leitermaterials ein elektrisches Kontaktieren zwischen den Chipanschlüssen und der Leiterstruktur auf der ersten Schicht. Nachteilig an dem bekannten Verfahren bzw. dem erhaltenen Produkt ist die Tatsache, dass im Abstandsbereich zwischen Chip und angrenzenden Lagen ein Hohlraum verbleibt, der beim Aufbau weiterer Lagen zu Delaminationsproblemen führen kann.

Eine Aufgabe der Erfindung liegt in der Schaffung eines Verfahrens, mit dessen Hilfe einfach und kostengünstig eine Leiterstruktur in der Ebene der Anschlüsse samt entsprechenden Kontaktierungen erzeugt werden kann, ohne dass die Gefahr des Ablösens von Schichten besteht.

Diese Aufgabe wird mit einem Verfahren der eingangs genannten Art gelöst, welches erfindungsgemäß die folgenden Schritte aufweist:

- a) Bereitstellen eines Cores, das zumindest eine Isolierschicht und zumindest eine Leiterschicht aufweist,
- b) Einbetten zumindest eines Bauelements in eine Isolierschicht, wobei die Anschlüsse des Bauelements im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht aufweisenden Außenfläche der Leiterplatte liegen,

- c) Aufbringen eines photostrukturierbaren Lacks auf die eine Außenfläche unter Ausfüllen der Räume zwischen den Anschlüssen des Bauelements,
- d) Freilegen der Anschlüsse und der von dem photostrukturierbaren Lack bedeckten Gebiete der Leiterschicht durch Belichten und Entwickeln des photostrukturierbaren Lacks,
- e) durch Anwenden eines semi-additiven Prozesses Ablagern von Leitermaterial auf den freien Stirnflächen der Anschlüsse und Bilden einer Leiterstruktur zumindest auf der einen Fläche der Leiterplatte sowie der Verbindungsleitungen zwischen den Anschlüssen und der Leiterstruktur und
- f) Entfernen der nicht zur Leiterstruktur gehörenden Bereiche der Leiterschicht.

Dank der Erfindung kann die „Verdrahtung“ von eingebetteten Bauteilen auf derselben Lage bzw. Ebene wie die Einbettung erfolgen, sodass die Leiterplatten dünner ausgebildet werden können und die oben genannten Probleme der Gefahr eines Ablösens ergeben sich nicht.

Dabei ist es empfehlenswert, wenn das Entfernen der Bereiche der Leiterschicht in Schritt f) durch Flash-Etching erfolgt.

In Hinblick auf die zusätzliche Funktion des photostrukturierbaren Lacks als Bestandteil der fertigen Leiterplatte ist es vorteilhaft, wenn der in Schritt c) verwendete photostrukturierbare Lack ein Epoxid basierter Lack ist.

Bei einer besonders günstigen Variante des erfindungsgemäßen Verfahrens kann vorgesehen sein, dass in Schritt b) das Bauelement unter Verwendung einer Kleberschicht in eine Vertiefung der Leiterplatte eingebettet wird, wobei die Kleberschicht sämtliche Flächen des Bauelements, ausgenommen jene mit den Anschlüssen, vollständig umgibt und im Wesentlichen bis zur Ebene der Oberfläche der Leiterplatte reicht, in welcher die Stirnflächen der Anschlüsse liegen.

Die gestellten Aufgaben werden auch mit einer Leiterplatte der oben angegebenen Art gelöst, bei welcher erfindungsgemäß die Oberflächen der Verbindungen und der Leiterbahnen der Leiterschicht in einer Ebene liegen, die Kleberschicht sämtliche Flächen des Bauelements, ausgenommen jene mit den Anschlüssen, vollständig umgibt, die Räume zwischen den Anschlüssen des Bauelements mit einem ausgehärteten, photostrukturierbaren Lack gefüllt sind und auf den Stirnflächen der Anschlüsse sowie auf einer Leiterschicht der Leiterplatte im Bereich der Leiterbahnen eine zusätzliche Leiterschicht aufgebracht ist.

Bei einer bevorzugten Ausführungsform ist vorgesehen, dass der ausgehärtete, photostrukturierbare Lack die freien Stirnflächen der Kleberschicht zwischen der Außenwandung des Bauelements und der Innenwandung der Vertiefung der Leiterplatte bedeckt.

Die Erfindung samt weiteren Vorteilen ist im Folgenden an Hand einer beispielsweise Ausführungsform des Verfahrens bzw. der Leiterplatte näher beschrieben, was in der Zeichnung veranschaulicht ist. In dieser zeigen

Fig. 1 in einem Schnitt durch einen Teilabschnitt ein in den ersten Schritten des Verfahrens hergestelltes Core mit einer eingebetteten Komponente,

Fig. 2 den Aufbau der Fig. 1 nach Aufbringen eines photostrukturierbaren Lacks,

Fig. 3 den Aufbau nach Belichten und Entwickeln des photostrukturierbaren Lacks,

Fig. 4 den Aufbau nach Ablagern von weiteren Leitermaterial durch Anwenden eines semi-additiven Prozesses und

Fig. 5 den Aufbau der fertigen Leiterplatte nach Wegätzen eines Teils der leitenden Beläge.

Unter Bezugnahme auf die Figuren werden nun das Verfahren nach der Erfindung sowie eine erfindungsgemäße Leiterplatte erläutert. Dabei ist unter dem im Folgenden verwendeten Begriff „Core“ im Rahmen der gegenständlichen Beschreibung ein ausgehärtetes Prepreg mit einer Leiterschicht (Kupferlage) an zumindest einer Oberfläche zu verstehen.

Fig. 1 zeigt einen Teil eines Cores 1, das aus einer Isolierschicht 2, beispielsweise bestehend aus einem in der Leiterplattenindustrie allgemein verwendeten Prepreg-Material, wie FR 4, und einer oberen Leiterschicht 3 sowie einer unteren Leiterschicht 4. An dieser Stelle sei angemerkt, dass sich die Begriffe "oben" und "unten" nur auf die Darstellungen in den Zeichnungen beziehen und zur Erleichterung der Beschreibung verwendet werden. Beispielsweise Schichtdicken sind 100 µm für die Isolierschicht 2 und 1 bis 5 µm, typisch 2 µm, für die obere bzw. untere Leiterschicht 3 bzw. 4.

In dem Core 1 wird eine Vertiefung 5 ausgebildet, in welche ein Bauelement 6 unter Verwendung einer Kleberschicht 7 eingebettet wird, wobei die Schichtdicke dieser Kleberschicht beispielsweise 20 bis 200 µm beträgt. Das Bauelement 6, z.B. ein Halbleiter-Chip, trägt an einer Außenfläche, Anschlüsse 8, z.B. Kupferpads, wobei die Kleberschicht 7 sämtliche Flächen des Bauelements 6, ausgenommen jene mit den Anschlüssen 8, vollständig umgibt und im Wesentlichen bis zur Ebene der Oberfläche des Cores 1 reicht, in welcher die Stirnflächen der Anschlüsse 8 liegen, somit hier der unteren Fläche. Als Kleber kommt beispielsweise ein lösungsmittelfreier bzw. lösungsmittelarmer Epoxidharzkleber mit einem Glaserweichungspunkt zwischen typisch 120° bis 150°C in Frage, der in die Vertiefung 5 gedruckt, eingefüllt oder eingespritzt wird. Nach der Bestückung mit dem Bauelement 6 wird dieser Kleber bei Temperaturen zwischen 110° bis 150°C gehärtet.

In einem nächsten Schritt wird zumindest auf die Außenfläche des Cores 1 mit den Stirnflächen der Anschlüsse 8 ein Epoxid-basierter photostrukturierbarer Lack 9 aufgebracht, wobei auf **Fig. 2** Bezug genommen wird. Beispielsweise für diesen Zweck geeignete Produkte bzw. Materialien sind der Lack XB7081 mit dem Namen Probelec® der Fa. Huntsman oder der aus der lithographischen Galvanikabformung (LIGA) bekannte Fotolack SU-8 der Firma Microchem Corp. Wie man erkennt, füllt der Lack 9 sämtliche Räume zwischen den Anschlüssen 8 des Bauelements 6 aus und erstreckt sich auch über die untere Leiterschicht 4.

Sodann kann mit einem in der Leiterplattenherstellung üblichen fotolithographischen Prozess ein Strukturieren vorgenommen werden, wobei zunächst das Belichten mit einer Filmmaskierung oder durch LDI (Laser Direct Imaging) erfolgt. In der Folge wird entwickelt, nach Wegwaschen mit geeigneten Chemikalien die Strukturierung erhalten und das Material vollständig ausgehärtet. Das Härten erfolgt mit Hilfe üblicher Härtungsmethoden, wie z.B. thermisches Härten, UV- oder IR-Härten, Anwendung von Laserstrahlung etc. Das Strukturieren bzw. Belichten erfolgt in der Weise, dass die Anschlüsse 8, genauer gesagt deren Stirnflächen, freigelegt werden, wozu auf **Fig. 3** verwiesen wird. Dieser Strukturierungsvorgang wird so ausgeführt, dass der ausgehärtete,

photostrukturierbare Lack 9 die freien Stirnflächen der Kleberschicht 7 zwischen der Außenwandung des Bauelements 6 und der Innenwandung der Vertiefung 5 des Core1 bedeckt und die untere Leiterschicht 4 wieder freigelegt wird.

Nach diesem Belichten und Entwickeln wird ein semi-additiver Prozess zum Auftragen von Leitermaterial, i.A. Kupfer, entsprechend der gewünschten Struktur vorgenommen. Dabei wird in den gewünschten Bereichen, insbesondere für Leiterzüge, eine Schicht 10 aus Leitermaterial aufgebracht, welche auch unter Bildung von Verbindungsleitungen 11 von den Stirnflächen der Anschlüsse 8 ausgehend zu der gewünschten Leiterstruktur abgelagert wird. Andererseits wird im Bereich der gewünschten Leiterzüge bzw. Leiterstruktur die untere Leiterschicht 4 verstärkt. Dieses Ergebnis ist in **Fig. 4** ersichtlich.

Da zwischen den Verdickungen der unteren Leiterschicht 4 durch die Schicht 10, welche die Leiterzüge bilden sollen, noch Brücken 4b bestehen, erfolgt in einem weiteren Schritt das Entfernen dieser Brücken 4b und anderen unerwünschten Leitermaterials. Die erfolgt vorzugsweise durch sogenanntes „Flash-Etching“, worunter man das Abätzen der Basiskupferfolie und einen geringen Abtrag der galvanisch aufgetragenen Kupferschichten versteht. Dieser Ätzvorgang erfolgt beispielsweise mit einem sauren Medium, z.B. HCl unter Zugabe H_2O_2 und von Stabilisatoren, wobei die kleinen Kristallite der Basisfolie deutlich schneller aufgelöst werden als die galvanisch abgeschiedenen Schichten und eine selektive Ätzung erreicht wird. Nach diesem Vorgang des Abtragens bzw. Äzens sind auch die Flächen bzw. Räume zwischen den Anschlüssen 9 gereinigt und die endgültigen Leiterbahnen 12 sind freigestellt und fertig gebildet, wozu auf **Fig. 5** verwiesen wird, welche die fertige Leiterplatte 13 mit dem eingebetteten und ankontaktierten Bauelement 6 zeigt.

Bei dem gezeigten Beispiel ist lediglich die Strukturierung der unteren Leiterschicht 4 beschrieben, doch sollte es klar sein, dass auch die obere Leiterschicht 3 in gleicher Weise strukturiert sein kann. Auch ist es möglich, Vias (leitende Durchkontaktierungen) zwischen den beiden Leiterschichten zu bilden, ebenso wie weitere Isolier- und Leiterschichten aufgebaut werden können.

Es sollte schließlich klar sein, dass die Darstellungen der Figuren 1 bis 5 im Allgemeinen nur Ausschnitte aus einer größeren Leiterplattenstruktur zeigen, und in der Praxis auf einer Leiterplatte mehrere Bauelemente an unterschiedlichen Stellen eingebettet und mit Leiterstrukturen verbunden sein können.

Patentansprüche

1. Verfahren zum Kontaktieren eines in eine Leiterplatte (13) eingebetteten Bauelements (6), **gekennzeichnet durch die folgenden Schritte:**

- a) Bereitstellen eines Cores (1), das zumindest eine Isolierschicht (2) und zumindest eine Leiterschicht (3, 4) aufweist,
- b) Einbetten zumindest eines Bauelements (6) in eine Isolierschicht, wobei die Anschlüsse (8) des Bauelements im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht (4) aufweisenden Außenfläche des Cores (1) liegen,
- c) Aufbringen eines photostrukturierbaren Lacks (9) auf die eine Außenfläche unter Ausfüllen der Räume zwischen den Anschlüssen (8) des Bauelements (6),
- d) Freilegen der Anschlüsse (8) und der von dem photostrukturierbaren Lack (9) bedeckten Gebiete der Leiterschicht (4) durch Belichten und Entwickeln des photostrukturierbaren Lacks,
- e) durch Anwenden eines semi-additiven Prozesses Ablagern einer Schicht (10) von Leitermaterial auf den freien Stirnflächen der Anschlüsse (8) und Bilden einer Leiterstruktur (12-12) zumindest auf der einen Fläche des Cores (1) sowie der Verbindungsleitungen (11) zwischen den Anschlüssen und der Leiterstruktur (12-12) und
- f) Entfernen der nicht zur Leiterstruktur (12-12) gehörenden Bereiche der Leiterschicht (4+10).

2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass** das Entfernen der Bereiche der Leiterschicht (4+10) in Schritt f) durch Flash-Etching erfolgt.

3. Verfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet, dass** der in Schritt c) verwendete photostrukturierbare Lack (9) ein Epoxid basierter Lack ist.

4. Verfahren nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet, dass** in Schritt b) das Bauelement (6) unter Verwendung einer Kleberschicht (7) in eine Vertiefung des Cores (1) eingebettet wird, wobei die Kleberschicht sämtliche Flächen des Bauelements, ausgenommen jene mit den Anschlüssen (8), vollständig umgibt und im Wesentlichen bis zur Ebene der Oberfläche der Leiterplatte (13) reicht, in welcher die Stirnflächen der Anschlüsse liegen.

5. Leiterplatte (13) mit zumindest einer Isolierschicht (2) und zumindest einer strukturierten Leiterschicht (4+10) mit Leiterbahnen (12), mit zumindest einem in die Isolierschicht unter Verwendung einer Kleberschicht (7) in eine Vertiefung (5) der Leiterplatte eingebetteten Bauelement (6), dessen Anschlüsse im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht aufweisenden Außenfläche der Leiterplatte liegen und mit leitenden Verbindungen (11) zwischen den Anschlüssen des Bauelements und Leiterbahnen (12) der Leiterschicht,

dadurch gekennzeichnet, dass

die Oberflächen der Verbindungen (11) und der Leiterbahnen (12) der Leiterschicht (4+10) in einer Ebene liegen,

die Kleberschicht (9) sämtliche Flächen des Bauelements (6), ausgenommen jene mit den Anschlüssen (8), vollständig umgibt,

die Räume zwischen den Anschlüssen (8) des Bauelements (6) mit einem ausgehärteten, photostrukturierbaren Lack (9) gefüllt sind und

auf den Stirnflächen der Anschlüsse (8) sowie auf einer Leiterschicht (4) der Leiterplatte im Bereich der Leiterbahnen (12) eine zusätzliche Leiterschicht (10) aufgebracht ist.

6. Leiterplatte (13) nach Anspruch 5, dadurch gekennzeichnet, dass der ausgehärtete, photostrukturierbare Lack (9) die freien Stirnflächen der Kleberschicht (11) zwischen der Außenwandung des Bauelements (6) und der Innenwandung der Vertiefung (5) der Leiterplatte bedeckt.

1/1

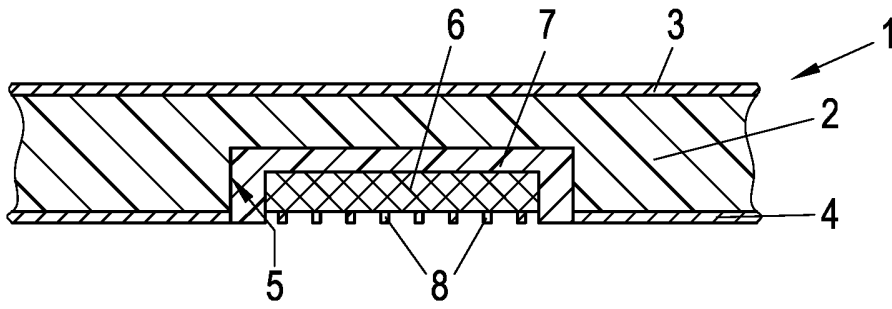


Fig. 1

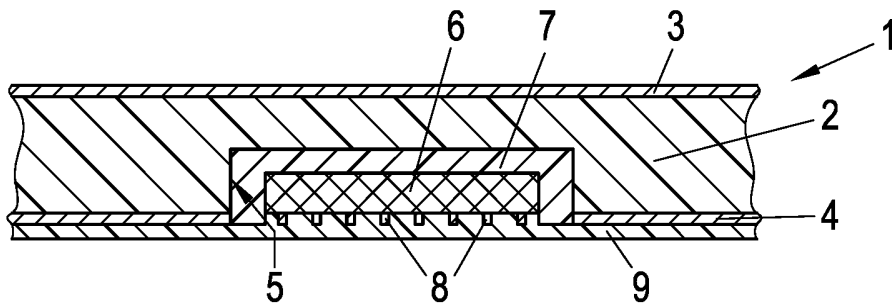


Fig. 2

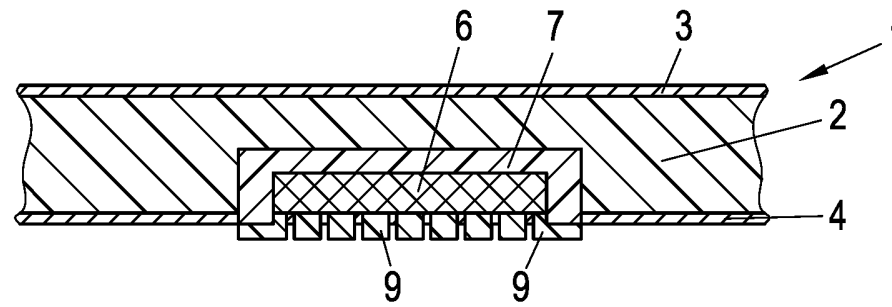


Fig. 3

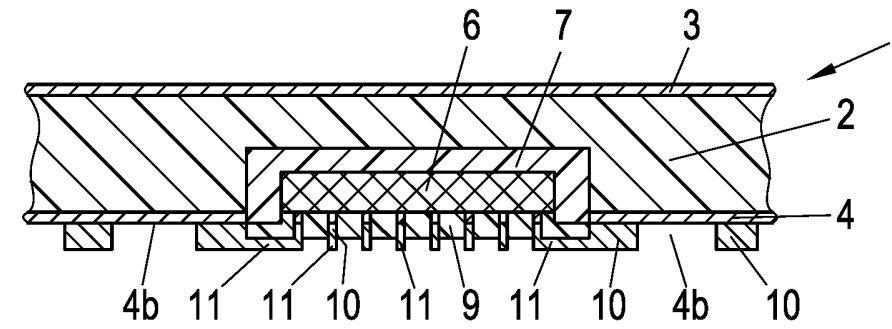


Fig. 4

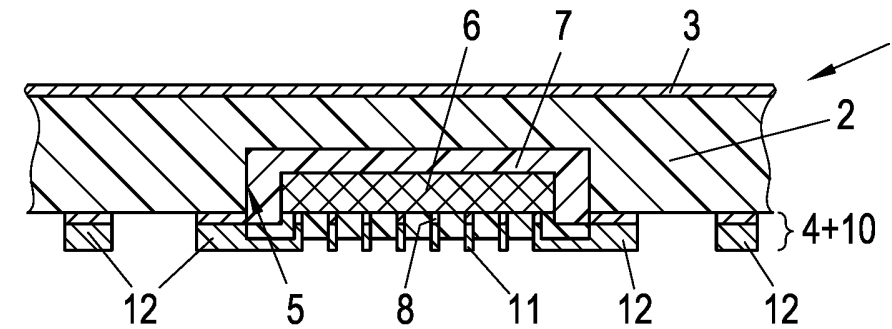


Fig. 5

Klassifikation des Anmeldegegenstands gemäß IPC:
H01L 21/56 (2006.01); **H01L 23/31** (2006.01); **H01L 23/485** (2006.01); **H01L 23/00** (2006.01); **H01L 23/538** (2006.01); **H05K 3/46** (2006.01); **H05K 1/18** (2006.01)

Klassifikation des Anmeldegegenstands gemäß CPC:
H01L 21/56 (2013.01); **H01L 23/3135** (2013.01); **H01L 23/485** (2013.01); **H01L 24/96** (2013.01); **H01L 23/5389** (2013.01); **H05K 3/4602** (2013.01); **H05K 1/188** (2013.01); **H01L 2224/215** (2013.01); **H01L 2224/73265** (2013.01); **H01L 2924/18162** (2013.01)

Recherchiertes Prüfverfahren (Klassifikation):
 H01L, H05K

Konsultierte Online-Datenbank:
 WPI, EPODOC, IEEEExplore, ScienceDirect

Dieser Recherchenbericht wurde zu den am **27.02.2014** eingereichten Ansprüchen **1-6** erstellt.

Kategorie ¹⁾	Bezeichnung der Veröffentlichung: Ländercode, Veröffentlichungsnummer, Dokumentart (Anmelder), Veröffentlichungsdatum, Textstelle oder Figur soweit erforderlich	Betreffend Anspruch
X	US 6154366 A (MA et al.) 28. November 2000 (28.11.2000) Figuren; Zusammenfassung; Spalte 1, Zeilen 41-48.	1-6
X	JP 2001053447 A (IWAKI DENSHI KK) 23. Februar 2001 (23.02.2001) Figuren; Englische Zusammenfassung.	1-6
X	US 6271469 B1 (MA et al.) 07. August 2001 (07.08.2001) Figuren; Zusammenfassung; Spalte 2, Zeilen 28-45.	1-6
X	US 2011045642 A1 (HIZUME et al.) 24. Februar 2011 (24.02.2011) Figuren 1-3, 9-11; Zusammenfassung; Paragrafen 0027, 0028.	1-6

Datum der Beendigung der Recherche: 01.12.2014	Seite 1 von 1	Prüfer(in): MESA PASCASIO Johannes
---	---------------	---------------------------------------

¹⁾ **Kategorien** der angeführten Dokumente:

- X** Veröffentlichung **von besonderer Bedeutung**: der Anmeldegegenstand kann allein aufgrund dieser Druckschrift nicht als neu bzw. auf erfinderischer Tätigkeit beruhend betrachtet werden.
- Y** Veröffentlichung **von Bedeutung**: der Anmeldegegenstand kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren weiteren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese **Verbindung für einen Fachmann naheliegend** ist.
- A** Veröffentlichung, die den allgemeinen **Stand der Technik** definiert.
- P** Dokument, das von **Bedeutung** ist (Kategorien **X** oder **Y**), jedoch **nach dem Prioritätstag** der Anmeldung veröffentlicht wurde.
- E** Dokument, das **von besonderer Bedeutung** ist (Kategorie **X**), aus dem ein „**älteres Recht**“ hervorgehen könnte (früheres Anmeldedatum, jedoch nachveröffentlicht, Schutz ist in Österreich möglich, würde Neuheit in Frage stellen).
- &** Veröffentlichung, die Mitglied der selben **Patentfamilie** ist.

Geänderte Patentansprüche

1. Verfahren zum Kontaktieren eines in eine Leiterplatte (13) eingebetteten Bauelements (6), gekennzeichnet durch die folgenden Schritte:

- a) Bereitstellen eines Cores (1), das zumindest eine Isolierschicht (2) und zumindest eine auf der Isolierschicht (2) aufgebraute Leiterschicht (3, 4) aufweist,
- b) Einbetten zumindest eines Bauelements (6) in eine Vertiefung (5) der Isolierschicht (2), wobei die Anschlüsse (8) des Bauelements (6) im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht (4) aufweisenden Außenfläche des Cores (1) liegen,
- c) Aufbringen eines photostrukturierbaren Lacks (9) auf die eine Außenfläche des Cores (1), an der das Bauelement (6) angeordnet ist, unter Ausfüllen der Räume zwischen den Anschlüssen (8) des Bauelements (6),
- d) Freilegen von Stirnflächen der Anschlüsse (8) und der von dem photostrukturierbaren Lack (9) bedeckten Gebiete der Leiterschicht (4) durch Belichten und Entwickeln des photostrukturierbaren Lacks (9),
- e) durch Anwenden eines semi-additiven Prozesses Ablagern einer Schicht (10) von Leitermaterial auf den freigelegten Stirnflächen der Anschlüsse (8) sowie den freigelegten Gebieten der Leiterschicht (4) und Bilden einer Leiterstruktur (12-12) zumindest auf der einen Außenfläche des Cores (1), an der das Bauelement (6) angeordnet ist, sowie der Verbindungsleitungen (11) zwischen den Anschlüssen (8) und der Leiterstruktur (12-12) und
- f) Entfernen der nicht zur Leiterstruktur (12-12) gehörenden Bereiche der Leiterschicht (4+10).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Entfernen der Bereiche der Leiterschicht (4+10) in Schritt f) durch Flash-Etching erfolgt.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der in Schritt c) verwendete photostrukturierbare Lack (9) ein Epoxid basierter Lack ist.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass in Schritt b) das Bauelement (6) unter Verwendung einer Kleberschicht (7) in eine Vertiefung (5) des Cores (1) eingebettet wird, wobei die Kleberschicht (7) sämtliche Flächen des Bauelements (6), ausgenommen jene mit den Anschlüssen (8), vollständig umgibt und im Wesentlichen bis zur Ebene der Oberfläche der Leiterplatte (13) reicht, in welcher die Stirnflächen der Anschlüsse liegen.

5. Leiterplatte (13) mit zumindest einer Isolierschicht (2) und zumindest einer strukturierten Leiterschicht (4+10) mit Leiterbahnen (12), mit zumindest einem in die Isolierschicht (2) unter Verwendung einer Kleberschicht (7) in eine Vertiefung (5) der Leiterplatte (13) eingebetteten Bauelement (6), dessen Anschlüsse (8) im Wesentlichen in der Ebene einer die zumindest eine Leiterschicht (4) sowie die Vertiefung (5) aufweisenden Außenfläche der Leiterplatte (13) liegen und mit leitenden Verbindungen (11) zwischen den Anschlüssen (8) des Bauelements (6) und Leiterbahnen (12) der strukturierten Leiterschicht (4+10),

dadurch gekennzeichnet, dass

die Oberflächen der leitenden Verbindungen (11) und der Leiterbahnen (12) der strukturierten Leiterschicht (4+10) in einer Ebene liegen,

die Kleberschicht (9) sämtliche Flächen des Bauelements (6), ausgenommen jene mit den Anschlüssen (8), vollständig umgibt,

die Räume zwischen den Anschlüssen (8) des Bauelements (6) mit einem ausgehärteten, photostrukturierbaren Lack (9) gefüllt sind und

auf den Stirnflächen der Anschlüsse (8) sowie auf einer Leiterschicht (4) der Leiterplatte (13) im Bereich der Leiterbahnen (12) eine zusätzliche Leiterschicht (10) aufgebracht ist.

6. Leiterplatte (13) nach Anspruch 5, dadurch gekennzeichnet, dass der ausgehärtete, photostrukturierbare Lack (9) die freien Stirnflächen der Kleberschicht (7) zwischen der Außenwandung des Bauelements (6) und der Innenwandung der Vertiefung (5) bedeckt.

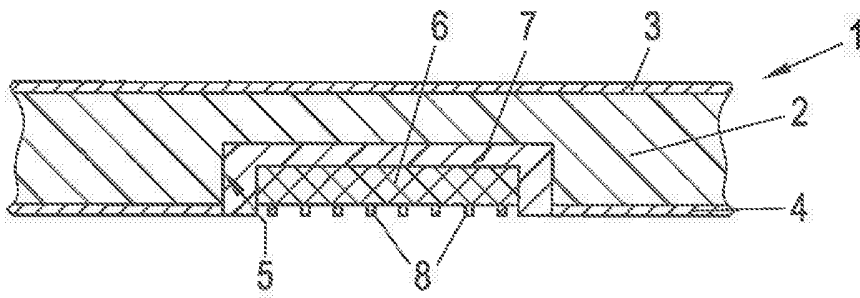


Fig. 1

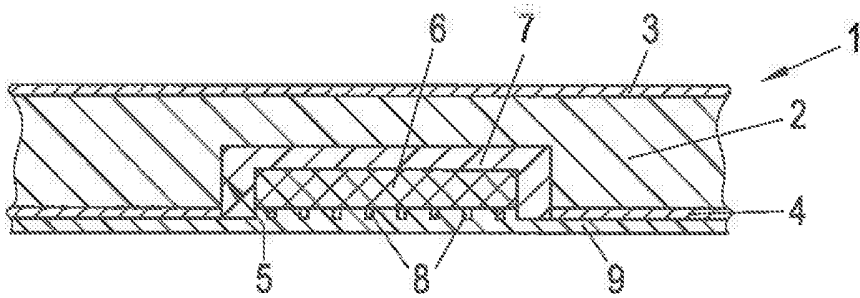


Fig. 2

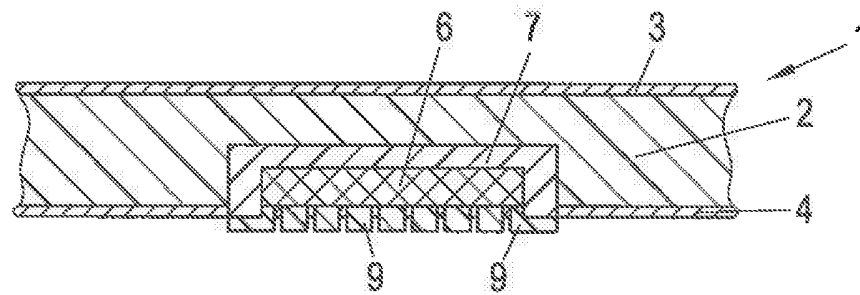


Fig. 3

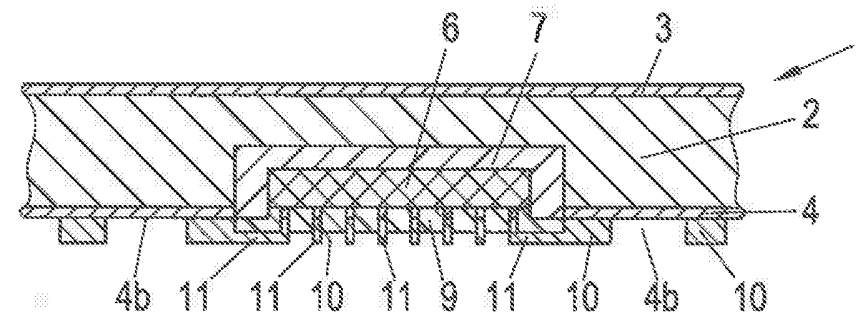


Fig. 4

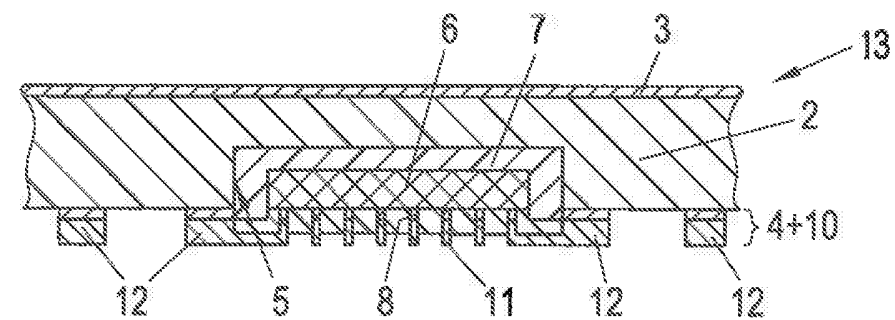


Fig. 5