(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G02F 1/133

(45) 공고일자 2005년03월08일
(11) 등록번호 10-0473128
(24) 등록일자 2005년02월15일

(21) 출원번호 10-2001-0016809
(22) 출원일자 2001년03월30일

(65) 공개번호 10-2001-0095149
(43) 공개일자 2001년11월03일

(30) 우선권주장 2000-099889 2000년03월31일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 쯔쯔이유스께
일본기후껭하시마시후꾸주쪼히라까따7-35

기따가와마꼬또
일본기후껭안빠찌궁스노마따쪼시모주꾸615-24

고바야시미쯔구
일본아이찌껭나고야시미도리꾸나루오까1쪼메815

우에하라히사오
일본기후껭오가끼시만고꾸1쪼메4-1

(74) 대리인 장수길
이중희
구영창

심사관 : 고종욱

(54) 차지펌프형 전원 회로 및 이것을 이용한 표시 장치용 구동장치 및 표시 장치

요약

표시 장치 등의 전원 시스템에 있어서, 간단한 구성으로 파워 세이브 모드에 대응 가능하게 한다. 액정 등의 표시 장치의 구동 회로가 파워 세이브 모드가 아닌 통상 표시 동작시, 시스템 클럭에 기초하여 전원용 클럭 1, 2을 발생하여, 이것을 차지펌프형 전원 회로(300)의 캐패시터 C1 및 C2 (및 C11과 C12)의 접속을 전환하는 스위치 SW1～SW4 (및 SW5～SW8)에 직접 및 반전하여 공급한다. 이에 따라, 전원 회로(300)는 입력 전압 Vin을 승압하여 구동 회로(100)나 표시 패널(200)의 구동 전원이 되는 전원 전압 VDD2, VDD3을 얻을 수 있다. 구동 회로(100)는 파워 세이브 모드에의 이행이 명령되어 CPUI/F 회로(16)가 발생하는 파워 세이브 제어 신호가 변화하면, 이것에 따라서 전원용 클럭의 전원 회로(300)에의 공급을 끊고, 이에 따라 전원 전압의 발생이 정지하여, 전원으로부터 전력 공급을 받아 동작하는 회로나 표시 패널에서의 전력 소비가 정지한다.

대표도

도 1

색인어

래치 회로, 디지털 아날로그(D/A) 변환 회로, CPU 인터페이스 회로, 표시 장치, 차지펌프형 전원 회로, 전원용 클럭 발생 회로

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태에 따른 표시 장치의 구성을 나타내는 도면.

도 2는 본 발명의 실시 형태에 따른 표시 장치의 차지펌프형 전원 회로의 구성을 나타내는 도면.

도 3은 본 발명의 실시 형태에 따른 표시 장치의 CPU 인터페이스 회로 및 타이밍 컨트롤러 내의 전원용 클럭 작성 회로의 구성을 나타내는 도면.

도 4는 본 발명의 실시 형태에 따른 표시 장치용 구동부의 동작을 설명하기 위한 타이밍차트.

도 5는 도 1의 LCD 패널(200)의 입력부 구성을 나타내는 도면.

도 6은 종래의 휴대 기기용 액정 표시 장치의 구성을 나타내는 도면.

도 7은 도 5의 전원 회로(350)의 구성을 나타내는 도면.

<도면의 주요 부분에 대한 간단한 설명>

10 : 래치 회로

12 : 디지털 아날로그(D/A) 변환 회로

14 : 증폭기

16 : CPU 인터페이스 회로(CPU I/F)

18 : 타이밍 컨트롤러(T/C)

30, 170, 171, 172, 173 : 인버터

100 : 구동 회로

161, 162, 163, 164, 165, 166, 167, 168 : 플립플롭(F/F)

169 : AND 게이트

174 : NAND 게이트

180 : 전원용 클럭 발생 회로(AND 게이트)

200 : 표시 패널(LCD 패널)

300 : 전원 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전원 발생 시스템, 예를 들면, 표시 장치 등의 구동부에 유용한 파워 세이브 모드에 대응 가능한 전원 발생 시스템에 관한 것이다.

액정 표시 장치나 유기 EL 표시 장치 등에 대표되는 평면 표시 장치는 박형이며 경량 또한 저소비 전력이기 때문에, 휴대 전화 등의 휴대 기기의 표시 장치로서 우수하여, 많은 휴대 기기에 이용되고 있다.

도 6은 휴대 전화의 표시 장치로서 이용되는 액정 표시 장치의 구성을 보이고 있다. 액정 표시 장치는 한쌍의 기판 사이에 액정이 봉입되어 구성된 액정 표시(LCD) 패널(200)과, 이 LCD 패널(200)을 구동하는 구동 회로(101)와, 구동 회로(101) 및 LCD 패널(200)에 필요한 전원을 공급하는 전원 회로(350)를 구비하고 있다.

구동 회로(101)는 공급되는 RGB 디지털 데이터를 래치하는 래치 회로(10), 래치한 데이터를 아날로그 데이터로 변환하는 D/A 변환 회로(12), 변환된 아날로그 데이터를 증폭하여, 액정 표시 패널(200)에 R, G, B 아날로그 표시 데이터를 공급하는 증폭기(14)를 구비한다. 또한 구동 회로(101)는 타이밍 컨트롤러(T/C; 22)와, 도시하지 않은 CPU

에서 명령을 수취하여 명령에 따른 제어 신호를 출력하는 CPU 인터페이스(I/F) 회로(20)를 구비한다. T/C(22)는 도트 클럭 DOTCLK, 수평 동기 신호 Hsync, 수직 동기 신호 Vsync 등의 타이밍 신호에 기초하여, 액정 표시 패널(200)에서의 표시에 적합한 타이밍 신호를 발생하고 있다.

전원 회로(350)는 필요에 따라서 복수의 전원 전압을 발생하고 있고, 여기서는 저전압 구동에 적합한 CMOS 논리 회로로 구성되는 래치 회로(10)에는 저전압의 전원 전압 VDD1를 공급하고, D/A 변환 회로(12), 증폭기(14)에는 보다 고전압의 전원 전압 VDD2, LCD 패널(200)에는 더욱 높은 전원 전압 VDD3을 공급하고 있다.

도 7은 고전압 VDD2 (입력 전압의 2배)를 발생하는 것이 가능한 종래의 전원 회로(350)의 구성을 보이고 있다. 이 전원 회로(350)는 차지펌프형 회로이고, 2개의 캐패시터 C1, C2와, 이 캐패시터에의 입력 전압의 공급 루트를 전환하는 스위치 SW1～SW4, 이 스위치 SW1～SW4의 개폐를 전환 제어하기 위한 펄스 신호를 발생하는 발진 회로(35), AND 게이트(37) 및 NAND 게이트(39)를 구비하고 있다. 발진 회로(35)는 예를 들면 듀티비 1/2의 펄스 신호를 발생하여, 이 펄스 신호가 AND 게이트(37)를 통해 스위치 SW1 및 SW2에 공급되고, NAND 게이트(39)를 통해 스위치 SW3 및 SW4에 공급되어, 스위치 SW1 및 SW2과, 스위치 SW3 및 SW4을 교대로 개폐하고 있다. 스위치 SW3 및 SW4이 폐쇄하면, 캐패시터 C1의 도면 중 상측의 전극에 입력 전압 VIN이 인가되고, 하측의 전극은 접지(GND) 전위가 되어, 캐패시터 C1가 충전된다. 다음의 타이밍에서 스위치 SW3 및 SW4이 개방하고 반대로 스위치 SW1 및 SW2이 폐쇄하면, 캐패시터 C1의 도면 중 하측 전극에 입력 전압 VIN이 인가되고, 캐패시터 C1의 상측 전극의 전위가 입력 전압 VIN의 2배의 전위까지 승압되어, 캐패시터 C1의 상측 전극과 캐패시터 C2의 사이에서 인출된 출력단으로부터 입력 전압 VIN의 2배의 출력 전압 VDD2을 얻고 있다.

그런데, 예를 들면 휴대 전화 등의 휴대 기기에 있어서는, 소비 전력 저감의 요구가 매우 강하고, 이러한 기기에 이용되는 표시 장치에 관해서도 소비 전력의 한층의 저하가 구해지고 있다. 이 요구에 대응하기 위해서, 종래부터 비동작 시에는 장치 전원을 오프하고, 비동작 시에서의 장치의 소비 전력 삭감을 행하는 파워 세이브 모드가 채용되고 있다. 그리고, 도 6에 도시하는 표시 장치에서도 이 파워 세이브 모드에 대응하고 있고, I/F 회로(20)가 도시하지 않은 CPU에서 송출되는 파워 세이브 제어 명령을 해석하여, 파워 세이브 제어 신호를 발생하고 있다. 파워 세이브 제어 신호는, 예를 들면, 통상 동작 시에는 H 레벨, 파워 세이브시에는 L 레벨이 되는 신호로, 도 7에 도시한 바와 같이 전원 회로(350)의 발진 회로(35)와, AND 게이트(37) 및 NAND 게이트(39)의 한쪽의 입력에 공급되고 있다.

전원 회로(350)의 발진 회로(35)는 상기 파워 세이브 제어 신호가 H 레벨이면 통상대로 펄스 신호를 발생하고, 또한, AND 게이트(37) 및 NAND 게이트(39)의 한쪽의 입력에는, 이 H 레벨의 파워 세이브 제어 신호가 공급되고 있기 때문에, AND 게이트(37)로부터는 발진 회로(35)로부터의 펄스 신호와 동위상의 펄스 신호가 출력되고, NAND 게이트(39)로부터는 발진 회로(35)로부터의 펄스 신호와 역 위상의 펄스 신호가 출력된다. 파워 세이브시가 되어 파워 세이브 제어 신호가 L 레벨이 되면, 발진 회로(35)는 정지하고, 또한 AND 게이트(37)의 출력은 L 레벨에 고정, NAND 게이트(39)의 출력이 H 레벨에 고정된다. 이 때문에 스위치 SW1～SW4의 전환 동작이 정지하여, 캐패시터 C1 및 C2이 방전되어 출력 전압이 저하하여, 전원 회로(350)가 오프 제어된다.

이와 같이, 파워 세이브시에 표시 장치의 구동 회로(101)나 LCD 패널(200)에 공급되는 전원 전압을 오프 제어하면, 구동 회로(101)나 LCD 패널(200)에서의 전력 소비가 없어져, 표시 장치에 있어서의 소비 전력을 세이브하는 것을 가능하게 하고 있다.

발명이 이루고자 하는 기술적 과제

상술의 구동 회로(101)는, 현재, 대부분의 경우 원칩으로서 IC 화되어 있지만, 전원 회로(350)는 캐패시터나 발진 회로를 필요로 하고 있고, 구동 IC(101)와는 별개의 외부 부착 회로로 구성하지 않을 수 없다.

그러나, 휴대 전화 등의 휴대 기기에 있어서는, 소비 전력 저감뿐만 아니라, 또 다른 경량화, 소형화, 박형화, 비용 저감의 실현이 강하게 요구되고 있다. 따라서, 이러한 환경에서, 발진 회로(35)와 같은 외부 부착 회로는, 그 존재 자체, 그리고 회로점유 면적이 큰 문제가 된다. 게다가, 전원 회로(350)가 파워 세이브 모드에 대응하기 위해서는, 발진 회로(35)가 파워 세이브 모드 대응 기능을 구비하고 있지 않으면 안되어, 발진 회로(35)의 간이화, 소형화도 용이하지가 않다.

상기 과제를 해결하기 위해서, 본 발명은 보다 간단한 구성으로 효율적으로 파워 세이브 모드에 대응 가능한 전원, 예를 들면 표시 장치용의 전원 회로를 실현하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기위해서 본 발명은, 이하와 같은 특징을 갖는다.

본 발명은, 복수의 스위치 및 복수의 캐패시터를 구비하는 차지펌프형 전원 회로로서, 소정 시스템 클럭을 이용하여 동작하는 집적 회로가 그 시스템 클럭을 이용하여 작성한 전원용 클럭에 기초하여, 상기 복수의 스위치를 전환 제어하여, 입력 전압을 승압하여 전원 전압을 발생하는 것을 특징으로 한다.

본 발명의 다른 특징은, 표시 장치용 구동 장치에 있어서, 소정 시스템 클럭을 이용하여 동작하여 표시부에 표시를 행하게 하기 위한 신호를 발생하는 구동 회로와, 복수의 스위치 및 복수의 캐패시터를 구비하여, 입력 전압을 n배 또는 -n배하여 표시 장치를 위한 전원 전압을 발생하는 차지펌프형 전원 회로를 지니고, 상기 구동 회로는 더욱 상기 시스템 클럭을 이용하여 전원용 클럭을 발생하고, 상기 전원 회로는 그 전원용 클럭에 기초하여 상기 복수의 스위치를 전환 제어하여 상기 전원 전압을 발생하는 것이다. 또, 상기 n은, 1 이상의 정수이다.

이와 같이, 전원 회로가 시스템 클럭을 이용하여 구동 회로 등의 집적 회로가 발생한 전원용 클럭을 이용하여 전원을 발생하는 구성이라고 하면, 전원 회로내에 발진 회로를 별도 설치할 필요가 없다. 또한, 집적 회로는 대부분의 경우, 내장 클럭이나 외부 클럭 등의 시스템 클럭을 이용하여 동작하기 때문에, 이러한 시스템 클럭을 이용하면, 간단한 구성이며, 또한 집적화가 용이한 구성에 의해 전원용 클럭을 발생하는 것이 가능해진다.

본 발명의 다른 특징은 상기 전원 회로 또는 구동 장치에 있어서, 상기 구동 회로는 파워 세이브 제어 명령에 기초하여 상기 전원용 클럭의 발생을 정지하고, 상기 전원 회로는 그 전원용 클럭의 공급 정지에 따라서, 상기 전원 전압의 발생을 정지하는 것이다.

전원 회로는, 공급되는 전원용 클럭에 의해서 스위치를 전환 제어하기 때문에, 이 전원용 클럭의 공급을 정지하면, 전원 회로에서의 전원 전압의 발생을 정지할 수 있고, 장치의 파워 세이브 모드에의 대응을 간단한 구성으로 실현할 수 있다.

본 발명의 다른 특징은, 표시부 및 그 표시부를 구동하기 위한 구동 장치를 구비하는 표시 장치에 있어서, 상기 구동 장치는 소정 시스템 클럭을 이용하여 동작하며, 표시부에 표시를 행하게 하기 위한 신호를 발생하는 구동 회로와, 복수의 스위치 및 복수의 캐패시터를 구비하며, 입력 전압을 n배 또는 -n배하여 상기 표시 장치를 위한 전원 전압을 발생하는 차지펌프형 전원 회로를 지니고, 상기 구동 회로는 더욱 상기 시스템 클럭을 이용하여 전원용 클럭을 발생하여, 파워 세이브 제어 명령에 기초하여 그 전원용 클럭의 발생을 정지하고, 상기 전원 회로는 그 전원용 클럭에 기초하여 상기 복수의 스위치를 전환 제어하여 상기 전원 전압을 발생하여, 상기 전원용 클럭의 공급 정지에 따라서, 상기 전원 전압의 발생을 정지하는 것이다.

<발명의 실시 형태>

이하, 도면을 이용하여 본 발명이 바람직한 실시의 형태 (이하 실시 형태라고 함)에 대해 설명한다.

도 1은 본 발명의 실시 형태에 따른 파워 세이브 모드 대응형 표시 장치의 개략 구성을 보이고 있다. 이 표시 장치는 예를 들면 휴대 전화에 탑재되는 LCD 등의 평면 표시 장치로서, 표시 패널 (이하에 있어서는 LCD 패널; 200)과, 구동 회로(100)를 갖는다. 더욱, 구동 회로(100)로 작성한 LCD 패널(200)에서 표시를 행하게 하기 위한 패널 제어 신호를 LCD 패널(200)에서 각 화소를 구동하는 데 충분한 레벨로 하는 레벨시프터(400), 및 이들 구동 회로(100), 레벨시프터(400) 및 LCD 패널(200)에 대하여, 이들의 동작 전원이 되는 전원 전압 (예를 들면 VDD1, VDD2, VDD3)을 공급하는 전원 회로(300)를 구비한다.

구동 회로(100)는, 상술의 도 6와 같이 래치 회로(10), D/A 변환 회로(12) 및 증폭기(14)를 구비함과 동시에, CPU 인터페이스(I/F) 회로(16) 및 타이밍 컨트롤러(T/C; 18)를 구비한다.

I/F 회로(16)는 도시하지 않은 CPU에서 송출되는 명령을 수취하여 이것을 해석하여, 명령에 따른 제어 신호를 출력한다. CPU에서 송출되는 명령은 파워 세이브 제어 명령 외, 표시 패널에서의 표시 위치의 조정 명령이나 콘트라스트 조정 명령 등으로, 이들의 제어 명령은 미리 정해진 소정 비트수의 디지털 제어 데이터에 나타나 있고, I/F 회로(16)는 이 디지털 제어 데이터를 취득하여 그 제어 데이터에 따른 제어 신호 (적어도 파워 세이브 제어 신호)를 발생한다.

T/C(18)는 도트 클럭 DOTCLK (예를 들면 시스템 클럭), 수평 동기 신호 Hsync, 수직 동기 신호 Vsync 등의 타이밍 신호에 기초하여, LCD 패널(200)을 구동하기 위한 패널 제어 신호를 발생한다. 이 패널 제어 신호는 레벨시프터(400)에 공급되어, 이 레벨시프터(400)에 의해 IC 내에서 작성된 신호를 LCD 패널을 구동하기 위해서 충분한 레벨에까지 시프트되어, LCD 패널(200)에 공급된다. T/C(18)는 또한 후술하는 바와 같이 전원용 클럭 발생 회로를 구비하고 있고, I/F 회로(16)로부터 공급되는 파워 세이브 제어 신호에 따라서 전원용 클럭 (본 실시 형태로서는 전원용 클럭 1,2)을 발생하여, 이것을 전원 회로(300)에 공급한다.

도 2는 본 발명의 실시 형태에 따른 전원 회로(300)의 구성을 보이고 있다. 도시하는 전원 회로(300)는 파워 세이브 모드에 대응한 차지펌프형의 전원 회로이고, 도 2(a)는 이 전원 회로(300)중 전원 전압 VDD2을 발생하는 회로, 도 2(b)는 전원 전압 VDD3을 발생하는 회로를 보이고 있다. 어느쪽의 차지펌프형 전원 회로에서도, 구동 회로(100)로부터 공급되는 전원용 클럭 1, 2에 기초하여, 입력 전압 Vin의 n배 (여기서는 n=2, 3)의 전압의 출력 전압 VDD2, VDD3을 발생할 수가 있어, 발진 회로(35)가 불필요하다.

도 2(a)의 회로에서는, 2개의 캐패시터 C1, C2와, 스위치 SW1～SW4, 및 스위치 SW3 및 SW4에의 입력 신호를 반전하는 인버터(30)를 구비하고, 구동 회로(100)로부터의 전원용 클럭 1을 이용하여, 스위치 SW1 및 SW2과, SW3 및 SW4을 교대로 전환 제어함으로써 입력 전압 Vin의 2배의 전압의 출력 전압 VDD2을 발생한다.

또한 도 2(b)의 회로에서는, 상기 도 2(a)와 동일 회로 구성의 출력측에 더욱, 스위치 SW5～SW8와 캐패시터 C11 및 C12을 구비하여 구성되어 있다. 구동 회로(100)로부터의 전원 클럭 2은, 비반전으로 스위치 SW1, 2 및 SW5, 6에 인가되고, 인버터(30)에 의해서 반전되어 스위치 SW3, 4 및 SW7, 8에 인가되고 있다. 그리고, 전원용 클럭 2에 의해, 스위치 SW1 및 SW2과, SW3 및 SW4을 교대로 전환 제어하여 캐패시터 C1와 C2의 사이에 입력 전압의 2배의 전압을 발생시키고, SW5 및 SW6과, SW7 및 SW8을 전환 제어함으로써, 이 입력 전압의 2배의 전압을 더욱 승압하여, 캐패시터 C11와 C12의 사이에서 인출된 출력단에 입력 전압의 3배의 전압 VDD3을 발생하고 있다.

또, 전원 회로(300)로서는, 이와 같이 입력 전압을 2배, 3배하는 구성에는 한하지 않고, 반전 승압하여 -n배 (예를 들면 -2배, -3배)하는 구성이라도 좋다. -n배의 전원 회로로 하기 위해서는, 스위치 SW1～SW4, SW5～SW8의 캐패시터와의 접속 관계를 바꾸는 등의 변경을 실시하면 좋고, 스위치 SW1～SW4, SW5～SW8의 전환 제어를 도 2의 회로와 같이 전원용 클럭을 이용하여 행하면 좋다.

다음에, 도 3 및 도 4를 더욱 참조하여 본 발명의 실시 형태에 따른 파워 세이브 모드 대응형 전원 시스템에 관해서 설명한다. 또, 도 3은 상기 구동 회로(100)의 I/F 회로(16), T/C(18)의 구성의 일부를 도시하고 있고, 도 4는 본 실시 형태의 전원 시스템의 동작을 보이고 있다.

I/F 회로(16)는 AND 게이트(169), 플립플롭(F/F; 161～168), 인버터(170～173) 및 NAND 게이트(174)를 구비하고, CPU에서 송출되는 로드 신호 (도 4(a) : S-L0AD)가 H 레벨이 되면, CPU에서 공급되는 클럭 (도 4(b) : S-CLOCK)의 상승에 따라서, 제어 데이터 (도 4(c) : S-DATA)를 취득한다. 또, 이하에서는, 제어 데이터는 4 비트로 구성되어, "0001"가 파워 세이브 모드에의 이행을 나타내고 있는 경우를 예로 들어 설명한다.

도 3에 있어서, I/F 회로(16)의 F/F(161～164)의 클럭 단자 CK는, AND 게이트(169)의 출력에 접속되어 있고, 이 F/F(161～164)는 클럭(S-CL0CK)과 로드 신호(S-L0AD)와의 AND 출력 OUT_{169} (도 4(d))을 클럭으로 하여, D 단자에 공급되는 직렬 제어 데이터(S-DATA)를 순차 취득하여 이것을 Q 단자로부터 출력한다. 또한, F/F(165～168)은, 인버터(170)로부터의 로드 신호(S-L0지)의 반전 신호를 클럭 단자 CK에 받고 있고, 로드 신호의 상승 하강시에, 대응하는 D 단자에 공급되는 F/F(161～164)로부터의 Q 출력을 취득하여, 이것을 Q 단자로부터 출력한다.

F/F(161～164)는 도 4(d)의 출력 OUT_{169}의 상승에서, 순차 도 4(c)의 제어 데이터 "0001"를 취득하기 때문에, 이 예에서는 F/F(162～164)의 Q 출력(Q162～164)은 도 4(f)에 도시한 바와 같이 전기간 L 레벨을 유지하여, F/F(161)의 Q출력(Q_{161})만이, 클럭(S-CL0CK)의 4회째의 상승에서 L 레벨로부터 H 레벨로 변화한다.

F/F(165)는 도 4(a)의 로드 신호(S-L0AD)가 하강할 때에, F/F(161)의 Q 출력(Q_{161})을 취득하기 때문에, 도 4(g)에 도시한 바와 같이 F/F(165)의 Q 출력(Q_{165})은 로드 신호(S-L0AD)의 하강으로 L 레벨로부터 H 레벨로 변화한다. 또한, F/F(166～168)의 D 단자에는, 상술된 바와 같이 전 기간 L 레벨의 F/F(162～164)의 Q 출력이 공급되어 있기 때문에, 도 4(h)에 도시한 바와 같이 로드 신호(S-L0AD)가 하강하더라도, 각 Q 출력($Q_{166\sim168}$)은 L 레벨을 유지한다.

NAND 게이트(174)에는, F/F(165)으로부터의 Q 출력(Q_{165})과, F/F(166～168)의 Q 출력($Q_{166\sim168}$)을 인버터(171～173)로 반전하여 얻은 반전 출력이 공급되고 있다. 따라서, NAND 게이트(174)로부터는, 도 4(i)에 도시한 바와 같이, Q 출력(Q_{165})과, 반전 Q 출력($Q_{166\sim168}$)의 레벨이 함께 H 레벨이 되면 L 레벨이 출력된다. 즉, NAND 게이트(174)로부터는, 로드 신호(S-L0AD)의 H 레벨 기간 중에 공급된 제어 데이터(S-DATA)가 "0001" (= 파워 세이브)일 경우에만, 로드 신호의 상승 하강으로부터 L 레벨이 되는 파워 세이브 제어 신호 A (OUT_{174})가 출력된다.

I/F 회로(16)로부터 출력되는 파워 세이브 제어 신호 A는, T/C(18)내에 설치된 전원용 클럭 발생 회로(180)에 공급되어 있고, 이 회로(180)는 파워 세이브 제어 신호에 따라, 구동 회로 등이 그 동작 클럭으로서 이용하여, 별도 작성되는 시스템 클럭을 이용하여 전원용 클럭 (전원용 클럭 1 및 2)을 발생하여, 이것을 전원 회로(300)에 출력한다.

본 실시 형태에 있어서, 전원용 클럭 발생 회로(180)는 전원용 클럭 1의 작성부와, 전원용 클럭 2의 작성부를 구비하고 있고, 전원용 클럭 1의 작성부는, AND 게이트(181)에 의해서 구성되어, 전원용 클럭 2의 작성부는 지연 회로를 구성하는 2단의 F/F(182 및 183)과, AND 게이트(184)로 구성되고 있다. 이와 같이 2계통의 전원 클럭 작성부를 구비하는 것은, 후술하는 바와 같이 파워 세이브에 이행할 때에, VDD2를 발생하는 전원 회로를 오프 제어시키고 나서 VDD3를 발생하는 전원 회로를 오프 제어시키기 때문에, 각 전원 회로에 공급하는 전원용 클럭의 출력 정지 타이밍을 VDD2용과 VDD3용으로 바꾸기 위해서이다. 또, VDD2와 VDD3의 오프 타이밍을 변경할 필요가 없으면, 각 전원 회로에 전원용 클럭 1을 공급하면 좋고, 이 경우에는, 전원용 클럭 작성 회로(180)는 전원용 클럭 1을 출력하는 AND 게이트(181)만으로 구성할 수가 있다.

전원용 클럭 1의 작성부를 구성하는 AND 게이트(181)의 한쪽의 입력에는, 상기 I/F 회로(16)로부터 출력되는 파워 세이브 제어 신호 A가 공급되고, 다른쪽의 입력에 도 4(j)에 도시한 바와 같은 시스템 클럭이 공급된다. 따라서, AND 게이트(181)는 도 4(k)에 도시한 바와 같이, 파워 세이브 제어 신호 A가 H 레벨의 기간, 즉 통상 동작 기간 중, 시스템 클럭(도 4(j))을 그대로 전원용 클럭 1으로서 출력한다. 그리고, 파워 세이브시, 즉 파워 세이브 모드에의 이행이 명령되어 파워 세이브 제어 신호 A가 L 레벨이 되면, 전원용 클럭 1의 출력을 금지 (여기서는 클럭 출력을 L 레벨에 고정)한다.

또한, 전원용 클럭 2의 작성부에서, F/F(182와 183)의 클럭 단자 CK에는, 도 4(k)에 도시하는 시스템 클럭이 공급되고, 상기 파워 세이브 제어 신호 A가 최초의 F/F(182)의 D 단자에 입력되어 있다. 따라서, 파워 세이브에의 이행이 명령되어, 도 4(i)에 도시한 바와 같이 파워 세이브 제어 신호 A가 L 레벨로 되고 나서, 최초의 시스템 클럭의 상승으로 F/F(182)가 D 단자로부터 L 레벨을 취득하여 이것을 Q 단자로부터 출력하여, F/F(183)가 다음의 시스템 클럭의 상승에서, F/F(182)의 Q 출력(L 레벨)을 D 단자로부터 취득하여 이것을 Q 단자로부터 출력한다.

따라서, F/F(183)의 Q 출력(Q_{183})은 도 4(j)에 도시한 바와 같이, 파워 세이브 제어 신호 A가 L 레벨에 하강하고 나서 시스템 클럭 2개분 지연되어 L 레벨로 내려 간다.

AND 게이트(184)의 한쪽의 입력단에는 이 2단째의 F/F(183)의 Q 출력(Q_{183})이 공급되어 있고, 다른쪽의 입력단에는 시스템 클럭이 공급되어, 그 논리곱이 전원용 클럭 2으로서 도 2(b)에 도시하는 VDD3용 전원 회로에 출력된다. 즉, AND 게이트(184)로부터는, 도 4(m)에 도시한 바와 같이, 통상 동작 시는 전원용 클럭 1과 마찬가지 시스템 클럭이 출력되고, 파워 세이브에 이행한 후, 시스템 클럭 2 기간분만 지연되어 그 출력이 L 레벨에 고정된다.

다음에, 본 발명의 실시 형태에 따른 전원 회로(300)의 동작에 관해서 설명한다. 도 2(a)의 VDD2용 전원 회로에서는, 통상 동작 기간 중에 있어 T/C(18)의 전원용 클럭 발생 회로(180)로부터 출력되는 전원용 클럭 1이 스위치 SW1 및 SW2에는 그대로 인가되고, 스위치 SW3 및 SW4에는 인버터(30)로 반전되어 인가된다. 이 때문에, 전원용 클럭 1의 반전에 따라서, 스위치 SW1 및 SW2과, 스위치 SW3 및 SW4의 개폐가 교대로 전환 제어된다. 따라서, 우선, 스위치 SW1 및 SW2을 개방하고, SW3 및 SW4을 폐쇄하여, 캐패시터 C1의 상측의 전극에 입력 전압 Vin, 하측의 전극에 GND를 인가하고, 다음에, 스위치 SW3 및 SW4을 개방하고, SW1 및 SW2을 폐쇄하여 캐패시터 C1의 하측 전극에 입력 전압 Vin을 인가함으로써, 캐패시터 C1의 상측 전극의 전위가 입력 전압 Vin의 2배의 전위까지 승압된다. 그리고, 이 동작을 반복하는 것으로, 캐패시터 C1의 상측 전극과 캐패시터 C2의 사이의 출력단으로부터 입력 전압 Vin의 2배의 출력 전압 VDD2을 얻는다.

도 2(b)의 VDD3용 전원 회로에서는, 통상 동작 기간 중, 전원용 클럭 발생 회로(180)로부터 출력되는 전원용 클럭 2에 의해서, 스위치 SW1, 2 및 스위치 SW5, 6와, 스위치 SW3, 4 및 스위치 SW7, 8를 교대로 전환 제어한다. 이에 따라, 캐패시터 C1의 상측 전극과 C2의 사이에는, VDD2용의 회로와 동일하게 입력 전압의 2배의 전압이 출력되어, 더욱 마찬가지의 원리에 의해 SW5～8와 캐패시터 C11 및 C12의 동작에 의해, 캐패시터 C11의 도면 중 상측의 전극과, 도면 중 하측의 전극에 입력 전압 Vin이 인가되고 있는 캐패시터 C12의 상측의 전극의 사이에서 인출된 출력단으로부터 입력 전압의 3배의 출력 전압 VDD3을 얻는다.

이와 같이, 본 실시 형태의 전원 회로(300)는, 통상 동작 시에 T/C(18)로부터 공급되는 전원용 클럭 1, 2을 이용하여 스위치 SW1～SW4, SW5～SW8를 교대로 개폐함으로써, 출력 전압 VDD2, VDD3을 얻는 것이 가능하고, 도 7에 도시하는 종래의 전원 회로(350)와 같은 발진 회로(35)가 불필요하다. 또한, 파워 세이브시에는, 우선 전원용 클럭 1이 L 레벨에 고정되기 때문에, 스위치 SW1 및 SW2이 개방하고, SW3 및 SW4이 폐쇄한 채가 되어 전원 회로(300)로부터의 전압 출력(VDD2)이 정지한다. 따라서 파워 세이브에 이행하면, 우선, 구동 회로(100)의 D/A 변환 회로(12) 및 증폭기(14)가 그 동작 전원인 VDD2가 0이 되기 때문에, 동작을 정지한다. 따라서 이들 아날로그계의 회로에서의 전력 소비가 확실하게 저감한다.

또한, 전원용 클럭 2은, 도 3의 F/F(182 및 183)에 의해서, 전원용 클럭 1보다 조금 지연되어 L 레벨에 고정된다. VDD3용 전원 회로에서는, 전원용 클럭 2이 L 레벨에 고정되면, 이에 따라 스위치 SW1, 2 및 SW5, 6이 개방하고, 반대로 SW3, 4 및 SW7, 8이 폐쇄한 채가 되어, 전원 회로에서의 전압 출력(VDD3)이 정지한다. 이 전원 전압 VDD3은 도 1에 도시한 바와 같이 레벨시프터(400) 및 LCD 패널(200)에 동작 전원으로서 공급되어 있고, VDD3가 오프 제어되어 레벨시프터(400)의 동작이 정지하면 LCD 패널(200)에의 패널 제어 신호의 공급이 정지하여, 레벨시프터(400)에서의 전력 소비가 없어짐과 동시에, LCD 패널(200)에서의 표시 동작도 완전히 정지하여 전력 소비가 없어진다. 이와 같이, 본 실시 형태에서는, 파워 세이브시에 전원을 오프 제어할 수 있고, 표시 장치로서의 전력 소비를 확실하게 저감할 수가 있다.

또한, 통상 동작시에만 전원용 클럭을 발생하기 위한 회로(180)는, 도 3에 도시한 바와 같이, 전원용 클럭 1용으로서는 파워 세이브 제어 신호와 시스템 클럭과의 논리곱을 취하는 AND 게이트만으로 구성하는 것이 가능하고, 또한 전원용 클럭 2에 있어서도 AND 게이트 외에 F/F 등의 지연 회로를 설치하는 것만으로 좋다. 그리고, 이들의 회로는 용이하고 또한 소면적으로 구동 회로용 IC (100) 등에 내장할 수가 있다.

더욱, 상술된 바와 같이 전원 회로(300)에는 발진 회로(35)를 필요로 하지 않기 때문에, 전원 회로(300)는 그 캐패시터 C1 및 C2, C11 및 C12 이외의 구성 모두를 상기 구동 회로와 동일한 IC 내에 만들어 넣을 수 있다. 또한, LCD 패널(200)의 기판상에 다결정 실리콘 박막 트랜지스터등을 이용하여 만들어 넣는 것도 가능하고, 전원 회로와, 구동 회로 (원칩화된 구동 IC, 및 LCD 패널(200)에 일부 드라이버 회로 등이 내장되는 경우의 내장 회로를 포함함)를 구비하는 표시 장치용 구동 장치를 보다 작은 면적에서 또한 간이한 구성으로 실현할 수 있다.

다음에, 파워 세이브시에, VDD2용의 전원용 클럭 1보다 VDD3용의 전원용 클럭 2을 지연시켜 정지시키는 이유에 관해서 설명한다. LCD 패널(200)에는 도 5에 도시한 바와 같이 보호 회로 등의 회로 소자를 만들어 넣는다. 패널 표시부에서, 화소 각각에 박막 트랜지스터(TFT), 특히, 능동층이 다결정 실리콘(p-Si)으로 이루어지는 p-SiTFT를 이용한 액티브 매트릭스형 LCD와 같은 경우, 마찬가지의 p-SiTFT를 이용하여 LCD 패널(200)의 표시부 주변에, 각 화소를 구동하기 위한 구동 회로의 일부나, 상기 보호 회로 등을 화소부 TFT와 동시에 만들어 넣는 일이 많다.

도 5에 도시하는 보호 회로는, 상기 전원 회로(300)로부터의 전원 전압 VDD3에 대하여, 구동 회로(100)의 증폭기(14)로부터 출력되는 아날로그 R, G, B 표시 신호를 받는 신호 입력 라인의 전위가 과대하게 되어 내부 회로가 파괴되는 것을 방지하기 위한 것이다. 이 보호 회로는 패널의 입력 단부 부근에서, 상술의 화소용 TFT이나 드라이버용 TFT와 같이 패널(200)에 만들어 넣고 있고, 전원(VDD3)과 입력 라인 사이에 역방향으로 배치된 다이오드 D1, 입력 라인과 접지 사이에 역방향으로 배치된 다이오드 D2로 구성되어 있다. 그리고, 입력 라인의 전압이 VDD3 보다 커지고자 하면, 다이오드 D1가 온하여 입력 라인의 전압 상승을 방지한다.

이러한 보호 회로가 형성되어 있고, 파워 세이브시에 이행한 경우, 전원 전압 VDD3의 저하보다 R, G, B 표시 신호의 전원 전압인 VDD2가 먼저 저하하면, 다이오드 D1에는 그 순방향에 전위차가 발생한다. 신호 입력 라인에서 전압이 저하한 전원(VDD3)에 전류가 유입되어 버리면 LCD 패널(200)에서 정상이 아닌 동작이 일어나기도 하는 원인이 된다. 그래서, 이러한 내장 회로를 패널(200)이 구비하는 경우에, 전원 전압을 오프 제어할 때, 보다 전압이 낮은 전원으로부터 먼저 오프 제어함으로써 이러한 오동작이 일어나는 것을 확실하게 방지하는 것이 가능해지는 것이다.

본 발명의 실시 형태에 있어서 표시 장치는, 액정 표시 장치에 한하지 않고 유기 EL 표시 장치나, 그 밖의 평면 표시 장치이더라도 마찬가지의 효과를 발휘한다. 액정 표시 장치 등에 대표되는 표시 장치에 있어서, 표시를 행할 때, 구동 회로에서는 반드시 어떤 클럭에 따라서도 동작하고 있다. 따라서, 이러한 클럭을 이용하면, 간단한 구성에 의해서 통상 표시시에 전원용의 클럭을 작성할 수가 있다. 또한, 장치가 표시를 행하지 않은 경우에는, 구동 회로는 클럭을 이용할 필요는 없고, 이 경우에 동시에 전원용 클럭을 고정 레벨, 즉 전원용 클럭의 발생을 정지하는 구성으로 하는 것으로, 표시에는 전혀 영향을 주는 일 없이 파워 세이브 모드에 대응할 수가 있다.

또, 전원용 클럭 발생 회로(180)는, 통상 동작 기간 중, 상술된 바와 같이 시스템 클럭을 그대로 전원용 클럭으로서 출력하더라도 좋지만, 그대로 출력하는 것은 아니고 시스템 클럭과 동일 주파수에서 전원 회로(300)에서의 캐패시터 C1, C2의 비 등에 따라서, 그 진폭이나 펄스 폭이 다른 클럭을 출력하더라도 좋다. 또한, 통상 동작 기간 중, 시스템 클럭에 기초하여, 캐패시터 C1, C2의 용량치 등, 전원 회로(300)에 있어서 최적인 주파수의 클럭을 발생하는 구성이라도 좋다.

또한, 또한, 파워 세이브 모드로부터 통상 동작 상태에의 복귀는, 예를 들면, 도 4(a)의 로드 신호가 다시 H 레벨이 되었을 때에, CPU에서 송출된 제어 데이터가 소정의 통상 동작명령을 나타내고 있는 경우에, I/F 회로(16)가 이것을 해석하여, 파워 세이브 제어 신호를 H 레벨에 복귀하는 것으로 실현할 수 있다.

또한 본 실시 형태에서는, 파워 세이브 제어 명령이 CPU에서 공급되어, I/F 회로(16)가 이것을 해석하여 파워 세이브 제어 신호를 발생하는 경우를 예로 들어 설명하고 있지만, 별도 스위치 등을 설치하여, 기기 사용자 등이 이 스위치를 전환하는 것으로, 스위치로부터 직접 T/C(18)에 파워 세이브 제어 신호를 공급할 수 있는 구성으로 하여도 좋다. 또한, CPU에서 파워 세이브를 명령 가능함과 동시에 스위치 등을 이용하여 사용자가 임의로 파워 세이브를 명령할 수 있는 구성이라도 좋다.

발명의 효과

이상 설명한 바와 같이, 표시 장치의 구동 회로 등의 집적 회로가 소정 시스템 클럭을 이용하여 전원용 클럭을 발생하고, 이것을 차지펌프형 전원 회로에서의 스위치의 전환 제어에 이용하여, 전원 회로에 발진 회로를 설치할 필요없이, 매우 간이한 구성으로 전원을 발생할 수가 있다.

또한, 집적 회로가 전원용 클럭의 출력을 발생을 정지하면, 전원 회로에서의 전원 발생을 정지할 수가 있기 때문에, 이 전원용 클럭의 발생을 파워 세이브 제어 명령에 기초하여 정지함으로써, 파워 세이브 모드에 대응한 전원 회로, 구동 장치를 실현할 수가 있어, 매우 간이한 구성으로 파워 세이브 모드에 대응시킬 수 있다.

(57) 청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.
삭제

청구항 4.
삭제

청구항 5.
삭제

청구항 6.

차지펌프형 전원 회로로서,

제1 캐패시터, 제2 캐패시터 및 상기 제2 캐패시터에 접속된 출력,

상기 제1 캐패시터의 제1 단자를 입력 전압 또는 상기 제2 캐패시터의 제1 단자 중 하나에 접속하는 제1 스위치,

상기 제1 캐패시터의 제2 단자를 상기 제2 캐패시터의 제2 단자 또는 상기 입력 전압 중 하나에 접속하는 제2 스위치,

시스템 클럭에 따라 발생된 전원용 클럭, 및

상기 전원용 클럭의 공급을 제어하는 제어 회로를 포함하며,

상기 시스템 클럭은 상기 차지펌프형 전원 회로의 외측으로부터 공급되고, 상기 차지펌프형 전원 회로 내에서 상기 전원용 클럭을 동작시키는 이외의 동작을 위해 사용되며,

상기 전원용 클럭은 상기 제1 및 제2 스위치에 공급되어 상기 스위치들의 온/오프 제어에 이용되고, 상기 스위치들의 온/오프에 의해 승압 전압이 출력으로 발생되는 차지펌프형 전원 회로.

청구항 7.

제6항에 있어서, 상기 차지펌프형 전원 회로는 파워 세이브 제어 명령을 선택적으로 제공하는 수단을 포함하고,

상기 제어 회로는 파워 세이브 제어 명령에 응답하여 상기 전원용 클럭의 발생을 정지시키고,

상기 제어 회로는 상기 전원용 클럭의 정지에 응답하여 상기 승압 전압의 발생을 정지시키는 차지펌프형 전원 회로.

청구항 8.

표시 장치용 구동 장치로서,

상기 구동 장치 외부의 소정의 시스템 클럭을 이용하여 동작되며, 표시부에 표시를 행하게 하기 위한 신호를 발생하는 구동 회로, 및

복수의 스위치 및 복수의 캐패시터를 포함하고, 입력 전압을 그 입력 전압의 n배 또는 -n배의 전압으로 승압함으로써 표시 장치를 위한 전원 전압을 발생하는 차지펌프형 전원 회로를 포함하고,

상기 구동 회로는 상기 시스템 클럭을 이용하여 상기 차지펌프형 전원 회로 내부의 전원용 클럭을 발생하고,

상기 전원 회로는 상기 전원용 클럭에 기초하여 상기 복수의 스위치를 전환 제어함으로써 상기 전원 전압을 발생하는 표시 장치용 구동 장치.

청구항 9.

제8항에 있어서,

상기 차지펌프형 전원 회로는 파워 세이브 제어 명령을 선택적으로 제공하는 수단을 포함하고,

상기 구동 회로는 파워 세이브 제어 명령에 응답하여 상기 전원용 클럭의 발생을 정지시키고,

상기 전원 회로는 상기 전원용 클럭의 공급 정지에 응답하여 상기 전원 전압의 발생을 정지시키는 표시 장치용 구동 장치.

청구항 10.

표시부 및 그 표시부를 구동하기 위한 구동 장치를 갖는 표시 장치로서,

상기 구동 장치는,

그 외부의 소정의 시스템 클럭을 이용하여 동작하며, 표시부에 표시를 행하게 하기 위한 신호를 발생하는 구동 회로, 및

복수의 스위치 및 복수의 캐패시터를 갖고, 입력 전압을 그 입력 전압의 n배 또는 -n배의 전압으로 승압함으로써 상기 표시 장치를 위한 전원 전압을 발생하는 차지펌프형 전원 회로를 포함하고,

상기 차지펌프형 전원 회로는 파워 세이브 제어 명령을 선택적으로 제공하는 수단을 포함하고,

상기 구동 회로는 또한 상기 시스템 클럭을 이용하여, 상기 구동 회로 내부의 전원용 클럭을 발생하고, 파워 세이브 제어 명령에 기초하여 상기 전원용 클럭의 발생을 정지시키고,

상기 전원 회로는 상기 전원용 클럭에 기초하여 상기 복수의 스위치를 전환 제어함으로써 상기 전원 전압을 발생하고, 상기 전원용 클럭의 공급 정지에 응답하여 상기 전원 전압의 발생을 정지시키는 표시 장치.

청구항 11.

제10항에 있어서, 상기 차지펌프형 전원 회로와 상기 구동 회로는 반도체 디바이스 내에 구비되고, 상기 다수의 캐패시터들은 상기 반도체 디바이스 외부에 외부 소자들로서 상기 반도체 디바이스에 접속되는 표시 장치.

청구항 12.

제10항에 있어서, 상기 표시 장치는 적어도 두 개의 차지펌프형 전원 회로를 포함하고, 상기 구동 회로는 상기 차지펌프형 전원 회로들 각각에 대해 개별 전원용 클럭을 발생하고, 각 전원용 클럭은 상기 파워 세이브 제어 명령에 기초하여 다른 전원용 클럭들과는 무관하게 정지되는 표시 장치.

청구항 13.

제6항에 있어서, 상기 제1 스위치 및 제2 스위치를 전환 제어하고, 상기 시스템 클럭을 사용하여 집적 회로 -상기 집적 회로는 상기 시스템 클럭을 사용하여 동작됨- 에 의해 발생된 상기 전원용 클럭에 기초하여 상기 입력 전압을 그 입력 전압의 n배 또는 -n배의 전압으로 승압함으로써 전원 전압이 발생되는 차지펌프형 전원 회로.

청구항 14.

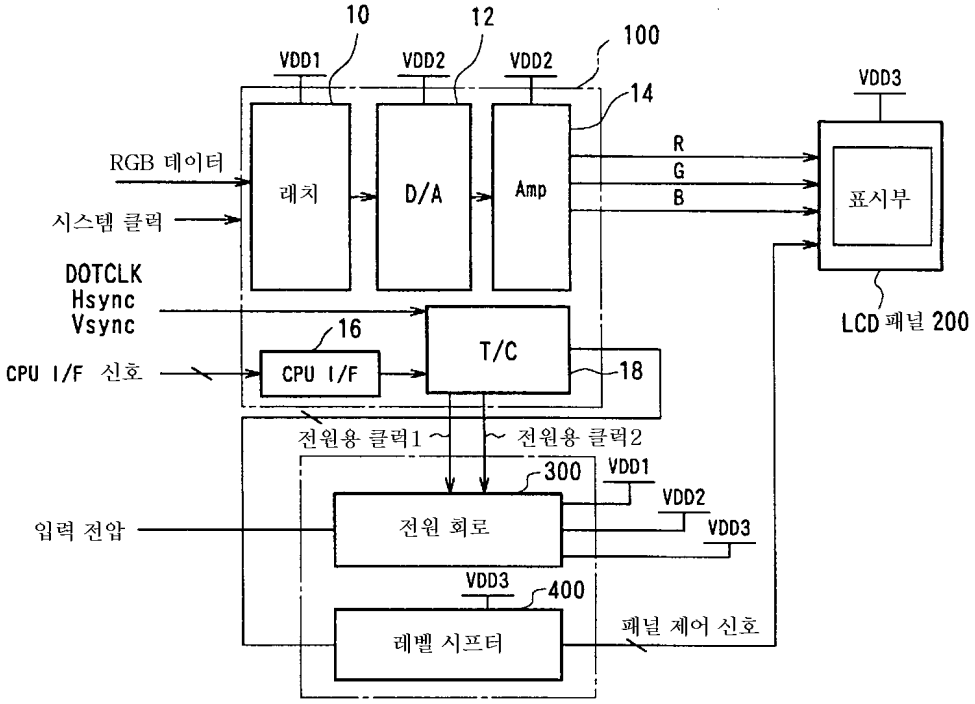
제6항에 따른 적어도 두 개의 차지 펌프형 전원 회로와, 외부로부터의 영상 신호를 구동 신호로 변환하여 출력하는 구동 회로와, 상기 구동 신호를 수신하여 표시를 행하는 표시 패널을 포함하는 표시 장치로서,

두 개의 차지펌프형 전원 회로로부터 각각 한 개의 승압 전압들이 발생되고,

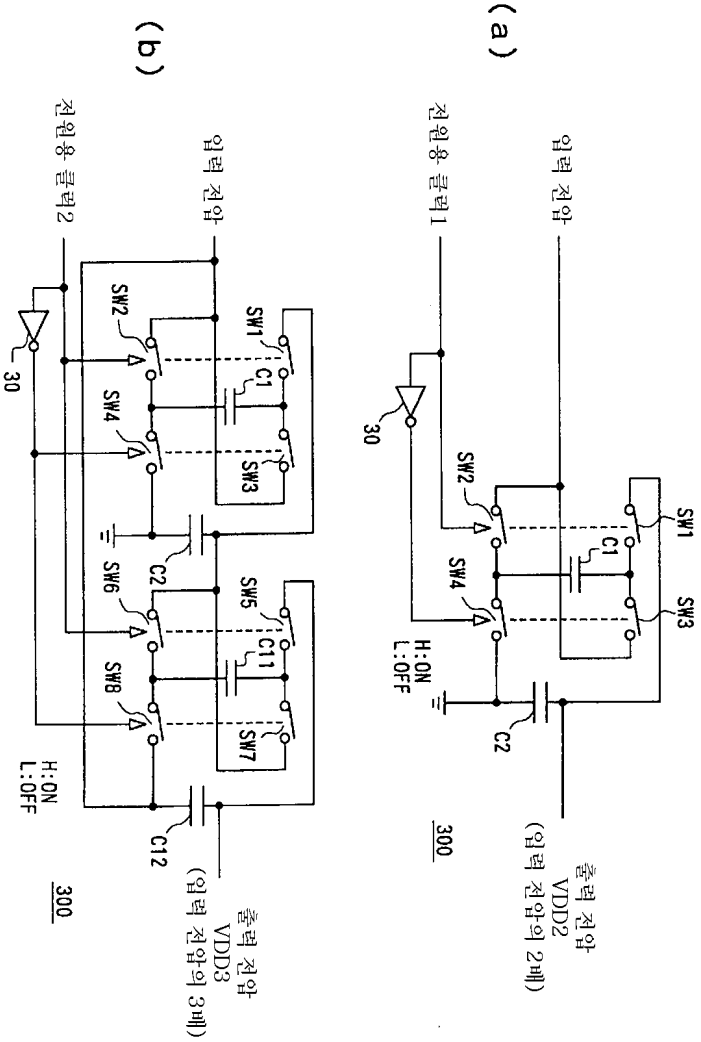
이들 두 개의 승압 전압들을 서로다른 타이밍에서 스위치 오프하기 위한 두 개의 전원용 클럭들이 발생됨으로써, 상기 구동 회로용 전원이 스위치 오프된 후 상기 표시 패널의 전원이 스위치 오프되는 표시 장치.

도면

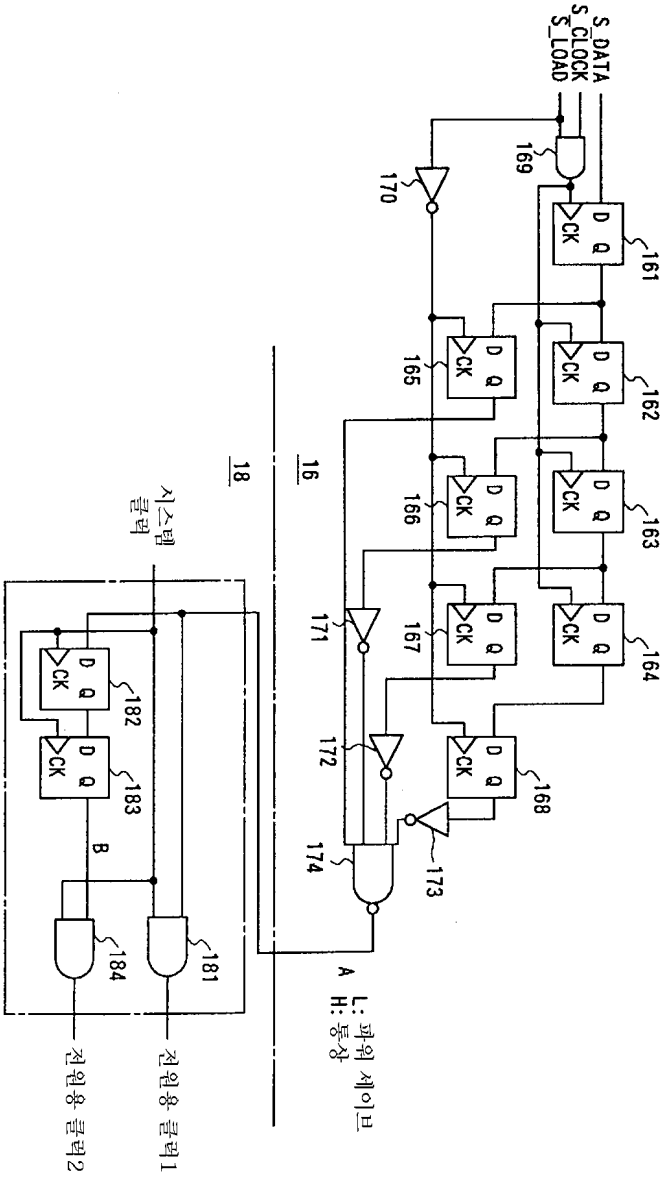
도면1



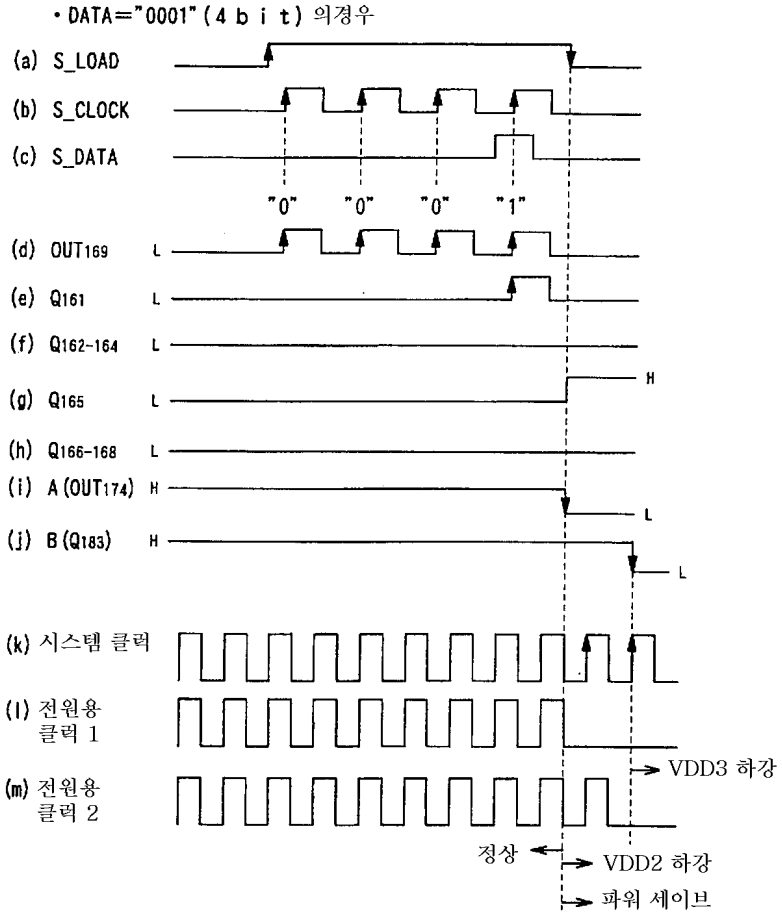
도면2


(a)
입력 전압
전원용 클럭1
30
SW1
SW2
SW3
SW4
C1
C2
H:ON
L:OFF
300
출력 전압
VDD2
(입력 전압의 2배)
(b)
입력 전압
전원용 클럭2
30
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
C1
C11
C2
C12
H:ON
L:OFF
300
출력 전압
VDD3
(입력 전압의 3배)

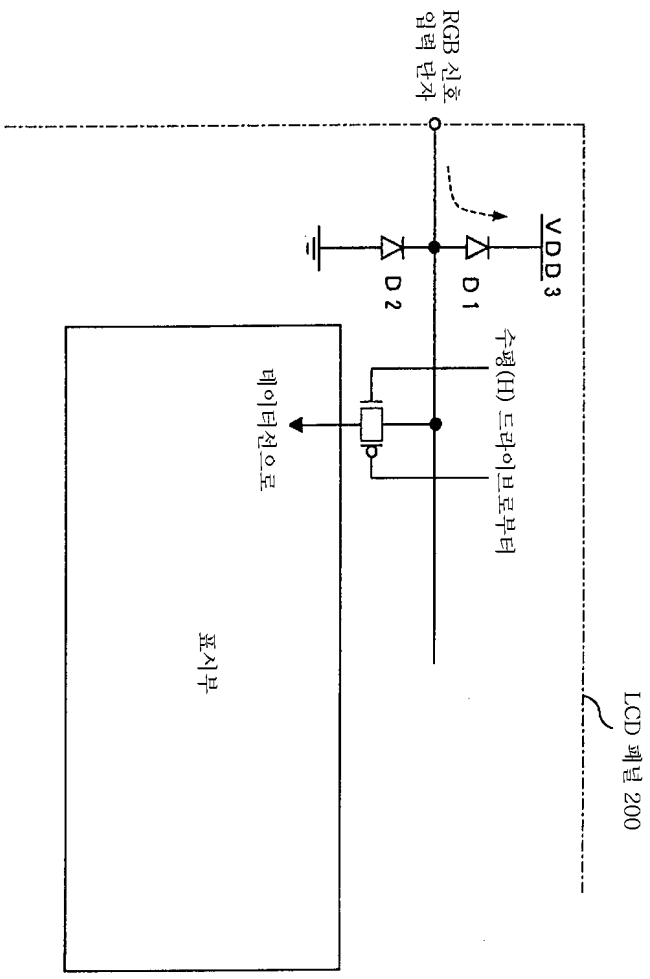
도면3


S_DATA
S_CLOCK
S_LOAD
169
170
161
162
163
164
165
166
167
168
171
172
173
174
16
18
A
L: 파워 세이브
H: 통상
시스템
클럭
182
183
184
181
B
전원용 클럭2
전원용 클럭1
CK
D
Q

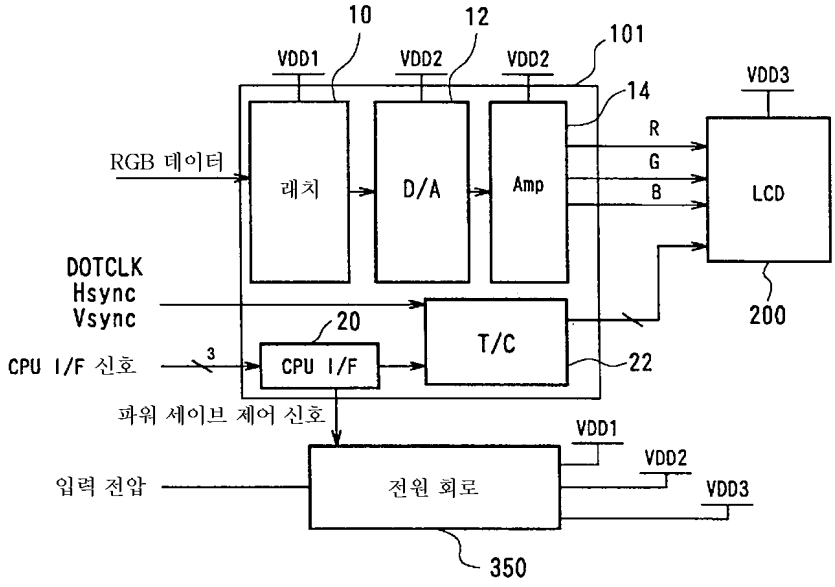
도면4


• DATA="0001"(4 b i t) 의경우
(a) S_LOAD
(b) S_CLOCK
(c) S_DATA
"0"
"0"
"0"
"1"
(d) OUT169
(e) Q161
(f) Q162-164
(g) Q165
(h) Q166-168
(i) A(OUT174)
(j) B(Q183)
H
L
(k) 시스템 클럭
(l) 전원용 클럭 1
(m) 전원용 클럭 2
VDD3 하강
정상
VDD2 하강
파워 세이브

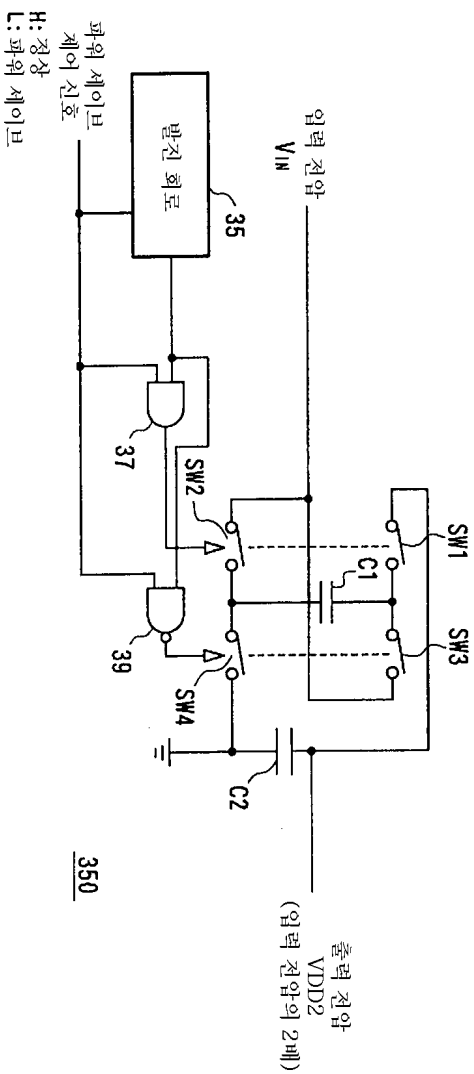
도면5


RGB 신호 입력 단자
VDD 3
D 1
D 2
수평(H) 드라이브 로부터
데이터선으로
표시부
LCD 패널 200

도면6


10
12
101
VDD1
VDD2
VDD2
VDD3
14
RGB 데이터
래치
D/A
Amp
R
G
B
LCD
200
DOTCLK
Hsync
Vsync
20
CPU I/F 신호
3
CPU I/F
T/C
22
파워 세이브 제어 신호
VDD1
VDD2
VDD3
입력 전압
전원 회로
350

도면7


파워 세이브
제어 신호
H: 정상
L: 파워 세이브
발진 회로
35
입력 전압
VIN
37
SW2
SW1
C1
SW3
39
SW4
C2
350
출력 전압
VDD2
(입력 전압의 2배)