



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0013023
(43) 공개일자 2010년02월09일

(51) Int. Cl.

H03L 7/081 (2006.01) H03L 7/08 (2006.01)

(21) 출원번호 10-2008-0074503

(22) 출원일자 2008년07월30일

심사청구일자 2008년07월30일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김철우

서울특별시 성북구 길음동 1283 길음뉴타운
605-1301

육성화

서울특별시 동대문구 용두2동 738-2 효명빌딩 21
0호

구자범

서울특별시 서초구 방배동 경남아파트 2-205

(74) 대리인

전중학

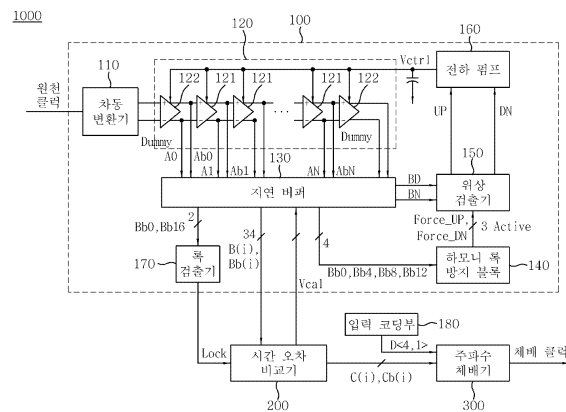
전체 청구항 수 : 총 18 항

(54) 주파수 체배 시스템 및 그 제어 방법

(57) 요약

본 발명은 주파수 체배 기술을 개시한다. 즉, 불규칙한 지연차를 갖는 다중 지연 클럭을 비교하고, 다중 지연 클럭 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 형성하는 저지터의 다중 지연 클럭을 생성 및 주파수 체배하는 주파수 체배 시스템 및 그 제어 방법을 구현함으로써, 제어 전압이 리셋될 때 그라운드 값으로 떨어지는 것을 방지하여 오동작의 발생 가능성을 제거됨과 더불어 해당 체배비에 맞게 양상된 깨끗한 체배 클럭을 다수개 생성하고, 이 생성된 체배 클럭을 제공받은 임베디드 시스템 혹은 임베디드 프로세서의 고정밀 성능 향상을 고조시킨다.

대표도



특허청구의 범위

청구항 1

다중 지연 클럭에 속한 각 지연 클럭들 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭의 크기 또는 위치를 조절하여 상기 지연 펄스 폭이 동일한 값을 갖도록 자기 보정하고, 상기 자기 보정된 다중 지연 클럭을 주파수 체배하는 것을 특징으로 하는 주파수 체배 시스템.

청구항 2

외부로부터 입력받은 원천 클럭을 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹으로 변환시키는 지연고정루프;

상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭 상승 에지 또는 하강 에지를 조절하여 상기 지연 펄스 폭이 모두 동일값을 갖는 자기 보정을 실시하는 시간 오차 비교기; 및

상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹이 상기 시간 오차 비교기에 의해 자기 보정됨에 따라 변경된 제 1 설정 클럭 그룹 및 제 2 설정 클럭 그룹을 기설정된 체배비에 적용시켜 선택된 다수의 설정 클럭을 추출한 후, 상기 추출된 다수의 설정 클럭이 모두 결합된 체배 클럭을 생성하는 주파수 체배기;

를 포함하는 주파수 체배 시스템.

청구항 3

청구항 2 에 있어서,

상기 지연고정루프에 구비된

상기 원천 클럭을 차동 입력 클럭 및 차동 입력 역 클럭으로 나눠 생성하는 차동 변환기;

상기 차동 입력 클럭 및 차동 입력 역 클럭을 각각 N+1 개의 다수 입력 클럭 을 포함하는 제 1 입력 클럭 그룹과, N+1 개의 다수 입력 역 클럭을 포함하는 제 2 입력 클럭 그룹으로 변환 생성하는 전압제어 지연단;

상기 제 1, 2 입력 클럭 그룹을 기구비된 다수의 버퍼를 통과시켜 각각 매칭된 제 1, 2 지연 클럭 그룹을 출력하는 지연 버퍼;

상기 제 1 지연 클럭 그룹으로부터 추출된 N번째 지연 클럭이 0번째 지연 클럭에 정상 록킹되는지 여부를 확인하는 위상 검출기;

상기 비정상 록킹시, 위상 검출기에 의해 생성된 UP 신호 및 DOWN 신호를 조건 전압으로 변환 생성하고, 상기 조절 전압을 상기 제 1, 2 입력 클럭 그룹에 제공하여 기설정된 위상차를 조절하는 전하 펌프;

상기 제 2 지연 클럭 그룹에 속한 0번째 지연 역 클럭과 N번째 지연 역 클럭을 록 신호로 변환시킨 후, 상기 록 신호를 상기 시간 오차 비교기에 전달하는 록 검출기;를 포함하는 주파수 체배 시스템.

청구항 4

청구항 3에 있어서,

상기 록 검출기는,

상기 제 1 지연 클럭 그룹에 속한 N번째 지연 클럭이 0번째 지연 클럭에 정상 록킹됨을 파악할 경우, 상기 록 신호를 "하이" 상태로 동작시키는 것을 특징으로 하는 주파수 체배 시스템.

청구항 5

청구항 3에 있어서,

상기 전압제어 지연단은,

기구비된 N개의 버퍼의 최전(最前)단과 연결된 하나 이상의 제 1 더미 버퍼와, 상기 N개의 버퍼의 최말(最末)단

과 연결된 하나 이상의 제 2 더미 버퍼를 더 구비하는 것을 특징으로 하는 주파수 체배 시스템.

청구항 6

청구항 2에 있어서,

상기 시간 오차 비교기는,

상기 기형성된 불규칙한 지연 펄스 폭을 상기 펄스폭 조율 전압으로 조율하여 상기 지연 펄스 폭이 모두 동일값을 갖게 설정하는 것을 특징으로 주파수 체배 시스템.

청구항 7

다중 지연 클럭에 속한 각 지연 클럭들 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭의 크기 또는 위치를 조절하는 단계;

상기 지연 펄스 폭이 동일한 값을 갖도록 자기 보정하는 단계; 및

상기 자기 보정된 다중 지연 클럭을 주파수 체배하는 단계;를 포함하는 주파수 체배 시스템의 제어 방법.

청구항 8

지연고정루프가 외부로부터 입력받은 원천 클럭을 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹으로 변환시키는 단계;

시간 오차 비교기가 상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭 상승 에지 또는 하강 에지를 조절하는 단계;

상기 시간 오차 비교기가 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭 상승 에지 또는 하강 에지를 이용하여 상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹을 자기 보정함에 따라, 상기 지연 펄스 폭이 모두 규칙적인 동일값을 갖는 단계; 및

주파수 체배기가 상기 시간 오차 비교기의 자기 보정에 따라, 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹을 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹으로 변경하는 단계;

상기 주파수 체배기가 기설정된 체배비에 적용시켜 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹 중 다수의 선택된 설정 클럭을 추출하는 단계; 및

상기 주파수 체배기가 상기 추출된 다수의 설정 클럭을 모두 결합시켜 체배 클럭을 생성하는 단계;

를 포함하는 주파수 체배 시스템의 제어 방법.

청구항 9

청구항 8 에 있어서,

상기 지연고정루프에 구비된

차동 변환기가 상기 원천 클럭을 차동 입력 클럭 및 차동 입력 역 클럭으로 나뉘 생성하는 단계;

전압제어 지연단이 상기 차동 입력 클럭 및 차동 입력 역 클럭을 각각 N+1 개의 다수 입력 클럭 을 포함하는 제 1 입력 클럭 그룹과, N+1 개의 다수 입력 역 클럭을 포함하는 제 2 입력 클럭 그룹으로 변환 생성하는 단계;

지연 버퍼가 상기 제 1, 2 입력 클럭 그룹을 기구비된 다수의 버퍼를 통과시켜 각각 매칭된 제 1, 2 지연 클럭 그룹을 출력하는 단계;

위상 검출기가 상기 제 1 지연 클럭 그룹으로부터 추출된 N번째 지연 클럭이 0번째 지연 클럭에 정상 록킹되는 지 여부를 확인하는 단계;

전하 펌프가 상기 비정상 록킹시, 위상 검출기에 의해 생성된 UP 신호 및 DOWN 신호를 조건 전압으로 변환 생성하는 단계;

상기 전하 펌프가 상기 조절 전압을 상기 제 1, 2 입력 클럭 그룹에 제공하여 기설정된 위상차를 조절하는 단계;

록 검출기가 상기 제 2 지연 클럭 그룹에 속한 0번째 지연 역 클럭과 N번째 지연 역 클럭을 록 신호로 변환시킨 후, 상기 록 신호를 상기 시간 오차 비교기에 전달하는 단계;를 더 포함하는 주파수 체배 시스템의 제어 방법.

청구항 10

청구항 9에 있어서,

상기 록 검출기가,

상기 제 1 지연 클럭 그룹에 속한 N번째 지연 클럭이 0번째 지연 클럭에 정상 록킹됨을 파악할 경우, 상기 록 신호를 "하이" 상태로 동작시키는 단계를 더 포함하는 주파수 체배 시스템의 제어 방법.

청구항 11

청구항 8 또는 청구항 9에 있어서,

상기 시간 오차 비교기가,

상기 기형성된 불규칙한 지연 펄스 폭을 상기 펄스폭 조율 전압으로 조율하는 단계; 및

상기 지연 펄스 폭이 모두 동일값을 갖게 설정하는 단계를 더 포함하는 주파수 체배 시스템의 제어 방법.

청구항 12

제 1 지연 클럭 그룹 중에 추출된 i 번째 지연 클럭과 i+1 번째 지연 클럭을 수신하며, 상기 i 번째 지연 클럭과 i+1 번째 지연 클럭을 AND 연산하여 제 1 지연 펄스 폭을 생성하는 AND 게이트;

제 1 지연 클럭 그룹 중에 추출된 i+1 번째 지연 클럭과 i+2 번째 지연 클럭을 수신하며, 상기 i+1 번째 지연 클럭과 i+2 번째 지연 클럭을 NAND 연산하여 제 2 지연 펄스 폭을 생성하는 NAND 게이트;

상기 제 1 지연 펄스 폭을 수신하며, 기인가된 제 2 바이어스 전압의 제어에 따라, 상기 제 1 지연 펄스 폭에 존재하는 i+1 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 NMOS 트랜지스터; 및

상기 제 2 지연 펄스 폭을 수신하며, 기인가된 제 1 바이어스 전압의 제어에 따라, 상기 제 2 지연 펄스 폭에 존재하는 i+1 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 PMOS 트랜지스터;

를 포함하는 시간 오차 비교기;

청구항 13

청구항 12 항에 있어서,

상기 시간 오차 비교기는,

바이어스 컨트롤 전압을 해당 노드에 적정치로 인가시켜 상기 해당 노드에 걸린 전압이 0으로 되는 것을 방지시키는 것을 특징으로 하는 시간 오차 비교기.

청구항 14

AND 게이트가 제 1 지연 클럭 그룹 중에 추출된 i 번째 지연 클럭과 i+1 번째 지연 클럭을 수신하는 단계;

상기 AND 게이트가 상기 i 번째 지연 클럭과 i+1 번째 지연 클럭을 AND 연산하여 제 1 지연 펄스 폭을 생성하는 단계;

NAND 게이트가 제 1 지연 클럭 그룹 중에 추출된 i+1 번째 지연 클럭과 i+2 번째 지연 클럭을 수신하는 단계;

상기 NAND 게이트가 상기 i+1 번째 지연 클럭과 i+2 번째 지연 클럭을 NAND 연산하여 제 2 지연 펄스 폭을 생성하는 단계;

NMOS 트랜지스터가 상기 제 1 지연 펄스 폭을 수신하며, 기인가된 제 2 바이어스 전압의 제어에 따라, 상기 제 1 지연 펄스 폭에 존재하는 i+1 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 단계; 및

PMOS 트랜지스터가 상기 제 2 지연 펄스 폭을 수신하며, 기인가된 제 1 바이어스 전압의 제어에 따라, 상기 제 2 지연 펄스 폭에 존재하는 i+1 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 단계;

를 포함하는 시간 오차 비교기의 보정 방법.

청구항 15

청구항 14 항에 있어서,

상기 시간 오차 비교기가,

바이어스 컨트롤 전압을 해당 노드에 적정치로 인가시켜 상기 해당 노드에 걸린 전압이 0으로 되는 것을 방지시키는 단계;를 더 포함하는 시간 오차 비교기의 보정 방법.

청구항 16

스위칭 온되어, 차동 입력 클럭을 수신하는 제 1 트랜지스터;

스위칭 온되어, 차동 입력 역 클럭을 제 2 트랜지스터;

상기 차동 입력 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N번의 일정 시간 동안 지연시키게 하여 N번 만큼의 일정 시간이 지체된 N번째 입력 클럭을 생성하는 제 4 트랜지스터; 및

상기 차동 입력 역 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N번의 일정 시간 동안 지연시키게 하여 N번 만큼의 일정 시간이 지체된 N번째 입력 역 클럭을 생성하는 제 3 트랜지스터;

를 포함하는 전압제어 지연단의 버퍼.

청구항 17

스위칭 온되어, 차동 입력 클럭을 수신하는 제 1 스위칭 트랜지스터;

스위칭 온되어, 차동 입력 역 클럭을 제 2 스위칭 트랜지스터;

상기 차동 입력 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N번의 일정 시간 동안 지연시키게 하여 N번 만큼의 일정 시간이 지체된 N번째 입력 클럭을 생성하는 제 4 스위칭 트랜지스터; 및

상기 차동 입력 역 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N번의 일정 시간 동안 지연시키게 하여 N번 만큼의 일정 시간이 지체된 N번째 입력 역 클럭을 생성하는 제 3 스위칭 트랜지스터;

를 포함하는 지연 버퍼의 단위 셀.

청구항 18

제 1, 2 설정 클럭 그룹을 NAND 연산한 결과치인 Pn 검출값을 N개만큼 추출하는 쏫 펄스 생성기; 및

상기 N개의 Pn 검출값을 AND 연산하고, 상기 AND 연산을 통해 결합된 출력 신호를 진폭시켜 체배 클럭을 생성하는 에지 합성기;

를 포함하는 주파수 체배기.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 주파수 체배 기술에 관한 것으로, 더욱 상세하게는 불규칙한 지연차를 갖는 다중 지연 클럭을 비교하고, 다중 지연 클럭 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 형성하는 저지터의 다중 지연 클럭을 생성 및 주파수 체배하는 주파수 체배 시스템 및 그 제어 방법에 관한 것이다.

배경 기술

[0002] 최근, 멀티미디어용 모바일 통신 기기의 사용량 증가로 인하여 임베디드 프로세서의 수요도 함께 증가하고 있다. 각종 모바일 통신 기기들은 건전지와 같이 한정적인 에너지를 사용하기 때문에 전력 소모가 중요한 쟁점 중에 하나가 되고 있다.

- [0003] 마이크로 프로세서가 고성능으로 발전해가면서 컴퓨터 및 디지털 통신에 접목되는 여럿 부품들에 대한 대역폭 역시 증가하고 있는 추세이다. 즉, 데이터 전송 시간은 더욱 짧아지고 있고, 이를 판별하는 처리 시간도 짧아지고 있다.
- [0004] 하나, 데이터를 저장할 때 레지스터가 안정화되는 시간은 더 이상 짧아지지 않고 있다. 불확실한 시간 영역인 지터나 스큐의 영향을 고려해야 하므로 저지터(Low Jitter)의 클럭 생성기의 개발은 급선 과제로 손꼽고 있다.
- [0005] 시스템 온 칩(System On Chip : SoC) 기술이 발전해 가고 있는 현 상황에서 저지터의 클럭 생성기 개발은 더욱 중요해 지고 있다.
- [0006] 일반적으로, 지연고정루프 기반의 클럭 생성기는 임베디드 프로세서의 요구에 따라 다양한 주파수 클럭을 발생시켜 그에 따른 동적 전력 소모를 효율적으로 조절할 수 있다.
- [0007] 지연고정루프 기반의 클럭 발생기는 잡음 환경에 노출되더라도 임베디드 프로세서의 고성능 동작을 위해 깨끗한 클럭을 제공할 수 있어야 하기 때문에 클럭의 지터(jitter)를 최소화하는 방법을 계속 연구하고 있다.
- [0008] 종래의 지연고정루프 기반의 클럭 발생기는 지연고정루프에 구비된 전압제어 지연선의 각 지연단으로부터 출력되는 다중 클럭들 간의 미스매치(mismatch)를 레이아웃 과정과 제조 과정 상에서 필연적으로 발생시키고 있다.
- [0009] 이렇게 발생된 미스매치는 지연고정루프 기반의 클럭 생성기에 고정적으로 지터와 스퍼를 유발시켜 클럭 생성기 성능을 하향시키고 있다.

발명의 내용

해결 하고자하는 과제

- [0010] 종래의 지연고정루프는 출력 주파수가 고정되어 다양한 출력 주파수를 제공하지 못하는 단점이 있으며, 레이아웃 과정이나 제조 과정, 전압, 칩 내부 온도 등에 영향을 받아 지연고정루프의 전압제어 지연단으로부터 출력되는 다수의 출력 주파수 간에 미스매치가 발생하는 문제점이 있다.
- [0011] 이를 해결하기 위하여 양자화하는 방법, 지연고정루프 상에 회로 추가와 같은 다양한 주파수 자기 보정 방법들이 계속적으로 연구되고 있으나, 이들은 양자화 오차의 한계, 지연고정루프의 회로 오동작을 불러 일으키는 문제점이 있다.

과제 해결수단

- [0012] 불규칙한 지연차를 갖는 다중 지연 클럭을 비교하고, 다중 지연 클럭 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 형성하는 저지터의 다중 지연 클럭을 생성 및 주파수 체배하는 주파수 체배 시스템 및 그 제어 방법을 구현함으로써, 제어 전압이 리셋될 때 그라운드 값으로 떨어지는 것을 방지하여 오동작의 발생 가능성을 제거됨과 더불어 해당 체배비에 맞게 양상된 깨끗한 체배 클럭을 다수개 생성하고, 이 생성된 체배 클럭을 제공받은 임베디드 시스템 혹은 임베디드 프로세서의 성능 향상을 높이기 위함이다.
- [0013] 상기의 과제를 달성하기 위한 본 발명은 다음과 같은 구성을 포함한다.
- [0014] 주파수 체배 시스템은, 다중 지연 클럭에 속한 각 지연 클럭들 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭의 크기 또는 위치를 조절하여 상기 지연 펄스 폭이 동일한 값을 갖도록 자기 보정하고, 상기 자기 보정된 다중 지연 클럭을 주파수 체배하는 것을 특징으로 한다.
- [0015] 본 발명에 따른 주파수 체배 시스템은, 외부로부터 입력받은 원천 클럭을 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹으로 변환시키는 지연고정루프; 상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭 상승 에지 또는 하강 에지를 조절하여 상기 지연 펄스 폭이 모두 동일값을 갖는 자기 보정을 실시하는 시간 오차 비교기; 및 상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹이 상기 시간 오차 비교기에 의해 자기 보정됨에 따라 변경된 제 1 설정 클럭 그룹 및 제 2 설정 클럭 그룹을 기설정된 체배비에 적용시켜 선택된 다수의 설정 클럭을 추출한 후, 상기 추출된 다수의 설정 클럭이 모두 결합된 체배 클럭을 생성하는 주파수 체배기;를 포함한다.
- [0016] 본 발명에 따른 주파수 체배 시스템의 제어 방법은, 다중 지연 클럭에 속한 각 지연 클럭들 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭의 크기 또는 위치를 조절하는 단계; 상기 지연 펄스 폭이 동일한 값을 갖도록 자기 보정하는 단계; 및 상기 자기 보정된 다중 지연 클럭을 주파수

체배하는 단계;를 포함한다.

[0017] 본 발명에 따른 주파수 체배 시스템의 제어 방법은, 지연고정루프가 외부로부터 입력받은 원천 클럭을 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹으로 변환시키는 단계; 시간 오차 비교기가 상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹 간의 기형성된 불규칙한 지연 펄스 폭을 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭 상승 에지 또는 하강 에지를 조절하는 단계; 상기 시간 오차 비교기가 상기 지연 클럭들 중에 선택된 하나 이상의 지연 클럭 상승 에지 또는 하강 에지를 이용하여 상기 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹을 자기 보정함에 따라, 상기 지연 펄스 폭이 모두 규칙적인 동일값을 갖는 단계; 및 주파수 체배기가 상기 시간 오차 비교기의 자기 보정에 따라, 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹을 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹으로 변경하는 단계;상기 주파수 체배기가 기설정된 체배비에 적용시켜 제 1 지연 클럭 그룹 및 제 2 지연 클럭 그룹 중 다수의 선택된 설정 클럭을 추출하는 단계; 및 상기 주파수 체배기가 상기 추출된 다수의 설정 클럭을 모두 결합시켜 체배 클럭을 생성하는 단계;를 포함한다.

[0018] 본 발명에 따른 시간 오차 비교기는, 제 1 지연 클럭 그룹 중에 추출된 i 번째 지연 클럭과 $i+1$ 번째 지연 클럭을 수신하며, 상기 i 번째 지연 클럭과 $i+1$ 번째 지연 클럭을 AND 연산하여 제 1 지연 펄스 폭을 생성하는 AND 게이트; 제 1 지연 클럭 그룹 중에 추출된 $i+1$ 번째 지연 클럭과 $i+2$ 번째 지연 클럭을 수신하며, 상기 $i+1$ 번째 지연 클럭과 $i+2$ 번째 지연 클럭을 NAND 연산하여 제 2 지연 펄스 폭을 생성하는 NAND 게이트; 상기 제 1 지연 펄스 폭을 수신하며, 기인가된 제 2 바이어스 전압의 제어에 따라, 상기 제 1 지연 펄스 폭에 존재하는 $i+1$ 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 NMOS 트랜지스터; 및 상기 제 2 지연 펄스 폭을 수신하며, 기인가된 제 1 바이어스 전압의 제어에 따라, 상기 제 2 지연 펄스 폭에 존재하는 $i+1$ 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 PMOS 트랜지스터;를 포함한다.

[0019] 본 발명에 따른 시간 오차 비교기의 보정 방법은, AND 게이트가 제 1 지연 클럭 그룹 중에 추출된 i 번째 지연 클럭과 $i+1$ 번째 지연 클럭을 수신하는 단계; 상기 AND 게이트가 상기 i 번째 지연 클럭과 $i+1$ 번째 지연 클럭을 AND 연산하여 제 1 지연 펄스 폭을 생성하는 단계; NAND 게이트가 제 1 지연 클럭 그룹 중에 추출된 $i+1$ 번째 지연 클럭과 $i+2$ 번째 지연 클럭을 수신하는 단계; 상기 NAND 게이트가 상기 $i+1$ 번째 지연 클럭과 $i+2$ 번째 지연 클럭을 NAND 연산하여 제 2 지연 펄스 폭을 생성하는 단계; NMOS 트랜지스터가 상기 제 1 지연 펄스 폭을 수신하며, 기인가된 제 2 바이어스 전압의 제어에 따라, 상기 제 1 지연 펄스 폭에 존재하는 $i+1$ 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 단계; 및 PMOS 트랜지스터가 상기 제 2 지연 펄스 폭을 수신하며, 기인가된 제 1 바이어스 전압의 제어에 따라, 상기 제 2 지연 펄스 폭에 존재하는 $i+1$ 번째 지연 클럭의 상승 에지 또는 하강 에지를 위치 변경시키는 단계;를 포함한다.

[0020] 본 발명에 따른 전압제어 지연단의 버퍼는, 스위칭 온되어, 차동 입력 클럭을 수신하는 제 1 트랜지스터; 스위칭 온되어, 차동 입력 역 클럭을 제 2 트랜지스터; 상기 차동 입력 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N 번의 일정 시간 동안 지연시키게 하여 N 번 만큼의 일정 시간이 지체된 N 번째 입력 클럭을 생성하는 제 4 트랜지스터; 상기 차동 입력 역 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N 번의 일정 시간 동안 지연시키게 하여 N 번 만큼의 일정 시간이 지체된 N 번째 입력 역 클럭을 생성하는 제 3 트랜지스터;를 포함한다.

[0021] 본 발명에 따른 지연 버퍼의 단위 셀은, 스위칭 온되어, 차동 입력 클럭을 수신하는 제 1 스위칭 트랜지스터; 스위칭 온되어, 차동 입력 역 클럭을 제 2 스위칭 트랜지스터; 상기 차동 입력 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N 번의 일정 시간 동안 지연시키게 하여 N 번 만큼의 일정 시간이 지체된 N 번째 입력 클럭을 생성하는 제 4 스위칭 트랜지스터; 및 상기 차동 입력 역 클럭에 컨트롤 전압을 인가하고, 상기 차동 입력 클럭의 처리 속력을 N 번의 일정 시간 동안 지연시키게 하여 N 번 만큼의 일정 시간이 지체된 N 번째 입력 역 클럭을 생성하는 제 3 스위칭 트랜지스터;를 포함한다.

[0022] 본 발명에 따른 주파수 체배기는, 제 1, 2 설정 클럭 그룹을 NAND 연산한 결과치인 P_n 검출값을 N 개만큼 추출하는 쏘 펄스 생성기; 및 상기 N 개의 P_n 검출값을 AND 연산하고, 상기 AND 연산을 통해 결합된 출력 신호를 진폭시켜 체배 클럭을 생성하는 에지 합성기;를 포함한다.

효 과

[0023] 본 발명에서의 주파수 체배 시스템 및 그 제어 방법은 불규칙한 지연차를 갖는 다중 지연 클럭을 비교하고, 다중 지연 클럭 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 형성하는 저지터의 다중 지연 클럭을 생성 및 주파수 체배하는 시스템 및 그 제어 방법을 구현함으로써, 제어 전압이 리셋될 때 그라운

드 값으로 떨어지는 것을 방지하여 오동작의 발생 가능성을 제거됨과 더불어 해당 체배비에 맞게 향상된 깨끗한 체배 클럭을 다수개 생성하고, 이 생성된 체배 클럭을 제공받은 임베디드 시스템 혹은 임베디드 프로세서의 고정밀 성능 향상을 고조시키는 효과를 준다.

발명의 실시를 위한 구체적인 내용

- [0024] [실시예]
- [0025] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
- [0026] 도 1은 본 발명의 실시예에 따른 주파수 체배 시스템을 도시한 도면이다.
- [0027] 도 1를 참조하면, 주파수 체배 시스템(1000)은 불규칙한 지연차를 갖는 다중 지연 클럭을 비교하고, 다중 지연 클럭 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 형성하는 저지터의 다중 지연 클럭을 생성 및 주파수 체배하는 시스템이다.
- [0028] 또한, 주파수 체배 시스템(1000)은 차동 변환기(110)를 거쳐서 생성된 차동 클럭이 위상 검출기(150)에서 측정되는 위상 차이 정보가 전하 펌프(160)를 거치면서 제어 전압으로 나타나게 되고, 이 제어 전압에 의해 일정량의 지연양(Delay)을 갖게 되는 전압 제어 지연단(120)을 거치면서 기준 입력 클럭과 동기화되는 일반적인 지연 고정 루프 동작을 기반으로 하고 있다.
- [0029] 저전력 프로세서에 요구되는 주파수의 깨끗한 출력 클럭을 생성하기 위하여 자가보상 기능을 하는 시간 오차 비교기(200)와 주파수 체배기(300)가 구비된 시스템이다.
- [0030] 지연고정루프(100)는 지연 버퍼(130)의 출력 중 서로 이웃하는 다상의 클럭을 비교하여 미스매치를 보정해 줌으로써 간격이 동일한 N 개의 다상의 클럭을 생성한다.
- [0031] 주파수 체배 시스템(1000)은 지연고정루프(100), 시간 오차 비교기(200) 및 주파수 체배기(300)를 포함한다.
- [0032] 우선, 지연고정루프(DLL : 100)는 차동 변환기(Single-to-Differential Converter, S2D : 110), 전압제어 지연단(Voltage Control Delay Line : VCDL : 120), 지연 버퍼(Delay Buffer : 130), 하모닉 록 방지 블록(Anti-Harmonic Lock Block : 140), 위상 검출기(Phase Detector : 150), 전하 펌프(Charge Pump : 160) 록 검출기(Lock Detector : 170) 및 입력 코딩부(180)를 포함한다.
- [0033] 차동 변환기(110)는 외부로부터 원천 클럭(Clock)을 입력받아, 차동 입력 클럭과 차동 입력 역 클럭으로 나눠 생성한다.
- [0034] 여기서, 차동 입력 클럭과 차동 입력 역 클럭은 총칭하여 다중 차동 클럭으로도 호칭한다.
- [0035] 전압제어 지연단(120)은 차동 입력 클럭과 차동 역 클럭을 수신하여 차동 입력 클럭으로부터 추출된 0번째 입력 클럭<A(0)>을 기준으로 시간 지연차를 N번 일어나게 하여 N+1개의 다수 입력 클럭을 포함하는 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)을 생성한다.
- [0036] 마찬가지로, 전압제어 지연단(120)은 차동 역 클럭으로부터 추출된 0번째 입력 역 클럭<Ab(0)>을 기준으로 시간 지연차를 N번 일어나게 하여 N+1개의 다수 입력 역 클럭을 포함하는 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)을 생성한다.
- [0037] 즉, 전압제어 지연단(120)은 내부에 구비된 N개의 버퍼(121)를 이용하여 차동 입력 클럭과 차동 입력 역 클럭을 각각 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)과 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)으로 생성시킨다.
- [0038] 또한, 전압제어 지연단(120)은 별도 추가된 2개의 더미 버퍼(Dummy buffer : 122)를 연결시켜 하나의 더미 버퍼(122)는 최전(最前)단에 두고, 나머지 하나(122)는 최말(最末)단에 부착함으로써, 차동 변환기(110)로부터 전달된 차동 클럭과 차동 역 클럭 간의 지연(delay) 상태를 최대한 동일하게 형성되도록 지원한다.
- [0039] 지연 버퍼(130)는 전압제어 지연단(120)으로부터 전달된 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)을 다수의 버퍼(121)를 통과하도록 진행시켜 N번의 시간 지연차를 갖으며 N+1 개의 다수 지연 클럭을 포함하는 제 1 지연 클럭 그룹(<B(0)>~<B(N)>)으로 변환 생성한다.
- [0040] 지연 버퍼(130)는 전압제어 지연단(120)으로부터 전달된 제 2 입력 역 클럭 그룹(<Ab(0)>~<Ab(N)>)을 기구비된 버퍼단을 통과하도록 진행시켜 N번의 시간 지연차를 갖으며 N+1 개의 다수 지연 역 클럭을 포함하는 제 2 지연 클럭 그룹(<Bb(0)>~<Bb(N)>)으로 변환 생성한다.

- [0041] 본 발명의 실시예에 따른 주파수 체배 시스템(1000)은 지연 버퍼(130)로부터 출력된 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)간의 펄스 지연 폭이 불규칙적이며, 비일률적인 지연차를 형성함에 따라, 시간 오차 비교기(200)를 이용하여 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)의 각 지연 클럭 간 지연 펄스 폭을 규칙적이고, 일률적으로 형성케 하는 것에 있다.
- [0042] 여기서, 본 발명의 실시예는 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)을 총칭하여 다중 지연 클럭으로도 호칭한다.
- [0043] 하모닉 록 방지 블록(140)은 지연 버퍼(130)으로부터 출력된 제 2 지연 클럭 그룹(<Bb(0)>~<Bb(N)>) 중에 0번째 지연 역 클럭<Bb(0)>, 4번째 지연 역 클럭<Bb(4)>, 8번째 지연 역 클럭<Bb(8)> 및 12번째 지연 역 클럭<Bb(12)> 4개 클럭 신호를 수신한다.
- [0044] 하모닉 록 방지 블록(140)은 4개의 지연 역 클럭(<Bb(0)>, <Bb(4)>, <Bb(8)>, <Bb(12)>)을 이용하여 강제조절 신호인 Active 신호, Force_UP 신호 및 Force_DN 신호로 변환 생성한다.
- [0045] 위상 검출기(150)는 하모닉 록 방지 블록(140)으로부터 전달된 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)와, 전압제어 지연단(120)으로부터 제 1 지연 클럭 그룹(<B(0)>~<B(N)>) 중에 0번째 지연 클럭<B(0)>과 N번째 지연 클럭<B(N)>을 수신한다.
- [0046] 위상 검출기(150)는 하모닉 록 방지 블록(140)의 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)로 하여금 N번째 지연 클럭<B(N)>이 0번째 지연 클럭<B(0)>의 한 주기 내에 정상 록킹(Locking)되도록 강제 조절되게 한다.
- [0047] 다시 말해, 하모닉 록 방지 블록(140)은 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)를 위상 검출기(150)에 적용하여 위상 검출기(150)에 입력된 N번째 지연 클럭<B(N)>이 0번째 지연 클럭<B(0)>의 한 주기 이하에 정상 록킹되도록 제어한다.
- [0048] 이 때, 위상 검출기(150)는 N번째 지연 클럭<B(N)>이 0번째 지연 클럭<B(0)>에 록킹되지 않을 시에, 0번째 지연 클럭<B(0)>과 N번째 지연 클럭<B(N)> 간의 위상차를 나타내는 UP 신호 및 DOWN 신호를 생성한다.
- [0049] 위상 검출기(150)는 UP 신호 및 DOWN 신호를 전하 펌프(500)에 전달하고, 전하 펌프(160)는 UP 신호 및 DOWN 신호에 매칭되는 조절 전압(Vc)를 생성한다.
- [0050] 전하 펌프(160)는 조절 전압(Vc)를 전압조절 지연단(120)에 대입함에 따라, 전압조절 지연단(120)의 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)에 형성된 N+1개의 입력 클럭들과 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)에 형성된 N+1개의 입력 역 클럭들 간에 기설정된 위상차를 조절한다.
- [0051] 더불어, 전하 펌프(160)는 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)의 N번째 입력 클럭<A(N)>이 0 번째 입력 클럭<A(0)>에 정상 록킹되도록 위상차 제어 및 동기화시킨다.
- [0052] 록 검출기(170)는 지연 버퍼(130)으로부터 출력된 제 2 지연 클럭 그룹(<Bb(0)>~<Bb(N)>) 중에 0번째 지연 역 클럭<Bb(0)>과 N번째 지연 역 클럭<Bb(N)>을 수신하여 록 신호(Lock)를 생성한다.
- [0053] 록 검출기(170)는 시간 오차 비교기(200)에 입력된 N번째 지연 클럭<B(N)>의 당해 펄스가 0번째 지연 클럭<B(0)>의 한 주기 내에 위치하는지를 파악하여 정상 록킹됨을 파악할 시, 록 신호(Lock)를 "high" 상태로 동작시킨다.
- [0054] 여기서, 록 검출기(170)는 N번째 지연 클럭<B(N)>의 당해 펄스가 0번째 입력 클럭<B(0)>의 한 주기 내에 위치하지 않아 비정상 록킹인 하모닉 록킹 상태로 파악할 경우, 록 신호(Lock)를 "Low" 로 동작시킨다.
- [0055] 본 발명의 실시예에 따른 주파수 체배 시스템(1000)의 시간 오차 비교기(200)는 지연 버퍼(130)로부터 출력된 서로 이웃하는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹(<B(0)>~<B(16)>, <Bb(0)>~<Bb(16)>) 간에 형성된 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 갖는 제 1, 2 설정 클럭 그룹(<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>)을 생성한다.
- [0056] 즉, 시간 오차 비교기(200)는 지연 버퍼(130)로부터 출력된 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)을 입력받아 자기 보정을 실시한다.
- [0057] 시간 오차 비교기(200)는 제 1 지연 클럭 그룹 중에 i 번째 지연 클럭<B(i)>과 i+1 번째 지연 클럭 <B(i+1)> 간의 지연차를 나타내는 제 1 지연 펄스 폭(cal_dn 펄스)를 생성한다.

- [0058] 시간 오차 비교기(200)는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹($\langle B(0) \rangle \sim \langle B(N) \rangle$, $\langle Bb(0) \rangle \sim \langle Bb(N) \rangle$) 중에 $i+1$ 번째 지연 클럭 $\langle B(i+1) \rangle$ 과 $i+2$ 번째 지연 클럭 $\langle B(i+2) \rangle$ 간의 지연차를 나타내는 제 2 지연 펄스 폭(cal_up 펄스)를 생성한다.
- [0059] 시간 오차 비교기(200)은 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스)이 동일하도록 $i+1$ 번째 지연 클럭 $\langle B(i+1) \rangle$ 의 상승 에지 또는 하강 에지를 변경시켜 제 1 지연 펄스 폭(cal_dn 펄스)에 대비하여 제 2 지연 펄스 폭(cal_up 펄스) 크기 또는 위치를 조절하는 자기 보정을 실시한다.
- [0060] 시간 오차 비교기(200)는 제 2 지연 펄스 폭(cal_up 펄스)이 제 1 지연 펄스 폭(cal_dn 펄스)과 동일 지연 펄스 폭(cal_dn 펄스=cal_up 펄스)을 갖도록 조율하는 펄스폭 조율 전압(Vcal)을 생성한다.
- [0061] 시간 오차 비교기(200)는 펄스폭 조율 전압(Vcal)를 지연 버퍼(130)에 전달하고, 지연 버퍼(130)는 펄스폭 조율 전압(Vcal)를 제 1, 2 지연 클럭 그룹($\langle B(0) \rangle \sim \langle B(N) \rangle$, $\langle Bb(0) \rangle \sim \langle Bb(N) \rangle$)에 적용시켜 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스) 간에 동일 지연 펄스 폭을 형성하도록 자기 보정한다.
- [0062] 주파수 체배기(300)는 시간 오차 비교기(200)로부터 자기 보정된 규칙적이며 일정한 지연 펄스 폭을 갖는 소정의 제 1, 2 설정 클럭 그룹($\langle C(0) \rangle \sim \langle C(N) \rangle$, $\langle Cb(0) \rangle \sim \langle Cb(N) \rangle$)을 입력받아 기설정된 체배비(2^n , 단 $n: -1, 0, 1, 2, 3, 4, 5, 6$)에 따라 선택된 다수의 설정 클럭을 결합하여 다양한 체배 클럭을 생성한다.
- [0063] 주파수 체배기(300)는 기구비된 혹은 외장에 연결된 입력 코딩부(180)의 제어에 따라 결정된 체배 정수 n 에 비례하여 기정해진 하나 이상의 디지털 코드들 $D < 4, 1 \rangle$ 를 기구비된 숫 펄스 생성기에 전달하고, 에지 합성기로 하여금 제 1, 2 설정 클럭 그룹($\langle C(0) \rangle \sim \langle C(N) \rangle$, $\langle Cb(0) \rangle \sim \langle Cb(N) \rangle$) $2(N+1)$ 개 클럭 중에 $2^n * 1/2$ 에 해당하는 설정 클럭 갯수만을 추출한 다음, 선택 결합시켜 x 배 커진 체배 클럭을 다양하게 생성한다.
- [0064] 예를 들어, 주파수 체배기(300)에 기구비된 혹은 외장에 연결된 입력 코딩부(180)가 체배 정수를 $n=4$ 로 결정할 경우, 에지 합성기는 제 1, 2 설정 클럭 그룹($\langle C(0) \rangle \sim \langle C(16) \rangle$, $\langle Cb(0) \rangle \sim \langle Cb(16) \rangle$) 34개 중에 $2^4 * 1/2$ 에 해당하는 8개의 설정 클럭만을 선택적으로 결합시켜 4배 커진 체배 클럭으로 생성한다.
- [0065] 다른 예를 들어, 주파수 체배기(300)에 기구비된 혹은 외장에 연결된 입력 코딩부(180)가 체배 정수를 $n=5$ 로 결정할 경우, 에지 합성기는 제 1, 2 설정 클럭 그룹($\langle C(0) \rangle \sim \langle C(16) \rangle$, $\langle Cb(0) \rangle \sim \langle Cb(16) \rangle$) 34개 중에 $2^5 * 1/2$ 에 해당하는 16개의 지연 클럭만을 선택적으로 결합시켜 8배 커진 체배 클럭으로 생성한다.
- [0066] 또 다른 예를 들어, 주파수 체배기(300)에 기구비된 혹은 외장에 연결된 입력 코딩부(180)가 체배 정수를 $n=6$ 로 결정할 경우, 에지 합성기는 제 1, 2 설정 클럭 그룹($\langle C(0) \rangle \sim \langle C(16) \rangle$, $\langle Cb(0) \rangle \sim \langle Cb(16) \rangle$) 34개 클럭 중에 $2^6 * 1/2$ 에 해당하는 32개의 설정 클럭만을 선택적으로 결합시켜 16배 커진 체배 클럭으로 생성한다.
- [0067] 도 2는 본 발명의 실시예에 따른 주파수 체배 시스템의 제어 방법을 나타낸 순서도이다.
- [0068] 도 2를 참조하면, 주파수 체배 시스템의 제어 방법은 불규칙한 지연차를 갖는 다중 지연 클럭을 비교하고, 다중 지연 클럭 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 형성하는 저지터의 다중 지연 클럭을 생성 및 주파수 체배하는 제어 방법이다.
- [0069] 먼저, 지연고정루프(DLL)는 차동 변환기(Single-to-Differential Converter, S2D), 전압제어 지연단(Voltage Control Delay Line : VCDL), 지연 버퍼(Delay Buffer), 하모닉 록 방지 블록(Anti-Harmonic Lock Block), 위상 검출기(Phase Detector), 전하 펌프(Charge Pump), 록 검출기(Lock Detector) 및 입력 코딩부(Input Coding Part)를 포함한다.
- [0070] 차동 변환기는 외부로부터 원천 클럭(Clock)을 입력받아, 차동 입력 클럭과 차동 입력 역 클럭으로 나눠 생성한다(S10).
- [0071] 전압제어 지연단은 차동 입력 클럭과 차동 역 클럭을 수신하여 차동 입력 클럭으로부터 추출된 0번째 입력 클럭 $\langle A(0) \rangle$ 을 기준으로 시간 지연차를 N 번 일어나게 하여 $N+1$ 개의 다수 입력 클럭을 포함하는 제 1 입력 클럭 그룹($\langle A(0) \rangle \sim \langle A(N) \rangle$)을 생성한다.
- [0072] 마찬가지로, 전압제어 지연단은 차동 역 클럭으로부터 추출된 0번째 입력 역 클럭 $\langle Ab(0) \rangle$ 을 기준으로 시간 지연차를 N 번 일어나게 하여 $N+1$ 개의 다수 입력 역 클럭을 포함하는 제 2 입력 클럭 그룹($\langle Ab(0) \rangle \sim \langle Ab(N) \rangle$)을 생성한다.

- [0073] 즉, 전압제어 지연단은 내부에 구비된 N개의 버퍼를 이용하여 차동 입력 클럭과 차동 입력 역 클럭을 각각 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)과 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)으로 생성시킨다(S20).
- [0074] 지연 버퍼는 전압제어 지연단으로부터 전달된 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)을 다수의 버퍼를 통과하도록 진행시켜 N번의 시간 지연차를 갖으며 N+1 개의 다수 지연 클럭을 포함하는 제 1 지연 클럭 그룹(<B(0)>~<B(N)>)으로 변환 생성한다(S30).
- [0075] 지연 버퍼는 전압제어 지연단으로부터 전달된 제 2 입력 역 클럭 그룹(<Ab(0)>~<Ab(N)>)을 기구비된 버퍼단을 통과하도록 진행시켜 N번의 시간 지연차를 갖으며 N+1 개의 다수 지연 역 클럭을 포함하는 제 2 지연 클럭 그룹(<Bb(0)>~<Bb(N)>)으로 변환 생성한다(S30).
- [0076] 하모닉 록 방지 블록은 지연 버퍼로부터 출력된 제 2 지연 클럭 그룹(<Bb(0)>~<Bb(N)>) 중에 0번째 지연 역 클럭<Bb(0)>, 4번째 지연 역 클럭<Bb(4)>, 8번째 지연 역 클럭<Bb(8)> 및 12번째 지연 역 클럭<Bb(12)> 4개 클럭 신호를 수신한다.
- [0077] 하모닉 록 방지 블록은 4개의 지연 역 클럭(<Bb(0)>, <Bb(4)>, <Bb(8)>, <Bb(12)>)을 이용하여 강제조절신호인 Active 신호, Force_UP 신호 및 Force_DN 신호로 변환 생성한다(S40).
- [0078] 위상 검출기는 하모닉 록 방지 블록(300)으로부터 전달된 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)와, 전압제어 지연단으로부터 제 1 지연 클럭 그룹(<B(0)>~<B(N)>) 중에 0번째 지연 클럭<B(0)>과 N번째 지연 클럭<B(N)>을 수신한다(S50).
- [0079] 위상 검출기는 하모닉 록 방지 블록의 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)로 하여금 N번째 지연 클럭<B(N)>이 0번째 지연 클럭<B(0)>의 한 주기 내에 정상 록킹(Locking)되도록 강제 조절되게 한다(S60).
- [0080] 다시 말해, 하모닉 록 방지 블록은 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)를 위상 검출기에 적용하여 위상 검출기에 입력된 N번째 지연 클럭<B(N)>이 0번째 지연 클럭<B(0)>의 한 주기 이하에 정상 록킹되도록 제어한다.
- [0081] 이 때, 위상 검출기는 N번째 지연 클럭<B(N)>이 0번째 지연 클럭<B(0)>에 록킹되지 않을 시에, 0번째 지연 클럭<B(0)>과 N번째 지연 클럭<B(N)> 간의 위상차를 나타내는 UP 신호 및 DOWN 신호를 생성한다.
- [0082] 위상 검출기는 UP 신호 및 DOWN 신호를 전하 펌프에 전달하고, 전하 펌프는 UP 신호 및 DOWN 신호에 매칭되는 조절 전압(Vc)를 생성한다(S70).
- [0083] 전하 펌프는 조절 전압(Vc)를 전압조절 지연단에 대입함에 따라, 전압조절 지연단의 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)에 형성된 N+1개의 입력 클럭들과 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)에 형성된 N+1개의 입력 역 클럭들 간에 기설정된 시간 지연차를 조절한다(S80).
- [0084] 더불어, 전하 펌프는 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)의 N번째 입력 클럭<A(N)>이 0 번째 입력 클럭<A(0)>에 정상 록킹되도록 위상차 제어 및 동기화시킨다.
- [0085] 록 검출기는 지연 버퍼로부터 출력된 제 2 지연 클럭 그룹(<Bb(0)>~<Bb(N)>) 중에 0번째 지연 역 클럭<Bb(0)>과 N번째 지연 역 클럭<Bb(N)>을 수신하여 록 신호(Lock)를 생성한다(S90).
- [0086] 록 검출기는 시간 오차 비교기에 입력된 N번째 지연 클럭<B(N)>의 당해 펄스가 0번째 지연 클럭<B(0)>의 한 주기 내에 위치하는지를 파악하여 정상 록킹됨을 파악할 시, 록 신호(Lock)를 "high" 상태로 동작시킨다(S100).
- [0087] 여기서, 록 검출기는 N번째 지연 클럭<B(N)>의 당해 펄스가 0번째 입력 클럭<B(0)>의 한 주기 내에 위치하지 않아 비정상 록킹인 하모닉 록킹 상태로 파악할 경우, 록 신호(Lock)를 "Low" 로 동작시킨다.
- [0088] 본 발명의 실시예에 따른 주파수 체배 시스템의 시간 오차 비교기는 지연 버퍼로부터 출력된 서로 이웃하는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹 (<B(0)>~<B(16)>, <Bb(0)>~<Bb(16)>) 간에 형성된 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 갖는 제 1, 2 설정 클럭 그룹(<C(0)~<C(N)>, <Cb(0)~<Cb(N)>)을 생성한다(S110).
- [0089] 시간 오차 비교기는 제 1 지연 클럭 그룹 중에 i 번째 지연 클럭<B(i)>과 i+1 번째 지연 클럭 <B(i+1)> 간의 지연차를 나타내는 제 1 지연 펄스 폭(cal_dn 펄스)를 생성한다.

- [0090] 시간 오차 비교기는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>) 중에 i+1 번째 지연 클럭<B(i+1)>과 i+2 번째 지연 클럭 <B(i+2)> 간의 지연차를 나타내는 제 2 지연 펄스 폭(cal_up 펄스)을 생성한다.
- [0091] 시간 오차 비교기는 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스)이 동일하도록 i+1 번째 지연 클럭<B(i+1)>의 상승 에지 또는 하강 에지를 변경시켜 제 1 지연 펄스 폭(cal_dn 펄스)에 대비하여 제 2 지연 펄스 폭(cal_up 펄스) 크기 또는 위치를 조절하여 자기 보정을 실시한다.
- [0092] 시간 오차 비교기는 제 2 지연 펄스 폭(cal_up 펄스)이 제 1 지연 펄스 폭(cal_dn 펄스)과 동일 지연 펄스 폭(cal_dn 펄스=cal_up 펄스)을 갖도록 조율하는 펄스폭 조율 전압(Vcal)을 생성한다.
- [0093] 시간 오차 비교기는 펄스폭 조율 전압(Vcal)를 지연 버퍼에 전달하고, 지연 버퍼는 펄스폭 조율 전압(Vcal)를 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)에 적용시켜 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스) 간에 동일 지연 펄스 폭을 형성하도록 자기 보정한다.
- [0094] 주파수 체배기는 시간 오차 비교기로부터 자기 보정된 규칙적이며 일정한 지연 펄스 폭을 갖는 소정의 제 1, 2 설정 클럭 그룹(<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>)을 입력받아 기설정된 체배비(2^n , 단 n:-1, 0, 1, 2, 3, 4, 5, 6)에 따라 선택된 다수의 설정 클럭을 결합하여 다양한 체배 클럭을 생성한다.
- [0095] 주파수 체배기는 기구비된 혹은 외장에 연결된 입력 코딩부(180)의 제어에 따라 결정된 체배 정수 n에 비례하여 지정해진 하나 이상의 디지털 코드들 D<4, 1>를 기구비된 쏫 펄스 생성기에 전달하고, 에지 합성기로 하여금 제 1, 2 설정 클럭 그룹(<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>) 2(N+1)개 클럭 중에 $2^n * 1/2$ 에 해당하는 설정 클럭 갯수만을 추출한 다음, 선택 결합시켜 x 배 커진 체배 클럭을 다양하게 생성한다(S120).
- [0096] 예를 들어, 주파수 체배기에 기구비된 혹은 외장에 연결된 입력 코딩부(180)가 체배 정수를 n=6로 결정할 경우, 에지 합성기는 제 1, 2 설정 클럭 그룹(<C(0)>~<C(16)>, <Cb(0)>~<Cb(16)>) 34개 클럭 중에 $2^6 * 1/2$ 에 해당하는 32 개의 설정 클럭만을 선택적으로 결합시켜 16배 커진 체배 클럭으로 생성한다.
- [0097] 도 3은 본 발명의 실시예에 따른 주파수 체배 시스템에 구비된 시간 오차 비교기 및 그 타이밍도를 나타낸 도면이다.
- [0098] 도 3를 참조하면, 주파수 체배 시스템에 구비된 시간 오차 비교기는 지연 버퍼로부터 출력된 서로 이웃하는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹 (<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>) 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 갖는 제 1, 2 지연 클럭 그룹(<B(0)~B(N)>, <Bb(0)~Bb(N)>)을 생성한다.
- [0099] 시간 오차 비교기는 전압 제어 진연단의 다상 출력들이 지연 미스매치를 가진 채로 지연 버퍼를 거치게 되는데, 이때 다상 출력 신호 상호 간의 지연 차이를 감지하여 지연 차이가 작아지는 방향으로 지연 버퍼의 지연 시간을 조절해 준다.
- [0100] 즉, 시간 오차 비교기는 지연 버퍼로부터 출력된 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)을 입력받아 자기 보정을 실시한다.
- [0101] 시간 오차 비교기는 제 1 지연 클럭 그룹 중에 i 번째 지연 클럭<B(i)>과 i+1 번째 지연 클럭 <B(i+1)> 간의 지연차를 나타내는 제 1 지연 펄스 폭(cal_dn 펄스)을 생성한다.
- [0102] 시간 오차 비교기는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>) 중에 i+1 번째 지연 클럭<B(i+1)>과 i+2 번째 지연 클럭 <B(i+2)> 간의 지연차를 나타내는 제 2 지연 펄스 폭(cal_up 펄스)을 생성한다.
- [0103] 시간 오차 비교기는 i 번째 지연 클럭과 i+1 번째 지연 클럭을 AND 연산하여 생성된 제 1 지연 펄스 폭(cal_dn 펄스)과 i+1 번째 지연 클럭과 i+2 번째 지연 클럭을 NAND 연산하여 생성된 제 2 지연 펄스 폭(cal_up 펄스)을 각각 기구비된 NMOS 와 PMOS 트랜지스터의 게이트에 입력한다.
- [0104] 시간 오차 비교기는 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스) 간의 지연 펄스 폭이 동일하도록 i+1 번째 지연 클럭 <B(i+1)>의 상승 에지 또는 하강 에지를 변경시켜 위치 조절한다.
- [0105] 다시 말해, 시간 오차 비교기는 제 2 지연 펄스 폭(cal_up 펄스) 크기 또는 위치를 조절하여 자기 보정을 실시

한다.

- [0106] 여기서, 시간 오차 비교기에 가해지는 Vbias 전압은 En_cal 신호를 수신하는 EN 트랜지스터가 온 된 경우, 해당 노드마다 걸린 전압이 그라운드 값을 갖지 않도록 적절하게 인가되어 자기 보정하는 시간 오차 비교기의 오동작을 방지시켜 준다.
- [0107] 시간 오차 비교기는 제 2 지연 펄스 폭(cal_up 펄스)이 제 1 지연 펄스 폭(cal_dn 펄스)과 동일한 지연 펄스 폭(cal_dn 펄스=cal_up 펄스)을 갖도록 조율 및 제어하는 펄스폭 조율 전압(Vcal(i+1))을 생성한다.
- [0108] 시간 오차 비교기는 펄스폭 조율 전압(Vcal(i+1))를 지연 버퍼에 전달하고, 펄스폭 조율 전압(Vcal(i+1))를 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)에 적용하여 지연 버퍼로 하여금 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스) 간에 동일 지연 펄스 폭을 갖도록 자기 보정케 한다.
- [0109] 시간 오차 비교기는 펄스폭 조율 전압(Vcal(i+1))을 이용하여 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스) 간의 불규칙적이며, 비일률적인 지연 펄스 폭의 크기 또는 위치를 조절함으로써, 동일 지연 펄스 폭을 갖는 제 1, 2 설정 클럭 그룹<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>)을 생성한다.
- [0110] 정리하면, 시간 오차 비교기는 Bi 와 Bi+1 신호를 AND 연산을 거쳐서 Cal_dn 펄스와 Cal_up 펄스를 생성한다.
- [0111] 생성된 Cal_dn, Cal_up 펄스들은 제 1 바이어스(Bias 1)과 제 2 바이어스(Bias 2)이 인가되는 각각의 전류 전원을 스위칭 하면서 C(i+1) 캐패시터를 충전 또는 방전하여 지연 버퍼의 딜레이를 조절하는 펄스폭 조율 전압(Vcal(i+1))을 생성하게 된다.
- [0112] 즉, Cal_dn, Cal_up 펄스가 각각 시간 오차 비교기의 NMOS와 PMOS 트랜지스터의 게이트 입력으로 들어가게 되고 시간 오차 비교기는 이 두 펄스(Cal_dn, Cal_up 펄스)의 폭이 같아지도록 B(i+1)의 위치를 조절하는 펄스폭 조율 전압(Vcal(i+1))을 생성한다.
- [0113] 이러한 자가 보정 알고리즘은 지연 고정 루프로부터 받는 신호 En_cal 신호가 하이에서 로우로 떨어지면서부터 시작하게 된다. 지연 고정 루프는 록킹이 되면 En_cal 신호를 하이에서 로우로 발생시키게 된다. 자가 보상 동작은 En_cal 신호가 로우로 떨어질 때만 동작함으로 초기 에러를 방지한다.
- [0114] 또한, En_cal 신호가 하이일 경우, 제어 전압 생성 노드가 그라운드 값으로 떨어져 오동작하는 것을 방지하기 위하여 스위칭 역할을 하는 EN 트랜지스터의 다른 쪽에 Vbias 전압을 공급한다.
- [0115] 도 4는 시간 오차 비교기가 Cal_dn과 Cal_up 신호에 의하여 제어 전압을 생성하는 원리를 등가 회로로 나타낸 것으로, 도 3를 통해 설명이 된 바 회로적인 등가 모습을 도시하여 좀 더 이해도를 높이기 위해 삽입시킨다.
- [0116] 도 5는 본 발명의 실시예에 따른 시간 오차 비교기의 보정 방법을 나타낸 순서도이다.
- [0117] 도 5를 참조하면, 시간 오차 비교기의 보정 방법은 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스)간의 일치 여부를 비교 확인하고, i+1번째 지연 클럭<B(i+1)>의 상승 에지 또는 하강 에지를 변경시켜 자기 보정을 실시하는 방법이다.
- [0118] 시간 오차 비교기는 지연 버퍼로부터 출력된 서로 이웃하는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹(<B(0)>~<B(16)>, <Bb(0)>~<Bb(16)>) 간의 지연 미스매치를 자기 보정하여 규칙적이며 일정한 지연 펄스 폭을 갖는 제 1, 2 설정 클럭 그룹(<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>)을 생성한다.
- [0119] 즉, 시간 오차 비교기는 지연 버퍼로부터 출력된 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)을 입력받아 자기 보정 실시를 준비한다(S10').
- [0120] 시간 오차 비교기는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>) 중에 i 번째 지연 클럭<B(i)>과 i+1 번째 지연 클럭<B(i+1)> 간의 지연차를 나타내는 제 1 지연 펄스 폭(cal_dn 펄스)를 생성한다(S20').
- [0121] 시간 오차 비교기는 다중 지연 클럭인 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>) 중에 i+1 번째 지연 클럭<B(i+1)>과 i+2 번째 지연 클럭 <B(i+2)> 간의 지연차를 나타내는 제 2 지연 펄스 폭(cal_up 펄스)를 생성한다(S20').
- [0122] 시간 오차 비교기는 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스)이 동일하도록 i+1번째 지연 클럭<B(i+1)>의 상승 에지 또는 하강 에지를 변경시켜 제 2 지연 펄스 폭(cal_up 펄스) 크기 또는 위치를

조절하는 자기 보정을 실시한다(S30').

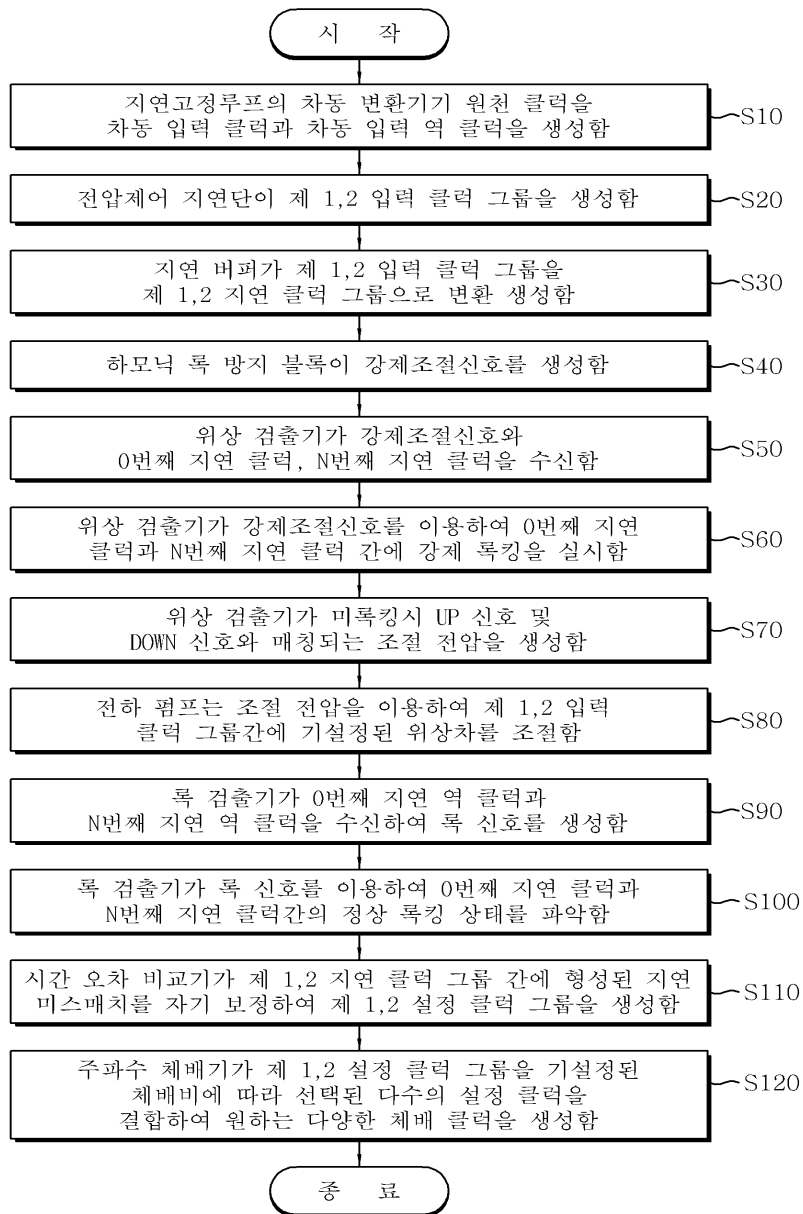
- [0123] 시간 오차 비교기는 제 2 지연 펄스 폭(cal_up 펄스)이 제 1 지연 펄스 폭(cal_dn 펄스)과 동일 지연 펄스 폭(cal_dn 펄스=cal_up 펄스)을 갖도록 i+1번째 지연 클럭<B(i+1)>의 상승 에지 또는 하강 에지를 변경하는 것을 근거로 한 전압형태의 펄스폭 조절 전압(Vcal)을 생성한다(S40').
- [0124] 시간 오차 비교기는 펄스폭 조절 전압(Vcal)를 지연 버퍼에 전달하고, 지연 버퍼는 펄스폭 조절 전압(Vcal)를 제 1, 2 지연 클럭 그룹(<B(0)>~<B(N)>, <Bb(0)>~<Bb(N)>)에 적용하여 시간 오차 비교기로 하여금 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스) 간에 동일 지연 펄스 폭을 갖도록 자기 보정케 한다(S50').
- [0125] 시간 오차 비교기는 펄스폭 조절 전압(Vcal)을 이용하여 제 1 지연 펄스 폭(cal_dn 펄스)과 제 2 지연 펄스 폭(cal_up 펄스) 간의 불규칙적이며, 비일률적인 지연 펄스 폭의 크기 또는 위치를 조절함으로써, 동일 지연 펄스 폭을 갖는 제 1, 2 설정 클럭 그룹<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>)을 생성한다(S60').
- [0126] 도 6은 본 발명의 실시예에 따른 전압 제어 지연단에 탑재된 N개의 버퍼 중선택된 하나 또는 지연 버퍼에 구성하는 단위 셀을 도시한 도면이다.
- [0127] 도 6를 참조하면, 전압제어 지연단은 차동 변환기로부터 전달된 차동 입력 클럭과 차동 입력 역 클럭을 수신하여 차동 입력 클럭으로부터 추출된 0번째 입력 클럭<A(0)>을 기준으로 시간 지연차를 N번 일어나게 함에 따라, N+1개의 다수 입력 클럭을 포함하는 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)을 생성한다.
- [0128] 마찬가지로, 전압제어 지연단은 차동 입력 역 클럭으로부터 추출된 0번째 입력 역 클럭<Ab(0)>을 기준으로 시간 지연차를 N번 일어나게 함에 따라, N+1개의 다수 입력 역 클럭을 포함하는 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)을 생성한다.
- [0129] 이 때, 전압제어 지연단에 탑재된 N개의 버퍼 중 N번째 버퍼(121)는 제 1 트랜지스터(M1)와 제 2 트랜지스터(M2)를 이용하여 각각 차동 입력 클럭과 차동 입력 역 클럭을 스위칭 온오프한다.
- [0130] N번째 버퍼(121)에 구성된 제 1 트랜지스터(M1)가 스위칭 온될 경우, 제 1 트랜지스터(M1)은 제 1 입력단(In)으로 들어온 차동 입력 클럭을 제 4 트랜지스터(M4)에 전달하고, 제 4 트랜지스터(M4)는 제 6 트랜지스터(M6)와 연결된 컨트롤 전압(Vctrl)을 인가하여 차동 입력 클럭의 처리 속력을 일정 시간(T) 동안 지연시킨다.
- [0131] 즉, N번째 버퍼(121)로부터 출력되는 차동 입력 클럭은 N번의 일정 지연 시간(N*T)을 경과한 후에야 제 1 출력단(Out)을 통해 비로소 나오게 되고, N번째 버퍼(121)는 차동 입력 클럭을 N번의 일정 시간 (N*T)만큼 지연시킴으로써 원하는 출력값인 N번째 입력 클럭<A(N)>을 얻게 된다.
- [0132] 동일하게, N번째 버퍼(121)에 구성된 제 2 트랜지스터(M2)가 스위칭 온될 경우, 제 2 트랜지스터(M2)은 제 2 입력단(Inb)으로 들어온 차동 입력 역 클럭을 제 3 트랜지스터(M3)에 전달하고, 제 3 트랜지스터(M3)는 제 5 트랜지스터(M5)와 연결된 컨트롤 전압(Vctrl)을 인가하여 차동 입력 역 클럭의 처리 속력을 일정 기간(T) 동안 지연시킨다.
- [0133] 즉, N번째 버퍼(121)로부터 출력되는 차동 입력 역 클럭은 N번의 일정 지연 시간(N*T)을 경과한 후에야 제 2 출력단(Outb)을 통해 비로소 나오게 되고, N번째 버퍼(121)는 차동 입력 역 클럭을 N번의 일정 시간 (N*T)만큼 지연시킴으로써 원하는 출력값인 N번째 입력 역 클럭<Ab(N)>을 얻게 된다.
- [0134] 결과적으로, 전압제어 지연단은 내부에 구비된 N개의 버퍼(121)를 통해 차동 입력 클럭과 차동 입력 역 클럭을 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)과 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)으로 생성시키고, 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)의 N+1개 입력 클럭들과 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>)의 N+1개 입력 역 클럭들 간의 지연 펄스 폭이 N 차순에 따라 각각 일정 시간(T)만큼씩 유지토록 형성한다.
- [0135] 도 6은 시간 오차 비교기로부터 생성된 제어 전압을 이용하여 지연 미스매치를 감소시키도록 지연량을 조절하는 지연 버퍼에 구성하는 단위 셀에 대한 회로도로도 사용 가능한 것으로, 상기 기술된 전압 제어 지연단에 구비된 하나 이상의 단위 버퍼는 지연 버퍼에 구성된 단위 셀과 동일 소자임을 주위 깊게 언급한다.
- [0136] 지연 버퍼에 구성하는 단위 셀의 각각은 전압 제어 지연단으로부터 출력되는 제 1 입력 클럭 그룹(<A(0)>~<A(N)>)와 제 2 입력 클럭 그룹(<Ab(0)>~<Ab(N)>) 간에 형성되는 불규칙적인 지연 펄스 폭을 일정하게 보상하기 위하여 구비된다.

- [0137] 즉, 제 1 트랜지스터(M1), 제 2 트랜지스터(M2)는 전압 제어 지연단으로부터 다상 클록들을 받아들이고, 시간 오차 비교기에서 발생된 제어 전압은 제 5 트랜지스터(M5), 제 6 트랜지스터(M6)의 게이트 전압을 조절함으로써 드레인 전류를 변화시켜 지연셀의 지연량을 조절한다.
- [0138] 또한, 제 3 트랜지스터(M3), 제 4 트랜지스터(M4)는 지연셀이 차동 클록이 발생하도록 보장한다.
- [0139]
- [0140] 도 7은 본 발명의 실시예에 따른 주파수 체배 시스템에 구비된 주파수 체배기를 도시한 도면이다.
- [0141] 도 7를 참조하면, 주파수 체배 시스템의 주파수 체배기(300)는 시간 오차 비교기로부터 자기 보정된 규칙적이며 일정한 지연 펄스 폭을 갖는 제 1, 2 설정 클럭 그룹(<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>)을 입력받아 기설정된 체배비(2^n , 단 n : -1, 0, 1, 2, 3, 4, 5, 6)에 따라 선택된 다수의 지연 클럭을 결합하여 다양한 체배 클럭을 생성한다.
- [0142] 주파수 체배기(300)는 내장 혹은 외장에 연결된 입력 코딩부의 제어 신호에 따라 결정된 체배 정수 n 에 비례하여 지정해진 하나 이상의 디지털 코드들(D1, D2, D3, D4)을 기구비된 쏘 펄스 발생기(310)에 전달하고, 예지 합성기(320)로 하여금 제 1, 2 설정 클럭 그룹(<C(0)>~<C(N)>, <Cb(0)>~<Cb(N)>) $2(N+1)$ 개 클럭 중에 $2^n * 1/2$ 에 해당하는 지연 클럭 갯수만을 추출한 다음, 추출된 클럭 수 모두 결합시켜 x 배 커진 체배 클럭을 다양하게 생성시킨다.
- [0143] 주파수 체배기(300)는 쏘 펄스 생성기(310) 및 예지 합성기(320)를 포함한다.
- [0144] 쏘 펄스 생성기(310)는 시간 오차 비교기로부터 전달된 제 1, 2 설정 클럭 그룹(<C(0)>~<C(N)>과 <Cb(0)>~<Cb(N)>)을 둘 이상의 인버터를 통과함에 따라 t_d 만큼의 지연 시간을 각각 갖는 <Cb(0+t_d)>~<Cb(N+t_d)>을 NAND 연산한 후, NAND 연산한 결과치인 N 개의 P_n 검출값을 예지 합성기(320)에 전달한다.
- [0145] 예지 합성기(320)는 N 개의 P_n 검출값을 AND 연산하고, AND 연산을 통해 결합된 출력 신호를 사용 용이하도록 진폭시켜 원하는 체배 클럭을 생성한다.
- [0146] 좀 더 구체적으로, 쏘 펄스 생성기(310)에 기구성된 N 개의 NAND 게이트는 N 개의 설정 클럭<C(N)>, N 개의 설정 역 클럭<Cb(N+t_d)> 및 외장 혹은 내장형 입력 코딩부로부터 전달된 디지털 코드(D1, D2, D3, S4,...)인 3개 입력신호를 전달받아 NAND 연산하고 그 결과치인 N 개의 P_n 검출값을 생성한다.
- [0147] 예지 합성기(320)는 N 개의 P_n 검출값을 기구비된 디코더 형태를 갖는 AND 회로부를 통해 AND 연산하고, AND 연산을 통해 결합된 출력 신호를 기구비된 TPL(Toggle pulsed latch)에 전달하여 사용 용이한 체배 펄스로 크게 확장시킴으로써, 최종 결과치인 x 배 체배된 체배 클럭을 출력시킨다.
- [0148] 도 8은 쏘 펄스 생성기(310)가 다상 클록을 입력받아 쏘 펄스를 생성하는 과정을 보여준다. 지연 버퍼의 출력 i 번째의 $C(i)$ 와 그것의 역신호를 t_d 만큼 지연 시킨 신호 $Cb(i+t_d)$ 그리고 디지털 코드 D_n 를 AND 연산하여 도 6과 같은 쏘 다운 펄스 $P(i+1)$ 를 생성한다.
- [0149] 즉, 각각의 쏘 펄스 생성기(310)는 디지털 코드 D_n 이 '하이'로 유지될 때에만 쏘 펄스를 생성하게 된다.
- [0150] 도 9에서 처럼, AND 회로의 출력 신호 TPL_in은 폴링 예지마다 토글 펄스드 래치(TPL, Toggle Pulsed Latch)를 차례로 토글되어 듀티 사이클이 50%인 체배 클럭 Scaled_Clk로 생성된다.
- [0151] 도 10은 입력 디지털 코드에 따라 선별되어지는 쏘 펄스들과 그에 따른 주파수 체배비를 도표로 나타낸 것이다.
- [0152] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

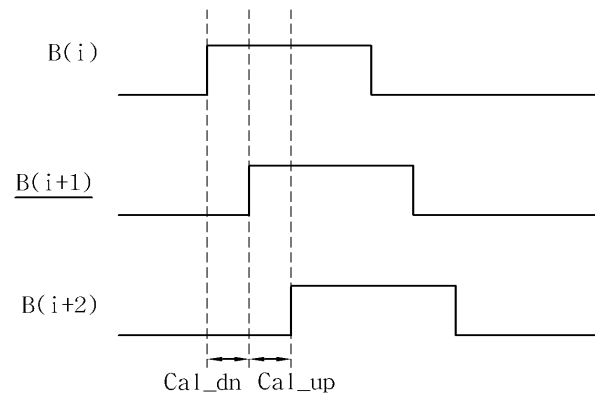
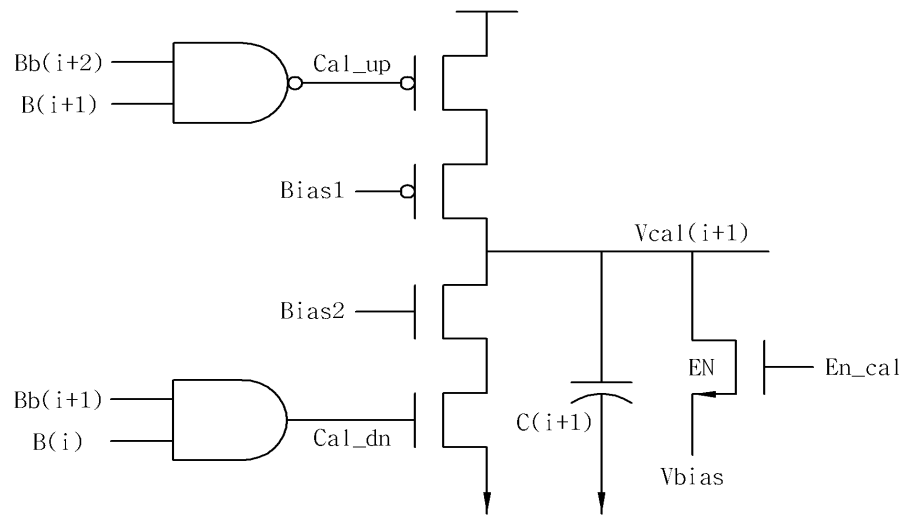
도면의 간단한 설명

- [0153] 도 1은 본 발명의 실시예에 따른 주파수 체배 시스템을 도시한 도면이다.
- [0154] 도 2는 본 발명의 실시예에 따른 주파수 체배 시스템의 제어 방법을 나타낸 순서도이다.

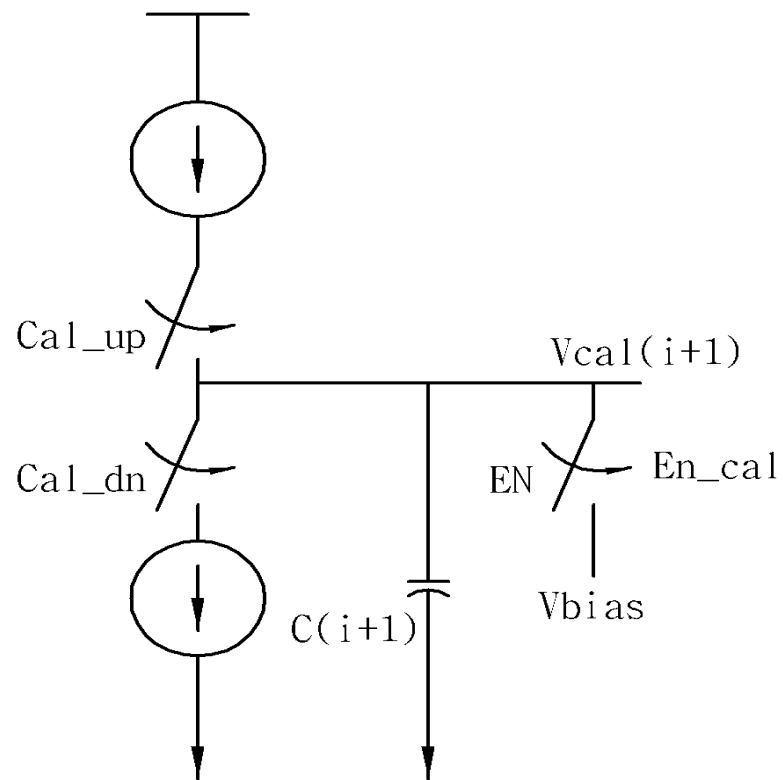
도면2



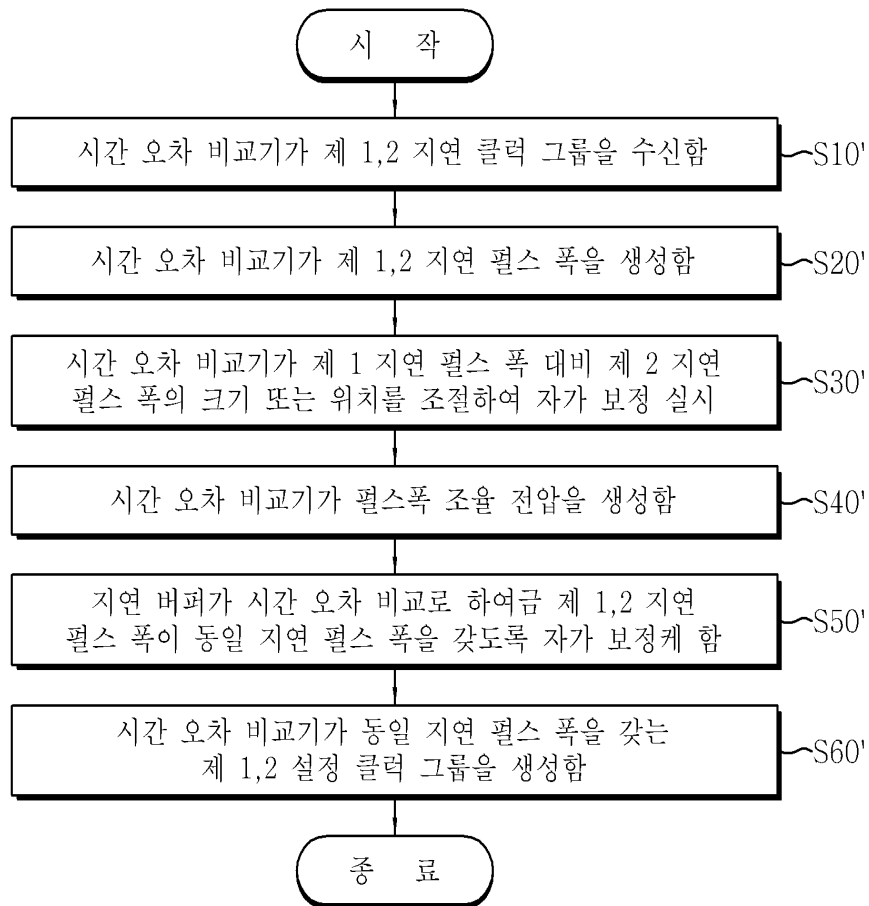
도면3



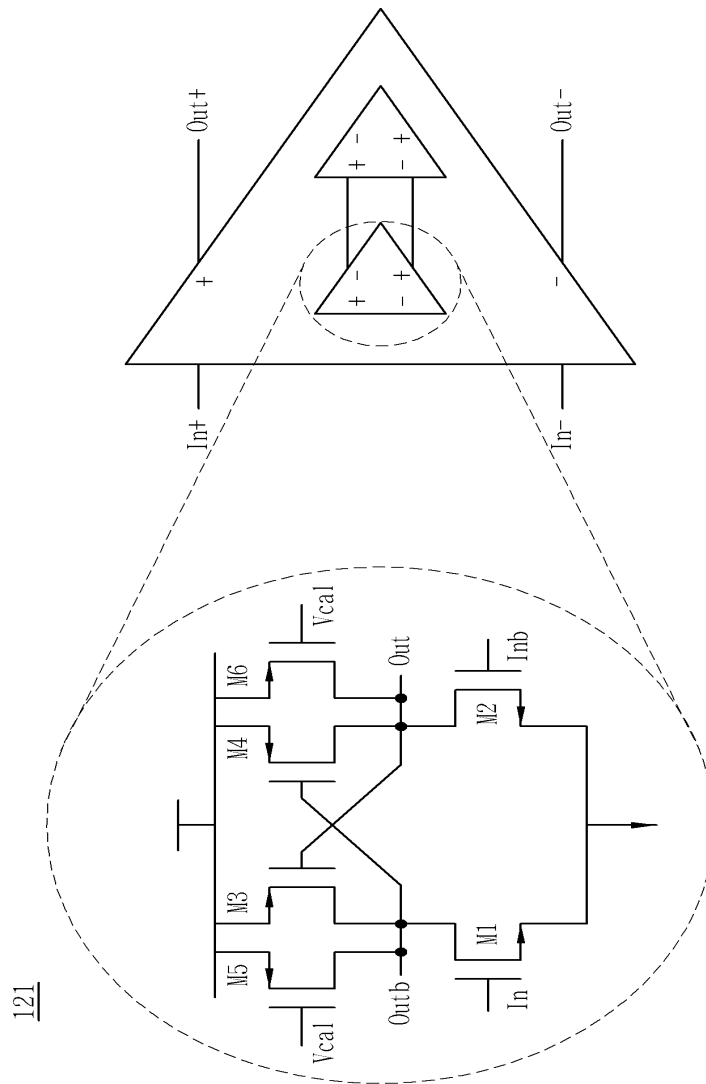
도면4



도면5



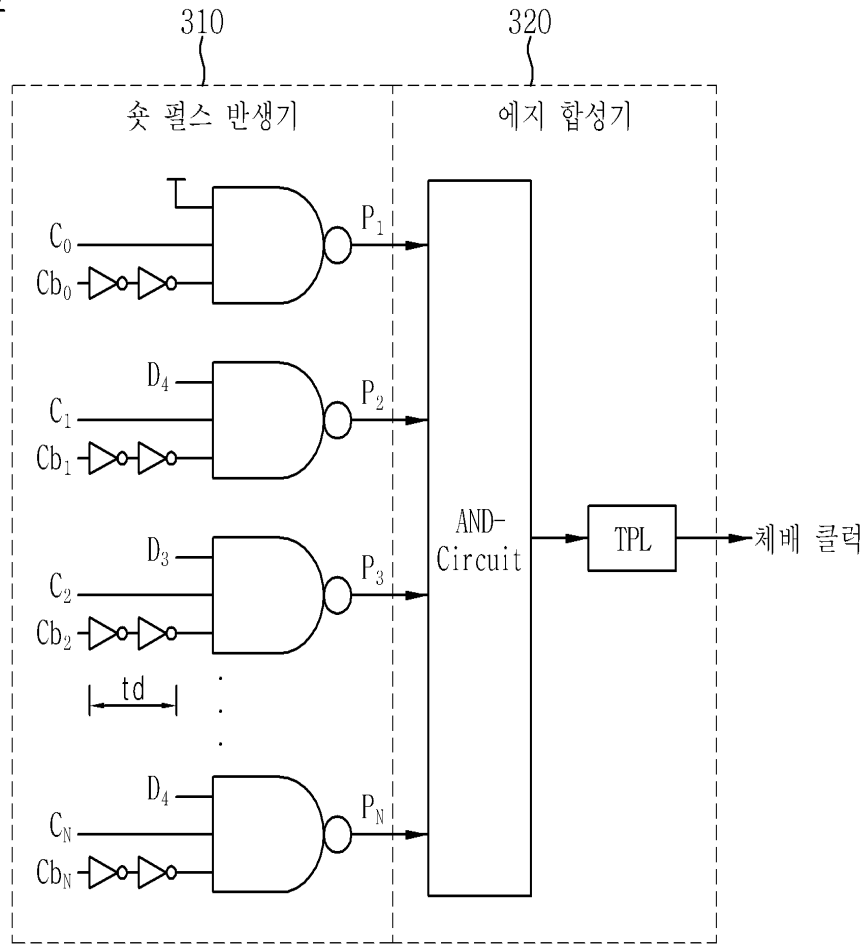
도면6



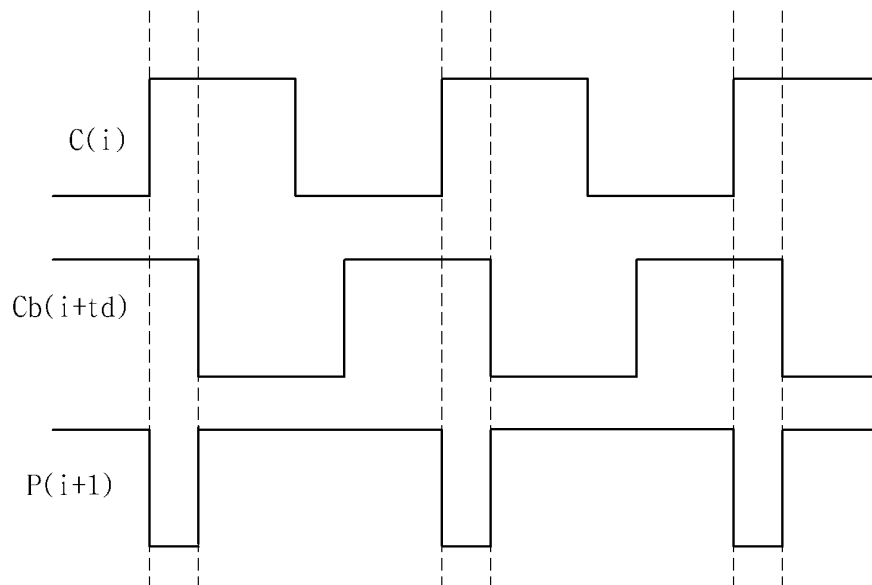
121

도면7

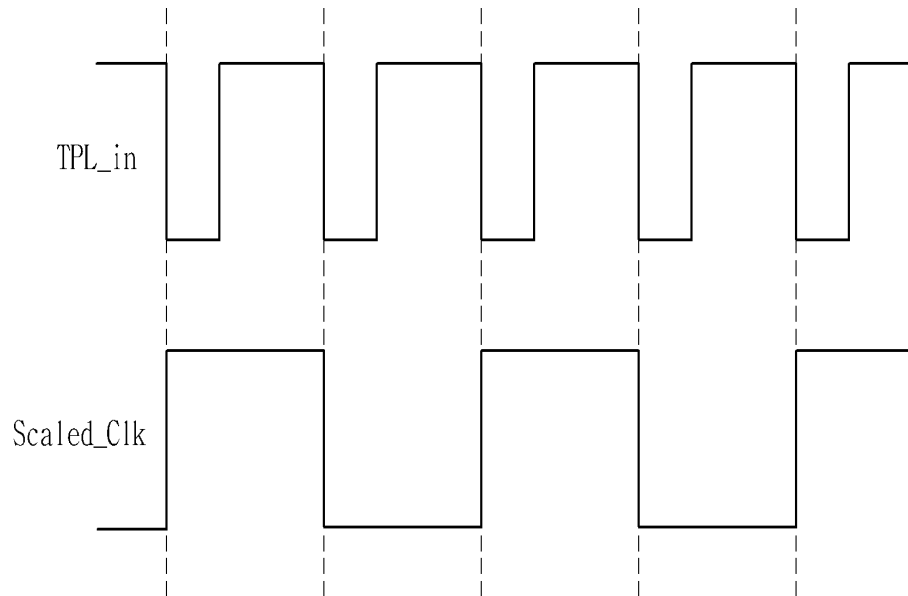
300



도면8



도면9



도면10

(E=Enable, D=Disable)

Multiplication Factor Controller				Multiplication Factor	Outputs of Transition Detector															
					P ₁	P ₂	P ₃	P ₄	P ₅	P ₆	P ₇	P ₈	P ₉	P ₁₀	P ₁₁	P ₁₂	P ₁₃	P ₁₄	P ₁₅	P ₁₆
D4	D3	D2	D1	8	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E
D	E	E	E	4	E	D	E	D	E	D	E	D	E	D	E	D	E	D	E	D
D	D	E	E	2	E	D	D	D	E	D	D	D	E	D	D	D	E	D	D	D
D	D	D	E	1	E	D	D	D	D	D	D	D	E	D	D	D	D	D	D	D
D	D	D	D	0.5	E	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D