

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

(43) 국제공개일
2020년 11월 5일 (05.11.2020) WIPO PCT

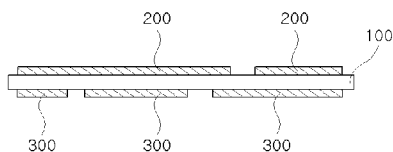
WO 2020/222501 A1

- (51) 국제특허분류: *H01G 4/012* (2006.01) *H01G 4/30* (2006.01) (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
H01G 4/12 (2006.01) *H05K 1/03* (2006.01)
- (21) 국제출원번호: PCT/KR2020/005595 공개:
(22) 국제출원일: 2020년 4월 28일 (28.04.2020) — 국제조사보고서와 함께 (조약 제21조(3))
- (25) 출원언어: 한국어
(26) 공개언어: 한국어
- (30) 우선권정보: 10-2019-0051775 2019년 5월 2일 (02.05.2019) KR
- (71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]; 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90, 19-1블럭(천안제4지방산업단지), Chungcheongnam-do (KR).
- (72) 발명자: 이지형 (LEE, Ji-Hyung); 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90, 19-1블럭(천안제4지방산업단지), Chungcheongnam-do (KR).
- (74) 대리인: 한양특허법인 (HANYANG PATENT FIRM); 06296 서울시 강남구 논현로38길 12, 한양빌딩, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: CERAMIC SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭: 세라믹 기판 및 그의 제조방법

20



(57) Abstract: The present invention provides a ceramic substrate and a manufacturing method therefor, the ceramic substrate inhibiting warpage caused by the volume occupied by upper and lower metal layers of a ceramic base substrate, and particularly, enabling the fraction defective of the ceramic substrate to be reduced by controlling the area of the upper and lower metal layers when the thicknesses of the upper and lower metal layers of the ceramic base substrate are the same.

(57) 요약서: 본원발명은 세라믹 기재의 상하부 금속층이 차지하는 부피의 차이에 의해 발생하는 휨(warping) 현상을 억제하고, 특히 세라믹 기재 상의 상하부 금속층의 두께가 같은 경우에 상하부 금속층의 면적을 제어하여 세라믹 기판의 불량률을 줄일 수 있게 하는 세라믹 기판 및 그의 제조방법을 제공한다.

WO 2020/222501 A1

명세서

발명의 명칭: 세라믹 기판 및 그의 제조방법

기술분야

- [1] 본원발명은 세라믹 기판 및 그의 제조하는 방법에 관한 것으로서, 특히 상하부 금속층의 체적 및 면적의 비율을 제어함으로써 세라믹 기판이 휘어지는 것을 방지하기 위한 세라믹 기판 및 그의 제조하는 방법에 관한 것이다.

배경기술

- [2] 세라믹 기판은 세라믹 기재에 동박과 같은 금속박을 일체로 부착하여 구성된다. 세라믹 기판은 AMB(Active Metal Brazing), DBC(Direct Bond Copper) 등의 제조 공정을 통해 생성되며, 제조 공정상의 차이에 따라 세라믹 AMB 기판, 세라믹 DBC 기판 등으로 구분될 수도 있다.
- [3] 세라믹 DBC 기판은 세라믹 기재에 산화 가능한 금속을 직접 접합시키는 공정에 의해 제조되고, 세라믹 AMB 기판은 세라믹 기재에 active metal을 brazing하여 층을 형성하고, brazing layer에 금속이 brazing되어 제조되는 차이가 있다.
- [4] 그리고, 일반적으로 양 공정 모두 금속층을 형성시킨 후 포토리소그래피(photolithography) 공정을 거친 후 식각(etching)에 의해 패턴층을 형성시키게 된다.
- [5] 그런데, 세라믹 기재의 양 면에 금속층을 형성시킴에 있어서, 양 면의 패턴 배열에 따라 금속층의 면적 내지 두께의 차이가 발생할 수 있는데, 그 차이가 일정 비율을 초과하게 되면 고온 환경에서 세라믹 기판이 휘어지는 현상(warpage)이 발생하게 된다.
- [6] 그 결과, 휘어지는 정도가 0.4%를 초과하게 되면 불량으로 폐기될 수밖에 없는 수준이 되는데, 이의 발생 비율은 전체 생산량에서 비교적 큰 비중을 차지하게 되어 지속적인 생산 손실의 문제를 야기시키고 있다.
- [7] 경험적 데이터에 의하면, 양 금속층의 부피 비율이 75% ~ 85% 범위에 달하면 휘어지는 정도가 0.4%를 초과하게 됨을 알 수 있었다.
- [8] 도 1의 예시와 같이, 세라믹 기판(10)은 세라믹 기재(1)의 상면에 형성된 금속층(2)과 세라믹 기재(1)의 하면에 형성된 금속층(3)의 부피비가 적정 범위를 벗어나는 경우, 고온 환경에서 기판이 휘어지는 현상이 발생되고, 이때 금속층(3)의 부피가 더 큰 경우가 negative warpage라 하고, negative warpage의 경우가 이와 반대의 경우인 positive warpage의 경우보다 많이 발생하게 된다.
- [9] 그렇다하여, 세라믹 기재(1)의 두께를 늘리는 것은 경제적이지 못하여 한계가 있고, 상하부 금속층(2,3)을 설계상 동일한 두께비로 유지하기 어려운 경우도 많다.
- [10] *선행기술문헌*

[11] (특허문헌 1) 한국등록특허공보 제10-0731604호

[12] (특허문헌 2) 한국등록특허공보 제10-1053141호

발명의 상세한 설명

기술적 과제

[13] 본원발명은 상술한 문제점을 해결하고자 안출된 것으로서, 본원발명은 세라믹 기재의 상하부 금속층이 차지하는 부피의 차이에 의해 발생하는 휨(warping) 현상을 억제하고, 특히 세라믹 기재 상의 상하부 금속층의 두께가 같은 경우에 상하부 금속층의 면적을 제어하여 세라믹 기판의 불량률을 줄일 수 있게 하는 세라믹 기판 및 그의 제조방법을 제공하는 데 그 목적이 있다.

과제 해결 수단

[14] 본원발명의 세라믹 기판은 세라믹 기재; 상기 세라믹 기재의 상부에 형성된 제1 전극층; 및

[15] 상기 세라믹 기재의 하부에 형성된 제2 전극층;을 포함하며, 하기 식(1)을 만족한다.

$$[16] \quad 85\% \leq \frac{V_1}{V_2} \leq 105\% \quad \text{식(1)}$$

[17] (여기서, V_1 은 제1 전극층의 부피, V_2 는 제2 전극층의 부피를 나타낸다)

[18] 또한, 세라믹 기판은 상기 제1 전극층 및 상기 제2 전극층의 두께가 동일하고, 하기 식(2)을 만족한다.

$$[19] \quad 85\% \leq \frac{S_1}{S_2} \leq 105\% \quad \text{식(2)}$$

[20] (여기서, S_1 은 제1 전극층의 면적, S_2 는 제2 전극층의 면적을 나타낸다)

[21] 여기서, 상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘은 복수의 서브 전극층을 구비한다.

[22] 한편, 상기 서브 전극층은 전극층이 슬릿에 의하여 분리된다.

[23] 또한, 상기 슬릿은 전극층을 상하로 분리하는 제1 슬릿 및 전극층을 좌우로 분리하는 제2 슬릿을 어느 하나 또는 둘 이상을 포함한다.

[24] 또한, 세라믹 기판은 하기 식(3)으로 정의되는 챔버비율(chamber ratio) R 은 0.4%이하이다.

$$[25] \quad R = \frac{T-t}{L} \times 100 \quad \text{식(3)}$$

[26] (여기서, T 는 세라믹 기판을 평면 위에 놓았을 때, 세라믹 기판의 가장 높은 위치로부터 평면까지의 최단 길이, t 는 세라믹 기판의 두께, L 은 세라믹 기판의 길이를 나타낸다)

[27] 여기서, 상기 세라믹 기재와 제1 전극층 사이 및 상기 세라믹 기재와 제2 전극층 사이의 어느 한쪽 또는 양쪽에 접합층을 포함한다.

- [28] 또한, 상기 세라믹 기판의 가장 높은 위치로부터 평면까지의 최단 길이 T와 세라믹 기판 두께 t_0 의 차이인 $(T-t_0)$ 와 세라믹 기판의 길이(L_0)의 관계는 하기 식(4)를 만족한다.
- [29] $T-t_0 \leq 0.004L_0$ 식(4)
- [30] 여기서, 상기 세라믹 기재는 알루미늄, 알루미늄나이트라이드, 실리콘나이트라이드 및 ZTA에서 선택된다.
- [31] 또한, 세라믹 기판은 자동차 엔진, 풍력 터빈 및 고전압 DC 전송 장치의 어느 하나에 사용된다.
- [32]
- [33] 본원발명의 세라믹 기판의 제조방법은 세라믹 기재를 준비하는 단계; 상기 세라믹 기재의 상부에 제1 전극층을 형성하는 단계; 및 상기 세라믹 기재의 하부에 제2 전극층을 형성하는 단계;를 포함하며, 하기 식(1)을 만족한다.
- [34] $85\% \leq \frac{V_1}{V_2} \leq 105\%$ 식(1)
- [35] (여기서, V_1 은 제1 전극층의 부피, V_2 는 제2 전극층의 부피를 나타낸다)
- [36] 또한, 상기 제1 전극층 및 상기 제2 전극층의 두께가 동일하고, 하기 식(2)을 만족한다.
- [37] $85\% \leq \frac{S_1}{S_2} \leq 105\%$ 식(2)
- [38] (여기서, S_1 은 제1 전극층의 면적, S_2 는 제2 전극층의 면적을 나타낸다)
- [39] 여기서, 상기 세라믹 기판은 AMB(Active Metal Brazing) 또는 DBC(Direct Bond Copper)의 어느 하나의 공정에 의하여 제조된다.
- [40] 한편, 상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘은 복수의 서브 전극층으로 이루어진다.
- [41] 또한, 상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘을 슬릿으로 분리하여 형성한다.
- [42] 또한, 상기 제1 전극층 및 상기 제2 전극층을 세라믹 기재에 형성하기 전에 상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘을 서브 전극층으로 분리한 후, 상기 서브 전극층을 세라믹 기재에 형성하는 단계를 더욱 포함한다.
- [43] 또한, 상기 제1 전극층 및 상기 제2 전극층을 세라믹 기재에 형성한 후, 상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘을 서브 전극층으로 분리하는 단계를 더욱 포함한다.
- [44] 여기서, 상기 서브 전극층으로 분리하는 단계는 상기 제1 전극층 및 상기 제2 전극층을 커팅, 에칭 및 금형의 어느 하나의 방법을 사용한다.
- [45] 또한, 상기 서브 전극층으로 분리하는 단계로서 전극층을 에칭액으로 식각하는 경우, 상기 에칭액은 염화제2철 및 염화구리에서 선택되는 어느 하나 또는 둘을 포함한다.

[46] 또한, 하기 식(3)으로 정의되는 챔버비율(chamber ratio) R은 0.4이하로 조정되도록 상기 제1 전극층 및 상기 제2 전극층을 세라믹 기체에 형성한다.

[47]
$$R = \frac{T-t}{L} \times 100 \quad \text{식(3)}$$

[48] (여기서, T는 세라믹 기판을 평면 위에 놓았을 때, 세라믹 기판의 가장 높은 위치로부터 평면까지의 최단 길이, t는 세라믹 기판의 두께, L은 세라믹 기판의 길이를 나타낸다)

발명의 효과

[49] 본원발명의 세라믹 기판 및 그의 제조방법에 의하면, 세라믹 기체의 상하부에 형성되는 금속층의 부피 차이를 특정 범위 내에 제어하거나, 또는 세라믹 기체의 상하부의 금속층의 두께가 같은 경우에는 상하부 금속층의 면적을 제어함으로써, 세라믹 기판의 챔버의 수치를 낮출 수 있는 효과가 있다.

[50] 이에 따라, 세라믹 기판을 고온 환경하에서도 휘어지지 않게 제조할 수 있고, 나아가 세라믹 기판의 불량률을 개선하여 공정성 및 생산성을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

[51] 도 1은 힘이 발생한 세라믹 기판을 나타내는 단면도.

[52] 도 2는 본원발명의 세라믹 기판을 나타내는 단면도.

[53] 도 3은 세라믹 기체에 전극층이 형성된 세라믹 기판의 상부 및 하부 도면.

[54] 도 4 및 5는 세라믹 기체에 전극층이 형성된 세라믹 기판의 하부 도면.

[55] 도 6은 챔버비를 측정하기 위한 파라미터를 설명하기 위한 세라믹 기판의 단면도.

[56] 도 7은 본원발명의 챔버비를 만족하는 영역을 나타내기 위한 그래프.

[57] 도 8은 본원발명의 세라믹 기판의 제조방법을 설명하기 위한 플로우 차트.

[58] 도 9는 본원발명의 실시예 및 비교예를 나타내는 세라믹 기판의 사진.

발명의 실시를 위한 최선의 형태

[59] 세라믹 기판

[60] 도 2에 나타난 바와 같이, 본원발명에 의한 세라믹 기판(20)은 세라믹 기체(100); 상기 세라믹 기체(100)의 상부에 형성된 제1 전극층(200); 및 상기 세라믹 기체(100)의 하부에 형성된 제2 전극층(300);을 포함할 수 있다. 여기서, 제1 전극층(200) 및 제2 전극층(300)의 부피는 일정 범위에 있어야 세라믹 기판(20)의 휨을 억제할 있다.

[61] 예를 들어, 제1 전극층(200)의 부피를 V_1 이라 하고, 제2 전극층(300)의 부피를 V_2 라 정의하는 경우, 하기 식(1)을 만족하는 할 때, 세라믹 기판(20)의 휨을 현저하게 줄일 수 있다.

[62]
$$85\% \leq \frac{V_1}{V_2} \leq 105\% \quad \text{식(1)}$$

- [63] 또한, 세라믹 기판(20)의 설계 상, 동일한 두께의 제1 전극층(200)과 제2 전극층(300)를 사용할 필요가 있다. 이때, 제1 전극층(200)과 제2 전극층(300)의 패턴 형상에 따라 각각의 면적의 차이가 발생할 수 있고, 세라믹 기판(20)의 휨을 방지할 필요성이 커지게 된다.
- [64] 예를 들어, 제1 전극층(200)의 면적을 S_1 이라 하고, 제2 전극층(300)의 면적을 S_2 라 정의하는 경우, 하기 식(2)를 만족하는 할 때, 세라믹 기판(20)의 휨을 현저하게 줄일 수 있다.
- [65]
$$85\% \leq \frac{S_1}{S_2} \leq 105\% \quad \text{식(2)}$$
- [66] 즉, S_2 에 대한 S_1 의 비율이 85%미만이면 negative warpage가 발생하기 쉽고, 휨의 발생 정도를 나타내는 캠버비가 0.4%를 초과하게 된다. 또한, S_2 에 대한 S_1 의 비율이 115%를 초과하면 positive warpage가 발생하기 쉽다. 다만, 세라믹 기판(20)의 설계상 제1 전극층(200)에 비하여 제2 전극층(300)의 면적이 유사하거나 적은 경우가 많으므로 S_2 에 대한 S_1 의 비율이 105%이하이면 positive warpage의 발생 없이 세라믹 기판(20)을 제조할 수 있다.
- [67] 한편, 세라믹 기판(20)은, 세라믹 기재(100)과 제1 전극층(200) 사이 또는 상기 세라믹 기재(100)와 제2 전극층(300) 사이에 접합층(미도시)을 포함할 수 있다. 예를 들어, 세라믹 기재(100)과 제1 전극층(200) 사이 및 세라믹 기재(100)와 제2 전극층(300) 사이의 양쪽에 접합층을 형성할 수도 있고, 세라믹 기재(100)과 제1 전극층(200) 사이 및 세라믹 기재(100)와 제2 전극층(300) 사이의 어느 한쪽에 접합층을 포함할 수도 있다.
- [68] 세라믹 기재(100)는 알루미늄, 알루미늄나이트라이드, 실리콘나이트라이드 및 ZTA에서 선택되는 어느 하나일 수 있으나, 이에 한정되는 것은 아니다.
- [69] 제1 전극층(200) 및 제2 전극층(300)은 은(Ag), 구리(Cu), 텅스텐(W), 몰리브덴(Mo), 니켈(Ni) 중 선택된 1종 또는 이들의 합금을 포함할 수 있다. 바람직하게 구리(Cu) 또는 이의 합금을 사용할 수 있다.
- [70]
- [71] 제1 전극층은 전자소자의 연결전극으로서 세라믹 기판에 그 형태나 두께, 길이 등이 고정되어 설계되는 경우가 많다. 여기서, 제2 전극층의 슬릿을 조절함으로써 제1 전극층과 제2 전극층의 부피 비율 또는 면적 비율을 제어할 수 있다. 즉, 제2 전극층에 슬릿을 많이 사용하여 서브 전극층을 많이 형성하게 되면 제2 전극층의 부피 및 면적이 감소하게 되어 제1 전극층에 대한 제2 전극층의 부피 비율 및 면적 비율은 감소하게 되는 것이다. 이와 같이 세라믹 기판을 설계하기 위하여, 제2 전극층은 다양한 형태를 가질 수 있다.
- [72]
- [73] 도 3 (a)에 나타난 바와 같이, 세라믹 기재(100A)의 상부에 형성된 제1 전극층은 복수의 서브 전극층(200s1, 200s2, 200s3, 200s4, 200s5)을 형성하고, 세라믹

기재(100B)의 하부에 형성된 제2 전극층은 단일 전극층(300S)을 형성할 수 있다. 또는, 도 3 (b)에 나타난 바와 같이, 세라믹 기재(100A)의 상부에 형성된 제1 전극층은 복수의 서브 전극층(200s1,200s2,200s3)을 형성하고, 세라믹 기재(100B)의 하부에 형성된 제2 전극층은 복수의 서브 전극층(300s1,300s2,300s3,300s4)을 형성할 수 있다.

[74]

[75] 또한, 도 4에 나타난 바와 같이, 서브 전극층의 영역을 분리하는 슬릿은 다양한 형태를 가질 수 있다. 예를 들어, 도4 (a)에 나타난 바와 같이, 단일 전극층을 상하로 분리하는 슬릿(slit1)에 의하여 서브 전극층(300s1) 및 서브 전극층(300s2)으로 분리될 수 있고, 도 4 (b)에 나타난 바와 같이, 단일 전극층을 좌우로 분리하는 슬릿(slit2)에 의하여 서브 전극층(300s3) 및 서브 전극층(300s4)으로 분리될 수 있다.

[76] 또한, 도 4 (c)에 나타난 바와 같이, 단일 전극층을 좌우로 분리하는 슬릿(slit3) 및 단일 전극층을 상하로 분리하는 슬릿(slit4)에 의하여 서브 전극층(300s5,300s6,300s7)으로 분리할 수 있다.

[77] 즉, 제2 전극층을 슬릿으로 분리하여 제2 전극층의 부피비율 및 면적비율을 조절함으로써, 제1 전극층과 제2 전극층의 부피비율 및 면적비율을 제어할 수 있는 것이다.

[78]

[79] 다음으로, 제2 전극층의 부피비율 및 면적비율을 조절하기 위한 다른 예로서, 서브 전극층의 형태를 유지하면서도 슬릿의 간격을 조절하여 제1 전극층과 제2 전극층의 부피 비율 및 면적 비율을 제어할 수 있다.

[80] 즉, 제2 전극층의 슬릿 간격을 넓게 배치하면 제2 전극층의 부피 및 면적이 감소하게 되어 제1 전극층에 대한 제2 전극층의 부피 및 면적은 감소하게 되는 것이다.

[81]

[82] 도5 (a)에 나타난 바와 같이, 단일 전극층을 좌우로 분리하는 슬릿(slit3a) 및 단일 전극층을 상하로 분리하는 슬릿(slit4a)은 동일한 슬릿 간격으로 서브 전극층(300sa5,300sa6,300sa7)을 분리할 수 있고, 도5 (b)에 나타난 바와 같이, 제2 전극층의 부피 및 면적을 보다 줄이기 위해서 도5 (a)에 기재된 슬릿(slit3a) 및 슬릿(slit4a)보다 더욱 넓은 간격을 갖는 슬릿(slit3b) 및 슬릿(slit4b)으로 서브 전극층(300sb5,300sb6,300sb7)을 분리할 수 있다.

[83] 한편, 도5 (c)에 나타난 바와 같이, 다양한 간격의 슬릿(slit3a,slit4b)을 사용하여 서브 전극층(300sc5,300sc6,300sc7)을 분리할 수 있다.

[84] 도 4 및 도 5에는 전극층을 서브 전극층으로 분리하기 위하여 전극층을 상하 또는 좌우로 분리하는 슬릿을 예시하였으나, 슬릿은 경사진 형태를 가질 수 있고, 곡선의 형상을 가질 수 있다.

[85]

[86] 세라믹 기관의 휨과 관련된 측정 파라미터로서 하기 식(3)으로 정의되는 캠버비(camber ratio)를 사용할 수 있다.

[87]
$$R = \frac{T-t}{L} \times 100 \quad \text{식(3)}$$

[88] 즉, 도 6에서 나타난 바와 같이, 세라믹 기관을 평면 위에 놓았을 때 세라믹 기관의 가장 높은 위치로부터 평면까지의 최단 길이인 T, 세라믹 기관의 두께인 t₀, 세라믹 기관의 길이인 L₀을 측정하여 상기 식(3)에 대입함으로써 캠버비를 측정할 수 있다. 여기서, 캠버비는 보다 정확한 값을 얻기 위하여 다수의 포인트를 측정하여 그 평균값을 사용할 수 있다.

[89] 본원발명의 캠버비 R은 바람직하게 0.4%이하를 사용할 수 있고, 더욱 바람직하게는 0.2%이하를 사용할 수 있고, 가장 바람직하게는 0.1%이하를 사용할 수 있다. 상술한 식(1) 및 식(2)를 만족함으로써 본원발명의 캠버비 R를 만족할 수 있다.

[90]

[91] 세라믹 기관의 휨 발생에 대한 파라미터인 캠버비는 세라믹 기관의 길이와 두께와의 관계에 따라 달라지게 된다. 즉, 세라믹 기관에 휨이 발생하였을 때, 세라믹 기관의 가장 높은 위치로부터 평면까지의 최단 길이와 세라믹 기관 두께의 차이(T-t₀)와 세라믹 기관의 길이(L₀)의 관계는 하기 식(4)를 만족하는 경우에 세라믹 기관의 휨 발생이 적어 불량률이 낮아지게 되는 것이다.

[92]
$$T-t_0 \leq 0.004L_0 \quad \text{식(4)}$$

[93] 본원발명의 세라믹 기관은, 세라믹 기관의 두께와 휨이 발생하였을 때 세라믹 기관의 가장 높은 위치로부터 평면까지의 최단 길이와 세라믹 기관 두께의 차이인 (T-t₀)의 값은 0.004L₀이하를 바람직하게 사용할 수 있고, 0.002L₀이하를 더욱 바람직하게 사용할 수 있고, 0.001L₀이하를 가장 바람직하게 사용할 수 있다.

[94]

[95] 한편, 캠버비 R과 관련되어 (T-t₀) 및 L₀의 관계를 그래프화 한 것이 도 7이다.

[96] 도 7에서 나타난 바와 같이, 세라믹 기관의 두께와 휨이 발생하였을 때 세라믹 기관의 가장 높은 위치로부터 평면까지의 최단 길이와 세라믹 기관 두께의 차이인 (T-t₀)의 값은 0.004L₀이하를 사용하는 영역 (I)이 바람직하고, 0.004L₀를 초과하는 영역 (II)에는 휨 발생에 의한 불량률이 문제가 된다.

[97]

[98] 세라믹 기관의 제조방법

[99] 하기에는 세라믹 기관의 제조방법에 대하여 설명한다.

[100] 도 8 (a)에 나타난 바와 같이, 본원발명의 세라믹 기관의 제조방법은 세라믹 기재를 준비하는 단계(S10); 하기 식(1)을 만족하는 제1 전극층 및 제2 전극층을 준비하는 단계(S20); 및 상기 세라믹 기재의 상부에 제1 전극층을 형성하는 단계

및 상기 세라믹 기재의 하부에 제2 전극층을 형성하는 단계(S30);를 포함할 수 있다.

[101]
$$85\% \leq \frac{V_1}{V_2} \leq 105\% \quad \text{식(1)}$$

[102]

[103] (여기서, V1은 제1 전극층의 부피, V2는 제2 전극층의 부피를 나타낸다)

[104]

[105] 한편, 제1 전극층 및 제2 전극층의 두께가 동일한 경우, 도 8 (b)에 나타난 바와 같이, 본원발명의 세라믹 기판의 제조방법은 세라믹 기재를 준비하는 단계(S10); 하기 식(2)를 만족하는 제1 전극층 및 제2 전극층을 준비하는 단계(S25); 및 상기 세라믹 기재의 상부에 제1 전극층을 형성하는 단계 및 상기 세라믹 기재의 하부에 제2 전극층을 형성하는 단계(S30);를 포함할 수 있다.

[106]
$$85\% \leq \frac{S_1}{S_2} \leq 105\% \quad \text{식(2)}$$

[107] (여기서, S1은 제1 전극층의 면적, S2는 제2 전극층의 면적을 나타낸다)

[108] 여기서, 제1 전극층 및 제2 전극층을 세라믹 기재에 형성하기 전에 제1 전극층 및 제2 전극층의 어느 하나 또는 둘을 서브 전극층으로 분리한 후, 서브 전극층을 세라믹 기재에 형성하는 단계를 포함할 수 있다.

[109] 서브 전극층으로 분리하는 단계는 제1 전극층 및 제2 전극층을 커팅, 에칭 및 금형의 어느 하나의 방법을 사용할 수 있으나, 생산성의 관점에서 금형을 사용하면 공정 효율이 높아지는 장점이 있다. 한편, 미세한 패턴의 금속층을 제조하는 경우에는 전극층을 에칭액으로 식각할 수 있다. 에칭액으로서 염화제2철 (ferric chloride) 및 염화구리(copper chloride)에서 선택되는 어느 하나 또는 둘을 포함할 수 있다. 염화구리는 CuCl (I)또는 CuCl₂ (II)을 사용할 수 있다.

[110] 한편, 서브 전극층을 세라믹 기재에 형성하는 단계는, 제1 전극층 및 제2 전극층을 세라믹 기재에 형성하기 전에 서브 전극층을 형성할 수도 있으나, 제1 전극층 및 제2 전극층을 세라믹 기재에 형성한 후에 제1 전극층 및 제2 전극층의 어느 하나 또는 둘을 커팅, 에칭 및 금형의 어느 하나의 방법을 사용하여 서브 전극층을 형성할 수도 있다.

[111]

[112] (실험예)

[113] 실시예 1 내지 4에서는 세라믹 기재의 상하부에 구리 금속층을 적층하여 두께가 대략 2mm인 세라믹 기판을 제조하였다. 세라믹 기재의 상부 구리 금속층과 하부 구리 금속층은 동일한 두께를 사용하였다. 상부 구리 금속층은 복수의 구리 서브 전극층으로 이루어져 있고, 복수의 구리 서브 전극층의 면적은 596.0242mm²였다. 하부 구리 금속층도 복수의 구리 서브 전극층으로 이루어져 있고, 복수의 구리 서브 전극층의 면적은 669.3893mm²였다. 하부 구리 금속층에

대한 상부 구리 금속층의 면적 비율은 89.04%였다.

- [114] 하기 [표 1]에 나타난 바와 같이, 실시예 1 내지 4에서는 캠버비가 0.4%이하의 값을 나타내어 세라믹 기판의 휨 발생이 억제됨을 알 수 있었다. 이는 도 9 (a)의 세라믹 기판의 사진에 나타난 바와 같이, 실시예 1 내지 4의 세라믹 기판에서는 휨 발생이 거의 없거나 매우 적은 것을 확인할 수 있었다.

- [115] [표1]

	실시예1	실시예2	실시예3	실시예4
T(mm)	2.132	2.158	2.172	2.095
t ₀ (mm)	1.982	2.015	2.034	2.001
T-t ₀ (mm)	0.15	0.143	0.138	0.094
L _o (mm)	37.5	36.7	51.1	36.2
R(%)	0.40	0.39	0.27	0.26

- [116]

- [117] 한편, 비교예 1 내지 4에서는 세라믹 기재의 상하부에 구리 금속층을 적층하여 두께가 대략 2mm인 세라믹 기판을 제조하였다. 세라믹 기재의 상부 구리 금속층과 하부 구리 금속층은 동일한 두께를 사용하였다. 상부 구리 금속층은 복수의 구리 서브 전극층으로 이루어져 있고, 복수의 구리 서브 전극층의 면적은 596.0242mm²였다. 하부 구리 금속층은 단일 구리 전극층으로 이루어져 있고, 단일 구리 전극층의 면적은 759.1348mm²였다. 하부 구리 금속층에 대한 상부 구리 금속층의 면적 비율은 78.5%였다.

- [118] 하기 [표 2]에서 나타난 바와 같이, 비교예 1 내지 4에서는 캠버비가 0.61%보다 큰 값을 나타내어, 세라믹 기판의 휨 발생이 커짐을 알 수 있었다. 이는 도 9 (b)의 세라믹 기판의 사진에 나타난 바와 같이, 비교예 1 내지 4의 세라믹 기판에서는 휨 발생이 생겨 불량이 발생한 것을 확인할 수 있었다.

- [119] [표2]

	비교예1	비교예2	비교예3	비교예4
T(mm)	2.291	2.258	2.335	2.31
t ₀ (mm)	2.035	2.047	2.047	2.037
T-t ₀ (mm)	0.256	0.211	0.288	0.273
L _o (mm)	35.6	34.6	34.7	34.6
R(%)	0.72	0.61	0.83	0.79

- [120]

- [121] *부호의 설명*

- [122] 세라믹 기재 : 1, 100

- [123] 제1 전극층 : 2, 200
- [124] 서브 전극층 : 200s1, 200s2, 200s3, 200s4, 200s5, 200s6, 200s7
- [125] 제2 금속층 : 3, 300
- [126] 슬릿 : slit1, slit2, slit3, slit4

청구범위

- [청구항 1] 세라믹 기재;
상기 세라믹 기재의 상부에 형성된 제1 전극층; 및
상기 세라믹 기재의 하부에 형성된 제2 전극층;을 포함하며,
하기 식(1)을 만족하는 것을 특징으로 하는 세라믹 기판.

$$85\% \leq \frac{V_1}{V_2} \leq 105\% \quad \text{식(1)}$$

(여기서, V_1 은 제1 전극층의 부피, V_2 는 제2 전극층의 부피를 나타낸다)

- [청구항 2] 청구항 1에 있어서,
상기 제1 전극층 및 상기 제2 전극층의 두께가 동일하고,
하기 식(2)을 만족하는 것을 특징으로 하는 세라믹 기판.

$$85\% \leq \frac{S_1}{S_2} \leq 105\% \quad \text{식(2)}$$

(여기서, S_1 은 제1 전극층의 면적, S_2 는 제2 전극층의 면적을 나타낸다)

- [청구항 3] 청구항 1에 있어서,
상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘은 복수의 서브 전극층을 구비하는 것을 특징으로 하는 세라믹 기판.

- [청구항 4] 청구항 3에 있어서,
상기 서브 전극층은 전극층이 슬릿에 의하여 분리되는 것을 특징으로 하는 세라믹 기판.

- [청구항 5] 청구항 4에 있어서,
상기 슬릿은 전극층을 상하로 분리하는 제1 슬릿 및 전극층을 좌우로 분리하는 제2 슬릿을 어느 하나 또는 둘 이상을 포함하는 것을 특징으로 하는 세라믹 기판.

- [청구항 6] 청구항 1에 있어서,
하기 식(3)으로 정의되는 챔버비율(chamber ratio) R 은 0.4%이하인 것을 특징으로 하는 세라믹 기판.

$$R = \frac{T-t}{L} \times 100 \quad \text{식(3)}$$

(여기서, T 는 세라믹 기판을 평면 위에 놓았을 때, 세라믹 기판의 가장 높은 위치로부터 평면까지의 최단 길이, t 는 세라믹 기판의 두께, L 은 세라믹 기판의 길이를 나타낸다)

- [청구항 7] 청구항 1에 있어서,
상기 세라믹 기재와 제1 전극층 사이 및 상기 세라믹 기재와 제2 전극층 사이의 어느 한쪽 또는 양쪽에 접합층을 포함하는 것을 특징으로 하는 세라믹 기판.

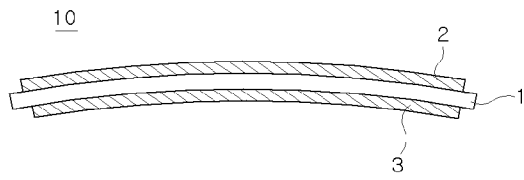
- [청구항 8] 청구항 1에 있어서,
상기 세라믹 기판의 가장 높은 위치로부터 평면까지의 최단 길이 T와 세라믹 기판 두께 t_0 의 차이인 $(T-t_0)$ 와 세라믹 기판의 길이(L_0)의 관계는 하기 식(4)를 만족하는 것을 특징으로 하는 세라믹 기판.
$$T-t_0 \leq 0.004L_0 \quad \text{식(4)}$$
- [청구항 9] 세라믹 기재를 준비하는 단계;
상기 세라믹 기재의 상부에 제1 전극층을 형성하는 단계; 및
상기 세라믹 기재의 하부에 제2 전극층을 형성하는 단계;를 포함하며,
하기 식(1)을 만족하는 것을 특징으로 하는 세라믹 기판의 제조방법.
$$85\% \leq \frac{V_1}{V_2} \leq 105\% \quad \text{식(1)}$$

(여기서, V_1 은 제1 전극층의 부피, V_2 는 제2 전극층의 부피를 나타낸다)
- [청구항 10] 청구항 9에 있어서,
상기 제1 전극층 및 상기 제2 전극층의 두께가 동일하고,
하기 식(2)을 만족하는 것을 특징으로 하는 세라믹 기판의 제조방법.
$$85\% \leq \frac{S_1}{S_2} \leq 105\% \quad \text{식(2)}$$

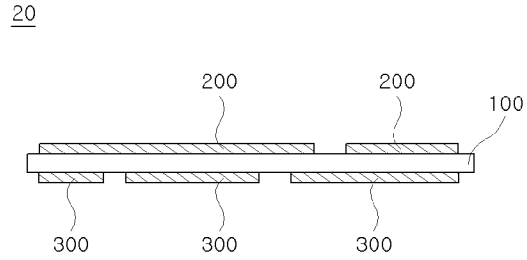
(여기서, S_1 은 제1 전극층의 면적, S_2 는 제2 전극층의 면적을 나타낸다)
- [청구항 11] 청구항 9에 있어서,
상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘은 복수의 서브 전극층으로 이루어진 것을 특징으로 하는 세라믹 기판의 제조방법.
- [청구항 12] 청구항 11에 있어서,
상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘을 슬릿으로 분리하여 형성하는 것을 특징으로 하는 세라믹 기판의 제조방법.
- [청구항 13] 청구항 9에 있어서,
상기 제1 전극층 및 상기 제2 전극층을 세라믹 기재에 형성하기 전에 상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘을 서브 전극층으로 분리한 후, 상기 서브 전극층을 세라믹 기재에 형성하는 단계를 더욱 포함하는 것을 특징으로 하는 세라믹 기판의 제조방법.
- [청구항 14] 청구항 9에 있어서,
상기 제1 전극층 및 상기 제2 전극층을 세라믹 기재에 형성한 후, 상기 제1 전극층 및 상기 제2 전극층의 어느 하나 또는 둘을 서브 전극층으로 분리하는 단계를 더욱 포함하는 것을 특징으로 하는 세라믹 기판의 제조방법.
- [청구항 15] 청구항 14에 있어서,
상기 서브 전극층으로 분리하는 단계는 상기 제1 전극층 및 상기 제2 전극층을 에칭액으로 식각하여 분리시키고,

상기 에칭액은 염화제2철 및 염화구리에서 선택되는 어느 하나 또는 둘을 포함하는 것을 특징으로 하는 세라믹 기판의 제조방법.

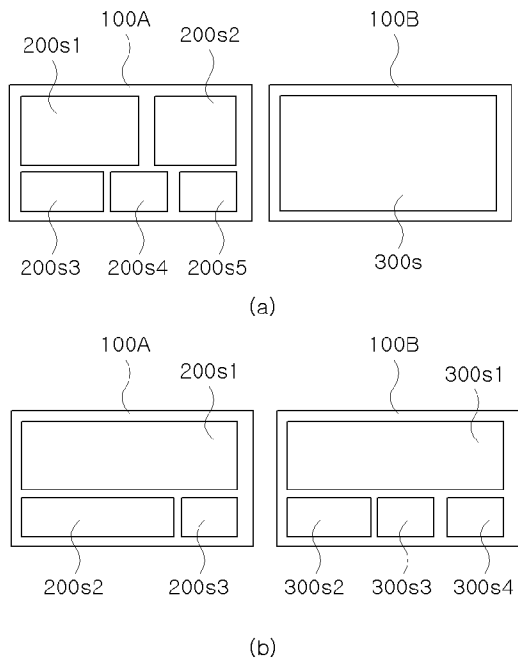
[도1]



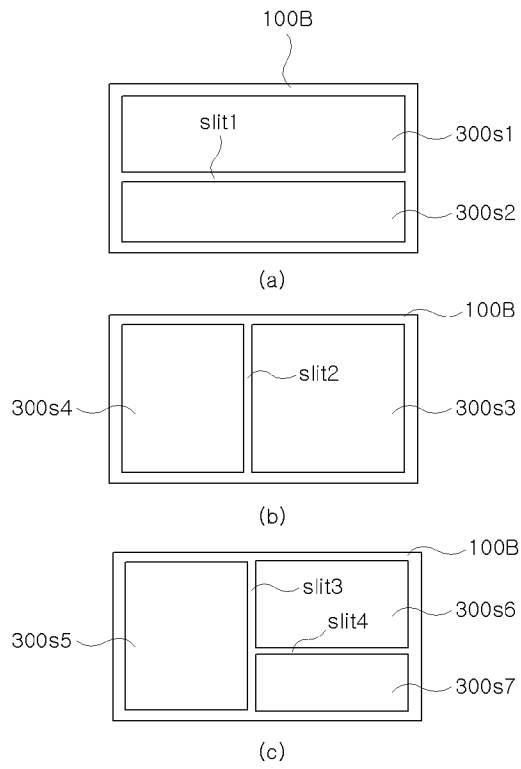
[도2]



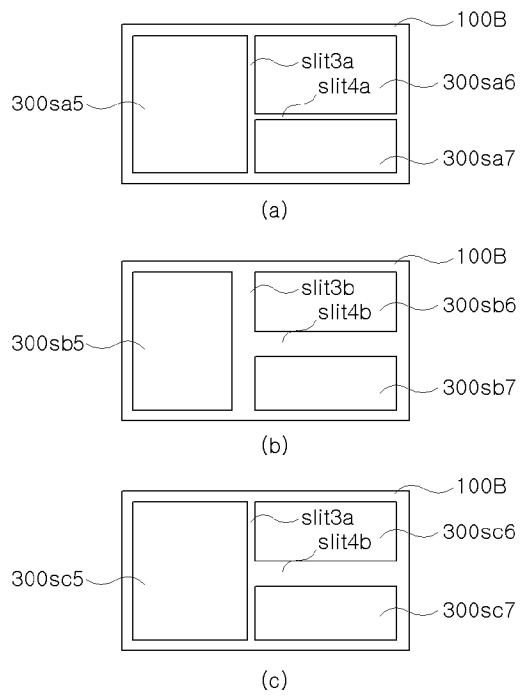
[도3]



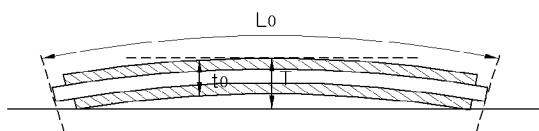
[도4]



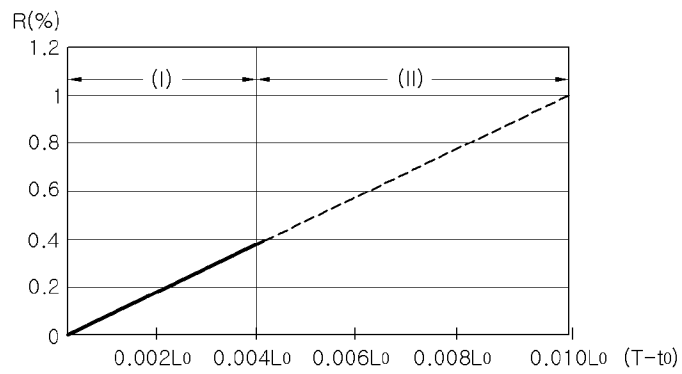
[도5]



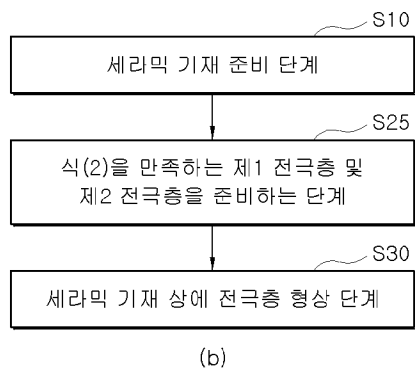
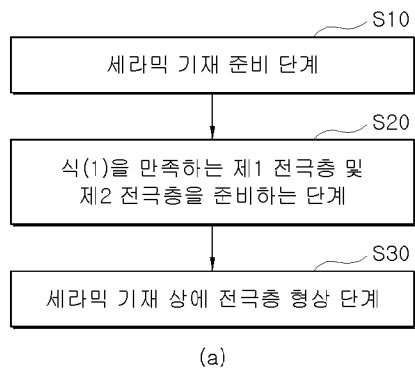
[도6]



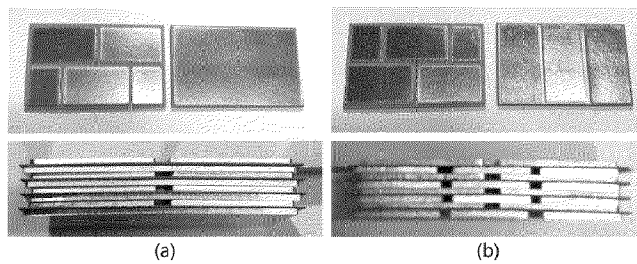
[도7]



[도8]



[도9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/005595

A. CLASSIFICATION OF SUBJECT MATTER

H01G 4/012(2006.01)i, H01G 4/12(2006.01)i, H01G 4/30(2006.01)i, H05K 1/03(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G 4/012; H01L 23/15; H05K 1/02; H05K 1/03; H05K 3/00; H05K 3/22; H01G 4/12; H01G 4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: ceramic board, metal, warpage, volume, ratio, area

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2019-0022383 A (AMONSENSE CO., LTD.) 06 March 2019 See paragraphs [0027]-[0030], [0040]-[0042]; claim 1; and figures 2-3.	1-2, 7, 9-10
Y		3-6, 8, 11-15
Y	WO 2011-111989 A2 (KCC CORPORATION) 15 September 2011 See paragraphs [0032], [0037], [0045]; and figures 1e, 2-3.	3-5, 11-15
Y	WO 2017-155249 A1 (KCC CORPORATION) 14 September 2017 See paragraphs [0031], [0062]-[0068]; and figure 1.	6, 8
X	JP 07-086703 A (TOSHIBA CORP.) 31 March 1995 See paragraphs [0018]-[0023]; claims 1-5; and figures 1, 3.	1-4, 7, 9-13
Y		5-6, 8, 14-15
A	US 2013-0186677 A1 (LEE, Jong-jin) 25 July 2013 See paragraphs [0020]-[0040]; and figures 2-5.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 JULY 2020 (30.07.2020)

Date of mailing of the international search report

30 JULY 2020 (30.07.2020)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2020/005595

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2019-0022383 A	06/03/2019	CN 110945971 A WO 2019-039883 A1	31/03/2020 28/02/2019
WO 2011-111989 A2	15/09/2011	EP 2546870 A2 EP 2546870 A4 JP 2013-522872 A JP 5642808 B2 KR 10-1675727 B1 KR 10-2011-0101692 A WO 2011-111989 A3	16/01/2013 29/11/2017 13/06/2013 17/12/2014 14/11/2016 16/09/2011 05/01/2012
WO 2017-155249 A1	14/09/2017	KR 10-1900547 B1 KR 10-2017-0104329 A	19/09/2018 15/09/2017
JP 07-086703 A	31/03/1995	None	
US 2013-0186677 A1	25/07/2013	JP 2010-067941 A JP 5082117 B2 KR 10-0999918 B1 KR 10-2010-0029403 A US 2010-0059267 A1	25/03/2010 28/11/2012 13/12/2010 17/03/2010 11/03/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01G 4/012(2006.01)i, H01G 4/12(2006.01)i, H01G 4/30(2006.01)i, H05K 1/03(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01G 4/012; H01L 23/15; H05K 1/02; H05K 1/03; H05K 3/00; H05K 3/22; H01G 4/12; H01G 4/30

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 세라믹 기판(ceramic board), 금속(metal), 휨(warpage), 부피(volume), 비율(ratio), 면적(area)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2019-0022383 A (주식회사 아모센스) 2019.03.06 단락 [0027]-[0030], [0040]-[0042]; 청구항 1; 및 도면 2-3 참조.	1-2, 7, 9-10
Y		3-6, 8, 11-15
Y	WO 2011-111989 A2 (KCC CORPORATION) 2011.09.15 단락 [0032], [0037], [0045]; 및 도면 1e, 2-3 참조.	3-5, 11-15
Y	WO 2017-155249 A1 (KCC CORPORATION) 2017.09.14 단락 [0031], [0062]-[0068]; 및 도면 1 참조.	6, 8
X	JP 07-086703 A (TOSHIBA CORP.) 1995.03.31 단락 [0018]-[0023]; 청구항 1-5; 및 도면 1, 3 참조.	1-4, 7, 9-13
Y		5-6, 8, 14-15
A	US 2013-0186677 A1 (JONG-JIN LEE) 2013.07.25 단락 [0020]-[0040]; 및 도면 2-5 참조.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X”에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2020년 07월 30일 (30.07.2020)

국제조사보고서 발송일

2020년 07월 30일 (30.07.2020)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

장기정

전화번호 +82-42-481-8364



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2019-0022383 A	2019/03/06	CN 110945971 A WO 2019-039883 A1	2020/03/31 2019/02/28
WO 2011-111989 A2	2011/09/15	EP 2546870 A2 EP 2546870 A4 JP 2013-522872 A JP 5642808 B2 KR 10-1675727 B1 KR 10-2011-0101692 A WO 2011-111989 A3	2013/01/16 2017/11/29 2013/06/13 2014/12/17 2016/11/14 2011/09/16 2012/01/05
WO 2017-155249 A1	2017/09/14	KR 10-1900547 B1 KR 10-2017-0104329 A	2018/09/19 2017/09/15
JP 07-086703 A	1995/03/31	없음	
US 2013-0186677 A1	2013/07/25	JP 2010-067941 A JP 5082117 B2 KR 10-0999918 B1 KR 10-2010-0029403 A US 2010-0059267 A1	2010/03/25 2012/11/28 2010/12/13 2010/03/17 2010/03/11