

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年2月28日(2013.2.28)

【公開番号】特開2012-248896(P2012-248896A)

【公開日】平成24年12月13日(2012.12.13)

【年通号数】公開・登録公報2012-053

【出願番号】特願2012-204276(P2012-204276)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	21/283	(2006.01)

【F I】

H 01 L	29/78	6 1 6 V
H 01 L	29/78	6 1 2 A
H 01 L	29/78	6 2 7 C
H 01 L	29/78	6 1 6 U
H 01 L	21/28	3 0 1 R
H 01 L	29/50	M
H 01 L	21/283	B

【手続補正書】

【提出日】平成25年1月15日(2013.1.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ゲート電極、ゲート絶縁層、活性層及びソース・ドレイン電極を有する薄膜トランジスタであって、前記薄膜トランジスタはボトムゲート型トランジスタであり、該ゲート電極は該活性層のチャンネル領域と重なり、該ゲート絶縁層は該ゲート電極と該活性層間に設けられ、該ソース・ドレイン電極は該活性層のソース・ドレイン領域と重なるとともに該活性層の上方に位置され、該活性層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられ、前記SiO_xN_y層の厚みは約8~15nmであることを特徴とする薄膜トランジスタ。

【請求項2】

ゲート電極、ゲート絶縁層、活性層及びソース・ドレイン電極を有する薄膜トランジスタであって、前記薄膜トランジスタはトップゲート型トランジスタであり、該ゲート電極は該活性層のチャンネル領域と重なり、該ゲート絶縁層は該ゲート電極と該活性層間に設けられ、該ソース・ドレイン電極は該活性層のソース・ドレイン領域と重なるとともに該活性層の下方に位置され、該活性層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられ、前記SiO_xN_y層の厚みは約8~15nmであることを特徴とする薄膜トランジスタ。

【請求項3】

前記ソース・ドレイン電極の材料はアルミニウム合金であることを特徴とする請求項1又は2に記載の薄膜トランジスタ。

【請求項 4】

前記アルミニウム合金は、AlNd、AlTa、AlNi、AlZr、AlCu及びAlNdNiであることを特徴とする請求項3に記載の薄膜トランジスタ。

【請求項 5】

前記活性層は半導体層とオーム接触層の積層であり、該オーム接触層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられることを特徴とする請求項1～4のいずれか1項に記載の薄膜トランジスタ。

【請求項 6】

前記オーム接触層はドーピング半導体層又はシリコンマイクロ結晶層であることを特徴とする請求項5に記載の薄膜トランジスタ。

【請求項 7】

薄膜トランジスタのゲート電極、ゲート絶縁層、活性層及びソース・ドレイン電極を形成する工程を備える薄膜トランジスタ製造方法であって、前記薄膜トランジスタはボトムゲート型トランジスタであり、該ゲート電極は該活性層のチャンネル領域と重なり、該ゲート絶縁層は該ゲート電極と該活性層間に設けられ、該ソース・ドレイン電極は該活性層のソース・ドレイン領域と重なるとともに該活性層の上方に位置され、該活性層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられ、前記SiO_xN_y層の厚みは約8～15nmであることを特徴とする薄膜トランジスタの製造方法。

【請求項 8】

薄膜トランジスタのゲート電極、ゲート絶縁層、活性層及びソース・ドレイン電極を形成する工程を備える薄膜トランジスタ製造方法であって、前記薄膜トランジスタはトップゲート型トランジスタであり、該ゲート電極は該活性層のチャンネル領域と重なり、該ゲート絶縁層は該ゲート電極と該活性層間に設けられ、該ソース・ドレイン電極は該活性層のソース・ドレイン領域と重なるとともに該活性層の下方に位置され、該活性層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられ、前記SiO_xN_y層の厚みは約8～15nmであることを特徴とする薄膜トランジスタの製造方法。

【請求項 9】

前記ソース・ドレイン電極の材料はアルミニウム合金であることを特徴とする請求項7又は8に記載の薄膜トランジスタの製造方法。

【請求項 10】

前記アルミニウム合金は、AlNd、AlTa、AlNi、AlZr、AlCu及びAlNdNiであることを特徴とする請求項9に記載の薄膜トランジスタ。

【請求項 11】

前記活性層は半導体層とオーム接触層の積層であり、該オーム接触層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられることを特徴とする請求項7～10のいずれか1項に記載の薄膜トランジスタの製造方法。

【請求項 12】

前記オーム接触層はドーピング半導体層又はシリコンマイクロ結晶層であることを特徴とする請求項11に記載の薄膜トランジスタの製造方法。

【請求項 13】

ゲート電極、ゲート絶縁層、活性層及びソース・ドレイン電極を有した、画素ユニットのスイッチ素子としての薄膜トランジスタを備える薄膜トランジスタ液晶表示装置であって、前記薄膜トランジスタはボトムゲート型トランジスタであり、該ゲート電極は該活性層のチャンネル領域と重なり、該ゲート絶縁層は該ゲート電極と該活性層間に設けられ、該ソース・ドレイン電極は該活性層のソース・ドレイン領域と重なるとともに該活性層の上方に位置され、該活性層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられ、前記SiO_xN_y層の厚みは約8～15nm

mであることを特徴とする薄膜トランジスタ液晶表示装置。

【請求項 14】

ゲート電極、ゲート絶縁層、活性層及びソース・ドレイン電極を有した、画素ユニットのスイッチ素子としての薄膜トランジスタを備える薄膜トランジスタ液晶表示装置であって、前記薄膜トランジスタはトップゲート型トランジスタであり、該ゲート電極は該活性層のチャンネル領域と重なり、該ゲート絶縁層は該ゲート電極と該活性層間に設けられ、該ソース・ドレイン電極は該活性層のソース・ドレイン領域と重なるとともに該活性層の下方に位置され、該活性層と前記ソース・ドレイン電極間に電子がトンネルして通過するのを許容する薄いSiO_xN_y層が設けられ、前記SiO_xN_y層の厚みは約8～15nmであることを特徴とする薄膜トランジスタ液晶表示装置。

【請求項 15】

前記ソース・ドレイン電極のうちの一つと接続する画素電極をさらに備える請求項13又は14に記載の薄膜トランジスタ液晶表示装置。

【請求項 16】

前記画素電極はビアホールを通して前記ソース・ドレイン電極のうちの一つと電気的接続されることを特徴とする請求項15に記載の薄膜トランジスタ液晶表示装置。