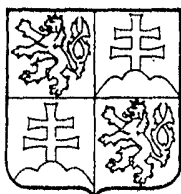


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

271 598

(21) PV 8703-88.M
(22) Přihlášeno 23 12 88

(40) Zveřejněno 13 10 89
(45) Vydáno 02 09 91

(11)

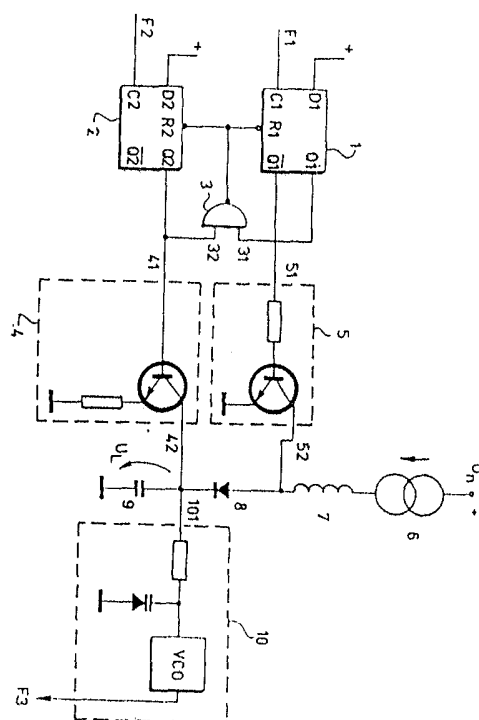
(13) B₁

(51) Int. Cl. 5
H 03 L 7/00

(75) Autor vynálezu HORA ZDENĚK ing., PRAHA

(54) Zapojení fázově kmitočtového detektoru

(57) Řešení se týká zapojení kmitočtového detektoru s použitím dvou klopných obvodů typu D, opatřených dvoustavovými ovladači proudu, přičemž výstupy obou klopných obvodů typu D jsou připojeny ke vstupům hradla typu NAND, jehož výstup je připojen k nulovacím vstupům obou kladných obvodů typu D. Podstata řešení spočívá v tom, že výstup (42) prvního proudového ovladače (4), jehož řídicí vstup (41) je připojen k výstupu (Q2) druhého klopného obvodu (2) typu D, je připojen přímo k integračnímu a filtračnímu členu (9). Výstup (52) druhého proudového ovladače (5), jehož řídicí vstup (51) je připojen k výstupu (Q1) prvního klopného obvodu (1) typu D, je spolu s proudovým napájecím zdrojem (6) v serii s indukčním prvkem (7) připojen přes spínací diodu (8) k integračnímu a filtračnímu členu (9). Ze společného bodu spínací diody (8) výstupu proudového spínače (4) a integračního a filtračního členu (9) je vyveden výstup fázově kmitočtového detektoru.



Vynález se týká zapojení fázově kmítočtového detektoru pro užití ve smyčkách fázové regulace.

Jsou známa zapojení fázově kmítočtového detektoru, která jsou založena na použití dvou klopných obvodů a hradla tak, že hradlo nuluje oba klopné obvody v okamžiku, kdy se na jejich výstupech objeví současně dvě log 1. Na výstupy klopných obvodů jsou připojeny dva proudové spínače, přičemž jeden z nich přivádí náboj do filtračního obvodu a druhý spínač z filtračního obvodu náboj odvádí.

Nevýhody dosud známých zapojení fázově kmítočtových detektorů spočívají v tom, že výstupní ladící napětí je vždy menší, než napětí napájecí, v důsledku čehož není možné užití oscilátorů laděných napětím s nízkou rozlaďovací strmostí a nastavit pracovní bod varikapu do oblasti vyšších předpětí, a dále v tom, že je nutné užití dvou proudových spínačů, což vyžaduje komplikované vícetranzistorové provedení spínače, jenž přivádí náboj do filtračního členu, což má za následek jednak prodloužení reakční doby spínačů proudu a jednak rozšíření oblasti necitlivosti detektoru, jakož i nemožnost použití detektoru v oblasti vyšších pracovních kmítočtů.

Výše uvedené nedostatky odstraňuje zapojení fázově kmítočtového detektoru podle vynálezu s použitím dvou klopných obvodů typu D, opatřených dvoustavovými ovladači proudu, jednak ve formě spínače proudu, a dále ve formě rozpínače proudu, přičemž výstupy obou klopných obvodů typu D jsou připojeny ke vstupům hradla typu NAND, jehož výstup je připojen k nulovacím vstupům obou klopných obvodů typu D. Podstata vynálezu spočívá v tom, že výstup proudového spínače, jehož řídící vstup je připojen k výstupu druhého klopného obvodu typu D, je připojen přímo k integračnímu a filtračnímu členu. Výstup proudového rozpínače, jehož řídící vstup je připojen k výstupu prvního klopného obvodu typu D, je dále spolu s proudovým napájecím zdrojem v sérii s indukčním prvkem připojen přes spínací diodu k integračnímu a filtračnímu členu. Ze společného bodu spínací diody, výstupu proudového spínače a integračního a filtračního členu je vyveden výstup fázově kmítočtového detektoru.

Výhody zapojení fázově kmítočtového detektoru podle vynálezu spočívají v tom, že toto zapojení odstraňuje nedostatek všech dosud známých zapojení tohoto druhu tím, že výstupní ladící napětí u navrhovaného zapojení může být vyšší než je napětí napájecí. Toho je dosahováno zařazením indukčního prvku do proudové cesty, kde je rozpínán proud, a dynamickou reakcí indukčního prvku na tento stav. To umožňuje použít oscilátorů laděných napětím s nízkou rozlaďovací strmostí a nastavit pracovní bod varikapu do oblasti vyšších pracovních napětí i v případě použití malého napájecího napětí detektoru. Odpadá nutnost použití dvou spínačů proudu, z nichž nejméně jeden bývá vícetranzistorový, což mívá za následek zpožděnou reakci spínače. Použitím jednoduchého spínače v sérii s indukčním prvkem je dosahováno zrychlené reakce jednak snížením počtu tranzistorů zapojených v sérii a dále dynamickou odezvou indukčního prvku na změnu proudu. Zařazením spínací diody před filtrační člen je dosaženo rychlejšího vypnutí proudu oproti stávajícímu zapojení, neboť spínací dioda má obvykle o řád rychlejší vypínací schopnost než tranzistor. Důležitou je skutečnost, že zapojení je vhodné i pro použití ve vyšší kmítočtové oblasti, kde stávající zapojení vlivem dlouhých spínacích časů svých proudových spínačů již nevyhovují.

Uvedené zapojení dále odstraňuje nedostatek stávajících zapojení v tom, že zmenšuje oblast necitlivosti detektoru okolí rovnovážného stavu tím, že zařazuje do proudové cesty indukční prvek a spínací diodu, jejichž dynamická reakce je řádově rychlejší než je tomu u doposud používaných vícetranzistorových spínačů.

Zapojení fázově kmítočtového detektoru podle vynálezu bude následovně blíže popsáno v příkladovém provedení pomocí připojeného vyobrazení.

Zapojení fázově kmitočtového detektoru znázorněné na přiloženém vyobrazení je opatřeno dvěma klopnými obvody 1, 2 typu D s dvoustavovými ovladači proudu jednak ve formě proudového spínače 4 a dále proudového rozpínače 5. Výstupy obou klopných obvodů 1, 2 typu D jsou připojeny ke vstupům 31, 32 hradla typu NAND, jehož výstup je připojen k nulovacím vstupům R1, R2 klopných obvodů 1, 2 typu D. Výstup 42 proudového spínače 4, jehož řídicí vstup 41 je připojen k výstupu Q2 druhého klopného obvodu 2 typu D, je za účelem odvádění náboje z integračního a filtračního členu 9 připojen přímo k integračnímu a filtračnímu členu 9, za účelem dosažení snížení výstupního ladicího napětí U_L . Výstup 52 proudového rozpínače 5, jehož vstup 51 je připojen k výstupu Q1 prvního klopného obvodu 1 typu D, je spolu s proudovým napájecím zdrojem 6, zapojeným v serií s indukčním prvkem 7, za účelem odvádění proudu přes tento indukční prvek 7 z proudového zdroje 6, připojen přes spínací diodu 8, která v klidovém stavu při svém rozepnutí odděluje sepnutý proudový rozpínač 5 od integračního filtračního členu 9. Ze společného bodu spínací diody 8, výstupu 42 proudového spínače 4 a integračního a filtračního členu 9 je vyveden výstup fázově kmitočtového detektoru. Na výstup filtračního členu 9 je připojen svým vstupem 101 napětím laděný oscilátor 10, jehož signál F3 může být při funkci zapojení připojen na jeden ze vstupů C1, C2 klopných obvodů 1, 2.

Při funkci zapojení fázově kmitočtového detektoru podle přiloženého vyobrazení jsou na hodinové vstupy C1, C2 obou klopných obvodů 1, 2 přiváděny dva vstupní signály F1, F2 obdélníkového tvaru stejného, nebo rozdílného kmitočtu a stejné nebo rozdílné fáze. V klidovém stavu jsou oba signály F1, F2 v úrovni log 0 a na výstupech Q1, Q2 obou klopných obvodů 1, 2 je úroveň log 0, přičemž na výstupu hradla 3 typu NAND a na nulovacích vstupech R1, R2 klopných obvodů 1, 2 je úroveň log 1, takže klopné obvody 1, 2 jsou schopny reagovat na nástupné hrany vstupních signálů F1, F2. Výstup Q1 prvního klopného obvodu 1 je v klidovém stavu v úrovni log 1 a proudový rozpínač 5 je sepnut. Proud z napájecího proudového zdroje 6 protéká přes indukční prvek 7 a sepnutý proudový rozpínač 5, na němž je v tomto okamžiku nulové napětí, v důsledku čehož je spínací dioda 8 nevodivá. Tím zabráňuje rozepnutí spínací diody 8 odtékání náboje z integračního a filtračního členu 9 přes sepnutý proudový rozpínač 5. Výstup Q2 druhého klopného obvodu 2 je ve stavu log 0 a proudový spínač 4 je uzavřen, proud jím neprotéká. Výstupní ladicí napětí U_L na integračním a filtračním obvodu 9 se tedy nemění.

Předbíhá-li v čase náběžná hrana signálu F1 náběžnou hranu signálu F2, dojde k překlopení prvního klopného obvodu 1 tak, že na výstupu Q1 tohoto klopného obvodu 1 se objeví log 1, na výstupu Q1 prvního klopného obvodu 1 se objeví log 0 a proudový rozpínač 5 se rozepne. Tím proud z napájecího proudového zdroje 6 protékající indukčním prvkem 7 začne protékat spínací diodou 8 do integračního a filtračního členu 9, v němž se začne hromadit náboj a tím zvyšovat výstupní ladicí napětí U_L , jehož velikost je úměrná fázovému rozdílu vstupních signálů F1, F2. Toto výstupní ladicí napětí U_L , které je úměrné fázové odchylce vstupních signálů, lze například účinně využít pro ladění napětím řízeného oscilátoru 10, pro měření fázové difference a pro řadu dalších aplikací, vyžadujících zjištění fázového rozdílu dvou signálů. Výstupní ladicí napětí U_L se může zvyšovat nad hodnotu napájecího napětí U_n , neboť indukční prvek 7 se v okamžiku rozepnutí proudového rozpínače 5 chová jako ideální zdroj proudu s teoreticky nekonečným vnitřním napětím. Tak může výstupní ladicí napětí U_L dosahovat vyšších hodnot, než napájecí napětí U_n . V okamžiku příchodu nástupné hrany signálu F2 dojde k překlopení druhého klopného obvodu 2 a na jeho výstupu Q2 se objeví log 1. Na obou vstupech 31, 32 hradla 3 typu NAND se tak objeví dvě úrovně log 1 a v důsledku toho se objeví na výstupu hradla 3 a také na nulovacích vstupech R1, R2 klopných obvodů 1, 2 úroveň log

0 a oba klopné obvody 1, 2 se uvedou do klidového stavu. Proud z napájecího proudového zdroje 6 přestane téct přes spínací diodu 8 do integračního a filtračního obvodu 9 a začne opět téct sepnutým proudovým rozpínačem 5, takže v případě, kdy nástupná hrana signálu F1 předbíhá nástupnou hranu signálu F2, vzrůstá výstupní ladící napětí U_L na integračním a filtračním obvodu 9.

Předbíhá-li v čase nástupná hrana signálu F2 před nástupnou hranou signálu F1, dojde nejprve k překlopení druhého klopného obvodu F2 tak, že se na jeho výstupu Q2 objeví úroveň log 1, následkem čehož se sepne proudový spínač 4 a začne odvádět náboj z integračního a filtračního obvodu 9, v důsledku čehož začne klesat výstupní napětí na integračním a filtračním obvodu 9. V okamžiku příchodu nástupné hrany signálu F1 dojde k překlopení prvního klopného obvodu 1, na jehož výstupu Q1 se objeví log 1 a následně na výstupu hradla 3 typu NAND a nulovacích vstupu R1, R2 klopných obvodů 1, 2 se objeví log 0. Tím dojde k uvedení obou klopných obvodů 1, 2 do klidového stavu a k rozepnutí proudového spínače 4, takže v případě, kdy se nástupná hrana signálu F1 zpožďuje za nástupnou hranou signálu F2, klesá výstupní ladící napětí U_L na integračním a filtračním obvodu 9. Dosahovaná účinnost je stejná jako v předchozím případě.

Je-li časové difference mezi nástupními hranami signálů F1, F2 malá, pak v případě předbíhání nástupné hrany signálu F1 pomáhá indukční prvek 7 zmenšovat oblast necitlivosti fázově kmitočtového detektoru.

Zapojení fázově kmitočtového detektoru podle vynálezu je využitelné ve všech případech fázové synchronizace oscilátorů v oblasti radiotechniky, jakož i měřicí a televizní techniky.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení fázově kmitočtového detektoru s použitím dvou klopných obvodů typu D, opatřených dvoustavovými ovladači proudu, jednak ve formě spínače proudu, a dále ve formě rozpínače proudu, přičemž výstupy obou klopných obvodů typu D jsou připojeny ke vstupům hradla typu NAND, jehož výstup je připojen k nulovacím vstupům obou klopných obvodů typu D, vyznačené tím, že výstup (42) proudového spínače (4), jehož řídicí vstup (41) je připojen k výstupu (Q2) druhého klopného obvodu (2) typu D, je připojen přímo k integračnímu a filtračnímu členu (9) a výstup (52), proudového rozpínače (5), jehož řídicí vstup (51) je připojen k výstupu (Q1) prvního klopného obvodu (1) typu D, je spolu s proudovým napájecím zdrojem (6) v sérii s indukčním prvkem (7) připojen přes spínací diodu (8) k integračnímu a filtračnímu členu (9), přičemž ze společného bodu spínací diody (8), výstupu proudového spínače (4) a integračního a filtračního členu (9) je vyveden výstup fázově kmitočtového detektoru.

