



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0145958
(43) 공개일자 2016년12월21일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 29/06 (2006.01) H01L 21/02 (2006.01)
H01L 21/027 (2006.01) H01L 21/314 (2006.01)
H01L 21/67 (2006.01)</p> <p>(52) CPC특허분류
H01L 29/0665 (2013.01)
H01L 21/02054 (2013.01)</p> <p>(21) 출원번호 10-2015-0082379</p> <p>(22) 출원일자 2015년06월11일
심사청구일자 2015년06월11일</p> | <p>(71) 출원인
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)</p> <p>(72) 발명자
진성훈
경기도 용인시 수지구 포은대로 219 서원마을3단지 현대아파트 301동 301호</p> <p>(74) 대리인
특허법인 대아</p> |
|---|--|

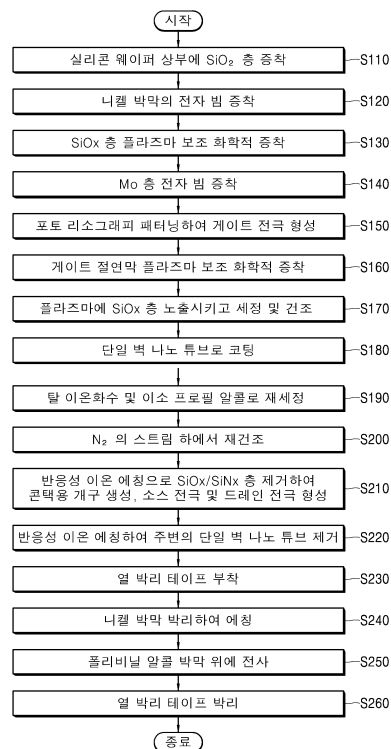
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법

(57) 요약

본 발명은 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법을 공개한다. 이 방법은 (a) 실리콘 기판 상에 열산화막을 적층하고, 상기 열산화막 상에 니켈 박막을 증착하는 단계; (b) 상기 니켈 박막 상에 산화막을 플라즈마 보조 화학적 증착시키는 단계; (c) 상기 증착된 산화막 상에 금속층을 전자 빔 증착하고, 포토 리소(뒷면에 계속)

대표도 - 도1



그래피 패터닝하여 게이트 전극을 형성하는 단계; (d) 상기 게이트 전극 상에 플라즈마 보조 화학적 증착에 의해 게이트 절연막을 증착시키는 단계; (e) 상기 게이트 절연막의 표면을 플라즈마 또는 자외선 오존 처리를 통해서 친수성으로 표면화시키고, 세정 및 건조하는 단계; (f) 상기 친수성 표면화된 게이트 절연막의 표면 상에 단일 벽 나노 튜브로 코팅하는 단계; (g) 상기 게이트 절연막을 반응성 이온 에칭하여 콘택용 개구를 생성하여 소스 전극 및 드레인 전극을 형성하는 단계; (h) 반응성 이온 에칭하여 주변의 단일 벽 나노 튜브를 제거한 후 열 박리 테이프를 부착하는 단계; (i) 염화철 용액을 이용하여 상기 니켈 박막을 에칭한 후 폴리비닐 알코올 박막 위에 전사하는 단계; 및 (j) 열판 상에 위치시켜 상기 열 박리 테이프를 박리하는 단계;를 포함하는 것을 특징으로 한다.

(52) CPC특허분류

H01L 21/02274 (2013.01)

H01L 21/0274 (2013.01)

H01L 21/3142 (2013.01)

H01L 21/67132 (2013.01)

H01L 2924/01028 (2013.01)

H01L 2924/0625 (2013.01)

명세서

청구범위

청구항 1

- (a) 실리콘 기판 상에 열산화막을 적층하고, 상기 열산화막 상에 니켈 박막을 증착하는 단계;
 - (b) 상기 니켈 박막 상에 산화막을 플라즈마 보조 화학적 증착시키는 단계;
 - (c) 상기 증착된 산화막 상에 금속층을 전자 빔 증착하고, 포토 리소그래피 패터닝하여 게이트 전극을 형성하는 단계;
 - (d) 상기 게이트 전극 상에 플라즈마 보조 화학적 증착에 의해 게이트 절연막을 증착시키는 단계;
 - (e) 상기 게이트 절연막의 표면을 플라즈마 또는 자외선 오존 처리를 통해서 친수성으로 표면화시키고, 세정 및 건조하는 단계;
 - (f) 상기 친수성 표면화된 게이트 절연막의 표면 상에 단일 벽 나노 튜브를 코팅하는 단계;
 - (g) 상기 게이트 절연막을 반응성 이온 에칭하여 콘택용 개구를 생성하여 소스 전극 및 드레인 전극을 형성하는 단계;
 - (h) 반응성 이온 에칭하여 주변의 단일 벽 나노 튜브를 제거한 후 열 박리 테이프를 부착하는 단계;
 - (i) 염화철 용액을 이용하여 상기 니켈 박막을 에칭한 후 폴리비닐 알코올 박막 위에 전사하는 단계; 및
 - (j) 열판 상에 위치시켜 상기 열 박리 테이프를 박리하는 단계;
- 를 포함하는 것을 특징으로 하는 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 (f) 단계는

상기 폴리비닐 알코올 박막 반대편 표면 상에 회로를 가진 테이프를 가압하는 단계; 및

폴리 디메틸 실록산(PDMS)을 유리 슬라이드에 코팅하는 단계;

를 포함하는 것을 특징으로 하는 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 (f) 단계는

상기 단일 벽 나노 튜브 대신 일차원 구조 및 반도체 특성을 지니는 나노 와이어로 코팅할 수 있는 것을 특징으로 하는 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 니켈 박막의 두께는

250 내지 350 nm인 것을 특징으로 하는 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 (g) 단계는

폴리-L-라이신 용액을 투여하는 단계;

상기 게이트 절연막의 표면을 산소 가스 플라즈마에 노출시키는 단계;

탈 이온화수로 연속적 세정하는 단계; 및

질소 가스의 스트림 하에서 건조하는 단계;

를 포함하는 것을 특징으로 하는,

단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 (f) 단계와 상기 (g) 단계 사이에

탈 이온화수 및 이소 프로필 알콜로 재세정하는 단계; 및

질소 가스의 스트림 하에서 재건조하는 단계;

를 더 포함하는 것을 특징으로 하는,

단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 소스 전극 및 상기 드레인 전극은

몰리브덴 층, 텅스텐 층 및 폴리 에틸렌디옥시티오펜 층 중 어느 하나인 것을 특징으로 하는,

단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 (h) 단계는

상기 열 박리 테이프를 부착하기 전에 불수용성의 폴리머 버퍼층을 1차적으로 코팅하는 단계;

를 더 포함하는 것을 특징으로 하는,

단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 9

제 1 항에 있어서,

상기 폴리비닐 알코올의 분자량은
10,000 내지 31,000 인 것을 특징으로 하는,
단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 10

제 9 항에 있어서,
상기 폴리비닐 알코올 박막은
상기 분자량을 가진 폴리비닐 알코올을 순수한 탈 이온화수에 용해시키는 단계;
상기 용해된 폴리비닐 알코올 용액을 상온까지 냉각시켜 추출하는 단계;
상기 추출된 용액을 플라스틱 용기에 담아 소정의 초기 높이가 되도록 하는 단계;
상기 플라스틱 용기를 진공 컨테이너에 넣고 펌핑하여 상기 용해된 폴리비닐 알코올 용액 내에 존재하는 기포를 제거하는 단계; 및
상기 기포가 제거된 폴리비닐 알코올 용액을 대류 오븐 또는 열판에서 수분을 제거하는 단계;
를 통하여 제조되는 것을 특징으로 하는,
단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 11

제 1 항에 있어서,
상기 (i) 단계는
상기 폴리비닐 알코올 대신 폴리 락티코-글리콜릭 산, 폴리 락틱 산 공중합체, 폴리 글리콜릭 산 및 폴리 카프로락톤 중 어느 하나일수 있는 것을 특징으로 하는,
단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 12

제 10 항에 있어서,
상기 대류 오븐 또는 상기 열판의 온도는
섭씨 50 내지 80도인 것을 특징으로 하는,
단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 13

제 1 항에 있어서,
상기 게이트 절연막은
이중 절연막 또는 단일 절연막인 것을 특징으로 하는,
단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 이중 절연막은

두께가 40 내지 60 nm 인 실리콘 질화물; 및

두께가 20 내지 40 nm 인 실리콘 산화물이 순차적으로 증착된 절연막인 것을 특징으로 하는,

단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법.

발명의 설명**기술 분야**

- [0001] 본 발명은 반도체의 제조 방법에 관한 것으로서, 특히 침수시 모든 구성 요소들이 분해되는 물리적으로 트랜젠트한 단일 벽 나노 튜브 전자 형태의 반도체를 소정의 분자량을 가지는 폴리비닐 알코올 박막에 전사시켜 낮은 전압에서 높은 이득으로 풀 스위칭이 가능한 트랜지스터를 제조할 수 있는 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법에 관한 것이다.

배경 기술

- [0002] 일반적으로 트랜젠트 전자(transient electronics)는 구성되는 장치가 자신의 목표한 기능을 제공 후에 제어된 방식으로 전체 또는 부분적으로 물리적인 소실이 되도록 설계되는 기술을 말한다.
- [0003] 트랜젠트 전자의 응용 범위는 활성 생분해성 임플란트로부터 하드웨어 보안 메모리 시스템, 환경 센서의 소실, 감소되는 폐기물 스트림을 가진 가전제품까지를 범위로 한다.
- [0004] 이와 같이 구상된 기술은 전자 재료, 장치 설계에 대한 연구 및 마이크로/나노에 대한 파격적인 기술로의 연구를 위한 기회를 창출한다.
- [0005] 한편, 실리콘의 나노 멤브레인은 산화아연(ZnO_6) 및 유기/바이오 고분자와 같은 다른 물질들을 추가적인 옵션으로 필요로 하는 반면, 바이오 액체, 지하수 및 해수에서 가수 분해에 의한 용해 특성과 함께 안정적이고 재생 가능하며 우수한 전기적 특성 때문에 상기 연구에 대해 장점이 있다.
- [0006] 이에 따라 정제된 단일 벽 나노 튜브(single walled nanotubes, 단일 벽 나노 튜브)의 망으로 트랜젠트 전계 효과 트랜지스터(field effect transistors, FET)를 형성할 수 있는 능력, 단일 벽 나노 튜브의 나노 스케일 차원, 낮은 면적 범위에서 삼투망(percolating network)을 형성하는 능력, 우수한 전기적 특성 및 지지 기관의 소실에 망을 분산시키는 용량을 형성하는 능력으로 제어된 분해와 용해의 조합에 의해 작동하는 트랜젠트 전자를 활용하는 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체 제조의 필요성이 대두되었다.
- [0007] 그러나, 지금까지 단일 벽 나노 튜브 망은 개별 장치 및 집적 회로에서 널리 탐구되었지만, 트랜젠트 전자 시스템의 목적으로 트랜젠트 재료의 사용은 탐구되지 않아 왔다.
- [0008] 따라서, 본 발명자는 비-트랜젠트 인버터와 비교할 때 개선된 노이지 마진과 논리 스위칭을 가지고 단일 벽 탄소 나노 튜브를 수용성 유전체, 금속과 트랜젠트 부트 스트랩 단일 벽 탄소 나노 튜브 인버터를 생산하는 기관과 결합시킨 트랜젠트 반도체의 제조 방법을 착안하기에 이르렀다.
- [0009] 한편, 직류(DC) 및 펄스 모드 기법을 모두 이용하여 연구된 풀 스위칭 전기 특성은 트랜젠트 금속을 이용하여 형성된 콘택의 효과뿐만 아니라 고유한 특성을 나타낸다.
- [0010] 하지만, 종래의 1차원 및 2차원 나노 소재가 절연막과 접촉하여 형성되는 경우, 다양한 에너지를 갖는 트랩이 형성됨에 따라 소자 성능 및 신뢰성을 크게 저하시키는 문제점이 있었고, 종래의 다이오드 연결된 부하를 사용하는 경우 소스 단자에서 문턱 전압 강하가 논리 스위칭 및 노이즈 마진을 크게 감소시킬 수 없다는 문제점이 있었다.
- [0011] 따라서, 본 발명자는 이와 같은 종래의 나노 소재가 절연막과 접촉하여 형성되는 경우의 상기 문제점을 해결하기 위하여 침수시 용해되는 트랜젠트한 단일 벽 나노 튜브 전자 형태의 반도체를 소정의 분자량을 가지는 폴리

비닐 알코올 박막에 전사시켜 높은 이동도 및 온/오프 비율을 가지는 트랜지스터를 구비하는 인버터가 낮은 전압에서 높은 이득으로 풀 스위칭 특성을 갖게 하는 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법을 착안하기에 이르렀다.

선행기술문헌

- [0012] (특허문헌 1)KR 10-2010-0120295 A1
- [0013] (특허문헌 2)KR 10-2007-0030661 A1

발명의 내용

해결하려는 과제

- [0014] 본 발명의 목적은 침수시 용해되는 트랜지스트한 단일 벽 나노 튜브 전자 형태의 반도체를 소정의 분자량을 가지는 폴리비닐 알코올 박막에 전사시켜 높은 이동도 및 온/오프 비율을 가지는 트랜지스터를 구비하는 인버터가 낮은 전압에서 높은 이득으로 풀 스위칭 특성을 갖게 하는 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법을 제공하는 것이다.
- [0015] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제(들)로 제한되지 않으며, 언급되지 않은 또 다른 과제(들)는 이하의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0016] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법은 (a) 실리콘 기판 상에 열산화막을 적층하고, 상기 열산화막 상에 니켈 박막을 증착하는 단계; (b) 상기 니켈 박막 상에 산화막을 플라즈마 보조 화학적 증착시키는 단계; (c) 상기 증착된 산화막 상에 금속층을 전자 빔 증착하고, 포토 리소그래피 패터닝하여 게이트 전극을 형성하는 단계; (d) 상기 게이트 전극 상에 플라즈마 보조 화학적 증착에 의해 게이트 절연막을 증착시키는 단계; (e) 상기 게이트 절연막의 표면을 플라즈마 또는 자외선 오존 처리를 통해서 친수성으로 표면화시키고, 세정 및 건조하는 단계; (f) 상기 친수성 표면화된 게이트 절연막의 표면 상에 단일 벽 나노 튜브로 코팅하는 단계; (g) 상기 게이트 절연막을 반응성 이온 에칭하여 콘택용 개구를 생성하여 소스 전극 및 드레인 전극을 형성하는 단계; (h) 반응성 이온 에칭하여 주변의 단일 벽 나노 튜브를 제거한 후 열 박리 테이프를 부착하는 단계; (i) 염화철 용액을 이용하여 상기 니켈 박막을 에칭한 후 폴리비닐 알코올 박막 위에 전사하는 단계; 및 (j) 열판 상에 위치시켜 상기 열 박리 테이프를 박리하는 단계;를 포함하는 것을 특징으로 한다.
- [0017] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법의 상기 (f) 단계는 상기 폴리비닐 알코올 박막 반대편 표면 상에 회로를 가진 테이프를 가압하는 단계; 및 폴리 디메틸 실록산(PDMS)을 유리 슬라이드에 코팅하는 단계;를 포함하는 것을 특징으로 한다.
- [0018] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법의 상기 (f) 단계는 상기 단일 벽 나노 튜브 대신 일차원 구조 및 반도체 특성을 지니는 나노 와이어로 코팅할 수 있는 것을 특징으로 한다.
- [0019] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법의 상기 니켈 박막의 두께는 250 내지 350 nm인 것을 특징으로 한다.
- [0020] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법의 상기 (g) 단계는 폴리-L-라이신 용액을 투여하는 단계; 상기 게이트 절연막의 표면을 산소 가스 플라즈마에 노출시키는 단계; 탈 이온화수로 연속적 세정하는 단계; 및 질소 가스의 스트림 하에서 건조하는 단계;를 포함하는 것을 특징으로 한다.
- [0021] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법은 상기

(f) 단계와 상기 (g) 단계 사이에 탈 이온화수 및 이소 프로필 알콜로 재세정하는 단계; 및 질소 가스의 스트림 하에서 재건조하는 단계;를 더 포함하는 것을 특징으로 한다.

[0022] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 소스 전극 및 상기 드레인 전극은 폴리브덴 층, 텅스텐 층 및 폴리 에틸렌디옥시티오펜 층 중 어느 하나인 것을 특징으로 한다.

[0023] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 (h) 단계는 상기 열 박리 테이프를 부착하기 전에 불수용성의 폴리머 버퍼층을 1차적으로 코팅하는 단계;를 더 포함하는 것을 특징으로 한다.

[0024] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 폴리비닐 알코올의 분자량은 10,000 내지 31,000 인 것을 특징으로 한다.

[0025] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 폴리비닐 알코올 박막은 상기 분자량을 가진 폴리비닐 알코올을 순수한 탈 이온화수에 용해시키는 단계; 상기 용해된 폴리비닐 알코올 용액을 상온까지 냉각시켜 추출하는 단계; 상기 추출된 용액을 플라스틱 용기에 담아 소정의 초기 높이가 되도록 하는 단계; 상기 플라스틱 용기를 진공 컨테이너에 넣고 펌핑하여 상기 용해된 폴리비닐 알코올 용액 내에 존재하는 기포를 제거하는 단계; 및 상기 기포가 제거된 폴리비닐 알코올 용액을 대류 오븐 또는 열판에서 수분을 제거하는 단계;를 통하여 제조되는 것을 특징으로 한다.

[0026] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 (i) 단계는 상기 폴리비닐 알코올 대신 폴리 락티코-글리콜릭 산, 폴리 락틱 산 공중합체, 폴리 글리콜릭 산 및 폴리 카프로락톤 중 어느 하나일수 있는 것을 특징으로 한다.

[0027] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 대류 오븐 또는 상기 열판의 온도는 섭씨 50 내지 80도인 것을 특징으로 한다.

[0028] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 게이트 절연막은 이중 절연막 또는 단일 절연막인 것을 특징으로 한다.

[0029] 상기 목적을 달성하기 위한 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법의 상기 이중 절연막은 두께가 40 내지 60 nm 인 실리콘 질화물; 및 두께가 20 내지 40 nm 인 실리콘 산화물이 순차적으로 증착된 절연막인 것을 특징으로 한다.

[0030] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

[0031] 본 발명의 이점 및/또는 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

발명의 효과

[0032] 본 발명에 의할 경우, 높은 이동도 및 온/오프 비율을 가지는 트랜지스터를 구비하는 인버터가 낮은 전압에서 높은 이득으로 풀 스위칭 특성이 가능하게 되고, 1차원 및 2차원 나노 소재가 절연막과 접촉하여 형성되는 경우에도 반도체 소자의 성능 및 신뢰성 저하를 방지하게 된다.

도면의 간단한 설명

[0033] 도 1은 본 발명에 따른 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법을 나타내는 순서도이다.

도 2는 도 1에 도시된 제조 방법 중 단계(S170)의 세부 공정을 나타내는 순서도이다.

도 3은 도 1에 도시된 제조 방법 중 폴리비닐 알코올 박막의 제조 단계를 나타내는 순서도이다.

도 4는 도 1에 도시된 제조 방법에 따라 $\text{SiO}_x/\text{Ni}/\text{SiO}_2/\text{Si}$ 의 기판 상에 제조되어 완성된 단일 벽 나노 튜브를 기

반으로 한 트랜젠트 반도체의 사시도이다.

도 5는 도 4에 도시된 A 및 B의 선을 따라 절단한 트랜젠트 반도체의 단면도이다.

도 6은 도 1에 도시된 제조 방법에 따라 제조되는 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 공정도이다.

도 7은 도 1에 도시된 제조 방법에 따라 $\text{SiO}_x/\text{Ni}/\text{SiO}_2/\text{Si}$ 상에 몰리브덴(Mo) 또는 티타늄/팔라듐(Ti/Pd) 콘택을 가지도록 제조된 전형적인 단일 벽 나노 튜브용 전계 효과 트랜지스터를 위한 광학 현미경 사진이다.

도 8은 도 1에 도시된 제조 방법에 따라 티타늄/팔라듐(Ti/Pd) 콘택을 가진 장치용(a) 및 몰리브덴(Mo) 콘택을 가진 장치용(b) 드레인 소스 전압(VDS)이 0.1V에서 10 μm 및 100 μm 사이의 다양한 채널 길이에서의 전사 특성에 대한 그래프이다.

도 9는 도 1에 도시된 제조 방법에 따라 게이트 소스 전압(VGS)의 함수로서 10 μm 및 100 μm 사이의 다양한 채널 길이에서의 티타늄/팔라듐(Ti/Pd) 콘택(a) 및 몰리브덴(Mo) 콘택(b)을 가진 단일 벽 나노 튜브용 전계 효과 트랜지스터의 총 접촉 저항($R_{\text{on}} \sim 2R_{\text{S/D}} + r_{\text{ch}}L$)에 대한 그래프이다.

도 10은 도 1에 도시된 제조 방법에 따라 게이트 전송선 방법을 사용하여 티타늄/팔라듐(Ti/Pd) 또는 몰리브덴(Mo) 콘택을 가진 단일 벽 나노 튜브용 전계 효과 트랜지스터로부터 추출된 콘택 저항에 대한 그래프이다.

도 11은 도 1에 도시된 제조 방법에 따라 완성된 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 광학 현미경 사진이다.

도 12는 도 1에 도시된 제조 방법에 따라 완성된 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체를 사용하 부트 스트랩 인버터의 회로도이다.

도 13은 도 12에 도시된 부트 스트랩 인버터의 DC 전압 전달 특성(a) 및 AC 동적 응답(b)에 대한 그래프이다.

도 14는 도 1에 도시된 제조 방법에 따라 완성된 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 실온에서 탈 이온화수 내에서 용해되는 동안 시계열로 수집된 실제 용해 사진이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명하면 다음과 같다.
- [0035] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정되어 해석되지 말아야 하며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 한다.
- [0036] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "구비" 또는 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다. 또한, 명세서에 기재된 "부", "기", "모듈", "장치", "단계" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0037] 도 1은 본 발명에 따른 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 제조 방법을 나타내는 순서도이다.
- [0038] 도 2는 도 1에 도시된 제조 방법 중 단계(S170)의 세부 공정을 나타내는 순서도이다.
- [0039] 도 3은 도 1에 도시된 제조 방법 중 폴리비닐 알코올 박막의 제조 단계를 나타내는 순서도이다.
- [0040] 도 4는 도 1에 도시된 제조 방법에 따라 $\text{SiO}_x/\text{Ni}/\text{SiO}_2/\text{Si}$ 의 기판 상에 제조되어 완성된 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 사시도이다.
- [0041] 도 5는 도 4에 도시된 A 및 B의 선을 따라 절단한 트랜젠트 반도체의 단면도이다.
- [0042] 도 6은 도 1에 도시된 제조 방법에 따라 제조되는 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체의 공정도로서, 열 박리 테이프를 사용하여 수증에서 완성된 장치를 갱생시킨 사진(a), 단일 벽 나노 튜브 장치/ SiO_x 뒷면에 잔류 니켈을 식각한 후 폴리비닐 알코올 기판 상에 전사된 장치(b), 폴리비닐 알코올 수용액의 드롭 주조에 의해 준비된 폴리비닐 알코올 기판(c), 전사 인쇄 공정용 폴리 디메틸 실록산(PDMS)로 코팅된 유리 슬라이드 상에 적층한 후 사진(d), 갱생 전 $\text{SiO}_x/\text{Ni}/\text{SiO}_2$ 의 3층 코팅으로 Si 기판 상에 완성된 단일 벽 나노 튜브 전계

효과 트랜지스터(e), 폴리비닐 알코올 기관으로 전사된 후 장치(f)를 나타낸다.

- [0043] 도 1 내지 도 6을 참조하여 본 발명에 따른 단일 벽 나노 튜브를 기반으로 한 트랜지스트 반도체의 제조 방법의 동작을 설명하면 다음과 같다.
- [0044] 실리콘 기관 위에 열산화막인 산화 실리콘(SiO_2)을 적층하여 형성(S110)하는데, 열산화막의 두께는 250 내지 350 nm 로 설정할 수 있고, 300 nm 가 바람직하다.
- [0045] 열산화막 상에 전자-총 증착(e-gun evaporation) 또는 스퍼터링(sputtering) 방법을 이용하여 니켈 박막을 증착한다(S120). 니켈 박막의 두께는 250 내지 350 nm 로 설정할 수 있고, 300 nm 가 바람직하다.
- [0046] 니켈 박막 상에 플라즈마 보조 화학적 증착(Plasma Enhanced Chemical Vapor Deposition, PECVD) 공정 기법으로 섭씨 300 도 상에서 플라즈마 보조 화학적 증착 층인 산화 실리콘(SiO_x)을 100 내지 300 nm의 두께로 증착한다(S130).
- [0047] 여기에서, 플라즈마 보조 화학적 증착 공정 기법이란 반응 챔버 내에 플라즈마를 형성시켜 반응을 원활히 하고, 증착을 돕는 박막 합성 방법을 의미한다.
- [0048] 몰리브덴(Mo), 텅스텐(W), 폴리 에틸렌디옥시티오펜(Poly ethylenedioxythiophene, PEDOT) 등의 수용성 금속층을 60 내지 80 nm의 두께로 전자 빔 증착한 후에(S140), 포토 리소그래피 패터닝하여 게이트 전극을 형성한다(S150).
- [0049] 게이트 전극 상에 플라즈마 보조 화학적 증착에 의해 게이트 절연막을 증착한다(S160).
- [0050] 여기에서, 게이트 절연막은 이중 절연막(SiN_x 및 SiO_x) 또는 단일 절연막(SiN_x 또는 SiO_x)일 수 있다.
- [0051] SiN_x 의 두께는 40 내지 60 nm 로 설정할 수 있고, 50 nm 가 바람직하며, SiO_x 의 두께는 20 내지 40 nm 로 설정할 수 있고, 30 nm 가 바람직하다.
- [0052] 30 W의 산소 가스(O_2) 플라즈마에 8 분 내지 12 분동안 SiO_x 를 노출시키거나 또는 자외선 오존 발생기 내에서 30 분 이하로 표면 처리를 통해서 나노 튜브가 코팅되어야 할 게이트 절연막의 표면을 친수성으로 변환한다(S172).
- [0053] 이후, 친수성으로 변화된 게이트 절연막을 포함하고 있는 기관을 폴리-L-라이신 용액에 4분 내지 10 분 동안 담그고(S174), 표면에 NH_2 의 기능기를 형성한 후, 계면의 전하의 상태를 양의 극성을 형성할 수 있게 한다.
- [0054] 탈 이온화수(DI)로 연속적으로 세정하고(S176) 질소 가스(N_2)의 스트림 하에서 건조시켜(S174) 제어된 밀도를 가지고 공간적으로 균일한 방식으로 단일 벽 나노 튜브로 코팅될 수 있는 표면을 생성한다(S180).
- [0055] 이때, 단일 벽 나노 튜브 대신 일차원 구조 및 반도체 특성을 지니는 나노 와이어(ZnO , CuO , SnO 등)로 코팅될 수도 있다.
- [0056] 이 공정은 전사를 위한 구조를 준비시키는 단계로서, 도 6(c)에 도시된 두께가 30 μm 인 폴리비닐 알코올 박막 반대편 표면 상에 회로를 가진 테이프를 가압하고, 도 6(d)에 도시된 폴리 디메틸 실록산(PDMS)의 코팅으로 유리 슬라이드에 유지시키는 과정을 포함한다.
- [0057] 탈 이온화수(DI) 및 이소 프로필 알콜(IPA)로 다시 세정하고(S190), 질소 가스(N_2)의 스트림 하에서 재건조시킨다(S200).
- [0058] O_2/CF_4 를 이용하여 반응성 이온 에칭(reactive ion etching, RIE)으로 게이트 절연막(SiO_x 및/또는 SiN_x)을 제거하여 콘택용 개구를 생성함으로써 소스 전극 및 드레인 전극을 형성한다(S210).
- [0059] 마지막으로, O_2 를 이용하여 90 내지 110 mTorr의 압력, 60 내지 80 W 전력 하에서 50 내지 70초간 반응성 이온 에칭하여 주변으로부터 단일 벽 나노 튜브를 제거한다(S220).
- [0060] 이와 같이 최종적으로 제작된 소자 위에 도 6(a)에 도시된 바와 같이, 침수시 실리콘 기관 또는 유리 기관과 같이 딱딱한 기관 위에 완성된 전자소자 기관의 박리를 용이하게 하는 열 박리 테이프(thermal release tape)를 부착하고(S230), 염화철 용액을 이용한 에칭은 장치 후면상 니켈을 제거한다(S240).

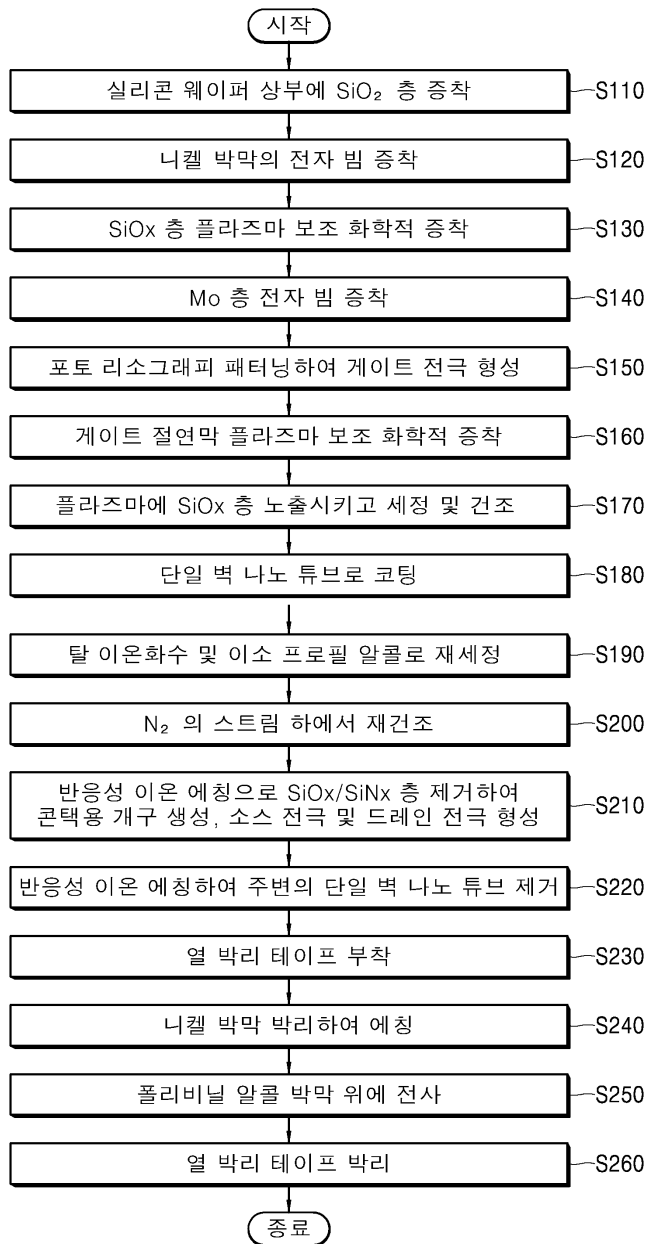
- [0061] 이때, 열 박리 테이프를 부착하기 전에, 폴리메타크릴산 메틸(polymethylmethacrylate, PMMA)과 같이 물에 녹지 않는 폴리머 버퍼층(polymer buffer layer)을 1차적으로 코팅 한 후에 열 박리 테이프를 부착할 수도 있다.
- [0062] 또한, 도 6(b)에서 보는 바와 같이, 폴리비닐 알코올(Polyvinyl Alcohol, PVA) 박막 위에 전사한 후에(S250), 섭씨 100 도의 열판 상에서 가열하여 열 박리 테이프를 박리시킨다(S260).
- [0063] 본 실시예에서는 폴리비닐 알코올을 예시로 하였으나, 폴리 락티코-글리콜릭 산(poly lacticco-glycolic acid, PLGA), 폴리 락틱 산 공중합체(copolymer of poly lactic acid, PLA), 폴리 글리콜릭 산(poly glycolic acid, PGA) 및 폴리 카프로락톤(polycaprolactone, PCL)도 가능하다.
- [0064] 여기에서, 폴리비닐 알코올은 분자량이 10,000 내지 31,000 으로서, 두께가 15 내지 25 m, 바람직하게는 20 m인 것을 사용한다.
- [0065] 만일, 분자량이 31,000 이상이 되는 경우, 독성이 있어 인체에 유해하게 된다.
- [0066] 상기 분자량을 가진 폴리비닐 알코올을 가지고 폴리비닐 알코올 박막을 제작하는 방법은 다음과 같다.
- [0067] 도 3에서 보는 바와 같이, 상기 폴리비닐 알코올을 순수한 탈 이온화수에 용해시켜 10 wt % 용액의 농도로 생성한다(S310).
- [0068] 즉, 봉자석(Magnetic Bar)을 이용하여 저어주면서 비이커 등의 유리 용기 내에서 용액의 온도를 섭씨 60 내지 70도를 유지한 채, 최소 12시간 이상 충분히 녹인다.
- [0069] 이때, 탈 이온화수의 증발을 막기 위해서, 알루미늄 호일이나 유리 덮개로 덮은 상태에서, 최소한의 환기구를 유지한 채 녹인다.
- [0070] 용해된 폴리비닐 알코올 용액을 공기 중에서 상온까지 냉각시킨 후에(S320), 완전히 녹은 투명한 용액 만을 스포이드로 추출한다(S330).
- [0071] 추출된 용액을 밀판이 평평한 플라스틱 용기 또는 SUS 기반의 용기에 담아 초기 높이가 1 내지 5 mm 가 되도록 한다(S340).
- [0072] 용액의 상기 초기 높이에 따라 최종적으로 형성된 폴리비닐 알코올 박막의 두께가 수um 내지 수100 um 수준으로 조절된다.
- [0073] 폴리비닐 알코올 용액이 담긴 플라스틱 용기를 진공 컨테이너에 넣고 수십 mtorr 범위의 저 진공 하해서 10 내지 20분 펌핑하여 폴리비닐 알코올 용액 내에 존재하는 기포를 제거한다(S350).
- [0074] 이와 같은 과정을 거치지 않으면, 폴리비닐 알코올 박막에 핀 홀(pinhole)이 발생하고 균일한 폴리비닐 알코올 박막을 형성할 수가 없게 된다.
- [0075] 다음으로, 평탄하게 유지된 폴리비닐 알코올 용액이 담긴 플라스틱 용기를 대류 오븐(convection oven) 또는 열판에서 섭씨 50 내지 80도를 유지한 채 수분을 제거한다(S360).
- [0076] 만일, 온도가 섭씨 50도 이하가 되는 경우, 폴리비닐 알코올 박막의 형성까지 소요되는 시간이 오래 걸릴 뿐만 아니라, 최종적으로 형성된 폴리비닐 알코올 박막에 주름(wrinkle)이 생겨, 원하는 형태의 완벽한 평탄도를 유지할 수 없고, 온도가 섭씨 80도 이상이 되는 경우, 생성된 폴리비닐 알코올 박막의 두께가 일정치 않게 되거나 심한 주름이 발생하게 된다.
- [0077] 이와 같이 제조된 도 6(c)에 도시된 폴리비닐 알코올 박막 위에 도 4의 실리콘 및 니켈 기반의 완성된 단일 벽 나노 튜브를 기반으로 한 트랜젠트 반도체가 전사되면 최종적으로 도 6(f)에서 보는 바와 같은 트랜젠트 단일 벽 나노 튜브의 전계 효과 트랜지스터 회로가 완성된다.
- [0078] 도 7은 도 1에 도시된 제조 방법에 따라 SiO_x/Ni/SiO₂/Si 상에 몰리브덴(Mo) 또는 티타늄/팔라듐(Ti/Pd) 콘택을 가지도록 제조된 전형적인 단일 벽 나노 튜브용 전계 효과 트랜지스터를 위한 광학 현미경 사진이다.
- [0079] 도 8은 도 1에 도시된 제조 방법에 따라 티타늄/팔라듐(Ti/Pd) 콘택을 가진 장치용(a) 및 몰리브덴(Mo) 콘택을 가진 장치용(b) 드레인 소스 전압(VDS)이 0.1V에서 10 um 및 100 um 사이의 다양한 채널 길이에서의 전사 특성에 대한 그래프이다.

- [0080] 도 9는 도 1에 도시된 제조 방법에 따라 게이트 소스 전압(VGS)의 함수로서 10 μm 및 100 μm 사이의 다양한 채널 길이에서의 티타늄/팔라듐(Ti/Pd) 콘택(a) 및 몰리브덴(Mo) 콘택(b)을 가진 단일 벽 나노 튜브용 전계 효과 트랜지스터의 총 접촉 저항($R_{on} \sim 2R_{S/D} + r_{chL}$)에 대한 그래프이다.
- [0081] 도 10은 도 1에 도시된 제조 방법에 따라 게이트 전송선 방법을 사용하여 티타늄/팔라듐(Ti/Pd) 또는 몰리브덴(Mo) 콘택을 가진 단일 벽 나노 튜브용 전계 효과 트랜지스터로부터 추출된 콘택 저항에 대한 그래프이다.
- [0082] 도 8 내지 도 10에서 보는 바와 같이, 티타늄/팔라듐(Ti/Pd) 경우와 몰리브덴(Mo) 경우의 비교는 콘택 특성의 차이를 암시하고, 선형 체제에서 전반적인 장치 저항(R_{on})은 채널 길이당 채널 저항(r_{chL}) 및 소스 및 드레인 전극과 관련되어 결합된 콘택 저항($2R_{S/D}$)의 합으로 표현될 수 있다.
- [0083] 일반적으로 단일 벽 나노 튜브 트랜지스터는 n 형 모드에서의 동작이 비교적 신뢰성 있게 달성하기가 어렵기 때문에 전형적으로 대기 중에서 안정된 p 형 동작을 한다.
- [0084] 따라서, 종래의 다이오드 연결된 부하를 사용하는 보조 부하 인버터(enhancement-load inverter)와 같은 기본 논리 소자가 일반적으로 사용된다.
- [0085] 이 방식은 비록 단순할지라도 소스 단자에서 문턱 전압 강하가 논리 스윙 및 노이즈 마진을 크게 감소시킬 수 있다.
- [0086] 도 10에서 보는 바와 같이, 인셋(inset)는 단위 채널 저항의 역수의 평균값이 게이트 소스 전압(VGS)에 좌우된다는 것을 알 수 있고, 티타늄/팔라듐(Ti/Pd) 및 몰리브덴(Mo) 콘택 전계 효과 트랜지스터에 대한 기울기는 실험 상 오류와 유사하다는 것을 알 수 있다.
- [0087] 도 11은 도 1에 도시된 제조 방법에 따라 완성된 단일 벽 나노 튜브를 기반으로 한 트랜전트 반도체의 광학 현미경 사진이다.
- [0088] 도 12는 도 1에 도시된 제조 방법에 따라 완성된 단일 벽 나노 튜브를 기반으로 한 트랜전트 반도체를 사용한 부트 스트랩 인버터의 회로도이다.
- [0089] 도 13은 도 12에 도시된 부트 스트랩 인버터의 DC 전압 전달 특성(a) 및 AC 동적 응답(b)에 대한 그래프이다.
- [0090] 도 11 및 도 12에서 보는 바와 같이, 드라이버 트랜지스터(폭/길이=600/10 μm), 부하 트랜지스터 (폭/길이=40/10 μm), 게이트 다이오드 (폭/길이=20/10 μm) 및 부트 스트랩 콘덴서(5.2 pF)를 포함하는 부트 스트랩 단일 벽 나노 튜브 인버터가 사용되고, 내부 저항 및 오실로스코프의 커패시턴스와 관련된 프로빙 부하의 영향을 포함한다.
- [0091] 도 13(b)에서 보는 바와 같이, 최대 이득($(dV_{out} / dV_{in})_{max}$)은 0V의 VDD에서 2V 및 5V 사이의 공급 전압(V_{SS})에 대하여 30이다.
- [0092] 이 동작은 전압 부트 스트래핑을 따르고, 높은 비율의 구동 및 부하 트랜지스터를 사용한다.
- [0093] 부트 스트랩은 인버터 동작 동안 낮은 출력(VOL)에서 전압 크기를 줄이는 부하 트랜지스터에 대하여 문턱 전압(V_{th})과 연관된 전압 강하를 보상할 수 있다.
- [0094] 이러한 기능은 하이 레벨에서 로우 레벨로 천이되는 동안 천이 동작을 부스팅하여, 하강 시간을 줄인다.
- [0095] 여기에서, 드라이버 전계 효과 트랜지스터의 폭과 부하 전계 효과 트랜지스터의 폭의 비율에 대한 설계는 최대 이득 및 높은 출력(VOH)에서 전압을 모두 결정할 수 있기 때문에 중요하다.
- [0096] 도 12 및 도 13에서 보는 바와 같이, $V_{SS}=5V$, $V_{DD}=0V$ 인 바이어스 조건에서 입력 노드에 인가되는 5V의 진폭을 갖는 구형파($f=100$ Hz에서, 듀티 사이클(DC)=0.5)의 경우에 대한 동적인 동작을 보여준다.
- [0097] 다른 매개 변수는 고정된 상태에서 주파수가 0.1 kHz에서 10 kHz로 증가함에 따라, 스위칭 동작은 서서히 전과 지연으로 인해 저하된다.
- [0098] 그러한 제한은 오실로스코프와 인버터 출력 노드 사이의 전기적 연결뿐 아니라 드라이버 및 부하 트랜지스터의 기생 커패시턴스에서 주로 기인한다.

- [0099] 100 Hz에서 상승 및 하강 시간은 각각 0.35 ms 및 1.51 ms로서, 이러한 결과는 드라이버 전계 효과 트랜지스터(폭/길이 = 600 / 10 μm)의 전류에 비해 부하 전계 효과 트랜지스터(폭/길이 = 40 / 10 μm)의 낮은 전류가 장치 부품, 오실로스코프 및 연결선의 결합으로부터 기생 커패시턴스에 저장되는 전하를 위한 긴 소모 시간을 초래함을 암시한다.
- [0100] 도 14는 도 1에 도시된 제조 방법에 따라 완성된 단일 벽 나노 튜브를 기반으로 한 트랜전트 반도체의 실온에서 탈 이온화수 내에서 용해되는 동안 시계열로 수집된 실제 용해 사진으로서, (a) 10 s, (b) 90 s, (c) 300 s 및 (d) 1800 s 에서 폴리비닐 알코올 기관 상에 단일 벽 나노 튜브 전계 효과 트랜지스터 및 부트 스트랩 인버터의 용해 및 분해의 다양한 단계를 나타낸다.
- [0101] 도 14에서 보는 바와 같이, 여기에 사용된 폴리비닐 알코올 기관(30 μm)은 천천히 30 분 내에 용해된 후에, SiO_x , SiN_x 및 몰리브덴(Mo)을 포함한 나머지 각 구성 요소 물질이 가수분해로 인해 다른 속도로 사라진다.
- [0102] 단일 벽 나노 튜브는 분산되어 작은 묶음으로 응집하고, 용해 및 분해에 대한 시간대는 캡슐화 및 필름 분해 또는/및 드롭 주조를 거친 패키징 방법에 의해서뿐 아니라 물리적 치수, 막 두께, 및 단일 벽 나노 튜브 회로로 사용된 재료의 구성의 선택에 의해서 프로그램될 수 있음을 실험을 통해 확인하였다.
- [0103] 이와 같이, 본 발명의 단일 벽 나노 튜브를 기반으로 한 트랜전트 반도체의 제조 방법은 침수시 용해되는 트랜전트한 단일 벽 나노 튜브 전자 형태의 반도체를 소정의 분자량을 가지는 폴리비닐 알코올 박막에 전사시켜 높은 이동도 및 온/오프 비율을 가지는 트랜지스터를 구비하는 인버터가 낮은 전압에서 높은 이득으로 풀 스윙 특성을 갖게 하는 단일 벽 나노 튜브를 기반으로 한 트랜전트 반도체의 제조 방법을 제공한다.
- [0104] 이를 통하여, 1차원 및 2차원 나노 소재가 절연막과 접촉하여 형성되는 경우에도 반도체 소자의 성능 및 신뢰성 저하를 방지하게 된다.
- [0105] 이상, 일부 실시예를 들어서 본 발명의 바람직한 실시예에 대해 설명하였지만, 이와 같은 설명은 예시적인 것에 불과한 것으로서, 어떠한 의미로도 이에 의해 본 발명이 제한되는 것으로 해석될 수 없다 할 것이며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 이상의 설명으로부터 본 발명을 다양하게 변형 또는 수정하여 실시하거나 본 발명과 균등한 실시를 행할 수 있다는 점을 잘 이해하고 있을 것이다.

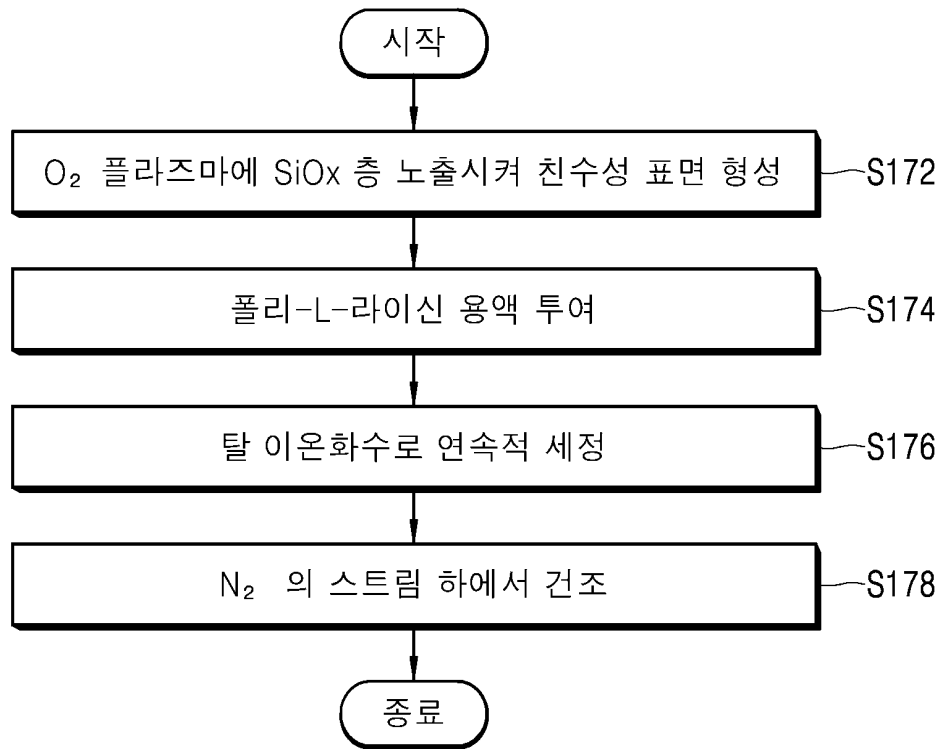
도면

도면1

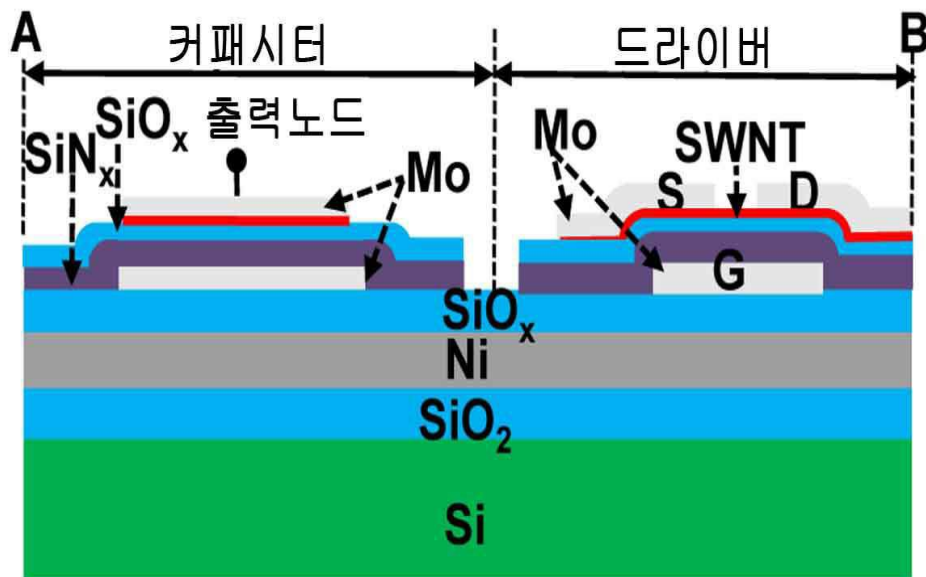


도면2

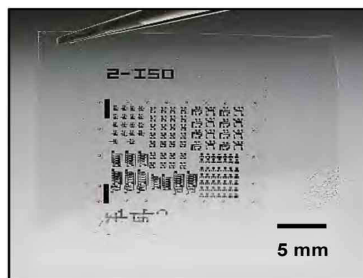
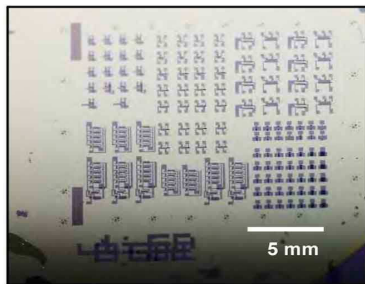
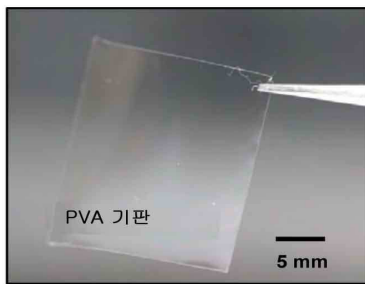
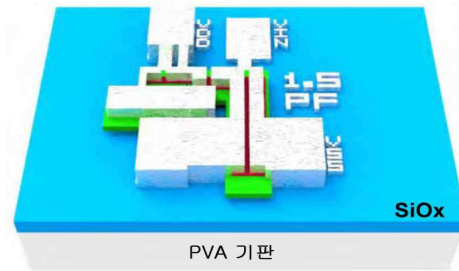
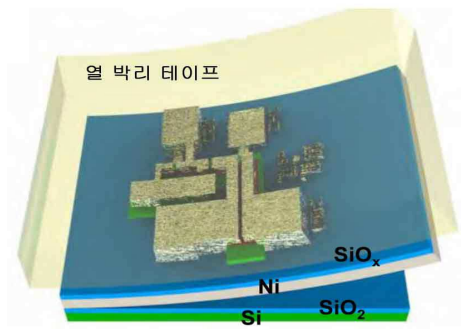
S170



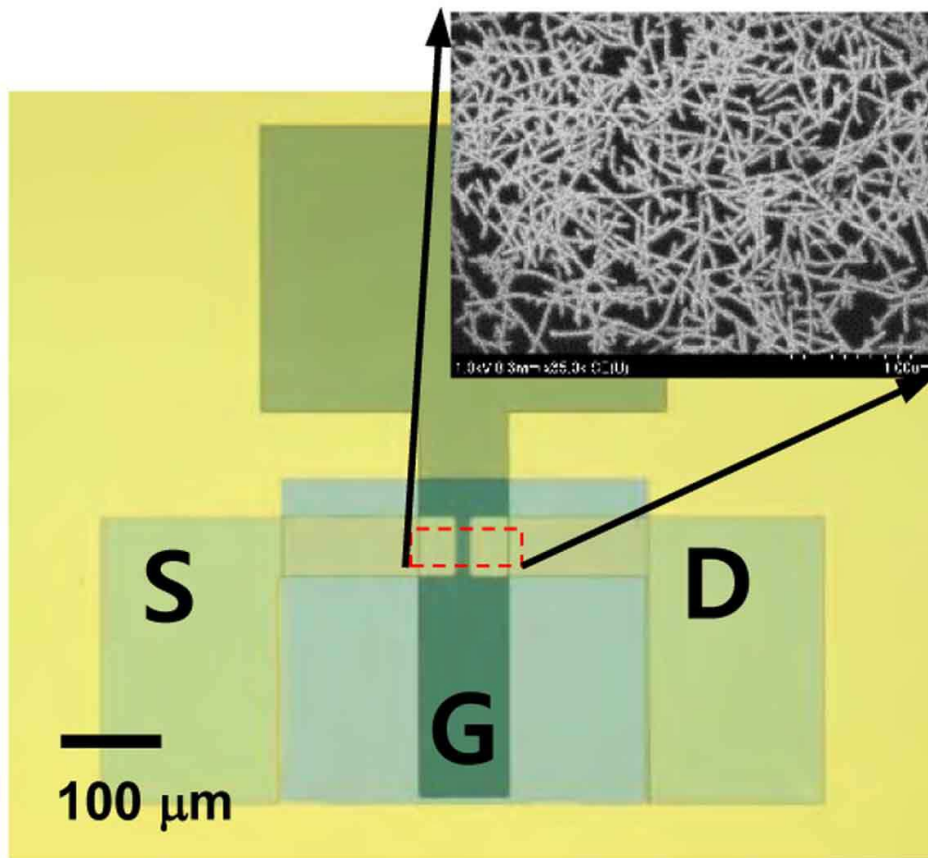
도면5



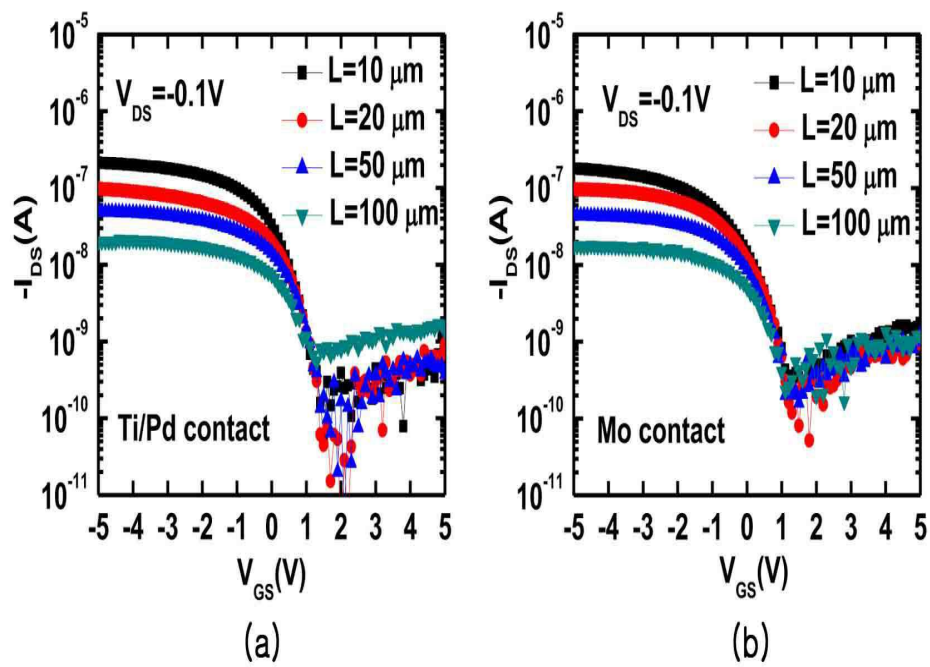
도면6



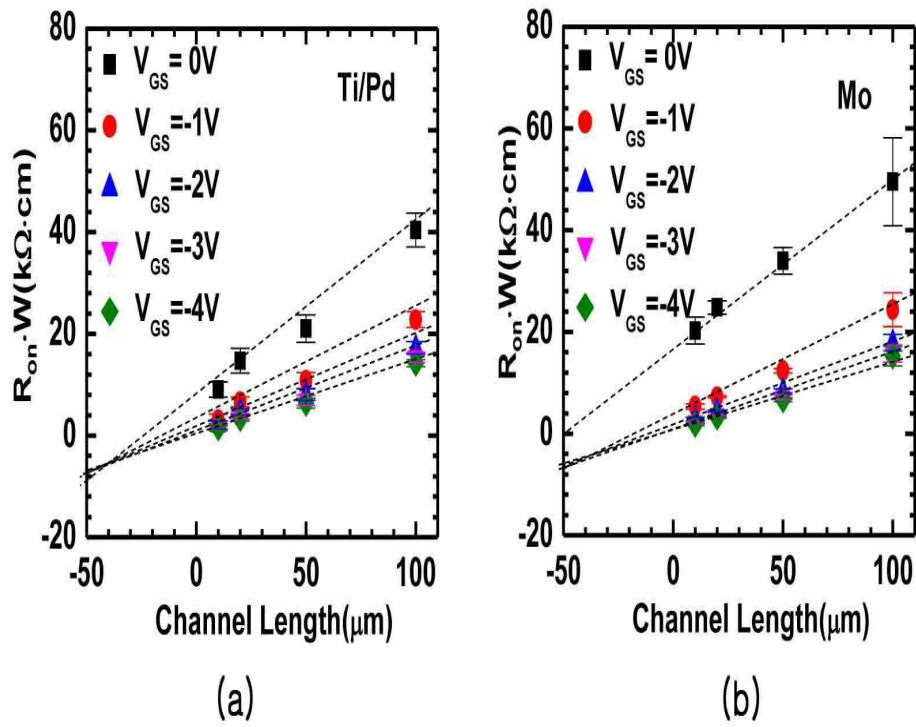
도면7



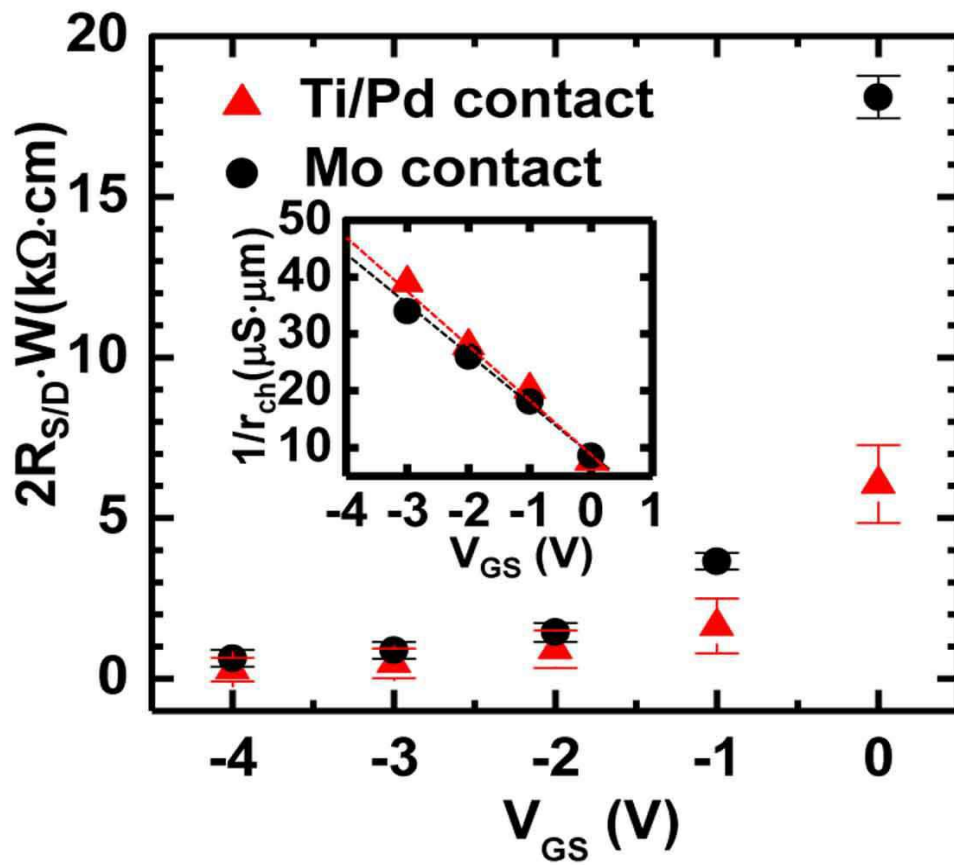
도면8



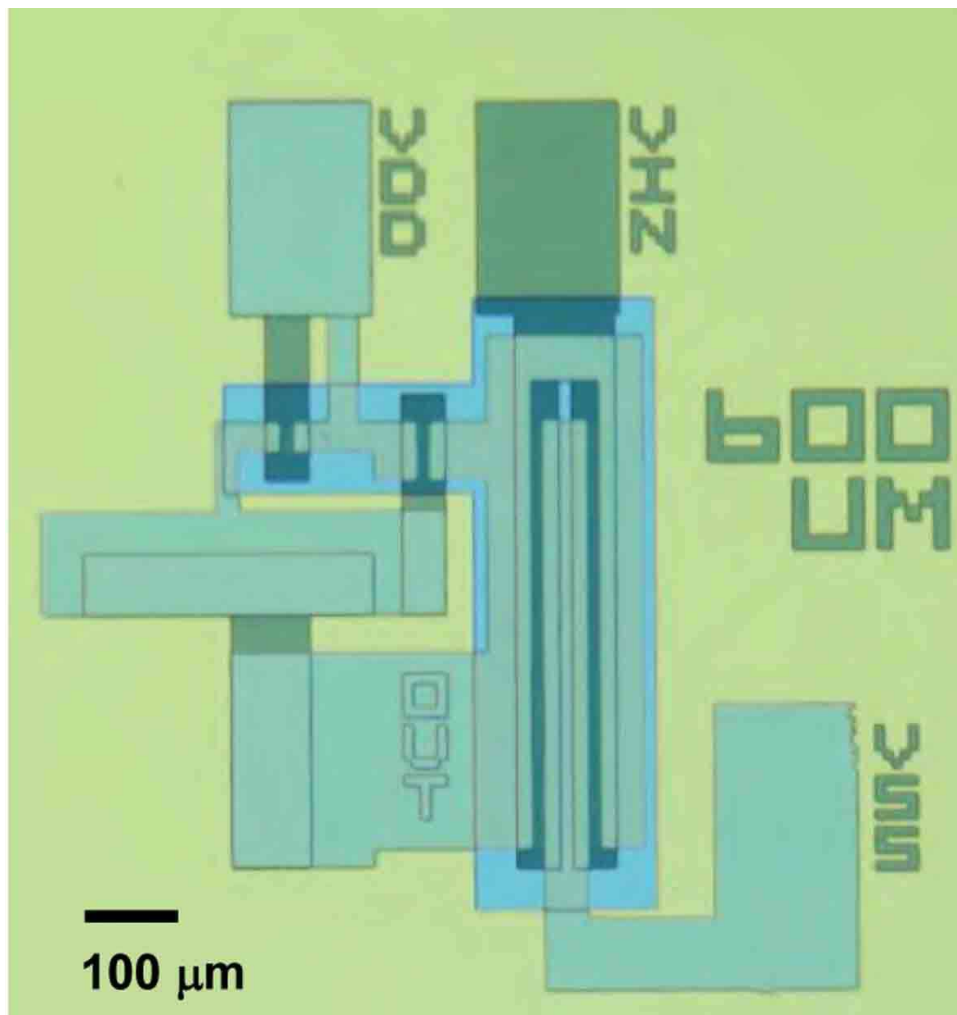
도면9



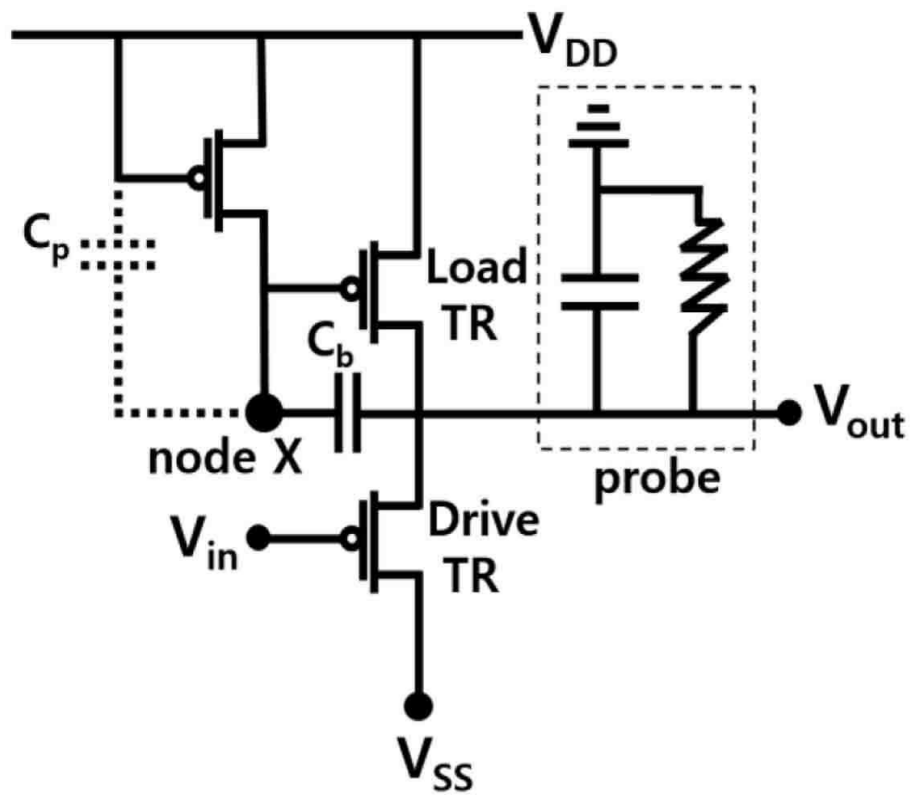
도면10



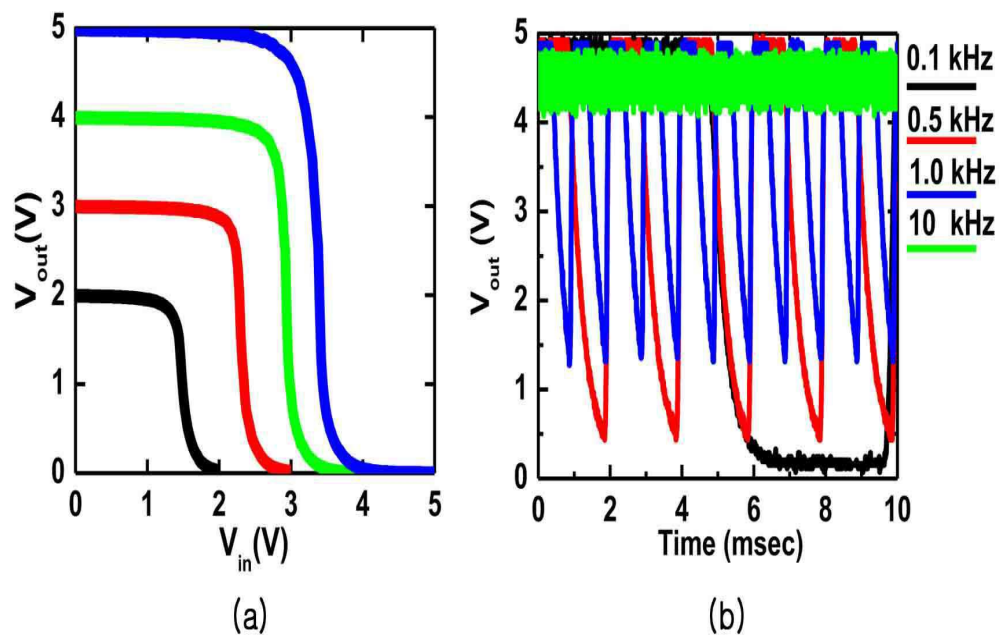
도면11



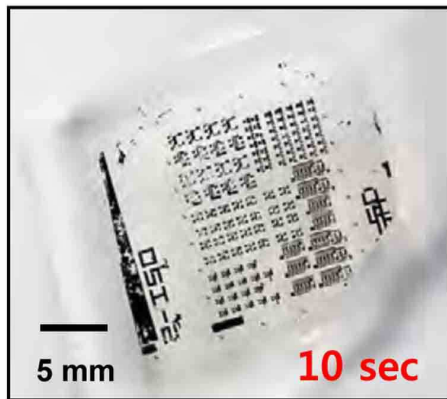
도면12



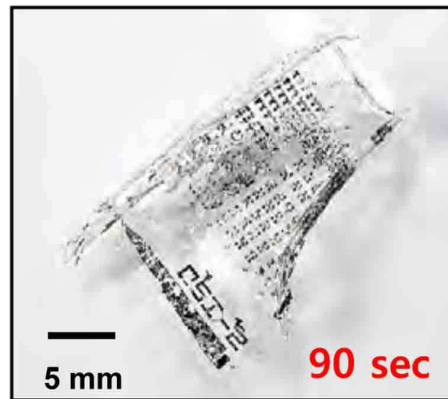
도면13



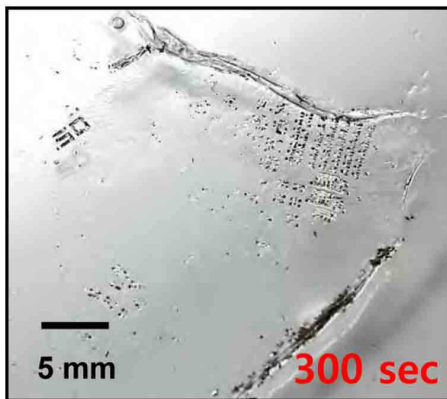
도면14



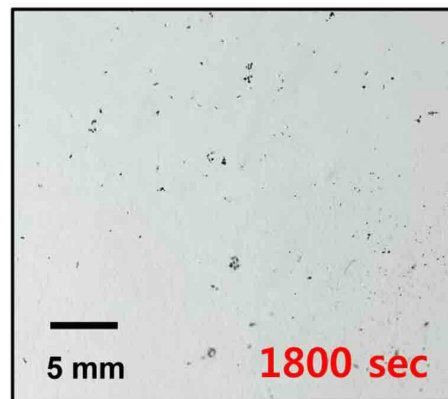
(a)



(b)



(c)



(d)