

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480025199.8

[51] Int. Cl.

H01L 27/15 (2006.01)
H01L 31/0203 (2006.01)
H01L 29/267 (2006.01)
H01L 21/00 (2006.01)
H01L 31/12 (2006.01)
H01L 21/44 (2006.01)

[45] 授权公告日 2010年2月3日

[11] 授权公告号 CN 100587962C

[51] Int. Cl. (续)

H01L 33/00 (2006.01)
H01L 21/48 (2006.01)
H01L 29/22 (2006.01)
H01L 21/50 (2006.01)

[22] 申请日 2004.7.1

[21] 申请号 200480025199.8

[30] 优先权

[32] 2003.7.3 [33] US [31] 60/485,036

[86] 国际申请 PCT/IL2004/000589 2004.7.1

[87] 国际公布 WO2005/004195 英 2005.1.13

[85] 进入国家阶段日期 2006.3.2

[73] 专利权人 泰塞拉技术匈牙利公司

地址 匈牙利布达佩斯

[72] 发明人 吉尔·齐伯尔 尤利娅·阿克森托恩

沃格·奥加涅相

[56] 参考文献

US6326689B1 2001.12.4
CN1166052A 1997.11.26
US5910687A 1999.6.8
US6429036B1 2002.8.6
US6124179A 2000.9.26
US6562647B2 2003.5.13
US6221751B1 2001.4.24

审查员 赵世欣

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王英

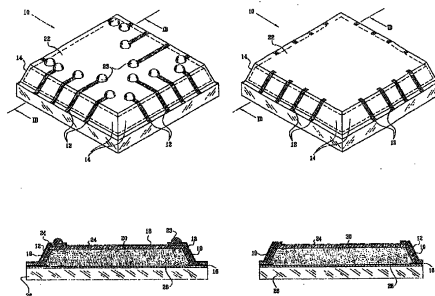
权利要求书 10 页 说明书 46 页 附图 57 页

[54] 发明名称

用于封装集成电路器件的方法和设备

[57] 摘要

一种集成封装的集成电路器件，包括：集成电路管芯，其包含具有第一和第二大体平坦的表面和边缘表面的结晶衬底以及形成在第一大体平坦的表面上的半导体电路；形成在半导体电路和第一大体平坦的表面上的至少一个芯片级封装层；形成在第二大体平坦的表面和边缘表面上的绝缘层；以及直接形成在覆盖在第二大体平坦的表面上的绝缘层上的至少一个导体，该至少一个导体通过直接形成在第一大体平坦的表面上的至少一个焊盘连接到电路。



1、一种集成封装的光电集成电路器件，包括：

集成电路管芯，其包含：

具有第一和第二平坦的表面和边缘表面的结晶衬底；和

形成在所述第一平坦的表面上的光电半导体电路；

形成在所述半导体电路和所述第一平坦的表面上的至少一个芯片级封装层；以及

覆盖在所述第二平坦的表面上的至少一个导体，所述至少一个导体通过直接形成在所述第一平坦的表面上的至少一个焊盘连接到所述电路。

2、一种集成封装的光电集成电路器件，包括：

集成电路管芯，其包含：

具有第一和第二平坦的表面和边缘表面的结晶衬底；和

形成在所述第一平坦的表面上的光电半导体电路；

形成在所述半导体电路和所述第一平坦的表面上的至少一个芯片级封装层；以及

覆盖在所述边缘表面中的至少一个上的至少一个导体，所述至少一个导体通过直接形成在所述第一平坦的表面上的至少一个焊盘连接到所述电路。

3、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且其中所述至少一个芯片级封装层由玻璃、石英和蓝宝石中的至少一种形成。

4、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电

路器件,并且还包括形成在所述第二平坦的表面和所述边缘表面上并且位于所述至少一个导体下方的绝缘层。

5、根据权利要求4所述的集成封装的光电集成电路器件,并且其中所述绝缘层包括机械适应层。

6、根据权利要求1或权利要求2所述的集成封装的光电集成电路器件,并且其中所述至少一个导体经由平行于所述至少一个焊盘的平面并与该平面接触电接合延伸的所述导体的一部分连接到所述至少一个焊盘。

7、根据权利要求1或权利要求2所述的集成封装的光电集成电路器件,并且其中所述至少一个导体经由与所述至少一个焊盘的边缘接触电接合延伸的所述导体的一部分连接到所述至少一个焊盘。

8、根据权利要求1或权利要求2所述的集成封装的光电集成电路器件,并且其中通过键合层将所述至少一个芯片级封装层附着到所述第一平坦的表面。

9、根据权利要求8所述的集成封装的光电集成电路器件,并且其中所述键合层具有光谱过滤器的功能性。

10、根据权利要求1或权利要求2所述的集成封装的光电集成电路器件,其中所述芯片级封装层包括辐射透明保护层,该辐射透明保护层具有与所述辐射透明保护层的至少一表面相关联的光谱过滤器。

11、根据权利要求10所述的集成封装的光电集成电路器件,并

且其中所述至少一个相关联的表面包括所述辐射透明保护层的顶表面和边缘表面中的至少一个。

12、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且还包含彩色阵列滤光器。

13、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且还包含辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及整体形成在该透明保护表面上的至少一个透镜。

14、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且其中所述至少一个芯片级封装层包括至少一个透镜。

15、根据权利要求 14 所述的集成封装的光电集成电路器件，并且其中使所述至少一个透镜相对于所述光电半导体电路保持精确固定的距离。

16、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且还包含辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及形成在该透明保护表面上的光耦合凸起。

17、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且还包含辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及形成在该透明保护表面上的波导和其他光学元件。

18、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且还包含辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及形成到该透明保护表面上的光栅。

19、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且还包含与其集成的偏光器。

20、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且还包含形成在所述集成电路管芯上的不同元件之间的沟槽。

21、根据权利要求 1 或权利要求 2 所述的集成封装的光电集成电路器件，并且其中所述结晶衬底和所述至少一个芯片级封装层在其间限定至少一个间隙。

22、根据权利要求 21 所述的集成封装的光电集成电路器件，并且其中所述至少一个导体经由平行于所述至少一个焊盘的平面并与该平面接触电接合延伸的所述导体的一部分连接到所述至少一个焊盘。

23、根据权利要求 21 所述的集成封装的光电集成电路器件，并且其中所述至少一个导体经由与所述至少一个焊盘的边缘接触电接合延伸的所述导体的一部分连接到所述至少一个焊盘。

24、根据权利要求 21 所述的集成封装的光电集成电路器件，并

且还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及与该辐射透明保护表面相关联的至少一个光谱过滤器。

25、根据权利要求 21 所述的集成封装的光电集成电路器件,并且还包含彩色阵列滤光器。

26、根据权利要求 21 所述的集成封装的光电集成电路器件,并且还具有辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及整体形成在该透明保护表面上的至少一个透镜。

27、根据权利要求 21 所述的集成封装的光电集成电路器件,并且还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及形成在该透明保护表面上的光耦合凸起。

28、根据权利要求 21 所述的集成封装的光电集成电路器件,并且还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及整体形成在该透明保护表面上的波导和其他光学元件。

29、根据权利要求 21 所述的集成封装的光电集成电路器件,并且还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及形成到该透明保护表面上的光栅。

30、根据权利要求 21 所述的集成封装的光电集成电路器件，并且还包含与其集成的偏光器。

31、根据权利要求 21 所述的集成封装的光电集成电路器件，并且还包含形成在所述集成电路管芯上的不同元件之间的沟槽。

32、一种制造集成封装的光电集成电路器件的方法，包括：

提供形成在晶片上的具有第一和第二平坦的表面以及形成在所述第一平坦表面上的光电半导体电路的多个集成电路管芯；

在所述半导体电路和所述第一平坦的表面上形成至少一个芯片级封装层；

沿着限定在所述第二平坦的表面中的切割线使所述集成电路管芯彼此分离，以便限定所述管芯的边缘表面同时所述管芯保持附着到所述芯片级封装层；

形成覆盖在所述第二平坦的表面的至少一个导体，所述至少一个导体通过直接形成在所述第一平坦的表面的至少一个焊盘连接到所述电路；并且

随后切割所述晶片以限定多个封装的光电集成电路器件。

33、一种制造集成封装的光电集成电路器件的方法，包括：

提供形成在晶片上的具有第一和第二平坦的表面以及形成在所述第一平坦的表面的光电半导体电路的多个集成电路管芯；

在所述半导体电路和所述第一平坦的表面上形成至少一个芯片级封装层；

沿着限定在所述第二平坦的表面中的切割线使所述集成电路管芯彼此分离，以便限定所述管芯的边缘表面同时所述管芯保持附着到所述芯片级封装层；

形成覆盖在所述边缘表面中的至少一个上的至少一个导体,所述至少一个导体通过直接形成在所述第一平坦的表面上的至少一个焊盘连接到所述电路; 并且

随后切割所述晶片以限定多个封装的光电集成电路器件。

34、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法, 并且其中所述至少一个芯片级封装层由玻璃、石英和蓝宝石中的至少一种形成。

35、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法, 并且还包括在所述第二平坦的表面和所述边缘表面上且在所述至少一个导体下面形成绝缘层。

36、根据权利要求 35 所述的制造集成封装的光电集成电路器件的方法, 并且其中所述绝缘层包括机械保形层。

37、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法, 其中所述形成至少一个导体包括形成所述至少一个导体平行于所述至少一个焊盘的平面并与该平面接触电接合的部分。

38、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法, 其中所述形成至少一个导体包括形成所述至少一个导体与所述至少一个焊盘的边缘接触电接合的部分。

39、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法, 其中所述形成至少一个芯片级封装层包括利用

键合层将所述至少一个芯片级封装层附着到所述第一平坦的表面。

40、根据权利要求 39 所述的制造集成封装的光电集成电路器件的方法，并且其中所述键合层具有光谱过滤器的功能性。

41、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述芯片级封装层还包括形成辐射透明保护层，该辐射透明保护层具有与所述辐射透明保护层的至少一表面相关联的光谱过滤器。

42、根据权利要求 41 所述的制造集成封装的光电集成电路器件的方法，并且其中所述至少一个相关联的表面包括所述辐射透明保护层的顶表面和边缘表面中的至少一个。

43、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述芯片级封装层还包括在所述芯片级封装层上形成彩色阵列滤光器。

44、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在该辐射透明保护表面上整体形成至少一个透镜。

45、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成至少一个芯片级封装层包括形成至少一个透镜。

46、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在该辐射透明保护表面上整体形成至少一个透镜。

47、根据权利要求 45 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述至少一个透镜包括使所述至少一个透镜相对于所述光电半导体电路保持精确固定的距离。

48、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在该辐射透明保护表面上形成光耦合凸起。

49、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在该辐射透明保护表面上形成波导和其他光学元件。

50、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在该辐射透明保护表面上形成光栅。

51、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且其中所述形成所述芯片级封装层还包括在其上整体形成偏光器。

52、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且还包括在所述集成电路管芯上的不同元件之间形成沟槽。

53、根据权利要求 32 或权利要求 33 所述的制造集成封装的光电集成电路器件的方法，并且还包括在所述形成所述芯片级封装层之前，在所述半导体电路和所述第一平坦的表面上插入隔离物元件。

用于封装集成电路器件的方法和设备

技术领域

本发明涉及用于制造集成电路器件的方法和设备以及由此产生的集成电路器件，尤其涉及集成封装（integrally packaged）的管芯。

背景技术

众所周知，在所有集成电路器件的制造过程中的必要步骤是“封装”并且包括对处在集成电路中央的硅芯片以及硅芯片上的预定位置与外部电端子之间的电互连的机械和环境保护。

目前，采用三种主要技术用于封装半导体：引线键合、卷带自动键合（TAB）和倒装芯片。

引线键合利用热能和超声能以将金键合引线焊接在芯片上的键合焊盘与封装上的接触之间。

卷带自动键合（TAB）采用铜箔带取代键合引线。配置铜箔带用于每一个具体的管芯和封装组合并包括与其相适合的铜迹线图形。可以单独地或成组地将单个引线连接到芯片上的各个键合焊盘上。

倒装芯片为具有形成在键合焊盘顶部上的焊料球、由此允许“倒装”管芯使电路侧向下并直接焊接到衬底上的集成电路管芯。不需要引线键合且可以实现相当可观的封装体空间节省。

上述技术各自具有一定的限制。引线键合和 TAB 键合都易于形成坏的键合且使管芯经受相对较高的温度和机械压力。从封装尺寸的观点考虑，引线键合和 TAB 技术都存在问题，制造的集成电路器件的管芯对封装的面积比的范围从大约 10%到 60%。

倒装芯片不提供封装而仅提供互连。互连会遇到焊料球以及热膨

胀不匹配的一致性的问题, 这将可利用的衬底限制为硅或热膨胀特性与硅相似的材料。

用于半导体的光电封装 (optronic package) 是公知的。用于成像的常规光电封装采用陶瓷外壳, 将透明窗密封安装到该陶瓷外壳上。用于低水平的成像、发光、以及包括光检测的辐射检测的光电封装采用透明塑料外壳 (clear plastic enclosure)。

常规的半导体封装术语学将术语芯片级封装定义为包括任何封装与管芯的比小于或等于 1.2:1 的封装工艺。此外, 封装层通常为封闭的半导体或集成电路提供保护。

在申请人已公开的 PCT 申请 WO 95/19645 中描述了用于制造其中包括具有辐射透明保护层的集成封装管芯的集成电路器件的方法和设备。

发明内容

本发明旨在提供极为紧凑的光电集成电路器件及其设备和制造技术。

因此, 根据本发明的优选实施例, 提供一种集成封装的光电集成电路器件, 该器件包括: 集成电路管芯; 形成在半导体电路和第一平坦的表面上的至少一个芯片级封装层; 以及覆盖在第二平坦的表面上的至少一个导体, 该至少一个导体通过直接形成在第一平坦的表面上的至少一个焊盘连接到电路。所述集成电路管芯包括具有第一和第二平坦的表面和边缘表面的结晶衬底以及形成在第一平坦的表面上的光电半导体电路。

根据本发明的另一优选实施例, 还提供一种集成封装的光电集成电路器件, 该器件包括: 集成电路管芯, 该集成电路管芯包括具有第一和第二平坦的表面和边缘表面的结晶衬底以及形成在第一平坦的表面上的光电半导体电路; 形成在半导体电路和第一平坦的表面上的至少一个芯片级封装层; 以及覆盖在边缘表面中的至少一个上的至少

一个导体，该至少一个导体通过直接形成在第一平坦的表面上至少一个焊盘连接到电路。

根据本发明的优选实施例，至少一个芯片级封装层由玻璃、石英和蓝宝石中的至少一种形成。

根据本发明的优选实施例，集成封装的光电集成电路器件还包括形成在第二平坦的表面和边缘表面上并且位于至少一个导体下面的绝缘层。根据本发明的另一优选实施例，该绝缘层包括机械保形层（mechanically conforming layer）。

根据本发明的再一优选实施例，至少一个导体经由平行于至少一个焊盘的平面并且与该平面接触电接合延伸的导体的一部分连接到该至少一个焊盘。或者，至少一个导体经由与至少一个焊盘的边缘接触电接合延伸的导体的一部分连接到该至少一个焊盘。

根据本发明的另一优选实施例，通过键合层将至少一个芯片级封装层附着到第一平坦的表面上。根据本发明又一优选实施例，键合层具有光谱过滤器的功能性。

根据本发明的优选实施例，集成封装的光电集成电路器件中的所述芯片级封装层包括辐射透明保护层，该辐射透明保护层具有与所述辐射透明保护层的至少一表面相关联的光谱过滤器。优选地，所述至少一个相关联的表面包括所述辐射透明保护层的顶表面和边缘表面中的至少一个。根据本发明的另一优选实施例，集成封装的光电集成电路器件还包括彩色阵列滤光器（color array filter）。根据本发明的再一优选实施例，集成封装的光电集成电路器件还包括辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及整体形成在该透明保护表面上的至少一个透镜。根据本发明的又一优选实施例，至少一个芯片级封装层包括至少一个透镜。根据本发明的另一优选实施例，至少一个透镜相对于光电半导体电路保持精确固定的距离。

根据本发明的又一优选实施例，集成封装的光电集成电路器件还包括辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护

表面并且在该第一平坦的表面之上,以及形成在该透明保护表面上的光耦合凸起。根据本发明的再一优选实施例,集成封装的光电集成电路器件还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及整体形成在该透明保护表面上的波导和其他的光学元件。

根据本发明的另一优选实施例,集成封装的光电集成电路器件还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及形成在该透明保护表面上的光栅。根据本发明的再一优选实施例,集成封装的光电集成电路器件还包括与其集成的偏光器。

根据本发明的又一优选实施例,集成封装的光电集成电路器件还包括形成在集成电路管芯上的不同元件之间的沟槽。根据本发明的另一优选实施例,集成封装的光电集成电路器件还包括形成在结晶衬底与至少一个芯片级封装层之间的至少一个间隙。

根据本发明的又一优选实施例,至少一个导体经由平行于至少一个焊盘的平面并且与该平面接触电接合延伸的导体的一部分连接到该至少一个焊盘。或者,根据本发明的优选实施例,至少一个导体经由与至少一个焊盘的边缘接触电接合延伸的导体的一部分连接到该至少一个焊盘。

根据本发明的另一优选实施例,集成封装的光电集成电路器件还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及与辐射透明保护表面相关的至少一个光谱过滤器。根据本发明的再一优选实施例,集成封装的光电集成电路器件还包括彩色阵列滤光器。根据本发明的又一优选实施例,集成封装的光电集成电路器件还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上,以及整体形成在该透明保护表面上的至少一个透镜。根据本发明的另一优选实施例,集成封装的光电集成电路器件还包括辐射透明保护层,其中该辐射透明保护层具有至少一个透明保护表面并且在该

第一平坦的表面之上，以及形成在该透明保护表面上的光耦合凸起。根据本发明的又一优选实施例，集成封装的光电集成电路器件还包括辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及整体形成在该透明保护表面上的波导和其他的光学元件。根据本发明的再一优选实施例，集成封装的光电集成电路器件还包括辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及形成在该透明保护表面上的光栅。根据本发明的又一优选实施例，集成封装的光电集成电路器件还包括与其集成的偏光器。

根据本发明的另一优选实施例，提供一种制造集成封装的光电集成电路器件的方法，该方法包括：提供形成在晶片上的具有第一和第二平坦的表面和形成在第一平坦的表面上的光电半导体电路的多个集成电路管芯；在半导体电路和第一平坦的表面上形成至少一个芯片级封装层；沿着限定在第二平坦的表面中的切割线将集成电路管芯彼此分离，以便限定管芯的边缘表面同时管芯保持附着到芯片级封装层；形成覆盖在第二平坦的表面的至少一个电导体，该至少一个电导体通过直接形成在第一平坦的表面的至少一个焊盘连接到电路；并且随后切割晶片，以限定多个封装的光电集成电路器件。

根据本发明的另一优选实施例，还提供一种制造集成封装的光电集成电路器件的方法，该方法包括：提供形成在晶片上的具有第一和第二平坦的表面和形成在所述第一平坦的表面上的光电半导体电路的多个集成电路管芯；在半导体电路和第一平坦的表面上形成至少一个芯片级封装层；沿着限定在第二平坦的表面中的切割线将集成电路管芯彼此分离，以便限定管芯的边缘表面同时管芯保持附着到芯片级封装层；形成覆盖在边缘表面中的至少一个上的至少一个电导体，该至少一个电导体通过直接形成在第一平坦的表面的至少一个焊盘连接到电路；并且随后切割晶片，以限定多个封装的光电集成电路器件。

根据本发明的优选实施例，制造集成封装的光电集成电路器件的

方法还包括：在第二平坦的表面和边缘表面上且在至少一个导电体的下面形成绝缘层。根据本发明的另一优选实施例，绝缘层包括机械保形层。

根据本发明的再一优选实施例，形成至少一个电导体包括形成该至少一个电导体与至少一个焊盘的边缘接触电接合的部分。或者，所述形成至少一个电导体包括形成所述至少一个电导体与至少一个焊盘的平面平行并与该平面接触电接合的部分。根据本发明的又一优选实施例，形成至少一个芯片级封装层包括利用键合层将至少一个芯片级封装层附着到第一平坦的表面。优选地，键合层具有光谱过滤器的功能性。根据本发明的再一优选实施例，形成芯片级封装层还包括形成辐射透明保护层，该辐射透明保护层具有与所述辐射透明保护层的至少一表面相关联的光谱过滤器。根据本发明的又一优选实施例，形成芯片级封装层还包括在芯片级封装层上形成彩色阵列滤光器。

根据本发明的另一优选实施例，形成芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在辐射透明保护表面上整体形成至少一个透镜。根据本发明的再一优选实施例，形成至少一个透镜包括使该至少一个透镜相对于光电半导体电路保持精确固定的距离。

根据发明的另一优选实施例，形成芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在辐射透明保护表面上形成光耦合凸起。根据本发明的又一优选实施例，形成芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在辐射透明保护表面上形成波导和其他的光学元件。

根据本发明的再一优选实施例，形成芯片级封装层还包括形成辐射透明保护层，其中该辐射透明保护层具有至少一个透明保护表面并且在该第一平坦的表面之上，以及在辐射透明保护表面上形成光栅。根据本发明的另一优选实施例，形成芯片级封装层还包括在其上整体

形成偏光器。

根据本发明的再一优选实施例，制造集成封装的光电集成电路器件的方法还包括在形成芯片级封装层之前在半导体电路和第一平坦的表面上插入隔离元件。

根据本发明的另一优选实施例，制造集成封装的光电集成电路器件的方法还包括在第二平坦的表面和边缘表面上且在至少一个导电体的下面形成绝缘层。根据本发明的另一优选实施例，绝缘层包括机械保形层。

根据本发明的再一优选实施例，形成至少一个导电体包括使该至少一个导电体的一部分与至少一个焊盘的平面平行并与该平面接触电接合延伸。根据本发明的又一优选实施例，形成至少一个导电体包括使该至少一个导电体的一部分延伸以与至少一个焊盘的边缘接触电接合。

根据本发明的另一优选实施例，形成至少一个芯片级封装层包括利用键合层将该至少一个芯片级封装层附着到第一平坦的表面。根据本发明的再一优选实施例，键合层具有光谱过滤器的功能性。

根据本发明的另一优选实施例，制造集成封装的光电集成电路器件的方法还包括在集成电路管芯的不同元件之间形成沟槽。

附图说明

结合附图将从下面的详细说明中更加全面地理解和认识本发明，其中：

图 1A 和 1B 分别是根据本发明优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图，该剖面图是沿图 1A 中的线 IB-IB 截取的；

图 1C 和 1D 分别是根据本发明另一优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图，该剖面图是沿着图 1C 中的线 ID-ID 截取的；

图 2A 和 2B 是将透明保护覆盖板附着到包含根据本发明优选实施例的多个集成电路管芯的晶片的简化示意图；

图 3A、3B、3C、3D、3E、3F、3G、3H、3I 和 3J 是在根据本发明优选实施例的集成封装的光电集成电路器件制造中的各个阶段的剖面图；

图 4 是由图 3J 的晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图；

图 5 和 6 一起提供用于执行本发明方法的设备的简化方框示意图；

图 7A、7B 和 7C 是根据本发明再一优选实施例构造和实施并包含光谱过滤器和/或防反射涂层的集成封装的光电集成电路器件的三个可选实施例的简化示意图；

图 8 和 9 是根据本发明另一优选实施例构造和实施的具有整体形成在其透明保护表面上的波导和其他光学元件的集成封装的光电集成电路器件的两个可选实施例的简化示意图；

图 10A 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将光栅与该集成封装的光电集成电路器件集成在一起；

图 10B 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起；

图 10C 是根据本发明再一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将透镜与该集成封装的光电集成电路器件以离其有源表面的固定距离集成在一起；

图 10D 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起；

图 11A 和 11B 分别是根据本发明优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图，该剖面图是沿

图 11A 中的线 XIB-XIB 截取的；

图 11C 和 11D 分别是根据本发明另一优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图，该剖面图是沿图 11C 中的线 XID-XID 截取的；

图 12A 和 12B 是将透明保护覆盖板附着到包含根据本发明优选实施例的多个集成电路管芯的晶片的简化示意图；

图 13A、13B、13C、13D、13E、13F、13G、13H、13I 和 13J 是在根据本发明优选实施例的集成封装的光电集成电路器件制造中的各个阶段的剖面图；

图 14 是由图 13J 的晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图；

图 15 和 16 一起提供用于执行本发明方法的设备的简化方框示意图；

图 17A、17B 和 17C 是根据本发明再一优选实施例构造和实施并包含光谱过滤器和/或防反射涂层的集成封装的光电集成电路器件的三个可选实施例的简化示意图；

图 18 和 19 是根据本发明另一优选实施例构造和实施的具有整体形成在其透明保护表面上的波导和其他光学元件的集成封装的光电集成电路器件的两个可选实施例的简化示意图；

图 20A 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将光栅与该集成封装的光电集成电路器件集成在一起；

图 20B 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起；

图 20C 是根据本发明再一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将透镜与该集成封装的光电集成电路器件以离其有源表面的固定距离集成在一起；

图 20D 是根据本发明又一优选实施例构造和实施的集成封装的

光电集成电路器件的实施例的简化示意图,其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起;

图 21A 和 21B 分别是根据本发明优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图,该剖面图是沿图 21A 中的线 XXIB-XXIB 截取的;

图 21C 和 21D 分别是根据本发明另一优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图,该剖面图是沿图 21C 中的线 XXID-XXID 截取的;

图 22A 和 22B 是将透明保护绝缘覆盖板附着到包含根据本发明优选实施例的多个集成电路管芯的晶片的简化示意图;

图 23A、23B、23C、23D、23E、23F、23G、23H、23I、23J、23K 和 23L 是在根据本发明优选实施例的集成封装的光电集成电路器件制造中的各个阶段的剖面图;

图 24 是由图 23L 的晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图;

图 25 和 26 一起提供用于执行本发明方法的设备的简化方框示意图;

图 27A、27B 和 27C 是根据本发明再一优选实施例构造和实施并包含光谱过滤器和/或防反射涂层的集成封装的光电集成电路器件的三个可选实施例的简化示意图;

图 28 和 29 是根据本发明另一优选实施例构造和实施的具有整体形成在其透明保护表面上的波导和其他光学元件的集成封装的光电集成电路器件的两个可选实施例的简化示意图;

图 30A 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图,其中将光栅与该集成封装的光电集成电路器件集成在一起;

图 30B 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图,其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起;

图 30C 是根据本发明再一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图, 其中将透镜与该集成封装的光电集成电路器件以离其有源表面的固定距离集成在一起;

图 30D 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图, 其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起;

图 31A 和 31B 分别是根据本发明优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图, 该剖面图是沿图 31A 中的线 XXXIB-XXXIB 截取的;

图 31C 和 31D 分别是根据本发明另一优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图和简化剖面图, 该剖面图是沿图 31C 中的线 XXXID-XXXID 截取的;

图 32A 和 32B 是将透明保护绝缘覆盖板附着到包含根据本发明优选实施例的多个集成电路管芯的晶片的简化示意图;

图 33A、33B、33C、33D、33E、33F、33G、33H、33I、33J、33K 和 33L 是在根据本发明优选实施例的集成封装的光电集成电路器件制造中的各个阶段的剖面图;

图 34 是由图 33L 的晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图;

图 35 和 36 一起提供用于执行本发明方法的设备的简化方框示意图;

图 37A、37B 和 37C 是根据本发明再一优选实施例构造和实施并包含光谱过滤器和/或防反射涂层的集成封装的光电集成电路器件的三个可选实施例的简化示意图;

图 38 和 39 是根据本发明另一优选实施例构造和实施的具有整体形成在其透明保护表面上的波导和其他光学元件的集成封装的光电集成电路器件的两个可选实施例的简化示意图;

图 40A 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图, 其中将光栅与该集成封装

的光电集成电路器件集成在一起；

图 40B 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起；

图 40C 是根据本发明再一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将透镜与该集成封装的光电集成电路器件以离其有源表面的固定距离集成在一起；

图 40D 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的实施例的简化示意图，其中将至少一个透镜与该集成封装的光电集成电路器件集成在一起；以及

图 41A 和 41B 是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图，其中在集成电路器件上的不同元件之间产生沟槽。

具体实施方式

现在参考图 1A-3J，其示出根据本发明优选实施例的集成电路器件，优选为光电集成电路器件，及其制造。如图 1A 和 1B 所示，集成电路器件包括相对较薄且紧凑、不受环境影响并且在机械上得到加强的集成电路封装 10，优选为光电集成电路封装，该封装具有沿着其边缘表面 14 电镀的多个导体 12。

本发明的特定特征是导体 12 电连接到焊盘 16，并且优选直接形成在覆盖在管芯 20 上的绝缘层 18 和 19 上，而不存在介于其间的封装层，例如玻璃层。绝缘层 18 和 19 可以各自包括诸如电介质层和/或钝化层的一层或多层，并且在材料和/或厚度上彼此不同，或选择地可以相同。作为另一个选择，可以排除绝缘层 18 和 19。图 1A-10C 的实施例的特征还都在于：导体 12 的平面部分位于焊盘 16 的平面部分上且导电接触，如图 1B 中清晰地示出。该结构的特定特征是：焊

盘 16 的厚度与在其中仅对于焊盘的横截面积形成连接的实施例相比没有那么重要。

根据本发明的优选实施例，导体 12 在边缘表面 14 上延伸到封装 10 的平面 22 上。该接触设置允许将封装 10 平面安装到电路板上。值得注意的是，在光电实施例中，集成电路封装 10 可以包括下述元件中的一个或多个（未示出）：整体形成的二向色滤光片、滤色镜、防反射涂层、偏光器、光栅、集成波导和光耦合凸起。在非光电实施例中，通常不存在上述元件。如图 1A 和 1B 所示，光电集成电路封装 10 还可以包括接触凸起，例如形成在导体 12 上的焊料球 23，然而在形成在焊料掩模 24 中的孔径处，不需要焊料球 23。

作为另一个选择，如图 1C 和 1D 所示，导体 12 没有超出边缘表面 14 延伸到平面 22 上或仅在有限的程度上延伸到平面 22 上，由此限定外围接触。在这种情况下，焊料掩模 24 通常不延伸到平面 22 上或者可以完全排除。

作为另外的选择，焊料球 23 可以由适用于 ACF 接合的接触来替换，或可以包括球栅阵列（BGA）接触。

绝缘层 18 和 19 可以作为机械保形层来操作，该机械保形层适合于补偿导体 12、焊料球 23 和管芯 20 的热膨胀系数之间的差。

如图 1A 和 1B 所示，优选的光电集成电路封装 10 还优选包括辐射透明保护覆盖板 26 和键合层 28，例如环氧树脂层，优选为辐射透明环氧树脂层，所述键合层 28 用于将覆盖板 26 附着到管芯 20，如下文所述。

应该认识到下文中所述的方法提供光电集成电路封装 10，其处于定义为芯片级封装的范围内，通常面积不比芯片尺寸大 20%。还应该认识到下文中所述的方法提供光电集成电路封装 10，其中在晶片级执行封装工艺直到将晶片式封装切割成单独的封装管芯。

图 2A 和 2B 是将透明保护覆盖板附着到包括多个根据本发明的集成电路管芯的晶片的简化示意图。如图 2A 和 2B 所示，硅晶片 30 包括多个成品管芯 20，其具有通过常规技术形成在其上的有源表面，

并且在有源表面处将所述硅晶片 30 键合到覆盖板 26 上,由此限定键合的晶片 31。

根据本发明的优选实施例,如图 3A 所示,晶片 30 包括多个成品管芯 20,其具有通过常规技术形成在其上的有源表面,并且经由键合层 28 在有源表面处将所述硅晶片 30 键合到覆盖板 26 上。覆盖板 26 通常包括玻璃、石英、蓝宝石或任何其他适合的辐射透明衬底。如图 3A 所示,电焊盘 16 形成在硅晶片 30 的有源表面上。

覆盖板 26 可以是彩色的或带色彩的,以便作为光谱过滤器操作。或者,可以在覆盖板 26 的至少一个表面上形成二向色或彩色光谱过滤器。

本发明的特定特征是覆盖板 26 和键合层 28 对于用于光电应用的光谱区域中的辐射优选是透明的。或者,键合层 28 还可以用作光谱过滤器并且为了该目的可以结合适当的染料。

应该认识到,当根据本发明使用晶片时,可以省略硅晶片 30 的常规制造中的某些步骤。这些步骤包括在焊盘上提供通路开口、晶片背面研磨和晶片背面金属涂敷。

硅晶片 30 可以通过常规光刻技术在其中任何适当的位置处形成有整体的滤色器阵列。在图 3A 的键合步骤之前,通过常规技术在覆盖板 26 上形成和构造滤光器,使得滤光器平面位于覆盖板 26 与键合层 28 之间。

在上述键合步骤之后,优选地将硅晶片 30 从通常在 400 至 1000 微米范围内的原始厚度 L1 向下研磨到通常在 10-250 微米范围内的所降低的厚度 L2,如图 3B 所示。利用通过将覆盖板 26 键合到其上所提供的附加机械强度能够允许晶片厚度的这一减小。作为另一选择,可以将硅晶片 30 几乎全部除去。当使用绝缘体上硅(SOI)制造技术时,这是有益的。

在可选择地减小晶片厚度之后,利用光刻工艺沿着其背面根据分

割单独管芯 20 的预定切割线来蚀刻晶片。由此产生被蚀刻的沟槽 32，其完全贯穿通常在 10-250 微米范围内的硅衬底的厚度延伸。在图 3C 中示出被蚀刻的晶片。

通常通过利用 SF_6 、 C_4F_8 或其它适当的干法蚀刻气体的干法蚀刻工艺来实现前述蚀刻。或者，在常规硅蚀刻溶液例如 2.5% 的氢氟酸、50% 的硝酸、10% 的醋酸和 37.5% 的水的混合物中进行蚀刻，从而向下穿过任何场氧化层对硅进行蚀刻以暴露焊盘 16，如图 3C 所示。作为另一选择，蚀刻溶液可以包括 KOH 或任何其它适当的材料。

硅蚀刻的结果是多个分离的管芯 20，其中的每一个包括厚度为大约 10-250 微米的硅。

如图 3D 所示，优选地被蚀刻的沟槽 32 涂敷有电介质材料，例如环氧树脂、氧化硅、二氧化硅、焊料掩模，或任何其它适当的电介质材料，例如氮化硅、氮氧化硅、聚酰亚胺、BCBTM、聚对二甲苯、聚萘 (polynaphthalenes)、碳氟化合物或丙烯酸盐/脂。最终的绝缘层 18 和 19 优选通过旋涂形成，或者可以通过任何适当的方法形成，例如喷涂、幕式淋涂 (curtain coating)、液相淀积、物理汽相淀积、化学汽相淀积、低压化学汽相淀积、等离子体增强化学汽相淀积、快速热化学汽相淀积或大气压化学汽相淀积。

在绝缘层 18 和 19 形成之后，如图 3E 所示，通过任何适当的方法在每对相邻的管芯 20 之间的绝缘层 19 中形成开口 36。开口 36 延伸穿过绝缘层 19，由此暴露焊盘 16。

如图 3F 所示，在多个分离管芯 20 上穿过开口 36 形成导电层 38，以覆盖焊盘 16 的暴露部分以及限定绝缘层 18 和 19 的电介质材料。优选地导电层 38 由铝形成，或者由任何适当的导电材料或者诸如铝、铜、钛、钛钨合金或铬等材料组合物形成。

图 3G 示出通常利用常规光刻技术的导电层 38 的构图，以限定电接触管芯 20 上的一个或多个焊盘 16 的边缘并被适当电镀的多个导

体 12。

图 3H 示出晶片涂敷有保护材料层，优选为焊料掩模 24 或诸如聚对二甲苯、BCBTM 或聚酰胺的其它保护材料，对其进行构图以便在其中限定与导体 12 相通的孔，通过该孔形成与导体 12 电接触的焊料球 23（图 3I）。

根据本发明的优选实施例，如图 3J 所示，然后沿着线 40 切割晶片，以提供单独的集成电路封装，每一个与图 1A 和 1B 的集成电路封装 10 相似。

现在参考图 4，其是由图 3J 的晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图。如图 4 所示，集成电路封装包括通过键合层 28 结合到管芯 20 的覆盖板 26。焊盘 16 的表面与直接形成在电介质绝缘层 18 和 19 上的导体 12 电接触，如上所述。应该认识到，绝缘层 18 和 19 可以各自包括多层。

现在参考图 5 和 6，图 5 和 6 共同示出用于制造根据本发明优选实施例的集成电路器件的设备。常规的晶片制造设备 180 提供晶片 30。通过结合设备 182，利用键合层 28 将每一个单独晶片 30 在限定有源表面一侧键合到形成覆盖板 26 的保护层，例如玻璃层，所述键合设备优选具有用于旋转晶片 30、覆盖板 26 和键合层 28 从而获得粘合材料的均匀分布的设备。

通过研磨设备 184，例如可以在市场上从日本的 Disco Ltd. 买到的型号为 BFG 841 的研磨设备，使键合的晶片 31（图 2B 和 3A）在其非有源表面侧变薄。然后优选通过光刻，例如通过利用常规旋涂光刻胶，在其非有源表面侧对键合的晶片 31（图 3B）进行蚀刻，所述常规旋涂光刻胶可以在市场上从 Hoechst 买到，商标名称为 AZ 4562。

优选地利用诸如 Suss MicrTech AG 的型号为 MA200 的适当 UV 曝光系统 185 通过光刻掩模 186 来对光刻胶进行掩模曝光。

然后在显影槽（未示出）中使光刻胶显影，并将其烘焙，然后通

常通过利用 SF_6 、 C_4F_8 或其它适当的干法蚀刻气体的干法蚀刻工艺来对键合的晶片进行硅蚀刻。用于此目的的在市场上可以买到的设备包括由英国的 Surface Technology Systems 制造的干法蚀刻机 188。

或者，利用处在温控槽（未示出）中的硅蚀刻溶液来实现蚀刻。用于此目的的在市场上可以买到的设备包括均由美国的 Wafab Inc. 制造的 Chemkleen 槽和 WHRV 循环器。适合的湿法蚀刻的常规硅蚀刻溶液为可以在市场上从英国的 Micro-Image Technology Ltd. 买到的 Isoform 硅蚀刻剂。

在执行蚀刻和光刻胶剥离之后，对晶片进行常规漂洗。最终的蚀刻晶片显示在图 3C 中。

晶片 30 中的被蚀刻的沟槽 32 优选涂敷有电介质材料，例如环氧树脂、氧化硅、二氧化硅、焊锡掩模，或任何其它适当的电介质材料，例如氮化硅、氮氧化硅、聚酰亚胺、BCBTM、聚对二甲苯、聚萘、碳氟化合物或丙烯酸盐/脂。最终的绝缘层 18 和 19 优选通过如步骤 190 所示的旋涂形成，或者可以通过任何适当的方法形成，例如喷涂、幕式淋涂、液相淀积、物理汽相淀积、化学汽相淀积、低压化学汽相淀积、等离子体增强化学汽相淀积、快速热化学汽相淀积或大气压化学汽相淀积。最终涂敷的键合晶片显示在图 3D 中。

在绝缘层 18 和 19 形成之后，如图 3E 所示，通过任何适当的方法在每对相邻的管芯 20 之间的绝缘层 19 中形成开口 36。开口 36 延伸穿过绝缘层 19，由此暴露焊盘 16。通过常规光刻技术形成开口在步骤 192 示出并且通常采用掩模 194。在常规显影（未示出）之后，可选择地在含有染色处理溶液 198 的槽 196 中对晶片进行防腐处理，如将其公开内容并入在此作为参考的下述美国专利：2,507,956、2,851,385 和 2,796,370 中的任何一篇所描述的那样。

采用通过真空淀积技术操作的导电层淀积设备 200，例如由列支敦士登的 Balzers AG 制造的溅射机器，来在晶片 30 的每个管芯 20

的一个或多个表面上制造导电层 38 (图 3F)。

优选地通过利用常规电淀积光刻胶, 来执行导体 12 的构造, 如图 3G 所示, 所述常规电淀积光刻胶在市场上可以从 DuPont 买到、商标名称为 Primecoat, 或者可以从 Shipley 买到、商标名称为 Eagle。在光刻胶槽组件 202 中将光刻胶施加在晶片上, 所述光刻胶槽组件在市场上可以从 DuPont 或 Shipley 买到。

优选地通过 UV 曝光系统 204 利用用来限定适当的蚀刻图形的掩模 205 来光构造光刻胶。然后在显影槽 206 中使光刻胶显影, 然后在处于蚀刻槽 210 中的金属蚀刻溶液 208 中对其进行蚀刻, 由此提供诸如在图 1A 和 1B 中所示的导体结构。

然后, 优选地通过在市场上可以从日本的 Okuno 买到的无电镀设备 212 来对图 3G 所示的暴露出的导体条进行镀敷。

在导体条镀敷之后, 利用如参考标记 214 所示的焊料掩模涂敷晶片以限定焊料球 23 的位置 (图 3H), 然后以常规方法形成所述焊料球 23, 如参考标记 215 所示 (图 3I)。或者, 可以不需要焊料球 23。

然后通过切割刀 216 将晶片切割成单独的预封装集成电路器件 (图 3J)。优选地, 切割刀 216 为厚度为 2-12mil 的金刚石树脂型刀 (diamond resinoid blade)。最终的管芯大体如图 1A 和 1B 所示。

现在参考图 7A-7C, 其示出根据本发明优选实施例构造和实施的光电集成电路器件的三个可选优选实施例, 该光电集成电路器件包括相对较薄且紧凑、不受环境影响并且在机械上得到加强的光电集成电路封装 310, 该封装具有直接镀敷在一个或多个绝缘层 313 上的多个导体 312 而没有介于其间的封装层。优选地将焊锡掩模 314 形成在所示的导体 312 和绝缘层 313 上。

图 7A 示出二向色滤光器和/或偏光器和/或防反射涂层和/或 IR 涂层和/或滤色器, 例如在辐射透明保护层 317 的至少一个面朝外部的表面 316 的至少一部分上形成的 RGB 或掩模滤光器 315。面朝外部

的表面 316 可选择地包括辐射透明保护层 317 的顶表面或边缘表面。图 7B 示出涂层 318, 其可以与形成在辐射透明保护层 317 的面朝内部的表面 319 的至少一部分上的涂层 315 相同。图 7C 示出在辐射透明保护层 317 的相应表面 316 和 319 中的每一个的至少一部分上的涂层 315 和 318。在图 7A-7C 所示的三个实施例中, 光电元件形成在常规厚度通常为 10-250 微米的硅衬底 322 的表面 320 上。表面 320 面向透明保护层 317。辐射透明环氧树脂层 328 用于将保护层 317 附着到硅衬底 322 上, 如上所述。

现在参考图 8。图 8 的实施例可以与图 7A 的相同, 其具有或不具有涂层, 而且与图 7A 的进一步区别在于: 它具有形成在辐射透明保护层 392 上的光耦合凸起 390。示出波导 394 经由凸起 390 光耦合到辐射透明保护层 392。优选地凸起 390 由略微保形的透明有机材料形成, 使得其上的机械压力使其产生轻微的形变并且能够使易消散的光波穿过与其限定的界面。

现在参考图 9。图 9 的实施例可以与图 7A 的相同, 其具有或不具有涂层, 并且与图 7A 的区别在于: 它具有通过常规集成光学技术形成在辐射透明保护层 402 上的波导 400 和其他可能的光学元件(未示出)。该设置允许经由辐射透明保护层 402 在形成在硅衬底 404 上的光电元件与波导 400 之间进行光通信。

现在参考图 10A。图 10A 的实施例可以与图 7A 的相同, 其具有或不具有涂层, 并且与图 7A 的区别在于: 它具有在其面朝外部的表面 444 上形成有光栅 442 的辐射透明保护层 440。

现在参考图 10B。图 10B 的实施例可以与图 7A 的相同, 其具有或不具有涂层, 并且与图 7A 的区别在于: 它具有衬底, 该衬底形成有至少一个透镜, 并且优选形成有附着到辐射透明保护层 464 的面朝外部的表面 462 上的微透镜阵列 460。应该认识到, 可以在将辐射透明保护层附着到衬底之前, 或在工艺中的任何随后一点, 将至少一个

透镜附着到辐射透明保护层 464。

现在参考图 10C。图 10C 的实施例可以与图 7A 的相同，其具有或不具有涂层，并且与图 7A 的区别在于：它具有衬底，该衬底形成有相对于硅衬底 474 的有源表面 472 保持精确固定距离 X 的至少一个透镜 470。优选地通过固定在透镜 470 与辐射透明保护层 480 的面朝外部的表面 478 之间的中间光透射层 476 的精确加工，可以将该精确固定距离确定在 1-10 微米的精度。或者，可以排除中间层 476。作为另一个选择，透镜 470 与有源表面 472 之间的距离不需要精确固定。

现在参考图 10D。图 10D 的实施例可以与图 7A 的相同，其具有或不具有涂层，并且与图 7A 的区别在于：它具有包含可以包括至少一个透镜的位于外侧的表面 492 的辐射透明保护层 490。

现在参考图 11A-13J，其示出根据本发明优选实施例的集成电路器件，优选为光电集成电路器件，及其制造。如图 11A 和 11B 所示，集成电路器件包括相对较薄且紧凑、不受环境影响并且在机械上得到加强的集成电路封装 510，优选为光电集成电路封装，该封装具有沿着其边缘表面 514 电镀的多个导电体 512。

本发明的特定特征是导体 512 电连接到焊盘 516，并且优选直接形成在覆盖在管芯 520 上的绝缘层 518 和 519 上，而不存在介于其间的封装层，例如玻璃层。绝缘层 518 和 519 可以各自包括诸如电介质层和/或钝化层的一层或多层，并且在材料和/或厚度上彼此不同，或选择地可以相同。作为另一个选择，可以排除绝缘层 518 和 519。图 11A-20C 的实施例的特征还都在于：导体 512 的平面部分覆盖在焊盘 516 的平面部分上且导电接触，如图 11B 中清晰地示出。

根据本发明的优选实施例，导体 512 在边缘表面 514 上延伸到封装 510 的平面 522 上。该接触设置允许将封装 510 平面安装到电路板上。值得注意的是，在光电实施例中，集成电路封装 510 可以包括下述元件中的一个或多个（未示出）：整体形成的二向色滤光片、滤色

镜、防反射涂层、偏光器、光栅、集成波导和光耦合凸起。在非光电实施例中，通常不存在上述元件。如图 11A 和 11B 所示，光电集成电路封装 510 还可以包括接触凸起，例如形成在导体 512 上的焊料球 523，然而在形成在焊料掩模 524 中的孔径处，不需要焊料球 523。

作为另一个选择，如图 11C 和 11D 所示，导体 512 没有超出边缘表面 514 延伸到平面 522 上或仅在有限的程度上延伸到平面 522 上，由此限定外围接触。在这种情况下，焊料掩模 524 通常不延伸到平面 522 上或者可以完全排除。

作为另外的选择，焊料球 523 可以由适用于 ACF 接合的接触来替换，或可以包括球栅阵列（BGA）接触。

绝缘层 518 和 519 可以作为机械保形层来操作，该机械保形层适合于补偿导体 512、焊料球 523 和管芯 520 的热膨胀系数之间的差。

如图 11A 和 11B 所示，优选的光电集成电路封装 510 还优选包括辐射透明保护覆盖板 526。

图 11A 和 11B 所示的光电集成电路封装 510 还包括形成在管芯 520 与辐射透明保护覆盖板 526 之间的至少一个空腔 527。通过在将管芯 520 附着到覆盖板 526 时，在管芯 520 与覆盖板 526 之间与至少一个诸如环氧树脂层的键合层 528 一起安装至少一个隔离物 529，来形成空腔 527，如下文所述。或者，可以通过在将管芯 520 附着到覆盖板 526 时，在管芯 520 与覆盖板 526 之间插入至少一个隔离物 529，来形成空腔 527，如下文所述。应该认识到可以通过研磨或任何其它适当的方法来提供任何适当厚度的隔离元件 529，使得限定空腔 527 以在覆盖板 526 与管芯 520 之间产生特定的固定距离。

应该认识到下文中所述的方法提供光电集成电路封装 510，其处于定义为芯片级封装的范围内，通常面积不比芯片尺寸大 20%。还应该认识到下文中所述的方法提供光电集成电路封装 510，其中在晶片级执行封装工艺直到将晶片式封装切割成单独的封装管芯。

图 12A 和 12B 是将透明保护覆盖板附着到包括多个根据本发明的集成电路管芯的晶片的简化示意图。如图 12A 和 12B 所示，硅晶片 530 包括多个成品管芯 520，其具有通过常规技术形成在其上的有源表面，并且在有源表面处将所述硅晶片 530 键合到覆盖板 526 上，由此限定键合的晶片 531。

根据本发明的优选实施例，如图 13A 所示，晶片 530 包括多个成品管芯 520，其具有通过常规技术形成在其上的有源表面，并且在有源表面处将所述硅晶片 530 键合到覆盖板 526 上，由此限定键合的晶片 531。通过借助于诸如环氧树脂层的至少一个键合层 528 在晶片 530 与覆盖板 526 之间安装隔离物 529，来在晶片 530 与覆盖板 526 之间形成空腔 527。

覆盖板 526 通常包括玻璃、石英、蓝宝石或任何其他适合的辐射透明衬底。如图 13A 所示，电焊盘 516 形成在硅晶片 530 的有源表面上。

覆盖板 526 可以是彩色的或带色彩的，以便作为光谱过滤器操作。或者，可以在覆盖板 526 的至少一个表面上形成二向色或彩色光谱过滤器。

本发明的特定特征是覆盖板 526 和键合层 528 对于用于光电应用的光谱区域中的辐射优选是透明的。或者，键合层 528 还可以用作光谱过滤器并且为了该目的可以结合适当的染料。

应该认识到，当根据本发明使用晶片时，可以省略硅晶片 530 的常规制造中的某些步骤。这些步骤包括在焊盘上提供通路开口、晶片背面研磨和晶片背面金属涂敷。

硅晶片 530 可以通过常规光刻技术在其中任何适当的位置处形成有整体的滤色器阵列。在图 13A 的键合步骤之前，通过常规技术在覆盖板 526 上形成和构造滤光器，使得滤光器平面位于覆盖板 526 与至少一个空腔 527 之间。

在上述键合步骤之后,优选地将硅晶片 530 从通常在 400 至 1000 微米范围内的原始厚度 L1 向下研磨到通常在 10-250 微米范围内的所降低的厚度 L2, 如图 13B 所示。利用通过将覆盖板 526 键合到其上所提供的附加机械强度能够允许晶片厚度的这一减小。

在可选择地减小晶片厚度之后,利用光刻工艺沿着其背面根据分割单独管芯 520 的预定切割线来蚀刻晶片。由此产生被蚀刻的沟槽 532, 其完全贯穿通常在 10-250 微米范围内的硅衬底的厚度延伸。在图 13C 中示出被蚀刻的晶片。

通常通过利用 SF₆、C₄F₈ 或其它适当的干法蚀刻气体的干法蚀刻工艺来实现前述蚀刻。或者,在常规硅蚀刻溶液例如 2.5% 的氢氟酸、50% 的硝酸、10% 的醋酸和 37.5% 的水的混合物中进行蚀刻,从而向下穿过任何场氧化层对硅进行蚀刻以暴露焊盘 516, 如图 13C 所示。硅蚀刻的结果是多个分离的管芯 520, 其中的每一个包括厚度为大约 10-250 微米的硅。

如图 13D 所示, 优选地被蚀刻的沟槽 532 涂敷有电介质材料, 例如环氧树脂、氧化硅、焊料掩模, 或任何其它适当的电介质材料, 例如氮化硅、氮氧化硅、聚酰亚胺、BCBTM、聚对二甲苯、聚萘、碳氟化合物或丙烯酸盐/脂。最终的绝缘层 518 和 519 优选通过旋涂形成, 或者可以通过任何适当的方法形成, 例如喷涂、幕式淋涂、液相淀积、物理汽相淀积、化学汽相淀积、低压化学汽相淀积、等离子体增强化学汽相淀积、快速热化学汽相淀积或大气压化学汽相淀积。

在绝缘层 518 和 519 形成之后, 如图 13E 所示, 通过任何适当的方法在每对相邻的管芯 520 之间的绝缘层 519 中形成开口 536。开口 536 延伸穿过绝缘层 519, 由此暴露焊盘 516。

如图 13F 所示, 在多个分离管芯 520 上穿过开口 536 形成导电层 538, 以覆盖焊盘 516 的暴露部分以及限定绝缘层 518 和 519 的电介质材料。优选地导电层 538 由铝形成, 或者由任何适当的导电材料或

者诸如铝、铜、钛、钛钨合金或铬等材料组合物形成。

图 13G 示出通常利用常规光刻技术的导电层 538 的构图，以限定电接触管芯 520 上的一个或多个焊盘 516 的边缘并被适当电镀的多个导体 512。

图 13H 示出晶片涂敷有保护材料层，优选为焊料掩模 524 或诸如聚对二甲苯、BCBTM 或聚酰胺的其它保护材料，对其进行构图以便在其中限定与导体 512 相通的孔，通过该孔形成与导体 512 电接触的焊料球 523（图 13I）。

根据本发明的优选实施例，如图 13J 所示，然后沿着线 540 切割晶片，以提供单独的集成电路封装，每一个与图 11A 和 11B 的集成电路封装 510 相似。

现在参考图 14，其是由图 13J 的晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图。如图 14 所示，集成电路封装包括通过隔离物 529 和键合层 528 结合到管芯 520 并且限定至少一个空腔 527 的覆盖板 526。焊盘 516 的表面与优选直接形成在电介质绝缘层 518 和 519 上的导体 512 电接触，如上所述。应该认识到，绝缘层 518 和 519 可以各自包括多层。

现在参考图 15 和 16，图 15 和 16 共同示出用于制造根据本发明优选实施例的集成电路器件的设备。常规的晶片制造设备 680 提供晶片 530。利用键合设备 682，通过利用键合层 528 的隔离物 529 将每一个单独晶片 530 在限定有源表面一侧对准然后键合到形成覆盖板 526 的保护层，例如玻璃层，所述键合设备优选具有用于旋转晶片 530、覆盖板 526、隔离物 529 和键合层 528 从而获得粘合材料的均匀分布的设备。

通过研磨设备 684，例如可以在市场上从日本的 Disco Ltd. 买到的型号为 BFG 841 的研磨设备，使键合的晶片 531（图 12B 和 13A）在其非有源表面侧变薄。然后优选通过光刻，例如通过利用常规旋涂

光刻胶，在其非有源表面侧对键合的晶片 531（图 13B）进行蚀刻，所述常规旋涂光刻胶可以在市场上从 Hoechst 买到，商标名称为 AZ 4562。

优选地利用诸如 Suss MicrTech AG 的型号为 MA200 的适当 UV 曝光系统 685 通过光刻掩模 686 来对光刻胶进行掩模曝光。

然后在显影槽（未示出）中使光刻胶显影，并将其烘焙，然后通常通过利用 SF_6 、 C_4F_8 或其它适当的干法蚀刻气体的干法蚀刻工艺来对键合的晶片进行硅蚀刻。用于此目的的在市场上可以买到的设备包括由英国的 Surface Technology Systems 制造的干法蚀刻机 688。

或者，利用处在温控槽（未示出）中的硅蚀刻溶液来实现蚀刻。用于此目的的在市场上可以买到的设备包括均由美国的 Wafab Inc. 制造的 Chemkleen 槽和 WHRV 循环器。适合的湿法蚀刻的常规硅蚀刻溶液为可以在市场上从英国的 Micro-Image Technology Ltd. 买到的 Isoform 硅蚀刻剂。

在执行蚀刻和光刻胶剥离之后，对键合的晶片进行常规漂洗。最终的蚀刻晶片显示在图 13C 中。

晶片 530 中的被蚀刻的沟槽 532 优选涂敷有电介质材料，例如环氧树脂、氧化硅、焊锡掩模，或任何其它适当的电介质材料，例如氮化硅、氮氧化硅、聚酰亚胺、BCBTM、聚对二甲苯、聚萘、碳氟化合物或丙烯酸盐/脂。最终的绝缘层 518 和 519 优选通过如步骤 690 所示的旋涂形成，或者可以通过任何适当的方法形成，例如喷涂、幕式淋涂、液相淀积、物理汽相淀积、化学汽相淀积、低压化学汽相淀积、等离子体增强化学汽相淀积、快速热化学汽相淀积或大气压化学汽相淀积。最终涂敷的键合晶片显示在图 13D 中。

在绝缘层 518 和 519 形成之后，如图 13E 所示，通过任何适当的方法在每对相邻的管芯 520 之间的绝缘层 519 中形成开口 536。开口 536 延伸穿过绝缘层 519，由此暴露焊盘 516。通过常规光刻技术

形成开口在步骤 692 示出并且通常采用掩模 694。在常规显影（未示出）之后，可选择地在含有染色处理溶液 698 的槽 696 中对键合的晶片进行防腐处理，如将其公开内容并入在此作为参考的下述美国专利：2,507,956、2,851,385 和 2,796,370 中的任何一篇所描述的那样。

采用通过真空淀积技术操作的导电层淀积设备 700，例如由列支敦士登的 Balzers AG 制造的溅射机器，来在晶片 530 的每个管芯 520 的一个或多个表面上制造导电层 538（图 13F）。

优选地通过利用常规电淀积光刻胶，来执行导体 512 的构造，如图 13G 所示，所述常规电淀积光刻胶在市场上可以从 DuPont 买到、商标名称为 Primecoat，或者可以从 Shipley 买到、商标名称为 Eagle。在光刻胶槽组件 702 中将光刻胶施加在晶片上，所述光刻胶槽组件在市场上可以从 DuPont 或 Shipley 买到。

优选地通过 UV 曝光系统 704 利用用来限定适当的蚀刻图形的掩模 705 来光构造光刻胶。然后在显影槽 706 中使光刻胶显影，然后在处于蚀刻槽 710 中的金属蚀刻溶液 708 中对其进行蚀刻，由此提供诸如在图 11A 和 11B 中所示的导体结构。

然后，优选地通过在市场上可以从日本的 Okuno 买到的无电镀设备 712 来对图 13G 所示的暴露出的导体条进行镀敷。

在导体条镀敷之后，利用如参考标记 714 所示的焊料掩模涂敷晶片以限定焊料球 523 的位置（图 13H），然后以常规方法形成所述焊料球 523，如参考标记 715 所示（图 13I）。或者，可以不需要焊料球 523。

然后通过切割刀 716 将键合的晶片切割成单独的预封装集成电路器件（图 13J）。优选地，切割刀 716 为厚度为 2-12mil 的金刚石树脂型刀。最终的管芯大体如图 11A 和 11B 所示。

现在参考图 17A-17C，其示出根据本发明优选实施例构造和实施的光电集成电路器件的三个可选优选实施例，该光电集成电路器件包

括相对较薄且紧凑、不受环境影响并且在机械上得到加强的光电集成电路封装 810，该封装具有直接镀敷在一个或多个绝缘层 813 上的多个导体 812 而没有介于其间的封装层。优选地将焊锡掩模 814 形成在所示的导体 812 和绝缘层 813 上。

图 17A 示出二向色滤光器和/或偏光器和/或防反射涂层和/或 IR 涂层和/或滤色器，例如在辐射透明保护层 817 的至少一个面朝外部的表面 816 的至少一部分上形成的 RGB 或掩模滤光器 815。面朝外部的表面 816 可选择地包括辐射透明保护层 817 的顶表面或边缘表面。图 17B 示出涂层 818，其可以与形成在辐射透明保护层 817 的面朝内部的表面 819 的至少一部分上的涂层 815 相同。图 17C 示出在辐射透明保护层 817 的相应表面 816 和 819 中的每一个的至少一部分上的涂层 815 和 818。在图 17A-17C 所示的三个实施例中，光电元件形成在常规厚度通常为 10-250 微米的硅衬底 822 的表面 820 上。表面 820 面向透明保护层 817。诸如环氧树脂层的键合层 828 用于将保护层 817 附着到硅衬底 822 上，如上所述。

如图 17A、17B 和 17C 所示，光电集成电路封装 810 还包括形成在硅衬底 822 与辐射透明保护层 817 之间的至少一个空腔 827。通过在将硅衬底 822 附着到辐射透明保护层 817 时，在硅衬底 822 与辐射透明保护层 817 之间与至少一个诸如环氧树脂层的键合层 828 一起安装至少一个隔离物 829，来形成空腔 827，如下文所述。或者，可以通过在将硅衬底 822 附着到辐射透明保护层 817 时，在硅衬底 822 与辐射透明保护层 817 之间插入至少一个隔离物 829，来形成空腔 827，如下文所述。应该认识到可以通过研磨或任何其它适当的方法来提供任何适当厚度的隔离元件 829，使得限定空腔 827 以在辐射透明保护层 817 与硅衬底 822 之间产生特定的固定距离。

现在参考图 18。图 18 的实施例可以与图 17A 的相同，其具有或不具有涂层，而且与图 17A 的进一步区别在于：它具有形成在辐射

透明保护层 892 上的光耦合凸起 890。示出波导 894 经由凸起 890 光耦合到辐射透明保护层 892。优选地凸起 890 由略微保形的透明有机材料形成，使得其上的机械压力使其产生轻微的形变并且能够使易消散的光波穿过与其限定的界面。

现在参考图 19。图 19 的实施例可以与图 17A 的相同，其具有或不具有涂层，并且与图 17A 的区别在于：它具有通过常规集成光学技术形成在辐射透明保护层 902 上的波导 900 和其他可能的光学元件（未示出）。该设置允许经由辐射透明保护层 902 在形成在硅衬底 904 上的光电元件与波导 900 之间进行光通信。

现在参考图 20A。图 20A 的实施例可以与图 17A 的相同，其具有或不具有涂层，并且与图 17A 的区别在于：它具有在其面朝外部的表面 944 上形成有光栅 942 的辐射透明保护层 940。

现在参考图 20B。图 20B 的实施例可以与图 17A 的相同，其具有或不具有涂层，并且与图 17A 的区别在于：它具有衬底，该衬底形成有至少一个透镜，并且优选形成有附着到辐射透明保护层 964 的面朝外部的表面 962 上的微透镜阵列 960。应该认识到，可以在将辐射透明保护层附着到衬底之前，或在工艺中的任何随后一点，将至少一个透镜附着到辐射透明保护层 964。作为另一个选择，辐射透明保护层 964 的面朝外部的表面 962 可以包括至少一个透镜。

现在参考图 20C。图 20C 的实施例可以与图 17A 的相同，其具有或不具有涂层，并且与图 17A 的区别在于：它具有衬底，该衬底形成有相对于硅衬底 974 的有源表面 972，优选相对于光电半导体电路，保持精确固定距离 X 的至少一个透镜 970。优选地通过隔离物 529 和/或固定在透镜 970 与辐射透明保护层 980 的面朝外部的表面 978 之间的中间光透射层 976 的精确加工，可以将该精确固定距离确定在 1-10 微米的精度。或者，可以排除中间层 976。作为另一个选择，透镜 970 与有源表面 972 之间的距离不需要精确固定。

现在参考图 20D。图 20D 的实施例可以与图 17A 的相同，其具有或不具有涂层，并且与图 17A 的区别在于：它具有包含可以包括至少一个透镜的位于外侧的表面 992 的辐射透明保护层 990。

现在参考图 21A-23J，其示出根据本发明优选实施例的集成电路器件，优选为光电集成电路器件，及其制造。如图 21A 和 21B 所示，集成电路器件包括相对较薄且紧凑、不受环境影响并且在机械上得到加强的集成电路封装 1010，优选为光电集成电路封装，该封装具有沿着其边缘表面 1014 电镀的多个导体 1012。

本发明的特定特征是导体 1012 电连接到其边缘处的焊盘 1016，并且优选直接形成在覆盖在管芯 1020 上的绝缘层 1018 和 1019 上，而不存在介于其间的封装层，例如玻璃层。绝缘层 1018 和 1019 可以各自包括诸如电介质层和/或钝化层的一层或多层，并且在材料和/或厚度上彼此不同，或选择地可以相同。作为另一个选择，可以排除绝缘层 1018 和 1019。图 21A-30C 的实施例的特征还都在于：导体 1012 的部分与焊盘 1016 的边缘导电接触，如图 21B 中清晰地示出。

根据本发明的优选实施例，导体 1012 在边缘表面 1014 上延伸到封装 1010 的平面 1022 上。该接触设置允许将封装 1010 平面安装到电路板上。值得注意的是，在光电实施例中，集成电路封装 1010 可以包括下述元件中的一个或多个（未示出）：整体形成的二向色滤光片、滤色镜、防反射涂层、偏光器、光栅、集成波导和光耦合凸起。在非光电实施例中，通常不存在上述元件。如图 21A 和 21B 所示，光电集成电路封装 1010 还可以包括接触凸起，例如形成在导体 1012 上的焊料球 1023，然而在形成在焊料掩模 1024 中的孔径处，不需要焊料球 1023。

作为另一个选择，如图 21C 和 21D 所示，导体 1012 没有超出边缘表面 1014 延伸到平面 1022 上或仅在有限的程度上延伸到平面 1022 上，由此限定外围接触。在这种情况下，焊料掩模 1024 通常不

延伸到平面 1022 上或者可以完全排除。

作为另外的选择,焊料球 1023 可以由适用于 ACF 接合的接触来替换,或可以包括球栅阵列(BGA)接触。

绝缘层 1018 和 1019 可以作为机械保形层来操作,该机械保形层适合于补偿导体 1012、焊料球 1023 和管芯 1020 的热膨胀系数之间的差。

图 21A 和 21B 所示的集成电路封装 1010,优选为光电集成电路封装,还优选包括辐射透明保护绝缘覆盖板 1026 和键合层 1028,例如环氧树脂层,优选为辐射透明环氧树脂层,所述键合层 1028 用于将覆盖板 1026 附着到管芯 1020,如下文所述。

应该认识到下文中所述的方法提供光电集成电路封装 1010,其处于定义为芯片级封装的范围内,通常面积不比芯片尺寸大 20%。还应该认识到下文中所述的方法提供光电集成电路封装 1010,其中在晶片级执行封装工艺直到将晶片式封装切割成单独的封装管芯。

图 22A 和 22B 是将透明保护绝缘覆盖板附着到包括多个根据本发明的集成电路管芯的晶片的简化示意图。如图 22A 和 22B 所示,硅晶片 1030 包括多个成品管芯 1020,其具有通过常规技术形成在其上的有源表面,并且在有源表面处将所述硅晶片 1030 键合到覆盖板 1026 上,由此限定键合的晶片 1031。

根据本发明的优选实施例,如图 23A 所示,晶片 1030 包括多个成品管芯 1020,其具有通过常规技术形成在其上的有源表面,并且经键合层 1028 在有源表面处将所述硅晶片 1030 键合到覆盖板 1026 上。绝缘覆盖板 1026 通常包括玻璃、石英、蓝宝石或任何其他适合的辐射透明衬底。如图 23A 所示,电焊盘 1016 形成在硅晶片 1030 的有源表面上。

覆盖板 1026 可以是彩色的或带色彩的,以便作为光谱过滤器操作。或者,可以在覆盖板 1026 的至少一个表面上形成二向色或彩色

光谱过滤器。

本发明的特定特征是覆盖板 1026 和键合层 1028 对于用于光电应用的光谱区域中的辐射优选是透明的。或者，键合层 1028 还可以用作光谱过滤器并且为了该目的可以结合适当的染料。

应该认识到，当根据本发明使用晶片时，可以省略硅晶片 1030 的常规制造中的某些步骤。这些步骤包括在焊盘上提供通路开口、晶片背面研磨和晶片背面金属涂敷。

硅晶片 1030 可以通过常规光刻技术在其中任何适当的位置处形成有整体的滤色器阵列。在图 23A 的键合步骤之前，通过常规技术在覆盖板 1026 上形成和构造滤光器，使得滤光器平面位于覆盖板 1026 与键合层 1028 之间。

在上述键合步骤之后，优选地将硅晶片 1030 从通常在 400 至 1000 微米范围内的原始厚度 L1 向下研磨到通常在 10-250 微米范围内的所降低的厚度 L2，如图 23B 所示。利用通过将覆盖板 1026 键合到其上所提供的附加机械强度能够允许晶片厚度的这一减小。作为另一选择，可以将硅晶片 1030 几乎全部除去。当使用绝缘体上硅 (SOI) 制造技术时，这是有益的。

在可选择地减小晶片厚度之后，利用光刻工艺沿着其背面根据分割单独管芯 1020 的预定切割线来蚀刻晶片。由此产生被蚀刻的沟槽 1032，其完全贯穿通常在 10-250 微米范围内的硅衬底的厚度延伸。在图 23C 中示出被蚀刻的键合晶片。

通常通过利用 SF_6 、 C_4F_8 或其它适当的干法蚀刻气体的干法蚀刻工艺来实现前述蚀刻。或者，在常规硅蚀刻溶液例如 2.5% 的氢氟酸、50% 的硝酸、10% 的醋酸和 37.5% 的水的混合物中进行蚀刻，从而向下穿过任何场氧化层对硅进行蚀刻以暴露焊盘 1016，如图 23C 所示。硅蚀刻的结果是多个分离的管芯 1020，其中的每一个包括厚度为大约 10-250 微米的硅。

如图 23D 所示, 优选地被蚀刻的沟槽 1032 填充有限定绝缘层 1019 的绝缘材料, 例如环氧树脂、焊料掩模, 或任何其它适当的电介质材料, 例如聚酰亚胺、BCBTM、聚氨基甲酸酯、聚萘、碳氟化合物或丙烯酸盐/脂。在形成绝缘层 1019 之后, 如图 23E 所示, 研磨键合的晶片 1031 的表面以限定平面。然后在其上形成绝缘层 1018, 如图 23F 中所示。

然后通过任何适当的方法, 在被填充的沟槽 1032 处对键合的晶片 1031 进行刻槽, 以在每一对相邻的管芯 1020 之间限定凹槽 1036。凹槽 1036 延伸穿过绝缘层 1018 和 1019, 穿过焊盘 1016 由此暴露焊盘 1016 的边缘并穿过键合层 1028, 如图 23G 中所示。凹槽 1036 可以部分延伸到保护层 1026 中。

如图 23H 所示, 在多个分离管芯 1020 上穿过开口 1036 形成导电层 1038, 以覆盖焊盘 1016 的暴露部分以及限定绝缘层 1018 和 1019 的电介质材料。优选地导电层 1038 由铝形成, 或者由任何适当的导电材料或者诸如铝、铜、钛、钛钨合金或铬等材料组合物形成。

图 23I 示出通常利用常规光刻技术的导电层 1038 的构图, 以限定电接触管芯 1020 上的一个或多个焊盘 1016 的边缘并被适当电镀的多个导体 1012。

图 23J 示出键合晶片涂敷有保护材料层, 优选为焊料掩模 1024 或诸如聚对二甲苯、BCBTM 或聚酰亚胺的其它保护材料, 对其进行构图以便在其中限定与导体 1012 相通的孔, 通过该孔形成与导体 1012 电接触的焊料球 1023, 如图 23K 所示。

根据本发明的优选实施例, 如图 23L 所示, 然后沿着线 1040 切割键合晶片, 以提供单独的集成电路封装, 与图 21A 和 21B 的集成电路封装 1010 相似。

现在参考图 24, 其是由图 23L 的键合晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图。如图 24 所示, 集成电路

封装包括通过键合层 1028 结合到管芯 1020 的绝缘覆盖板 1026。焊盘 1016 的边缘与直接形成在电介质绝缘层 1018 和 1019 上的导体 1012 电接触，如上所述。应该认识到，绝缘层 1018 和 1019 可以各自包括多层。

现在参考图 25 和 26，图 25 和 26 共同示出用于制造根据本发明优选实施例的集成电路器件的设备。常规的晶片制造设备 1180 提供晶片 1030。利用键合设备 1182，通过键合层 1028 将每一个单独晶片 1030 在限定有源表面一侧键合到形成覆盖板 1026 的保护层，例如玻璃层，所述键合设备优选具有用于旋转晶片 1030、覆盖板 1026 和键合层 1028 从而获得粘合材料的均匀分布的设备。

通过研磨设备 1184，例如可以在市场上从日本的 Disco Ltd. 买到的型号为 BFG 841 的研磨设备，使键合的晶片 1031(图 22B 和 23A)在其非有源表面侧变薄。然后优选通过光刻，例如通过利用常规旋涂光刻胶，在其非有源表面侧对键合的晶片 1031(图 23B)进行蚀刻，所述常规旋涂光刻胶可以在市场上从 Hoechst 买到，商标名称为 AZ 4562。

优选地利用诸如 Suss MicrTech AG 的型号为 MA200 的适当 UV 曝光系统 1185 通过光刻掩模 1186 来对光刻胶进行掩模曝光。

然后在显影槽(未示出)中使光刻胶显影，并将其烘焙，然后通常通过利用 SF_6 、 C_4F_8 或其它适当的干法蚀刻气体的干法蚀刻工艺来对键合的晶片进行硅蚀刻。用于此目的的在市场上可以买到的设备包括由英国的 Surface Technology Systems 制造的干法蚀刻机 1188。

或者，利用处在温控槽(未示出)中的硅蚀刻溶液来实现蚀刻。用于此目的的在市场上可以买到的设备包括均由美国的 Wafab Inc. 制造的 Chemkleen 槽和 WHRV 循环器。适合的湿法蚀刻的常规硅蚀刻溶液为可以在市场上从英国的 Micro-Image Technology Ltd. 买到的 Isoform 硅蚀刻剂。

优选地晶片 1030 中的被蚀刻的沟槽 1032 填充有绝缘材料 1189 (图 23D), 例如环氧树脂、焊料掩模, 或任何其它适当的电介质材料, 例如聚酰亚胺、BCB™、聚氨基甲酸酯、聚萘、碳氟化合物或丙烯酸盐/脂。利用分配器 1190 来填充沟槽 1032, 以获得被填充的沟槽 1191。或者, 可以使用任何其它适当的填充方法, 例如旋涂、喷涂或幕式淋涂。随后, 如步骤 1192 中所示, 再一次通过诸如可以在市场上从日本的 Disco Ltd. 买到的型号为 BFG 841 的研磨设备 1184 (图 23E) 研磨键合晶片 1031 以限定平面。

如步骤 1194 中所示, 诸如可以在市场上从日本的 Disco Ltd. 买到的型号为 641 或 341 的刻槽设备 1195 部分切除夹在其中的键合晶片 (图 23G)。

在刻槽之后, 可选择地在含有染色处理溶液 1198 的槽 1196 中对键合晶片进行防腐处理, 如将其公开内容并入在此作为参考的下述美国专利: 2,507,956、2,851,385 和 2,796,370 中的任何一篇所描述的那样。

采用通过真空淀积技术操作的导电层淀积设备 1200, 例如由列支敦士登的 Balzers AG 制造的溅射机器, 来在晶片 1030 的每个管芯 1020 的一个或多个表面上制造导电层 1038 (图 23H)。

优选地通过利用常规电淀积光刻胶, 来执行导体 1012 的构造, 如图 23I 所示, 所述常规电淀积光刻胶在市场上可以从 DuPont 买到、商标名称为 Primecoat, 或者可以从 Shipley 买到、商标名称为 Eagle。在光刻胶槽组件 1202 中将光刻胶施加在键合晶片上, 所述光刻胶槽组件在市场上可以从 DuPont 或 Shipley 买到。

优选地通过 UV 曝光系统 1204 利用用来限定适当的蚀刻图形的掩模 1205 来光构造光刻胶。然后在显影槽 1206 中使光刻胶显影, 然后在处于蚀刻槽 1210 中的金属蚀刻溶液 1208 中对其进行蚀刻, 由此提供诸如在图 21A 和 21B 中所示的导体结构。

然后，优选地通过在市场上可以从日本的 Okuno 买到的无电镀设备 1212 来对图 23I 所示的暴露出的导体条进行镀敷。

在导体条镀敷之后，利用如参考标记 1014 所示的焊料掩模涂敷晶片以限定焊料球 1023 的位置（图 23J），然后以常规方法形成所述焊料球 1023，如参考标记 1215 所示（图 23K）。或者，可以不需要焊料球 1023。

然后通过切割刀 1216 将键合的晶片切割成单独的预封装集成电路器件（图 23L）。优选地，切割刀 1216 为厚度为 2-12mil 的金刚石树脂型刀。最终的管芯大体如图 21A 和 21B 所示。

现在参考图 27A-27C，其示出根据本发明优选实施例构造和实施的光电集成电路器件的三个可选优选实施例，该光电集成电路器件包括相对较薄且紧凑、不受环境影响并且在机械上得到加强的光电集成电路封装 1310，该封装具有直接镀敷在一个或多个绝缘层 1313 上的多个导体 1312 而没有介于其间的封装层。优选地将焊锡掩模 1314 形成在所示的导体 1312 和绝缘层 1313 上。

图 27A 示出二向色滤光器和/或偏光器和/或防反射涂层和/或 IR 涂层和/或滤色器，例如在辐射透明保护层 1317 的至少一个面朝外部的表面 1316 的至少一部分上形成的 RGB 或掩模滤光器 1315。面朝外部的表面 1316 可选择地包括辐射透明保护层 1317 的顶表面或边缘表面。图 27B 示出涂层 1318，其可以与形成在辐射透明保护层 1317 的面朝内部的表面 1319 的至少一部分上的涂层 1315 相同。图 27C 示出在辐射透明保护层 1317 的相应表面 1316 和 1319 中的每一个的至少一部分上的涂层 1315 和 1318。在图 27A-27C 所示的三个实施例中，光电元件形成在常规厚度通常为 10-250 微米的硅衬底 1322 的表面 1320 上。表面 1320 面向透明保护层 1317。诸如环氧树脂层的辐射透明键合层 1328 用于将保护层 1317 附着到硅衬底 1322 上，如上所述。

现在参考图 28。图 28 的实施例可以与图 27A 的相同，其具有或不具有涂层，而且与图 27A 的进一步区别在于：它具有形成在辐射透明保护层 1392 上的光耦合凸起 1390。示出波导 1394 经由凸起 1390 光耦合到辐射透明保护层 1392。优选地凸起 1390 由略微保形的透明有机材料形成，使得其上的机械压力使其产生轻微的形变并且能够使易消散的光波穿过与其限定的界面。

现在参考图 29。图 29 的实施例可以与图 27A 的相同，其具有或不具有涂层，并且与图 27A 的区别在于：它具有通过常规集成光学技术形成在辐射透明保护层 1402 上的波导 1400 和其他可能的光学元件（未示出）。该设置允许经由辐射透明保护层 1402 在形成在硅衬底 1404 上的光电元件与波导 1400 之间进行光通信。

现在参考图 30A。图 30A 的实施例可以与图 27A 的相同，其具有或不具有涂层，并且与图 27A 的区别在于：它具有在其面朝外部的表面 1444 上形成有光栅 1442 的辐射透明保护层 1440。

现在参考图 30B。图 30B 的实施例可以与图 27A 的相同，其具有或不具有涂层，并且与图 27A 的区别在于：它具有衬底，该衬底形成有至少一个透镜，并且优选形成有附着到辐射透明保护层 1464 的面朝外部的表面 1462 上的微透镜阵列 1460。应该认识到，可以在将辐射透明保护层附着到衬底之前，或在工艺中的任何随后一点，将至少一个透镜附着到辐射透明保护层 1464。作为另一个选择，辐射透明保护层 1464 的面朝外部的表面 1462 可以包括至少一个透镜。

现在参考图 30C。图 30C 的实施例可以与图 27A 的相同，其具有或不具有涂层，并且与图 27A 的区别在于：它具有衬底，该衬底形成有相对于硅衬底 1474 的有源表面 1472，保持精确固定距离 X 的至少一个透镜 1470。优选地通过固定在透镜 1470 与辐射透明保护层 1480 的面朝外部的表面 1478 之间的中间光透射层 1476 的精确加工，可以将该精确固定距离确定在 1-10 微米的精度。或者，可以排除中

间层 1476。作为另一个选择，透镜 1470 与有源表面 1472 之间的距离不需要精确固定。

现在参考图 30D。图 30D 的实施例可以与图 27A 的相同，其具有或不具有涂层，并且与图 27A 的区别在于：它具有包含可以包括至少一个透镜的位于外侧的表面 1492 的辐射透明保护层 1490。

现在参考图 31A-33J，其示出根据本发明优选实施例的集成电路器件，优选为光电集成电路器件，及其制造。如图 31A 和 31B 所示，集成电路器件包括相对较薄且紧凑、不受环境影响并且在机械上得到加强的集成电路封装 1510，优选为光电集成电路封装，该封装具有沿着其边缘表面 1514 电镀的多个导电体 1512。

本发明的特定特征是导体 1512 电连接到其边缘处的焊盘 1516，并且直接形成在覆盖在管芯 1520 上的绝缘层 1518 和 1519 上，而不存在介于其间的封装层，例如玻璃层。绝缘层 1518 和 1519 可以各自包括一层或多层，并且在材料和/或厚度上彼此不同，或选择地可以相同。作为另一个选择，可以排除绝缘层 1518 和 1519。图 31A-40C 的实施例的特征还都在于：导体 1512 的部分与焊盘 1516 的边缘导电接触，如图 31B 中清晰地示出。

根据本发明的优选实施例，导体 1512 在边缘表面 1514 上延伸到封装 1510 的平面 1522 上。该接触设置允许将封装 1510 平面安装到电路板上。值得注意的是，在光电实施例中，集成电路封装 1510 可以包括下述元件中的一个或多个（未示出）：整体形成的二向色滤光片、滤色镜、防反射涂层、偏光器、光栅、集成波导和光耦合凸起。在非光电实施例中，通常不存在上述元件。如图 31A 和 31B 所示，光电集成电路封装 1510 还可以包括接触凸起，例如形成在导电体 1512 上的焊料球 1523，然而在形成在焊料掩模 1524 中的孔径处，不需要焊料球 1523。

作为另一个选择，如图 31C 和 31D 所示，导体 1512 没有超出边

缘表面 1514 延伸到平面 1522 上或仅在有限的程度上延伸到平面 1522 上，由此限定外围接触。在这种情况下，焊料掩模 1524 通常不延伸到平面 1522 上或者可以完全排除。

作为另外的选择，焊料球 1523 可以由适用于 ACF 接合的接触来替换，或可以包括球栅阵列（BGA）接触。

绝缘层 1518 和 1519 可以作为机械保形层来操作，该机械保形层适合于补偿导体 1512、焊料球 1523 和管芯 1520 的热膨胀系数之间的差。

图 31A 和 31B 所示的优选的光电集成电路封装 1510，还优选包括辐射透明保护绝缘覆盖板 1526。

如图 31A 和 31B 所示，光电集成电路封装 1510 还包括形成在管芯 1520 与辐射透明保护绝缘覆盖板 1526 之间的至少一个空腔 1527。通过在将管芯 1520 附着到覆盖板 1526 时，在管芯 1520 与覆盖板 1526 之间与至少一个诸如环氧树脂层的键合层 1528 一起安装至少一个隔离物 1529，来形成空腔 1527，如下文所述。或者，可以通过在将管芯 1520 附着到覆盖板 1526 时，在管芯 1520 与覆盖板 1526 之间插入至少一个可附着的隔离物 1529，来形成空腔 1527，如下文所述。应该认识到可以通过研磨或任何其它适当的方法来提供任何适当厚度的隔离元件 1529，使得限定空腔 1527 以在覆盖板 1526 与管芯 1520 之间产生特定的固定距离。

应该认识到下文中所述的方法提供光电集成电路封装 1510，其处于定义为芯片级封装的范围内，通常面积不比芯片尺寸大 20%。还应该认识到下文中所述的方法提供光电集成电路封装 1510，其中在晶片级执行封装工艺直到将晶片式封装切割成单独的封装管芯。

图 32A 和 32B 是将透明保护绝缘覆盖板附着到包括多个根据本发明的集成电路管芯的晶片的简化示意图。如图 32A 和 32B 所示，硅晶片 1530 包括多个成品管芯 1520，其具有通过常规技术形成在其

上的有源表面，并且在有源表面处将所述硅晶片 1530 键合到覆盖板 1526 上，由此限定键合的晶片 1531。根据本发明的优选实施例，如图 33A 所示，晶片 1530 包括多个成品管芯，其具有通过常规技术形成在其上的有源表面，并且经诸如环氧树脂层的键合层 1028 在有源表面处将所述硅晶片 1530 键合到覆盖板 1526 上。通过借助于诸如环氧树脂层的至少一个键合层 1528 在晶片 1530 与覆盖板 1526 之间安装隔离物 1529，来在晶片 1530 与覆盖板 1526 之间形成空腔 1527。

绝缘覆盖板 1526 通常包括玻璃、石英、蓝宝石或任何其他适合的辐射透明衬底。如图 33A 所示，电焊盘 1516 形成在硅晶片 1530 的有源表面上。

覆盖板 1526 可以是彩色的或带色彩的，以便作为光谱过滤器操作。或者，可以在覆盖板 1526 的至少一个表面上形成二向色或彩色光谱过滤器。

本发明的特定特征是覆盖板 1526 和诸如环氧树脂层的键合层 1528 对于用于光电应用的光谱区域中的辐射优选是透明的。

应该认识到，当根据本发明使用晶片时，可以省略硅晶片 1530 的常规制造中的某些步骤。这些步骤包括在焊盘上提供通路开口、晶片背面研磨和晶片背面金属涂敷。

硅晶片 1530 可以通过常规光刻技术在其中任何适当的位置处形成有整体的滤色器阵列。在图 33A 的键合步骤之前，通过常规技术在覆盖板 1526 上形成和构造滤光器，使得滤光器平面位于覆盖板 1526 与至少一个空腔 1527 之间。

在上述键合步骤之后，优选地将硅晶片 1530 从通常在 400 至 1000 微米范围内的原始厚度 L1 向下研磨到通常在 10-250 微米范围内的所降低的厚度 L2，如图 33B 所示。利用通过将覆盖板 1526 键合到其上所提供的附加机械强度能够允许晶片厚度的这一减小。

在可选择地减小晶片厚度之后，利用光刻工艺沿着其背面根据分

割单独管芯 1520 的预定切割线来蚀刻晶片。由此产生被蚀刻的沟槽 1532，其完全贯穿通常在 10-250 微米范围内的硅衬底的厚度延伸。在图 33C 中示出被蚀刻的键合晶片。

通常通过利用 SF_6 、 C_4F_8 或其它适当的干法蚀刻气体的干法蚀刻工艺来实现前述蚀刻。或者，在常规硅蚀刻溶液例如 2.5% 的氢氟酸、50% 的硝酸、10% 的醋酸和 37.5% 的水的混合物中进行蚀刻，从而向下穿过任何场氧化层对硅进行蚀刻以暴露焊盘 1516，如图 33C 所示。硅蚀刻的结果是多个分离的管芯 1520，其中的每一个包括厚度为大约 10-250 微米的硅。

如图 33D 所示，优选地被蚀刻的沟槽 1532 填充有限定绝缘层 1519 的绝缘材料，例如环氧树脂、焊料掩模，或任何其它适当的电介质材料，例如聚酰亚胺、BCBTM、聚氨基甲酸酯、聚萘、碳氟化合物或丙烯酸盐/脂。在形成绝缘层 1519 之后，如图 33E 所示，研磨键合的晶片 1531 的表面以限定平面。然后在其上形成绝缘层 1518，如图 33F 中所示。

然后通过任何适当的方法，在被填充的沟槽 1532 处对键合晶片 1531 进行刻槽，以在每一对相邻的管芯 1520 之间限定凹槽 1536。凹槽 1536 延伸穿过绝缘层 1518 和 1519，穿过焊盘 1516 由此暴露焊盘 1516 的边缘并穿过键合层 1528，如图 33G 中所示。凹槽 1536 可以部分延伸到保护层 1526 中。

如图 33H 所示，在多个分离管芯 1520 上穿过开口 1536 形成导电层 1538，以覆盖焊盘 1516 的暴露部分以及限定绝缘层 1518 和 1519 的电介质材料。优选地导电层 1538 由铝形成，或者由任何适当的导电材料或者诸如铝、铜、钛、钛钨合金或铬等材料组合物形成。

图 33I 示出通常利用常规光刻技术的导电层 1538 的构图，以限定电接触管芯 1520 上的一个或多个焊盘 1516 的边缘并被适当电镀的多个导体 1512。

图 33J 示出键合晶片涂敷有保护材料层，优选为焊料掩模 1524 或诸如聚对二甲苯、BCBTM 或聚酰胺的其它保护材料，对其进行构图以便在其中限定与导体 1512 相通的孔，通过该孔形成与导体 1512 电接触的焊料球 1523，如图 33K 所示。

根据本发明的优选实施例，如图 33L 所示，然后沿着线 1540 切割键合晶片，以提供单独的集成电路封装，与图 31A 和 31B 的集成电路封装 1510 相似。

现在参考图 34，其是由图 33L 的键合晶片制造的集成封装的光电集成电路器件的部分切除的详细示意图。如图 34 所示，集成电路封装包括通过隔离物 1529 和键合层 1528 结合到管芯 1520 并限定至少一个空腔 1527 的绝缘覆盖板 1526。焊盘 1516 的边缘与直接形成在电介质绝缘层 1518 和 1519 上的导体 1512 电接触，如上所述。应该认识到，绝缘层 1518 和 1519 可以各自包括多层。

现在参考图 35 和 36，图 35 和 36 共同示出用于制造根据本发明优选实施例的集成电路器件的设备。常规的晶片制造设备 680 提供晶片 1530。利用键合设备 1682，通过键合层 1528 将每一个单独晶片 1530 在限定有源表面一侧对准然后键合到形成覆盖板 1526 的保护层，例如玻璃层，所述键合设备优选具有用于旋转晶片 1530、覆盖板 1526 和键合层 1528 从而获得粘合材料的均匀分布的设备。

通过研磨设备 1684，例如可以在市场上从日本的 Disco Ltd. 买到的型号为 BFG 841 的研磨设备，使键合晶片（图 32B 和 33A）在其非有源表面侧变薄。然后优选通过光刻，例如通过利用常规旋涂光刻胶，在其非有源表面侧对键合晶片（图 33B）进行蚀刻，所述常规旋涂光刻胶可以在市场上从 Hoechst 买到，商标名称为 AZ 4562。

优选地利用诸如 Suss MicrTech AG 的型号为 MA200 的适当 UV 曝光系统 1685 通过光刻掩模 1686 来对光刻胶进行掩模曝光。

然后在显影槽（未示出）中使光刻胶显影，并将其烘焙，然后通

常通过利用 SF₆、C₄F₈ 或其它适当的干法蚀刻气体的干法蚀刻工艺来对键合的晶片进行硅蚀刻。用于此目的的在市场上可以买到的设备包括由英国的 Surface Technology Systems 制造的干法蚀刻机 1688。

或者，利用处在温控槽（未示出）中的硅蚀刻溶液来实现蚀刻。用于此目的的在市场上可以买到的设备包括均由美国的 Wafab Inc. 制造的 Chemkleen 槽和 WHRV 循环器。适合的湿法蚀刻的常规硅蚀刻溶液为可以在市场上从英国的 Micro-Image Technology Ltd. 买到的 Isoform 硅蚀刻剂。优选地晶片 1530 中的被蚀刻的沟槽 1532 填充有绝缘材料 1689（图 33D），例如环氧树脂、焊料掩模，或任何其它适当的电介质材料，例如聚酰亚胺、BCBTM、聚氨基甲酸酯、聚萘、碳氟化合物或丙烯酸盐/脂。利用分配器 1690 来填充沟槽 1532，以获得被填充的沟槽 1691。或者，可以使用任何其它适当的填充方法，例如旋涂、喷涂或幕式淋涂。随后，如步骤 1692 中所示，再一次通过诸如可以在市场上从日本的 Disco Ltd. 买到的型号为 BFG 841 的研磨设备 1684（图 33E）研磨键合晶片 1531 以限定平面。

如步骤 1694 中所示，诸如可以在市场上从日本的 Disco Ltd. 买到的型号为 641 或 341 的刻槽设备 1695 部分切除夹在其中的键合晶片（图 33G）。

在刻槽之后，可选择地在含有染色处理溶液 1698 的槽 1696 中对键合晶片进行防腐处理，如将其公开内容并入在此作为参考的下述美国专利：2,507,956、2,851,385 和 2,796,370 中的任何一篇所描述的那样。

采用通过真空淀积技术操作的导电层淀积设备 1700，例如由列支敦士登的 Balzers AG 制造的溅射机器，来在晶片 1530 的每个管芯 1520 的一个或多个表面上制造导电层 1538（图 33H）。

优选地通过利用常规电淀积光刻胶，来执行导体 1512 的构造，如图 33I 所示，所述常规电淀积光刻胶在市场上可以从 DuPont 买到、

商标名称为 Primecoat, 或者可以从 Shipley 买到、商标名称为 Eagle。在光刻胶槽组件 1702 中将光刻胶施加在键合晶片上, 所述光刻胶槽组件在市场上可以从 DuPont 或 Shipley 买到。

优选地通过 UV 曝光系统 1704 利用用来限定适当的蚀刻图形的掩模 1705 来光构造光刻胶。然后在显影槽 1706 中使光刻胶显影, 然后在处于蚀刻槽 1710 中的金属蚀刻溶液 1708 中对其进行蚀刻, 由此提供诸如在图 31A 和 31B 中所示的导体结构。

然后, 优选地通过在市场上可以从日本的 Okuno 买到的无电镀设备 1712 来对图 33I 所示的暴露出的导体条进行镀敷。

在导体条镀敷之后, 利用如参考标记 1714 所示的焊料掩模涂敷晶片以限定焊料球 1523 的位置 (图 33J), 然后以常规方法形成所述焊料球 1523, 如参考标记 1715 所示 (图 33K)。或者, 可以不需要焊料球 1523。

然后通过切割刀 1716 将键合的晶片切割成单独的预封装集成电路器件 (图 33L)。优选地, 切割刀 1716 为厚度为 2-12mil 的金刚石树脂型刀。最终的管芯大体如图 31A 和 31B 所示。现在参考图 37A-37C, 其示出根据本发明优选实施例构造和实施的光电集成电路器件的三个可选优选实施例, 该光电集成电路器件包括相对较薄且紧凑、不受环境影响并且在机械上得到加强的光电集成电路封装 1810, 该封装具有直接镀敷在一个或多个绝缘层 1813 上的多个导体 1812 而没有介于其间的封装层。优选地将焊锡掩模 1814 形成在所示的导体 1812 和绝缘层 1813 上。图 37A 示出二向色滤光器和/或偏光器和/或防反射涂层和/或 IR 涂层和/或滤色器, 例如在辐射透明保护层 1817 的至少一个面朝外部的表面 1816 的至少一部分上形成的 RGB 或掩模滤光器 1815。面朝外部的表面 1816 可选择地包括辐射透明保护层 1817 的顶表面或边缘表面。图 37B 示出涂层 1818, 其可以与形成在辐射透明保护层 1817 的面朝内部的表面 1819 的至少一部分上的涂层

1815 相同。图 37C 示出在辐射透明保护层 1817 的相应表面 1816 和 1819 中的每一个的至少一部分上的涂层 1815 和 1818。在图 37A-37C 所示的三个实施例中，光电元件形成在常规厚度通常为 10-250 微米的硅衬底 1822 的表面 1820 上。表面 1820 面向透明保护层 1817。诸如环氧树脂层的辐射透明键合层 1828 用于将保护层 1817 附着到硅衬底 1822 上，如上所述。

如图 37A、37B 和 37C 所示，光电集成电路封装 1810 还包括形成在硅衬底 1822 与辐射透明保护层 1817 之间的至少一个空腔 827。通过在将硅衬底 1822 附着到辐射透明保护层 1817 时，在硅衬底 1822 与辐射透明保护层 1817 之间与至少一个诸如环氧树脂层的键合层 1828 一起安装至少一个隔离物 1829，来形成空腔 1827，如下文所述。或者，可以通过在将硅衬底 1822 附着到辐射透明保护层 1817 时，在硅衬底 1822 与辐射透明保护层 1817 之间插入至少一个隔离物 1829，来形成空腔 1827，如下文所述。应该认识到可以通过研磨或任何其它适当的方法来提供任何适当厚度的隔离元件 1829，使得限定空腔 1827 以在辐射透明保护层 1817 与硅衬底 1822 之间产生特定的固定距离。

现在参考图 38。图 38 的实施例可以与图 37A 的相同，其具有或不具有涂层，而且与图 37A 的进一步区别在于：它具有形成在辐射透明保护层 1892 上的光耦合凸起 1890。示出波导 1894 经由凸起 1890 光耦合到辐射透明保护层 1892。优选地凸起 1890 由略微保形的透明有机材料形成，使得其上的机械压力使其产生轻微的形变并且能够使易消散的光波穿过与其限定的界面。

现在参考图 39。图 39 的实施例可以与图 37A 的相同，其具有或不具有涂层，并且与图 37A 的区别在于：它具有通过常规集成光学技术形成在辐射透明保护层 1902 上的波导 1900 和其他可能的光学元件（未示出）。该设置允许经由辐射透明保护层 1902 在形成在硅衬底

1904 上的光电元件与波导 1900 之间进行光通信。

现在参考图 40A。图 40A 的实施例可以与图 37A 的相同，其具有或不具有涂层，并且与图 37A 的区别在于：它具有在其面朝外部的表面 1944 上形成有光栅 1942 的辐射透明保护层 1940。

现在参考图 40B。图 40B 的实施例可以与图 37A 的相同，其具有或不具有涂层，并且与图 37A 的区别在于：它具有衬底，该衬底形成有至少一个透镜，并且优选形成有附着到辐射透明保护层 1964 的面朝外部的表面 1962 上的微透镜阵列 1960。应该认识到，可以在将辐射透明保护层附着到衬底之前，或在工艺中的任何随后一点，将至少一个透镜附着到辐射透明保护层 1964。作为另一个选择，辐射透明保护层 1964 的面朝外部的表面 1962 可以包括至少一个透镜。

现在参考图 40C。图 40C 的实施例可以与图 37A 的相同，其具有或不具有涂层，并且与图 37A 的区别在于：它具有衬底，该衬底形成有相对于硅衬底 1974 的有源表面 1972，优选相对于光电半导体电路，保持精确固定距离 X 的至少一个透镜 1970。优选地通过隔离物 1529 和/或固定在透镜 1970 与辐射透明保护层 1980 的面朝外部的表面 1978 之间的中间光透射层 1976 的精确加工，可以将该精确固定距离确定在 1-10 微米的精度。或者，可以排除中间层 1976。作为另一个选择，透镜 1970 与有源表面 1972 之间的距离不需要精确固定。

现在参考图 40D。图 40D 的实施例可以与图 37A 的相同，其具有或不具有涂层，并且与图 37A 的区别在于：它具有包含可以包括至少一个透镜的位于外侧的表面 1992 的辐射透明保护层 1990。

现在参考图 41A 和 41B，其是根据本发明又一优选实施例构造和实施的集成封装的光电集成电路器件的简化示意图，其中在集成电路管芯上的不同元件之间产生沟槽 2040 或 2041（分别在图 41A 和 41B 中）。

为了减小硅衬底上的不同元件之间的串扰，需要在这些元件之间

形成物理隔离。可以通过完全除去在这些元件之间产生沟槽的硅，来进行该隔离。该沟槽可以由任何适当的材料填充，例如环氧树脂 2042 或 2142（分别在图 41A 和 41B 中）。这种隔离的例子是集成电路的模拟（无线电）与数字（微处理器）部分之间的隔离。

本领域技术人员应该认识到，本发明不限于在上文中具体示出和说明的内容。当然，本发明的范围包括上述各种特征的组合和次组合（subcombination）以及本领域技术人员在阅读前述说明书后所想到的而在现有技术中没有的各种变形和修改。

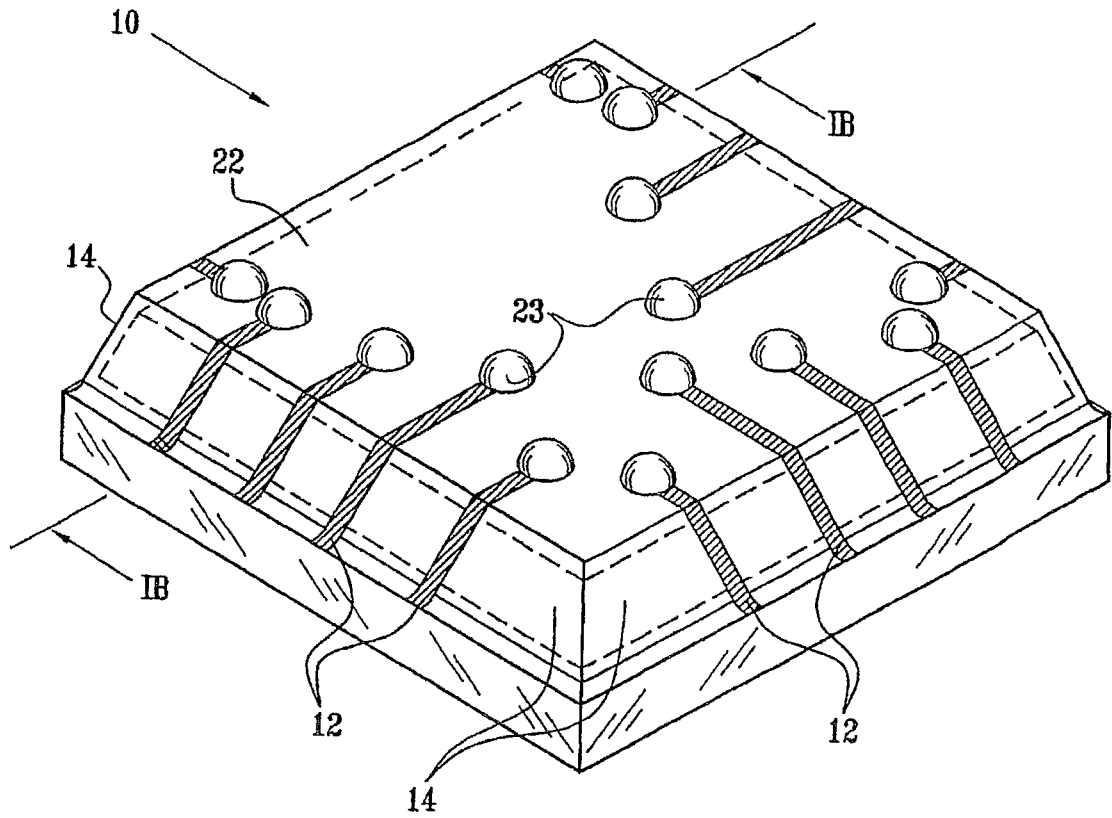


图1A

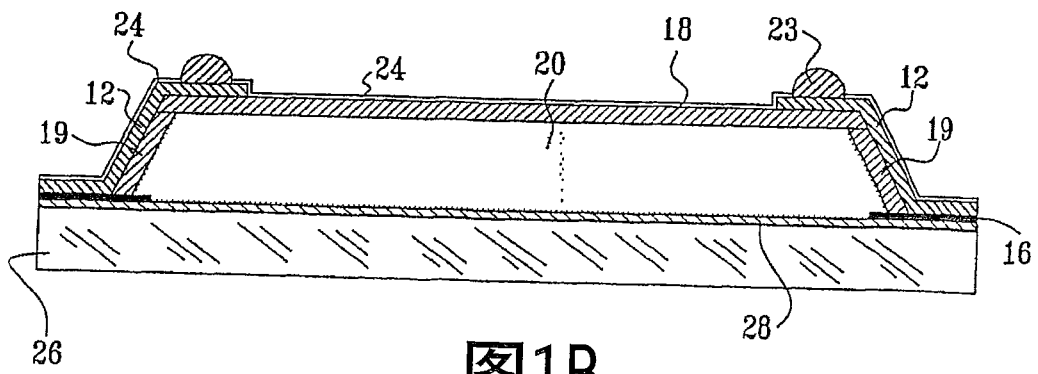


图1B

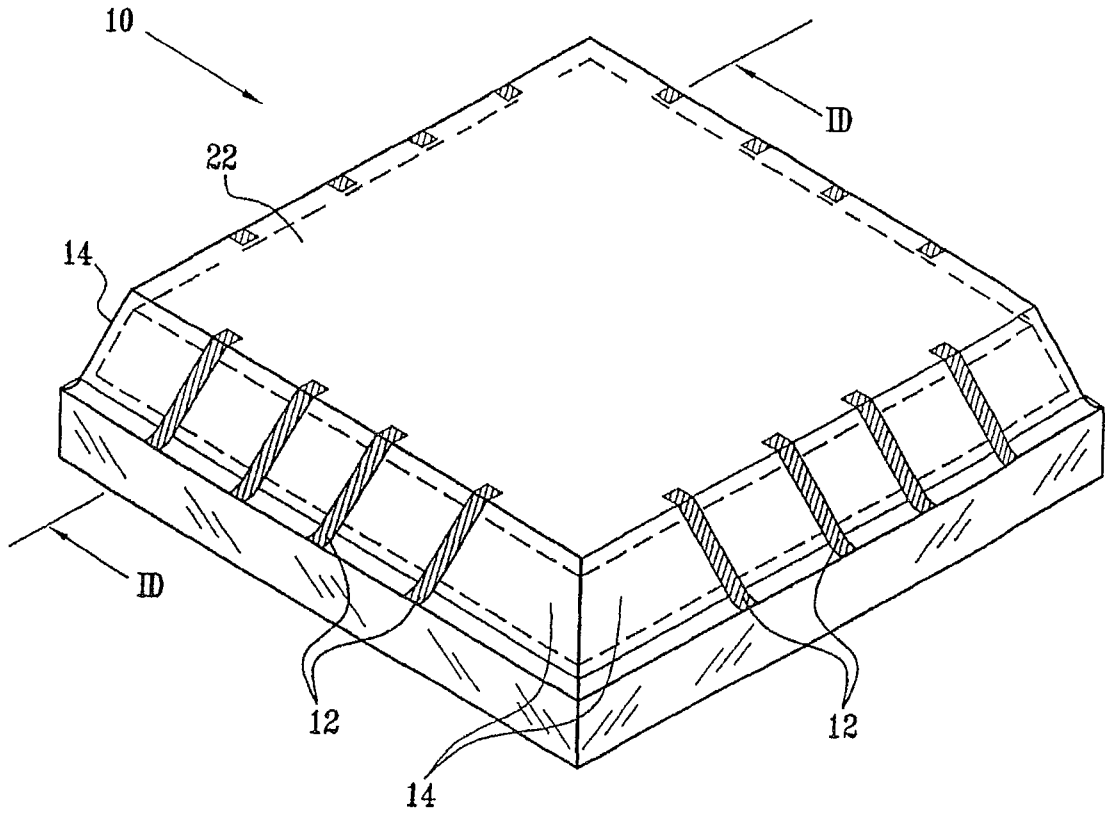


图1C

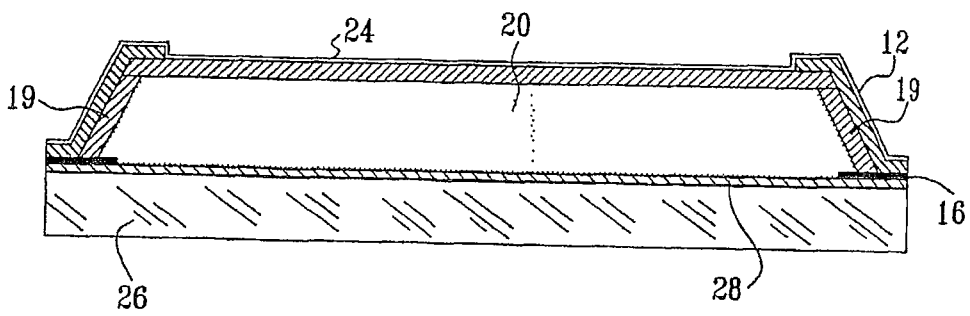


图1D

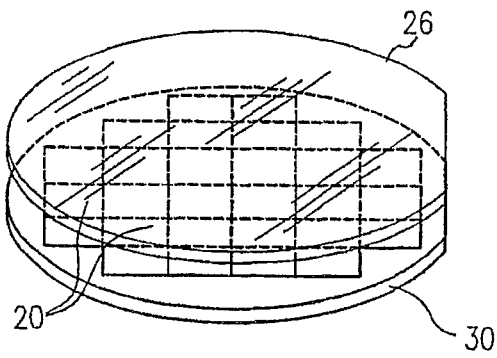


图2A

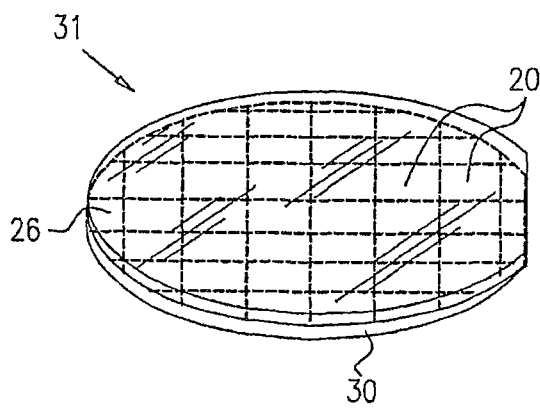


图2B

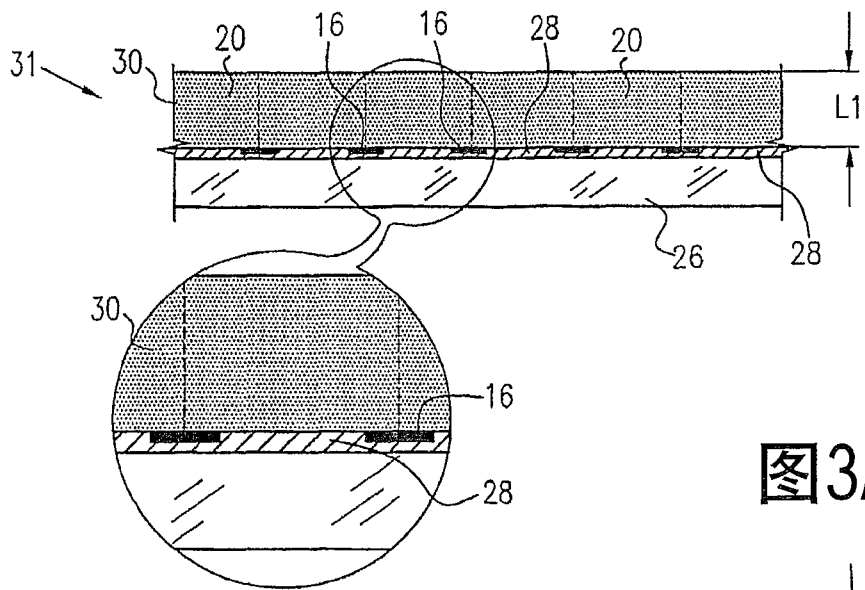


图3A

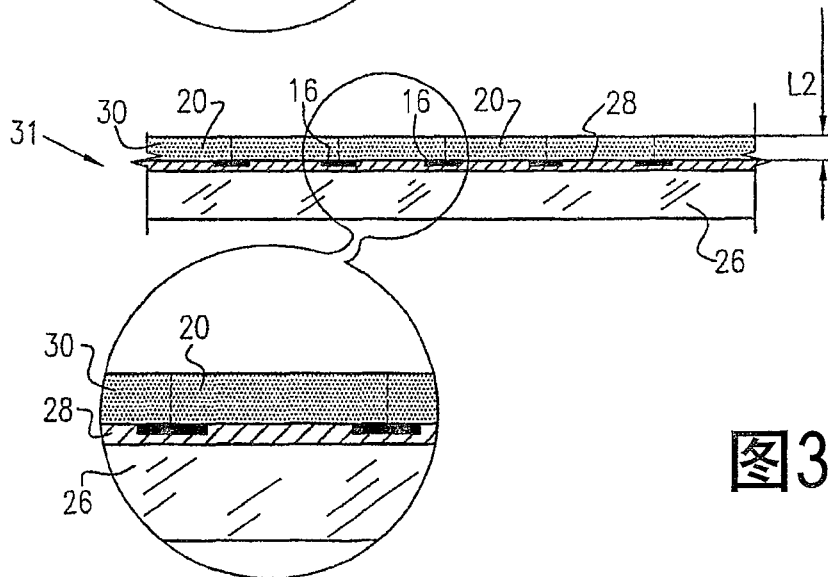


图3B

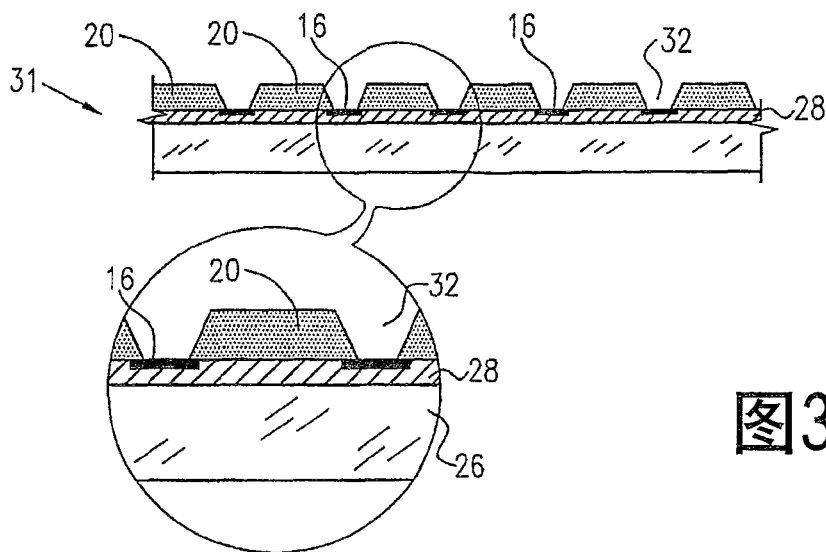


图3C

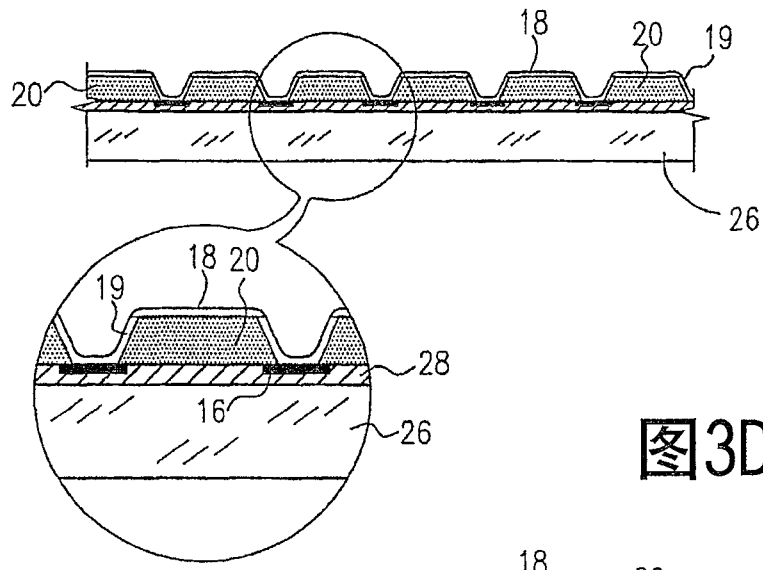


图3D

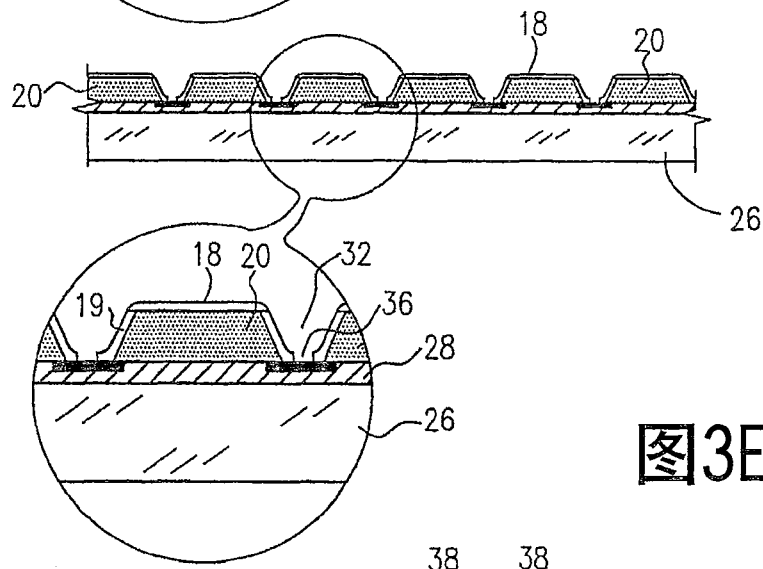


图3E

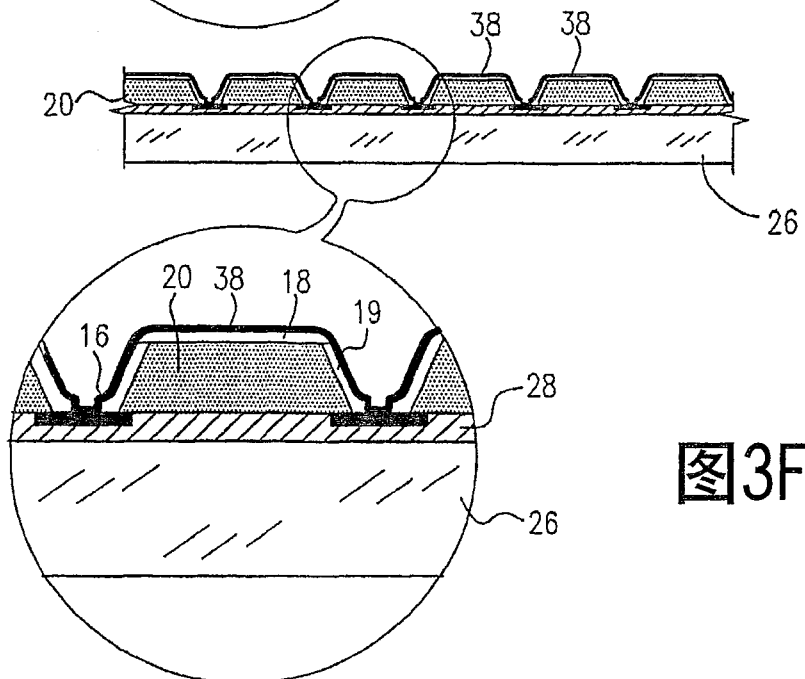


图3F

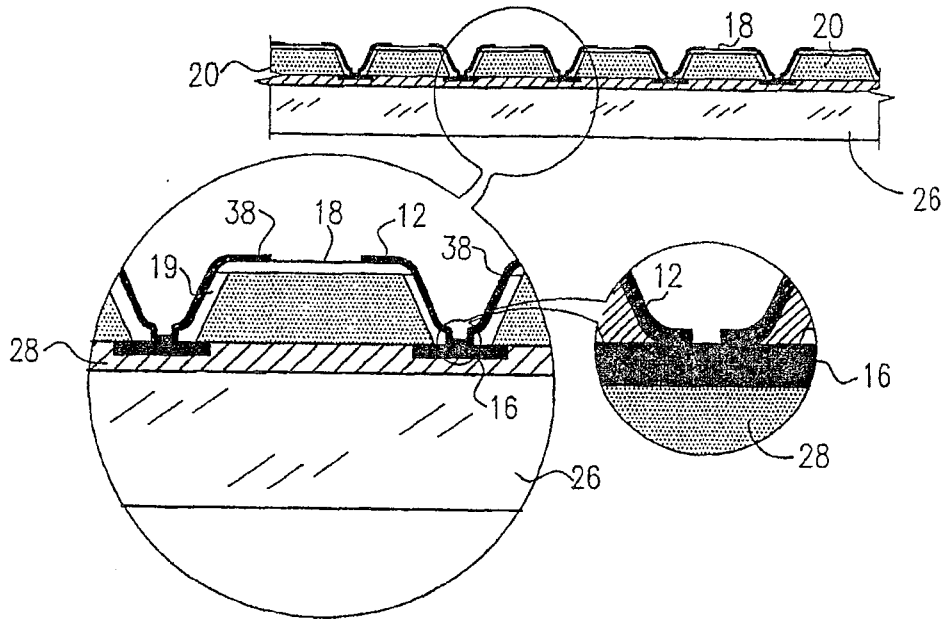


图3G

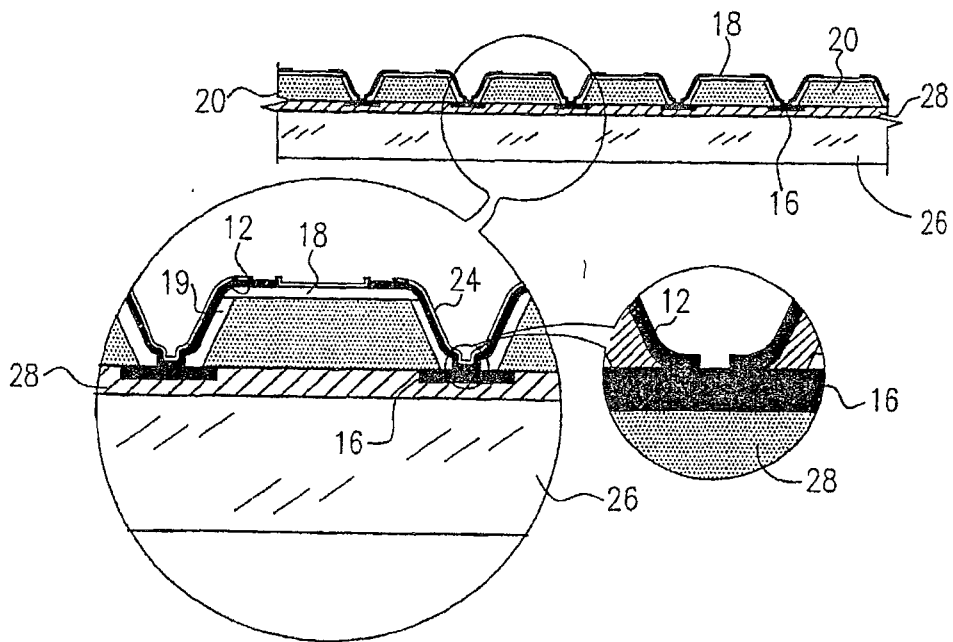


图3H

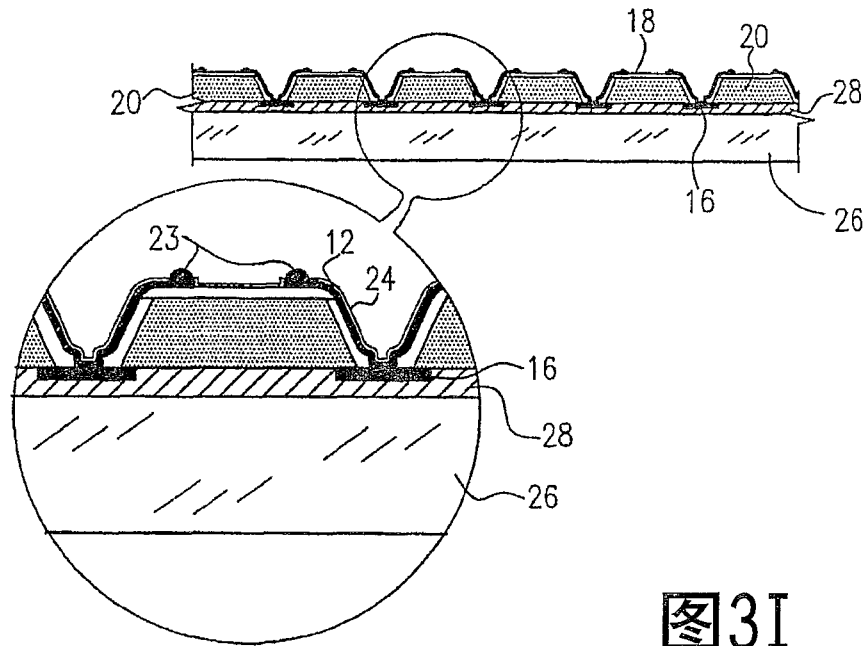


图3I

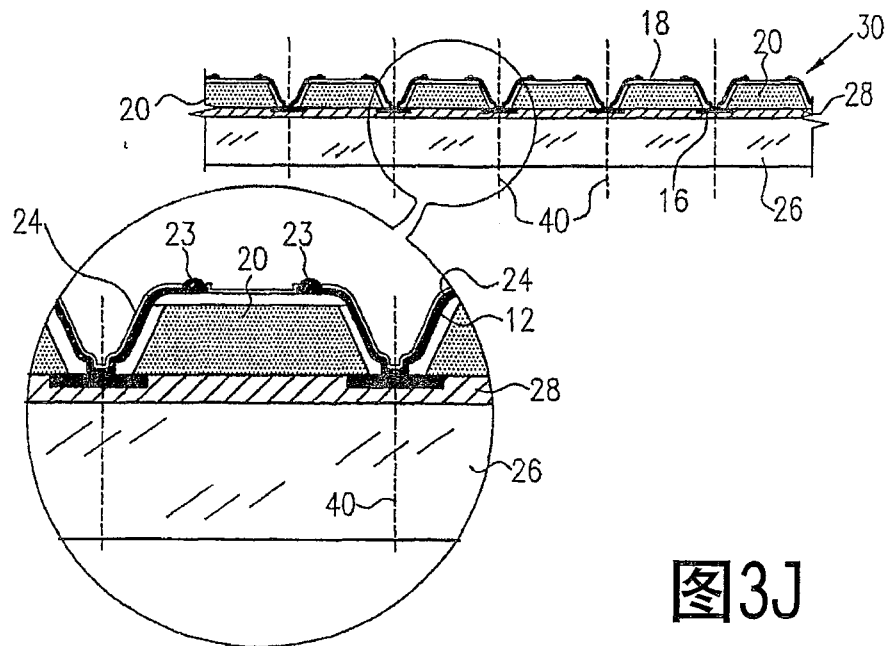


图3J

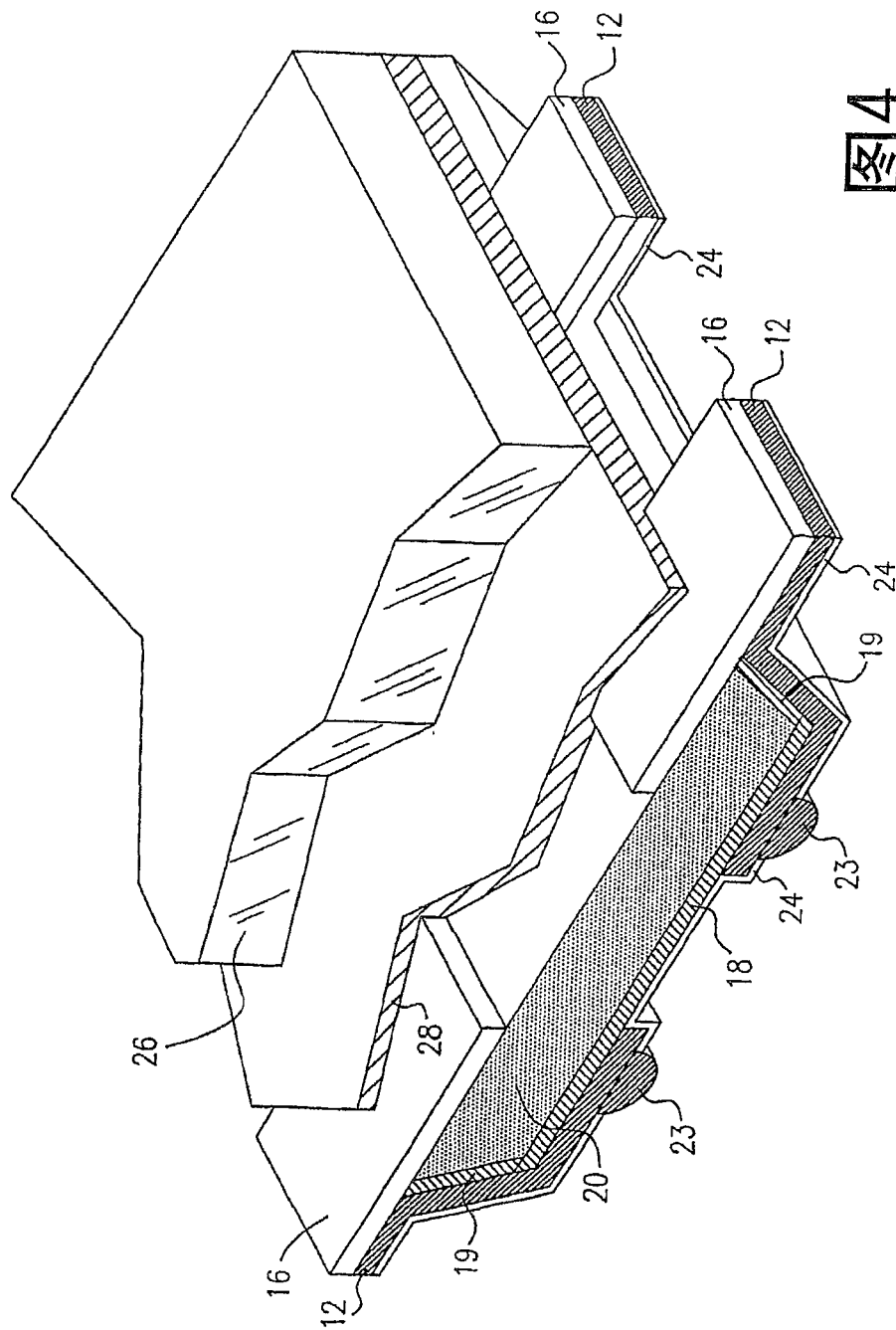


图4

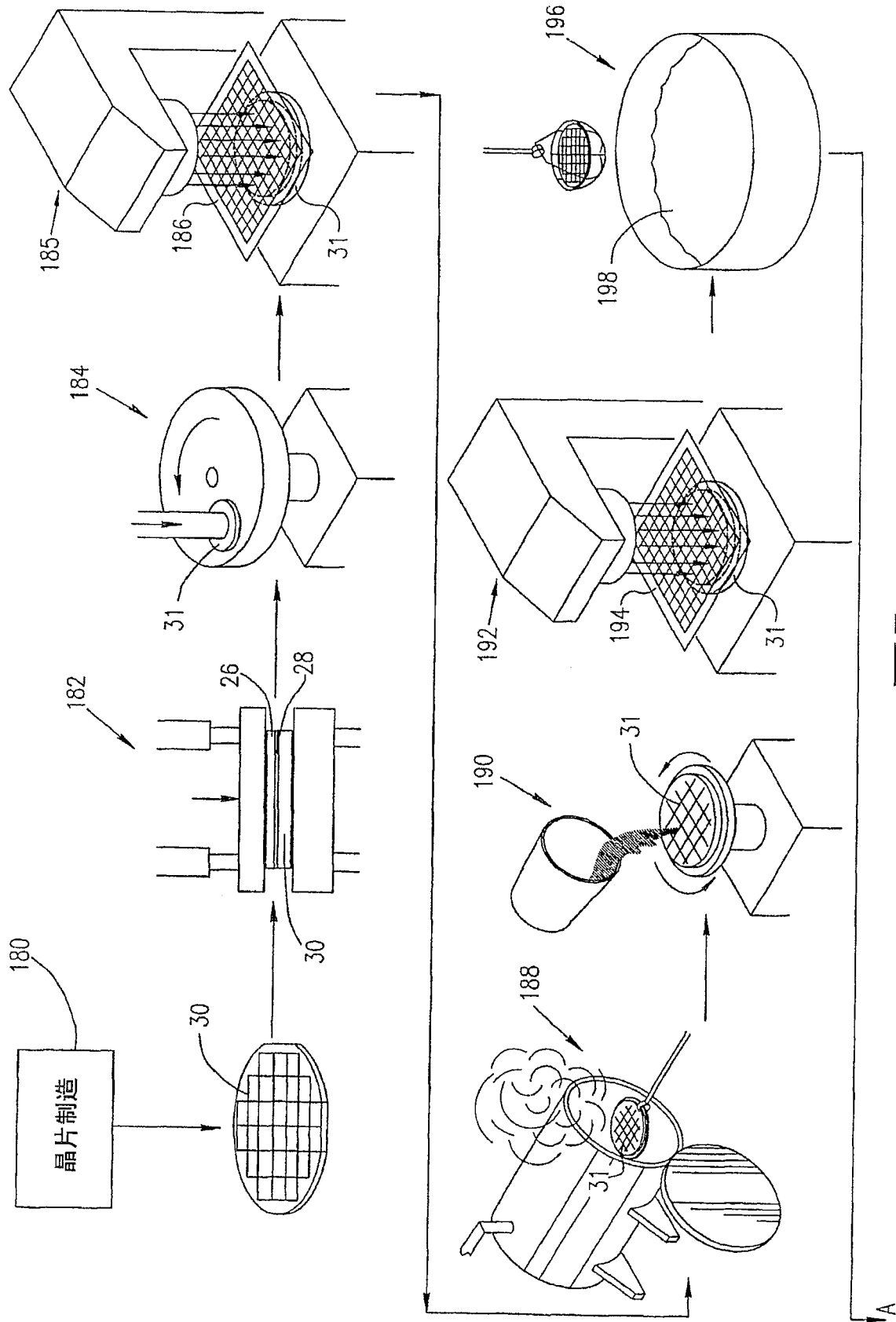


图5

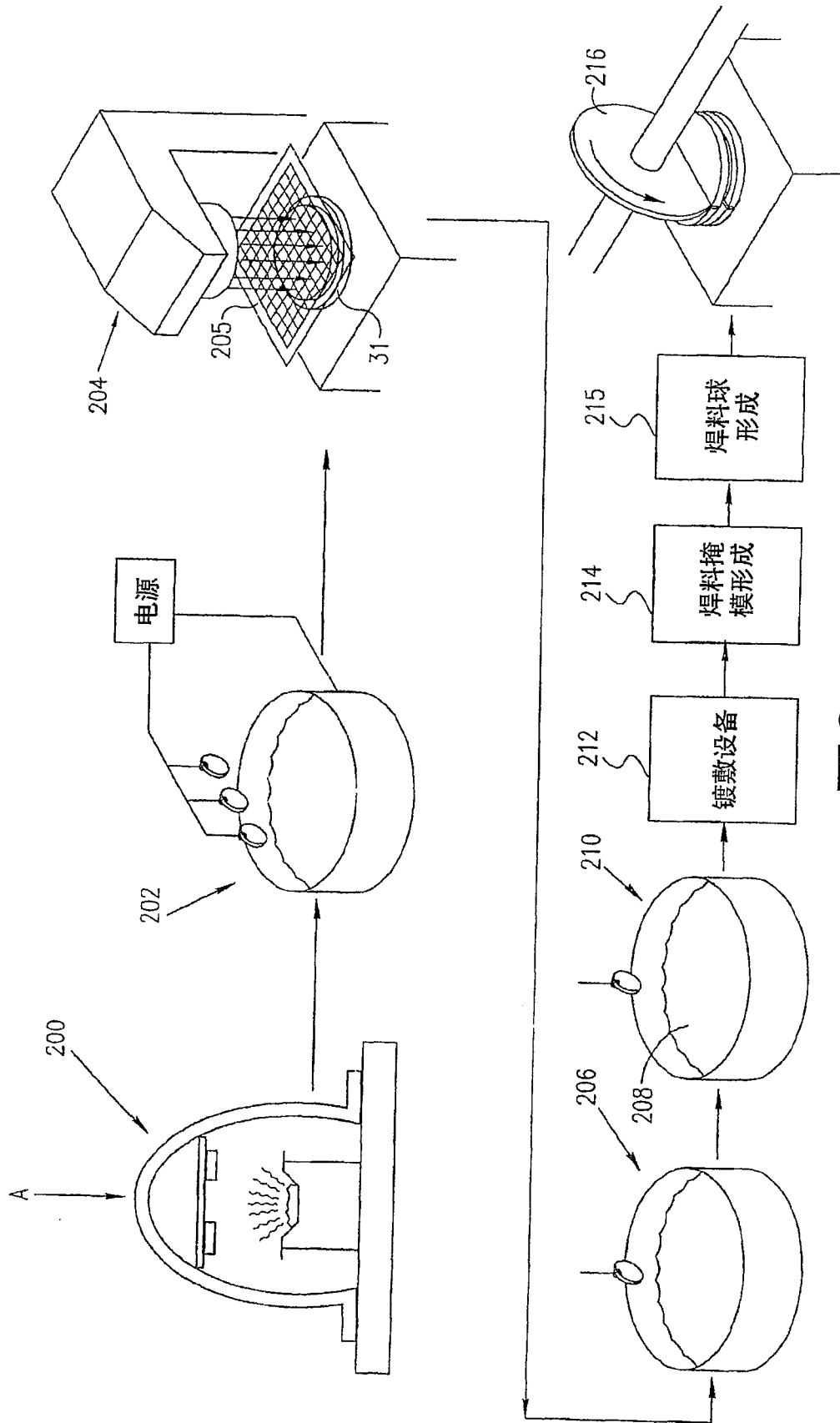


图6

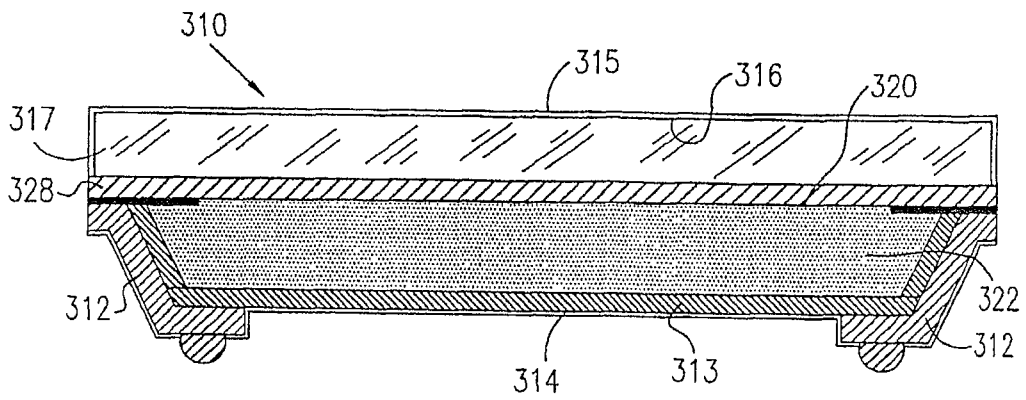


图7A

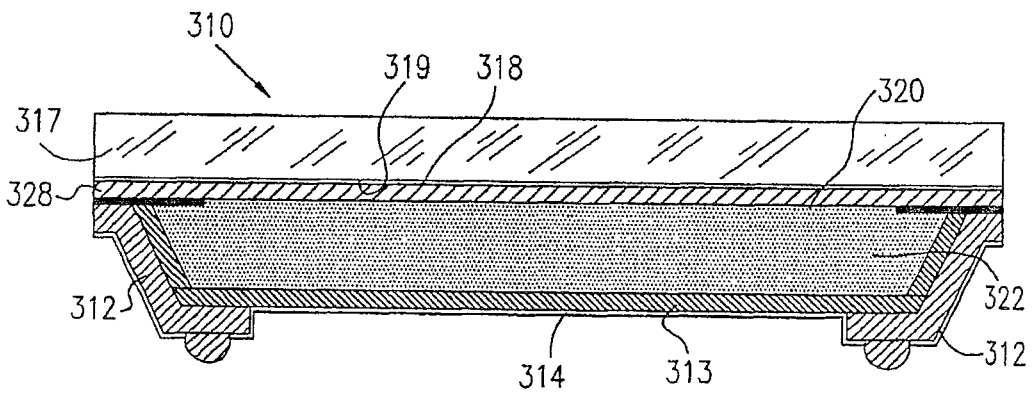


图7B

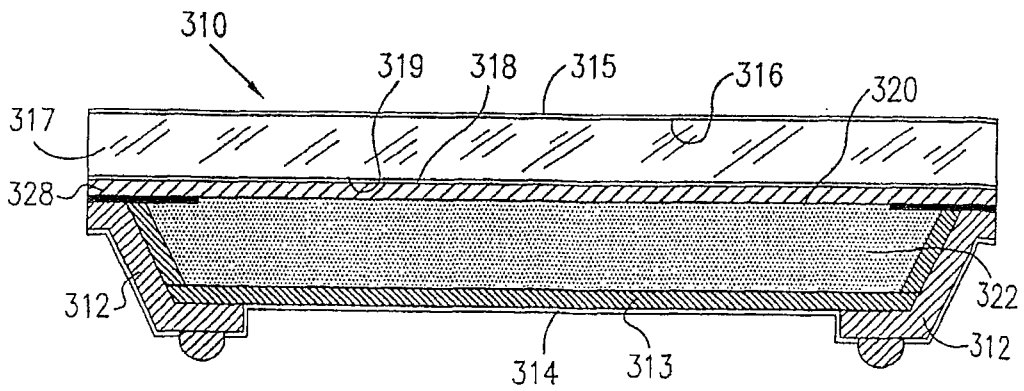


图7C

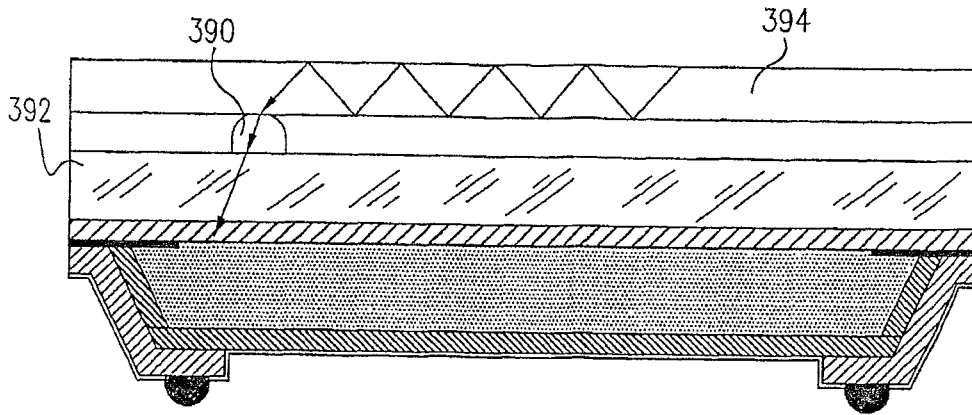


图8

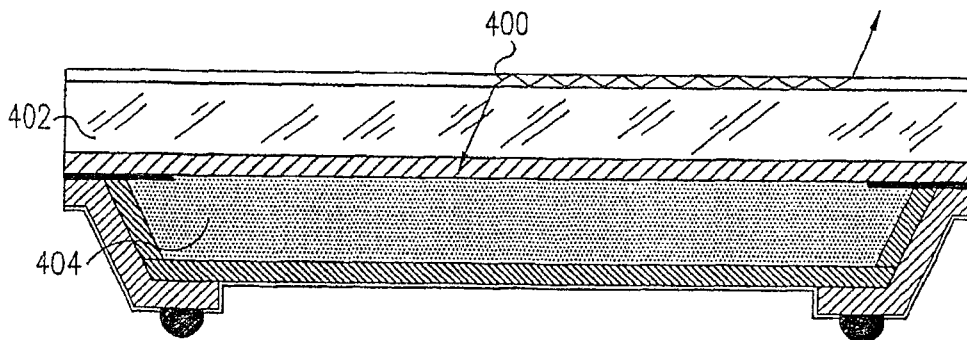


图9

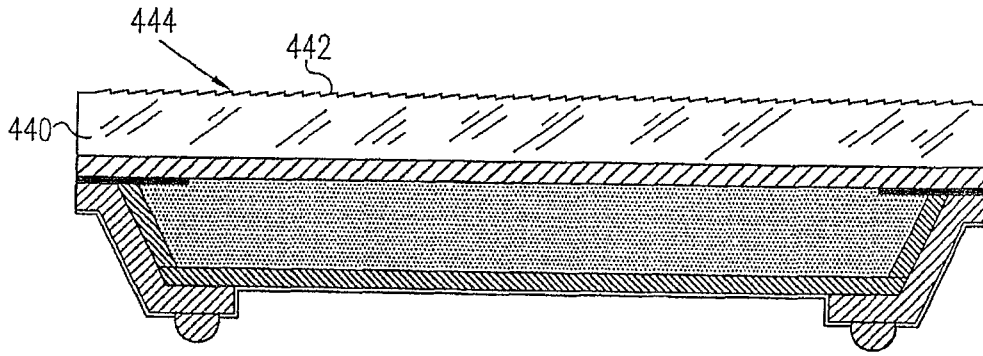


图10A

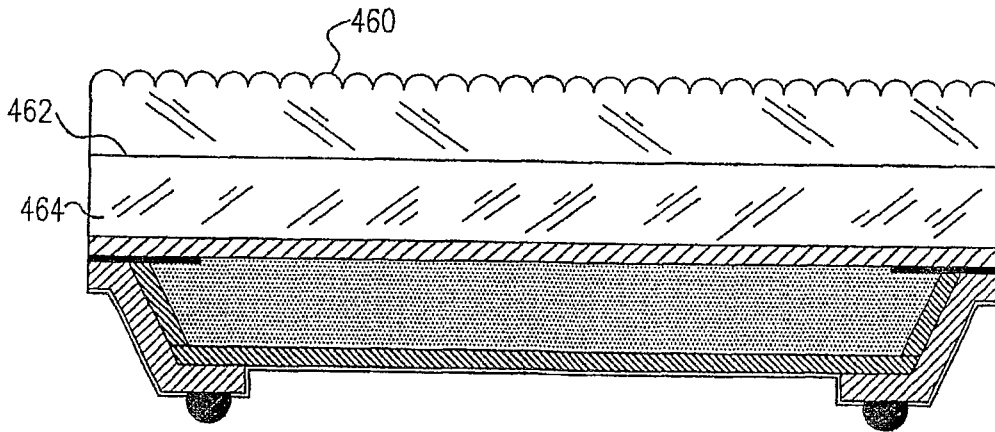


图10B

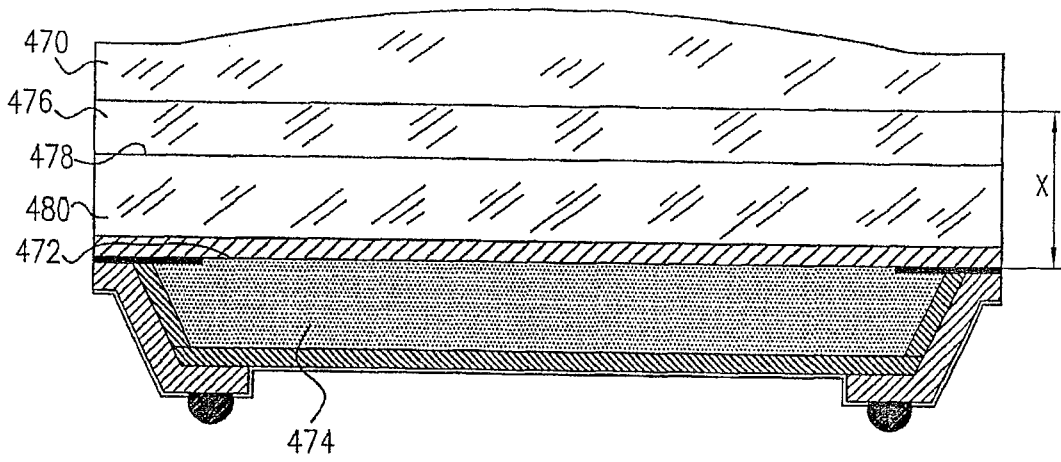


图10C

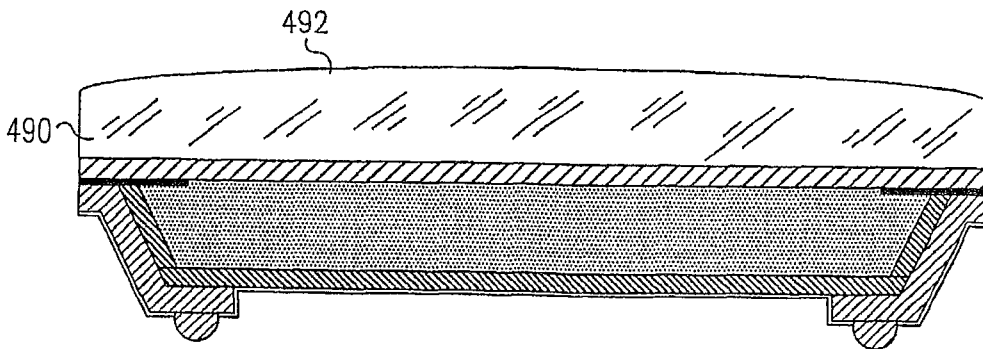


图10D

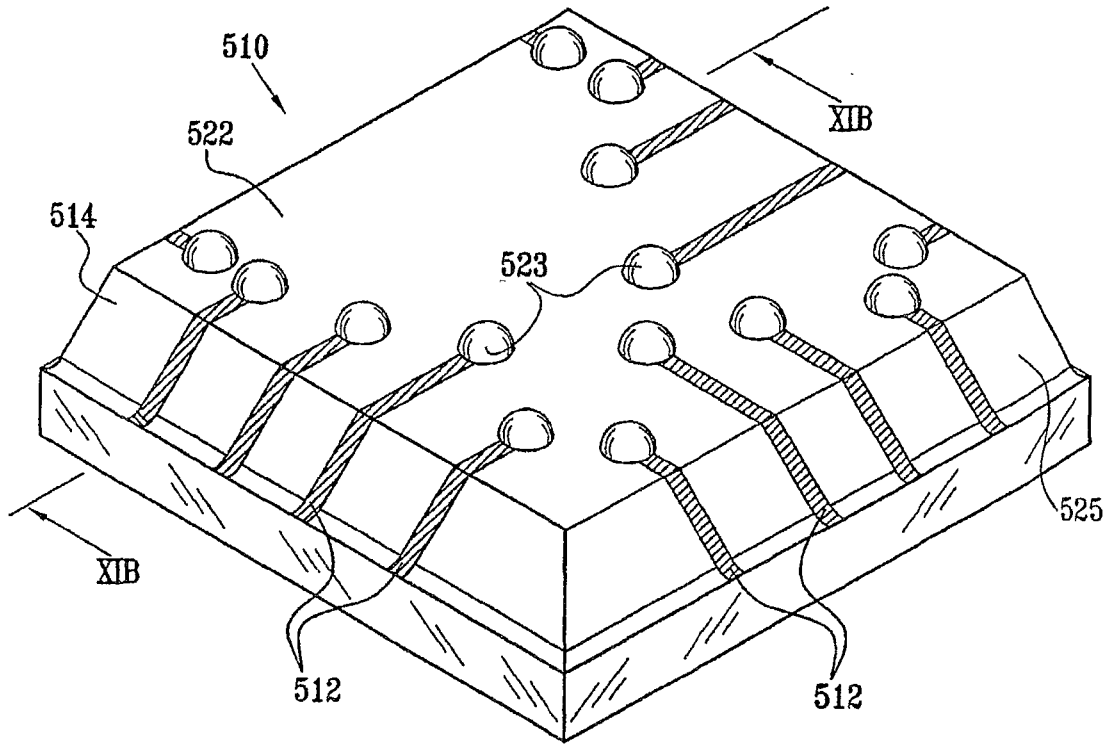


图11A

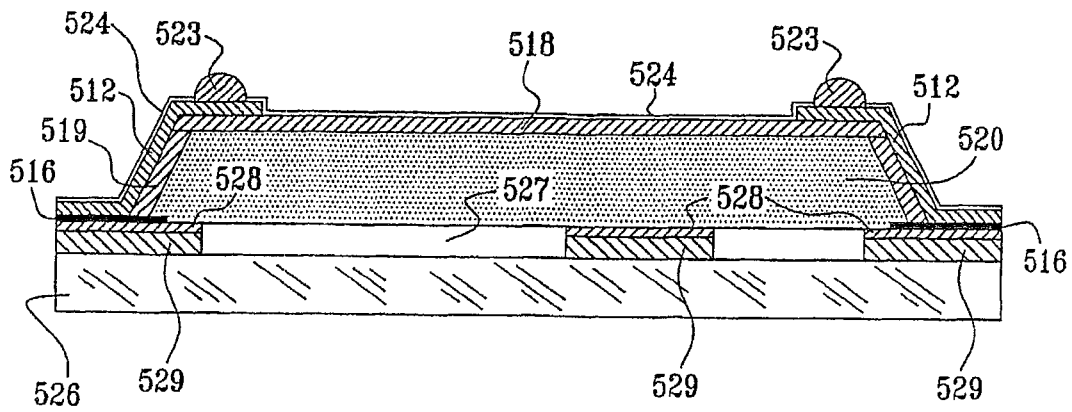


图11B

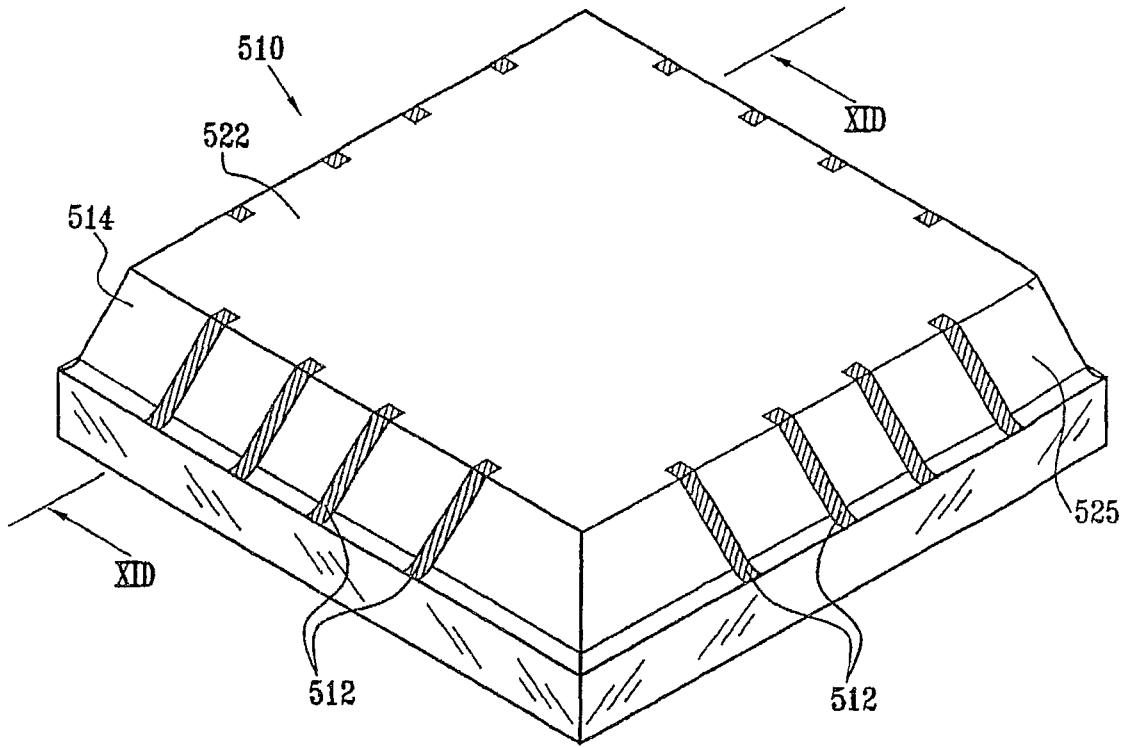


图11C

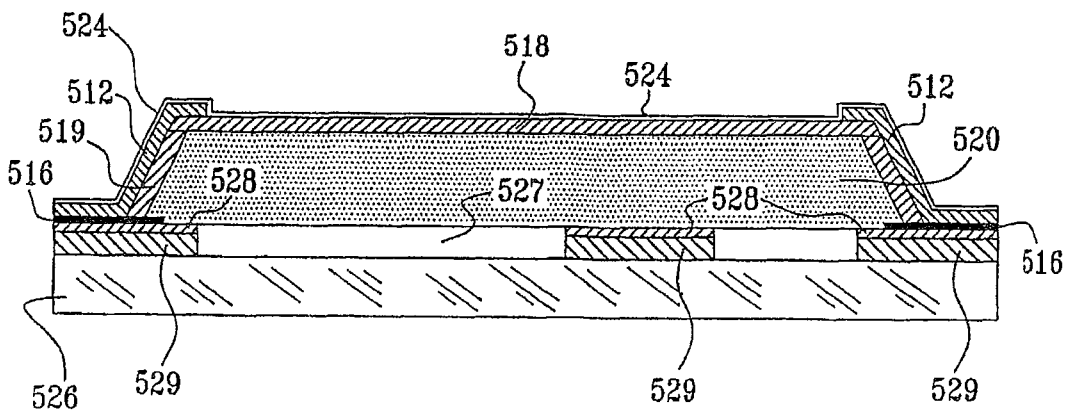


图11D

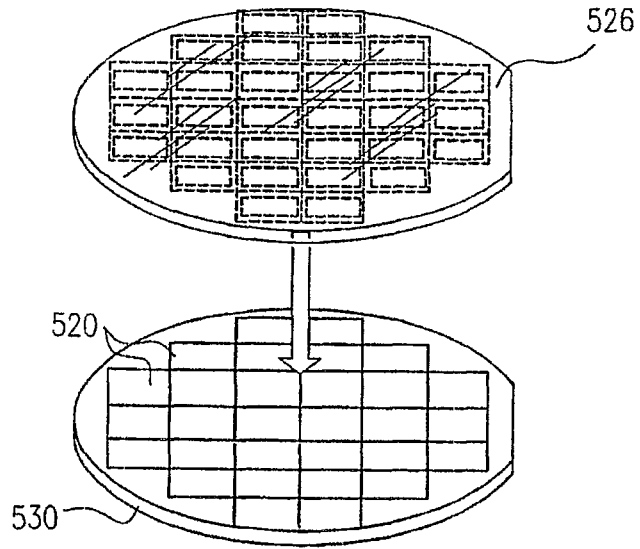


图12A

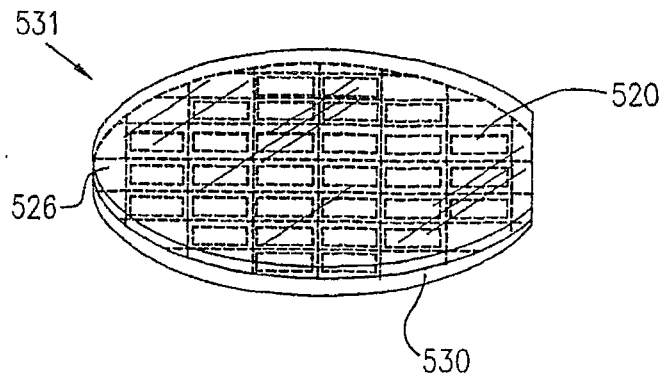


图12B

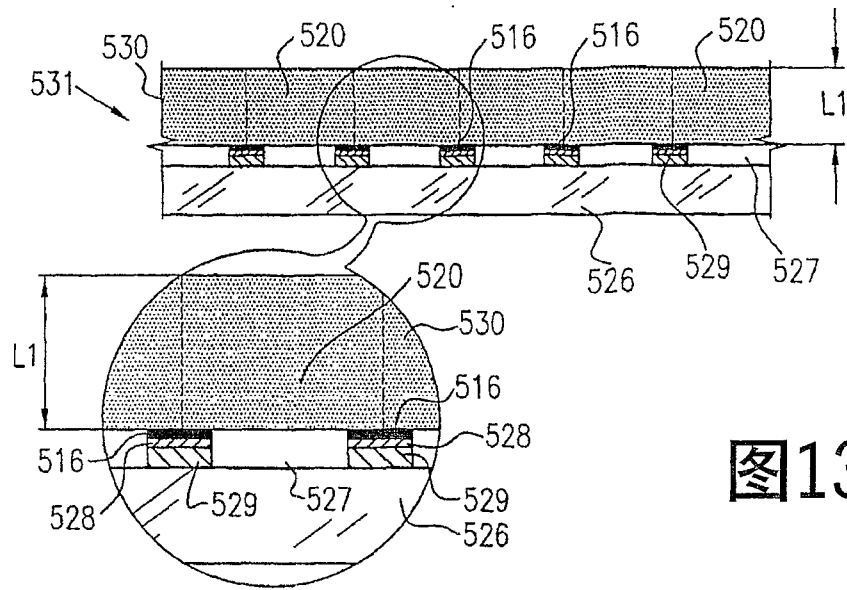


图13A

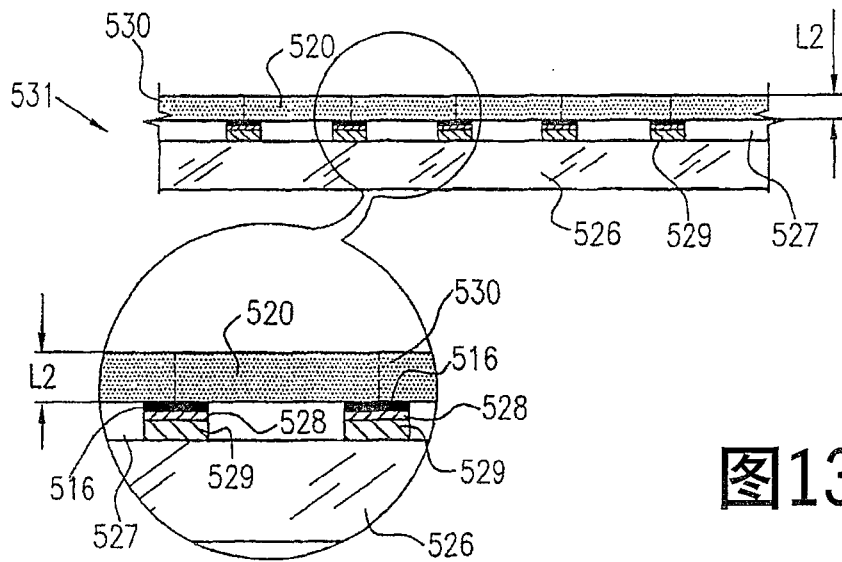


图13B

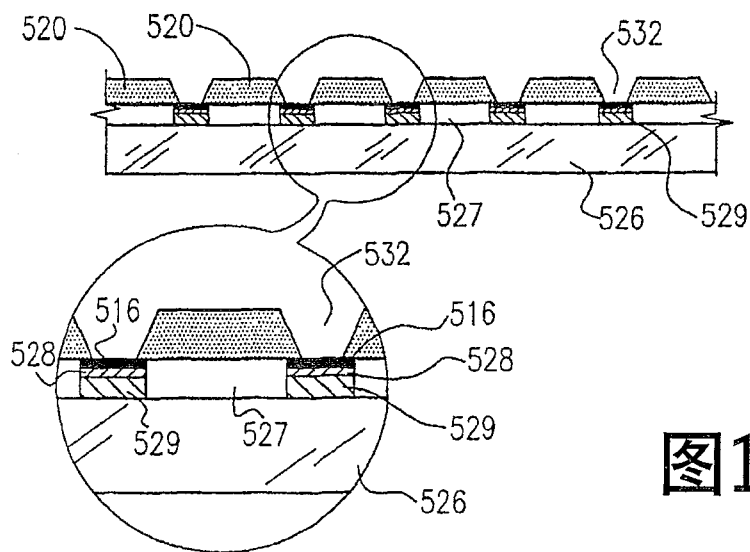


图13C

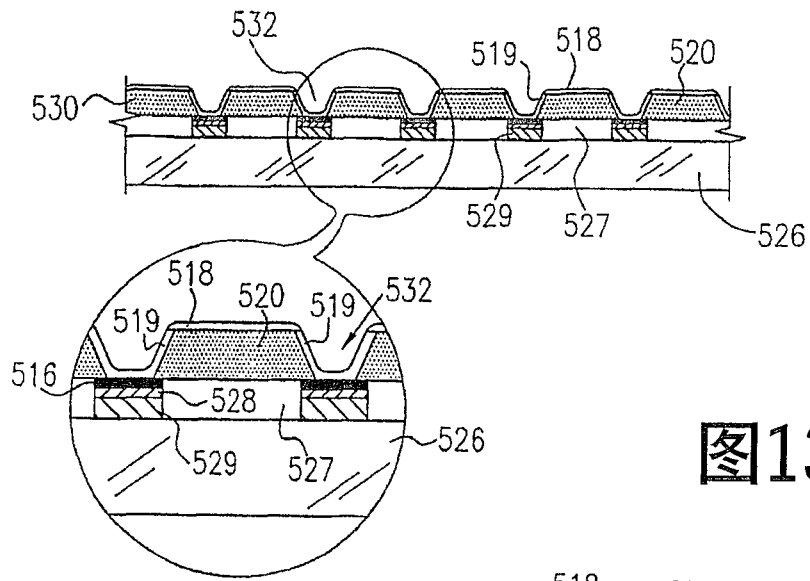


图13D

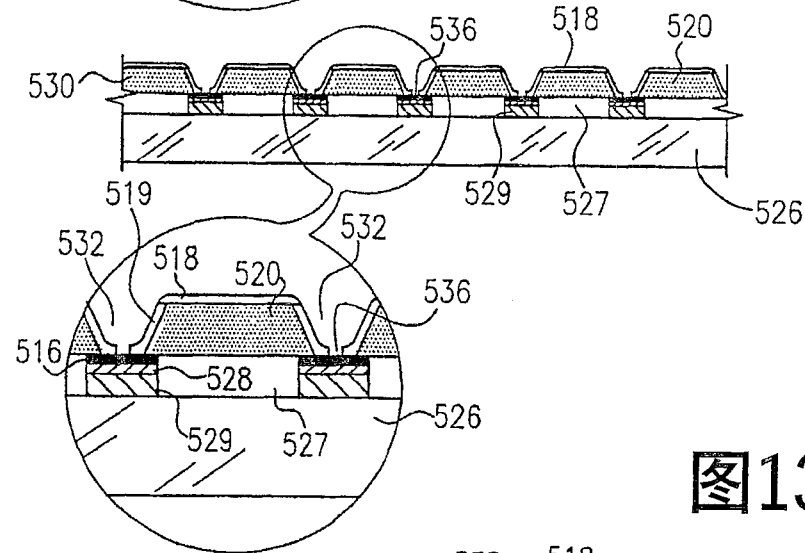


图13E

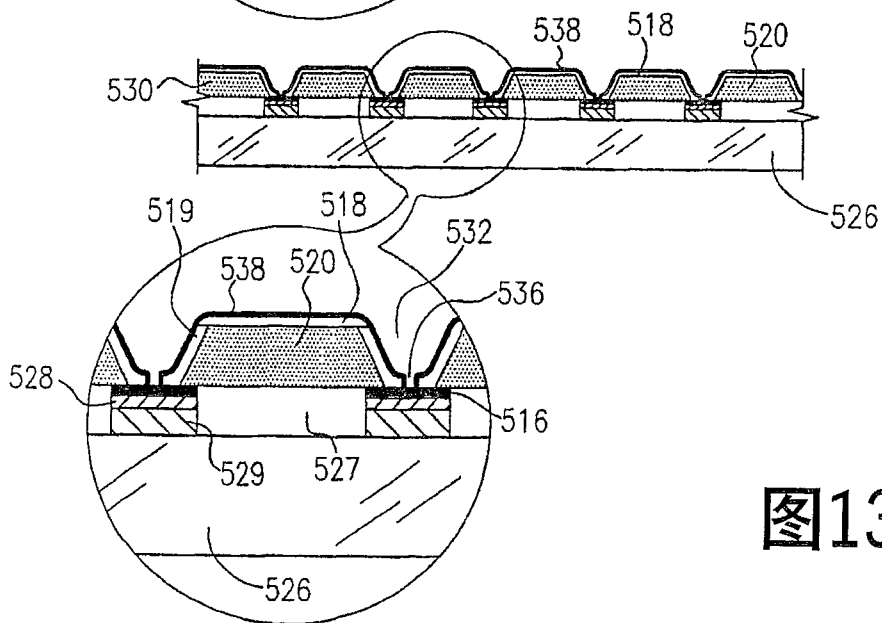


图13F

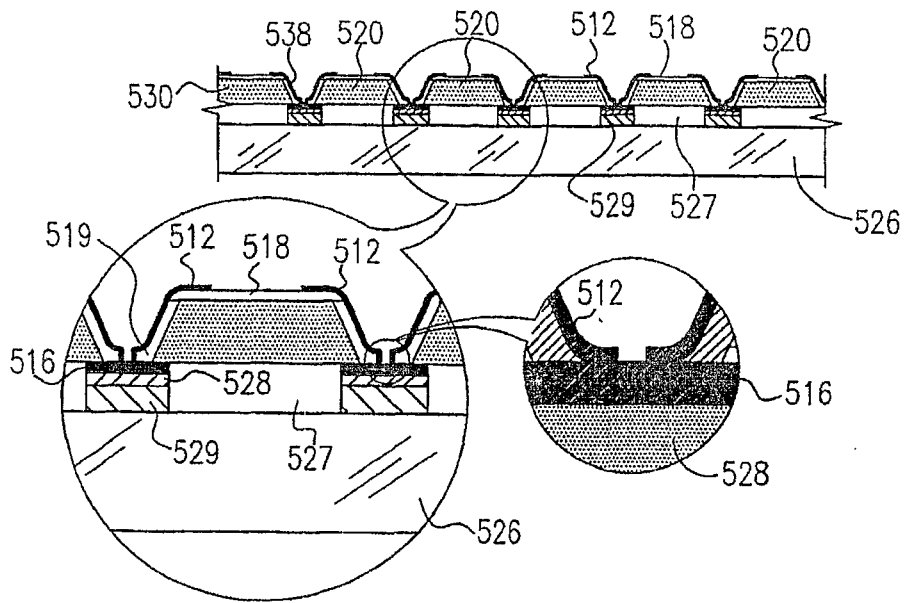


图13G

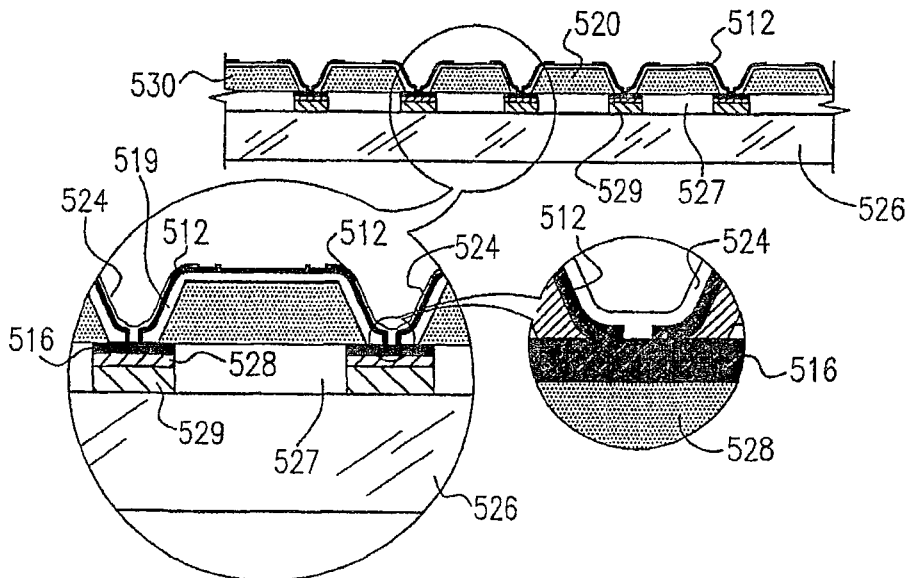


图13H

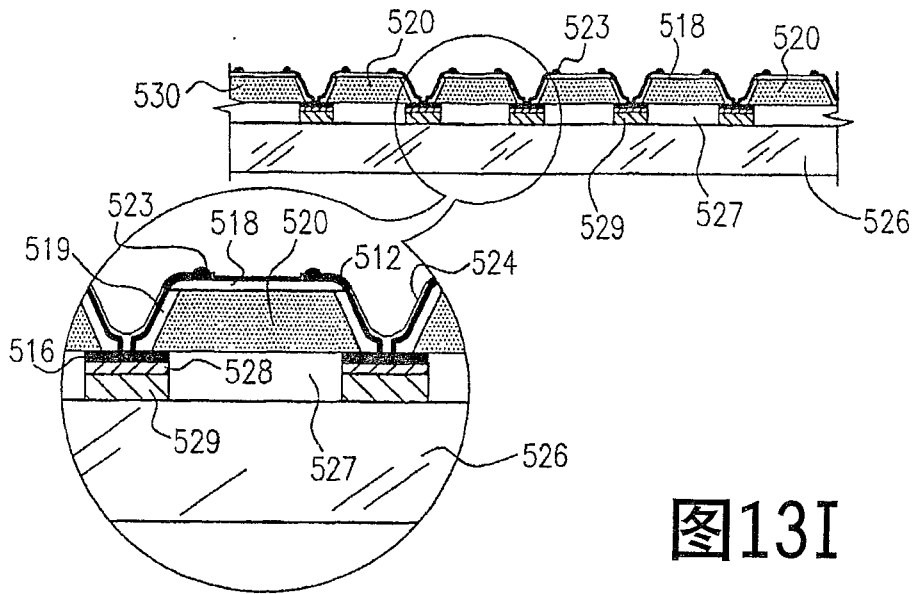


图13I

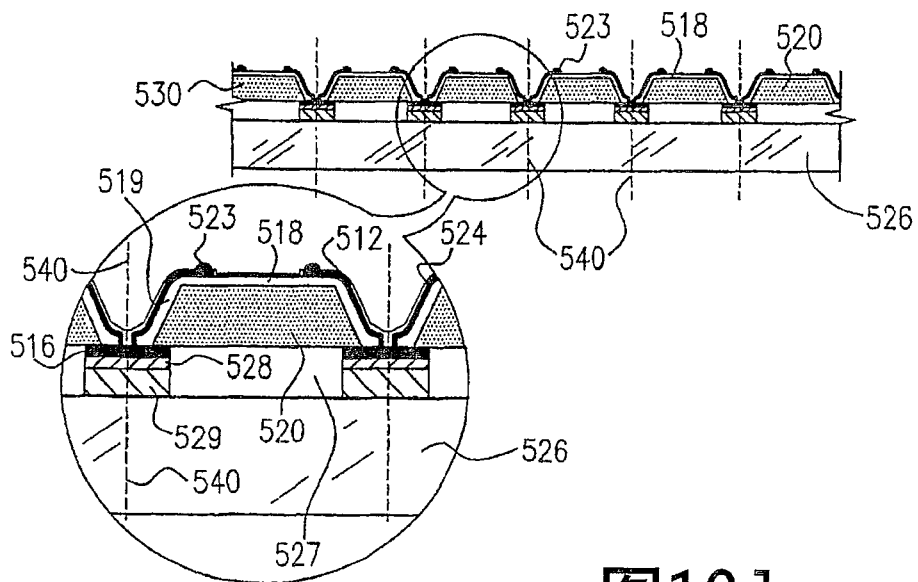


图13J

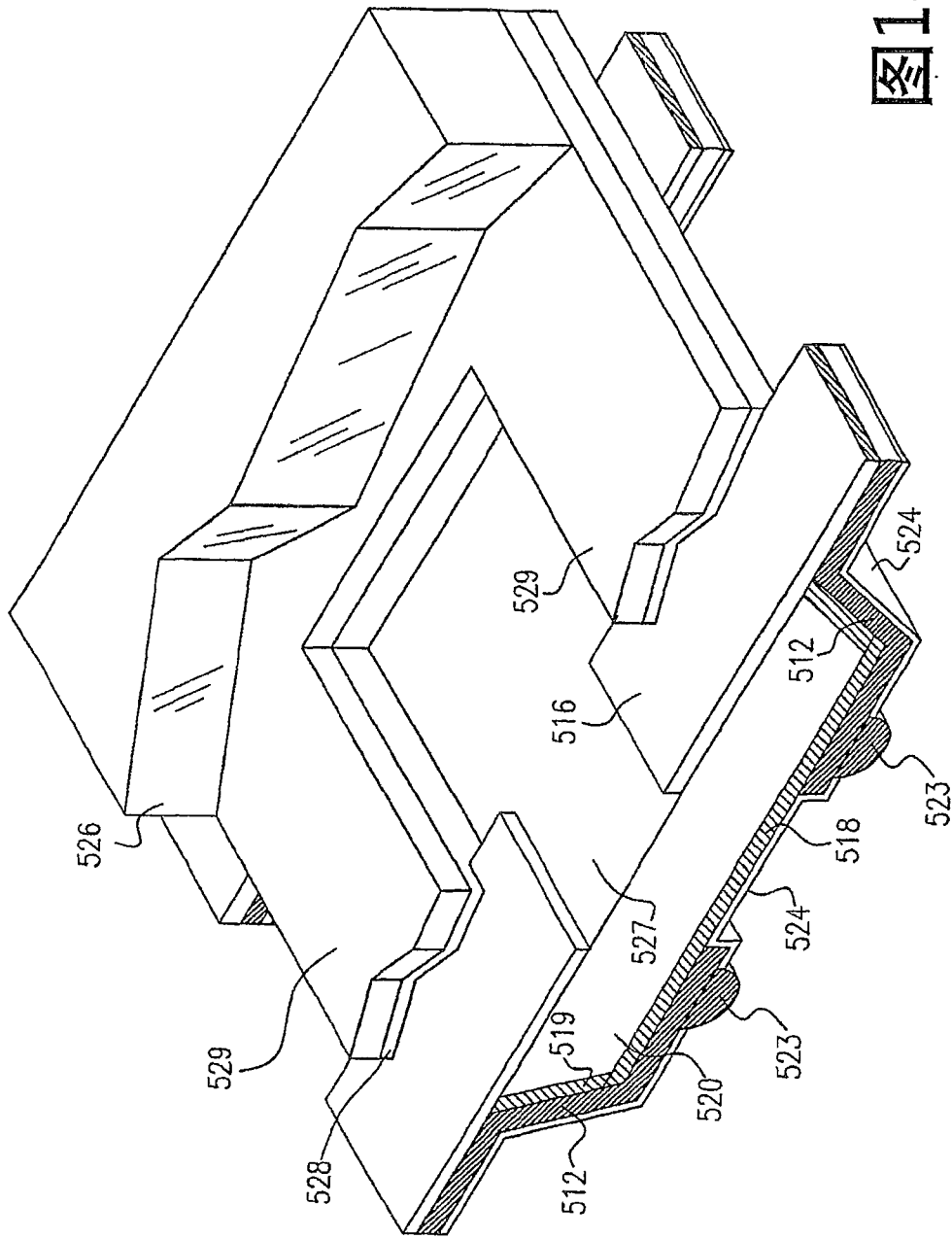


图14

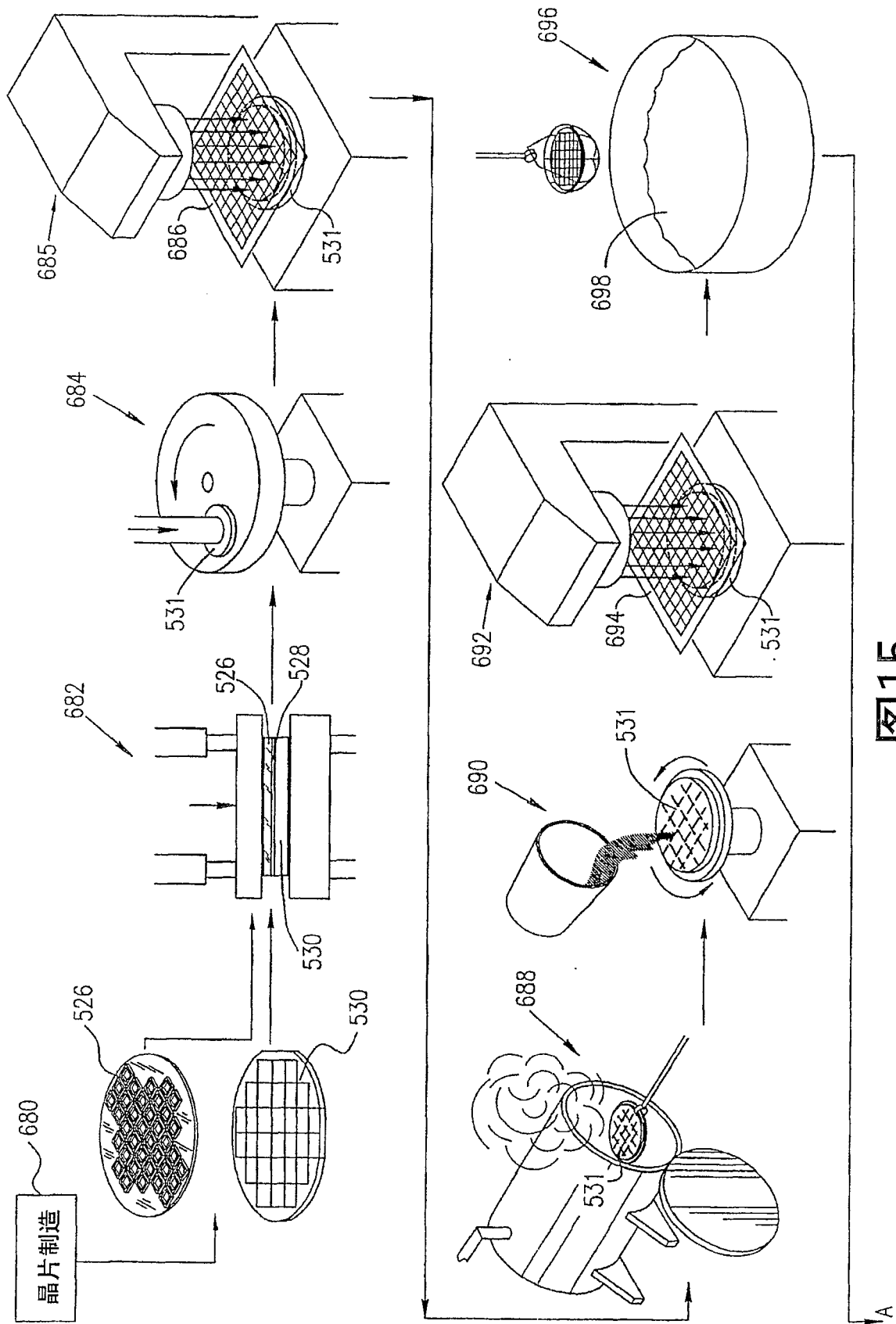


图15

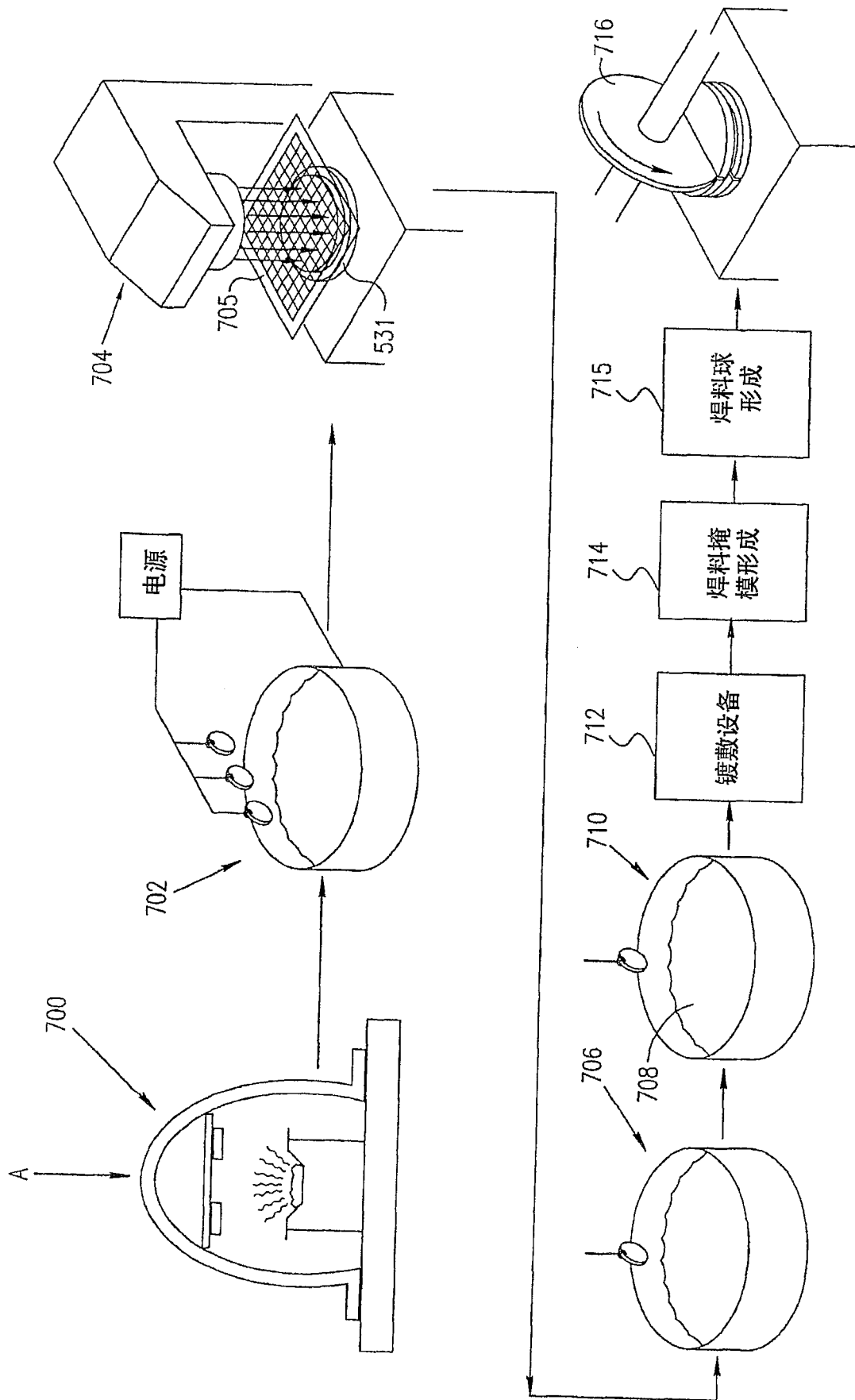


图16

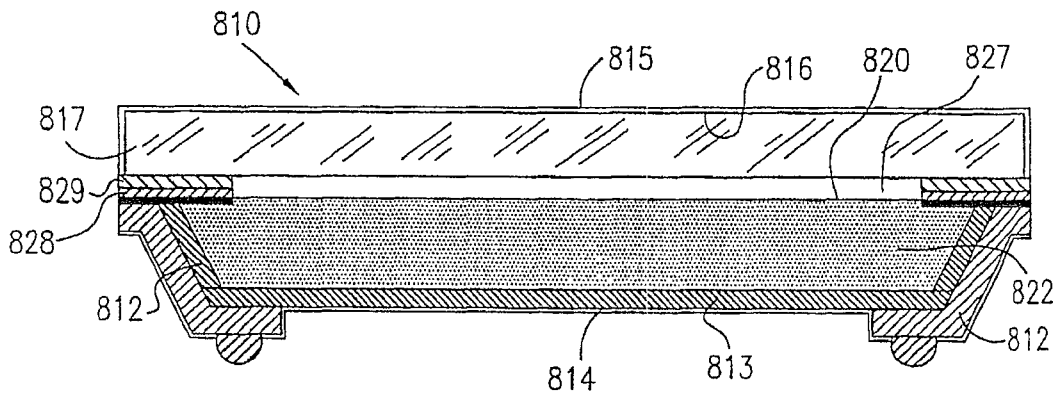


图17A

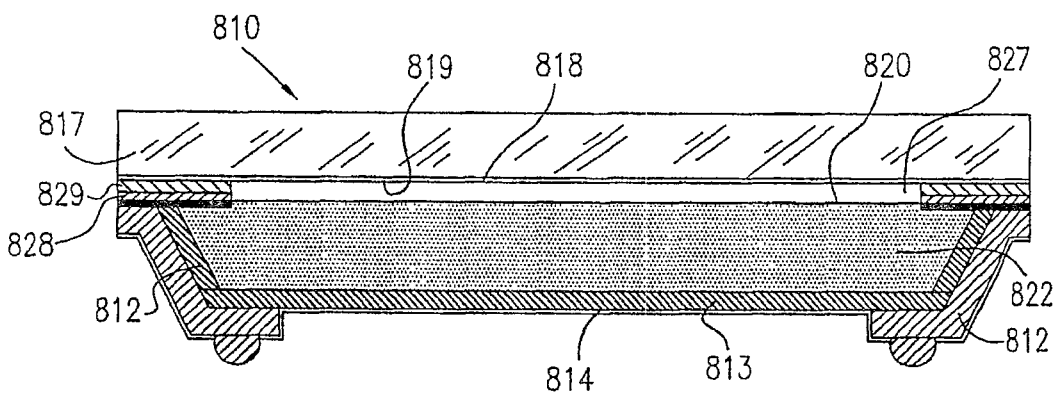


图17B

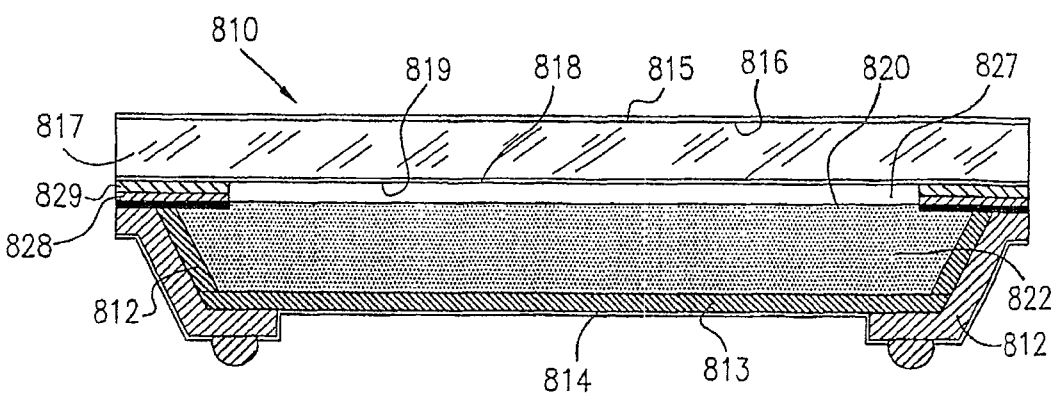


图17C

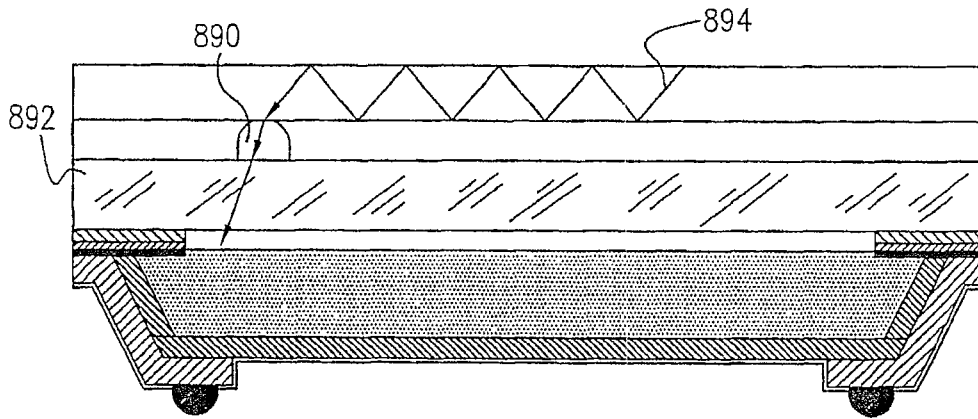


图18

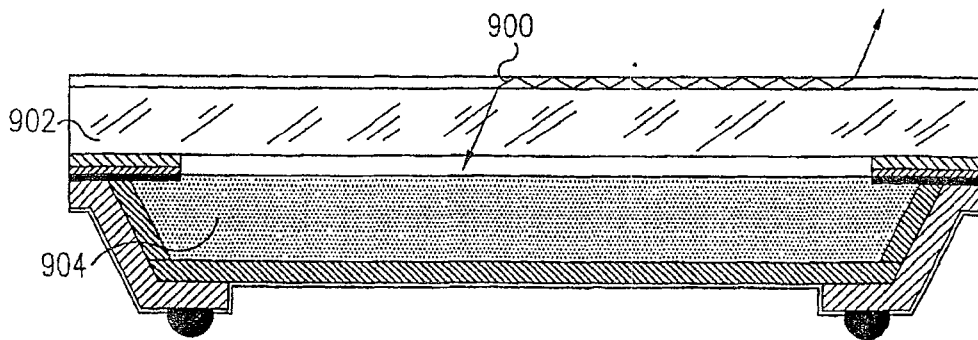


图19

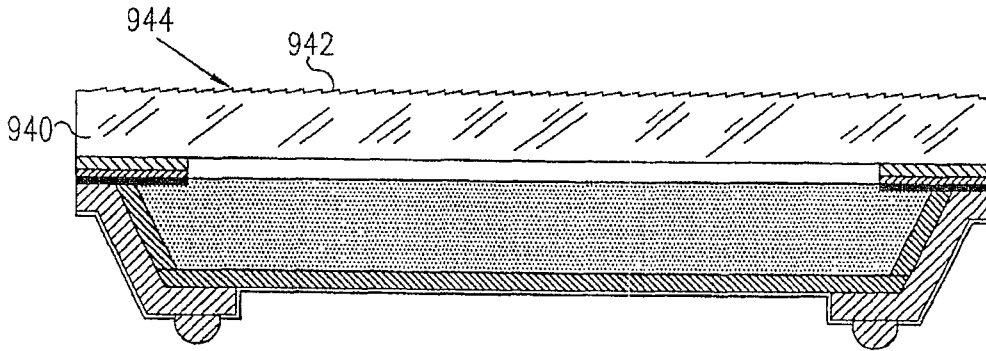


图20A

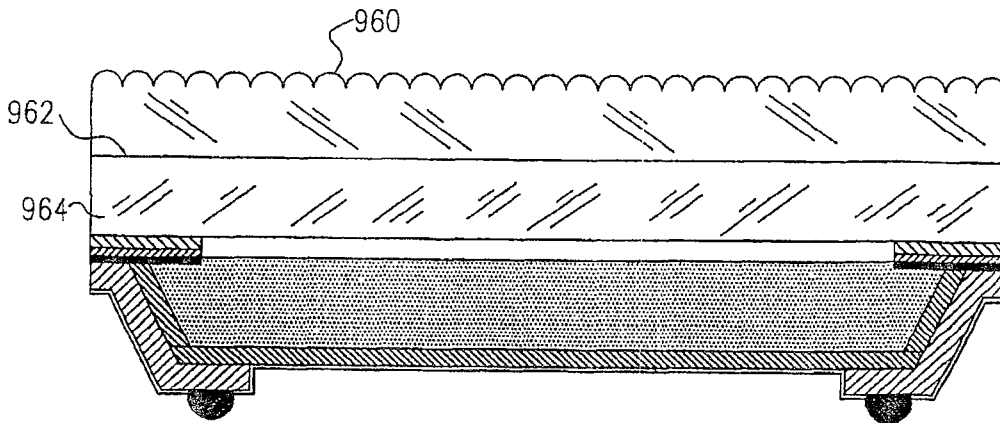


图20B

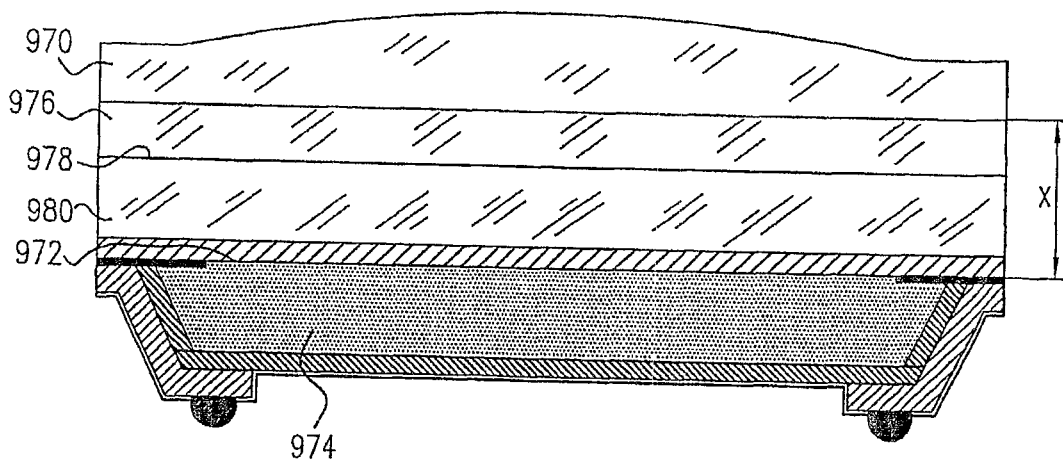


图20C

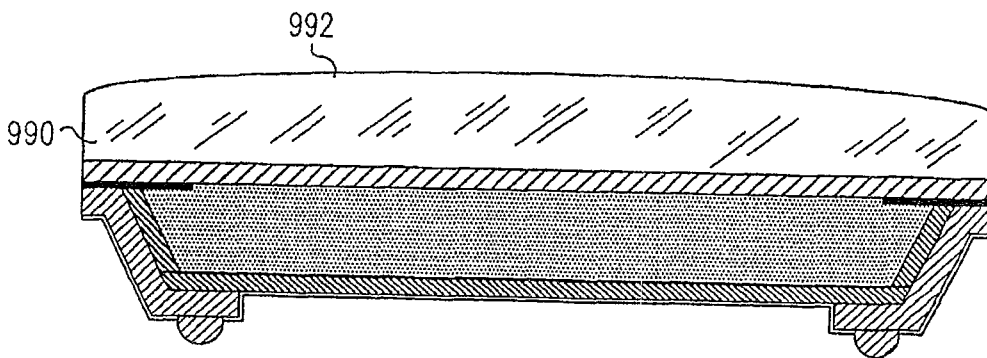


图20D

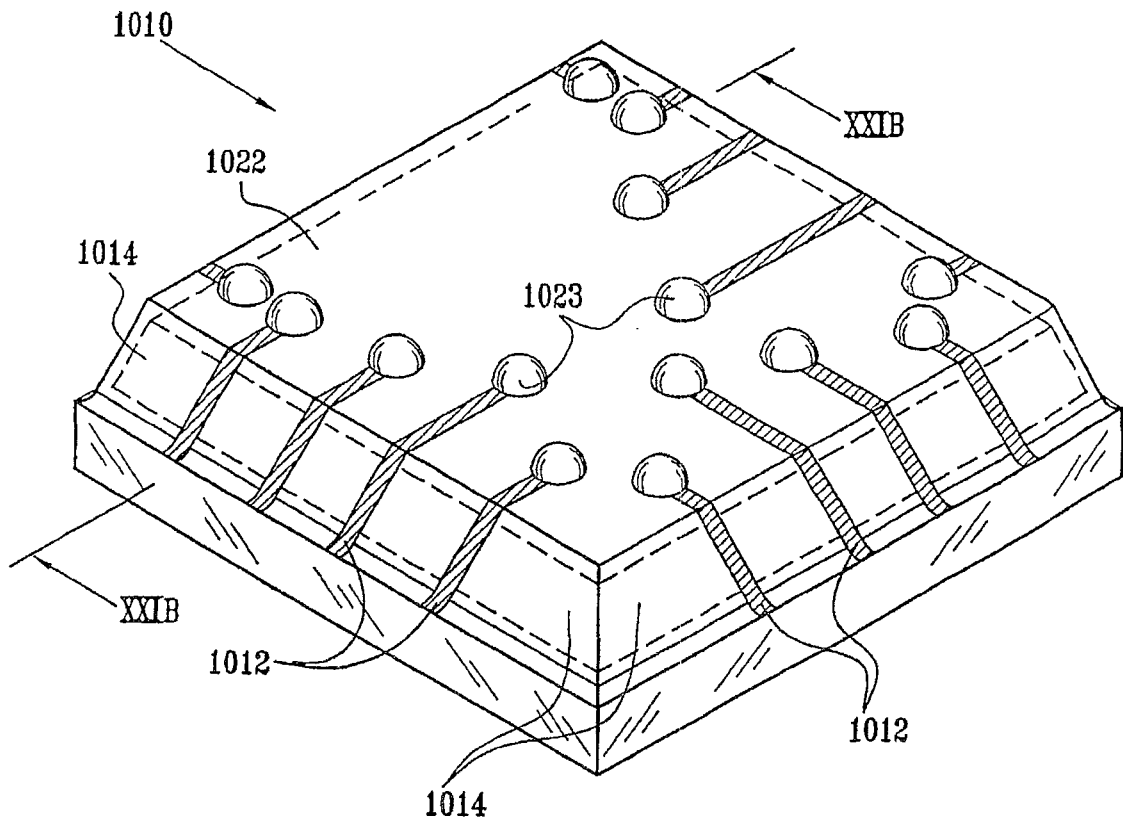


图21A

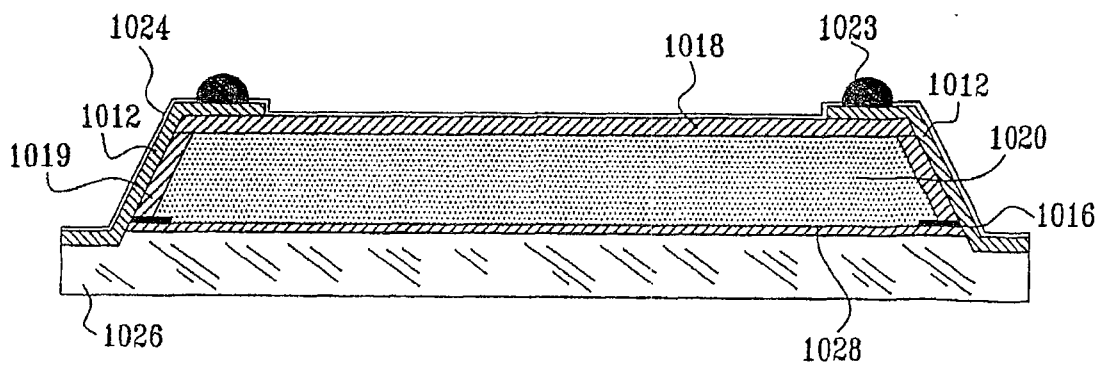


图21B

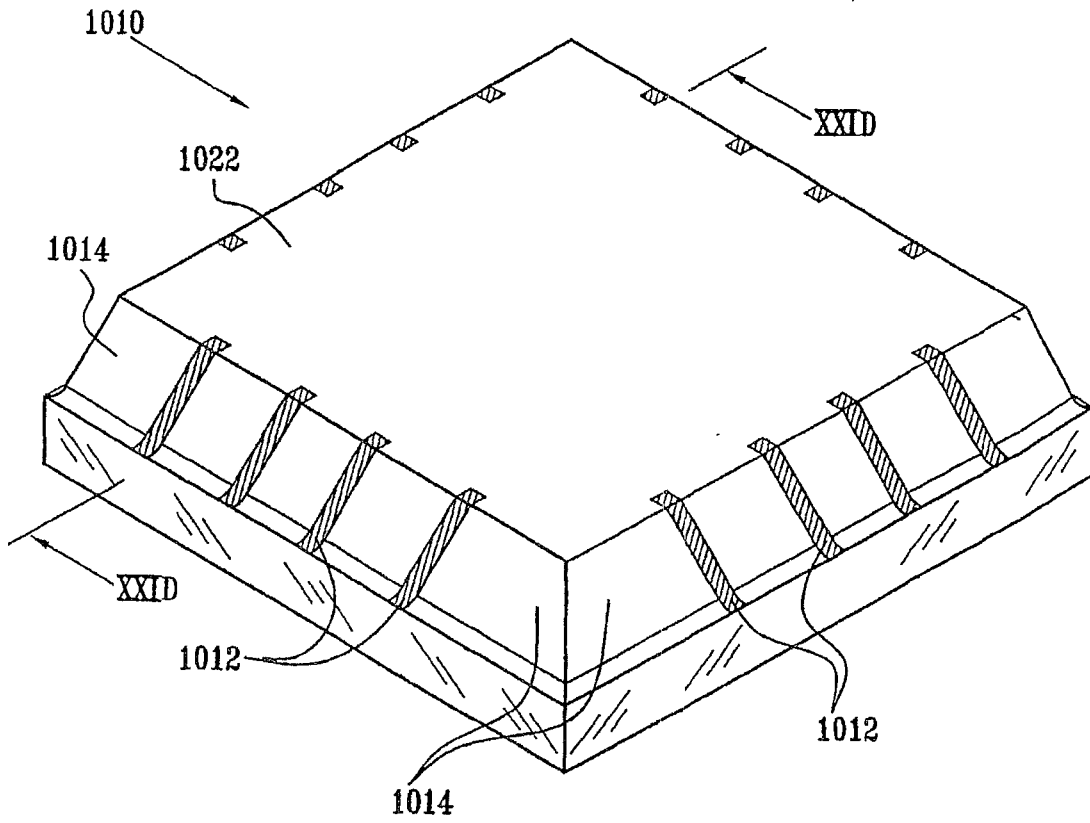


图21C

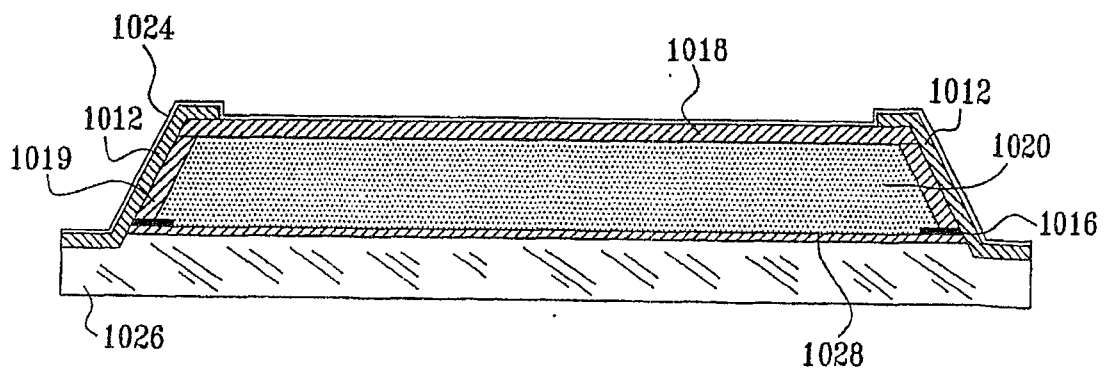


图21D

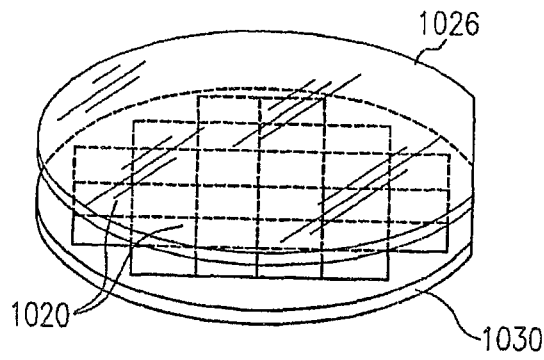


图22A

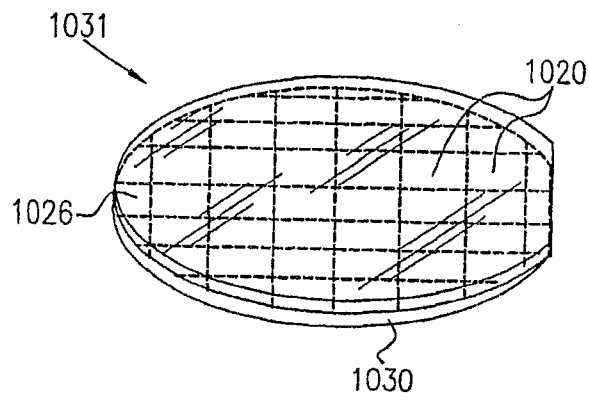


图22B

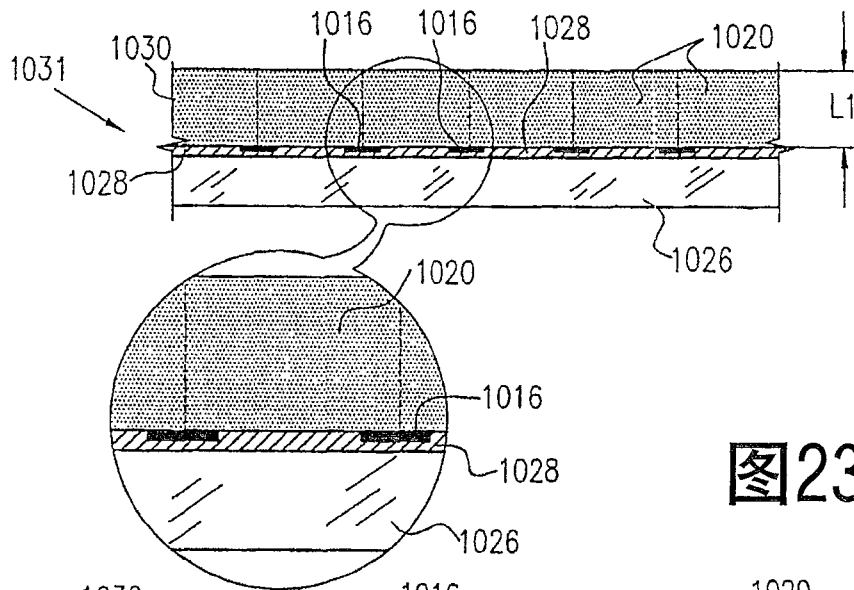


图23A

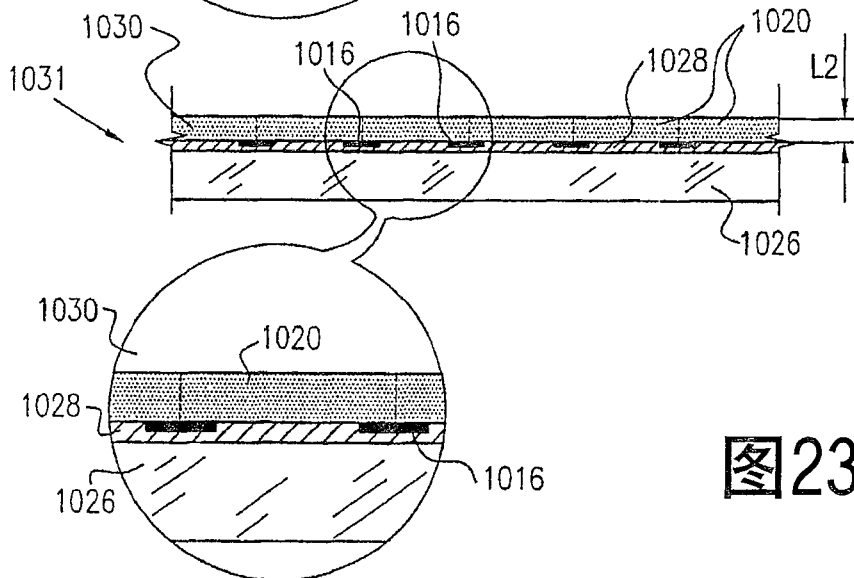


图23B

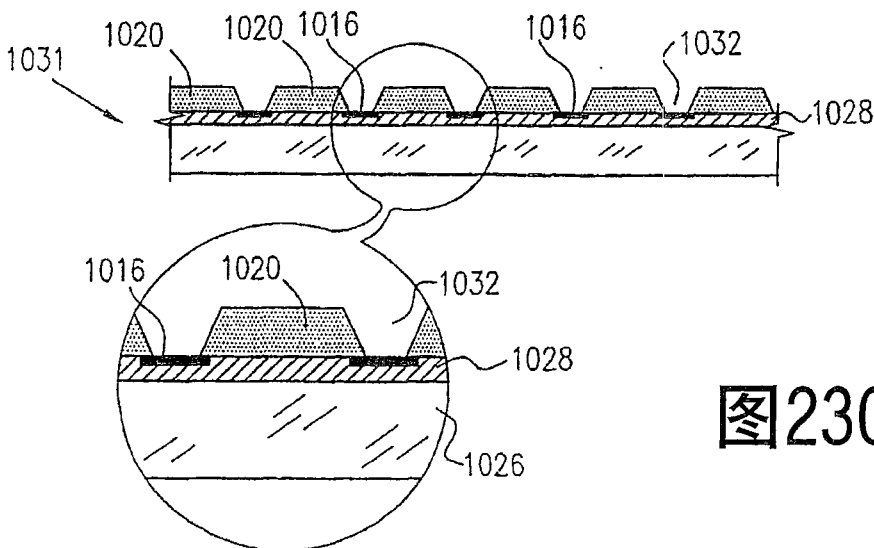


图23C

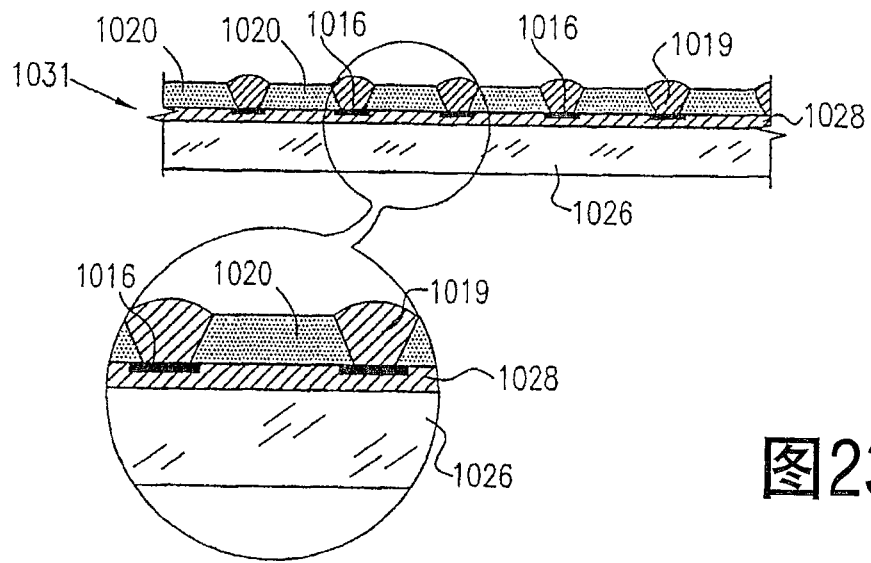


图23D

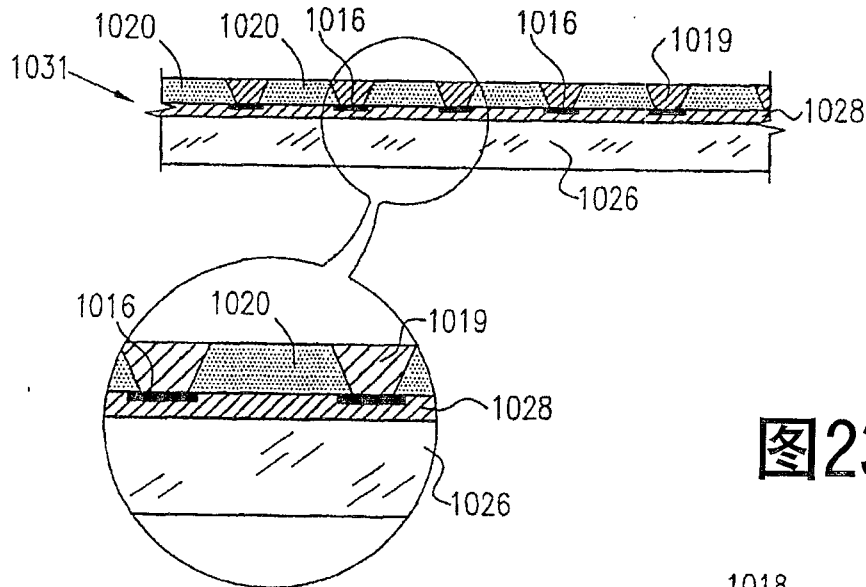


图23E

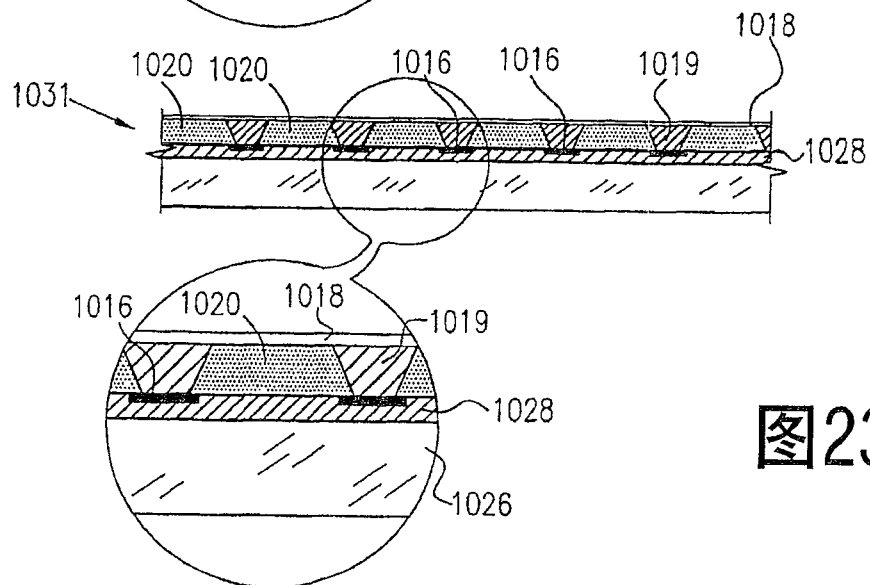


图23F

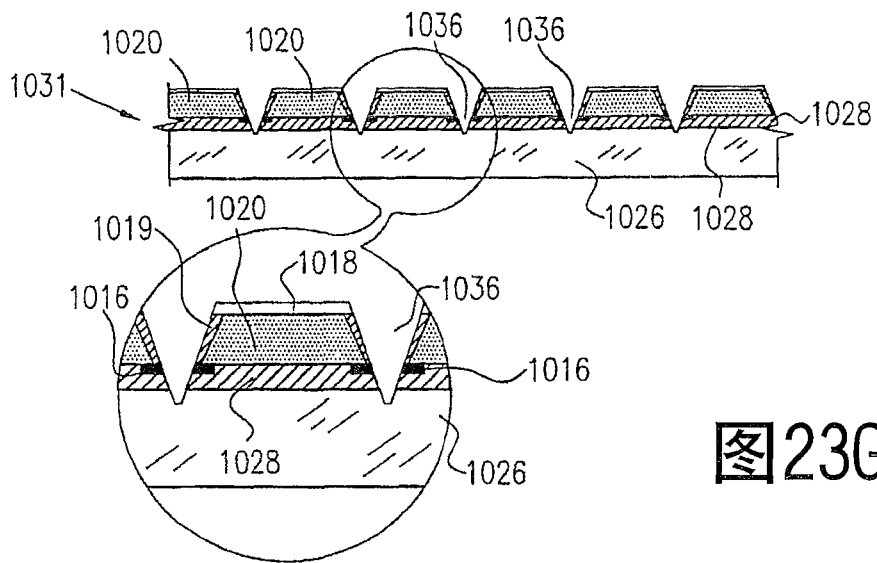


图23G

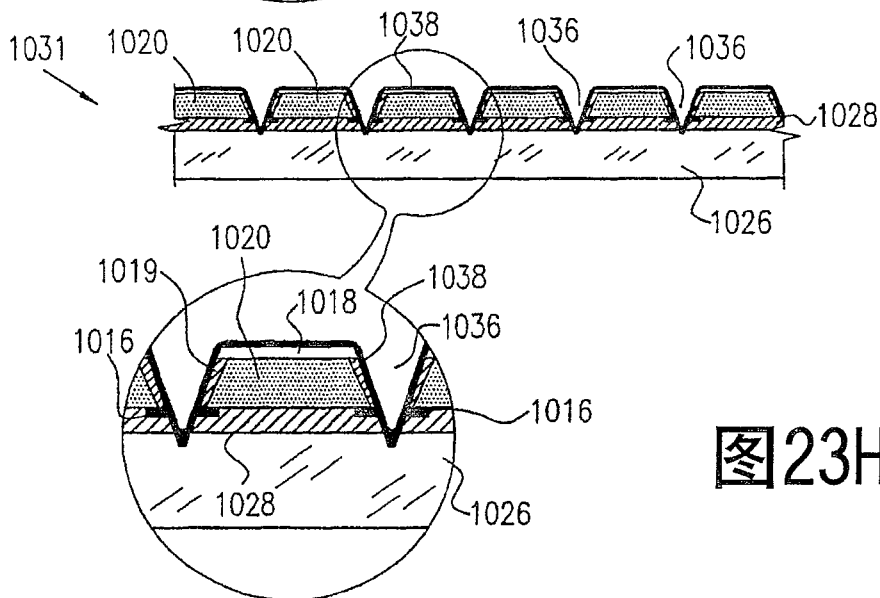


图23H

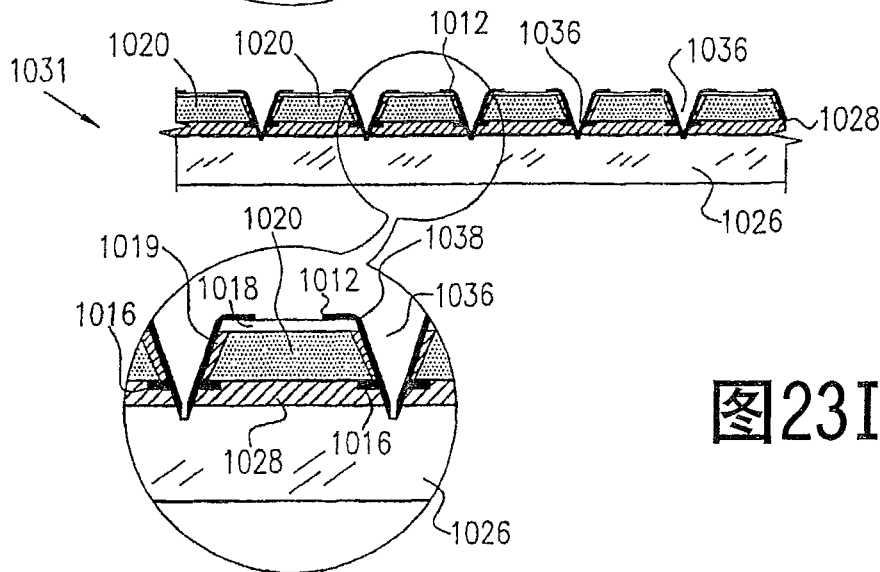


图23I

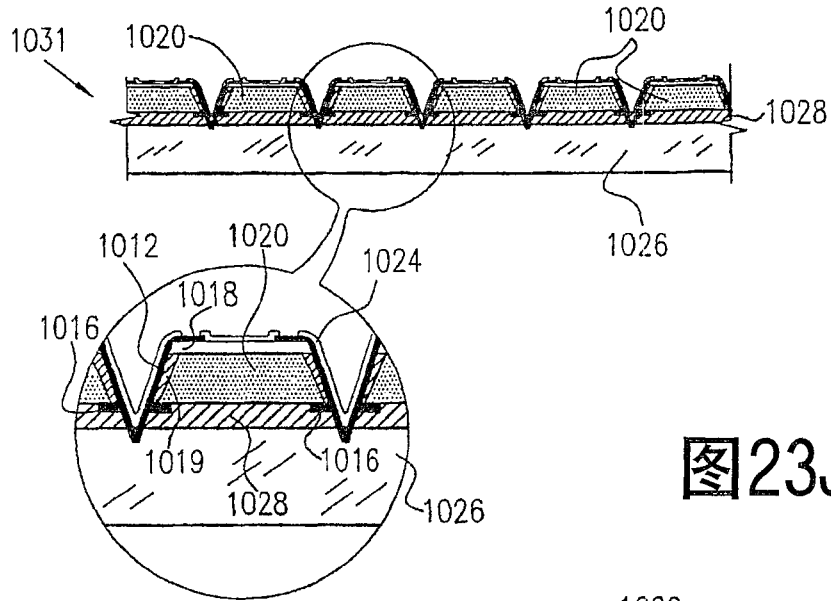


图23J

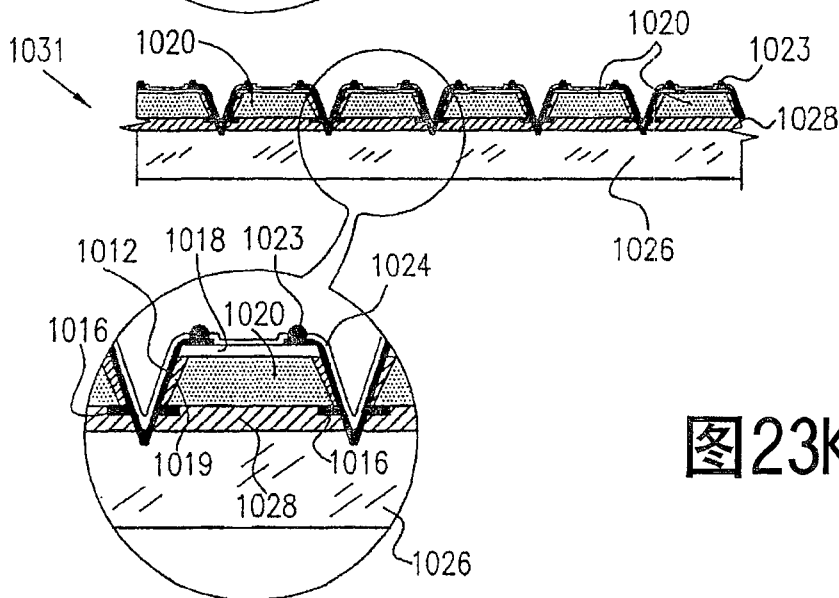


图23K

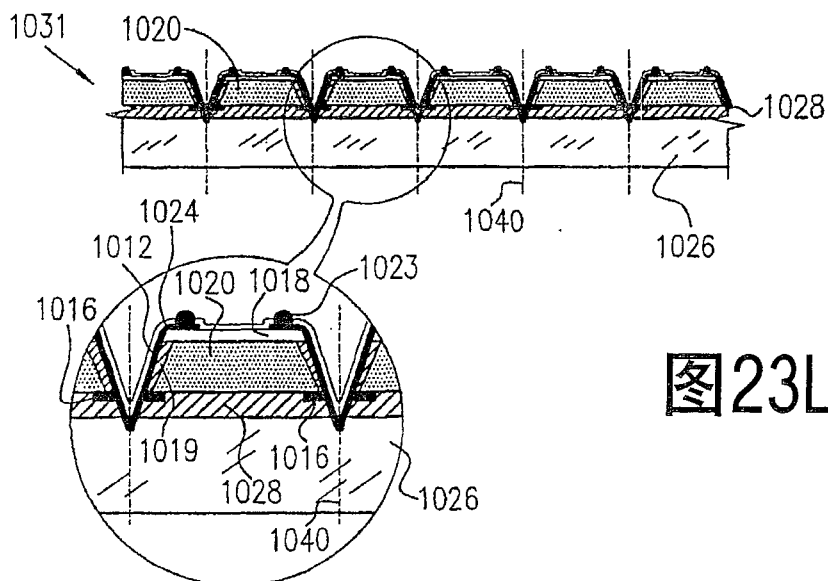


图23L

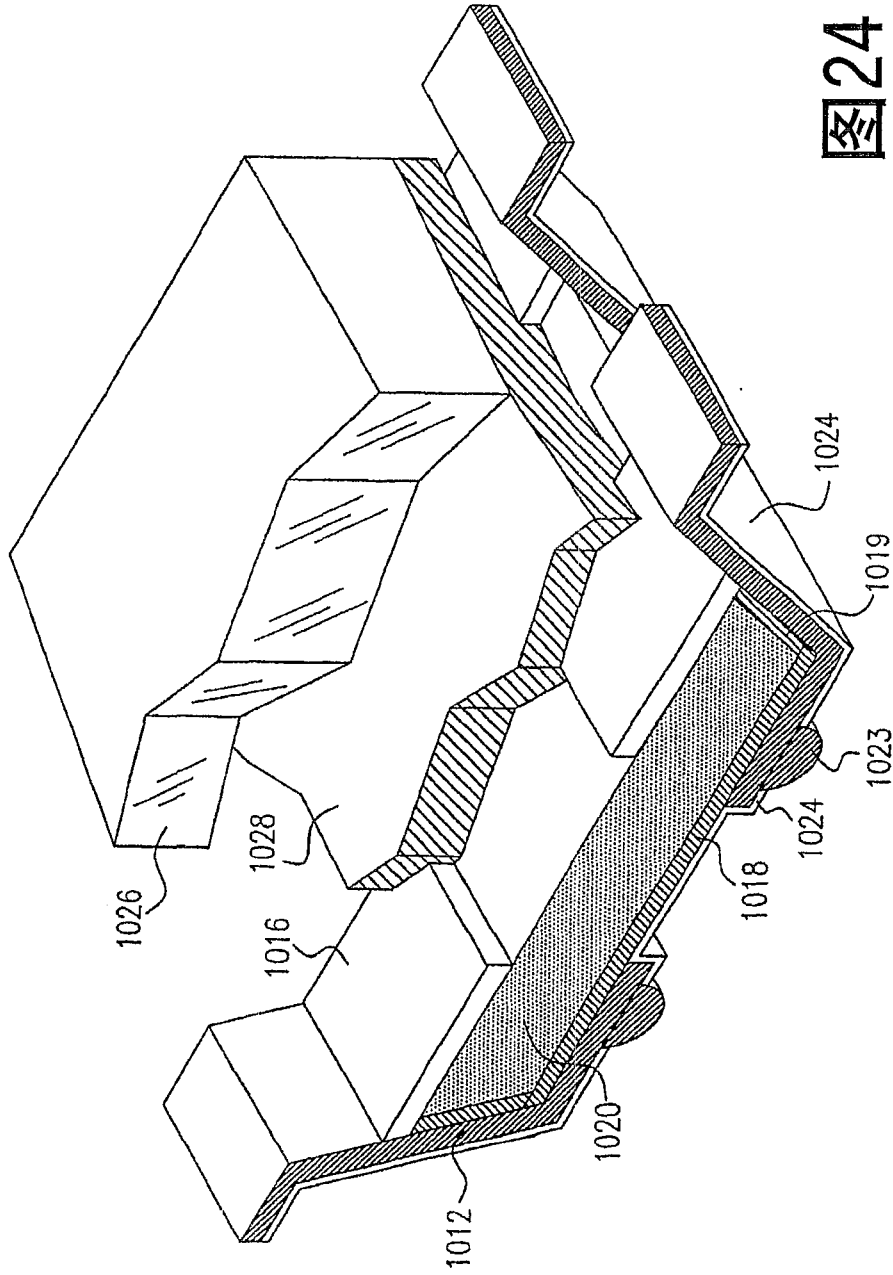


图24

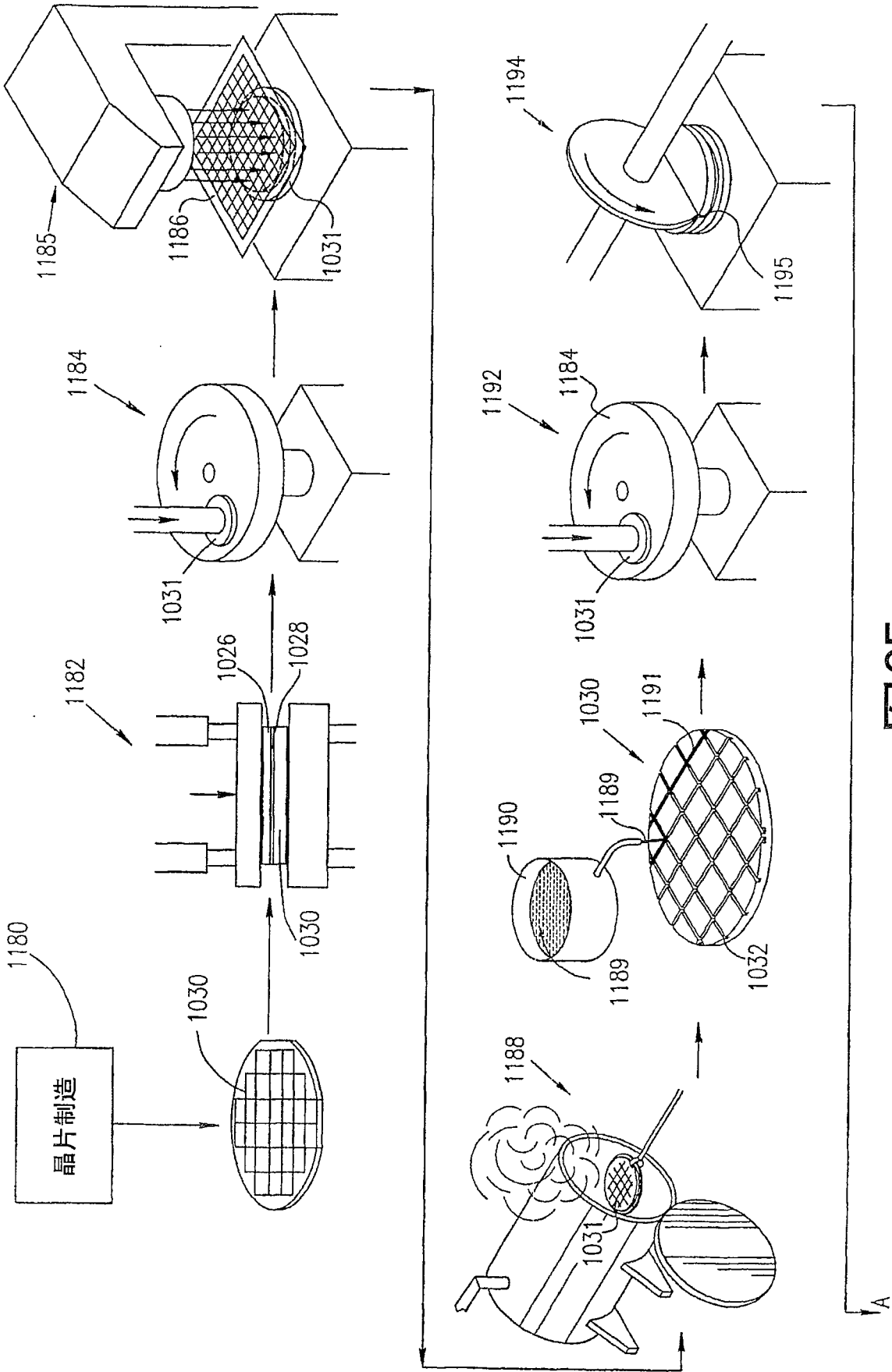


图25

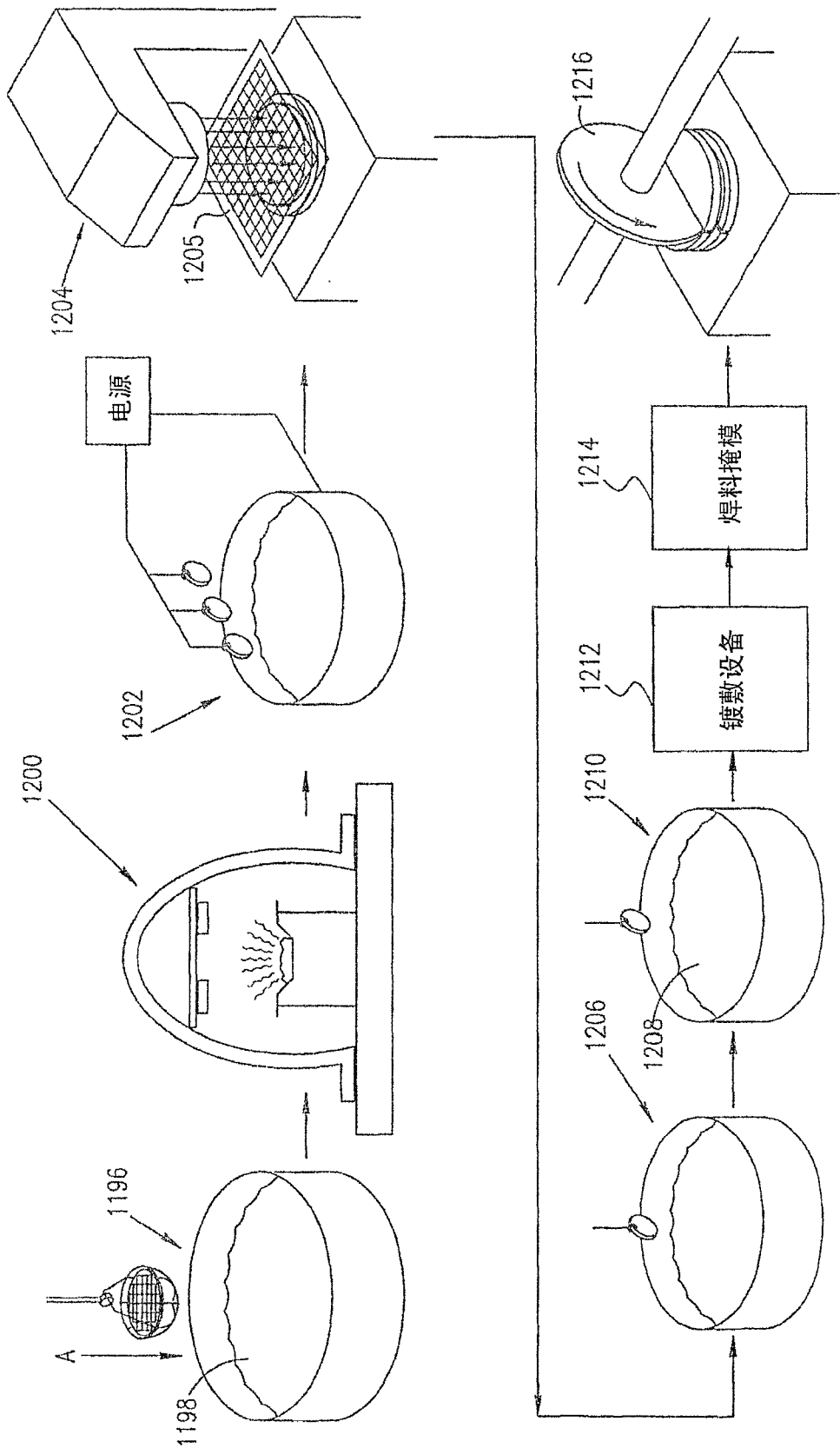


图26

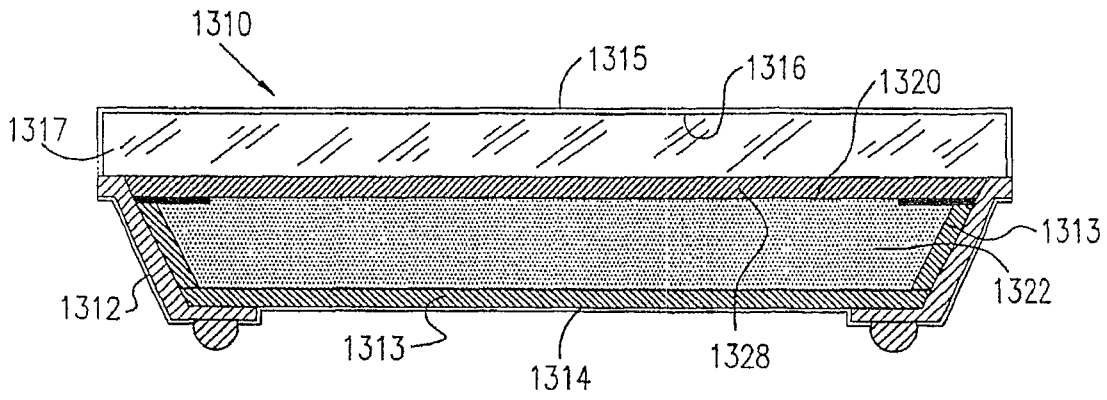


图27A

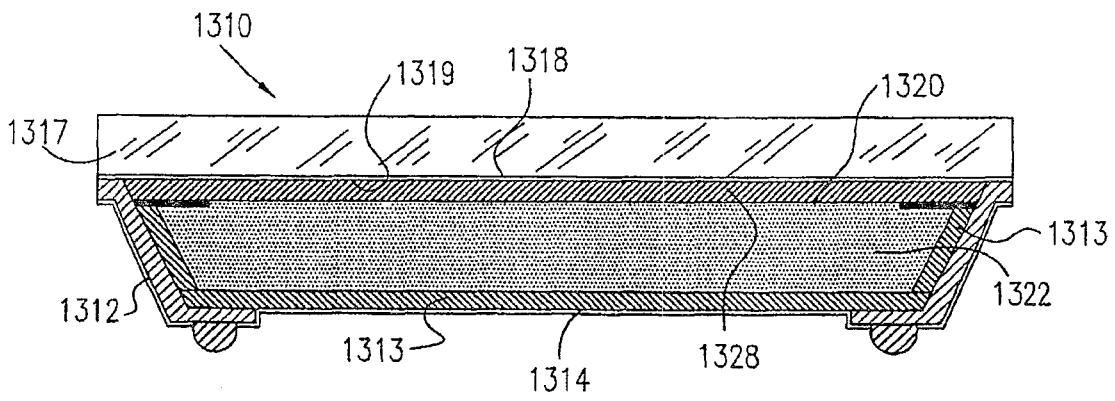


图27B

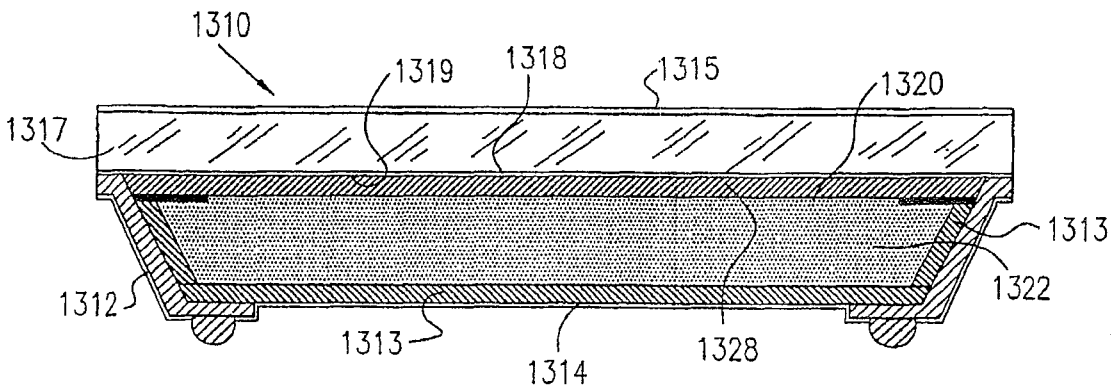


图27C

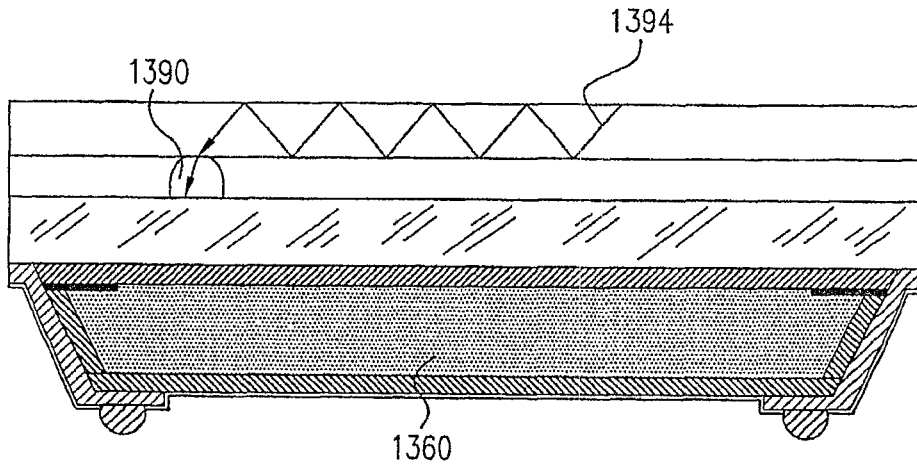


图28

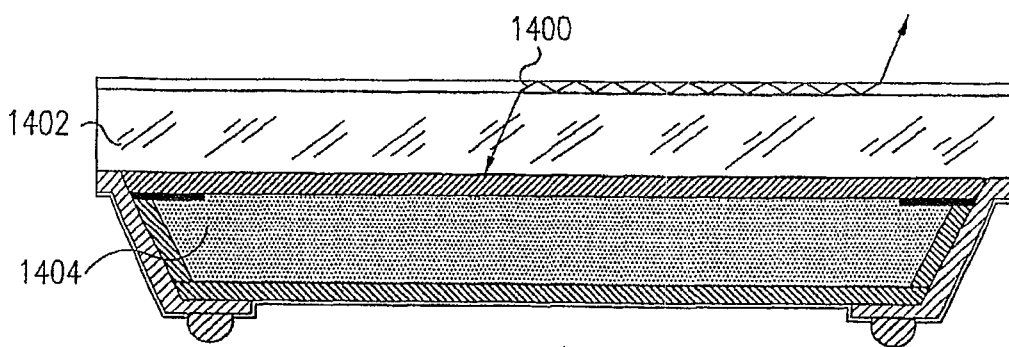


图29

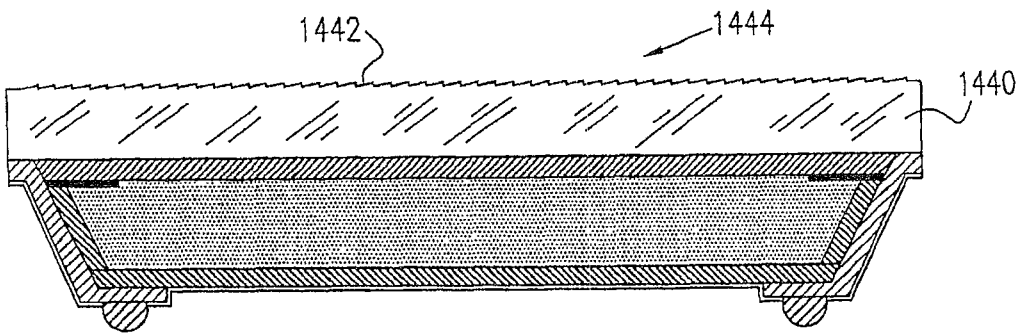


图30A

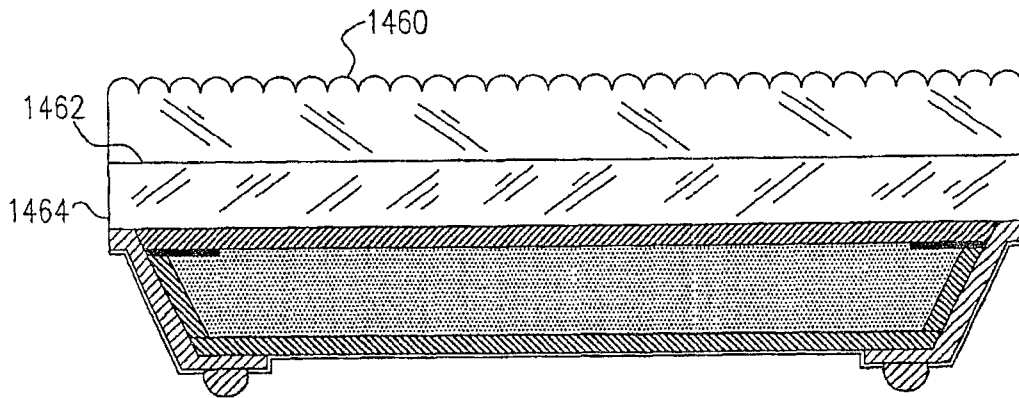


图30B

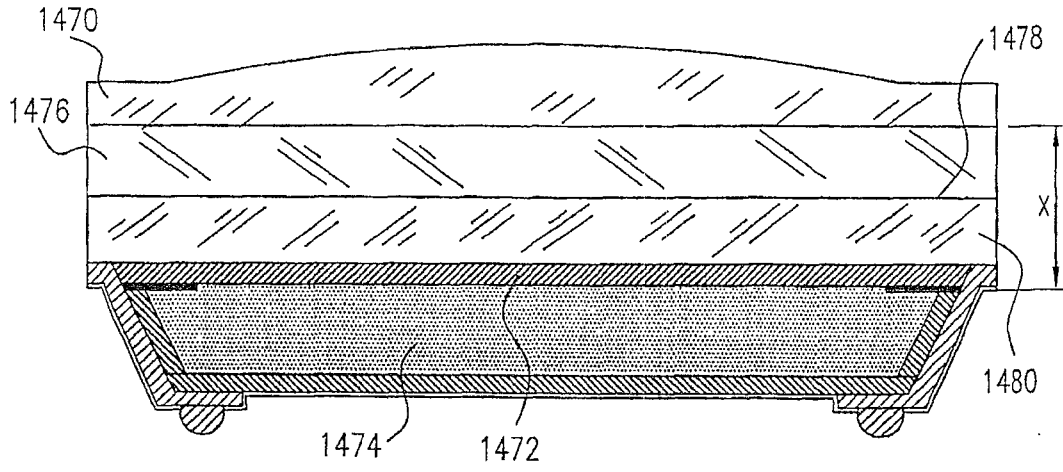


图30C

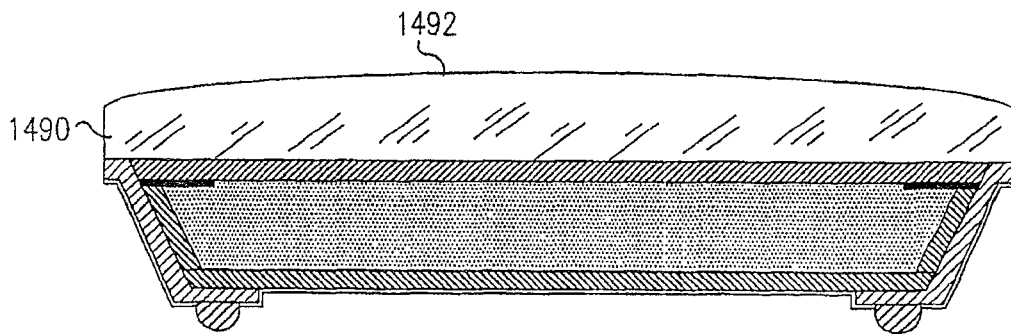


图30D

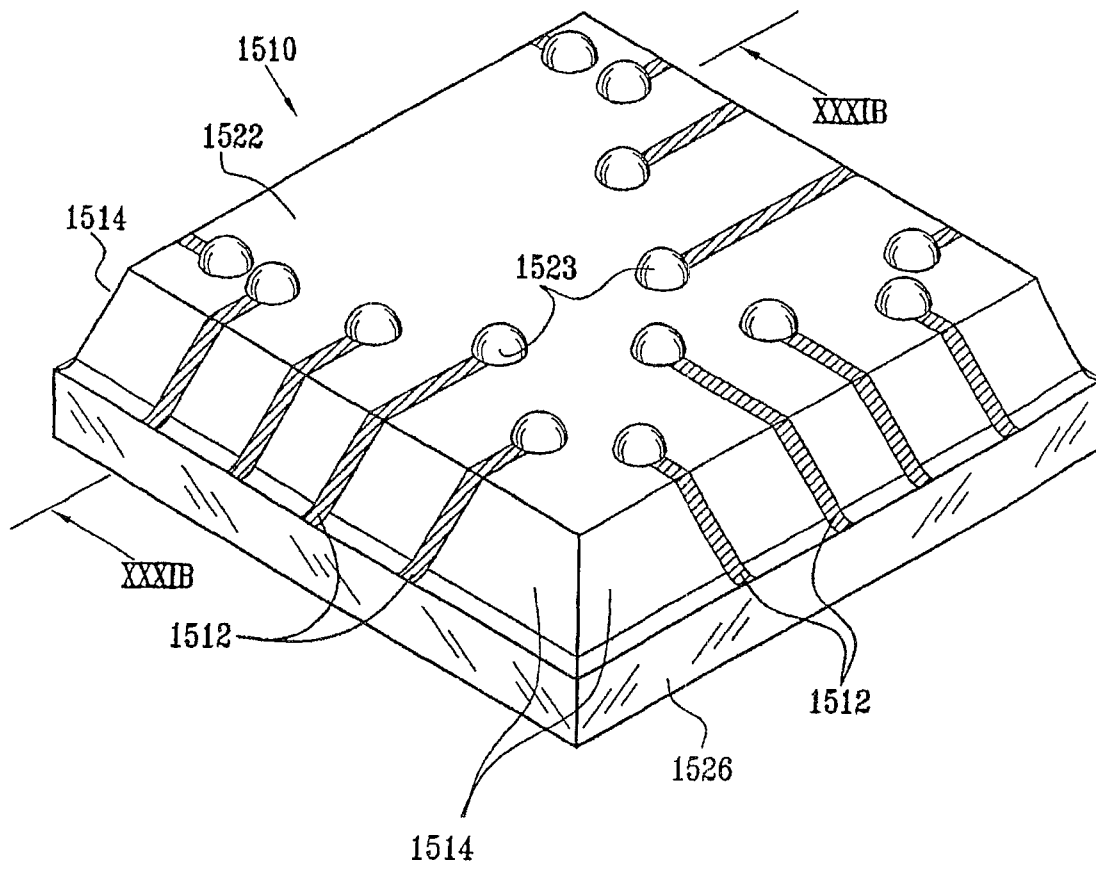


图31A

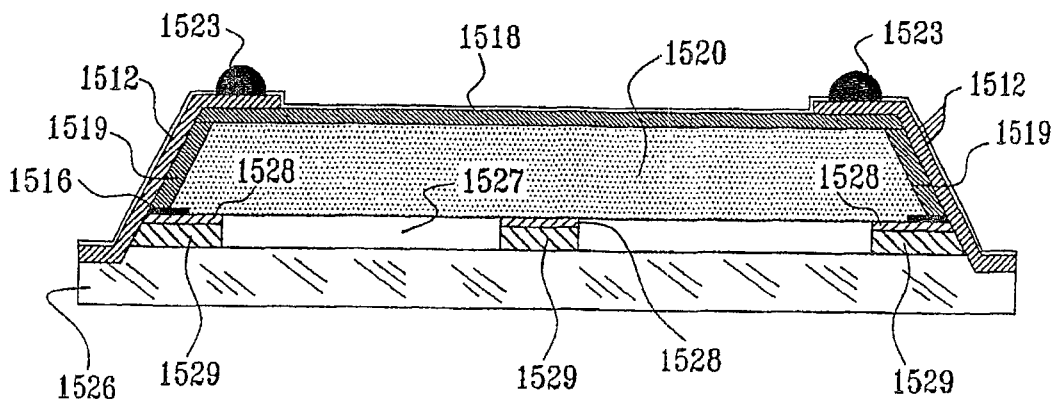


图31B

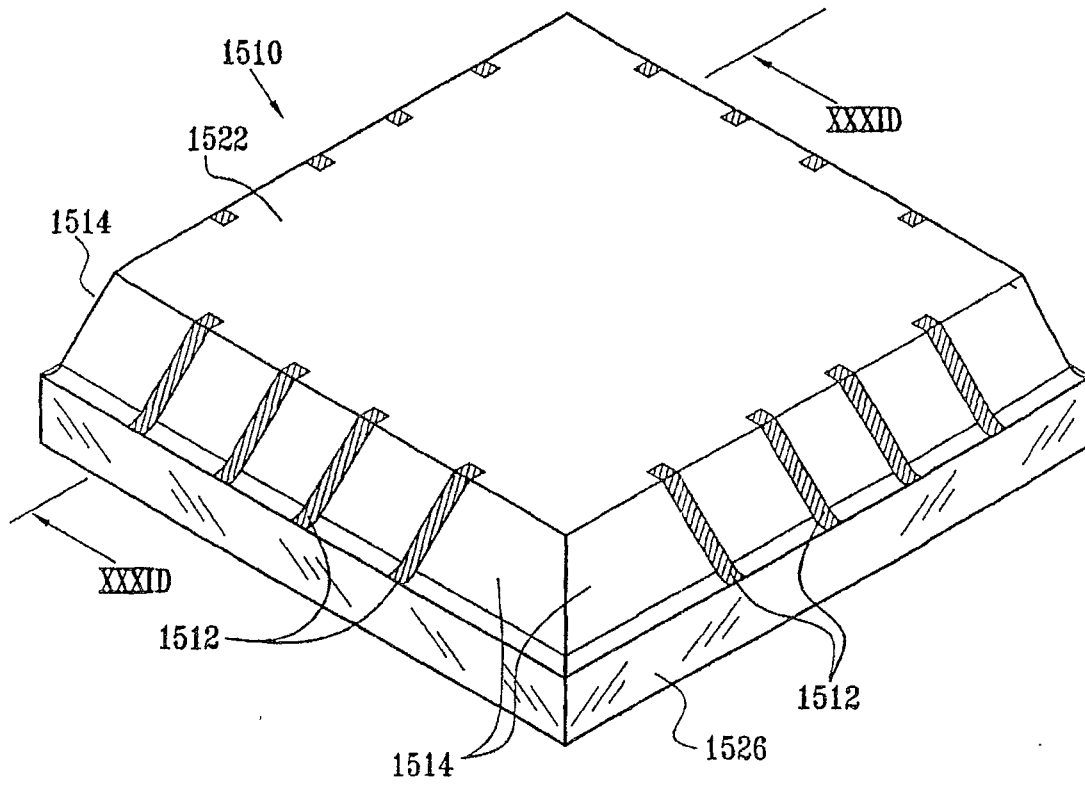


图31C

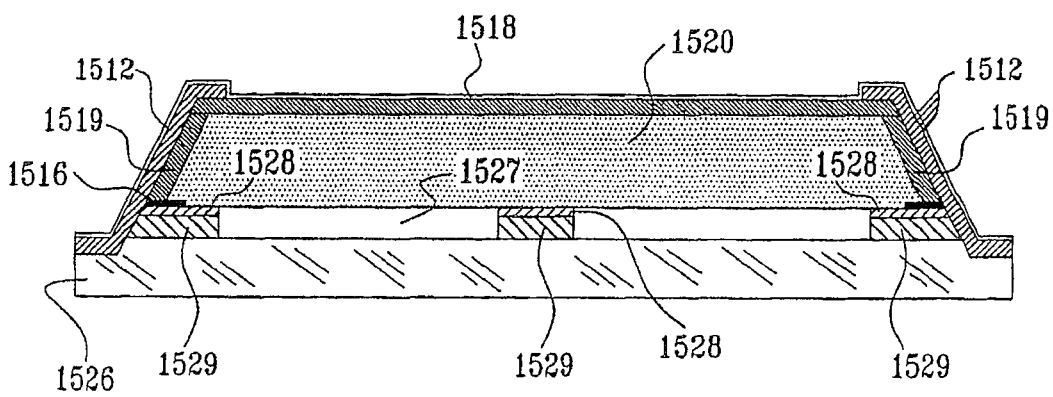


图31D

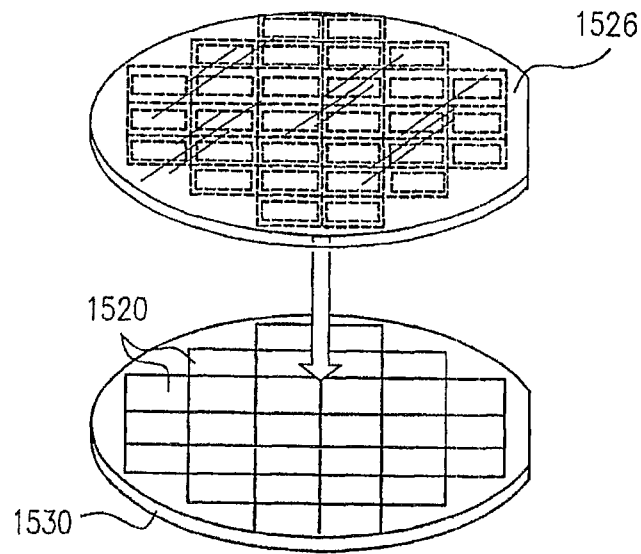


图32A

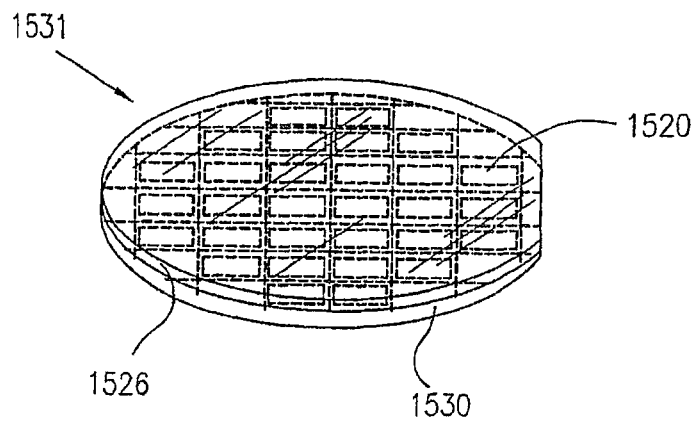


图32B

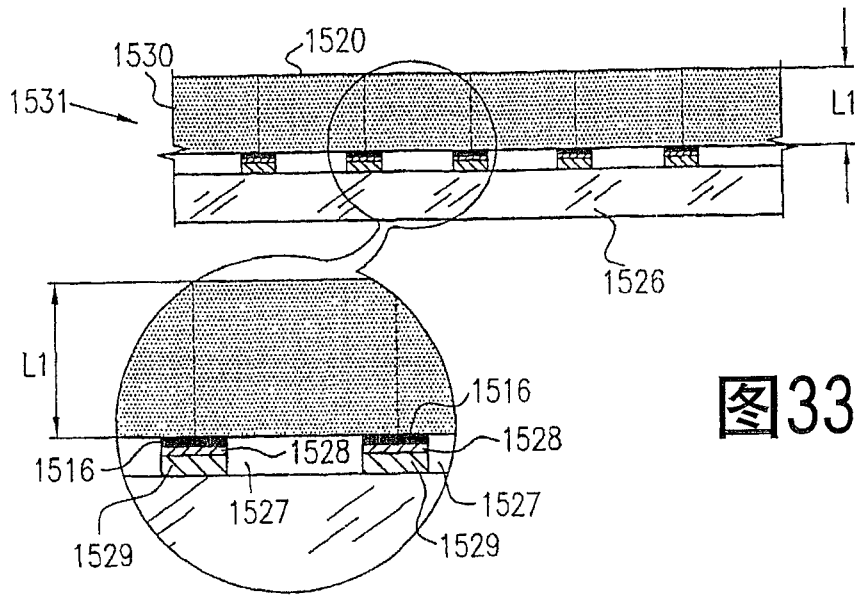


图33A

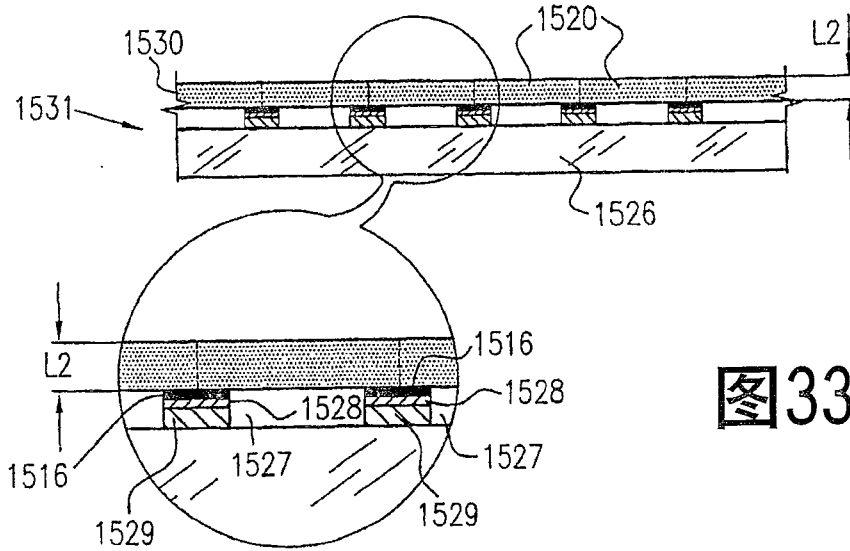


图33B

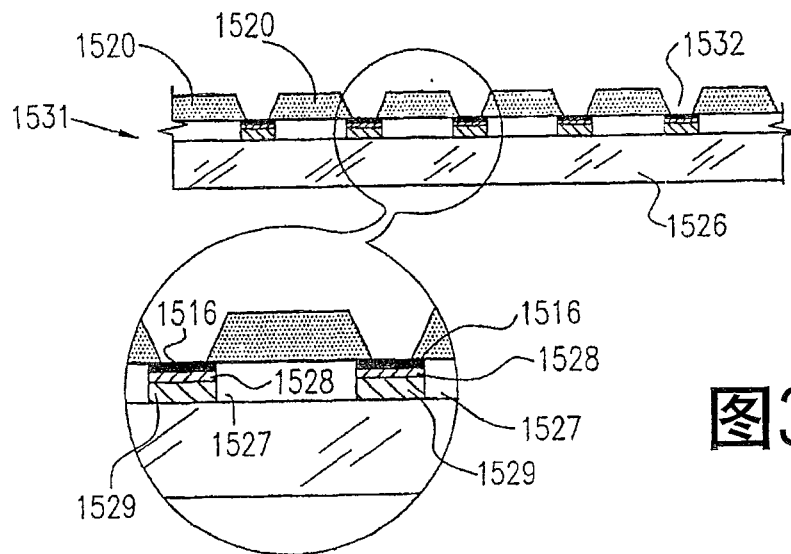


图33C

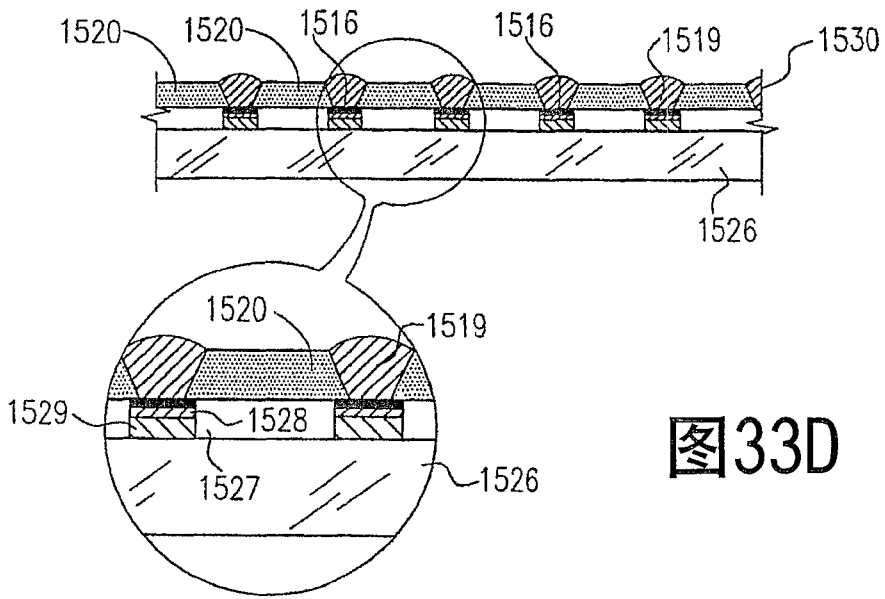


图33D

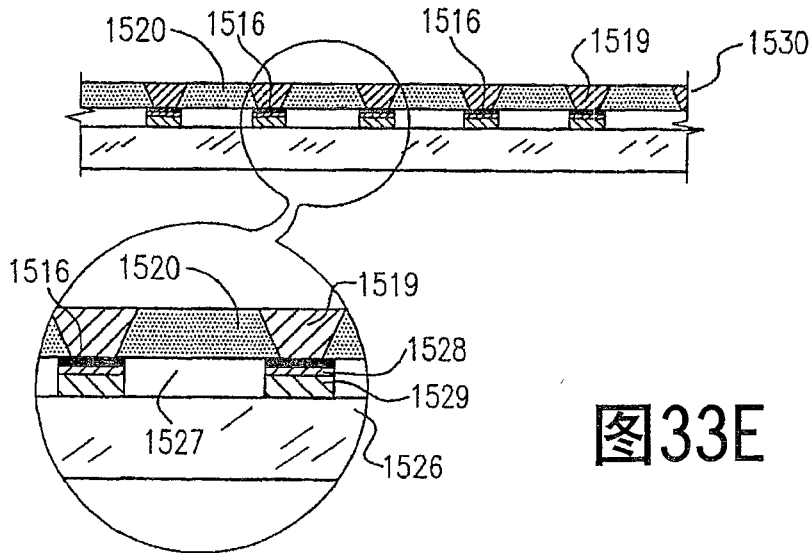


图33E

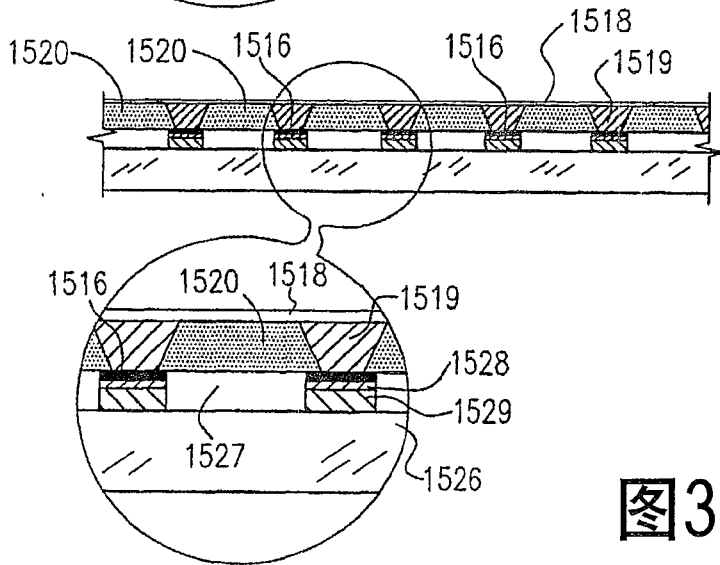


图33F

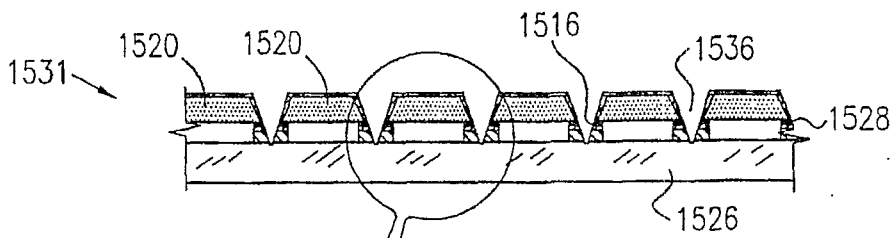


图33G

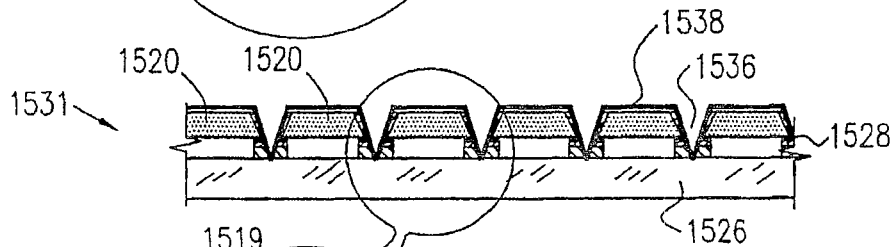


图33H

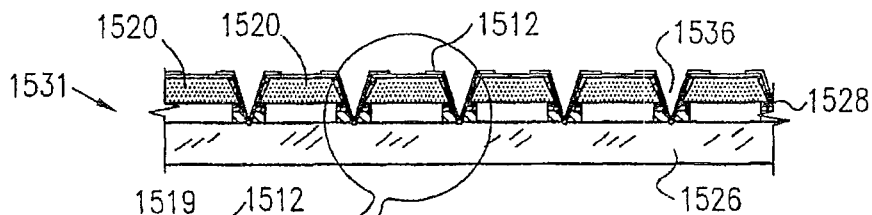


图33I

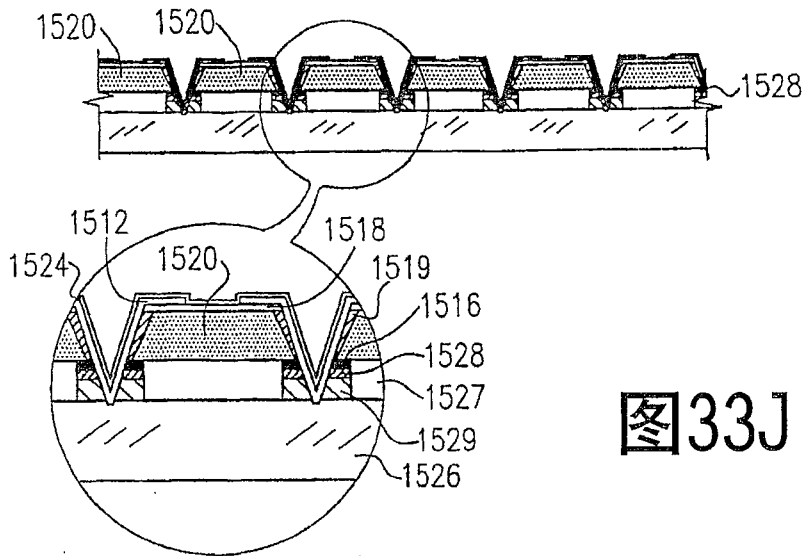


图33J

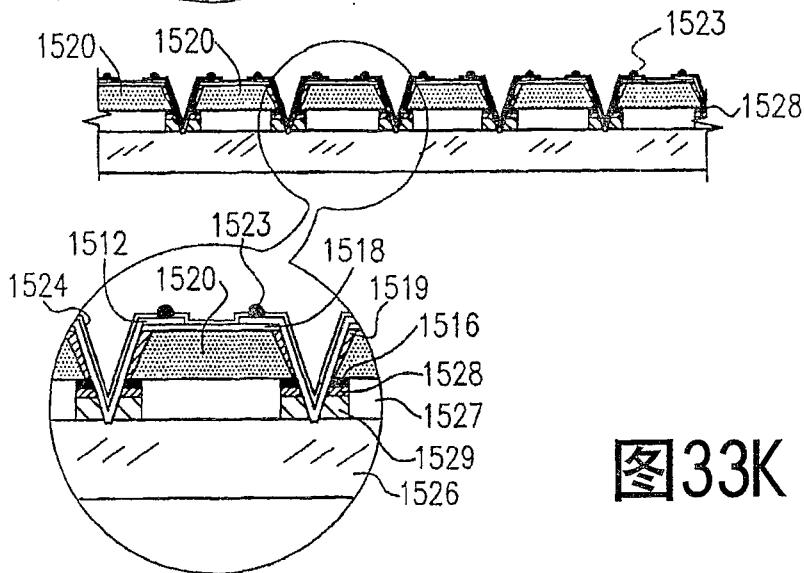


图33K

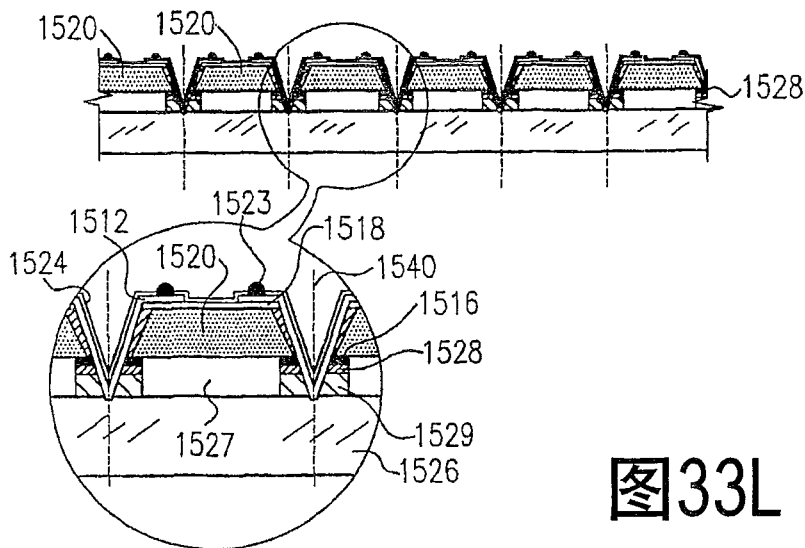


图33L

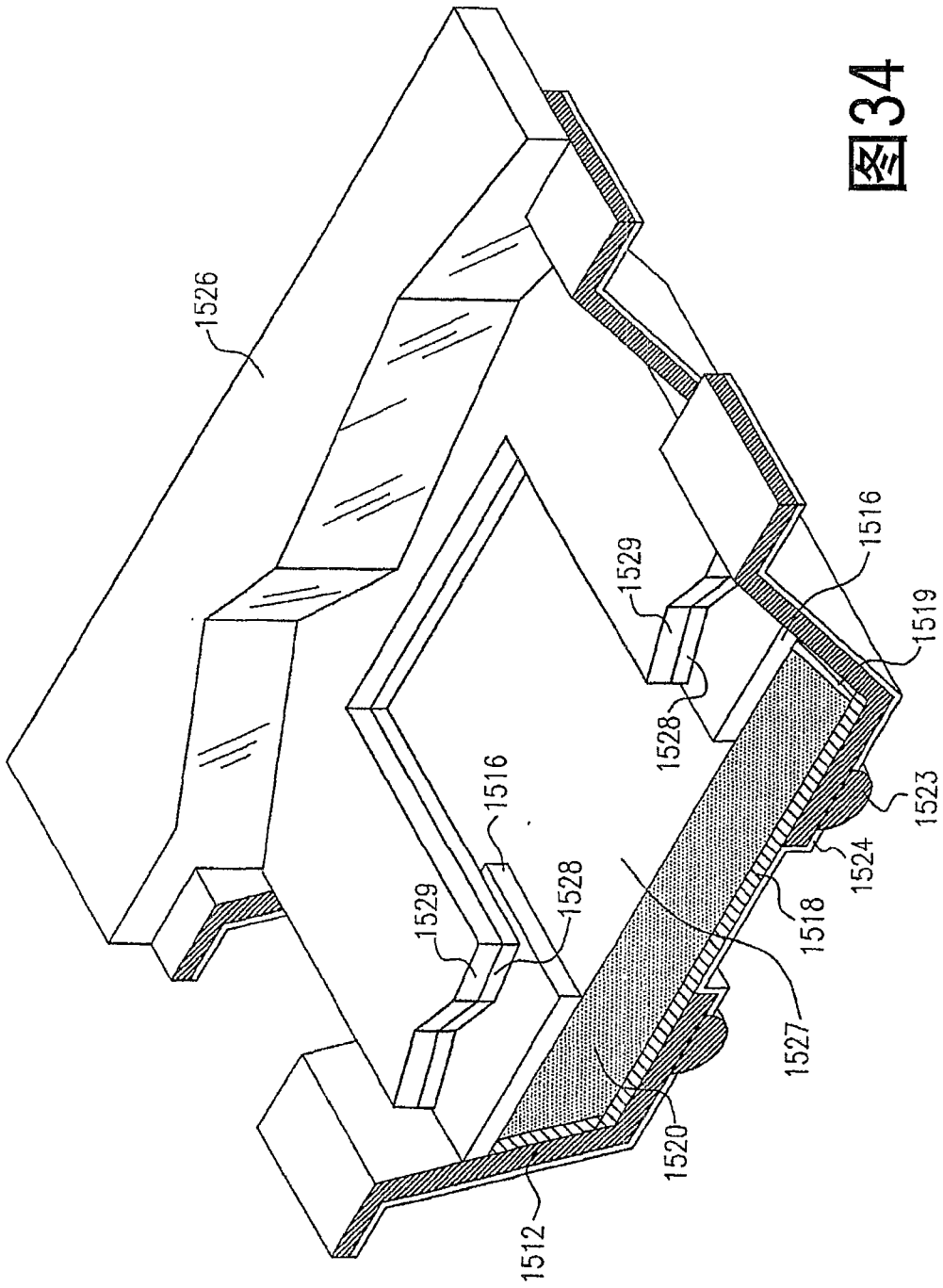


图34

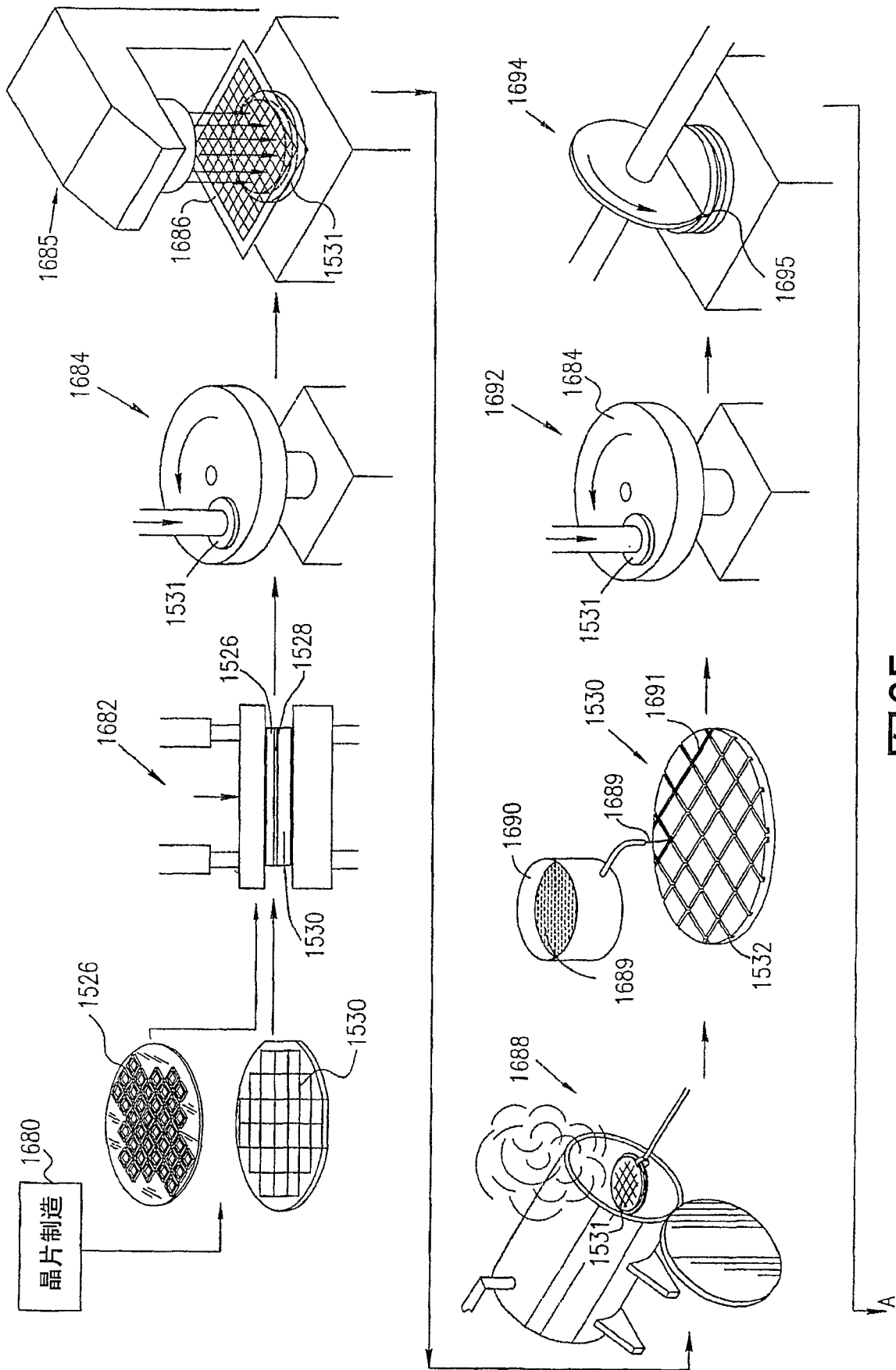


图35

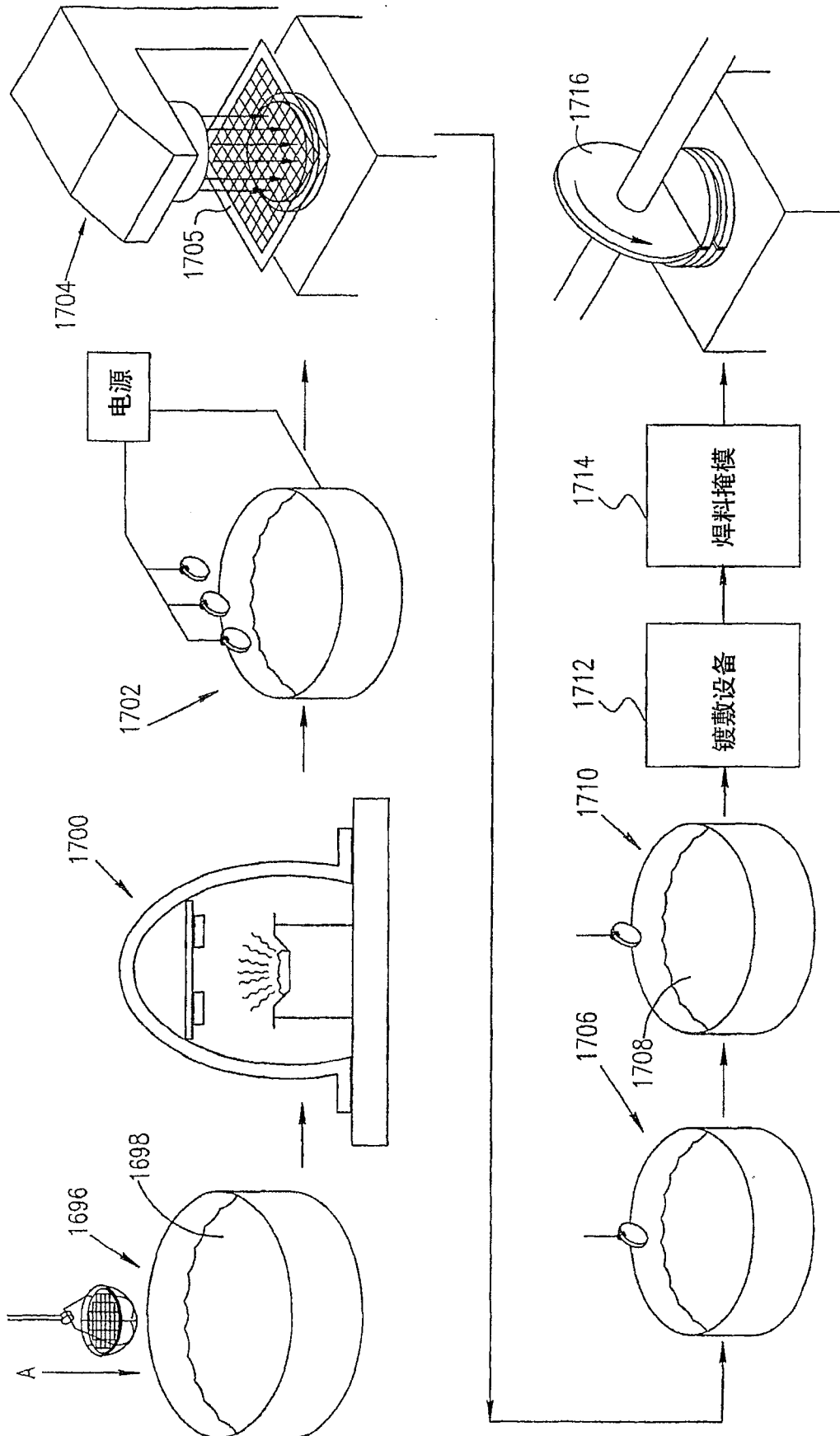


图36

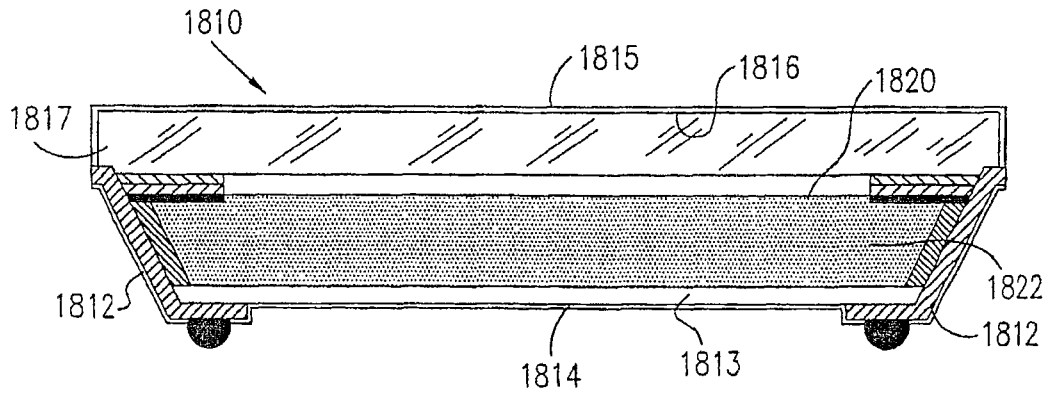


图37A

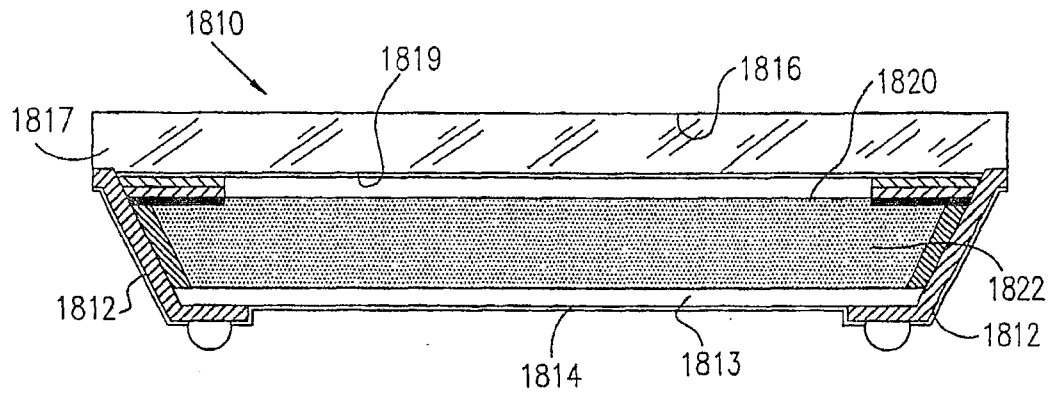


图37B

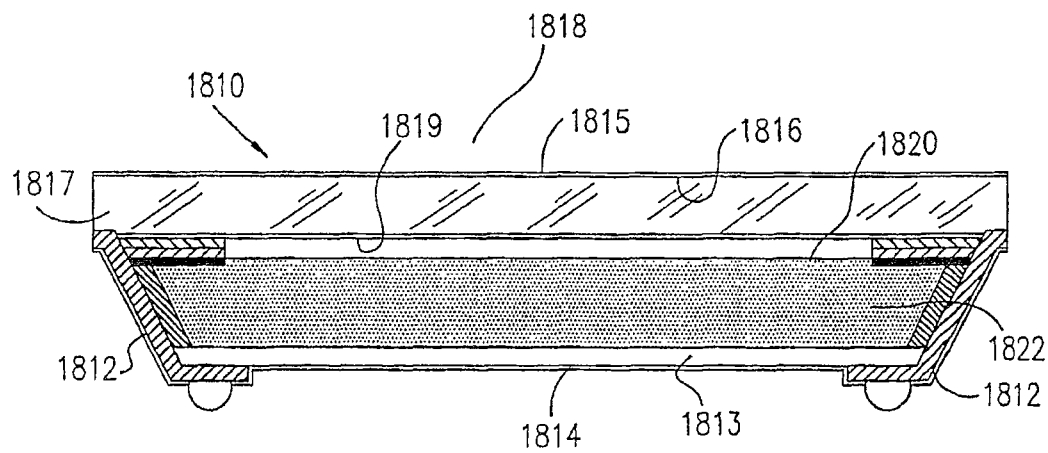


图37C

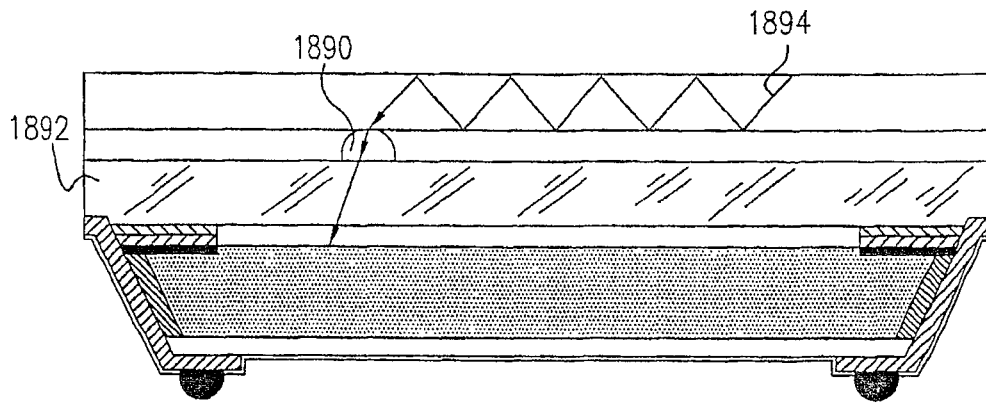


图38

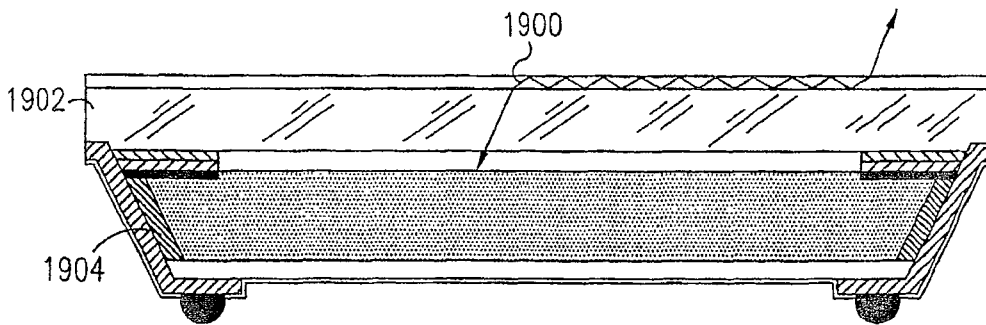


图39

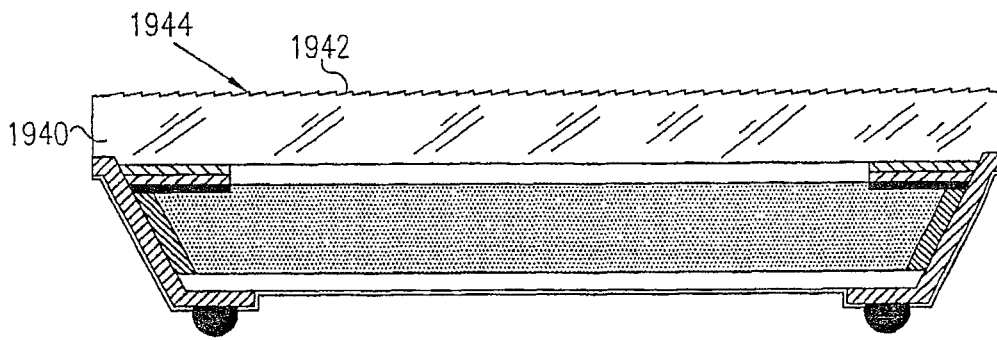


图40A

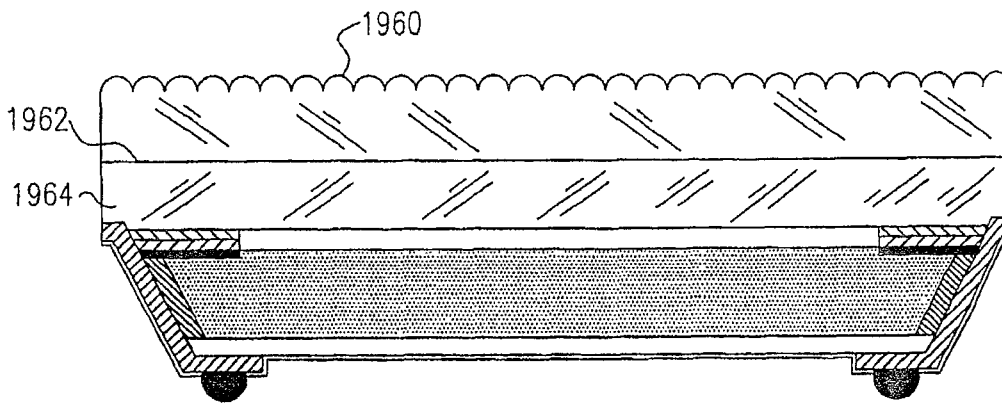


图40B

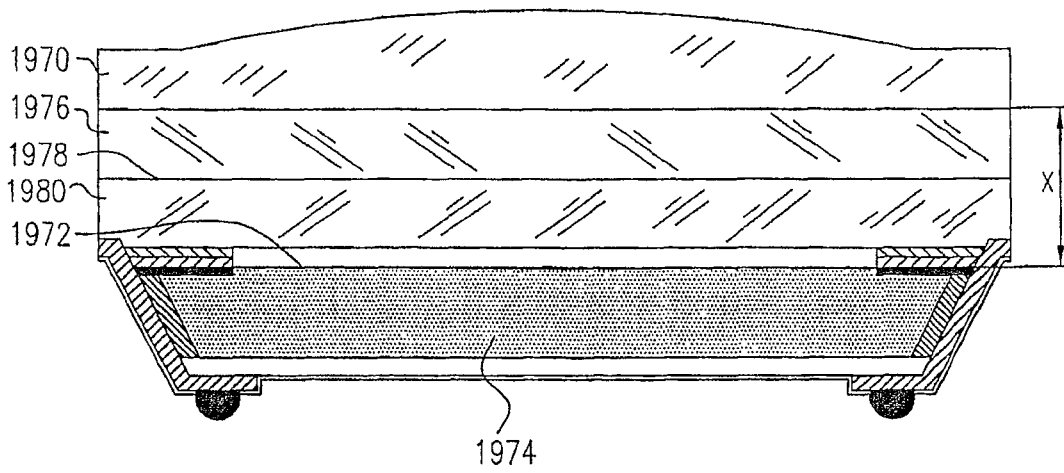


图40C

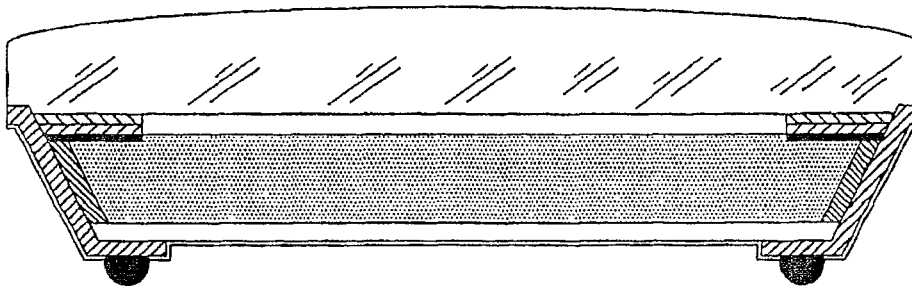


图40D

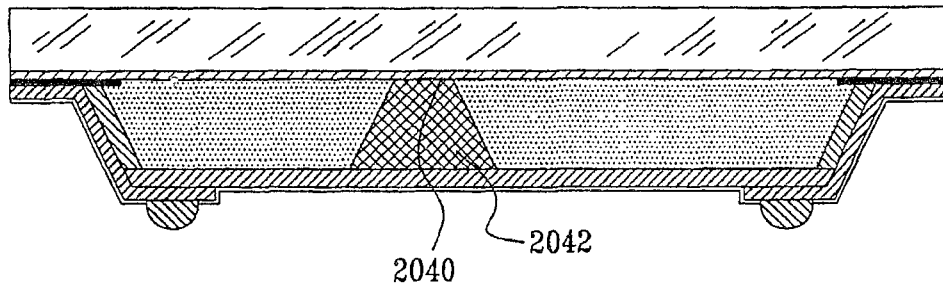


图41A

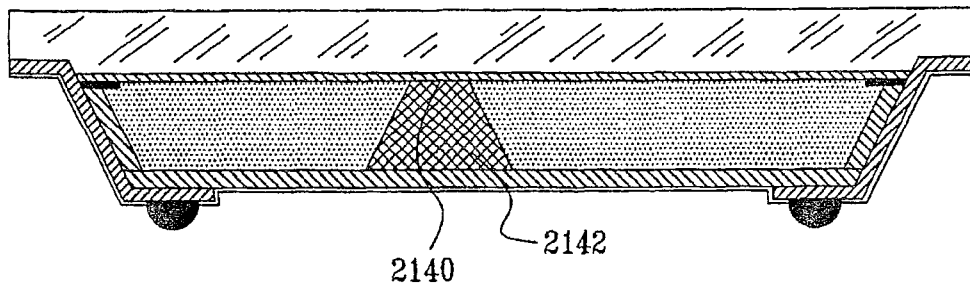


图41B