

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H03K 5/00

(45) 공고일자 1992년03월23일
(11) 공고번호 특1992-0002423

(21) 출원번호	특1988-0017483	(65) 공개번호	특1989-0011211
(22) 출원일자	1988년12월26일	(43) 공개일자	1989년08월14일
(30) 우선권주장	87-330493 1987년12월26일 일본(JP)		
(71) 출원인	가부시키키가이샤 도시바 아오이 죠이치 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		
(72) 발명자	후지타 야스히코 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키키가이샤 도시바 다마가와공장내		
(74) 대리인	김윤배		

심사관 : 이택수 (책자공보 제2707호)

(54) 히스테리시스특성을 갖는 전압비교회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

히스테리시스특성을 갖는 전압비교회로

[도면의 간단한 설명]

제1도는 본 발명의 1실시에에 따른 히스테리시스특성을 갖는 전압비교회로의 회로구성도.

제2도는 제1도에 도시된 전압비교회로의 한 구체예를 나타낸 도면.

제3도는 제1도에 도시된 전압비교회로구성의 입출력특성의 일예를 나타낸 도면.

제4도는 본 발명의 다른 실시예를 나타낸 회로구성도.

제5도는 종래의 히스테리시스특성을 갖는 전압비교회로의 회로구성도.

제6도는 제5도에 도시된 전압비교회로구성의 입출력특성의 일예를 나타낸 도면.

제7a도 및 제7b도는 본 발명의 실시예에서 사용되는 정전류회로(2, 3, 5 등)의 구체예를 나타낸 도면.

제8a도 내지 제8c도는 비교기준전위(VREF)를 공급하는 저항회로(R)를 비선형 저항회로로 구성한 경우를 나타낸 도면.

제9도는 제1도의 전류공급회로(20, 30)를, 정전류원(2, 3) 대신에 정전압원(ZD1, ZD2)을 사용해서 구성한 경우를 나타낸 도면.

제10도는 본 발명의 다른 실시예로서, 입력전위의 상승과 하강에 따라 비교레벨의 히스테리시스를 만들어내는 회로구성을 나타낸 도면.

제11도는 제10도에 도시된 구성의 입출력특성예를 나타낸 도면.

제12도는 제1도에 도시된 회로구성의 다른 구체예를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 연산증폭기
- 2 : 제1정전류원
- 3 : 제2정전류원
- 4 : 인버터회로

- 5 : 정전류원
- 20 : 제1전류공급회로
- 51 : 연산증폭기
- SW2 : 제2스위치회로
- CM2 : 제2전류미러회로
- 6, 6* : 제어회로
- 30 : 제2전류공급회로
- SW1 : 제1스위치회로
- CM1 : 제1전류미러회로

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 입력신호진폭의 검출 등에 이용되는 전압비교회로에 관한 것으로, 특히 입출력특성에 히스테리시스특성을 갖는 전압비교회로에 관한 것이다.

[종래의 기술 및 그 문제점]

히스테리시스특성을 갖는 전압비교회로는, 입력신호의 진폭을 검출하거나, 입력신호를 검출할 때 입력신호잡음에 의한 오동작을 방지하는 등의 용도를 갖는 것으로서, 예컨대 「실용에 의한 연산증폭회로와 그 해석」(쓰기다 히데오저, 동경전기대학출판국) P.32~33에 나타내어져 있다. 제5도는 종래의 히스테리시스특성을 갖는 전압비교회로의 일례를 나타낸 것으로, 연산증폭기(51)의 반전입력단(-)에 입력전압(VIN)이 인가되고, 출력단과 비반전입력단(+)사이에는 정궤 환용 저항(R2)이 접속되며, 이 비반전입력단(+)과 기준전위(VGND) 단사이에 저항(R1)이 접속되어 있다. 이 전압비교회로에 있어서, 출력전압을 VOUT, 비반전입력단(+)의 비교기준전압을 VREF로 나타내면,

$$VREF = VGND + [R1 / (R1 + R2)] \cdot (VOUT - VGND) \dots \dots \dots (1)$$

로 된다. 여기서, 연산증폭기(51)의 고전위측전원전압을 VDD, 저전위측전원전압을 VSS로 나타내면, 출력전압(VOUT)이 고레벨(VDD전위)인 때의 기준전위(VREF⁺)는

$$VREF^+ = VGND + [R1 / (R1 + R2)] \cdot (VDD - VGND) \dots \dots \dots (2)$$

로 되며, 출력전압(VOUT)이 저레벨(VSS전위)인 때의 기준전위(VREF⁻)는

$$VREF^- = VGND + [R1 / (R1 + R2)] \cdot (VSS - VGND) \dots \dots \dots (3)$$

로 된다. 따라서, 상기 전압비교회로는, 입력전압(VIN)의 상승시에는 높은 기준전위(VREF⁺)와 전압비교를 행하고, 입력전압(VIN)의 하강시에는 낮은 기준전위(VREF⁻)와 전압비교를 행하게 되므로, 제6도에 나타낸 바와 같이 입출력특성이 히스테리시스특성을 갖게 된다. 여기서, 히스테리시스폭은

$$VREF^+ - VREF^- = [R1 / (R1 + R2)] \cdot (VDD - VSS) \dots \dots \dots (4)$$

이다.

상기 전압비교회로는 전원전압(VDD, VSS)의 변동에 따라 상기 (4)식중 (VDD-VSS)가 변동하게 되므로, 히스테리시스폭이 전원전압의존성을 갖게 된다. 따라서, 상기 전압비교회로를 입력신호진폭 검출회로에 응용하고자 하면, 검출레벨이 전원전압의존성을 갖기 때문에 높은 정밀도를 필요로 하는 경우에는 응용할 수 없게 된다.

또, 상기 (4)식으로부터 알 수 있는 바와 같이 히스테리시스폭은 R1/(R1+R2)에 의존하게 되므로, 작은 히스테리시스폭을 설정하고자 하면 R1과 (R1+R2)의 저항비를 크게 설정하지 않으면 안된다. 그러나, 집적회로화시에 저항(R1)과 저항(R2)의 면적비가 크게 되도록 형성하는 것은 그 실현이 곤란하다.

또한, 상기 히스테리시스폭특성으로서 상기 VGND 전위를 중심으로 해서 고전위측, 저전위측이 동일한 상하대칭인 히스테리시스폭을 설정하고자 하면, VGND 전위를 1/2 · (VDD-VSS)이외로 설정할 수가 없으므로 VGND 전위가 제약을 받게 되어 그 설정의 자유도가 낮아지게 된다.

[발명의 목적]

본 발명은 상기한 바와 같이 히스테리시스폭이 전원전압의존성을 갖고, 작은 히스테리시스폭을 설정하는 것이 곤란하며, 기준전위(VGND)에 대해 상하대칭인 히스테리시스폭을 설정할 때에 VGND 전위가 제약을 받게 된다고 하는 문제점을 해결하기 위해 발명된 것으로, 히스테리시스폭이 전원전압의존성을 갖지 않고, 작은 히스테리시스폭을 용이하게 설정할 수 있으며, 임의의 기준전위에 대해 상하대칭 또는 비대칭인 히스테리시스폭을 설정할 수 있는 히스테리시스특성을 갖는 전압비교회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기한 목적을 달성하기 위해 본 발명에 따른 히스테리시스특성을 갖는 전압비교회로는, 입력신호전압과 비교기준전압을 전압비교해서 비교결과를 출력하는 레벨비교수단과, 이 레벨비교수단의 비교기준전압입력단(비반전입력단)과 기준전위단간에 접속된 저항회로수단, 상기 비교기준전압입력단에 전류를 유입시키기 위한 제1정전류원과 상기 비교기준전압입력단으로부터 전류를 유출시키기 위한 제2정전류원 및, 상기 레벨비교수단의 출력의 논리레벨에 따라 상기 2개의 정전류원중 어느쪽인가 한쪽

을 선택해서 활성화상태로 제어하는 제어회로를 구비한 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명에 있어서, 제1정전류원이 활성화상태인 때에는 그 전류가 저항에 유입되어 제1전압강하가 발생하게 되는데, 이 경우에는(기준전위+제1전압강하)가 비교기준전압으로 되게 된다.

또, 제2정전류원이 활성화상태인 때에는 그 전류가 기준전위단으로부터 저항을 매개해서 유출되어 제2전압강하가 발생하게 되는데, 이 경우에는(기준전위-제2전압강하)가 비교기준전압으로 되게 된다. 그에 따라, 입출력특성이 히스테리시스특성을 갖게 되는데, 그 히스테리시스폭은 (제1전압강하+제2전압강하)에 의해 결정된다. 따라서, 히스테리시스폭은 저항과 정전류원의 전류에 의해 결정되게 되므로, 전원전압의존성을 갖지 않게 되고, 작은 히스테리시스폭을 용이하게 설정할 수 있게 되며, 임의의 기준전위에 대해 상하대칭 또는 비대칭인 히스테리시스폭을 설정할 수 있게 된다.

[실시예]

이하, 도면을 참조하여 본 발명의 1실시예를 상세히 설명한다.

제1도는 집적회로화된 히스테리시스특성을 갖는 전압비교회로를 나타낸 것이다. 제1도에서 참조부호 1은 전압비교회로용 연산증폭기로, 그 동작전원으로서 고전위측 전원노드의 VDD 전압 및 저전위측 전원노드의 VSS 전압이 공급되고 있다. 상기 연산증폭기(1)의 반전입력단(-)에는 비교입력용 입력신호전압(VIN)이 인가되고, 비교기준전압이 입력되는 비반전입력단(+)과 기준전위(VGND)간에는 저항(R)이 접속되어 있다.

상기 VDD 전압노드와 상기 비반전입력단(+)간에는 상기 저항(R)에 정전류(I02)를 유입시키기 위한 제1정전류원(2) 및 제1스위치회로(SW1)가 직렬로 접속된 제1전류공급회로(20)가 삽입되어 있고, 상기 비반전입력단(+)과 상기 VSS 전압노드간에는 상기 기준전위(VGND)단으로부터 저항(R)을 매개해서 정전류(I03)를 유출시키기 위한 제2정전류원(3) 및 제2스위치회로(SW2)가 직렬로 접속된 제2전류공급회로(30)가 삽입되어 있다.

또, 참조부호 4는 인버터회로로서, 상기 연산증폭기(1)의 출력전압(VOUT)의 논리레벨에 따라 상기 2개의 정전류원(2, 3)중 어느쪽인가 한쪽을 선택해서 활성화상태로 하기 위한 것이다. 본 예에서는 상기 2개의 스위치회로 (SW1, SW2)를 각각 대응하여 온/오프상태 또는 오프/온상태로 제어하게 된다. 여기서, 2개의 스위치회로 (SW1, SW2)중, 한쪽을 로우액티브(low active)의 스위치(예컨대, 후술되는 P채널 MOS 트랜지스터), 다른 쪽을 하이액티브(high active)의 스위치(예컨대, 후술되는 N 채널 MOS 트랜지스터)로 실현하면, 제1도에 도시된 바와 같이 스위치회로(SW1, SW2)를 동시에 인버터(4)의 출력으로 제어해도 SW1, SW2가 동시에 도통되지는 않게 된다.

제2도는 상기 제1도에 도시된 전압비교회로의 구체적인 예를 나타낸 것으로, 제1정전류원(2)은 상기 VDD 전압노드와 비반전입력단(+)간에 삽입된 P 채널의 제1MOS 트랜지스터(Q1)를 출력측에 갖추고 더 붙어 입력측에 게이트·드레인 상호가 접속된 P 채널 MOS 트랜지스터(Q20)를 갖춘 제1전류미러회로(CM1)로 구성된다.

상기 제2정전류원(3)은 상기 비반전입력단(+)과 VSS 전압노드간에 삽입된 N 채널의 제2MOS 트랜지스터(Q2)를 출력측에 갖추고 더 붙어 입력측에 게이트·드레인 상호가 접속된 N 채널 MOS 트랜지스터(Q21)를 갖춘 제2전류미러회로(CM2)로 구성된다.

이 제2전류미러회로(CM2)에 있어서, 입력측 트랜지스터(Q21)에 직렬로 정전류(I05) 원(5)이 접속되어 있고, 이 입력측 트랜지스터(Q21)에 전류미러접속된 N 채널 MOS 트랜지스터(Q22)가 상기 제1전류미러회로(CM1)의 입력측 트랜지스터(Q20)에 직렬로 접속되어 있으며, 그에 따라 상기 2개의 전류미러회로(CM1, CM2)가 전류미러접속되게 된다.

한편, 상기 제1스위치회로(SW1)는 상기 제1MOS 트랜지스터(Q1)와 비반전입력단(+)간에 직렬로 삽입된 P 채널의 제3MOS 트랜지스터(Q3)로 구성되고, 상기 제2스위치회로(SW2)는 상기 제2MOS 트랜지스터(Q2)와 비반전입력단(+)간에 직렬로 삽입된 N 채널의 제4MOS 트랜지스터(Q4)로 구성되며, 이들 2개의 스위치용 MOS 트랜지스터(Q3, Q4)의 각 게이트에 상기 인버터회로(4)의 출력이 공급되도록 되어 있다.

그리고, 이들 스위치용 MOS 트랜지스터(Q3, Q4) 및 인버터회로(4)에 의해 제어회로(6)가 형성되어 있다.

다음에는 상기 전압비교회로의 동작에 대해 제3도에 나타난 입출력 특성을 참조하면서 설명한다.

출력전압(VOUT)이 고레벨인 때에는 인버터회로(4)의 출력이 저레벨로 되므로, 제1스위치회로(SW1)가 온되어 제1정전류원(2)이 활성화상태로 되고, 제2스위치회로(SW2)가 오프되어 제2정전류원(3)이 비활성화상태로 되게 된다. 이때, 제1정전류원(2)으로부터 저항(R)으로 정전류(I02)가 유입되어 이때의 비반전입력단(+)에 공급되는 비교기준전압(VREF⁺)은

$$VREF^+ = VGND + R \cdot I02 \cdot \dots \dots \dots (5)$$

로 되게 된다.

또, 출력전압(VOUT)이 저레벨인 때에는 인버터회로(4)의 출력이 고레벨로 되므로, 제2스위치회로(SW2)가 온되어 제2정전류원(3)이 활성화상태로 되고, 제1스위치회로(SW1)가 오프되어 제1정전류원(2)이 비활성화상태로 되게 된다. 이때, 기준전위(VGND)단으로부터 저항(R)을 통해 제2정전류원(3)으로 정전류(I03)가 유출되어 이때의 비반전입력단(+)에 공급되는 비교기준전압(VREF⁻)은

$$VREF^- = VGND - R \cdot I03 \cdot \dots \cdot \dots \cdot \dots (6)$$

로 되게 된다.

따라서, 상기 전압비교회로는 출력전압(VOUT)이 고레벨인 상태에서 입력전압(VIN)이 상승할 때에는 높은 기준전압(VREF⁺)과 전압비교를 행하고, 출력전압(VOUT)이 저레벨인 상태에서 입력전압(VIN)이 하강할 때에는 낮은 기준전압(VREF⁻)과 전압비교를 행하게 되므로, 제3도에 나타난 바와 같이 입력특성이 히스테리시스특성을 갖게 된다.

여기서, 히스테리시스폭은

$$VREF^+ - VREF^- = R \cdot (I02 + I03) \cdot \dots \cdot \dots \cdot \dots (7A)$$

로 되는 바, 저항(R)과 정전류원(2, 3)의 전류(I02, I03)에 의해 결정되게 된다. 따라서, 전원전압 의존성을 갖지 않게 되고, 작은 히스테리시스폭을 설정하고자 하는 경우에 용이하게 실현할 수 있게 된다. 또, I02=I03=I0로 하면, 임의의 기준전위(VGND)에 대해 상하대칭인 히스테리시스폭($\pm R \cdot I0$)을 설정할 수 있게 된다. 이 경우, 상기(7A)식은 다음과 같이 간소화되게 된다.

$$VREF^+ - VREF^- = 2R \cdot I0 \cdot \dots \cdot \dots \cdot \dots (7B)$$

또한, 제1정전류원(2)의 정전류가 I02, 제2정전류원(3)의 정전류가 I03($\neq I02$)로 되도록, 예컨대 전류미러회로(CM1, CM2)의 트랜지스터의 면적비를 변화시키게 되면, 히스테리시스폭은 $R \cdot I02 + R \cdot I03 = R \cdot (I02 + I03)$ 으로 되어 기준전위(VGND)의 상하에서 비대칭인 히스테리시스폭($+R \cdot I02, -R \cdot I03$)을 설정할 수 있게 된다.

한편, 제4도는 본 발명의 다른 실시예에 따른 구체적인 회로예를 나타낸 것으로, 상기 제2도를 참조하여 설명한 회로와 비교해서, 제3MOS 트랜지스터(Q3) 및 제4MOS 트랜지스터(Q4)가 생략되어 있고, 제1전류미러회로(CM1)의 전류미러접속된 MOS 트랜지스터(Q1, Q2)의 게이트상호접속선에 직렬로 스위치용 P 채널 제5MOS 트랜지스터(Q5)가 삽입되며, 제2전류미러회로(CM2)의 전류미러접속된 MOS 트랜지스터(Q2, Q21)의 게이트상호접속선에 직렬로 스위치용 N 채널 제6MOS 트랜지스터(Q6)가 삽입되고, 이들 2개의 스위치용 MOS 트랜지스터(Q5, Q6)의 각 게이트에 상기 인버터회로(4)의 출력이 공급되도록 되어 있다. 그리고, 이들 스위치용 MOS 트랜지스터(Q5, Q6) 및 인버터회로(4)에 의해 제어회로(6*)가 형성되어 있다.

더욱이, 상기 VDD 전압노드와 정전류원용 제1MOS 트랜지스터(Q1)의 게이트간에 P 채널 MOS 트랜지스터(Q7)가 접속되어 있고, 정전류원용 제2MOS 트랜지스터(Q2)의 게이트와 VSS 전압노드간에 N 채널 MOS 트랜지스터(Q8)가 접속되어 있으며, 이들 MOS 트랜지스터(Q7, Q8)의 각 게이트에 연산증폭기(1)의 출력전압(VOUT)이 공급되도록 되어 있다. 그 밖의 부분은 제2도와 동일하므로 제2도와 동일한 참조부호를 붙이되 그 설명을 생략한다.

상기 제4도에 도시된 전압비교회로의 동작은, 상술한 제1도 및 제2도의 전압비교회로의 동작과 기본적으로는 동일하지만, 제어회로(6*)의 동작이 약간 다르다.

즉, 출력전압(VOUT)이 고레벨인 때에는 인버터회로(4)의 출력(저레벨)에 의해 스위치용 제5트랜지스터(Q5)와 제6트랜지스터(Q6)가 각각 대응하여 온/오프상태로 되고, 정전류원용 제1트랜지스터(Q1)와 제2트랜지스터(Q2)가 각각 대응하여 활성화/비활성화상태로 되게 된다. 이때, 상기 고레벨의 출력전압(VOUT)에 의해 N 채널 트랜지스터(Q8)가 온되어 있으므로, 상기 제2트랜지스터(Q2)의 게이트전위가 VSS전위로 고정되어 부유상태로 되는 것이 방지되게 된다.

또, 출력전압(VOUT)이 저레벨인 때에는 인버터회로(4)의 출력(고레벨)에 의해 스위치용 제5트랜지스터(Q5)와 제6트랜지스터(Q6)가 각각 대응하여 오프/온상태로 되고, 정전류원용 제1트랜지스터(Q1)와 제2트랜지스터(Q2)가 각각 대응하여 비활성화/활성화상태로 되게 된다. 이때, 상기 저레벨의 출력전압(VOUT)에 의해 P 채널 트랜지스터(Q7)가 온되어 있으므로, 상기 제1트랜지스터(Q1)의 게이트전위가 VDD 전위로 고정되어 부유상태로 되는 것이 방지되게 된다.

상술한 바와 같이 본 발명의 전압비교회로에 의하면, 히스테리시스폭이 전원전압의 의존성을 갖지 않게 되고, 작은 히스테리시스폭을 용이하게 설정할 수 있게 되며, 임의의 기준전위에 대해 상하대칭 또는 비대칭인 히스테리시스폭을 설정할 수 있게 된다.

상기 (7A)식은, I02 또는 I03가 제로(zero)이더라도 전원전위(VDD, VSS)에 의존하지 않는 히스테리시스폭($VREF^+ - VREF^-$)을 얻을 수 있는 경우를 나타내고 있다. 따라서, 제1도에 도시된 비교회로의 임계레벨이 제3도의 전위(VGND)의 상하에서 비대칭으로 될 때에는 제1도의 전류공급회로(20, 30)중 어느 쪽인가 한쪽을 생략할 수가 있다.

제7a도 및 제7b도는 제1도, 그 밖의 실시예에서 사용되는 정전류원회로(2, 3, 5 등)의 구체적인 구조를 나타낸 것으로, 제7a도에 있어서 P 채널 MOS 트랜지스터(Q71, Q72)의 소오스는 정전원(VDD: 正電源)에 접속되고, 이들 트랜지스터(Q71, Q72)의 게이트는 트랜지스터(Q72)의 드레인에 접속되며, 상기 트랜지스터(Q71)의 드레인은 저항(R7)을 매개해서 N 채널 MOS 트랜지스터(Q73)의 드레인에 접속됨과 더불어 이 트랜지스터(Q73)의 게이트에 접속된다. 그리고, 트랜지스터(Q73)의 소오스는 부전원(VSS: 負電源)에 접속된다.

또 N 채널 MOS 트랜지스터(Q74)의 게이트는 그 드레인에 접속되고, 그 소오스는 부전원(VSS)에 접속되며, 그 드레인은 N 채널 MOS 트랜지스터(Q75)의 게이트에 접속된다. 그리고, 트랜지스터(Q75)의 소오스는 부전원(VSS)에 접속되며, 이 트랜지스터(Q75)의 드레인이 제7a도의 외부회로로부터 정전류

(10; 103)를 흡수하게 된다.

제7a도의 회로는 정전류(10; 103)를 흡수하는 경우의 것으로, 이 회로는 제1도의 정전류원(3)에 그대로 적용할 수가 있다. 또 정전류(10; 102)를 방출하는 전류원(제1도의 참조부호 2, 제2도의 5, 제10도의 100, 101 등)을 구성하는 경우에는 제7b도에 나타난 바와 같이 제7a도의 VDD와 VSS를 바꾸고, 트랜지스터(Q71~Q75)의 N 채널과 P 채널을 바꾸면 된다.

제7a도의 회로에 있어서, P채널 트랜지스터(Q71, Q72)의 채널폭/채널길이를 각각 SP1, SP2로 하고, N채널 트랜지스터(Q73, Q74)의 채널폭/채널길이를 각각 SN1, SN2로 가정하면, 이 경우 정전류(10)의 크기는 다음과 같이 된다.

$$I_0 = (1/K \cdot R_7) \ln[(SP1/SP2) \cdot (SN2/SN1)] \propto 1/R_7 \dots \dots \dots (8)$$

상기 (8)식을 상기(7B)식에 대입하면, 다음의 관계가 얻어진다:

$$V_{REF}^+ - V_{REF}^- = 2R \cdot I_0 = 2(R/K \cdot R_7) \ln[(SP1/SP2) \cdot (SN2/SN1)] \propto R/R_7 \quad (9)$$

상기 (9)식은 제1도에 도시된 비교회로의 히스테리시스폭($V_{REF}^+ - V_{REF}^-$)이 저항의 비(比)만으로 결정되는 것을 나타내고 있다.

단일 IC칩내에서는 대단히 정확한 저항비를 얻을 수가 있고, 이 저항비의 온도의존성은 극히 작다. 따라서, 제7b도의 회로를 제1정전류원(2)으로 하고 제7a도의 회로를 제2정전류원(3)으로 하여, 이와 같은 제1, 제2정전류원(2,3)을 제1도의 전압비교회로와 함께 동일한 IC칩에 집적시키게 되면, 온도 의존성이 거의 없고, 또 제품간의 오차가 극히 작은 히스테리시스폭($V_{REF}^+ - V_{REF}^-$)을 얻을 수 있게 된다.

제8a도~제8c도는 비교기준전위(V_{REF})를 공급하는 저항회로(R)를 비선형 저항회로로 구성한 경우를 나타낸 것으로, 이들 비선형 저항회로는 상기(7A)식 또는 상기 (7B)식중의 저항값(R)을 전류의 방향에 따라 변화시키는 작용을 갖는다.

제8a도는, 도면중 좌측에서 우측으로 전류가 흐를때에만 저항값(R)이 작고 [$R=R81 \parallel (R82+Rd)$], 도면중 우측으로부터 좌측으로 전류가 흐를때에는 저항값(R)이 크게 ($R=R81$)되는 경우를 나타낸 것이다 [여기서, Rd는 다이오드(D)의 도통저항이다]. 이와 같이 전류방향에 따라 저항값(R)이 변화하는 저항회로를 사용하게 되면, 이 저항회로 부분에 의해서도 히스테리시스폭($V_{REF}^+ - V_{REF}^-$)을 변화시킬 수 있게 된다.

제8b도는, 도면중 좌측에서 우측으로 전류가 흐를때에는 저항값(R)이 크고($R=R83+R84$), 도면중 우측에서 좌측으로 전류가 흐를때에는 저항값(R)이 작게($R=R83+Rd$) 되는 경우를 나타낸 것이다. 이와 같이 하여도 히스테리시스폭($V_{REF}^+ - V_{REF}^-$)을 변화시킬 수 있게 된다.

제8c도는, 도면중 좌측에서 우측으로 전류가 흐를때에는 저항값(R)이 제1값 [$R=R85 \parallel (R86+Rd)$]을 갖고, 도면중 우측에서 좌측으로 전류가 흐를때에는 저항값(R)이 제2값 [$R=R85 \parallel (R87+Rd)$]을 갖는 경우를 나타낸 것이다. 이 경우, $R86 \neq R87$ 로 하면, 이들 저항값(R86, R87)에 의해서도 히스테리시스폭($V_{REF}^+ - V_{REF}^-$)을 변화시킬 수 있게 된다.

제9도는, 제1도의 전류공급회로(20, 30)를, 정전류원(2,3) 대신에 정전압원(ZD1, ZD2)을 사용해서 구성한 경우를 나타낸 것으로, 이 제9도에서 트랜지스터(Q3, Q4)는 제2도의 트랜지스터(Q3, Q4)와 마찬가지로 연산증폭기(1)의 출력레벨을 인버터(4)에서 반전시킨 신호에 의해 온/오프제어된다.

제9도에 있어서, 정전원(VDD)은 저항(R91)을 매개해서 제너다이오드(ZD1)의 캐소드에 접속되고, 제너다이오드(ZD1)의 애노드는 기준전위(VGND)회로에 접속된다. 이 기준전위(VGND)회로의 전위를 기준으로 생각하면, 제너다이오드(ZD1)의 캐소드에는 정전원(VDD)의 전압변동에 의존하지 않는 안정한 전압(VZ1)이 얻어지게 된다. 이 안정화된 전압(VZ1)은 P채널 트랜지스터스위치(Q3) 및 저항(R93)을 매개해서 연산증폭기(1)의 비반전입력단(+)에 접속된다.

부전원(VSS)은 저항(R92)을 매개해서 제너다이오드(ZD2)의 애노드에 접속되고, 제너다이오드(ZD2)의 캐소드는 기준전위(VGND)회로에 접속된다. 이 기준전위(VGND)회로의 전위를 기준으로 생각하면, 제너다이오드(ZD2)의 애노드에는 부전원(VSS)의 전압변동에 의존하지 않는 안정한 전압(VZ2)이 얻어지게 된다. 이 안정화된 전압(VZ2)은 N채널 트랜지스터 스위치(Q4) 및 저항(R94)을 매개해서 연산증폭기(1)의 비반전입력단(+)에 접속된다.

제9도의 회로에서는 히스테리시스폭($V_{REF}^+ - V_{REF}^-$)을 안정화전압(VZ1, VZ2)과 저항값(R93, R94)에 의해서 자유롭게 설정할 수 있게 된다.

제10도는 본 발명의 다른 실시예로서, 입력전위의 상승과 하강에 따라 비교레벨의 히스테리시스를 만들어내는 회로구성을 나타낸 것이다. 연산증폭기(1)의 출력은 P 채널 트랜지스터(Q101)의 게이트에 공급되고, 이 트랜지스터(Q101)의 소오스에는 전류(I1)의 정전류원(101)이 접속되며, 그 드레인에는 N채널 트랜지스터(Q2, Q100)의 게이트에 접속된다. 그리고, 이들 트랜지스터(Q2, Q100)의 소오스는 부전원(VSS)에 접속되고, 상기 트랜지스터(Q100)의 게이트는 그 드레인과 함께 전류(I0)의 정전류원(100)에 접속되며, 상기 트랜지스터(Q2)의 드레인은 연산증폭기(1)의 비반전입력단(+)에 접속된다.

제10도에 도시된 회로구성의 입출력특성은 제11도에 나타난 바와 같이 되어, 입력신호(VIN)의 전위 상승과 하강에 따라 비교레벨(V_{REF})이 변화하게 된다. 즉, 입력신호전위(VIN)가 상승할 때에는 출력(VOUT)의 레벨변화점이 $V_{REF} + V_{GND} - R \cdot I_0$ 이지만, 입력신호전위(VIN)가 상승할 때에는 출력(VOUT)의

레벨변화점이 $VREF^+ - VGND - R \cdot I00$ 이지만, 입력신호전위(VIN)가 하강할 때에는 출력(VOUT)의 레벨변화점이 $VREF^+ = VGND - R \cdot (I0 + I1)$ 로 된다.

이와 같이, 입력전위의 상승과 하강에 따라 비교레벨이 변화하게 되는 히스테리시스를 만들 수도 있다. 이 경우의 히스테리시스폭은 $R \cdot I1$ 으로서, I1을 정전류화시키면 역시 전원전압(VDD, VSS)의 변동의 영향을 받지 않게 된다.

제12도는 제2도에 도시된 회로를 MOS 트랜지스터대신에 바이폴라트랜지스터로 구성한 경우를 나타낸 것으로, 제2도의 트랜지스터(Q1~Q4)는 제12도의 트랜지스터(Q1A~Q4A)에 각각 대응한다. 또, 제2도의 트랜지스터(Q20~Q22)는 제12도의 트랜지스터(Q20A~Q22A)에 각각 대응하고, 제12도의 회로동작은 기본적으로 제2도에 나타낸 회로의 동작과 동일하다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 히스테리시스폭이 저항과 정전류원의 전류에 의해 결정되게 되므로, 전원전압이 의존성을 갖지 않게 되고, 작은 히스테리시스폭을 용이하게 설정할 수 있게 되며, 임의의 기준전위에 대해 상하대칭 또는 비대칭인 히스테리시스폭을 설정할 수 있게 된다.

(57) 청구의 범위

청구항 1

소정의 제1비교레벨($VREF^+$)보다도 높은 제1입력레벨 및 소정의 제2비교레벨($VREF^-$)보다도 낮은 제2입력레벨을 갖는 입력신호(VIN)에 응답하고, 이 입력신호(VIN)가 상기 제1입력레벨과 상기 제2입력레벨의 사이에서 레벨변화하는 과정에 있어서, 상기 입력신호(VIN)의 레벨이 상기 제1비교레벨($VREF^+$)보다 높아질 때에는 제1출력레벨(VDD)로부터 제2출력레벨(VSS)로 변화하고 상기 입력신호(VIN)의 레벨이 상기 제2비교레벨($VREF^-$)보다 낮아질 때에는 상기 제2출력레벨(VSS)로부터 상기 제1출력레벨(VDD)로 변화하는 출력신호(VOUT)를 발생시키는 레벨비교수단(1)과, 상기 레벨비교수단(1)에 결합되어 상기 제1 및 제2비교레벨($VREF^+$, $VREF^-$)에 대응하는 전압강하($R \cdot I02$, $R \cdot I03$)를 일으키는 저항회로수단(R) 및, 상기 저항회로수단(R)이 상기 제1비교레벨($VREF^+$)에 대응하는 전압강하($R \cdot I02$ 또는 $R \cdot I0$)를 일으키도록 하는 제1전류신호(I02 또는 I0; 제10도)가 상기 레벨비교수단(1)의 전원전압(VDD, VSS)의 변화에 대해 실질적으로 자유롭도록 상기 제1전류신호(I02 또는 I0)를 안정화시키는 안정화수단(2, 3 또는 100, 101; 제10도)을 포함하고서, 상기 레벨비교수단(1) 및 상기 저항회로수단(R)에 결합되어 상기 출력신호(VOUT)가 상기 제2출력레벨(VSS)로부터 상기 제1출력레벨(VDD)로 변환 후에 상기 제1전류신호(I02 또는 I0)를 상기 저항회로수단(R)으로 공급하는 전류회로수단(4, 20, 30 또는 Q2, Q100, Q101, 100, 101)을 구비한 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 2

제1항에 있어서, 상기 전류회로수단(4, 20, 30)은 상기 출력신호(VOUT)가 상기 제1출력레벨(VDD)로부터 상기 제2출력레벨(VSS)로 변화한 후에 상기 저항회로수단(R)이 상기 제2비교레벨($VREF^-$)에 대응하는 전압강하($R \cdot I03$)를 일으키도록 하는 제2전류신호(I03)를 상기 저항회로수단(R)으로 공급하는 기능을 더 갖춘 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 3

제2항에 있어서, 상기 안정화수단(2, 3)은, 상기 제2전류신호(I03)가 상기 레벨비교수단(1)의 전원전압(VDD, VSS)의 변화에 대해 실질적으로 자유롭도록 상기 제2전류신호(I03)를 안정화시키는 기능을 더 갖춘 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 4

제1항에 있어서, 상기 안정화수단(2, 3)은, 상기 출력신호(VOUT)가 상기 제2출력레벨(VSS)로부터 상기 제1출력레벨(VDD)로 변화한 후 상기 제1전류신호(I02)에 상당하는 정전류를 상기 저항회로수단(R)으로 흐르게 하는 제1정전류공급수단(2)을 포함하고 있는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 5

제4항에 있어서, 상기 레벨비교수단(1)의 전원전압(VDD, VSS)은 정전원회로(VDD) 및 부전원회로(VSS)를 갖추고 있고, 상기 제1정전류공급수단[2; 제7b도]은, 그 소오스가 상기 정전원회로(VSS)에 접속되는 제1 N형 트랜지스터(Q71)와, 그 소오스와 상기 정전원회로(VDD)에 접속되고 그 게이트가 상기 제1 N형 트랜지스터(Q71)의 드레인에 접속되는 제1 P형 트랜지스터(Q73), 상기 제1 N형 트랜지스터(Q71)의 드레인과 상기 제1 P형 트랜지스터(Q73)의 드레인 사이에 삽입되는 저항소자(R7), 그 소오스가 상기 부전원회로(VSS)에 접속되고 그 게이트 및 드레인이 상기 제1 N형 트랜지스터(Q71)의 게이트에 접속되는 제2 N형 트랜지스터(Q72), 그 소오스가 상기 정전원회로(VDD)에 접속되고 그 게이트 및 드레인이 상기 제2 N형 트랜지스터(Q72)의 드레인에 접속되는 제2 P형 트랜지스터(Q74) 및, 그 소오스가 상기 정전원회로(VDD)에 접속되고 그 게이트가 상기 제2 P형 트랜지스터(Q74)의 드레인에 접속되며 그 드레인에 제1전류신호(I0; I02)가 흐르는 제3 P형 트랜지스터(Q75)를 포함하고 있는

며, 상기 제1정전류공급수단 [2; 제7b도]이 상기 레벨비교수단(1)과 함께 집적회로화 되어 있는 것을 특징으로 하는 히스테리시스특성을 갖는 전압비교회로.

청구항 6

제3항에 있어서, 상기 안정화수단(2, 3)은, 상기 출력신호(VOUT)가 상기 제1출력레벨(VDD)로부터 상기 제2출력레벨(VSS)로 변화한 후에 상기 제2전류신호(I03)에 상당하는 정전류를 상기 저항회로수단(R)으로 흐르게 하는 제2정전류공급수단(3)을 포함하고 있는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 7

제6항에 있어서, 상기 레벨수단(1)의 전원전압(VDD, VSS)은 정전원회로(VDD) 및 부전원회로(VSS)를 갖추고 있고, 상기 제2정전류공급수단[3; 제7a도]은 그 소오스가 상기 정전원회로(VDD)에 접속되는 제1 P형 트랜지스터(Q71)와, 그 소오스가 상기 부전원회로(VSS)에 접속되고 그 게이트가 상기 제1 P형 트랜지스터(Q71)의 드레인에 접속되는 제1 N형 트랜지스터(Q73), 상기 제1 P형 트랜지스터(Q71)의 드레인인 상기 제1 N형 트랜지스터(Q73)의 드레인 사이에 삽입되는 저항소자(R7), 그 소오스가 상기 정전원회로(VDD)에 접속되고 그 게이트 및 드레인이 상기 제1 P형 트랜지스터(Q71)의 게이트에 접속되는 제2 P형 트랜지스터(Q74), 그 소오스가 상기 부전원회로(VSS)에 접속되고 그 게이트 및 드레인이 상기 제2 P형 트랜지스터(Q72)의 드레인에 접속되는 제2 N형 트랜지스터(Q72) 및, 그 소오스가 상기 부전원회로(VSS)에 접속되며 그 게이트가 상기 제2 N형 트랜지스터(Q74)의 드레인에 접속되며 그 드레인에 상기 제2전류신호(I0; I03)가 흐르는 제3 N형 트랜지스터(Q75)를 포함하고 있으며, 상기 제2정전류공급수단[3; 제7(A)도]이 상기 레벨비교수단(1)과 함께 집적회로화 되어 있는 것을 특징으로 하는 히스테리시스특성을 갖는 전압비교회로.

청구항 8

제3항에 있어서, 상기 안정화수단(2, 3)은 상기 제1전류신호(I02)를 방출하는 제1정전류회로(2) 및 상기 제2전류신호(I03)를 흡수하는 제2정전류회로(3)를 포함하고 있고, 상기 전류회로수단(4, 20, 30)은, 상기 출력신호(VOUT)가 상기 제1출력레벨(VDD)인 때에 상기 제1전류신호(I02)를 상기 저항회로수단(R)으로 공급하고, 상기 출력신호(VOUT)가 상기 제2출력레벨(VSS)인 때에 상기 제2전류신호(I03)를 상기 저항회로수단(R)으로부터 취출하는 제어회로(SW1, SW2, 4)를 포함하고 있는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 9

제8항에 있어서(제2, 제9도), 상기 제어회로(SW1, SW2, 4)는, 상기 저항회로수단(R)으로 상기 제1전류신호(I02)를 흐르게 하는 회로를 상기 출력신호(VOUT)의 신호레벨에 따라 접속/차단시키는 제1도전형(P)의 제1스위치트랜지스터(Q3)와, 상기 저항회로수단(R)으로부터 상기 제2전류신호(I03)를 흐르게 하는 회로를 상기 출력신호(VOUT)의 신호레벨에 따라 접속/차단시키는 제2도전형(N)의 제2스위치트랜지스터(Q4)를 포함하고 있으면서, 상기 제1스위치트랜지스터(Q3)가 온일 때에는 상기 제2스위치트랜지스터(Q4)가 오프로 되고, 상기 제2스위치트랜지스터(Q4)가 온일 때에는 상기 제1스위치트랜지스터(Q3)가 오프로 되는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 10

제8항에 있어서(제2도), 상기 제1정전류회로(2)는, 소정의 정전류(I05)를 입력으로 하여 상기 제1전류신호(I02)를 출력하는 제1전류미러회로(Q1, Q20, Q22)를 포함하고 있고, 상기 제2정전류회로(3)는, 상기 소정의 정전류(I05)를 입력으로 하여 상기 제2전류신호(I03)를 출력하는 제2전류미러회로(Q2, Q21)를 포함하고 있는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 11

제10항에 있어서(제2도), 상기 제1전류미러회로(Q1, Q20, Q22)는, 그 드레인으로부터 상기 제1전류신호(I02)를 출력하는 제1도전형(P)의 제1트랜지스터(Q1)와, 그 드레인에 상기 소정의 정전류(I05)에 대응하는 전류가 흐르고 그 게이트가 상기 제1트랜지스터(Q1)의 게이트에 결합되는 제1도전형(P)의 제2트랜지스터(Q20)를 포함하고 있고, 상기 제2전류미러회로(Q2, Q21)는, 그 드레인으로부터 상기 제2전류신호(I03)를 출력하는 제2도전형(N)의 제3트랜지스터(Q2)와, 그 드레인에 상기 소정의 정전류(I05)에 대응하는 전류가 흐르고 그 게이트가 상기 제3트랜지스터(Q2)의 게이트에 결합되는 제2도전형(N)의 제4트랜지스터(Q21)를 포함하고 있으며, 상기 제어회로(SW1, SW2, 4)는, 상기 저항회로수단(R)과 상기 제1트랜지스터(Q1)사이의 상기 제1전류신호(I02)가 흐르게 하는 회로를 상기 출력신호(VOUT)의 신호레벨에 따라 접속/차단시키는 제1도전형(P)의 제1스위치트랜지스터(Q3)와, 상기 저항회로수단(R)과 상기 제3트랜지스터(Q2) 사이의 상기 제2전류신호(I03)가 흐르게 하는 회로를 상기 출력신호(VOUT)의 신호레벨에 따라 접속/차단시키는 제2도전형(N)의 제2스위치트랜지스터(Q4)를 포함하고 있으면서, 상기 제1스위치트랜지스터(Q3)가 온일 때에는 상기 제2스위치트랜지스터(Q4)가 오프로 되고, 상기 제2스위치트랜지스터(Q4)가 온일 때에는 상기 제1스위치트랜지스터(Q3)가 오프로 되는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 12

제10항에 있어서(제4도), 상기 제1전류미러회로(Q1, Q20, Q22)는, 그 드레인으로부터 상기 제2전류신호(I02)를 출력하는 제1도전형(P)의 제1트랜지스터(Q1)와, 그 드레인에 상기 소정의 정전류(I05)에 대응하는 전류가 흐르는 제1도전형(P)의 제2트랜지스터(Q20)를 포함하고 있고, 상기 제2전류미러회로(Q2, Q21)는, 그 드레인으로부터 상기 제2전류신호(I03)를 출력하는 제2도전형(N)의 제3트랜지스터(Q2)와, 그 드레인에 상기 소정의 정전류(I05)에 대응하는 전류가 흐르는 제2도전형(N)의 제4트

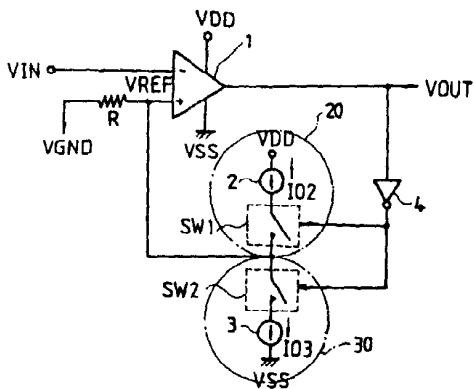
랜지스터(Q21)를 포함하고 있으며, 상기 제어회로(SW1, SW2, 4)는, 상기 제1트랜지스터(Q1)의 게이트와 상기 제2트랜지스터(Q20)의 게이트 사이의 회로를 상기 출력신호(VOUT)의 신호레벨에 따라 접속/차단시키는 제1도전형(P)의 제5트랜지스터(Q5)와, 상기 제3트랜지스터(Q2)의 게이트와 상기 제4트랜지스터(Q21)의 게이트 사이의 회로를 상기 출력신호(VOUT)의 신호레벨에 따라 접속/차단시키는 제2도전형(N)의 제7트랜지스터(Q7) 및, 상기 제2트랜지스터(Q2)의 게이트·소오스 사이에 그 드레인·소오스 사이에 그 드레인·소오스가 접속되는 제2도전형(N)의 제8트랜지스터(Q8)를 포함하고 있으면서, 상기 제5트랜지스터(Q5) 및 제8트랜지스터(Q8)가 온일때에는 상기 제6트랜지스터(Q6)가 오프로 되고, 상기 제6트랜지스터(Q6) 및 제7트랜지스터(Q7)가 온일때에는 상기 제5트랜지스터(Q5)가 오프로 되는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

청구항 13

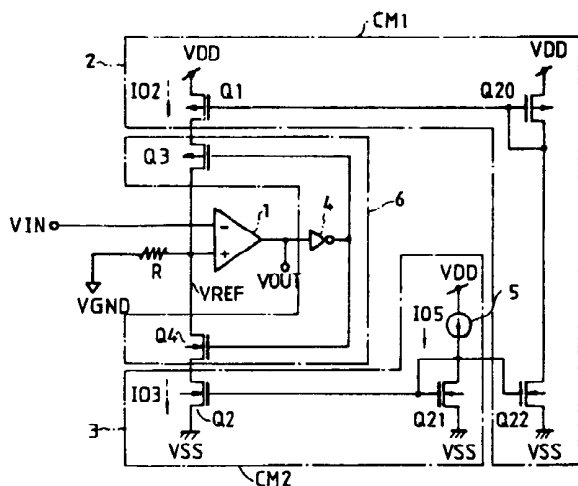
제1항에 있어서(제10도), 상기 전류회로수단(Q2, Q100, Q101, 100, 101)은, 소정의 정전류(I1)를 발생시키는 정전류수단(101)과, 상기 출력신호(VOUT)가 상기 제1출력레벨(VDD)인 때에 상기 제1전류신호(I0)를 상기 저항회로수단(R)으로 공급하고, 상기 출력신호(VOUT)가 상기 제2출력레벨(VSS)인 때에 상기 제1전류신호(I0)와 상기 소정의 정전류(I1)의 합성전류(I0+I1)를 상기 저항회로수단(R)으로 공급하는 회로수단(Q2, Q100, Q101)을 포함하고 있는 것을 특징으로 하는 히스테리시스 특성을 갖는 전압비교회로.

도면

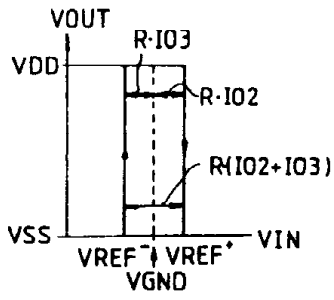
도면1



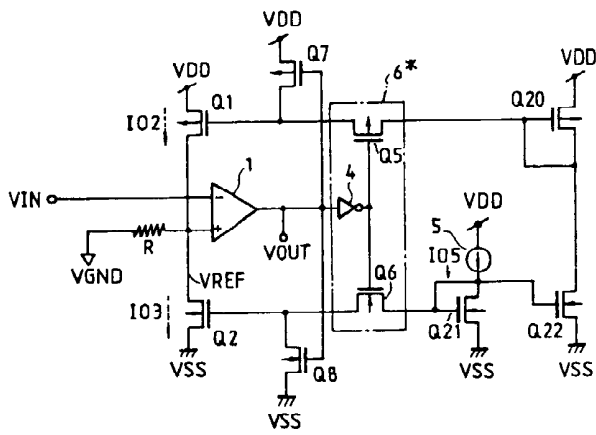
도면2



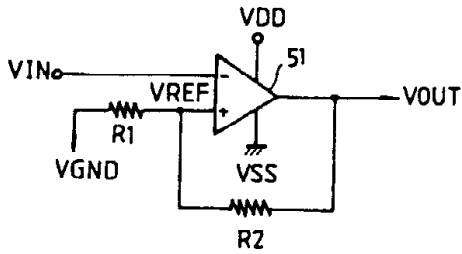
도면3



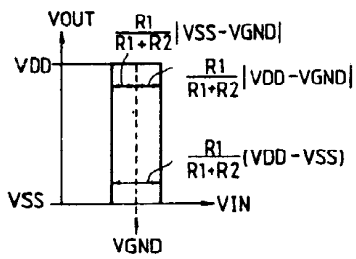
도면4



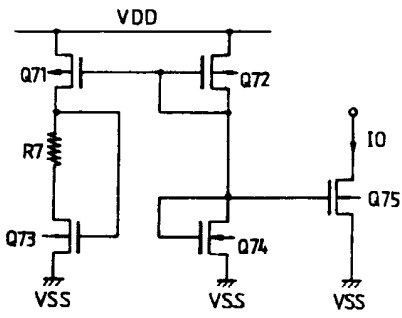
도면5



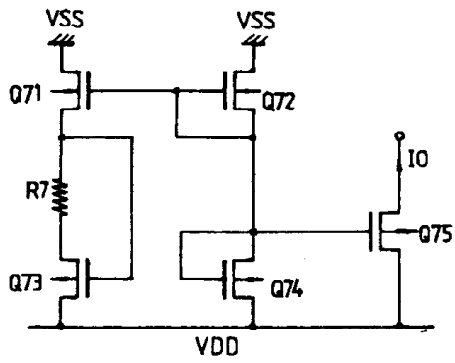
도면6



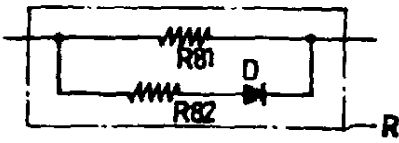
도면7-A



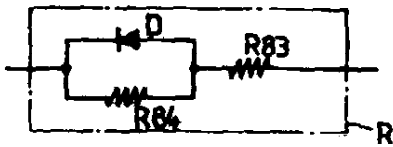
도면7-B



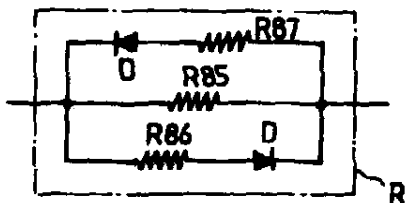
도면8-A



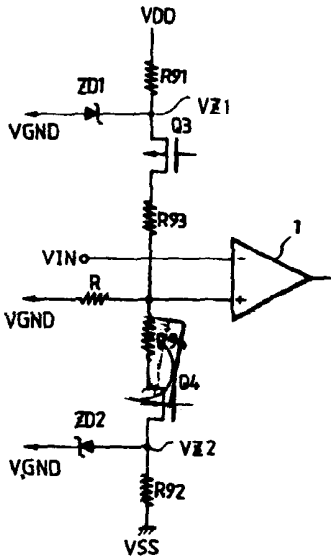
도면8-B



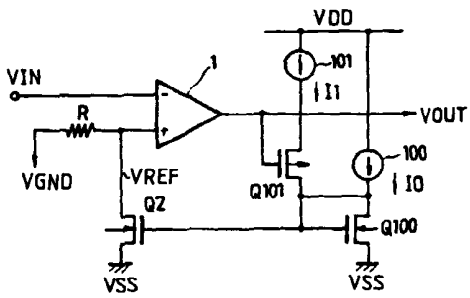
도면8-C



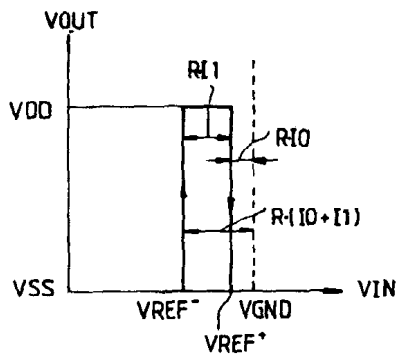
도면9



도면10



도면11



도면 12

