

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294548

(P2005-294548A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04	5 F O 3 8
HO 1 C 13/02	HO 1 C 13/02	B
HO 1 L 27/04	HO 1 L 27/04	C
	HO 1 L 27/04	E

審査請求 有 請求項の数 21 O L (全 14 頁)

(21) 出願番号 特願2004-107800 (P2004-107800)
 (22) 出願日 平成16年3月31日 (2004.3.31)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100073221
 弁理士 花輪 義男
 (72) 発明者 脇坂 伸治
 東京都青梅市今井3丁目10番地6
 カシオ計算機株式会
 社青梅事業所内
 Fターム(参考) 5F038 AC05 AC15 AR07 AZ03 BE07
 CA14 EZ11 EZ20

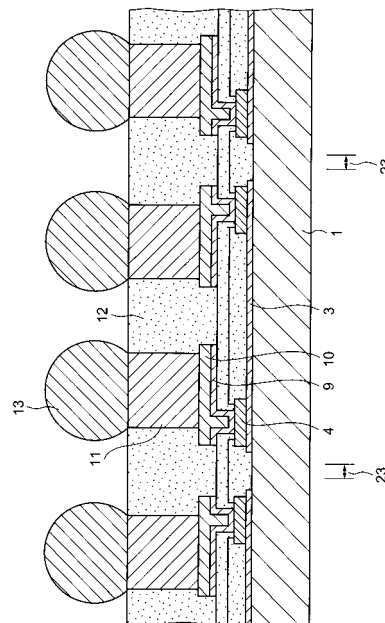
(54) 【発明の名称】 ネットワーク電子部品およびその製造方法

(57) 【要約】

【課題】 構造が簡単で、製造工程を簡略化する。

【解決手段】 ウエハ状態のシリコン基板1上の複数のネットワーク電子部品形成領域に対して、薄膜抵抗体3、接続パッド4、下地金属層9を含む配線10、柱状電極11および半田ボール13の形成を一括して行ない、その後にダイシングストリート23に沿って分断して複数個のネットワーク電子部品を得る。

【選択図】 図11



【特許請求の範囲】

【請求項 1】

基板と、前記基板上に設けられた薄膜受動素子と、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた複数の外部接続用電極とを有することを特徴とするネットワーク電子部品。

【請求項 2】

請求項 1 に記載の発明において、前記基板は半導体基板であることを特徴とするネットワーク電子部品。

【請求項 3】

請求項 1 に記載の発明において、前記薄膜受動素子は抵抗素子であることを特徴とするネットワーク電子部品。 10

【請求項 4】

請求項 1 に記載の発明において、前記薄膜受動素子は容量素子であることを特徴とするネットワーク電子部品。

【請求項 5】

請求項 1 に記載の発明において、前記薄膜受動素子は RC 素子であることを特徴とするネットワーク電子部品。

【請求項 6】

請求項 1 に記載の発明において、前記薄膜受動素子は複数であることを特徴とするネットワーク電子部品。 20

【請求項 7】

請求項 1 に記載の発明において、前記外部接続用電極は、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた配線の接続パッド部に設けられた柱状電極であることを特徴とするネットワーク電子部品。

【請求項 8】

請求項 1 に記載の発明において、前記外部接続用電極は、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた配線の接続パッド部であることを特徴とするネットワーク電子部品。

【請求項 9】

請求項 1 に記載の発明において、前記外部接続用電極は、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた配線の接続パッド部に設けられた上層接続パッドであることを特徴とするネットワーク電子部品。 30

【請求項 10】

請求項 1 に記載の発明において、前記外部接続用電極上に半田ボールが設けられていることを特徴とするネットワーク電子部品。

【請求項 11】

請求項 1 に記載の発明において、前記外部接続用電極上に半田層が設けられていることを特徴とするネットワーク電子部品。

【請求項 12】

ウエハ状態の半導体基板上の複数のネットワーク電子部品形成領域にそれぞれ薄膜受動素子を形成する工程と、前記薄膜受動素子を含む前記ウエハ状態の半導体基板上の前記各ネットワーク電子部品形成領域にそれぞれ外部接続用電極を対応する前記薄膜受動素子に接続されて形成する工程と、前記ウエハ状態の半導体基板を切断して少なくとも 1 つのネットワーク電子部品形成領域を有するネットワーク電子部品を複数個得る工程とを有することを特徴とするネットワーク電子部品の製造方法。 40

【請求項 13】

請求項 12 に記載の発明において、前記薄膜受動素子は抵抗素子であることを特徴とするネットワーク電子部品の製造方法。

【請求項 14】

請求項 12 に記載の発明において、前記薄膜受動素子は容量素子であることを特徴とす 50

るネットワーク電子部品の製造方法。

【請求項 15】

請求項 12 に記載の発明において、前記薄膜受動素子は RC 素子であることを特徴とするネットワーク電子部品の製造方法。

【請求項 16】

請求項 12 に記載の発明において、前記切断は、前記ネットワーク電子部品形成領域が偶数含まれるように切断することを特徴とするネットワーク電子部品の製造方法。

【請求項 17】

請求項 12 に記載の発明において、前記外部接続用電極は、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた配線の接続パッド部上に設けられた柱状電極であることを特徴とするネットワーク電子部品の製造方法。

10

【請求項 18】

請求項 12 に記載の発明において、前記外部接続用電極は、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた配線の接続パッド部であることを特徴とするネットワーク電子部品の製造方法。

【請求項 19】

請求項 12 に記載の発明において、前記外部接続用電極は、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた配線の接続パッド部上に設けられた上層接続パッドであることを特徴とするネットワーク電子部品の製造方法。

【請求項 20】

請求項 12 に記載の発明において、前記外部接続用電極上に半田ボールを形成する工程を有することを特徴とするネットワーク電子部品の製造方法。

20

【請求項 21】

請求項 12 に記載の発明において、前記外部接続用電極上に半田層を形成する工程を有することを特徴とするネットワーク電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明はネットワーク電子部品およびその製造方法に関する。

【背景技術】

30

【0002】

従来のネットワーク電子部品には、相互に分離された複数の薄膜抵抗素子を備えたものがある（例えば、特許文献 1 参照）。このネットワーク電子部品では、セラミックス基板の両側面に複数の溝が設けられ、セラミックス基板の上面において溝に対応しない部分に複数対の上部電極が設けられ、セラミックス基板の下面において溝に対応しない部分に複数対の下部電極が設けられ、セラミックス基板の両側面において溝に対応しない部分に複数対の側面電極がそれぞれ対応する上部電極および下部電極に接続されて設けられ、各対の上部電極間に薄膜抵抗体が設けられ、薄膜抵抗体等を含むセラミックス基板上に保護ガラス層、中間ガラス層および被覆ガラス層が設けられ、この状態で露出された上部電極、下部電極および側面電極からなる電極部の表面にニッケルメッキおよび半田メッキが設けられた構造となっている。

40

【0003】

【特許文献 1】特開 2000 - 348914 号公報

【0004】

ところで、上記構造のネットワーク電子部品を製造する場合には、完成されたネットワーク電子部品を複数個形成することが可能な面積を有する集合セラミックス基板の上面に第 1 ブレーク溝および第 2 ブレーク溝を格子状に形成し、第 1 ブレーク溝上における集合セラミックス基板に側面溝形成用のスルーホールを形成し、集合セラミックス基板の上面に電極ペーストを印刷して上部電極を形成し、集合セラミックス基板の下面に電極ペーストを印刷して下部電極を形成し、対の上部電極間に抵抗体ペーストを印刷して薄膜抵抗体

50

を形成し、薄膜抵抗体を保護するための保護ガラス層を印刷して形成し、中間ガラス層および被覆ガラス層を印刷して形成し、集合セラミックス基板を第1ブレイク溝に沿って切断して両側面に溝を有する複数のバー状セラミックス基板に分割し、バー状セラミックス基板の両側面に電極ペーストを塗布して側面電極を形成し、バー状セラミックス基板を第2ブレイク溝に沿って切断して複数の単体セラミックス基板に分割し、単体セラミックス基板の上部電極、下部電極および側面電極からなる電極部の表面にニッケルメッキおよび半田メッキを形成している。

【発明の開示】

【発明が解決しようとする課題】

【0005】

10

しかしながら、上記構造のネットワーク電子部品では、電極部を、セラミックス基板の上面において溝に対応しない部分に設けられた上部電極と、セラミックス基板の下面において溝に対応しない部分に設けられた下部電極と、セラミックス基板の両側面において溝に対応しない部分に設けられた側面電極とによって構成しているため、構造が複雑である上、製造工程が極めて繁雑であるという問題があった。製造工程について説明すると、第1ブレイク溝および第2ブレイク溝形成工程、スルーホール形成工程、上部電極形成工程、下部電極形成工程、薄膜抵抗体形成工程、保護ガラス層形成工程、中間ガラス層および被覆ガラス層形成工程、第1ブレイク溝切断工程、側面電極形成工程、第2ブレイク溝切断工程、ニッケルメッキおよび半田メッキ形成工程、というように工程数が多く、しかも、側面電極形成工程は第1ブレイク溝切断工程後であり、ニッケルメッキおよび半田メッキ形成工程は第2ブレイク溝切断工程後であり、製造工程が極めて繁雑となってしまう。

20

【0006】

そこで、この発明は、構造が簡単で、製造工程を簡略化することができるネットワーク電子部品を提供することを目的とする。

【課題を解決するための手段】

【0007】

この発明は、上記目的を達成するため、基板と、前記基板上に設けられた薄膜受動素子と、前記薄膜受動素子を含む前記基板上に前記薄膜受動素子に接続されて設けられた複数の外部接続用電極とを有することを特徴とするものである。

【発明の効果】

30

【0008】

この発明によれば、基板上にのみ外部接続用電極を設けているため、構造が簡単で、製造工程を簡略化することができる。

【発明を実施するための最良の形態】

【0009】

(第1実施形態)

図1はこの発明の第1実施形態としてのネットワーク電子部品の等価回路的平面図を示す。このネットワーク電子部品では、平面正方形のシリコン基板(半導体基板)1上に2つの薄膜抵抗素子(薄膜受動素子)2が相互に分離されて設けられている。この場合、薄膜抵抗素子2の両端部は、後述する柱状電極11からなる外部接続用電極に接続されている。

40

【0010】

次に、図2は図1に示すネットワーク電子部品の平面図を示し、図3は図2のIII-III線に沿う断面図を示す。図3を参照して説明すると、シリコン基板1の上にはNiCrやTa₂N等からなる短冊形状の薄膜抵抗体3が設けられている。薄膜抵抗体3の両端部上面にはアルミニウム系金属等からなる複数の接続パッド4が設けられている。接続パッド4の中央部を除く領域において薄膜抵抗体3を含むシリコン基板1の上には酸化シリコン等からなる絶縁膜5が設けられ、接続パッド4の中央部は絶縁膜5に設けられた開口部6を介して露出されている。

【0011】

50

絶縁膜 5 の上面にはポリイミド系樹脂やエポキシ系樹脂等からなる保護膜 (絶縁膜) 7 が設けられている。この場合、絶縁膜 5 の開口部 6 に対応する部分における保護膜 7 には開口部 8 が設けられている。保護膜 7 の上面には銅等からなる下地金属層 9 が設けられている。下地金属層 9 の上面全体には銅からなる配線 10 が設けられている。下地金属層 9 を含む配線 10 の一端部は、両開口部 6、8 を介して接続パッド 4 に接続されている。

【0012】

配線 10 の接続パッド部上面には銅からなる柱状電極 11 が設けられている。配線 10 を含む保護膜 7 の上面にはエポキシ系樹脂やポリイミド系樹脂等からなる封止膜 12 がその上面が柱状電極 11 の上面と面一となるように設けられている。柱状電極 11 の上面には半田ボール 13 が設けられている。

10

【0013】

ところで、図 1 に示すように、平面正形状のシリコン基板 1 上には 2 つの薄膜抵抗素子 2 が相互に分離されて設けられ、4 つの柱状電極 11 からなる外部接続用電極が 2 行 2 列に配置されている。したがって、図 2 に示すように、柱状電極 11 および半田ボール 13 は 2 行 2 列に配置されている。ここで、このネットワーク電子部品の一部の寸法の一例について説明すると、シリコン基板 1 のサイズは 1.0 mm × 1.0 mm であり、柱状電極 11 のピッチは 0.5 mm であり、柱状電極 11 の直径は 0.25 mm である。

【0014】

次に、このネットワーク電子部品の製造方法の一例について説明する。まず、図 4 に示すように、ウエハ状態のシリコン基板 (半導体基板) 1 を用意する。ここで、図 4 において、縦線と横線とで囲まれた正形状で無印の領域はネットワーク電子部品形成領域 21 であり、×印の領域はアライメントマーク形成領域 22 である。したがって、縦線および横線はダイシングストリート 23 である。ただし、ダイシングストリート 23 は、シリコン基板 1 の上面に実際に形成されているものではなく、設計上の仮想線である。

20

【0015】

次に、図 5 に示すように、ウエハ状態のシリコン基板 1 の上面に NiCr や TaN 等からなる短冊形状の薄膜抵抗体 3 を印刷、焼成により形成する。この状態では、図 4 に示す 1 つの正形状のネットワーク電子部品形成領域 21 におけるシリコン基板 1 の上面に 2 つの短冊形状の薄膜抵抗体 3 が互いに平行に形成されている。次に、薄膜抵抗体 3 の両端部上面にアルミニウム系金属等からなる接続パッド 4 を形成する。

30

【0016】

次に、薄膜抵抗体 3 および接続パッド 4 を含むシリコン基板 1 の上面全体に酸化シリコン等からなる絶縁膜 5 を形成する。次に、接続パッド 4 の中央部に対応する部分における絶縁膜 5 に開口部 6 を形成する。次に、開口部 5 内を含む前記煙幕 5 の上面全体にポリイミド系樹脂やエポキシ系樹脂等からなる保護膜 7 を形成する。次に、絶縁膜 5 の開口部 6 に対応する部分における保護膜 7 に開口部 8 を形成する。

【0017】

次に、図 6 に示すように、両開口部 6、8 を介して露出された接続パッド 4 の上面を含む保護膜 7 の上面全体に下地金属層 9 を形成する。この場合、下地金属層 9 は、無電解メッキにより形成された銅層のみであってもよく、またスパッタにより形成された銅層のみであってもよく、さらにスパッタにより形成されたチタン等の薄膜層上にスパッタにより銅層を形成したものであってもよい。

40

【0018】

次に、下地金属層 9 の上面にメッキレジスト膜 24 をパターン形成する。この場合、配線 10 形成領域に対応する部分におけるメッキレジスト膜 24 には開口部 25 が形成されている。次に、下地金属層 9 をメッキ電流路として銅の電解メッキを行なうことにより、メッキレジスト膜 24 の開口部 25 内の下地金属層 9 の上面に配線 10 を形成する。次に、メッキレジスト膜 24 を剥離する。

【0019】

次に、図 7 に示すように、配線 10 を含む下地金属層 9 の上面にメッキレジスト膜 26

50

をパターン形成する。この場合、柱状電極 11 形成領域に対応する部分におけるメッキレジスト膜 26 には開口部 27 が形成されている。次に、下地金属層 9 をメッキ電流路として銅の電解メッキを行なうことにより、メッキレジスト膜 26 の開口部 27 内の配線 10 の接続パッド部上面に柱状電極 11 を形成する。次に、メッキレジスト膜 26 を剥離し、次いで、配線 10 をマスクとして下地金属層 9 の不要な部分をエッチングして除去すると、図 8 に示すように、配線 10 下にのみ下地金属層 9 が残存される。

【0020】

次に、図 9 に示すように、スクリーン印刷法、スピンコーティング法、ダイコート法等により、柱状電極 11 および配線 10 を含む保護膜 7 の上面全体にエポキシ系樹脂やポリイミド系樹脂等からなる封止膜 12 をその厚さが柱状電極 11 の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極 11 の上面は封止膜 12 によって覆われている。

10

【0021】

次に、封止膜 12 および柱状電極 11 の上面側を適宜に研磨し、図 10 に示すように、柱状電極 11 の上面を露出させ、且つ、この露出された柱状電極 11 の上面を含む封止膜 12 の上面を平坦化する。ここで、柱状電極 11 の上面側を適宜に研磨するのは、電解メッキにより形成される柱状電極 11 の高さにはばらつきがあるため、このばらつきを解消して、柱状電極 11 の高さを均一にするためである。

【0022】

次に、図 11 に示すように、柱状電極 11 の上面に半田ボール 13 を形成する。次に、シリコン基板 1 の下面をダイシングテープ（図示せず）に貼り付け、図 4 に示すアライメントマーク形成領域 22 に形成されたアライメントマーク（図示せず）を基準として、図 12 に示すように、シリコン基板 1 等をダイシングストリート 23 に沿って切断し、ダイシングテープから剥がすと、図 2 に示すネットワーク電子部品が複数個得られる。

20

【0023】

このようにして得られたネットワーク電子部品では、シリコン基板 1 上にのみ外部接続用電極としての柱状電極 11 を設けているので、構造が簡単である。また、上記製造方法では、ウエハ状態のシリコン基板 1 上の複数のネットワーク電子部品形成領域 21 に対して、薄膜抵抗素子 3、接続パッド 4、配線 10、柱状電極 11 および半田ボール 13 の形成を一括して行い、その後、ダイシングストリート 23 に沿って分断して複数個のネットワーク電子部品を得ているので、製造工程を簡略化することができる。

30

【0024】

（第 2 実施形態）

図 13 はこの発明の第 2 実施形態としてのネットワーク電子部品の等価回路的平面図を示す。このネットワーク電子部品では、平面正形状のシリコン基板 1 上に 1 つの薄膜抵抗素子 2 と 1 つの薄膜容量素子（薄膜受動素子）31 とからなる RC 素子（ローパスフィルタ）が設けられている。この場合、薄膜抵抗素子 2 の両端部は、柱状電極からなる入力側および出力側の外部接続用電極 32、33 に接続されている。薄膜容量素子 31 の一端部は薄膜抵抗素子 2 の出力側に接続され、他端部は、柱状電極からなる入力側および出力側の外部接続用電極 34、35 に接続されている。

40

【0025】

次に、図 13 に示す薄膜抵抗素子 2 の部分について、図 13 の XIV - XIV 線に沿う断面図である図 14 を参照して説明する。図 14 に示すネットワーク電子部品において、図 3 に示すネットワーク電子部品と異なる点は、保護膜 7 と封止膜 12 との間にエポキシ系樹脂やポリイミド系樹脂等からなる層間絶縁膜 41 を設け、保護膜 7 の上面に設けられた銅等からなる下地金属層 42 を含む銅からなる中間配線 43 を絶縁膜 5 および保護膜 7 の開口部 6、8 を介して接続パッド 4 に接続させ、層間絶縁膜 41 の上面に設けられた下地金属層 9 を含む配線 10 を層間絶縁膜 41 に設けられた開口部 44 を介して中間配線 43 に接続させた点である。

【0026】

50

次に、図13に示す薄膜容量素子31の部分について、図13のXV-XV線に沿う断面図である図15を参照して説明する。保護膜7の上面には銅等からなる下地金属層45を含む銅からなる下層導電層46が設けられている。この場合、下地金属層45を含む下層導電層46は、図14に示す下地金属層42を含む中間配線43に引き回し線(図示せず)を介して接続されている。層間絶縁膜41の上面には銅等からなる下地金属層47を含む銅からなる上層導電層48が設けられている。

【0027】

ここで、上層導電層48と下層導電層46とは、その間に層間絶縁膜41が介在された状態で、相対向して配置され、薄膜容量素子31を構成している。上層導電層48は2つの接続パッド部を有し、これらの接続パッド部上面には柱状電極11が設けられている。上層導電層48を含む層間絶縁膜41の上面には封止膜12がその上面が柱状電極11の上面と面一となるように設けられている。柱状電極11の上面には半田ボール13が設けられている。

10

【0028】

そして、このネットワーク電子部品でも、シリコン基板1上のみ外部接続用電極としての柱状電極11を設けているので、構造が簡単である。また、このネットワーク電子部品を製造する場合も、上記第1実施形態の場合と同様に、シリコン基板1上の複数のネットワーク電子部品形成領域に対して、薄膜抵抗体3、接続パッド4、中間配線43、下層導電層46、配線10、上層導電層48、柱状電極11および半田ボール13の形成を一括して行い、その後に分断して複数個のネットワーク電子部品を得ることができるので、製造工程を簡略化することができる。

20

【0029】

(第3実施形態)

図16はこの発明の第3実施形態としてのネットワーク電子部品の等価回路的平面図を示す。このネットワーク電子部品では、シリコン基板1上に1つの薄膜抵抗素子2と2つの薄膜容量素子31が設けられている。この場合、薄膜抵抗素子2の両端部は、上側の2つの柱状電極11からなる外部接続用電極に接続されている。一方の薄膜容量素子31の両端部は、左側の2つの柱状電極11からなる外部接続用電極に接続されている。他方の薄膜容量素子31の両端部は、右側の2つの柱状電極11からなる外部接続用電極に接続されている。

30

【0030】

(第4実施形態)

例えば、上記第1実施形態では、図4に示すダイシングストリート23の全てに沿って切断し、図1に示すように、平面正方形で2つの薄膜抵抗素子2を有するネットワーク電子部品を複数個得ているが、これに限定されるものではない。例えば、図4において、縦線からなるダイシングストリート23の全てに沿って切断し、且つ、横線からなるダイシングストリート23の1本おきに沿って切断すると、図17に示すこの発明の第4実施形態のように、平面長方形で4つの薄膜抵抗素子2を有するネットワーク電子部品が複数個得られる。

【0031】

(第5実施形態)

また、図4において、縦線からなるダイシングストリート23の1本おきに沿って切断し、且つ、横線からなるダイシングストリート23の1本おきに沿って切断すると、図18に示すこの発明の第5実施形態のように、平面正方形で8つの薄膜抵抗素子2を有するネットワーク電子部品が複数個得られる。

40

【0032】

ここで、上記第1、第4、第5実施形態から明らかなように、図4に示す同一のウエハ状態のシリコン基板1を切断するとき、ダイシング位置を変更するだけで、ネットワーク電子部品形成領域21が1つ含まれるように分断したり、ネットワーク電子部品形成領域21が2つあるいは4つつまり偶数含まれるように分断したりすることができる。このよ

50

うな切断を可能とするのは、上述の如く、ウエハ状態のシリコン基板 1 上の複数のネットワーク電子部品形成領域 2 1 に対して、薄膜抵抗体 3、接続パッド 4、配線 1 0、柱状電極 1 1 および半田ボール 1 3 の形成を一括して行い、その後に分断しているからである。

【 0 0 3 3 】

(第 6 実施形態)

図 1 9 はこの発明の第 6 実施形態としてのネットワーク電子部品の断面図を示す。このネットワーク電子部品において、図 3 に示すネットワーク電子部品と異なる点は、半田ボール 1 3 の代わりに、柱状電極 1 1 の上面に半田層 1 3 a を設けた点である。

【 0 0 3 4 】

(第 7 実施形態)

図 2 0 はこの発明の第 7 実施形態としてのネットワーク電子部品の断面図を示す。このネットワーク電子部品において、図 3 に示すネットワーク電子部品と異なる点は、柱状電極 1 1 および封止膜 1 1 を有せず、配線 1 0 を含む保護膜 7 の上面にソルダーレジスト等からなるオーバーコート膜 5 1 を設け、配線 1 0 の接続パッド部に対応する部分におけるオーバーコート膜 5 1 に開口部 5 2 を設け、開口部 5 2 を介して露出された配線 1 0 の接続パッド部 (外部接続用電極) 上に半田ボールを設けた点である。

【 0 0 3 5 】

(第 8 実施形態)

図 2 1 はこの発明の第 8 実施形態としてのネットワーク電子部品の断面図を示す。このネットワーク電子部品において、図 2 0 に示すネットワーク電子部品と異なる点は、オーバーコート膜 5 1 の開口部 5 2 内およびその近傍のオーバーコート膜 5 1 の上面に銅等からなる下地金属層 5 3 および銅からなる上層接続パッド (外部接続用電極) 5 4 を配線 1 0 の接続パッド部に接続させて設け、下地金属層 5 3 を含む上層接続パッド 5 4 上に半田ボール 1 3 を設けた点である。

【 図面の簡単な説明 】

【 0 0 3 6 】

【 図 1 】 この発明の第 1 実施形態としてのネットワーク電子部品の等価回路的平面図。

【 図 2 】 図 1 に示すネットワーク電子部品の平面図。

【 図 3 】 図 2 の III - III 線に沿う断面図。

【 図 4 】 図 1 ~ 図 3 に示すネットワーク電子部品の製造に際し、当初用意したウエハ状態のシリコン基板の平面図。

【 図 5 】 図 4 に続く工程の断面図。

【 図 6 】 図 5 に続く工程の断面図。

【 図 7 】 図 6 に続く工程の断面図。

【 図 8 】 図 7 に続く工程の断面図。

【 図 9 】 図 8 に続く工程の断面図。

【 図 1 0 】 図 9 に続く工程の断面図。

【 図 1 1 】 図 1 0 に続く工程の断面図。

【 図 1 2 】 図 1 1 に続く工程の断面図。

【 図 1 3 】 この発明の第 2 実施形態としてのネットワーク電子部品の等価回路的平面図。

【 図 1 4 】 図 1 3 の XIV - XIV 線に沿う断面図。

【 図 1 5 】 図 1 3 の XV - XV 線に沿う断面図。

【 図 1 6 】 この発明の第 3 実施形態としてのネットワーク電子部品の等価回路的平面図。

【 図 1 7 】 この発明の第 4 実施形態としてのネットワーク電子部品の等価回路的平面図。

【 図 1 8 】 この発明の第 5 実施形態としてのネットワーク電子部品の等価回路的平面図。

【 図 1 9 】 この発明の第 6 実施形態としてのネットワーク電子部品の断面図。

【 図 2 0 】 この発明の第 7 実施形態としてのネットワーク電子部品の断面図。

【 図 2 1 】 この発明の第 8 実施形態としてのネットワーク電子部品の断面図。

【 符号の説明 】

【 0 0 3 7 】

10

20

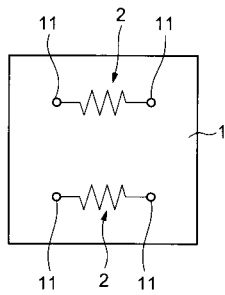
30

40

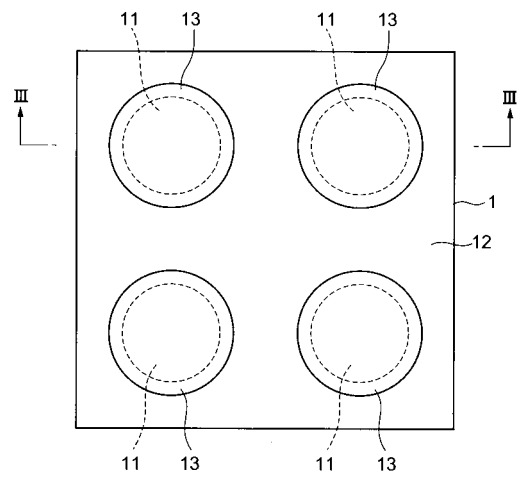
50

- 1 シリコン基板
- 2 薄膜抵抗素子
- 3 薄膜抵抗体
- 4 接続パッド
- 5 絶縁膜
- 7 保護膜
- 10 配線
- 11 柱状電極
- 12 封止膜
- 13 半田ボール

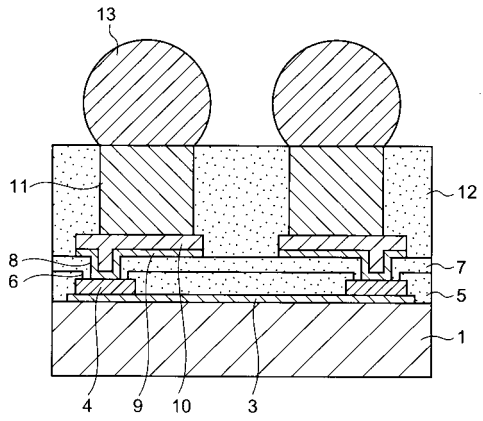
【図1】



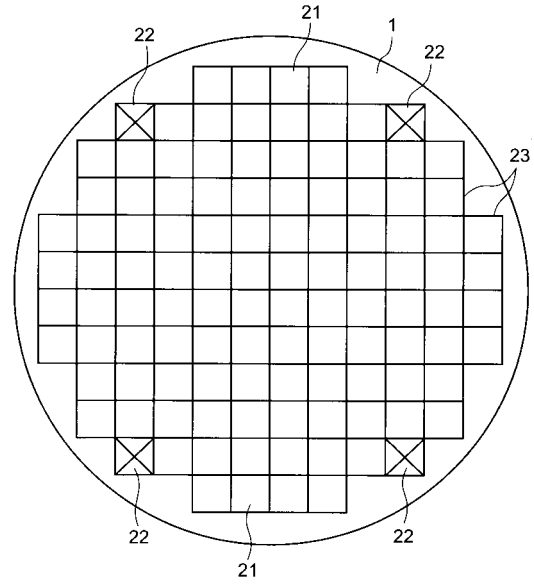
【図2】



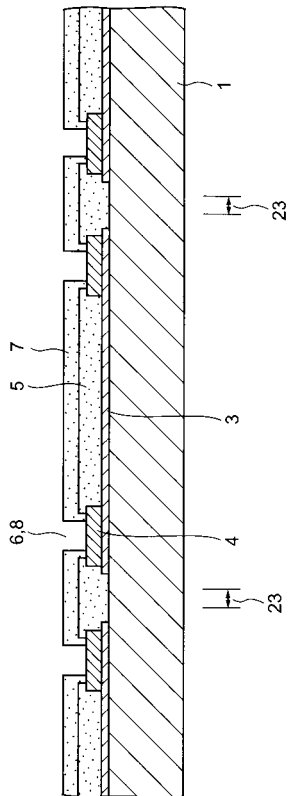
【 図 3 】



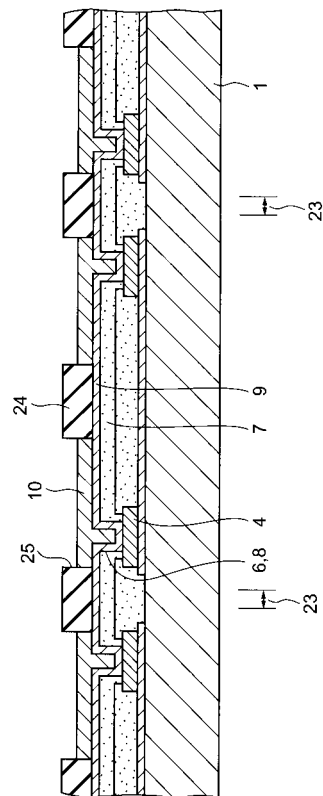
【 図 4 】



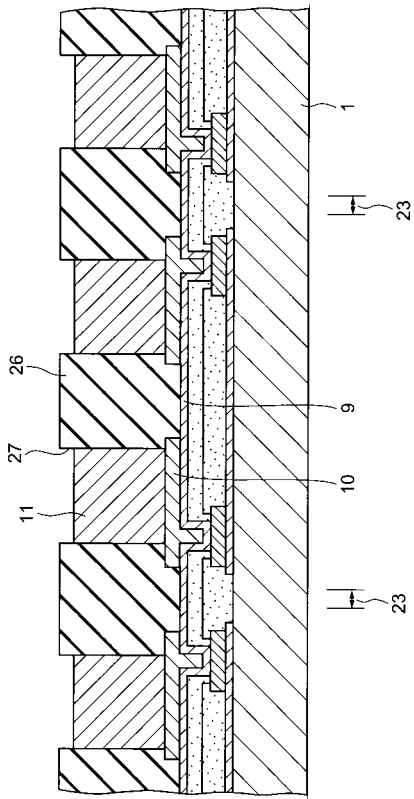
【 図 5 】



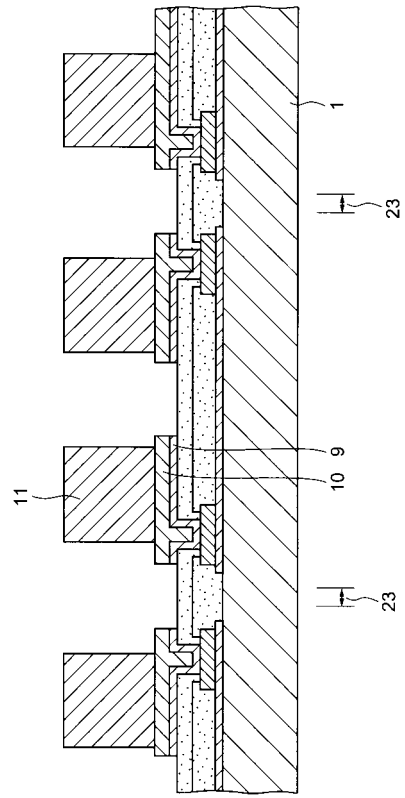
【 図 6 】



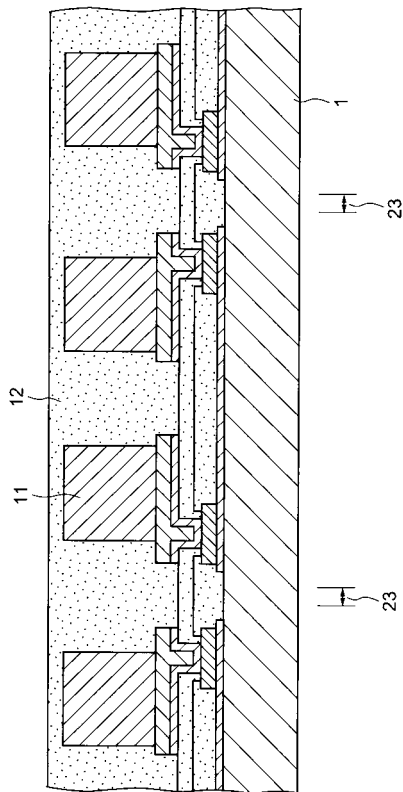
【図 7】



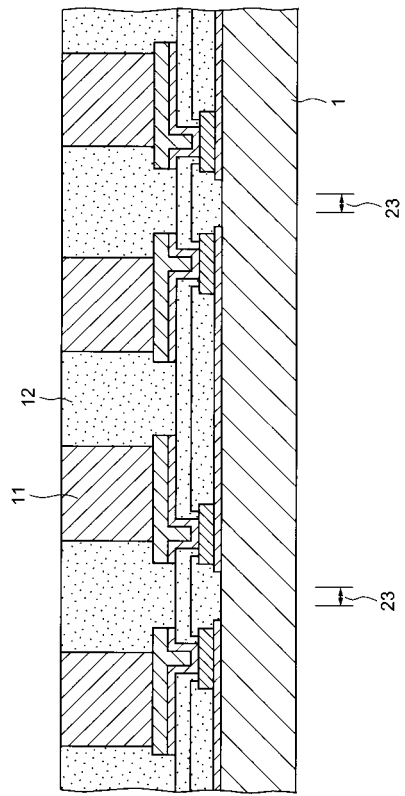
【図 8】



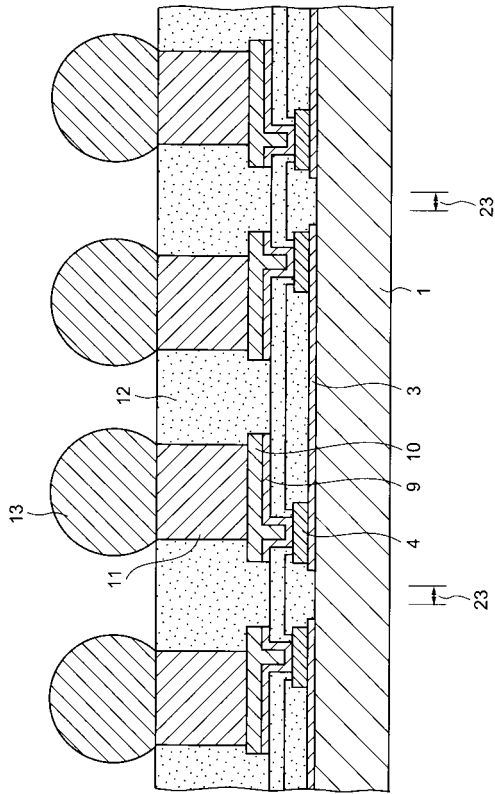
【図 9】



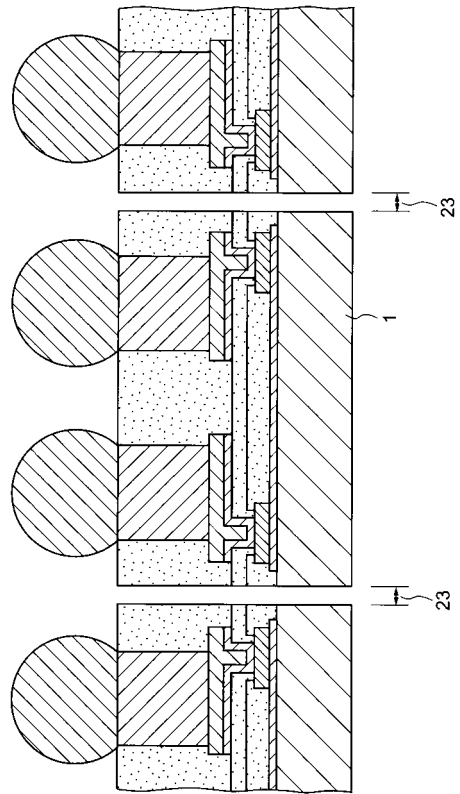
【図 10】



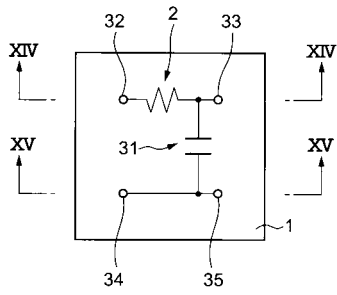
【 図 1 1 】



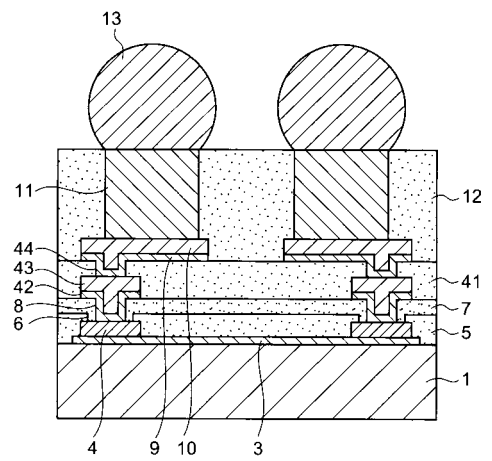
【 図 1 2 】



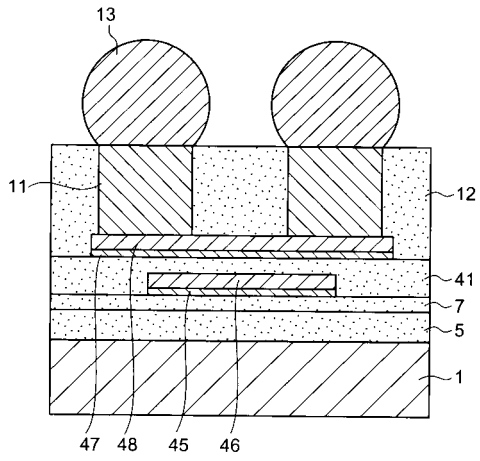
【 図 1 3 】



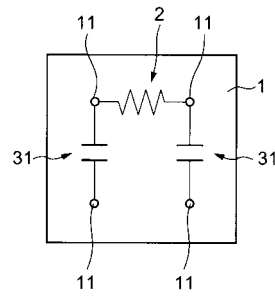
【 図 1 4 】



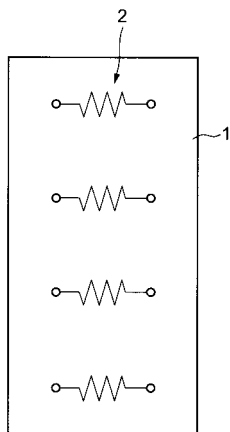
【 図 1 5 】



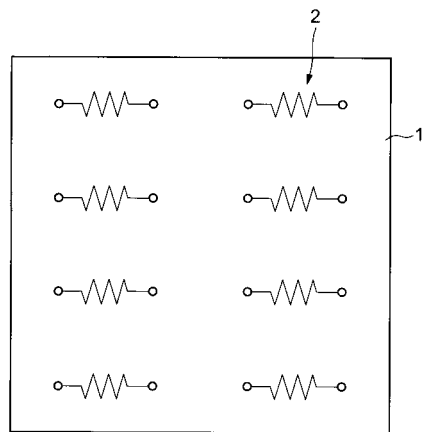
【 図 1 6 】



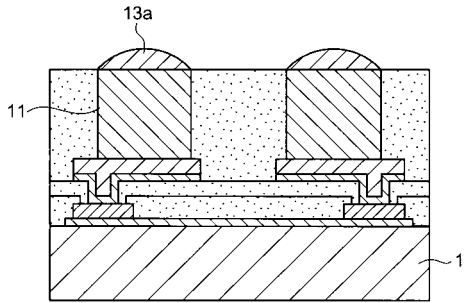
【 図 1 7 】



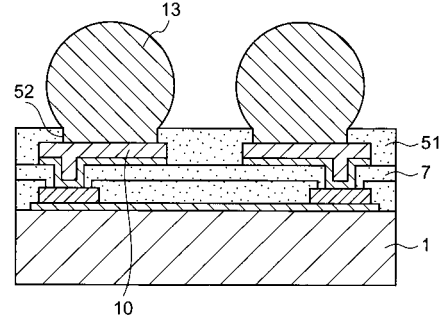
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



【 図 2 1 】

