

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6089492号
(P6089492)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int.Cl.

F I

G O 6 F 13/362 (2006.01)

G O 6 F 13/362 5 1 0 H

G O 6 F 13/38 (2006.01)

G O 6 F 13/38 3 5 0

G O 6 F 12/00 (2006.01)

G O 6 F 12/00 5 7 2 A

請求項の数 6 (全 18 頁)

(21) 出願番号 特願2012-179905 (P2012-179905)
 (22) 出願日 平成24年8月14日 (2012.8.14)
 (65) 公開番号 特開2014-38436 (P2014-38436A)
 (43) 公開日 平成26年2月27日 (2014.2.27)
 審査請求日 平成27年5月12日 (2015.5.12)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 松下 佳人
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 田上 隆一

最終頁に続く

(54) 【発明の名称】 システム制御装置、情報処理システム、システム制御装置の制御方法およびシステム制御装置の制御プログラム

(57) 【特許請求の範囲】

【請求項 1】

情報処理装置を制御するシステム制御装置において、

前記情報処理装置が備える部品にアクセスを行う場合、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行する発行部と、

前記部品が他のアクセス要求に含まれる回数情報をカウンタに保持してアクセスごとにカウンタが保持する回数情報を減算してカウンタが保持した回数情報が他のアクセス要求を実行中でないことを示すと判定した結果に基づいて前記アクセス要求を許可した旨を示す応答を、前記情報処理装置から受信した場合に、該部品にアクセスする実行部と

を有することを特徴とするシステム制御装置。

【請求項 2】

前記発行部は、前記アドレスを指定する情報の一部を、前記回数を示す情報に用いることを特徴とする請求項 1 に記載のシステム制御装置。

【請求項 3】

前記発行部は、前記部品へのアクセス要求が許可されなかった旨を示す応答を、前記情報処理装置から受信した場合に、前記アドレス情報と前記回数情報とを含むアクセス要求を再発行することを特徴とする請求項 1 または 2 に記載のシステム制御装置。

【請求項 4】

情報処理装置と、該情報処理装置を制御するシステム制御装置とを有する情報処理シス

テムにおいて、

前記システム制御装置は、

前記情報処理装置が備える部品にアクセスを行う場合、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行する発行部と、

前記部品が前記アクセス要求を許可した旨を示す応答を、前記システム制御装置が、前記情報処理装置から受信した場合に、該部品にアクセスする実行部とを有し、

前記情報処理装置が備える部品は、

アクセス要求を許可された前記システム制御装置によって該アクセス要求に含まれた前記回数情報に対応する回数を保持するカウンタと、

前記システム制御装置からアクセスされるごとに、前記カウンタが保持した回数を減算する減算部と、

アクセス要求を前記システム制御装置から受信した場合、前記カウンタが保持した回数が、該受信したアクセス要求以外のアクセスを実行中ではないことを示すかを判定する判定部と、

前記判定部による判定結果に基づき、前記アクセス要求を許可する旨又は前記アクセス要求を許可しない旨を応答する応答部とを有する

ことを特徴とする情報処理システム。

【請求項 5】

情報処理装置を制御するシステム制御装置の制御方法において、

前記システム制御装置が有する発行部が、前記情報処理装置が備える部品にアクセスを行う場合、前記発行部が、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行し、

前記部品が他のアクセス要求に含まれる回数情報をカウンタに保持してアクセスごとにカウンタが保持する回数情報を減算してカウンタが保持した回数情報が他のアクセス要求を実行中でないことを示すと判定した結果に基づいて前記アクセス要求を許可した旨を示す応答を、前記システム制御装置が、前記情報処理装置から受信した場合に、前記システム制御装置が有する実行部が、該部品にアクセスすることを特徴とするシステム制御装置の制御方法。

【請求項 6】

情報処理装置を制御するシステム制御装置の制御プログラムにおいて、

前記システム制御装置が有する発行部が、前記情報処理装置が備える部品にアクセスを行う場合、前記発行部に、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行させ、

前記部品が他のアクセス要求に含まれる回数情報をカウンタに保持してアクセスごとにカウンタが保持する回数情報を減算してカウンタが保持した回数情報が他のアクセス要求を実行中でないことを示すと判定した結果に基づいて前記アクセス要求を許可した旨を示す応答を、前記システム制御装置が、前記情報処理装置から受信した場合に、前記システム制御装置が有する実行部に、該部品にアクセスさせることを特徴とするシステム制御装置の制御プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、システム制御装置、情報処理システム、システム制御装置の制御方法およびシステム制御装置の制御プログラムに関する。

【背景技術】

【0002】

HPC (High Performance Computing) モデルなど、複数のシステムボード (以下 S

10

20

30

40

50

B) をラック等を実装した大規模な計算機システムがある。このような計算機システムは、各SBに多数の部品を高密度に実装することで、設置面積を削減する。

【0003】

例えば、各SBは、電源制御素子、記憶素子、演算素子および通信素子などの複数の部品を備える。これらの部品は、計算機システムが有するシステム制御装置(サービスプロセッサ、以下SP)によって、システム運用のための制御やデバッグ用途の制御を受ける。

【0004】

図8を用いて、従来技術に係るSPによる部品の制御について説明する。図8は、従来技術に係るSPおよびSBの構成の一例を示すブロック図である。図8に示すように、計算機システム900は、SP910とSB920とを有する。SP910は、部品制御用のソフトウェア実行部911を有する。SB920は、I2C(Inter-Integrated Circuit、登録商標、以下同様)制御回路921と、電源制御素子922、演算素子923、記憶素子924および通信素子925を有する。なお、電源制御素子922、演算素子923、記憶素子924および通信素子925のことを区別しない場合には、「部品」と称する。

10

【0005】

I2C制御回路921は、間接アクセス用レジスタ921aを有し、各部品は、I2C制御回路922b~925bと、内部レジスタ922a~925aとを有する。また、SP910とSB920との間は、I2Cバス901により接続される。また、SB920において、I2C制御回路921と各部品との間は、I2Cバス902により接続される。

20

【0006】

SP910のソフトウェア実行部911は、SB920の部品に対する制御を実行する場合、制御用のコマンドをI2C制御回路921に送信する。そして、I2C制御回路921は、ソフトウェア実行部911から受信したコマンドを間接アクセス用レジスタ921aに設定することで、部品に対して制御を実施する。

【0007】

例えば、I2C制御回路921は、演算素子923が有する内部レジスタ923aのアドレス「0x0000__0008」にデータをライトする要求をソフトウェア実行部911から受付けた場合、以下の処理を実行する。すなわち、I2C制御回路921は、間接アクセス用レジスタ921aのアドレスレジスタに、内部レジスタ923aのアドレス「0x0000__0008」をI2Cアクセスでライトする。そして、間接アクセス用レジスタ921aにライトされたアドレスは、演算素子923が有するI2C制御回路923bにより、I2C制御回路923bが有する間接アクセス用レジスタ923cにライトされた後、内部レジスタ923aにライトされる。

30

【0008】

I2C制御回路921は、演算素子923が有するI2C制御回路923bからライトの完了を応答された場合、間接アクセス用レジスタ921aのデータレジスタ[63:32]に、ソフトウェア実行部911から受付けたデータをI2Cアクセスでライトする。続いて、I2C制御回路921は、間接アクセス用レジスタ921aのデータレジスタ[31:0]に、ソフトウェア実行部911から受付けたデータをI2Cアクセスでライトする。

40

【0009】

この結果、演算素子923が有する内部レジスタ923aのアドレス「0x0000__0008」に、データレジスタ[63:32]、データレジスタ[31:0]の値がライトされる。そして、演算素子923は、内部レジスタ923aのアドレス「0x0000__0008」にデータがライトされたことによる結果をSP910に対して応答する。

【先行技術文献】

【特許文献】

50

【 0 0 1 0 】

【特許文献 1】特開平 6 - 3 0 9 2 1 9 号公報

【特許文献 2】特開平 5 - 1 3 4 9 1 8 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 1 】

しかしながら、上述した従来の技術では、デバッグ時に I 2 C アクセスが衝突する場合がある。

【 0 0 1 2 】

部品の内部レジスタへのリードあるいはライトは、I 2 C でのアクセスが複数行われる場合がある。また、ハードウェアの初期デバッグ時には、部品制御用のソフトウェアの他に、I 2 C 制御回路 9 2 1 の間接アクセス用レジスタ 9 2 1 a を直接リードあるいはライトするスクリプトが使用される。

【 0 0 1 3 】

このため、部品制御用のソフトウェアによるアクセスとスクリプトによるアクセスとが衝突して、部品の内部レジスタに対して正常にリードあるいはライトできない場合がある。

【 0 0 1 4 】

一例として、内部レジスタ 9 2 3 a のアドレス「0 x 0 0 0 0 _ 0 0 0 8」にデータをライトする部品制御用のソフトウェア実行部 9 1 1 と、内部レジスタ 9 2 3 a のアドレス「0 x 0 0 0 0 _ 0 0 1 0」にデータをライトするスクリプトとが衝突する場合をあげる。

【 0 0 1 5 】

ソフトウェア実行部 9 1 1 が間接アクセス用レジスタ 9 2 1 a のアドレスレジスタに内部レジスタ 9 2 3 a のアドレス「0 x 0 0 0 0 _ 0 0 0 8」を I 2 C アクセスでライトする。続いて、スクリプトが間接アクセス用レジスタ 9 2 1 a のアドレスレジスタに内部レジスタ 9 2 3 a のアドレス「0 x 0 0 0 0 _ 0 0 1 0」を I 2 C アクセスでライトする。そして、ソフトウェア実行部 9 1 1 が、間接アクセス用レジスタ 9 2 1 a のデータレジスタ [6 3 : 3 2]、データレジスタ [3 1 : 0] にライトしたい値を I 2 C アクセスでライトすると、内部レジスタ「0 x 0 0 0 0 _ 0 0 1 0」にデータレジスタの値がライトされる。このような場合、S B 9 2 0 において誤動作が起こる。また、部品内の複数ブロックに対して並列的にデバッグを行う場合にも、デバッグ用スクリプト同士が衝突する場合がある。

【 0 0 1 6 】

1 つの側面では、本発明は、デバッグ時に I 2 C アクセスの衝突を防止することができるシステム制御装置、情報処理システム、システム制御装置の制御方法およびシステム制御装置の制御プログラムを提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 7 】

本願の開示するシステム制御装置は、一つの態様において、情報処理装置を制御するシステム制御装置であり、発行部と、実行部とを有する。発行部は、情報処理装置が備える部品にアクセスを行う場合、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行する。実行部は、部品が他のアクセス要求に含まれる回数情報をカウンタに保持してアクセスごとにカウンタが保持する回数情報を減算してカウンタが保持した回数情報が他のアクセス要求を実行中でないことを示すと判定した結果に基づいてアクセス要求を許可した旨を示す応答を、情報処理装置から受信した場合に、該部品にアクセスする。

【発明の効果】

【 0 0 1 8 】

１実施形態におけるシステム制御装置によれば、デバッグ時にＩ２Ｃアクセスの衝突を防止することができる。

【図面の簡単な説明】

【００１９】

【図１】図１は、実施例に係る計算機システムの構成の一例を示す図である。

【図２】図２は、部品の構成の一例を示す図である。

【図３】図３は、ＳＰにより部品ドライバを用いて実現される処理部の機能構成を示す機能ブロック図である。

【図４】図４は、部品ドライバにより実現される処理部によるリード処理の処理手順を示すフローチャートである。

10

【図５】図５は、部品ドライバにより実現される処理部によるライト処理の処理手順を示すフローチャートである。

【図６】図６は、Ｉ２Ｃドライバにより実現される処理部による処理の処理手順を示すフローチャートである。

【図７】図７は、Ｉ２Ｃ制御回路による処理の処理手順を示すフローチャートである。

【図８】図８は、従来技術に係るＳＰおよびＳＢの構成の一例を示すブロック図である。

【発明を実施するための形態】

【００２０】

以下に、本願の開示するシステム制御装置、情報処理システム、システム制御装置の制御方法およびシステム制御装置の制御プログラムの実施例を図面に基づいて詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。そして、各実施例は、処理内容を矛盾させない範囲で適宜組み合わせることが可能である。

20

【実施例】

【００２１】

実施例では、情報処理システムとして、計算機システムを例とする。この計算機システムは、システム制御装置として機能するサービスプロセッサと、情報処理装置として機能するシステムボードとを有する。

【００２２】

[実施例に係る計算機システムの構成]

図１を用いて実施例に係る計算機システム１００の構成について説明する。図１は、実施例に係る計算機システム１００の構成の一例を示す図である。図１に示すように、実施例に係る計算機システム１００は、サービスプロセッサ（Service Processor、以下「ＳＰ」と記す）１１０とシステムボード（System Board、以下「ＳＢ」と記す）１２０とを有する。

30

【００２３】

また、図１に示すように、計算機システム１００では、ＳＰ１１０とＳＢ１２０とがＩ２Ｃ（Inter-Integrated Circuit、登録商標、以下同様）バス１０１を介して接続する。なお、ＳＰ１１０とＳＢ１２０との接続はＩ２Ｃバスに限定されるものではない。例えば、ＳＰ１１０とＳＢ１２０との接続は、ＳＰＩ（Serial Peripheral Interface、登録商標）、MicroWire（登録商標）、IEEE 1149.1で規定されるJTAG（Joint Test Architecture Group）などの他のバスであってもよい。

40

【００２４】

[実施例に係るＳＢの構成]

次に、実施例に係るＳＢの構成を説明する。図１に示すように、ＳＢ１２０は、Ｉ２Ｃ制御回路１２１と、電源制御素子１２２と、演算素子１２３と、記憶素子１２４と、通信素子１２５とを有する。なお、電源制御素子１２２、演算素子１２３、記憶素子１２４および通信素子１２５のことを区別しない場合には、「部品２００」と称する。また、ＳＢ１２０において、Ｉ２Ｃ制御回路１２１と各部品２００との間は、Ｉ２Ｃバス１０２により接続される。

【００２５】

50

ここで、電源制御素子 1 2 2 は、S B 1 2 0 の電源を制御する。演算素子 1 2 3 は、S B 1 2 0 において各種演算処理を実行する。記憶素子 1 2 4 は、S B 1 2 0 で用いられるデータやプログラムを記憶する。通信素子 1 2 5 は、S B 1 2 0 と他装置との情報の送受信を制御する。

【 0 0 2 6 】

また、各部品 2 0 0 は、内部レジスタ 2 0 3 と、I 2 C 制御回路 2 0 4 とを有する。例えば、電源制御素子 1 2 2 は、内部レジスタ 1 2 2 a と、I 2 C 制御回路 1 2 2 b とを有し、演算素子 1 2 3 は、内部レジスタ 1 2 3 a と、I 2 C 制御回路 1 2 3 b とを有する。記憶素子 1 2 4 は、内部レジスタ 1 2 4 a と、I 2 C 制御回路 1 2 4 b とを有し、通信素子 1 2 5 は、内部レジスタ 1 2 5 a と、I 2 C 制御回路 1 2 5 b とを有する。

10

【 0 0 2 7 】

内部レジスタ 2 0 3 は、アドレスに対応付けて各種の設定値やデータを記憶する。I 2 C 制御回路 2 0 4 は、間接アクセス用レジスタ 2 0 2 を有し、内部レジスタ 2 0 3 と I 2 C 制御回路 1 2 1 との間のデータの読出し、およびデータの書込みを制御する。なお、内部レジスタ 2 0 3、I 2 C 制御回路 2 0 4 および間接アクセス用レジスタ 2 0 2 の詳細については、図 2 を用いて後述する。

【 0 0 2 8 】

I 2 C 制御回路 1 2 1 は、間接アクセス用レジスタ 1 2 1 a を有し、この間接アクセス用レジスタ 1 2 1 a を介して S P 1 1 0 と各部品 2 0 0 との間のデータの読出し、およびデータの書込みを制御する。なお、間接アクセス用レジスタ 1 2 1 a は、アドレスレジスタ記憶領域（以下、「アドレスレジスタ」と記す）と、データレジスタ記憶領域（以下、「データレジスタ」と記す）とを有する。

20

【 0 0 2 9 】

例えば、I 2 C 制御回路 1 2 1 は、S P 1 1 0 からアクセス要求を受付けた場合、要求された部品 2 0 0 が有する I 2 C 制御回路 2 0 4 にアクセスを許可するか否かを問い合わせる。そして、I 2 C 制御回路 1 2 1 は、アクセスが許可された場合、間接アクセス用レジスタ 1 2 1 a のアドレスレジスタに、アクセスを要求された部品 2 0 0 が有する内部レジスタ 2 0 3 のアドレスを書込む。

【 0 0 3 0 】

そして、アクセス要求がリード要求であった場合、部品 2 0 0 が有する内部レジスタ 2 0 3 のアドレスに保持されるデータが、部品 2 0 0 が有する I 2 C 制御回路 2 0 4 を介して、間接アクセス用レジスタ 1 2 1 a のデータレジスタに書込まれる。I 2 C 制御回路 1 2 1 は、S P 1 1 0 からリード要求を受付けた場合、データレジスタに書込まれた値を応答する。

30

【 0 0 3 1 】

また、I 2 C 制御回路 1 2 1 は、アクセス要求がライト要求であった場合、要求されたデータを S P 1 1 0 から受信する。そして、I 2 C 制御回路 1 2 1 は、間接アクセス用レジスタ 1 2 1 a のデータレジスタに、S P 1 1 0 から受信したデータを書込む。この結果、部品 2 0 0 が有する内部レジスタ 2 0 3 に S P 1 1 0 からライトを要求されたデータが書込まれる。

40

【 0 0 3 2 】

なお、I 2 C 制御回路 1 2 1、電源制御素子 1 2 2、演算素子 1 2 3、記憶素子 1 2 4、通信素子 1 2 5 は、A S I C (Application Specific Integrated Circuit) や F P G A (Field Programmable Gate Array)、その他の集積回路である。

【 0 0 3 3 】

[実施例に係る S P の構成]

次に、実施例に係る S P の構成を説明する。図 1 に示すように、S P 1 1 0 は、フラッシュメモリ 1 1 1 と、R A M (Random Access Memory) 1 1 2 と、I 2 C インターフェース 1 1 3 と、C P U (Central Processing Unit) 1 1 4 とを有する。

【 0 0 3 4 】

50

フラッシュメモリ 111 は、アプリケーション 111 a と、部品ドライバ 111 b と、I2C ドライバ 111 c と、スクリプト 111 d とを記憶する。アプリケーション 111 a は、各種の業務処理を実行するプログラムである。このアプリケーション 111 a は、RAM 112 と CPU 114 とが協働して実行される。

【0035】

部品ドライバ 111 b は、アプリケーション 111 a により部品へのアクセス要求を受付けた場合に、要求された部品へのアクセスを制御するプログラムである。この部品ドライバ 111 b は、RAM 112 と CPU 114 とが協働して実行される。これにより、部品ドライバ 111 b は、処理部 300 を実現する。

【0036】

例えば、処理部 300 は、自装置が制御する SB120 に備えられる部品 200 にアクセス要求を発行する場合、以下の処理を実行する。すなわち、処理部 300 は、部品 200 が有する内部レジスタ 203 内のアドレスを指定する情報と、アクセス要求で部品 200 にアクセスする回数を示す情報とを含めて、部品 200 へのアクセス要求を発行する。処理部 300 は、部品 200 へのアクセス要求が許可されたことを示す応答を SB120 から受信した場合に、部品 200 へアクセスする。なお、部品ドライバ 111 b により実現される処理部 300 の詳細な構成については、図 3 を用いて後述する。

【0037】

I2C ドライバ 111 c は、SP110 と SB120 との間の I2C アクセスを制御するプログラムである。この I2C ドライバ 111 c は、RAM 112 と CPU 114 とが協働して実行される。これにより、I2C ドライバ 111 c は、処理部 400 を実現する。

【0038】

例えば、処理部 400 は、部品ドライバ 111 b からコマンドを受付けた場合、間接アクセス用レジスタ 121 a にアクセスを実行する。そして、処理部 400 は、I2C 制御回路 204 から受信した応答が ACK 応答である場合、ACK 応答を部品ドライバ 111 b に応答する。一方、処理部 400 は、I2C 制御回路 204 から受信した応答が NACK 応答である場合、NACK 応答を部品ドライバ 111 b に応答する。

【0039】

スクリプト 111 d は、デバッグ時にアプリケーション 111 a や部品ドライバ 111 b とは独立して I2C ドライバ 111 c を制御するプログラムである。このスクリプト 111 d は、RAM 112 と CPU 114 とが協働して実行される。これにより、スクリプト 111 d は、処理部 500 を実現する。

【0040】

例えば、処理部 500 は、自装置が制御する SB120 に備えられる部品にアクセスを行う場合、以下の処理を実行する。すなわち、処理部 500 は、部品 200 が有する内部レジスタ 203 内のアドレスを指定するアドレス情報と、このアクセスで部品 200 にアクセスする回数を示す回数情報とを含むアクセス要求を、部品 200 に対して発行する。処理部 500 は、部品 200 がアクセス要求を許可した旨を示す応答を、SB120 から受信した場合に、部品 200 にアクセスする。

【0041】

RAM 112 は、CPU 114 がフラッシュメモリ 111 から読出したアプリケーション 111 a、部品ドライバ 111 b、I2C ドライバ 111 c 及びスクリプト 111 d を記憶する。

【0042】

I2C インターフェース 113 は、I2C コマンドを SB120 に送信する。また、I2C インターフェース 113 は、I2C コマンドを SB120 から受信する。CPU 114 は、各種演算処理を実行するとともに、フラッシュメモリ 111 が記憶するアプリケーション 111 a、部品ドライバ 111 b、I2C ドライバ 111 c 及びスクリプト 111 d を実行する。

10

20

30

40

50

【 0 0 4 3 】

[部品 2 0 0 の構成]

次に、図 2 を用いて、部品 2 0 0 の構成を説明する。図 2 は、部品 2 0 0 の構成の一例を示す図である。図 2 に示すように、部品 2 0 0 は、アクセス回数カウンタ 2 0 1 と、間接アクセス用レジスタ 2 0 2 と、内部レジスタ 2 0 3 と、I 2 C 制御回路 2 0 4 とを有する。

【 0 0 4 4 】

内部レジスタ 2 0 3 は、アドレスに対応付けて各種の設定値やデータを記憶する。図 2 に示すように、内部レジスタ 2 0 3 は、アドレスごとに 6 4 ビットのデータを記憶する。

【 0 0 4 5 】

アクセス回数カウンタ 2 0 1 は、アクセス要求を許可された S P 1 1 0 によってアクセス要求に含まれた回数情報に対応する回数を保持する。言い換えると、アクセス回数カウンタ 2 0 1 は、アクセス要求を許可された S P 1 1 0 が、アクセス要求でアクセスする回数を保持する。アクセス回数カウンタ 2 0 1 が保持するアクセスする回数は、S P 1 1 0 によりアクセスが実行されるごとに減算される。

【 0 0 4 6 】

間接アクセス用レジスタ 2 0 2 は、アドレスレジスタと、データレジスタ[6 3 : 3 2]と、データレジスタ[3 1 : 0]とを有する。アドレスレジスタには、S P 1 1 0 からアクセスを要求される部品 2 0 0 の内部レジスタ 2 0 3 のアドレスが格納される。ここで、アドレスレジスタの下位 3 ビットがアクセス回数セット部として用いられる。

【 0 0 4 7 】

データレジスタ[6 3 : 3 2]は、アクセスを要求された内部レジスタ 2 0 3 のアドレスに書込まれるデータあるいは、アクセスを要求された内部レジスタ 2 0 3 のアドレスから読出されたデータのうち、6 3 ビット目から 3 2 ビット目の値が格納される。データレジスタ[3 1 : 0]は、アクセスを要求された内部レジスタ 2 0 3 のアドレスに書込まれるデータあるいは、アクセスを要求された内部レジスタ 2 0 3 のアドレスから読出されたデータのうち、3 1 ビット目から 0 ビット目の値が格納される。

【 0 0 4 8 】

I 2 C 制御回路 2 0 4 は、I 2 C リード要求または I 2 C ライト要求を、I 2 C 制御回路 1 2 1 を介して S P 1 1 0 から受信し、受信したリード要求またはライト要求に対して応答する。

【 0 0 4 9 】

例えば、I 2 C 制御回路 2 0 4 は、アクセス要求を S P 1 1 0 から受信した場合、アクセス回数カウンタ 2 0 1 が保持した回数が、受信したアクセス要求以外のアクセスを実行中ではないことを示すかを判定する。言い換えると、I 2 C 制御回路 2 0 4 は、アクセス回数カウンタ 2 0 1 の保持する値が他のアクセスを実行中ではないことを示す情報であるか否かを判定する。例えば、I 2 C 制御回路 2 0 4 は、アクセス回数カウンタ 2 0 1 の保持する値が「 0 」であるか否かを判定する。そして、I 2 C 制御回路 2 0 4 は、アクセス回数カウンタ 2 0 1 の保持する値が「 0 」である場合、他のアクセスが実行中ではないと判定する。一方、I 2 C 制御回路 2 0 4 は、アクセス回数カウンタ 2 0 1 の保持する値が「 0 」ではない場合、他のアクセスが実行中であると判定する。

【 0 0 5 0 】

そして、I 2 C 制御回路 2 0 4 は、判定結果に基づき、アクセス要求を許可する旨又はアクセス要求を許可しない旨を応答する。I 2 C 制御回路 2 0 4 は、他のアクセスを実行中ではないと判定する場合、アクセス要求を許可する旨を示す A C K 応答を応答するとともに、アクセス要求に含まれるアクセス回数をアクセス回数カウンタ 2 0 1 に保持させる。

【 0 0 5 1 】

また、I 2 C 制御回路 2 0 4 は、間接アクセス用レジスタ 2 0 2 にアドレスを設定する。ここで、アクセス要求がリード要求である場合、設定した内部レジスタ 2 0 3 のアドレ

10

20

30

40

50

スに保持されるデータが間接アクセス用レジスタ202に格納される。そして、I2C制御回路204は、リードアクセスが実行されると、間接アクセス用レジスタ202に格納されるデータをSP110に応答する。

【0052】

また、I2C制御回路204は、アクセス要求がライト要求である場合に、ライトアクセスが実行されると、SP110からデータを受信し、間接アクセス用レジスタ202に受信したデータを格納する。これにより、間接アクセス用レジスタ202に格納されたデータが、内部レジスタ203に書込まれる。

【0053】

また、I2C制御回路204は、SP110からアクセスされるごとに、アクセス回数カウンタ201が保持した回数を減算する。言い換えると、I2C制御回路204は、SP110からリードアクセスまたはライトアクセスが実行されるごとに、アクセス回数カウンタ201に保持される回数を減算する。

【0054】

また、I2C制御回路204は、他のアクセスを実行中であると判定する場合、アクセス要求を許可しない旨を示すNACK応答を応答する。

【0055】

[部品ドライバ111bにより実現される処理部300の機能構成]

次に、図3を用いて、実施例1に係るSP110により部品ドライバ111bを用いて実現される処理部の機能構成を説明する。図3は、SP110により部品ドライバ111bを用いて実現される処理部の機能構成を示す機能ブロック図である。なお、SP110により実行される部品ドライバ111bは、RAM112と、CPU114とが協働して実現される。

【0056】

図3に示すように、部品ドライバ111bにより実現される処理部300は、要求受付部301と、コマンド発行部302と、応答判定部303と、コマンド実行部304とを有する。

【0057】

要求受付部301は、部品200の内部レジスタ203からデータを読み出す要求であるリード要求または部品200の内部レジスタ203にデータを書込む要求であるライト要求をアプリケーション111aから受け付ける。そして、要求受付部301は、コマンド発行部302にアクセス要求の発行を依頼する。

【0058】

コマンド発行部302は、SB120が備える部品200にアクセスを行う場合、以下の処理を実行する。すなわち、コマンド発行部302は、部品200が有するレジスタ内のアドレスを指定するアドレス情報と、このアクセスで部品200にアクセスする回数を示す回数情報とを含むアクセス要求を、部品200に対して発行する。

【0059】

例えば、コマンド発行部302は、アクセスがリードアクセスであるかライトアクセスであるかを示す情報をコマンドに含める。また、コマンド発行部302は、アドレスを指定する情報の一部を、回数を示す情報に用いる。一例をあげると、コマンド発行部302は、アドレスを指定する情報の下位の2ビットまたは3ビットを用いて、アクセスする回数を示す情報を指定する。なお、ここでは、下位の3ビットを用いて、アクセスする回数を示す情報を指定するものとして説明する。

【0060】

応答判定部303は、I2Cドライバ111cから受信する応答がACK応答であるかNACK応答であるかを判定する。応答判定部303は、I2Cドライバ111cから受信する応答がACK応答であると判定する場合、コマンド実行部304にアクセスの実行を依頼する。

【0061】

10

20

30

40

50

また、応答判定部 303 は、I2C ドライバ 111c から受信する応答が NACK 応答であると判定する場合、コマンド発行部 302 にアクセス要求の再発行を依頼する。この結果、コマンド発行部 302 は、アドレス情報と回数情報とを含むアクセス要求を再発行する。

【0062】

コマンド実行部 304 は、リード制御部 305 と、ライト制御部 306 とを有し、部品 200 がアクセス要求を許可した旨を示す応答を、SB120 から受信した場合に、部品 200 にアクセスする。

【0063】

リード制御部 305 は、アプリケーション 111a からリード要求を受信した場合、I2C ドライバ 111c にリードアクセスの実行を依頼して、部品 200 の内部レジスタ 203 からデータを読み出す。そして、リード制御部 305 は、読み出したデータをアプリケーション 111a に応答する。

10

【0064】

ライト制御部 306 は、アプリケーション 111a からライト要求を受信した場合、ライトデータを受信する。そして、ライト制御部 306 は、I2C ドライバ 111c に受信したデータのライトアクセスを依頼する。

【0065】

[部品ドライバ 111b により実現される処理部 300 による処理の処理手順]

次に図 4 および図 5 を用いて、部品ドライバ 111b により実現される処理部 300 による処理の処理手順を説明する。ここでは、図 4 を用いて、リード処理を説明し、図 5 を用いて、ライト処理を説明する。

20

【0066】

(リード処理)

図 4 は、部品ドライバ 111b により実現される処理部 300 によるリード処理の処理手順を示すフローチャートである。図 4 に示すように、要求受付部 301 は、部品 200 の内部レジスタ 203 からデータを読み出す要求であるリード要求をアプリケーション 111a から受付けたか否かを判定する (ステップ S101)。コマンド発行部 302 は、リード要求をアプリケーション 111a から受付けたと要求受付部 301 により判定される場合 (ステップ S101、Yes)、アクセス回数をアドレスに含めたアクセス要求コマンドを生成する (ステップ S102)。

30

【0067】

そして、コマンド発行部 302 は、生成したアクセス要求コマンドを送信する (ステップ S103)。続いて、応答判定部 303 は、アクセス許可を受信したか否かを判定する (ステップ S104)。ここで、コマンド発行部 302 は、アクセス許可を受信していないと応答判定部 303 により判定された場合 (ステップ S104、No)、ステップ S103 に移行してアクセス要求コマンドを送信する。

【0068】

リード制御部 305 は、アクセス許可を受信したと応答判定部 303 により判定された場合 (ステップ S104、Yes)、部品 200 の内部レジスタ 203 からデータを読み出すリード要求を I2C ドライバ 111c に実行する (ステップ S105)。そして、リード制御部 305 は、部品 200 の内部レジスタ 203 から読み出されたリードデータを I2C ドライバ 111c から受信する (ステップ S106)。

40

【0069】

続いて、リード制御部 305 は、要求したデータのうち未受信のデータがあるか否かを判定する (ステップ S107)。ここで、リード制御部 305 は、要求したデータのうち未受信のデータがあると判定する場合 (ステップ S107、Yes)、ステップ S105 に移行して、部品 200 の内部レジスタ 203 から読み出されたリードデータを I2C ドライバ 111c から受信する。

【0070】

50

リード制御部 305 は、要求したデータのうち未受信のデータがないと判定する場合（ステップ S107、No）、部品 200 の内部レジスタ 203 から読出されたリードデータをアプリケーション 111a に応答し（ステップ S108）、リード処理を終了する。

【0071】

なお、要求受付部 301 は、リード要求をアプリケーションから受付けていないと判定する場合（ステップ S101、No）、引き続き、リード要求をアプリケーション 111a から受付けたか否かを判定する。

【0072】

（ライト処理）

図 5 は、部品ドライバ 111b により実現される処理部 300 によるライト処理の処理手順を示すフローチャートである。図 5 に示すように、要求受付部 301 は、部品 200 の内部レジスタ 203 にデータを書込む要求であるライト要求をアプリケーション 111a から受付けたか否かを判定する（ステップ S201）。そして、要求受付部 301 は、アプリケーション 111a からライト要求を受付けたと判定する場合（ステップ S201、Yes）、ライトデータをアプリケーション 111a から受信する（ステップ S202）。

【0073】

続いて、コマンド発行部 302 は、アクセス回数をアドレスに含めたアクセス要求コマンドを生成する（ステップ S203）。

【0074】

そして、コマンド発行部 302 は、生成したアクセス要求コマンドを送信する（ステップ S204）。続いて、応答判定部 303 は、アクセス許可を受信したか否かを判定する（ステップ S205）。ここで、コマンド発行部 302 は、アクセス許可を受信していないと応答判定部 303 により判定された場合（ステップ S205、No）、ステップ S204 に移行してアクセス要求コマンドを送信する。

【0075】

ライト制御部 306 は、アクセス許可を受信したと応答判定部 303 により判定された場合（ステップ S205、Yes）、部品 200 の内部レジスタ 203 にライトデータを書込むライト要求を I2C ドライバ 111c に実行する（ステップ S206）。

【0076】

続いて、ライト制御部 306 は、ライト要求したデータのうち未送信のデータがあるか否かを判定する（ステップ S207）。ここで、ライト制御部 306 は、要求したデータのうち未送信のデータがあると判定する場合（ステップ S207、Yes）、ステップ S206 に移行して、部品 200 の内部レジスタ 203 にライトデータを書込むライト要求を I2C ドライバ 111c に実行する。

【0077】

ライト制御部 306 は、要求したデータのうち未送信のデータがないと判定する場合（ステップ S207、No）、ライトデータの書込みが完了したことをアプリケーション 111a に応答し（ステップ S208）、ライト処理を終了する。

【0078】

なお、要求受付部 301 は、ライト要求をアプリケーション 111a から受付けていないと判定する場合（ステップ S201、No）、引き続き、ライト要求をアプリケーション 111a から受付けたか否かを判定する。

【0079】

〔I2C ドライバ 111c により実現される処理部 400 による処理の処理手順〕

次に図 6 を用いて、I2C ドライバ 111c により実現される処理部 400 による処理の処理手順を説明する。図 6 は、I2C ドライバ 111c により実現される処理部 400 による処理の処理手順を示すフローチャートである。

【0080】

処理部 400 は、部品ドライバ 111b からコマンドを受付けたか否かを判定する（ス

10

20

30

40

50

テップS301)。ここで、処理部400は、部品ドライバ111bからコマンドを受付けたと判定する場合(ステップS301、Yes)、間接アクセス用レジスタ121aにアクセスを実行する(ステップS302)。

【0081】

そして、処理部400は、I2C制御回路204から応答を受信する(ステップS303)。続いて、処理部400は、I2C制御回路204から受信した応答がACK応答であるか否かを判定する(ステップS304)。ここで、処理部400は、I2C制御回路204から受信した応答がACK応答であると判定する場合(ステップS304、Yes)、ACK応答を部品ドライバ111bに伝達し(ステップS305)、処理を終了する。

10

【0082】

一方、処理部400は、I2C制御回路204から受信した応答がACK応答ではないと判定する場合(ステップS304、No)、NACK応答を部品ドライバ111bに伝達し(ステップS306)、処理を終了する。

【0083】

[I2C制御回路204による処理の処理手順]

次に図7を用いて、I2C制御回路204による処理の処理手順を説明する。図7は、I2C制御回路204による処理の処理手順を示すフローチャートである。

【0084】

図7に示すように、I2C制御回路204は、I2Cドライバ111cからコマンドを受信したか否かを判定する(ステップS401)。ここで、I2C制御回路204は、I2Cドライバ111cからコマンドを受信したと判定する場合(ステップS401、Yes)、受信したコマンドがアドレス設定要求であるか否かを判定する(ステップS402)。

20

【0085】

I2C制御回路204は、受信したコマンドがアドレス設定要求であると判定する場合(ステップS402、Yes)、アクセス回数カウンタ201のカウント値が0であるか否かを判定する(ステップS403)。例えば、I2C制御回路204は、カウント値セット信号をアクセスカウンタ201に入力する。

【0086】

そして、I2C制御回路204は、アクセス回数カウンタ201のカウント値が0ではないと判定する場合(ステップS403、No)、NACK応答をI2Cドライバ111cに伝達する(ステップS404)。

30

【0087】

また、I2C制御回路204は、アクセス回数カウンタ201のカウント値が0であると判定する場合(ステップS403、Yes)、間接アクセス用レジスタ202にアドレスを設定する(ステップS405)。続いて、I2C制御回路204は、アクセス回数カウンタ201のカウント値を設定し(ステップS406)、ACK応答をI2Cドライバ111cに伝達する(ステップS407)。

【0088】

I2C制御回路204は、受信したコマンドがアドレス設定要求ではないと判定する場合(ステップS402、No)、受信したコマンドがリード要求であるか否かを判定する(ステップS408)。I2C制御回路204は、受信したコマンドがリード要求であると判定する場合(ステップS408、Yes)、データを読出す(ステップS409)。そして、I2C制御回路204は、アクセス回数カウンタ201のカウント値減算信号を入力する(ステップS410)。I2C制御回路204は、ステップS410の処理の終了後、ステップS407を実行する。

40

【0089】

I2C制御回路204は、受信したコマンドがリード要求ではないと判定する場合(ステップS408、No)、データを書込む(ステップS411)。I2C制御回路204

50

は、ステップ S 4 1 1 の処理の終了後、ステップ S 4 1 0 を実行する。また、I 2 C 制御回路 2 0 4 は、ステップ S 4 0 4 の処理の終了後またはステップ S 4 0 7 の処理の終了後、処理を終了する。

【 0 0 9 0 】

[実施例の効果]

上述してきたように、実施例に係る S P 1 1 0 は、同一の部品 2 0 0 に対する複数の I 2 C アクセスの衝突を防止することができる。例えば、実施例に係る S P 1 1 0 は、ハードウェアの初期デバッグ用スクリプトとシステムポート制御用のファームウェアとを衝突を考慮せずにアクセスが可能となる。

【 0 0 9 1 】

また、本実施例において説明した各処理のうち自動的に行われるものとして説明した処理の全部または一部を手動的に行うこともできる。あるいは、手動的に行われるものとして説明した処理の全部又は一部を公知の方法で自動的に行うこともできる。この他、上記文章中や図面中で示した処理手順、制御手順、具体的名称については、特記する場合を除いて任意に変更することができる。また、各種の負荷や使用状況などに応じて、各実施例において説明した各処理の各ステップでの処理の順番を変更してもよい。

【 0 0 9 2 】

また、図示した各構成部は、機能概念的なものであり、必ずしも物理的に図示のごとく構成されることを要しない。例えば、処理部 3 0 0 では、要求受付部 3 0 1 とコマンド発行部 3 0 2 とが統合されてもよい。さらに、各装置にて行われる各処理機能は、その全部または任意の一部が、C P U および当該 C P U にて解析実行されるプログラムにて実現され、あるいは、ワイヤードロジックによるハードウェアとして実現され得る。

【 0 0 9 3 】

以上の実施例を含む実施形態に関し、さらに以下の付記を開示する。

【 0 0 9 4 】

(付記 1) 情報処理装置を制御するシステム制御装置において、

前記情報処理装置が備える部品にアクセスを行う場合、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行する発行部と、

前記部品が前記アクセス要求を許可した旨を示す応答を、前記情報処理装置から受信した場合に、該部品にアクセスする実行部と

を有することを特徴とするシステム制御装置。

【 0 0 9 5 】

(付記 2) 前記発行部は、前記アドレスを指定する情報の一部を、前記回数を示す情報に用いることを特徴とする付記 1 に記載のシステム制御装置。

【 0 0 9 6 】

(付記 3) 前記発行部は、前記部品へのアクセス要求が許可されなかった旨を示す応答を、前記情報処理装置から受信した場合に、前記アドレス情報と前記回数情報とを含むアクセス要求を再発行することを特徴とする付記 1 または 2 に記載のシステム制御装置。

【 0 0 9 7 】

(付記 4) アクセス要求を許可された前記システム制御装置によって該アクセス要求に含まれた前記回数情報に対応する回数を保持するカウンタと、

前記システム制御装置からアクセスされるごとに、前記カウンタが保持した回数を減算する減算部と、

アクセス要求を前記システム制御装置から受信した場合、前記カウンタが保持した回数が、該受信したアクセス要求以外のアクセスを実行中ではないことを示すかを判定する判定部と、

前記判定部による判定結果に基づき、前記アクセス要求を許可する旨又は前記アクセス要求を許可しない旨を応答する応答部と

を有することを特徴とする被制御装置。

10

20

30

40

50

【 0 0 9 8 】

(付記 5) 情報処理装置と、該情報処理装置を制御するシステム制御装置とを有する情報処理システムにおいて、

前記システム制御装置は、

前記情報処理装置が備える部品にアクセスを行う場合、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行する発行部と、

前記部品が前記アクセス要求を許可した旨を示す応答を、前記システム制御装置が、前記情報処理装置から受信した場合に、該部品にアクセスする実行部とを有し、

前記情報処理装置が備える部品は、

アクセス要求を許可された前記システム制御装置によって該アクセス要求に含まれた前記回数情報に対応する回数を保持するカウンタと、

前記システム制御装置からアクセスされるごとに、前記カウンタが保持した回数を減算する減算部と、

アクセス要求を前記システム制御装置から受信した場合、前記カウンタが保持した回数が、該受信したアクセス要求以外のアクセスを実行中ではないことを示すかを判定する判定部と、

前記判定部による判定結果に基づき、前記アクセス要求を許可する旨又は前記アクセス要求を許可しない旨を応答する応答部とを有する

ことを特徴とする情報処理システム。

【 0 0 9 9 】

(付記 6) 情報処理装置を制御するシステム制御装置の制御方法において、

前記システム制御装置が有する発行部が、前記情報処理装置が備える部品にアクセスを行う場合、前記発行部が、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行し、

前記部品が前記アクセス要求を許可した旨を示す応答を、前記システム制御装置が、前記情報処理装置から受信した場合に、前記システム制御装置が有する実行部が、該部品にアクセスすることを特徴とするシステム制御装置の制御方法。

【 0 1 0 0 】

(付記 7) 前記発行する処理は、前記アドレスを指定する情報の一部を、前記回数を示す情報に用いることを特徴とする付記 6 に記載のシステム制御装置の制御方法。

【 0 1 0 1 】

(付記 8) 前記発行する処理は、前記部品へのアクセス要求が許可されなかった旨を示す応答を、前記情報処理装置から受信した場合に、前記アドレス情報と前記回数情報とを含むアクセス要求を再発行することを特徴とする付記 6 または 7 に記載のシステム制御装置の制御方法。

【 0 1 0 2 】

(付記 9) 情報処理装置を制御するシステム制御装置の制御プログラムにおいて、

前記システム制御装置が有する発行部が、前記情報処理装置が備える部品にアクセスを行う場合、前記発行部に、該部品が有するレジスタ内のアドレスを指定するアドレス情報と、該アクセスで該部品にアクセスする回数を示す回数情報とを含むアクセス要求を、該部品に対して発行させ、

前記部品が前記アクセス要求を許可した旨を示す応答を、前記システム制御装置が、前記情報処理装置から受信した場合に、前記システム制御装置が有する実行部に、該部品にアクセスさせることを特徴とするシステム制御装置の制御プログラム。

【 0 1 0 3 】

(付記 10) 前記発行する処理は、前記アドレスを指定する情報の一部を、前記回数を示す情報に用いることを特徴とする付記 9 に記載のシステム制御装置の制御プログラム。

【 0 1 0 4 】

(付記 11) 前記発行する処理は、前記部品へのアクセス要求が許可されなかった旨を示す応答を、前記情報処理装置から受信した場合に、前記アドレス情報と前記回数情報とを含むアクセス要求を再発行することを特徴とする付記 9 または 10 に記載のシステム制御装置の制御プログラム。

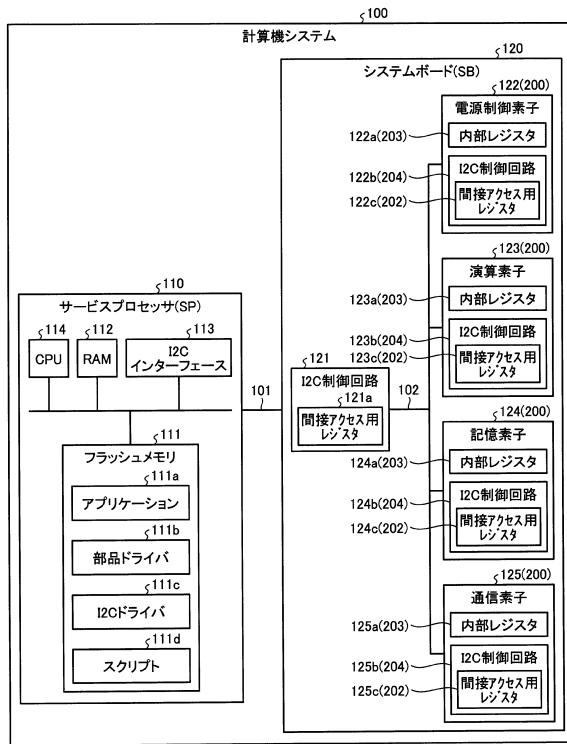
【符号の説明】

【0105】

100	計算機システム	
101、102	I2Cバス	
110	SP	
111	フラッシュメモリ	10
111a	アプリケーション	
111b	部品ドライバ	
111c	I2Cドライバ	
111d	スクリプト	
112	RAM	
113	I2Cインターフェース	
114	CPU	
120	SB	
121	I2C制御回路	
121a	間接アクセス用レジスタ	20
122	電源制御素子	
123	演算素子	
124	記憶素子	
125	通信素子	
200	部品	
201	アクセス回数カウンタ	
202	間接アクセス用レジスタ	
203	内部レジスタ	
204	I2C制御回路	
300、400、500	処理部	30
301	要求受付部	
302	コマンド発行部	
303	応答判定部	
304	コマンド実行部	
305	リード制御部	
306	ライト制御部	

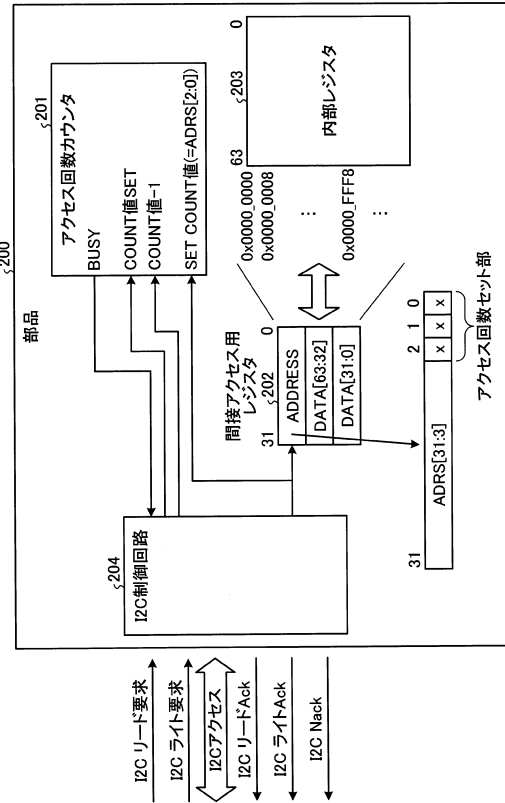
【図 1】

実施例に係る計算機システムの構成の一例を示す図



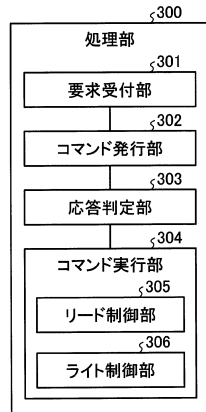
【図 2】

部品の構成の一例を示す図



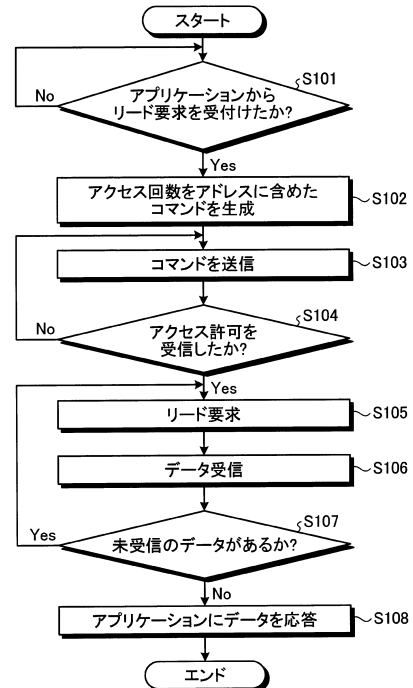
【図 3】

SPIにより部品ドライバを用いて実現される処理部の機能構成を示す機能ブロック図



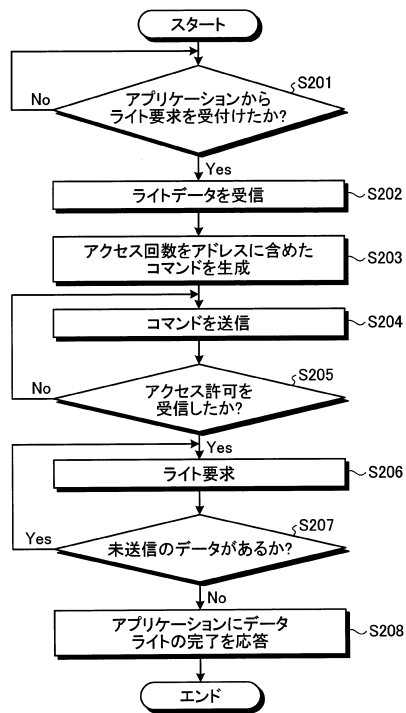
【図 4】

部品ドライバにより実現される処理部によるリード処理の処理手順を示すフローチャート



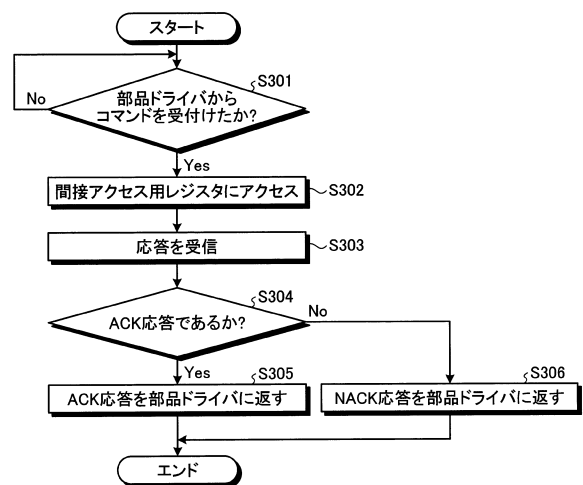
【図 5】

部品ドライバにより実現される処理部によるライト処理の
処理手順を示すフローチャート



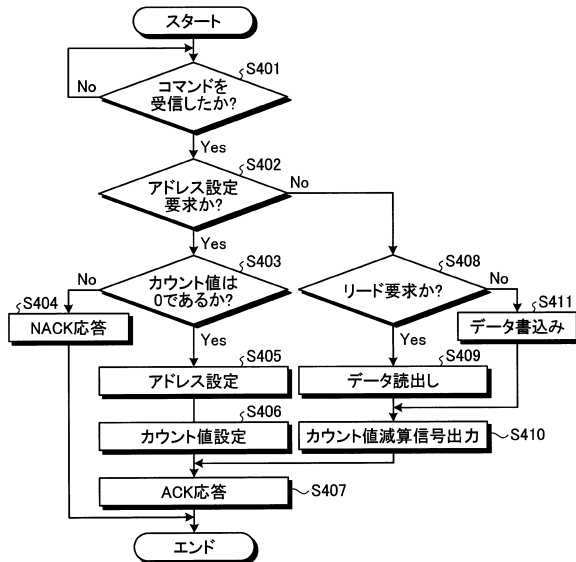
【図 6】

I2Cドライバにより実現される処理部による処理の
処理手順を示すフローチャート



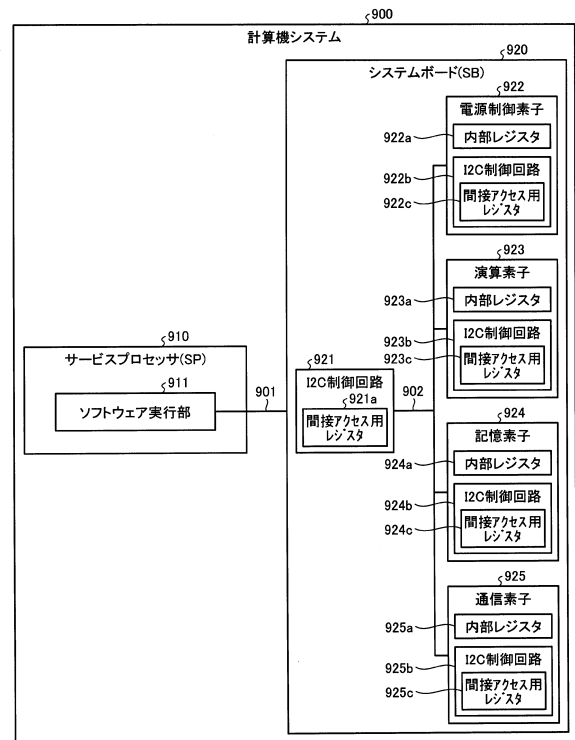
【図 7】

I2C制御回路による処理の処理手順を示すフローチャート



【図 8】

従来技術に係るSPおよびSBの構成の一例を示すブロック図



フロントページの続き

(56)参考文献 特開2010-218367(JP,A)
特開平11-086538(JP,A)
特開2008-021257(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 13/362
G06F 12/00
G06F 13/38