



(12) 发明专利

(10) 授权公告号 CN 101208771 B

(45) 授权公告日 2011. 07. 06

(21) 申请号 200680015411. 1

(51) Int. Cl.

(22) 申请日 2006. 05. 04

H01L 21/00 (2006. 01)

(30) 优先权数据

60/677, 510 2005. 05. 04 US

(56) 对比文件

US 6720233 B2, 2004. 04. 13, 全文.

US 2004/0058511 A1, 2004. 03. 25, 全文.

US 2005/0084998 A1, 2005. 04. 21, 全文.

(85) PCT申请进入国家阶段日

2007. 11. 05

审查员 王毅冰

(86) PCT申请的申请数据

PCT/US2006/017024 2006. 05. 04

(87) PCT申请的公布数据

W02006/119380 EN 2006. 11. 09

(73) 专利权人 艾斯莫斯技术公司

地址 美国亚利桑那州

(72) 发明人 科马克·麦克纳马拉

康纳尔·布罗冈 休·J·格里芬

罗宾·威尔逊

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 梁晓广 陆锦华

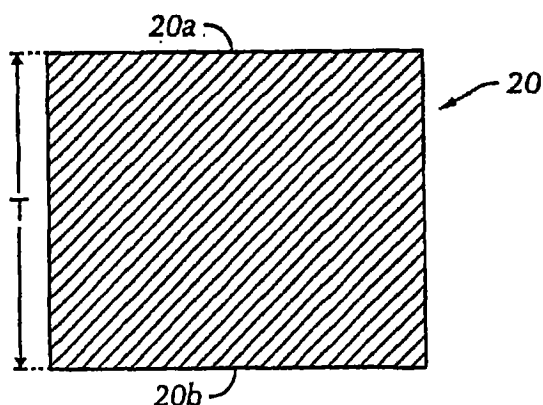
权利要求书 3 页 说明书 5 页 附图 7 页

(54) 发明名称

具有贯穿晶片的通路的硅晶片

(57) 摘要

一种制造半导体器件的方法包括提供具有彼此相对的第一和第二主表面的半导体衬底。在第一主表面处,在半导体衬底中形成沟槽。沟槽延伸至半导体衬底中的第一深度位置。沟槽衬以介电材料。沟槽由导电材料填充。电子组件在第一主表面上电连接至暴露导电材料。帽安装至第一主表面。帽封住电子组件以及电连接。



1. 一种制造半导体器件的方法,其包括:
提供具有彼此相对的第一和第二主表面的半导体衬底;
在所述半导体衬底中在所述第一主表面中形成至少一个沟槽,所述至少一个沟槽延伸至所述半导体衬底中的第一深度位置 D;
采用介电材料为所述至少一个沟槽做衬;
采用导电材料填充所述至少一个沟槽;
将电子组件在所述第一主表面处电连接至所述至少一个沟槽的所述导电材料;
将帽安装至所述第一主表面,所述帽封住所述电子组件的至少一部分以及在所述电子组件和所述导电材料之间的所述电连接,
平坦化所述第二主表面以暴露在所述第二主表面处的所述导电材料。
2. 如权利要求 1 所述的方法,其中,所述填充所述至少一个沟槽采用未掺杂的多晶硅、掺杂的多晶硅和金属中的至少一种。
3. 如权利要求 1 所述的方法,其中,通过采用微机电系统 (MEMS) 技术加工所述半导体衬底而形成所述至少一个沟槽。
4. 如权利要求 1 所述的方法,其中,通过低压 (LP) 化学气相沉积 (CVD) 原硅酸四乙酯 (TEOS) 和旋涂玻璃 (SOG) 沉积中的一种来沉积所述介电材料。
5. 如权利要求 1 所述的方法,其中,通过化学机械抛光 (CMP) 执行所述平坦化。
6. 如权利要求 1 所述的方法,其中,所述电子组件是加速度计、陀螺仪、速率传感器、压力传感器、谐振器、温度传感器及光学传感器中的一种。
7. 如权利要求 1 所述的半导体器件,进一步包括:
至少将围绕所述至少一个沟槽的所述第一主表面的一部分衬以所述介电材料。
8. 如权利要求 1 所述的半导体器件,进一步包括:
平坦化所述第一主表面以暴露围绕所述至少一个沟槽的所述介电材料。
9. 一种半导体器件,其包括:
半导体衬底,其具有彼此相对的第一和第二主表面;
至少一个导电通路,其从所述第一主表面起贯穿所述半导体衬底延伸至所述第二主表面;
介电衬里,其围绕贯穿所述半导体衬底的所述至少一个导电通路,通过介电衬里将所述至少一个导电通路与所述半导体衬底电隔离;
电子组件,其被电连接至在所述第一主表面处的所述至少一个导电通路;以及
帽,其被密封至所述第一主表面,所述帽封住所述电子组件的至少一部分以及在所述电子组件和所述至少一个导电通路之间的电连接。
10. 如权利要求 9 所述的半导体器件,其中,所述至少一个导电通路至少部分地由未掺杂的多晶硅、掺杂的多晶硅和金属中的一种形成。
11. 如权利要求 9 所述的半导体器件,其中,所述电子组件是加速度计、陀螺仪、速率传感器、压力传感器、谐振器、温度传感器及光学传感器中的一种。
12. 一种制造半导体器件的方法,其包括:
提供具有彼此相对的第一和第二主表面的半导体衬底;
在所述半导体衬底中在所述第一主表面中形成至少一个沟槽,所述至少一个沟槽延伸

至所述半导体衬底中的第一深度位置,所述至少一个沟槽限定环绕所述半导体衬底的一部分的外围边界,半导体衬底由所述至少一个沟槽所限制的该部分形成导电通路;

采用介电材料为所述至少一个沟槽做衬;

采用绝缘材料或半绝缘材料中的至少一种填充所述至少一个沟槽;

将电子组件在所述第一主表面处电连接至所述导电通路;以及

将帽安装至所述第一主表面,所述帽封住所述电子组件的至少一部分以及在所述电子组件和所述导电通路之间的电连接,

平坦化所述第二主表面以暴露在所述第二主表面处的所述导电通路。

13. 如权利要求 12 所述的方法,其中,所述填充所述至少一个沟槽采用未掺杂的多晶硅、掺杂的多晶硅、掺杂的氧化物、未掺杂的氧化物、氮化硅及半绝缘多晶硅 (SIPOS) 中的至少一种。

14. 如权利要求 12 所述的方法,其中,通过采用微机电系统 (MEMS) 技术加工所述半导体衬底而形成所述至少一个沟槽。

15. 如权利要求 12 所述的方法,其中,通过采用低压 (LP) 化学气相沉积 (CVD) 原硅酸四乙酯 (TEOS) 和旋涂玻璃 (SOG) 沉积中的一种来沉积所述介电材料。

16. 如权利要求 12 所述的方法,其中,通过化学机械抛光 (CMP) 来执行所述平坦化。

17. 如权利要求 12 所述的方法,其中,所述电子组件是加速度计、陀螺仪、速率传感器、压力传感器、谐振器、温度传感器及光学传感器中的一种。

18. 如权利要求 12 所述的方法,其中,所述外围边界为圆形的、椭圆形的以及多边形的形状中的一种。

19. 如权利要求 12 所述的方法,其中所述外围边界为非对称形状。

20. 如权利要求 18 所述的方法,其中,所述多边形为三角形或矩形。

21. 如权利要求 12 所述的方法,进一步包括:

至少将围绕所述至少一个沟槽的所述第一主表面的一部分衬以介电材料。

22. 如权利要求 12 所述的方法,进一步包括:

平坦化所述第一主表面。

23. 如权利要求 12 所述的方法,进一步包括:

至少暴露所述导电通路的一部分;

24. 一种半导体器件,其包括:

半导体衬底 20,其具有彼此相对的第一和第二主表面;

至少一个导电通路,其从所述第一主表面起贯穿所述半导体衬底延伸至所述第二主表面,所述至少一个导电通路是从一部分所述半导体衬底形成的;

介电衬里,其围绕贯穿所述半导体衬底的所述至少一个导电通路,通过所述介电衬里将所述至少一个导电通路与所述半导体衬底电隔离;

电子组件,其在所述第一主表面处被电连接至所述至少一个导电通路;以及

帽,其被密封至所述第一主表面,所述帽封住所述电子组件的至少一部分以及在所述电子组件与所述至少一个导电通路之间的电连接。

25. 如权利要求 24 所述的半导体器件,其中,至少部分地采用硼和磷中的一种来掺杂所述至少一个导电通路。

26. 如权利要求 24 所述的半导体器件,其中,所述电子组件是加速度计、陀螺仪、速率传感器、压力传感器、谐振器、温度传感器及光学传感器中的一种。

具有贯穿晶片的通路的硅晶片

背景技术

[0001] 本发明的实施例涉及一种半导体器件以及一种用于制造该半导体器件的方法,更具体地,涉及一种具有贯穿晶片的导电通路(via)的半导体器件以及一种制造具有贯穿晶片的导电通路的半导体器件的方法。

[0002] 微机电系统(MEMS)导致生成了各类小型易碎电子组件,诸如传感器技术。目前,由于其易碎性,这些MEMS传感器通常与标准的集成电路(IC)封装技术不兼容。一些人已经考虑为这种MEMS传感器采用晶片级封装,其中通过诸如采用将玻璃或硅保护帽直接晶片键合或阳极键合到MEMS传感器上的键合方法,作为典型的洁净室加工(cleanroom processing)的一部分来封装MEMS传感器。

[0003] 图1示出了用于将MEMS传感器90安装到硅晶片或衬底20上以及采用玻璃或硅帽80封住MEMS传感器90的一种现有技术的方法。可以看出,电引线97从MEMS传感器或其它电子组件90起穿过衬底20的表面。贯穿帽80的电连接的布线并非无关紧要的并且在帽80和电连接器97之间的界面83经常导致不完全的密封或者电连接器的导电性方面的问题。

[0004] 期望提供具有用于从半导体衬底的下面连接至诸如MEMS传感器的电子组件的贯穿晶片的导电通路的半导体器件。还期望通过使用半导体衬底材料本身形成贯穿晶片的导电通路,以便最小化填充工艺。

发明内容

[0005] 简要地说,本发明的实施例包括一种制造半导体器件的方法。为开始该方法,提供一种具有彼此相对的第一和第二主表面的半导体衬底。在第一主表面处,在半导体衬底中形成至少一个沟槽。该至少一个沟槽延伸至半导体衬底中的第一深度位置。采用介电材料为该至少一个沟槽做衬。采用导电材料填充该至少一个沟槽。将电子组件电连接至在第一主表面处暴露的导电材料。将帽安装至第一主表面。帽封住电子组件的至少一部分以及在电子组件和导电材料之间的电连接。

[0006] 本发明的另一个实施例包括一种半导体器件。半导体器件包括具有彼此相对的第一和第二主表面的半导体衬底。半导体器件还包括至少一个从第一主表面起贯穿半导体衬底延伸至第二主表面的导电通路。介电衬里(lining)封住贯穿半导体衬底的至少一个导电通路,以及通过介电衬套(liner)将至少一个导电通路与半导体衬底电隔离。半导体器件进一步包括在第一主表面处电连接至该至少一个导电通路的电子组件以及密封到第一主表面的帽。帽封住电子组件的至少一部分以及在电子组件和至少一个导电通路之间的电连接。

[0007] 本发明的另一个实施例包括一种制造半导体器件的方法。为了开始该方法,提供一种具有彼此相对的第一和第二主表面的半导体衬底。在第一主表面中形成至少一个沟槽。至少一个沟槽延伸至半导体衬底中的第一深度位置。至少一个沟槽限定环绕半导体衬底的部分的外围边界。半导体衬底的由至少一个沟槽所限制的部分形成导电通路。采用介

电材料为该至少一个沟槽做衬。采用绝缘材料和半绝缘材料中的一种填充该至少一个沟槽。将电子组件在第一主表面处电连接至导电通路。将帽安装至第一主表面。帽封住电子组件的至少一部分以及在电子组件与导电通路之间的电连接。

[0008] 本发明的另一个实施例包括一种半导体器件。半导体器件包括具有彼此相对的第一和第二主表面的半导体衬底。半导体器件还包括至少一个从第一主表面起贯穿半导体衬底延伸至第二主表面的导电通路。该至少一个导电通路形成自一部分半导体衬底。半导体器件还包括围绕贯穿半导体衬底的至少一个导电通路的介电衬里。通过介电衬里将该至少一个导电通路与半导体衬底电隔离。半导体器件还包括在第一主表面处电连接至该至少一个导电通路的电子组件以及密封至第一主表面的帽。帽封住电子组件的至少一部分以及在电子组件和至少一个导电通路之间的电连接。

附图说明

[0009] 结合附图来阅读,将更好地理解前述的发明内容以及下面对本发明优选实施例的详细描述。为了图示说明本发明,在附图中示出了本发明目前优选的实施例。然而,应理解,本发明不限于所示出的精确的排列和手段。在附图中:

[0010] 图 1 是现有技术中在半导体衬底上的被封装的电子组件的侧面剖视图;

[0011] 图 2 是根据本发明的第一优选实施例用于形成半导体器件的半导体衬底的部分侧面剖视图;

[0012] 图 3 是在开槽步骤之后图 1 的半导体衬底的部分侧面剖视图;

[0013] 图 4 是图 3 的半导体衬底的部分顶面剖视图;

[0014] 图 5 是在介电装衬步骤之后的图 3 的半导体衬底的部分侧面剖视图;

[0015] 图 6 是在沟槽填充步骤之后的图 5 的半导体衬底的部分侧面剖视图;

[0016] 图 7 是在平坦化第一侧面之后图 6 的半导体衬底的部分侧面剖视图;

[0017] 图 8 是在平坦化第二侧面之后图 7 的半导体的部分侧面剖视图;

[0018] 图 9 是根据第一优选实施例形成的半导体器件的部分侧面剖视图;

[0019] 图 10 是根据本发明第二优选实施例的具有限定外围边界的沟槽的半导体衬底部分顶面剖视图;

[0020] 图 11 是图 10 的半导体衬底的部分侧面剖视图;

[0021] 图 12 是在沟槽装衬及填充之后的图 11 的半导体衬底的部分侧面剖视图;

[0022] 图 13 是在平坦化第一表面之后的图 12 的半导体衬底的部分侧面剖视图;以及

[0023] 图 14 是在平坦化第二表面以及金属化导电通路之后的图 13 的半导体衬底的部分侧面剖视图。

具体实施方式

[0024] 在下面的描述中使用的某些术语只是为了方便起见,并不用于限制。词“右”、“左”、“下”和“上”指示在所参考的附图中的方向。词“向内”和“向外”分别指朝向或者远离所描述对象及其指示部分的几何中心的方向。术语包括上述具体提到的词、其派生词以及相似含义的词。此外,在权利要求以及说明书的对应部分中所使用的词“a”(即没有使用“所述”来修饰的名词)表示“至少一个”。

[0025] 如在此使用的,对导电性的引用只是为方便起见。然而,本领域的技术人员应了解,P型导电性可与N型导电性转换并且器件仍然可以正确工作。因此,在此采用的对N或P的引用也可以表示或者N或者P以及P和N可以互相代替。

[0026] 图2至图9一般性地示出了根据本发明的第一优选实施例制造半导体器件的工艺。

[0027] 参考图2,示出了半导体衬底或晶片20的正视图。如果需要,半导体衬底20可以不掺杂、轻掺杂或重掺杂。优选地,重掺杂半导体衬底20。半导体衬底20具有第一主表面20a、第二主表面20b以及厚度T。

[0028] 参考图3,使用本领域的已知技术,将半导体衬底20的第一主表面20a蚀刻至第一深度位置D,但是优选地,并不是一路贯穿半导体衬底20。蚀刻工艺在半导体衬底20中产生沟槽27,其通常具有宽度A。蚀刻工艺可以为化学蚀刻、等离子蚀刻、反应离子蚀刻(RIE)等。也可以利用微机电系统(MEMS)技术“加工”半导体衬底20来形成沟槽27。根据特定电子组件90所需的电连接数目,可以在半导体衬底20中在间隔位置上以期望的图案形成多个沟槽27。图4示出了在其中形成了多个沟槽27之后,半导体衬底20的部分顶面剖视图。

[0029] 图5示出了至少在沟槽27周围的一部分第一主表面20a以及沟槽27本身的侧表面和底面被衬以介电材料33。优选地,整个第一主表面20a及所有的沟槽27被衬以介电材料33。可以采用低压(LP)化学气相沉积(CVD)原硅酸四乙酯(TEOS)或旋涂玻璃(SOG)沉积技术或本领域已知的任何其它氧化物沉积技术来沉积该介电材料。在优选实施例中,介电材料为氧化物材料但是如果需要可以采用其它介电材料。

[0030] 图6示出了随后采用诸如未掺杂多晶硅(多晶(poly))、掺杂的多晶或金属的导电材料36填充沟槽27。优选地,使用高掺杂多晶完全填充沟槽27,以便由填充材料限定所产生的路径为高导电的。如上所述,多晶可以为N掺杂的或P掺杂的。此外,可以沉积多晶作为原位(in-situ)掺杂的多晶,或者可以沉积作为未掺杂多晶,并且随后采用磷或硼进行扩散以在多晶中获得高导电性。

[0031] 图7示出了在对第一表面进行了平坦化以暴露围绕沟槽27的介电材料33之后的半导体衬底20。可以采用化学机械抛光(CMP)或者任何其它合适的平坦化技术来执行平坦化。

[0032] 图8示出了在采用相似的技术对第二表面20b进行了平坦化以暴露在第二主表面20b处的导电材料36之后的半导体衬底20。可以将第二主表面20b的平坦化留待在完成其它工艺之后由中间制造商对其进行平坦化。例如,可以为中间制造商提供具有形成导电通路的导电材料36的基础衬底20,以在封装制造的器件之前增加电子组件90和帽80。

[0033] 图9示出了已经将电子组件90安装在半导体衬底20的第一表面20a上并且已经将电子组件90电连接到暴露在第一主表面20a上的导电材料36。电子组件90可以为传感器器件,诸如加速度计、陀螺仪、速率传感器、压力传感器、谐振器、温度传感器及光学传感器或任何其它传感器或器件。电子组件90可以采用如本领域已知的需要安装在硅衬底上的任何技术。帽80已经安装在硅衬底的第一表面20a上以便封住电子组件90的至少一部分以及在电子组件90和导电材料36之间的电连接。帽80可以为硅、聚合物、陶瓷、玻璃、金属等或任何其它合适的材料。优选地,帽80完全地封住电子组件90以及在电子之间90

和导电材料 36 之间的电连接。可以采用直接晶片键合或阳极键合将帽 80 键合到硅衬底 20 上,以便提供紧密的密封。

[0034] 图 9 示出了半导体器件,其包括半导体衬底 20、至少一个从第一主表面 20a 起贯穿半导体衬底 20 延伸到第二主表面 20b 的导电通路 36 以及围绕贯穿半导体衬底 20 的至少一个导电通路 36 的介电衬里 33。通过介电衬套 33 将导电通路 36 与半导体衬底 20 电隔离。将电子组件 90 在第一主表面 20a 处电连接至导电通路 36。帽 80 被密封至第一主表面 20a 并且其封住电子组件 90 的至少一部分以及在电子组件 90 和导电通路 36 之间的电连接。

[0035] 优选地,诸如 MEMS 传感器的电子组件 90 全部包含在帽 80 内,并且帽 80 被紧密地密封至第一主表面 20a。使得所有至电子组件 90 的互连位于帽 80 内或在帽 80 的下面。该技术适用于硅、聚合物、陶瓷、玻璃或金属帽盖技术及它们的等价技术。

[0036] 可以制造基础衬底 20,其具有被介电衬套 33 从衬底上隔离的贯穿晶片的导电通路 36,然后将其运送到中间制造商以增加电子组件 90 和用于导线的金属化。例如,中间制造商可以增加电子组件 90 并且制造至导电通路 36 的电连接,并随后在半导体衬底 20 上密封帽 80。中间制造商然后可以对衬底 20 的第二表面 20b 进行平坦化,并且提供用于电连接的金属化和 / 或诸如本领域已知的焊料凸点或表面贴装连接的进一步封装。

[0037] 图 10 至图 14 一般性地示出了根据本发明的第二优选实施例制造半导体器件的工艺。

[0038] 参考图 10,示出了其中蚀刻有圆形或环形的沟槽 127 的半导体衬底 20 的部分顶面剖视图。与第一优选实施例类似,沟槽 127 至少延伸至半导体衬底 20 中的第一深度位置 D。沟槽 27 限定环绕一部分半导体衬底 20 的“外围边界”。半导体衬底的由沟槽 127 所限制的部分形成导电通路 142、152(图 14)。外围边界可以为圆形的、三角形的、矩形的、椭圆形的、多边形的或者可以为任何非几何的或几何的以及对称的或非对称的形状。

[0039] 沟槽 127 的宽度 W 通常取决于硅衬底 20 的总体厚度 T、沟槽 127 的深度 D 及深度 D 相比宽度 W 的期望长宽比。期望最小化沟槽 127 的宽度 W,以便可以最小化任何填充材料。然而,为获得期望的沟槽 127 的深度 D,宽度 W 需为一定的最小宽度。此外,还根据在导电通路 142、152 和硅衬底 20 的其它部分之间所需要的电隔离量来选择宽度 W。

[0040] 图 11 示出了具有两个环形沟槽 127 的硅衬底 20 的部分侧面剖视图。每一个沟槽 127 可用于形成与另一个电通路 152 相隔离的单独的电通路 142(图 14)。在这种情况下,区域 140 包括第一通路 142,并且区域 150 包括形成在相同硅衬底 20 中的第二通路 152。当然,根据硅衬底 20 的总体尺寸、沟槽 127 的宽度 W 以及每一个导电通路 142、152 的总体尺寸,可以在硅衬底 20 中形成任意数目的通路 142、152。

[0041] 图 12 示出了在将介电衬里 133 至少应用于至少围绕沟槽 127 的第一主表面 20a 的部分之后的硅衬底 20。介电材料 133 还为沟槽 127 的侧壁及底面做衬。此外,已经用绝缘材料或半绝缘材料中的一种 136 填充了沟槽 127。填充材料可以为未掺杂的多晶、掺杂的多晶、掺杂的氧化物、未掺杂的氧化物、氮化硅或半绝缘多晶硅(SIPOS) 或者一些其它合适的绝缘或半绝缘材料。

[0042] 图 13 示出了在已经通过采用诸如 CMP 对第一表面 20a 进行平坦化之后的硅衬底 20。

[0043] 图 14 示出了已经在导电通路 142、152 上开接触窗口并且已经提供金属化以在导

电通路 142、152 的每个末端形成接触之后的半导体衬底 20。例如,金属接触 145 形成在硅衬底 20 的第一表面 20a 上并且与导电通路 142 电连接。同样,在对第二表面 20b 进行平坦化之后,在硅衬底 20 的第二表面 20b 上设置金属接触 149 并且其与导电通路 142 电连接。类似地,金属接触 155 形成在硅衬底 20 的第一表面 20a 上并且与导电通路 152 电连接。此外,金属接触 159 形成在第二表面 20b 上并且与导电通路 152 电连接。随后可以安装电子组件 90,与接触 144、145 电连接,并且可将帽 80 密封至硅衬底 20 的第一主表面 20a,如上面在第一优选实施例中所述。接触 149、159 可以为在表面贴装工艺中所使用的凸点。

[0044] 替换的,可以采用硼和磷的一种或一些其它掺杂剂来部分地掺杂导电通路 142、152。同样,可以在形成沟槽 127 之前掺杂或重掺杂硅衬底 20。

[0045] 可以利用本领域已知的其它工艺而不背离本发明。例如,如果需要,可以采用诸如各向同性的等离子蚀刻或 MEMS 加工的处理步骤来平滑沟槽 27、127。硅衬底的部分或整个器件可以具有之前从其上生长的牺牲二氧化硅层,并且随后可以采用缓冲的氧化物蚀刻剂或稀释的氢氟 (HF) 酸蚀刻剂等进行蚀刻,以产生光滑的表面和 / 或圆形的拐角,从而降低残余应力及不希望的污染物。此外,按照需要除了介电层之外还可以增加额外的绝缘层。而且,可以对导电硅衬底进行注入及扩散,以获得特定的导电性。

[0046] 根据上面所述,可以看出本发明的实施例针对半导体器件以及制造半导体器件的方法。此外,可以看出,本发明的实施例针对具有贯穿晶片的导电通路的半导体器件以及制造具有贯穿晶片的导电通路的半导体器件的方法。本领域的技术人员应了解,在不背离本发明的广泛的发明性概念的情况下,可以对上述的实施例进行改变。因此应了解,本发明不限于所公开的特定实施例,而是意图覆盖由所附权利要求所限定的本发明的主旨和范围内的修改。

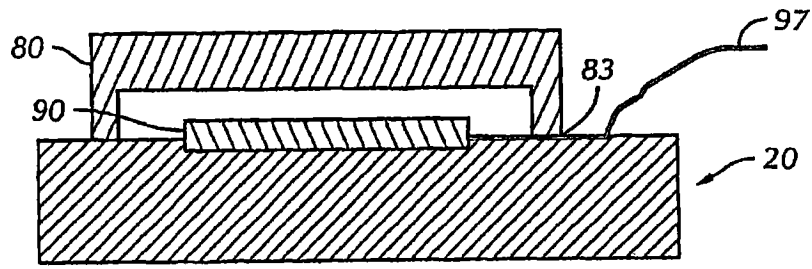


图1
现有技术

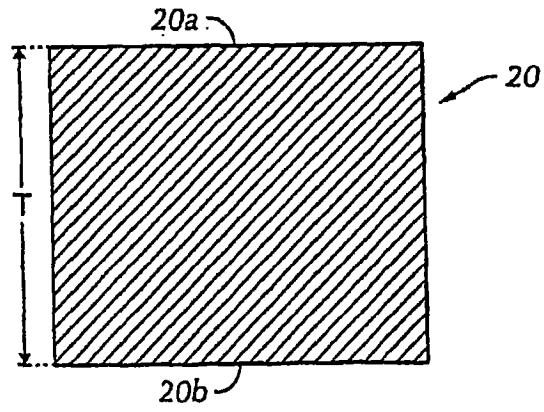


图2

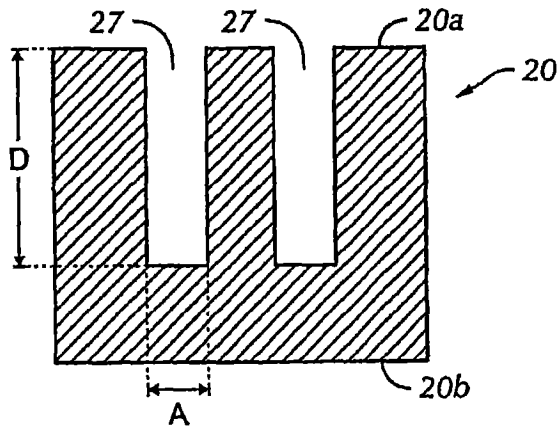


图3

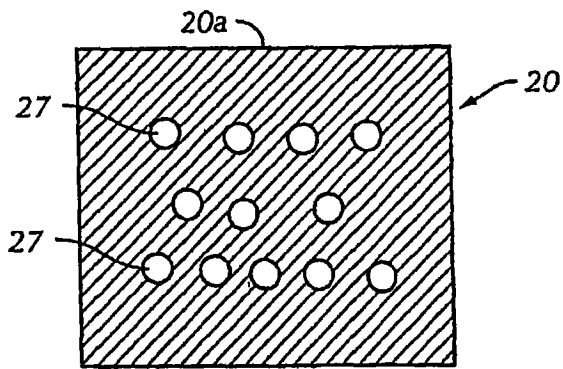


图4

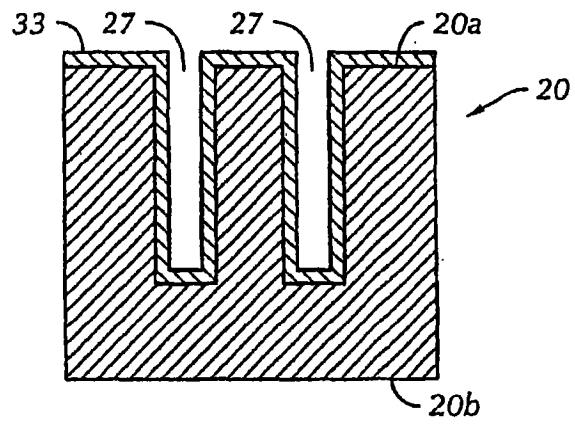


图5

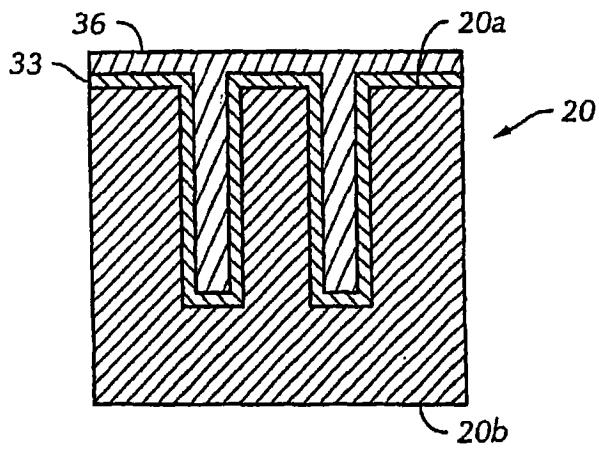


图6

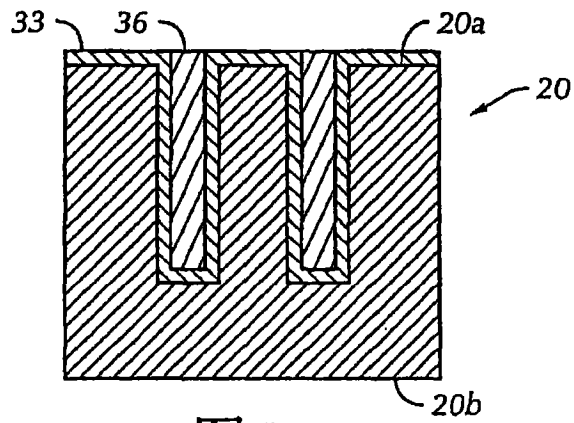


图7

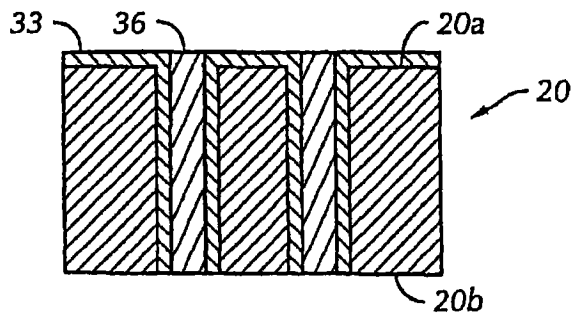


图8

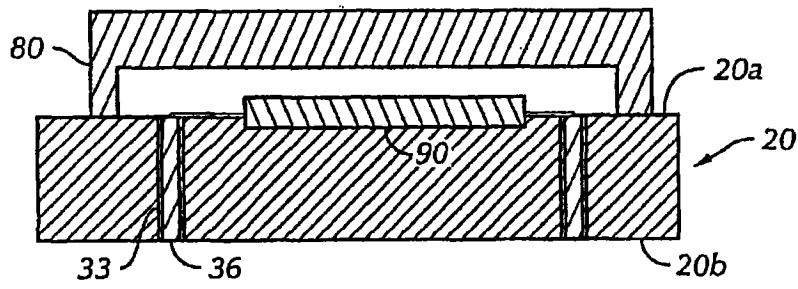


图9

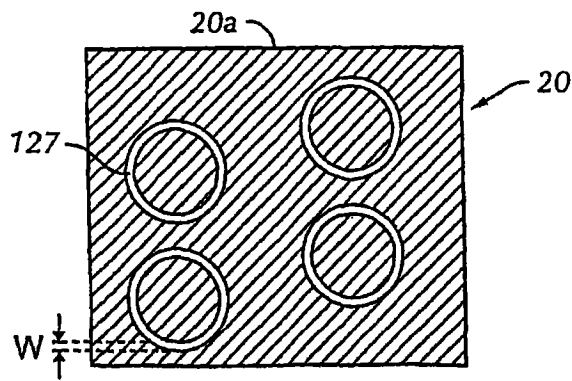


图10

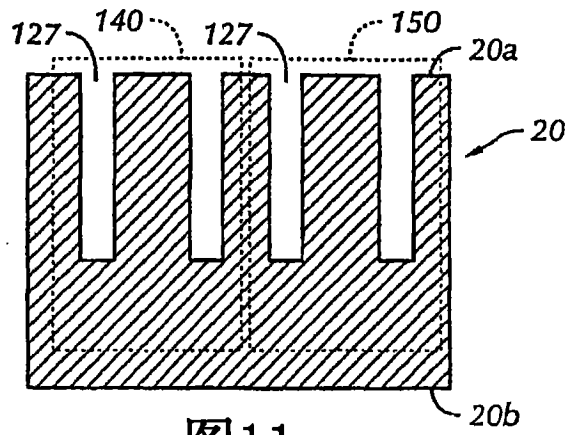


图11

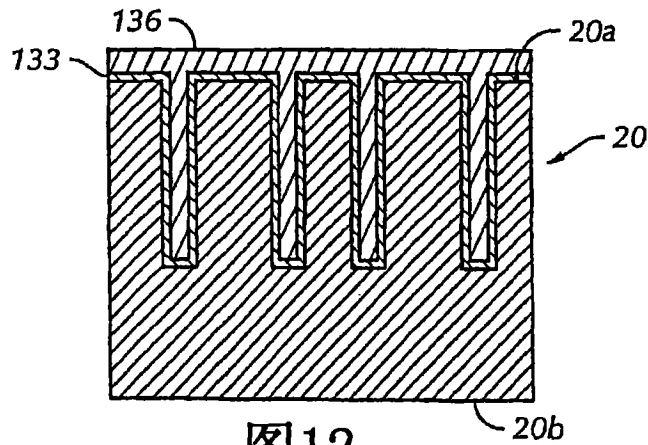


图12

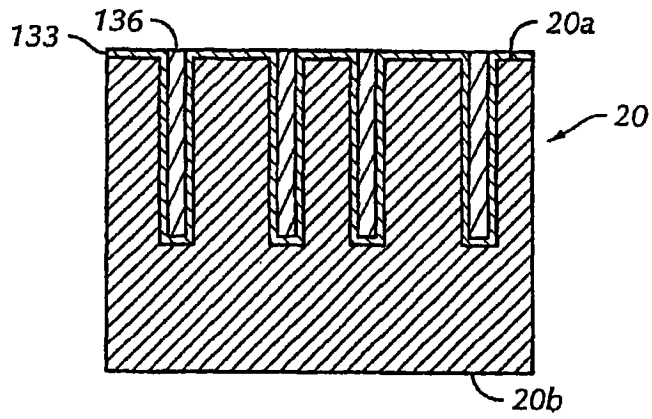


图13

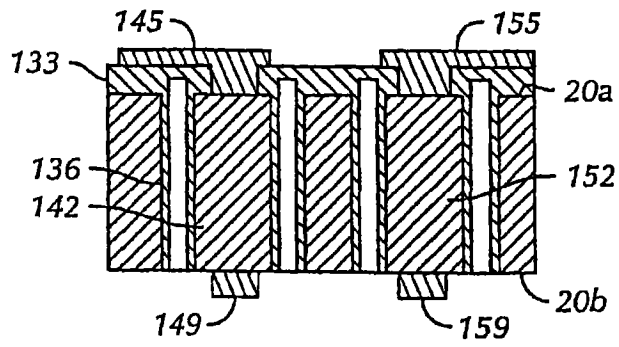


图14