



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월01일
(11) 등록번호 10-1681153
(24) 등록일자 2016년11월24일

(51) 국제특허분류(Int. Cl.)
G01R 31/3185 (2006.01) G01R 31/28 (2006.01)
G01R 31/317 (2006.01)
(52) CPC특허분류
G01R 31/318533 (2013.01)
G01R 31/2872 (2013.01)
(21) 출원번호 10-2016-0024147
(22) 출원일자 2016년02월29일
심사청구일자 2016년02월29일
(56) 선행기술조사문헌
논문(2007.8)
KR1020060095283 A
KR1020090022209 A
KR1020070070660 A

(73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
이현빈
대전광역시 서구 둔산로 155, 109동 703호(둔산동, 크로바아파트)
박정석
충청남도 서산시 한마음7로 39, 나동 403호(석림동, 영진로얄아파트)
강태근
대전광역시 동구 가양로68번길 77 (가양동)
(74) 대리인
특허법인충정

기술이전 희망 : 기술양도

전체 청구항 수 : 총 4 항

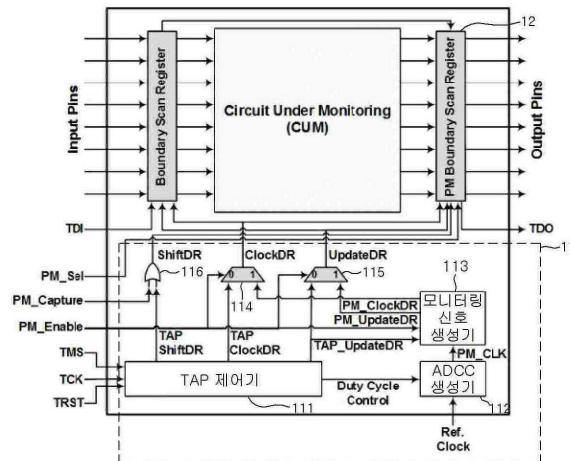
심사관 : 권민정

(54) 발명의 명칭 회로 성능 모니터링 장치

(57) 요약

본 발명에서는 회로의 정상동작 중에 성능 저하를 감지하여 오류를 예측 할 수 있는 모니터링 기법을 제시한다. 모니터링을 위한 별도의 회로를 추가하지 않고 기존의 바운더리 스캔셀과 TAP 제어기를 일부 변경하여 IEEE 1149.1 바운더리 스캔 기반의 향상된 성능을 가지는 회로 성능 모니터링 장치를 개시한다.

대표도 - 도1



(52) CPC특허분류

G01R 31/31723 (2013.01)

G01R 31/31724 (2013.01)

G01R 31/31726 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711023134

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 신진교수연구지원사업

연구과제명 플래시 메모리의 미모로 인한 오류 증가를 극복하기 위한 오류율 예측 방법과 확장 가능한 LDPC 구조 연구

기 여 율 1/1

주관기관 한밭대학교

연구기간 2015.05.01 ~ 2016.04.30

공지예외적용 : 있음

명세서

청구범위

청구항 1

모니터링 대상 회로(CUM)의 입력부에 연결되고, 하나 이상의 바운더리 스캔셀을 포함하는 바운더리 스캔 레지스터;

상기 모니터링 대상 회로의 출력부에 연결되고, 직렬 연결된 하나 이상의 PM 바운더리 스캔셀을 포함하는 PM 바운더리 스캔 레지스터(12); 및

ShiftDR 신호, ClockDR 신호 및 UpdateDR 신호를 출력하여 상기 바운더리 스캔 레지스터로 전송하는 신호 제어부(11)를 포함하되,

상기 PM 바운더리 스캔셀(121)은,

외부로부터 수신한 PM_Sel 신호에 따라 SI(Scan In) 신호 또는 제1 입력 신호 중 어느 하나를 선택적으로 출력하는 제1 멀티플렉서(1211);

상기 ShiftDR 신호에 따라 PI 신호 또는 상기 제1 멀티플렉서(1211)의 출력 신호 중 어느 하나를 선택적으로 출력하는 제2 멀티플렉서(1212) - 상기 PI 신호는 모니터링 대상 회로의 출력 신호임;

상기 ClockDR 신호에 동기 되어 상기 제2 멀티플렉서(1212)의 출력 신호를 래치(latch)하는 제1 플립플롭(1213);

상기 PM_Sel 신호에 따라 상기 제1 플립플롭(1213)의 출력 신호 또는 상기 PI 신호 중 어느 하나를 선택적으로 출력하는 제3 멀티플렉서(1214);

상기 UpdateDR 신호에 동기 되어 상기 제3 멀티플렉서(1214)의 출력 신호를 래치하는 제2 플립플롭(1215); 및

외부로부터 수신한 Mode 신호에 따라 상기 PI 신호 또는 상기 제2 플립플롭(1215)의 출력 신호 중 어느 하나를 선택적으로 출력하는 제4 멀티플렉서(1216)를 포함하는 것을 특징으로 하는 회로 성능 모니터링 장치.

청구항 2

제1항에 있어서,

상기 PM 바운더리 스캔셀(121)은,

상기 제1 플립플롭(1213)의 출력 신호 및 상기 제2 플립플롭(1215)의 출력 신호를 배타적 논리합 연산하는 배타적 논리합(XOR) 게이트(1217)를 더 포함하되,

상기 제1 입력 신호는, 상기 배타적 논리합(XOR) 게이트(1217)의 출력 신호인 것을 특징으로 하는 회로 성능 모니터링 장치.

청구항 3

제1항에 있어서,

상기 신호 제어부(11)는,

TMS 신호, TCK 신호 및 TRST 신호를 이용하여 TAP_ShiftDR 신호, TAP_ClockDR 신호, TAP_UpdateDR 신호 및 듀티 사이클 제어 신호를 출력하는 TAP 제어기(111);

외부로부터 수신한 동작 클럭 신호 및 상기 듀티 사이클 제어 신호를 이용하여 PM_CLK 신호를 출력하는 ADCC 생성기(112);

상기 PM_CLK 신호, TAP_UpdateDR 신호 및 외부로부터 수신한 PM_Enable 신호를 이용하여 PM_ClockDR 신호 및 PM_UpdateDR 신호를 출력하는 모니터링 신호 생성기(113);

상기 PM_Enable 신호에 따라 상기 TAP_ClockDR 신호 또는 상기 PM_ClockDR 신호 중 어느 하나인 상기 ClockDR 신호를 출력하는 제5 멀티플렉서(114);

상기 PM_Enable 신호에 따라 상기 TAP_UpdateDR 신호 또는 상기 PM_UpdateDR 신호 중 어느 하나인 상기 UpdateDR 신호를 출력하는 제6 멀티플렉서(115); 및

외부로부터 수신한 PM_Capture 신호 및 상기 TAP_ShiftDR 신호를 논리합 연산하여 상기 ShiftDR 신호를 출력하는 논리합(OR) 게이트(116)를 포함하는 것을 특징으로 하는 회로 성능 모니터링 장치.

청구항 4

제3항에 있어서,

상기 모니터링 신호 생성기(113)는,

상기 PM_CLK 신호, PM_Enable 신호 및 TAP_UpdateDR 신호를 이용하여 UpdateDR_Ctrl 신호 및 ClockDR_Ctrl 신호를 출력하는 유한 상태 기계(Finite State Machine)(1131);

상기 PM_CLK 신호 및 상기 UpdateDR_Ctrl 신호를 논리곱 연산하여 상기 PM_UpdateDR 신호를 출력하는 논리곱(AND) 게이트(1132); 및

상기 ClockDR_Ctrl 신호 및 상기 PM_UpdateDR 신호를 부정 논리곱 연산하여 상기 PM_ClockDR 신호를 출력하는 부정 논리곱(NAND) 게이트(1133)를 포함하는 것을 특징으로 하는 회로 성능 모니터링 장치.

발명의 설명

기술 분야

[0001] 본 발명은 회로 성능 모니터링 장치에 관한 것으로서, 보다 구체적으로는 모니터링을 위한 별도의 회로를 추가하지 않고 종래의 바운더리 스캔셀과 TAP 제어기를 재활용한 IEEE 1149.1 기반의 회로 성능 모니터링 장치에 관한 것이다.

배경 기술

[0003] 반도체 제조공정의 발달로 트랜지스터의 크기가 작아지고 같은 면적에 더 많은 양의 회로를 집적할 수 있게 되어 전력 소모가 낮아지고 성능이 더욱 향상되었다. 그러나 온도나 전력과 같은 시스템 내외부 동작환경과 장시간 동작으로 인한 스트레스 등에는 점점 더 취약해지고 있다. 결과적으로 시간이 지나면서 회로의 성능이 서서히 저하되다가 회로 또는 시스템의 고장으로 이어질 수 있다. 이러한 문제를 해결하기 위해서는 회로 레벨에서 성능을 모니터링 하여 고장이 나기 전에 미리 예측하여 대비할 수 있도록 하는 성능 저하 모니터링 기술이 필요하다.

[0004] 회로의 성능저하는 회로 내부 신호의 지연으로 나타나므로, 온-라인(on-line)으로 회로의 성능을 모니터링하기 위해서 회로의 지연고장을 테스트하는 기술의 적용을 고려할 수 있다. 동작 클럭을 테스트 클럭으로 사용하여, 지연고장을 테스트하는 기존의 at-speed 방식의 테스트 기술로는 성능 저하의 진행 상태를 모니터링 할 수 없으므로 고장 예측이 불가능하다. 따라서 동작 클럭보다 빠른 클럭, 즉, 동작 클럭의 주기보다 주기가 짧은 클럭으로 테스트 응답을 캡처하여 결과를 확인하는 faster-than-at-speed 테스트 기술을 적용할 수 있을 것이다. 하지만, faster-than-at-speed 테스트 기술은 테스트 패턴인가를 위하여 시스템을 중단시켜야 하기 때문에, 인공위성, 의료장비, 서버 등과 같이 높은 신뢰성을 요구하면서도 중단 없이 지속적으로 동작해야 하는 시스템에 적용하기 어려운 문제점이 있었다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 창안된 것으로, 본 발명에 따른 회로 성능 모니터

링 장치는 기존의 바운더리 스캔셀을 수정하여,

- [0007] 회로의 정상 동작 중에 회로의 출력 신호를 캡처하여 모니터링에 사용함으로써 회로의 동작을 중단시키지 않고 회로 성능 모니터링을 수행할 수 있는 장치를 제공하는 것을 목적으로 한다.
- [0008] 또한, 회로의 출력신호의 변화를 감지함으로써 오류 발생을 사전에 예측할 수 있는 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0010] 상기 과제를 해결하기 위한 본 발명에 따른 회로 성능 모니터링 장치는,
- [0011] 모니터링 대상 회로(CUM)의 입력부에 연결되고, 하나 이상의 바운더리 스캔셀을 포함하는 바운더리 스캔 레지스터; 상기 모니터링 대상 회로의 출력부에 연결되고, 직렬 연결된 하나 이상의 PM 바운더리 스캔셀을 포함하는 PM 바운더리 스캔 레지스터(12); 및 ShiftDR 신호, ClockDR 신호 및 UpdatedDR 신호를 출력하여 상기 바운더리 스캔 레지스터로 전송하는 신호 제어부(11)를 포함하되, 상기 PM 바운더리 스캔셀(121)은, 외부로부터 수신한 PM_Sel 신호에 따라 SI(Scan In) 신호 또는 제1 입력 신호 중 어느 하나를 선택적으로 출력하는 제1 멀티플렉서(1211); 상기 ShiftDR 신호에 따라 PI 신호 또는 상기 제1 멀티플렉서(1211)의 출력 신호 중 어느 하나를 선택적으로 출력하는 제2 멀티플렉서(1212) - 상기 PI 신호는 모니터링 대상 회로의 출력 신호임; 상기 ClockDR 신호에 동기 되어 상기 제2 멀티플렉서(1212)의 출력 신호를 래치(latch)하는 제1 플립플롭(1213); 상기 PM_Sel 신호에 따라 상기 제1 플립플롭(1213)의 출력 신호 또는 상기 PI 신호 중 어느 하나를 선택적으로 출력하는 제3 멀티플렉서(1214); 상기 UpdatedDR 신호에 동기 되어 상기 제3 멀티플렉서(1214)의 출력 신호를 래치하는 제2 플립플롭(1215); 및 외부로부터 수신한 Mode 신호에 따라 상기 PI 신호 또는 상기 제2 플립플롭(1215)의 출력 신호 중 어느 하나를 선택적으로 출력하는 제4 멀티플렉서(1216)를 포함할 수 있다.
- [0012] 또한, 상기 PM 바운더리 스캔셀(121)은, 상기 제1 플립플롭(1213)의 출력 신호 및 상기 제2 플립플롭(1215)의 출력 신호를 배타적 논리합 연산하는 배타적 논리합(XOR) 게이트(1217)를 더 포함하되, 상기 제1 입력 신호는, 상기 배타적 논리합(XOR) 게이트(1217)의 출력 신호일 수 있다.
- [0013] 또한, 상기 신호 제어부(11)는, TMS 신호, TCK 신호 및 TRST 신호를 이용하여 TAP_ShiftDR 신호, TAP_ClockDR 신호, TAP_UpdatedDR 신호 및 듀티 사이클 제어 신호를 출력하는 TAP 제어기(111); 외부로부터 수신한 동작 클럭 신호 및 상기 듀티 사이클 제어 신호를 이용하여 PM_CLK 신호를 출력하는 ADCC 생성기(112); 상기 PM_CLK 신호, TAP_UpdatedDR 신호 및 외부로부터 수신한 PM_Enable 신호를 이용하여 PM_ClockDR 신호 및 PM_UpdatedDR 신호를 출력하는 모니터링 신호 생성기(113); 상기 PM_Enable 신호에 따라 상기 TAP_ClockDR 신호 또는 상기 PM_ClockDR 신호 중 어느 하나인 상기 ClockDR 신호를 출력하는 제5 멀티플렉서(114); 상기 PM_Enable 신호에 따라 상기 TAP_UpdatedDR 신호 또는 상기 PM_UpdatedDR 신호 중 어느 하나인 상기 UpdatedDR 신호를 출력하는 제6 멀티플렉서(115); 및 외부로부터 수신한 PM_Capture 신호 및 상기 TAP_ShiftDR 신호를 논리합 연산하여 상기 ShiftDR 신호를 출력하는 논리합(OR) 게이트(116)를 포함할 수 있다.
- [0014] 또한, 상기 모니터링 신호 생성기(113)는, 상기 PM_CLK 신호, PM_Enable 신호 및 TAP_UpdatedDR 신호를 이용하여 UpdatedDR_Ctrl 신호 및 ClockDR_Ctrl 신호를 출력하는 유한 상태 기계(Finite State Machine)(1131); 상기 PM_CLK 신호 및 상기 UpdatedDR_Ctrl 신호를 논리곱 연산하여 상기 PM_UpdatedDR 신호를 출력하는 논리곱(AND) 게이트(1132); 및 상기 ClockDR_Ctrl 신호 및 상기 PM_UpdatedDR 신호를 부정 논리곱 연산하여 상기 PM_ClockDR 신호를 출력하는 부정 논리곱(NAND) 게이트(1133)를 포함할 수 있다.

발명의 효과

- [0016] 본 발명은 회로의 동작 중에 회로의 출력 신호를 캡처하여 모니터링에 사용함으로써 회로의 동작을 중단시키지 않고 회로 성능 모니터링을 수행할 수 있다.
- [0017] 또한, 보호대역 구간에서 회로의 출력신호의 변화를 감지함으로써 오류 발생을 사전에 예측할 수 있다.

도면의 간단한 설명

- [0019] 본 발명에 관한 이해를 돕기 위해 상세한 설명의 일부로 포함되는, 첨부도면은 본 발명에 대한 실시예를 제공하고, 상세한 설명과 함께 본 발명의 기술적 사상을 설명한다.
- 도 1은 본 발명에 따른 회로 성능 모니터링 장치의 구조를 도시한 것이다.

도 2는 본 발명에 따른 회로 성능 모니터링을 위한 보호대역을 도시한 것이다.

도 3은 본 발명에 따른 회로 성능 모니터링 장치 내 PM 바운더리 스캔 레지스터의 구조를 도시한 것이다.

도 4는 상기 도 3의 PM 바운더리 스캔 레지스터 내 PM 바운더리 스캔셀의 구조를 도시한 것이다.

도 5는 본 발명에 따른 회로 성능 모니터링 장치 내 모니터링 신호 생성기의 구조를 도시한 것이다.

도 6은 본 발명에 따른 회로 성능 모니터링 장치 내 모니터링 신호 생성기의 동작 과정을 도시한 것이다.

도 7은 본 발명에 따른 회로 성능 모니터링 과정을 예시한 것이다.

도 8은 본 발명에 따른 회로 성능 모니터링 장치, 모니터링 대상 회로(CUM) 및 프로세서간 보드 상의 연결 구조를 도시한 것이다.

도 9는 본 발명에 따른 회로 성능 모니터링 장치의 시뮬레이션 결과를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 이하에서는 특정 실시예들을 첨부된 도면을 기초로 상세히 설명하고자 한다.

[0021] 이하의 실시예는 본 명세서에서 기술된 방법, 장치 및/또는 시스템에 대한 포괄적인 이해를 돕기 위해 제공된다. 그러나 이는 예시에 불과하며 본 발명은 이에 제한되지 않는다.

[0022] 본 발명의 실시예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 본 발명의 실시 예들을 기술하기 위한 것이며, 결코 제한적이지어서는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능성을 배제하도록 해석되어서는 안 된다.

[0023] 또한, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0024] 이하에서는, 본 발명에 따른 회로 성능 모니터링 장치를 예시적인 실시 형태들을 첨부된 도면을 참조하여 상세히 설명한다.

[0026] 도 1은 본 발명에 따른 회로 성능 모니터링 장치의 구조를 도시한 것이다.

[0027] 도 1에서 볼 수 있는 바와 같이, 본 발명에 따른 회로 성능 모니터링 장치는 신호 제어부(11), 모니터링 대상 회로(Circuit Under Monitoring, CUM)의 출력부에 연결되는 PM 바운더리 스캔 레지스터(PM Boundary Scan Register, PM BSR)(12) 및 상기 모니터링 대상 회로의 입력부에 연결되는 바운더리 스캔 레지스터(BSR)를 포함하여 구성될 수 있다. 상기 모니터링 대상 회로(CUM)의 입력부에 연결되는 바운더리 스캔 레지스터는 종래의 바운더리 스캔 레지스터와 동일한 것일 수 있다. 또한, 본 발명에 따른 회로 성능 모니터링 장치는 Test Data Input(TDI), Test Data Output(TDO), Test Clock(TCK), Test Reset(TRST) 및 Test Mode Select(TMS)의 포트를 포함할 수 있다

[0028] 본 발명에 따른 회로 성능 모니터링을 수행하기 위해서는 early-capture와 normal-capture과정을 통해 보호대역 구간에서 회로의 출력신호 변화가 지연되는 현상을 발견해야 한다. 상기 보호대역은 칩의 최대 클럭 주파수(maximum clock frequency)에 대하여 칩의 기대수명 동안 성능 저하가 발생함을 고려하여 이보다 상대적으로 느리게 동작하는 실제 기능회로 동작 클럭(functional clock) 사이의 구간을 말하며, 도 2(a)는 보호대역의 예이다. 일반적으로 10~20%의 보호대역을 사용한다. 예를 들어, 3 GHz로 최대 동작 가능한 칩은 성능저하를 고려하여 2.7 GHz로 동작하게끔 출고된다. 그러나 IEEE 1149.1에 정의된 바운더리 스캔 구조로는 보호대역 구간에서 회로의 출력신호 변화의 지연현상을 발견할 수 없기 때문에 이를 해결할 수 있도록 바운더리 스캔 셀의 구조 및 제어신호의 수정이 필요하다. 본 발명에서는 ADCC 생성기(112)에서 상기 동작 클럭을 참조하여 도 2(b)와 같은

듀티 사이클이 조정된 PM_CLK 신호를 생성한다.

- [0030] 이하, 도 3 및 도 4를 참조하여, 상기 PM 바운더리 레지스터(PM BSR)(12)를 보다 상세히 설명한다.
- [0031] 도 3은 본 발명에 따른 회로 성능 모니터링 장치 내 PM 바운더리 스캔 레지스터(12)의 구조를 도시한 것이다.
- [0032] 도 3에서 볼 수 있는 바와 같이, PM 바운더리 스캔 레지스터(12)는 하나 이상의 PM 바운더리 스캔셀(PM BSC)(121)을 포함할 수 있다. 상기 PM 바운더리 스캔 레지스터(12)는 두 개의 직렬 입출력과 상기 PM 바운더리 스캔셀(121) 수만큼의 병렬 입출력이 가능하다. 상기 하나 이상의 PM 바운더리 스캔셀(121)은 직렬 구조로 연결되어 있으며, 각 PM 바운더리 스캔셀(121)은 성능 측정 대상 회로의 각 핀(pin)과 일대일로 연결될 수 있다. 직렬 입출력은 TDI, TDO 포트로 연결되며, 병렬 입출력은 각각 PM 바운더리 스캔셀(121)의 PI(Primary Input), Primary Output(P0) 신호와 연결될 수 있다.
- [0033] 도 4는 상기 도 3의 PM 바운더리 스캔 레지스터(12) 내 PM 바운더리 스캔셀(121)의 구조를 도시한 것이다.
- [0034] 도 4에서 볼 수 있는 바와 같이, 상기 PM 바운더리 스캔셀(121)은 제1 멀티플렉서(1211), 제2 멀티플렉서(1212), 제1 플립플롭(1213), 제3 멀티플렉서(1214), 제2 플립플롭(1215), 제4 멀티플렉서(1216) 및 배타적 논리합(XOR) 게이트(1217)를 포함하여 구성될 수 있다.
- [0035] 상기 제1 멀티플렉서(1211)는 외부로부터 수신한 PM_Sel 신호에 따라 SI(Scan In) 신호 또는 제1 입력 신호 중 어느 하나를 선택적으로 출력한다.
- [0036] 상기 제2 멀티플렉서(1212)는 상기 ShiftDR 신호에 따라 PI(Primary Input) 신호 또는 상기 제1 멀티플렉서의 출력 신호 중 어느 하나를 선택적으로 출력한다. 상기 PI 신호는 모니터링 대상 회로(CUM)의 출력 신호이다.
- [0037] 제1 플립플롭(1213)는 상기 ClockDR 신호에 동기 되어 상기 제2 멀티플렉서의 출력 신호를 래치(latch)한다.
- [0038] 상기 제3 멀티플렉서(1214)는 상기 PM_Sel 신호에 따라 상기 제1 플립플롭의 출력 신호 또는 상기 PI 신호 중 어느 하나를 선택적으로 출력한다.
- [0039] 상기 제2 플립플롭(1215)는 상기 UpdateDR 신호에 동기 되어 상기 제3 멀티플렉서의 출력 신호를 래치한다.
- [0040] 상기 제4 멀티플렉서(1216)는 Mode 신호에 따라 상기 PI 신호 또는 상기 제2 플립플롭의 출력 신호 중 어느 하나를 선택적으로 출력한다.
- [0041] 상기 배타적 논리합(XOR) 게이트(1217)는 상기 제1 플립플롭의 출력 신호 및 상기 제2 플립플롭의 출력 신호를 배타적 논리합 연산하여 상기 제1 입력 신호를 출력한다.
- [0042] 보다 구체적으로, 상기 PM 바운더리 스캔셀(121)에서의 데이터 이동 과정은 다음과 같다. ShiftDR 신호를 제어하여(ShiftDR= '0') 모니터링 대상 회로(CUM)의 출력 신호(PI)를 ClockDR신호의 상승에지에서 제1 플립플롭에 캡처(early-capture)하고, PM_Sel 신호를 제어하여(PM_Sel= '1') 모니터링 대상 회로의 출력 신호(PI)를 UpdateDR 신호의 상승에지에서 제2 플립플롭에 캡처(normal-capture)한다. PM_Sel 신호와 ShiftDR 신호를 제어하여(PM_Sel= '1' , ShiftDR= '1') ClockDR 신호의 상승에지에서 상기 제1 플립플롭과 상기 제2 플립플롭에 캡처된 값의 배타적 논리합(XOR) 게이트 연산결과를 상기 제1 플립플롭에 캡처한다. 상기 제1 플립플롭에 캡처된 배타적 논리합(XOR) 연산결과는 모니터링 결과이며, 쉬프트 동작(PM_Sel= '0' , ShiftDR= '1')을 통해 ClockDR의 상승에지에서 TDO 신호로 출력된다.
- [0043] TDO의 출력 신호에 '1' 이 있다는 것은 출력 신호 변화에 지연이 발생했다는 것을 의미하며, 프로세서(Processor)는 상기 TDO로 출력된 결과를 읽어들이어 모니터링 대상 회로의 출력 신호의 지연발생으로 인한 성능 저하가 발생했는지를 판단한다. 모니터링 대상 회로의 출력 신호의 지연발생으로 인한 성능 저하가 발생했다고 판단되었다면, 상기 프로세서는 사용자에게 성능 저하가 발생했음을 알린다.
- [0045] 이하, 도 5 및 도 6을 참조하여 상기 신호 제어부(11)를 보다 상세히 설명한다.
- [0046] 다시 상기 도 1을 살펴보면, 상기 신호 제어부(11)는 TAP 제어기(111), ADCC 생성기(112), 모니터링 신호 생성기(113), 제5 멀티플렉서(114), 제6 멀티플렉서(115) 및 논리합(OR) 게이트(116)를 포함하여 구성될 수 있다. 또한, 상기 TCK, TRST, TMS 신호 외에 장치 외부로부터 PM_Capture 및 PM_Enable 신호를 수신한다. 상기 PM_Capture 신호는 상기 TAP 제어기(111)의 CaptureDR 상태에서 모니터링 결과를 상기 PM 바운더리 스캔셀(121)의 제1 플립플롭(1213)에 캡처할 수 있게 한다. 상기 PM_Enable 신호를 제어하여 모니터링 동작 실행을 제어할 수 있다.

- [0047] 상기 TAP 제어기(111)는 외부로부터 TMS 신호, TCK 신호 및 TRST 신호를 수신하고, 이를 이용하여 TAP_ShiftDR 신호, TAP_ClockDR 신호, TAP_UpdateDR 신호 및 듀티 사이클 제어(duty cycle control) 신호를 출력한다.
- [0048] 상기 ADCC 생성기(112)는 상기 동작 클럭 및 상기 듀티 사이클 제어(duty cycle control) 신호를 이용하여 PM_CLK 신호를 출력한다.
- [0049] 상기 모니터링 신호 생성기(113)는 상기 PM_CLK 신호, TAP_UpdateDR 신호 및 장치 외부로부터 수신한 PM_Enable 신호를 이용하여 PM_ClockDR 신호 및 PM_UpdateDR 신호를 출력한다.
- [0050] 도 5는 본 발명에 따른 회로 성능 모니터링 장치 내 모니터링 신호 생성기(113)의 구조를 도시한 것이다.
- [0051] 도 5에서 볼 수 있는 바와 같이, 상기 모니터링 신호 생성기(113)는 유한 상태 기계(Finite State Machine)(1131), 논리곱(AND) 게이트(1132) 및 부정 논리곱(NAND) 게이트(1133)를 포함하여 구성될 수 있다.
- [0052] 상기 유한 상태 기계(1131)는 상기 PM_CLK 신호, PM_Enable 신호 및 TAP_UpdateDR 신호를 이용하여 UpdateDR_Ctrl 신호 및 ClockDR_Ctrl 신호를 출력한다. 보다 구체적으로, 상기 유한 상태 기계(1131)의 동작에 대하여 도 6을 참조하면, IDLE 상태는 휴지기간으로, 성능 모니터링을 수행하기 위해 준비/대기하는 상태이다. ClockDRGen 상태는 임시상태로, 보호대역 구간에서 ClockDR 신호를 통해 early-capture를 할 수 있도록 필요한 신호를 생성하는 상태이다. UpDRGen 상태는 임시상태로, UpdateDR 신호를 통해 normal capture를 할 수 있도록 필요한 신호를 생성하는 상태이다. ClockUpDREnd 상태는 ClockDR 신호와 UpdateDR 신호를 생성하기 위해 필요한 신호 생성을 종료하는 상태이다. 모든 상태변화는 ADCC 생성기(112)를 통해 생성된 PM_CLK의 상승에지에서 발생하며, 임시상태를 제외한 나머지 상태들은 PM_Enable 신호와 TAP_UpdateDR 신호에 의해 다음 상태가 결정된다.
- [0053] 상기 논리곱(AND) 게이트(1132)는 상기 PM_CLK 신호 및 상기 UpdateDR_Ctrl 신호를 논리곱 연산하여 상기 PM_UpdateDR 신호를 출력한다.
- [0054] 상기 부정 논리곱(NAND) 게이트(1133)는 상기 ClockDR_Ctrl 신호 및 상기 PM_UpdateDR 신호를 부정 논리곱 연산하여 상기 PM_ClockDR 신호를 출력한다.
- [0055] 다시, 신호 제어부(11)로 구조로 돌아와서, 상기 제5 멀티플렉서(114)는 상기 PM_Enable 신호에 따라 상기 TAP_ClockDR 신호 또는 상기 PM_ClockDR 신호 중 어느 하나인 상기 ClockDR 신호를 출력한다.
- [0056] 상기 제6 멀티플렉서(115)는 상기 PM_Enable 신호에 따라 상기 TAP_UpdateDR 신호 또는 상기 PM_UpdateDR 신호 중 어느 하나인 상기 UpdateDR 신호를 출력한다.
- [0057] 상기 논리합(OR) 게이트(116)는 외부로부터 수신한 PM_Capture 신호 및 상기 TAP_ShiftDR 신호를 논리합 연산하여 상기 ShiftDR 신호를 출력한다.
- [0059] 도 7은 본 발명에 따른 회로 성능 모니터링 과정을 예시한 것이다.
- [0060] 상기 TAP 제어기(111)의 UpdateDR 상태에서 TCK 신호를 제어하여 Stretched UpdateDR 상태를 만들고, early-capture와 normal-capture를 실시하여 CapturedDR 상태에서 비교 결과를 캡처하였다. ShiftDR 상태에서 캡처된 결과를 TDO로 출력하여 출력신호 변화의 지연발생 유무를 판단하면 성능 저하 모니터링 과정은 종료된다.
- [0062] 도 8은 본 발명에 따른 회로 성능 모니터링 장치, 모니터링 대상 회로(CUM) 및 프로세서간 보드 상의 연결 구조를 도시한 것이다.
- [0063] 일반적으로 보드상의 프로세서와 다른 디바이스들은 테스트나 디버깅을 목적으로 외부에서 접근 할 수 있도록 IEEE 1149.1을 통하여 연결되어 있다. 이러한 기본 구조에 TAP Signal MUX 블록을 추가하여 외부 Test 신호에 의해 외부의 접근을 통한 테스트와 보드상에서 프로세서에 의한 테스트가 가능하도록 한다. 이와 같이 보드를 구성함으로써 프로세서가 필드에서도 IEEE 1149.1 신호를 생성하여 모니터링을 수행한다. 모니터링을 위해 제어 신호, PM_Enable, PM_Sel, PM_Capture 신호가 추가되며, 프로세서는 정기적 또는 비정기적으로 모니터링 회로를 활성화 하고 TDO 신호의 모니터링 결과 값을 추출함으로써 회로의 성능 저하 상태를 확인 할 수 있다.
- [0065] -실험 결과-
- [0066] 본 발명에 따른 바운더리 스캔 기반의 회로 성능 모니터링 장치를 검증하기 위해 임의로 모니터링 대상 회로(CUM)에 지연이 발생하도록 모니터링 대상 회로의 입력 타이밍을 늦추어 출력에 지연이 발생하도록 하여 시뮬레이션을 하였다.

[0067] 바운더리 스캔 레지스터와 PM 바운더리 스캔 레지스터(12)는 각각 32-bit이며, 상기 모니터링 대상 회로는 16x16 곱셈기를 사용하였다. PM 바운더리 스캔 레지스터(12)를 제어하기 위해 도 5 및 도 6과 같이 모니터링 신호 생성기(113)를 설계하고, 도 1의 신호 제어부(11)와 같이 TAP 제어기(111) 및 모니터링 신호 생성기(113)를 다중화 하였으며, 외부 신호들을 연결하였다.

[0068] 도 9는 본 발명에 따른 회로 성능 모니터링 장치의 시뮬레이션 결과를 도시한 것이다.

[0069] 도 9를 참조하면 1 내지 5에 해당하는 구간은 일반적인 경계스캔의 동작 상태를 나타낸다. 각각 Test Logic Reset, Run Test/Idle, SelectDR Scan, CaptureDR, Exit-1 DR상태이며, 6 내지 9에 해당하는 구간은 본 발명에 따른 회로 성능 모니터링 장치가 수행하는 Stretched UpdateDR, SelectDR, CaptureDR, ShiftDR상태이다. 회로 신호 지연 상황을 만들기 위하여 곱셈기의 입력 신호를 보호대역 구간에서 인가하였다. Stretched UpdateDR 상태를 확대하면 도 9의 아래 그림과 같으며, 보호대역에서 출력신호 변화의 지연 발생 상황과 동일한 상황을 나타낸다. launch 후 변경이 발생하기 이전의 출력신호가 early-capture 위치에서 캡처되었으며, 변경이 발생한 후 출력 신호가 normal-capture 위치에서 캡처되었다. Stretched UpdateDR 상태 종료 후, CaptureDR 상태에서 early-capture 된 신호와 normal-capture 된 신호의 배타적 논리합(XOR) 연산결과가 제1 플립플롭(1213)에 캡처된다. TAP 제어기(111)에서는 ShiftDR 상태에서만 ShiftDR 신호가 '1' 을 유지하기 때문에 CaptureDR 상태에서 도 4와 같이 XOR 연산결과를 제1 플립플롭(1213)에 캡처하기 위해서는 도 9의 8구간 같이 PM_Capture 신호를 통해 ShiftDR 신호를 '1' 로 만들어주어야 한다. 도 9의 위에 확대한 파형은 ShiftDR 상태에서 TDO 신호를 통해 출력되는 캡처 결과를 나타낸다. 5, 9번째 bit 값으로 보호대역 구간에서 출력신호 변화의 지연이 발생했음을 알 수 있다.

[0071] 이상에서 본 발명의 대표적인 실시예들을 상세하게 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리범위는 설명된 실시예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

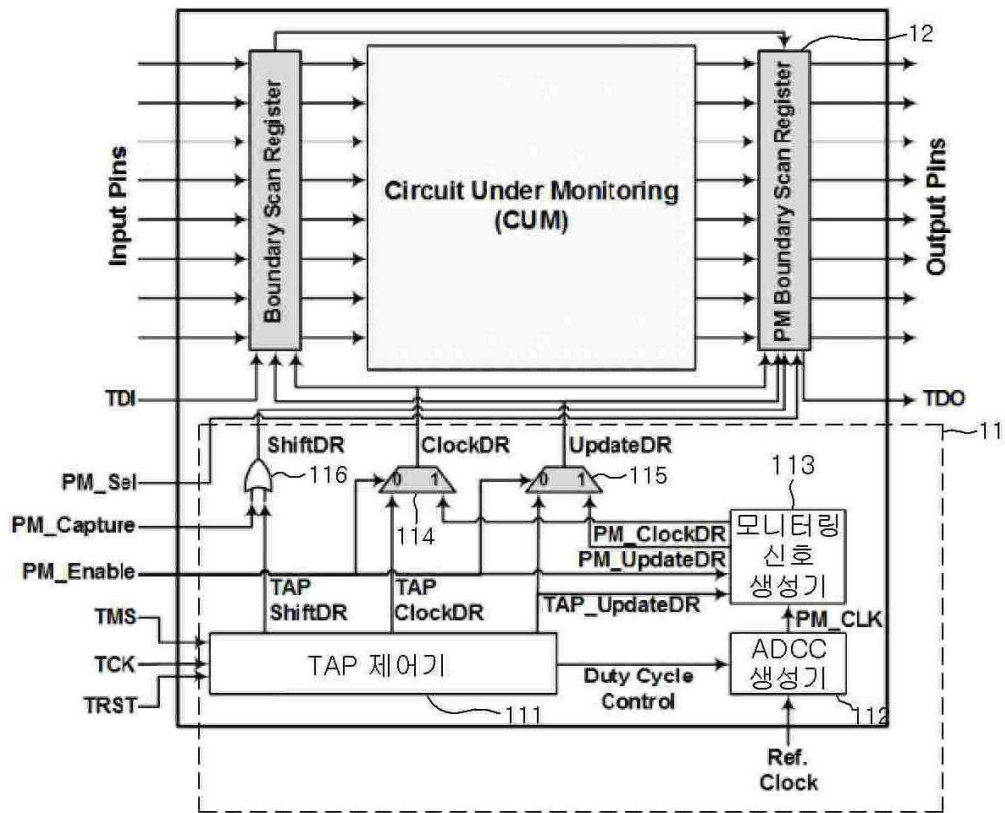
[0073] 11: 신호 제어부

12: PM 바운더리 스캔 레지스터

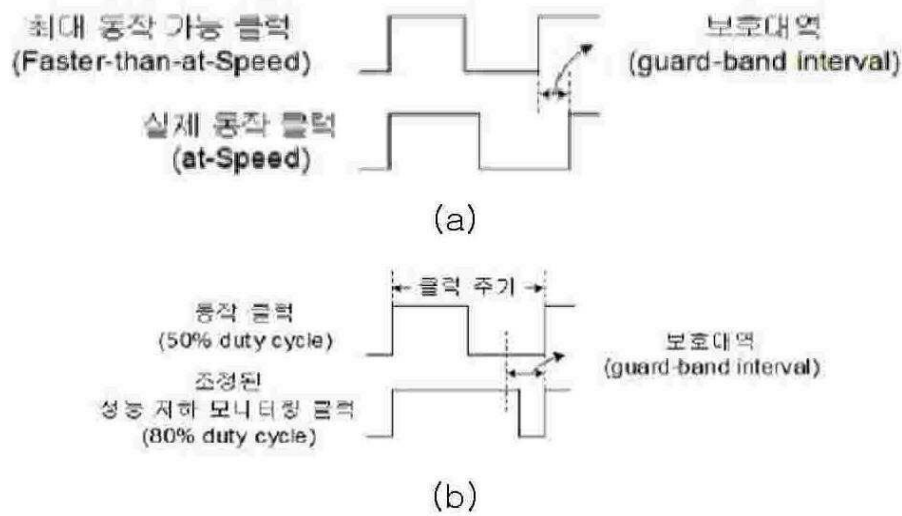
121: PM 바운더리 스캔 셀

도면

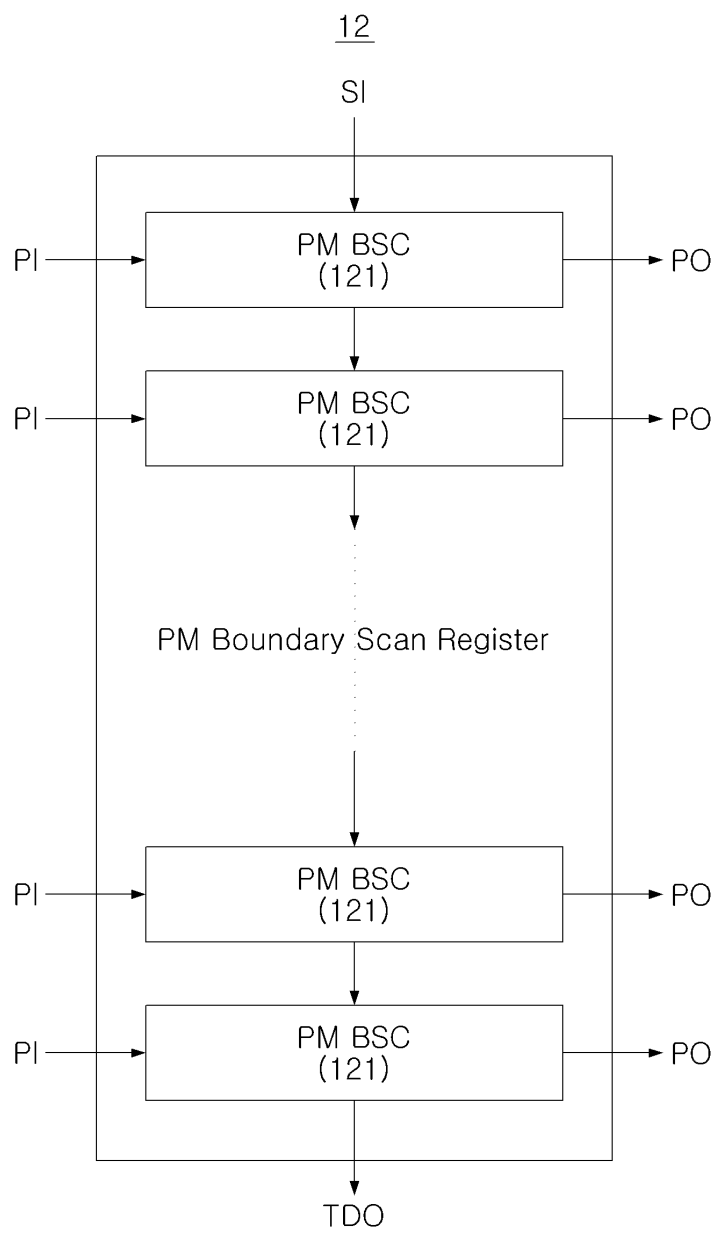
도면1



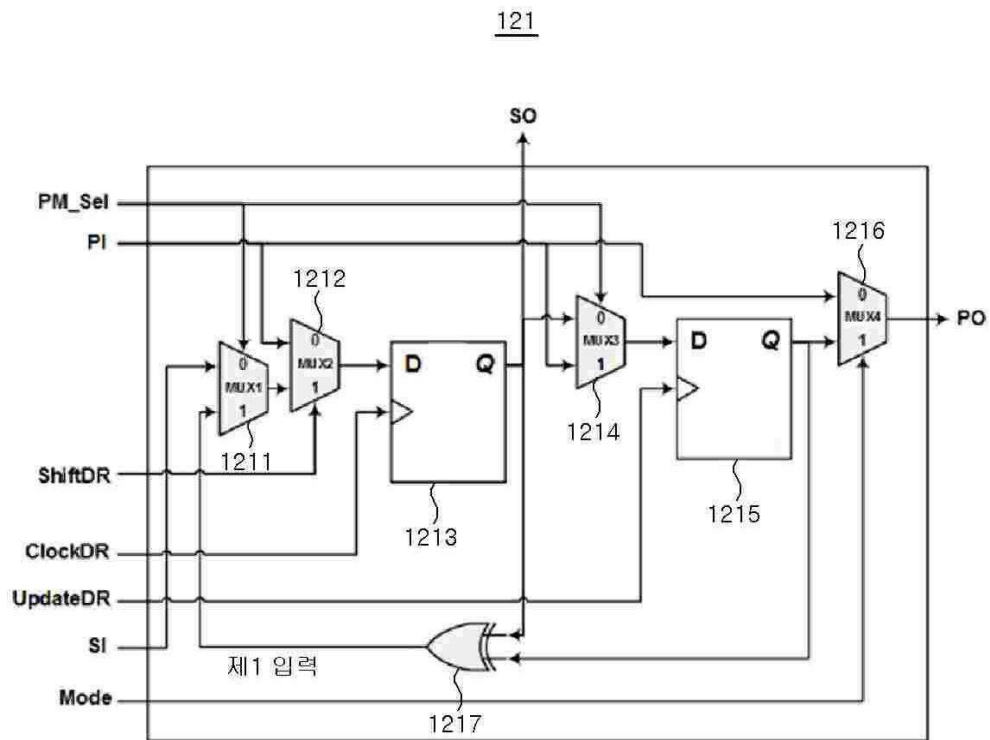
도면2



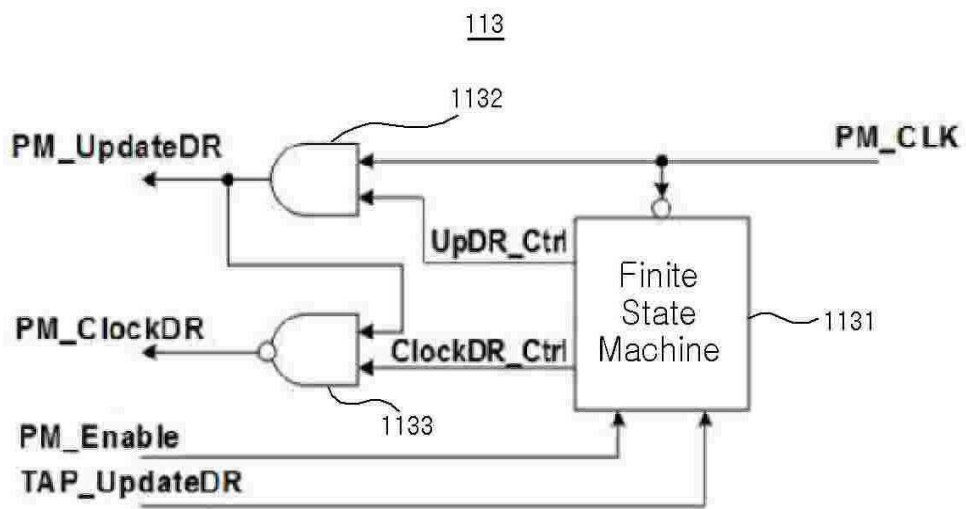
도면3



도면4



도면5



도면6

