(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第4479823号
(P4479823)
(45)発行日 平成22年6月9日(2010.6.9)　(24)登録日 平成22年3月26日(2010.3.26)

(51)Int.Cl.		F I		
H01L 27/08	(2006.01)	H01L	27/08	331A
H01L 25/07	(2006.01)	H01L	25/04	C
H01L 25/18	(2006.01)	H01L	21/76	D
H01L 21/762	(2006.01)	H01L	21/76	L
H01L 21/76	(2006.01)	H01L	21/76	M

請求項の数 10 (全 16 頁) 最終頁に続く

(21)出願番号 特願2008-112483 (P2008-112483)
(22)出願日 平成20年4月23日 (2008.4.23)
(65)公開番号 特開2009-266933 (P2009-266933A)
(43)公開日 平成21年11月12日 (2009.11.12)
審査請求日 平成21年4月15日 (2009.4.15)

(73)特許権者 000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人 100100022
弁理士 伊藤 洋二
(74)代理人 100108198
弁理士 三浦 高広
(74)代理人 100111578
弁理士 水野 史博
(72)発明者 山田 明
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内
(72)発明者 赤木 望
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

第１の電位を基準電位として動作する低電位基準回路部（ＬＶ）と、前記第１の電位よりも高電位な第２の電位を基準電位として動作する高電位基準回路部（ＨＶ）と、前記低電位基準回路部（ＬＶ）と前記高電位基準回路部（ＨＶ）との間での基準電位のレベルシフトを行うためのレベルシフト素子（２０）が備えられたレベルシフト素子形成部（ＬＳ）とが形成された半導体層（１）と、

前記半導体層（１）の裏面において、前記低電位基準回路部（ＬＶ）と対応する部分および前記高電位基準回路部（ＨＶ）と対応する部分に形成された絶縁部材（２、５０、６０、７０）と、

前記絶縁部材（２、５０、６０、７０）を挟んで前記低電位基準回路部（ＬＶ）と対向するように配置されていると共に、前記低電位基準回路部（ＬＶ）における前記第１の電位が印加される部位と電気的に接続された第１導体部材（３ａ、４０ａ）と、

前記絶縁部材（２、５０、６０、７０）を挟んで前記高電位基準回路部（ＨＶ）と対向するように配置されていると共に、前記高電位基準回路部（ＨＶ）における前記第２の電位が印加される部位と電気的に接続された第２導体部材（３ｂ、４０ｂ）と、を備えていることを特徴とする半導体装置。

【請求項２】

前記低電位基準回路部（ＬＶ）における前記第１の電位が印加される部位と前記第１導体部材（３ａ、４０ａ）との電気的接続、および、前記高電位基準回路部（ＨＶ）におけ

る前記第２の電位が印加される部位と前記第２導体部材（３ｂ、４０ｂ）との電気的接続がボンディングワイヤ（４）にて行われていることを特徴とする請求項１に記載の半導体装置。

【請求項３】

前記絶縁部材（２、５０、６０、７０）のうち、前記低電位基準回路部（ＬＶ）と対応する部分および前記高電位基準回路部（ＨＶ）と対応する部分にはトレンチ（３１）を埋め込むように貫通電極（３０）が備えられており、該貫通電極（３０）にて、前記低電位基準回路部（ＬＶ）における前記第１の電位が印加される部位と前記第１導体部材（３ａ、４０ａ）との電気的接続、および、前記高電位基準回路部（ＨＶ）における前記第２の電位が印加される部位と前記第２導体部材（３ｂ、４０ｂ）との電気的接続が行われていることを特徴とする請求項１に記載の半導体装置。

【請求項４】

前記第１、第２導体部材は、前記低電位基準回路部（ＬＶ）および前記高電位基準回路部（ＨＶ）を外部と電気的に接続するためのリードフレーム（３）にて構成された第１、第２リードフレーム（３ａ、３ｂ）であることを特徴とする請求項１ないし３のいずれか１つに記載の半導体装置。

【請求項５】

前記第１、第２導体部材は、基板（４１）上にパターン形成された第１、第２導体パターン（４０ａ、４０ｂ）であることを特徴とする請求項１ないし３のいずれか１つに記載の半導体装置。

【請求項６】

前記絶縁部材は、前記半導体層（１）を封止する封止樹脂（６０）であることを特徴とする請求項５に記載の半導体装置。

【請求項７】

前記封止樹脂（６０）内に一端が配置され、他端が前記封止樹脂（６０）から外に露出させられた複数のリードフレーム（６１）を有し、該複数のリードフレーム（６１）の前記一端が前記低電位基準回路部（ＬＶ）における前記第１の電位が印加される部位および前記高電位基準回路部（ＨＶ）における前記第２の電位が印加される部位と電気的に接続され、

前記リードフレーム（６１）の前記他端が前記第１、第２導体パターン（４０ａ、４０ｂ）に接続されていることを特徴とする請求項６に記載の半導体装置。

【請求項８】

前記絶縁部材は、前記半導体層（１）がマウントされるセラミックパッケージ（７０）であることを特徴とする請求項５に記載の半導体装置。

【請求項９】

前記セラミックパッケージ（７０）のうち前記半導体層（１）がマウントされる部分に形成された凹部（７０ａ）から一端が露出させられると共に、他端も前記セラミックパッケージ（７０）から外に露出させられた複数のリードフレーム（６１）を有し、該複数のリードフレーム（６１）の前記一端が前記低電位基準回路部（ＬＶ）における前記第１の電位が印加される部位および前記高電位基準回路部（ＨＶ）における前記第２の電位が印加される部位と電気的に接続され、

前記リードフレーム（６１）の前記他端が前記第１、第２導体パターン（４０ａ、４０ｂ）に接続されていることを特徴とする請求項８に記載の半導体装置。

【請求項１０】

前記絶縁部材は、絶縁基板（２）または絶縁膜（５０）であることを特徴とする請求項１ないし５のいずれか１つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、モータ等の機器を駆動させるためのインバータ制御用の素子等に用いられる

半導体装置に関するものである。
【背景技術】
【０００２】
モータ等の負荷を駆動させるためのインバータ制御用の素子等に用いられる半導体装置として、ＨＶＩＣ（High Voltage Integrated Circuit）がある。このＨＶＩＣにより、負荷を駆動するためのインバータ内に備えられるパワーデバイスを制御する。
【０００３】
従来、インバータの駆動には、図１０に示すように、モータ１００の駆動を行うインバータ回路１０１のハイサイド側のＩＧＢＴ１０２ａを駆動する高電圧基準回路に相当する高電圧基準ゲート駆動回路１０３とローサイド側のＩＧＢＴ１０２ｂを駆動する低電圧基準回路に相当する低電位基準ゲート駆動回路１０４を備えると共に、これらの間にレベルシフト素子１０５ａ、１０５ｂおよび制御回路１０６が備えられたＨＶＩＣ１０７が用いられている。このＨＶＩＣ１０７では、レベルシフト素子１０５ａ、１０５ｂを通じて信号伝達を行うことにより高電位基準回路と低電圧基準回路における基準電圧のレベルシフトを行っている。このようなＨＶＩＣ１０７では、インバータの小型化の為に、１チップ化（ＨＶＩＣ化）が進められており、図１０に示したＨＶＩＣ１０７も１チップにて構成されている。
【０００４】
しかしながら、このように１チップ化したＨＶＩＣ１０７では、高電位基準回路と低電位基準回路との間で電位の干渉が発生し、回路を誤動作させるという問題があった。このため、従来では、ＪＩ分離構造、誘電体分離構造、ＳＯＩ（Silicon on insulator）基板を用いたトレンチ分離構造（例えば、特許文献１参照）などにより素子分離を行っている。ところが、高電位基準回路のＩＧＢＴ１０２ａを駆動するための出力部の電位を高電圧側の基準とするための仮想ＧＮＤ電位にする必要があるため、上記したいずれの素子分離構造においてもレベルシフトにおける低電位（例えば０Ｖ）から高電位（例えば７５０Ｖ）に切り替えるときに高電圧（例えば１２００Ｖを超える電圧）が数十ｋＶ／μｓｅｃという早い立ち上がり速度で生じ、大きな電位振幅が生じる。この立ち上がりの早い高電圧サージ（以下、立ち上がり時間に対する電圧上昇が高いことからｄｖ／ｄｔサージという）を回路の誤動作無く扱うことは難しい。
【特許文献１】特開２００６－９３２２９号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
上記した素子分離構造の中では、ＳＯＩ基板を用いたトレンチ分離構造が最もノイズに強く、素子分離としては最もポテンシャルが高いと考えられる。しかしながら、この構造を用いて高耐圧のレベルシフト素子を開発してきたところ、ＳＯＩ基板を用いたトレンチ分離構造のＨＶＩＣにおいても、ｄｖ／ｄｔサージが印加された際に支持基板を介して電位が干渉し、支持基板と活性層（ＳＯＩ層）との間に配置された埋込酸化膜（ＢＯＸ：Buried Oxide）にて形成される寄生容量を充放電する変位電流が発生し、回路を誤動作させてしまうという問題が生じた。図１１は、変位電流が発生する様子を示したＨＶＩＣの断面図である。この図に示すように、例えば、ＳＯＩ層１１１に形成された高電位基準回路部ＨＶの仮想ＧＮＤ電位とされる部位からＢＯＸにて構成される埋込層１１３を介して支持基板１１２に流れたのち、再び埋込層１１３を介して低電位基準回路部ＬＶのＧＮＤ電位とされる部位に流れ込むという経路で変位電流が発生する。
【０００６】
このような問題は、ＢＯＸ膜厚を厚くして寄生容量を低減したり、支持基板１１２側の不純物濃度を下げて高抵抗にして変位電流の伝搬を低減することで抑制可能であるが、高増幅率のアンプ回路等を集積する場合には僅かな変位電流でも誤動作の要因となり、完全な対策は難しい。
【０００７】

本発明は上記点に鑑みて、トレンチ分離構造により低電位基準回路と高電位基準回路およびレベルシフト素子を備えた半導体装置を構成する場合において、ｄｖ／ｄｔサージにより、寄生容量を充放電する変位電流が発生することを抑制し、回路の誤動作を防止することを目的とする。

【課題を解決するための手段】

【０００８】

上記目的を達成するため、請求項１に記載の発明では、半導体層（１）の裏面のうち少なくとも低電位基準回路部（ＬＶ）と対応する部分および高電位基準回路部（ＨＶ）と対応する部分に絶縁部材（２、５０、６０、７０）を配置し、絶縁部材（２、５０、６０、７０）を挟んで低電位基準回路部（ＬＶ）と対向するように、低電位基準回路部（ＬＶ）における第１の電位が印加される部位と電気的に接続された第１導体部材（３ａ、４０ａ）を配置すると共に、絶縁部材（２、５０、６０、７０）を挟んで高電位基準回路部（ＨＶ）と対向するように、高電位基準回路部（ＨＶ）における第２の電位が印加される部位と電気的に接続される第２導体部材（３ｂ、４０ｂ）を配置することを特徴としている。

【０００９】

このように構成された半導体装置では、低電位基準回路部（ＬＶ）と対応するように第１導体部材（３ａ、４０ａ）が配置されていると共に、高電位基準回路部（ＨＶ）と対応するように第２導体部材（３ｂ、４０ｂ）が配置された構造とされている。このため、絶縁部材（２、５０、６０、７０）のうち低電位基準回路部（ＬＶ）の下方に位置する部分は、低電位基準回路部（ＬＶ）と第１導体部材（３ａ、４０ａ）とがほぼ同電位となることで、同電位に挟まれた状態となる。同様に、絶縁基板２のうち高電位基準回路部（ＨＶ）の下方に位置する部分は、高電位基準回路部（ＨＶ）と第２導体部材（３ｂ、４０ｂ）とがほぼ同電位となることで、同電位に挟まれた状態となる。

【００１０】

したがって、半導体装置内に形成される寄生容量両端の電位差を無くすことが可能となり、容量値をキャンセルできる。これにより、ｄｖ／ｄｔサージによって寄生容量を充放電する変位電流が発生することを防止することができ、回路の誤動作を防止することが可能となる。

【００１１】

例えば、請求項２に記載したように、低電位基準回路部（ＬＶ）における第１の電位が印加される部位と第１導体部材（３ａ、４０ａ）との電気的接続、および、高電位基準回路部（ＨＶ）における第２の電位が印加される部位と第２導体部材（３ｂ、４０ｂ）との電気的接続をボンディングワイヤ（４）にて行うことができる。

【００１２】

また、請求項３に記載したように、絶縁部材（２、５０、６０、７０）のうち、低電位基準回路部（ＬＶ）と対応する部分および高電位基準回路部（ＨＶ）と対応する部分にトレンチ（３１）を埋め込むように貫通電極（３０）を備えておき、該貫通電極（３０）にて、低電位基準回路部（ＬＶ）における第１の電位が印加される部位と第１導体部材（３ａ、４０ａ）との電気的接続、および、高電位基準回路部（ＨＶ）における第２の電位が印加される部位と第２導体部材（３ｂ、４０ｂ）との電気的接続を行うこともできる。

【００１３】

また、請求項４に記載したように、第１、第２導体部材に関しては、低電位基準回路部（ＬＶ）および高電位基準回路部（ＨＶ）を外部と電気的に接続するためのリードフレーム（３）となる第１、第２リードフレーム（３ａ、３ｂ）により構成することができる。

【００１４】

同様に、請求項５に記載したように、第１、第２導体部材を基板（４１）上にパターン形成された第１、第２導体パターン（４０ａ、４０ｂ）にて構成することもできる。

【００１５】

この場合、請求項６に記載したように、半導体層（１）を封止する封止樹脂（６０）にて絶縁部材を構成することもできる。さらに、この場合、請求項７に記載したように、封

止樹脂（６０）内に一端が配置され、他端が封止樹脂（６０）から外に露出させられた複数のリードフレーム（６１）を備え、該複数のリードフレーム（６１）の一端が低電位基準回路部（ＬＶ）における第１の電位が印加される部位および高電位基準回路部（ＨＶ）における第２の電位が印加される部位と電気的に接続され、リードフレーム（６１）の他端が第１、第２導体パターン（４０ａ、４０ｂ）に接続されるような構造とすることができる。

【００１６】

また、請求項８に記載したように、半導体層（１）がマウントされるセラミックパッケージ（７０）にて絶縁部材を構成することもできる。この場合、請求項９に記載したように、セラミックパッケージ（７０）のうち半導体層（１）がマウントされる部分に形成された凹部（７０ａ）から一端が露出させられると共に、他端もセラミックパッケージ（７０）から外に露出させられた複数のリードフレーム（６１）を備え、該複数のリードフレーム（６１）の一端が低電位基準回路部（ＬＶ）における第１の電位が印加される部位および高電位基準回路部（ＨＶ）における第２の電位が印加される部位と電気的に接続され、リードフレーム（６１）の他端が第１、第２導体パターン（４０ａ、４０ｂ）に接続されるような構造とすることができる。

【００１７】

勿論、請求項１０に記載したように、絶縁部材を絶縁基板（２）または絶縁膜（５０）にて構成することもできる。

【００１８】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【発明を実施するための最良の形態】

【００１９】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【００２０】

（第１実施形態）

本発明の第１実施形態について説明する。図１は、本実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。また、図２は、図１に示す半導体装置を上面側から見た時のレイアウト図である。なお、図１は、本図のＡ－Ａ断面図に相当する図である。

【００２１】

以下、これらの図を参照して、本実施形態の半導体装置の構成について説明する。なお、以下の説明では、図１の紙面上方を半導体装置の表面側、紙面下方を半導体装置の裏面側として説明する。

【００２２】

図１に示すように、本実施形態の半導体装置は、例えばｎ型シリコンにて構成された半導体層１が絶縁基板２を介してリードフレーム３に接合され、半導体層１内の所望位置がボンディングワイヤ４を通じてリードフレーム３に電気的に接続されることで構成されている。

【００２３】

半導体層１は、半導体装置の表面側に配置され、シリコン基板を所定膜厚に研削することにより構成されている。この半導体層１は、複数のトレンチ分離部５により素子分離されている。各トレンチ分離部５は、半導体層１の表面から絶縁基板２に達するトレンチ６とトレンチ６内に配置された絶縁膜７によって構成されており、例えば同等幅にて構成されている。

【００２４】

複数のトレンチ分離部５は多重リング構造とされており、最も外側とそれよりも１つ内側のトレンチ分離部５の間に形成される領域（つまり図１、図２の紙面左側の領域）が低電位基準回路部ＬＶ、最も内側のトレンチ分離部５内の領域（つまり紙面右側の領域）が

高電位基準回路部ＨＶ、これら低電位基準回路部ＬＶと高電位基準回路部ＨＶの間に形成される領域がレベルシフト素子形成部ＬＳとされている。

【００２５】

半導体層１における低電位基準回路部ＬＶには、小電位にて駆動されるロジック回路などの信号処理回路が構成されており、これらは０Ｖ（第１の電位）を基準電位として動作する。低電位基準回路部ＬＶは、トレンチ分離部５にて半導体装置の他の部分から素子分離されている。この低電位基準回路部ＬＶには、ＣＭＯＳ１０などのように信号処理回路を構成する各種素子が備えられている。具体的には、半導体層１内がＳＴＩ（Shallow Trench Isolation）やＬＯＣＯＳ酸化膜等の素子分離用の絶縁膜１１にて素子分離されており、素子分離された各領域はｎウェル層１２ａもしくはｐウェル層１２ｂとされている。ｎウェル層１２ａ内にはp^+型ソース領域１３ａおよびp^+型ドレイン領域１４ａが構成され、ｐウェル層１２ｂ内にはn^+型ソース領域１３ｂおよびn^+型ドレイン領域１４ｂが構成されている。そして、p^+型ソース領域１３ａとp^+型ドレイン領域１４ａの間に位置するｎウェル層１２ａの表面、および、n^+型ソース領域１３ｂおよびn^+型ドレイン領域１４ｂの間に位置するｐウェル層１２ｂの表面に、ゲート絶縁膜１５ａ、１５ｂを介してゲート電極１６ａ、１６ｂが形成されている。これにより、ｎチャネルＭＯＳＦＥＴとｐチャネルＭＯＳＦＥＴにて構成されたＣＭＯＳ１０が構成されている。

【００２６】

なお、半導体層１の表面側には、ＣＭＯＳ１０を構成するゲート電極１６ａ、１６ｂや各ソース領域１３ａ、１３ｂもしくは各ドレイン領域１４ａ、１４ｂと電気的に接続される配線部や層間絶縁膜などが形成されているが、ここでは図示を省略してある。また、ＣＭＯＳ１０の他にも、バイポーラトランジスタや拡散抵抗、さらにはメモリなども備えられるが、これらの構造は周知であるため、ここでは代表してＣＭＯＳ１０のみを示してある。

【００２７】

半導体層１における高電位基準回路部ＨＶには、高電位にて駆動されるロジック回路などの信号処理回路が構成されている。これらは低電位基準回路部ＬＶの基準電位よりも高い電位（第２の電位）、例えば１２００Ｖを基準電位として動作する。高電位基準回路部ＨＶは、トレンチ分離部５にて半導体装置の他の部分から素子分離されている。この高電位基準回路部ＨＶにも、低電位基準回路部ＬＶと同様の構造のＣＭＯＳ１０が備えられており、図示しないがバイポーラトランジスタや拡散抵抗、さらにはメモリなども備えられている。

【００２８】

また、半導体層１におけるレベルシフト素子形成部ＬＳには、レベルシフト素子として高耐圧ＬＤＭＯＳ２０が形成されている。高耐圧ＬＤＭＯＳ２０は、半導体層１の表層にそれぞれ位置するｎ型ドレイン領域２１、ｐ型チャネル領域２２、n^+型ソース領域２３を有している。ｎ型ドレイン領域２１の表層にはn^+型コンタクト層２４が形成されており、ｐ型チャネル領域２２の表層にはp^+型コンタクト層２５が形成されている。また、ｎ型ドレイン領域２１とｐ型チャネル領域２２は、いわゆるＬＯＣＯＳ酸化膜２６により、分離されている。そして、ｐ型チャネル領域２２上には、ゲート絶縁膜２７を介して、ゲート電極２８が配置されている。これにより、高耐圧ＬＤＭＯＳ２０が構成されている。

【００２９】

なお、半導体層１の表面側には、ゲート電極２８、n^+型ソース領域２３およびp^+型コンタクト層２５、もしくは、n^+型コンタクト層２４と電気的に接続される配線部や層間絶縁膜が形成されているが、ここでは図示を省略してある。

【００３０】

このような構造の高耐圧ＬＤＭＯＳ２０は複数セル形成されており、低電位基準回路部ＬＶと高電位基準回路部ＨＶとの間において複数セルが配置されると共に、各セルがトレンチ分離部５によって素子分離されている。

【００３１】
　一方、絶縁基板２は、ガラス基板や樹脂等の絶縁材料で構成されており、本発明でいう絶縁部材を構成している。絶縁基板２の厚みは任意であるが、後述するように、半導体装置の作動時に絶縁基板２内での電位の偏りが発生するため、半導体層１とリードフレームとの絶縁を確保できる程度の厚みを確保しつつ、より薄くするのが好ましい。すなわち、絶縁基板２の構成材料、具体的には絶縁基板２の誘電率によって電位の偏りが変わるため、絶縁基板２の構成材料により絶縁基板２の好ましい厚みが適宜決まることになる。
【００３２】
　また、リードフレーム３は、本発明における導体部材を構成するものであり、本実施形態では、低電位基準回路部ＬＶの基準電位の印加や高電位基準回路部ＨＶの基準電位の印加のために用いられている。
【００３３】
　リードフレーム３は、図１および図２に示されるように、低電位基準回路部ＬＶ側と対応する部分の下方と高電位基準回路部ＨＶ側と対応する部分の下方それぞれに対向するように配置されている。そして、図１に示すように、低電位基準回路部ＬＶ側と対応する第１リードフレーム３ａは、低電位基準回路部ＬＶとレベルシフト素子形成部ＬＳとを分離するトレンチ分離部５よりもレベルシフト素子形成部ＬＳ側まで距離Ｌ１入り込むように設計されている。また、高電位基準回路部ＨＶ側と対応する第２リードフレーム３ｂも、高電位基準回路部ＨＶとレベルシフト素子形成部ＬＳとを分離するトレンチ分離部５よりもレベルシフト素子形成部ＬＳ側まで距離Ｌ２入り込むように設計されている。
【００３４】
　距離Ｌ１、Ｌ２は、半導体装置製造時の位置ズレを考慮したものであり、基本的には距離Ｌ１＝距離Ｌ２として設計されている。すなわち、半導体層１に各素子を作り込んだ後、絶縁基板２およびリードフレーム３を位置合わせ貼り合せることになるが、そのときに位置ズレが生じ得る。この位置ズレの最大値を見込んで、位置ズレの最大値分を距離Ｌ１＝距離Ｌ２としている。このため、半導体装置を製造した時に上記位置ズレが生じると、第１、第２リードフレーム３ａ、３ｂは同方向にずれるため距離Ｌ１≠距離Ｌ２となるが、位置ズレの最大値で距離Ｌ１、Ｌ２を設計しているため、少なくとも第１、第２リードフレーム３ａ、３ｂのレベルシフト素子形成部ＬＳ側の端部が低電位基準回路部ＬＶもしくは高電位基準回路部ＨＶとレベルシフト素子形成部ＬＳとを分離するトレンチ分離部５よりも外側に位置しないようにできる。
【００３５】
　そして、第１リードフレーム３ａは、ボンディングワイヤ４を通じて低電位基準回路部ＬＶ内の基準電位を印加するライン（図示せず）に電気的に接続され、第２リードフレーム３ｂは、ボンディングワイヤ４を通じて高電位基準回路部ＨＶ内の基準電位を印加するライン（図示せず）に電気的に接続されている。
【００３６】
　このように構成された半導体装置では、低電位基準回路部ＬＶと対応するように第１リードフレーム３ａが配置されていると共に、高電位基準回路部ＨＶと対応するように第２リードフレーム３ｂが配置された構造とされている。このため、絶縁基板２のうち低電位基準回路部ＬＶの下方に位置する部分は、低電位基準回路部ＬＶと第１リードフレーム３ａとがほぼ同電位となることで、同電位に挟まれた状態となる。同様に、絶縁基板２のうち高電位基準回路部ＨＶの下方に位置する部分は、高電位基準回路部ＨＶと第２リードフレーム３ｂとがほぼ同電位となることで、同電位に挟まれた状態となる。
【００３７】
　したがって、半導体装置内に形成される寄生容量両端の電位差を無くすことが可能となり、容量値をキャンセルできる。これにより、ｄｖ／ｄｔサージによって寄生容量を充放電する変位電流が発生することを防止することができ、回路の誤動作を防止することが可能となる。
【００３８】

なお、このような構造とする場合、絶縁基板２内に高電位基準回路部ＨＶ側と低電位基準回路部ＬＶ側との間の電位差に基づき、これらの間に電界が発生することになる。図３は、図１に示す半導体装置における絶縁基板２内の等電位分布を示したの模式図である。この図に示されるように、絶縁基板２内の等電位分布は、高電位基準回路部ＨＶ側から低電位基準回路部ＬＶ側に至る間において、すべてが並行な分布になるのではなく、高電位基準回路部ＨＶ側に近づくほど、もしくは低電位基準回路部ＬＶ側に近づくほど、電位に偏りが発生する。この電位の偏りにより、あたかも高電位基準回路部ＨＶと電位の偏り部分、および、低電位基準回路部ＬＶと電位の偏り部分との間に寄生容量が形成されたような状態となり、変位電流の要因になる可能性がある。

【００３９】

このような電位の偏りは、絶縁基板２の誘電率および厚みに依存している。具体的には、電位の偏りは、絶縁基板２の誘電率が高い程または厚みが厚いほど大きくなる。絶縁基板２の誘電率は絶縁基板２の構成材料によって一義的に決まるため、絶縁基板２の構成材料の選択によって決まってしまうが、厚みに関しては適宜設計変更可能なパラメータである。したがって、より変位電流を防止するためには、絶縁基板２の厚みを薄くする方が好ましいと言える。

【００４０】

（第２実施形態）

本発明の第２実施形態について説明する。本実施形態の半導体装置は、第１実施形態に対して低電位基準回路部ＬＶ側と第１リードフレーム３ａとの電気的接続形態や高電位基準回路部ＨＶ側と第２リードフレーム３ｂの電気的接続形態を変更したものであり、その他に関しては第１実施形態と同様であるため、第１実施形態と異なる部分についてのみ説明する。

【００４１】

図４は、本実施形態にかかる半導体装置の断面図である。この図に示されるように、絶縁基板２のうち低電位基準回路部ＬＶの下方および高電位基準回路部ＨＶの下方に貫通電極３０が備えられている。具体的には、絶縁基板２に対して半導体層１からリードフレーム３に達するようにトレンチ３１が形成されており、そのトレンチ３１内にアルミニウム等の導体にて構成された貫通電極３０が埋め込まれている。

【００４２】

このように、貫通電極３０を通じて、第１リードフレーム３ａと低電位基準回路部ＬＶ内の基準電位を印加する領域とを電気的に接続し、第２リードフレーム３ｂと高電位基準回路部ＨＶ内の基準電位を印加する領域とを電気的に接続することもできる。このような構成としても、第１実施形態と同様の効果を得ることができる。

【００４３】

（第３実施形態）

本発明の第３実施形態について説明する。本実施形態の半導体装置は、第２実施形態に対してリードフレーム３の代わりに導体パターンを備えた基板を用いたものであり、その他に関しては第１実施形態と同様であるため、第１実施形態と異なる部分についてのみ説明する。

【００４４】

図５は、本実施形態にかかる半導体装置の断面図である。この図に示されるように、絶縁基板２の裏面側に、第１、第２実施形態で示したようなリードフレーム３ではなく、導体パターン４０を備えた基板４１を配置している。本実施形態では、導体パターン４０が本発明における導体部材を構成するものであり、低電位基準回路部ＬＶの基準電位の印加や高電位基準回路部ＨＶの基準電位の印加のために用いられている。

【００４５】

導体パターン４０は、図１および図２に示されるように、低電位基準回路部ＬＶ側と対応する部分の下方と高電位基準回路部ＨＶ側と対応する部分の下方それぞれに配置されている。低電位基準回路部ＬＶ側と対応する第１導体パターン４０ａは、低電位基準回路部

ＬＶとレベルシフト素子形成部ＬＳとを分離するトレンチ分離部５よりもレベルシフト素子形成部ＬＳ側まで距離Ｌ１入り込むように設計されている。また、高電位基準回路部ＨＶ側と対応する第２導体パターン４０ｂも、高電位基準回路部ＨＶとレベルシフト素子形成部ＬＳとを分離するトレンチ分離部５よりもレベルシフト素子形成部ＬＳ側まで距離Ｌ２入り込むように設計されている。

【００４６】

これら距離Ｌ１、Ｌ２の意味に関しては、第１実施形態のように第１、第２リードフレーム３ａ、３ｂを用いる場合と同様であり、導体パターン４０および基板４１を接合する際に位置ズレが生じても、少なくとも第１、第２導体パターン４０ａ、４０ｂのレベルシフト素子形成部ＬＳ側の端部が低電位基準回路部ＬＶもしくは高電位基準回路部ＨＶとレベルシフト素子形成部ＬＳとを分離するトレンチ分離部５よりも外側に位置しないようにできる。

【００４７】

そして、第１導体パターン４０ａは、絶縁基板２の裏面側において貫通電極３０に接続されるように配置されたはんだバンプ４２を通じて低電位基準回路部ＬＶ内の基準電位を印加する領域に電気的に接続され、第２導体パターン４０ｂも、はんだバンプ４２を通じて高電位基準回路部ＨＶ内の基準電位を印加する領域に電気的に接続されている。

【００４８】

このように、リードフレーム３に代えて導体パターン４０を用いるような場合であっても、第１実施形態と同様の効果を得ることができる。

【００４９】

なお、ここでは第２実施形態のように貫通電極３０による電気的接続を行うような構造に対して本実施形態を適用する場合について説明したが、第１実施形態のようにボンディングワイヤ４による電気的接続を行うような構造に対して本実施形態を適用することもできる。すなわち、ボンディングワイヤ４を通じて、第１導体パターン４０ａと低電位基準回路部ＬＶ内の基準電位を印加するラインとを電気的に接続したり、第２導体パターン４０ｂと高電位基準回路部ＨＶ内の基準電位を印加するラインとを電気的に接続することもできる。

【００５０】

（第４実施形態）

本発明の第４実施形態について説明する。本実施形態の半導体装置は、第１実施形態に対し、絶縁部材として絶縁基板２の代わりに絶縁膜を用いたものであり、その他に関しては第１実施形態と同様であるため、第１実施形態と異なる部分についてのみ説明する。

【００５１】

図６は、本実施形態にかかる半導体装置の断面図である。この図に示されるように、第１実施形態で用いていた絶縁基板２に代えて、絶縁膜５０を用いている。この絶縁膜５０は、例えばＳＯＩ基板に含まれる埋込酸化膜にて構成されている。すなわち、ＳＯＩ層と支持基板とが埋込酸化膜を介して貼り合わされたＳＯＩ基板のうち、ＳＯＩ層にて半導体層１を構成すると共に埋込酸化膜にて絶縁膜５０を構成し、支持基板に関してはリードフレーム３を貼り合せる前に研削などにより除去した構造とすることで、本実施形態にかかる半導体装置を構成することができる。

【００５２】

このように、絶縁基板２ではなく、絶縁膜５０を用いても、第１実施形態と同様の効果を得ることができる。また、上述したように、絶縁基板２の厚みが薄いほど電位の偏りに起因する変位電流も抑制できることから、絶縁膜５０を用いることにより変位電流の抑制が更に可能となり、回路の誤動作を防止することが可能となる。

【００５３】

（第５実施形態）

本発明の第５実施形態について説明する。本実施形態の半導体装置は、第３実施形態のように導体パターン４０を備えた基板４１を用いる場合において、絶縁基板２の代わりに

封止樹脂を絶縁部材として用いたものであり、その他に関しては第３実施形態と同様であるため、第３実施形態と異なる部分についてのみ説明する。

【００５４】

図７は、本実施形態にかかる半導体装置の断面図である。この図には示していないが、半導体層１には第３実施形態と同様に低電位基準回路部ＬＶや高電位基準回路部ＨＶおよびレベルシフト素子形成部ＬＳを構成する各種素子が作り込まれており、この半導体層１が封止樹脂６０にて封止されている。封止樹脂６０内において、低電位基準回路部ＬＶ内の基準電位を印加するラインとリードフレーム６１の一端とがボンディングワイヤ６２を通じて電気的に接続されていると共に、高電位基準回路部ＨＶ内基準電位を印加するラインとリードフレーム６１の一端とがボンディングワイヤ６２を通じて電気的に接続されている。

【００５５】

また、封止樹脂６０を挟んで半導体層１の反対側に導体パターン４０が形成された基板４１が備えられている。そして、封止樹脂６０の外部に延設されたリードフレーム６１の他端が導体パターン４０側に折り曲げられていると共に、導体パターン４０に接合されている。これにより、リードフレーム６１を介して、第１導体パターン４０ａと低電位基準回路部ＬＶ内の基準電位を印加するラインとが電気的に接続され、第２導体パターン４０ｂと高電位基準回路部ＨＶ内の基準電位を印加するラインとが電気的に接続された構造とされている。

【００５６】

このように、封止樹脂６０を絶縁部材とする場合においても、封止樹脂６０を挟んで半導体層１の反対側に導体パターン４０を配置するような構造にすれば、第１実施形態と同様の効果を得ることができる。

【００５７】

なお、このような構造は、基板４１をプリント基板などの実装基板とし、その表面に第１、第２導体パターン４０ａ、４０ｂとしてパターン配線を備えるような構造としても実現することが可能である。

【００５８】

（第６実施形態）

本発明の第６実施形態について説明する。本実施形態の半導体装置は、第５実施形態の封止樹脂６０に代えて、セラミックパッケージを絶縁部材として用いたものであり、その他に関しては第３実施形態と同様であるため、第５実施形態と異なる部分についてのみ説明する。

【００５９】

図８は、本実施形態にかかる半導体装置の断面図である。この図に示すように、第５実施形態で用いていた封止樹脂６０の代わりにセラミックパッケージ７０を用いている。セラミックパッケージ７０には、表面に凹部７０ａが形成されており、その凹部７０ａ内に半導体層１がマウントされている。そして、凹部７０ａ内にリードフレーム６１の一端が露出させられることで、半導体層１の所望位置とリードフレーム６１の一端とがボンディングワイヤ６２を介して電気的に接続される構造となっている。

【００６０】

このように、セラミックパッケージ７０を絶縁部材とする場合にも、セラミックパッケージ７０を挟んで半導体層１の反対側に導体パターン４０を配置するような構造にすることができ、第１実施形態と同様の効果を得ることができる。

【００６１】

（他の実施形態）

上記第１～第４実施形態では、低電位基準回路部ＬＶや高電位基準回路部ＨＶおよびレベルシフト素子形成部ＬＳを構成する素子の一例を記載しているが、これらを構成する素子の種類に関しては適宜変更可能である。また、低電位基準回路部ＬＶや高電位基準回路部ＨＶおよびレベルシフト素子形成部ＬＳのレイアウト等に関しても、適宜変更可能であ

る。

【００６２】

　また、上記第１～第３、第５、第６実施形態では、ＳＯＩ基板を用いない場合、つまりバルク基板やバルク基板にシリコン層をエピタキシャル成長させたエピ基板を用いて半導体層１を構成した場合を例に挙げてについて説明したが、これら各実施形態に関してもＳＯＩ基板を用いて構成することもできる。逆に、第４実施形態では、ＳＯＩ基板を用いる場合について説明したが、バルク基板やエピ基板を用いて半導体層１を形成したのち、半導体層１の裏面に絶縁膜５０を形成するような形態としても構わない。

【００６３】

　また、上記各実施形態では、半導体層１の裏面全面に絶縁基板２や絶縁膜５０からなる絶縁部材を配置した構造としているが、少なくとも低電位基準回路部ＬＶと対応する部分および高電位基準回路部ＨＶと対応する部分に形成されていれば良い。

【００６４】

　さらに、上記第５実施形態では、封止樹脂６０を絶縁部材とする場合について説明したが、封止樹脂６０を用いる場合、半導体層１の上方にも封止樹脂６０が配置されるような構造となる。このため、封止樹脂６０が寄生容量として働くことも有り得る。したがって、図９に記載した半導体装置の断面図に示したように、封止樹脂６０の上方にも導体部材８０を配置すると好ましい。

【図面の簡単な説明】

【００６５】

【図１】本発明の第１実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。

【図２】図１に示す半導体装置を上面側から見た時のレイアウト図である。

【図３】図１に示す半導体装置における絶縁基板２内の等電位分布を示したの模式図である。

【図４】本発明の第２実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。

【図５】本発明の第３実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。

【図６】本発明の第４実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。

【図７】本発明の第５実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。

【図８】本発明の第６実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。

【図９】他の実施形態にかかる半導体装置（ＨＶＩＣ）の断面図である。

【図１０】モータを駆動するインバータ回路を駆動するための回路構成を示した図である。

【図１１】変位電流が発生する様子を示したＨＶＩＣの断面図である。

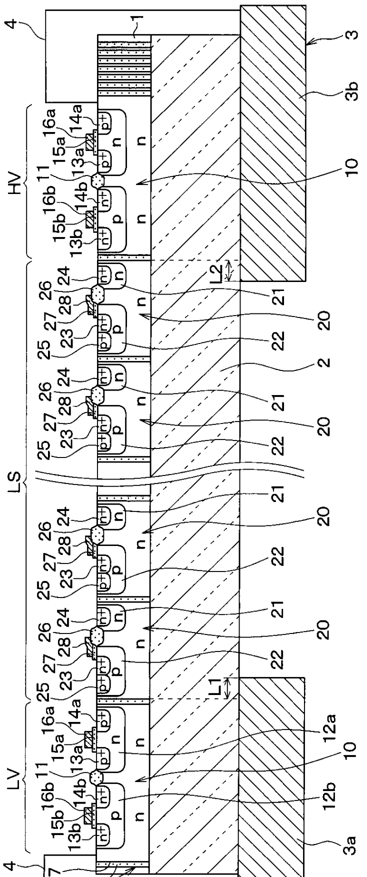
【符号の説明】

【００６６】

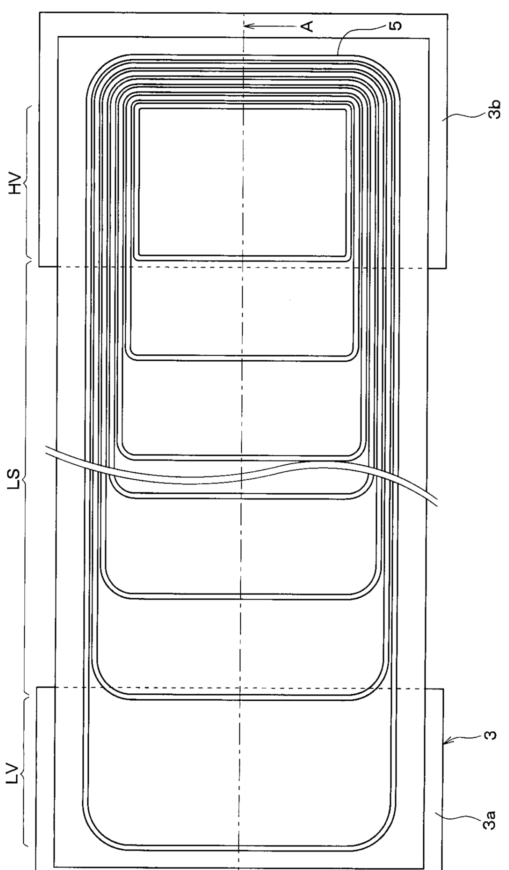
１　　　半導体層
２　　　絶縁基板
３　　　リードフレーム
４　　　ボンディングワイヤ
５　　　トレンチ分離部
１０　　ＣＭＯＳ
２０　　ＬＤＭＯＳ
３０　　貫通電極
３１　　トレンチ
４０　　導体パターン
４１　　基板
４２　　はんだバンプ
５０　　絶縁膜
６０　　封止樹脂
６１　　リードフレーム

６２　　ボンディングワイヤ
７０　　セラミックパッケージ
７０ａ　凹部
ＬＳ　　レベルシフト素子形成部
ＬＶ　　低電位基準回路部
ＨＶ　　高電位基準回路部

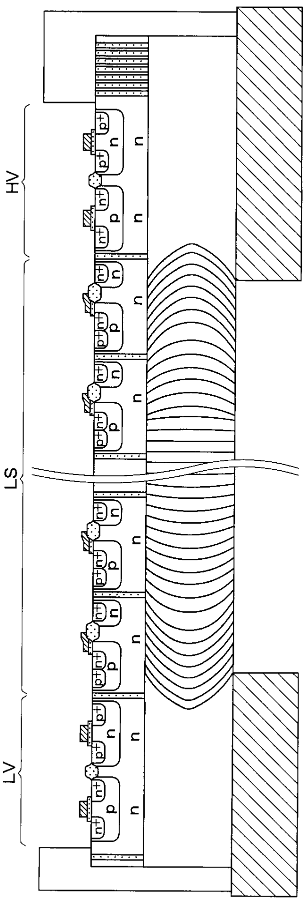
【図１】



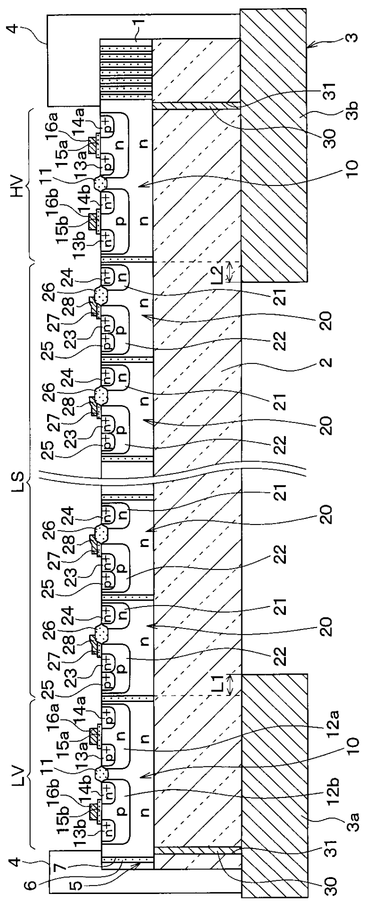
【図２】



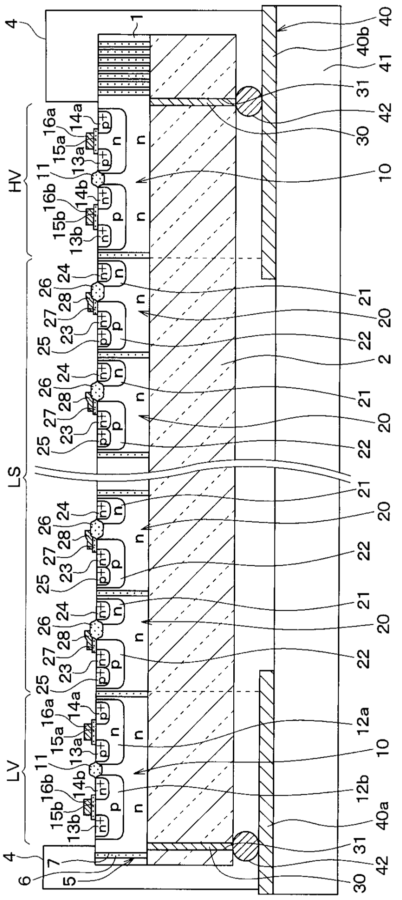
【図３】


HV
LS
LV
n
p
n+
p+

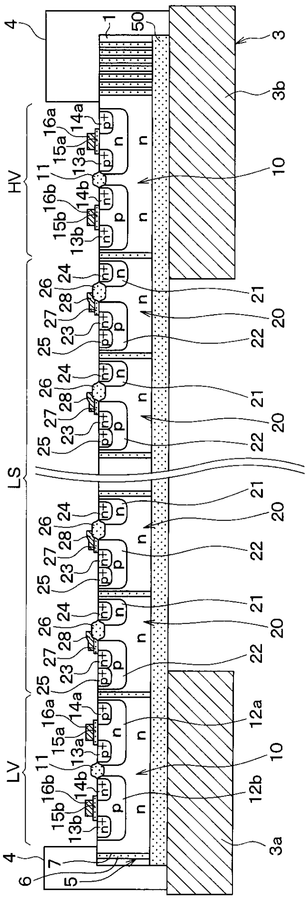
【図４】


4
1
3
31
3b
30
10
HV
16a
14a
15a
13a
11
16b
14b
15b
13b
L2
24
26
28
27
25
23
21
20
22
2
LS
L1
LV
12a
12b
3a
7
6
5

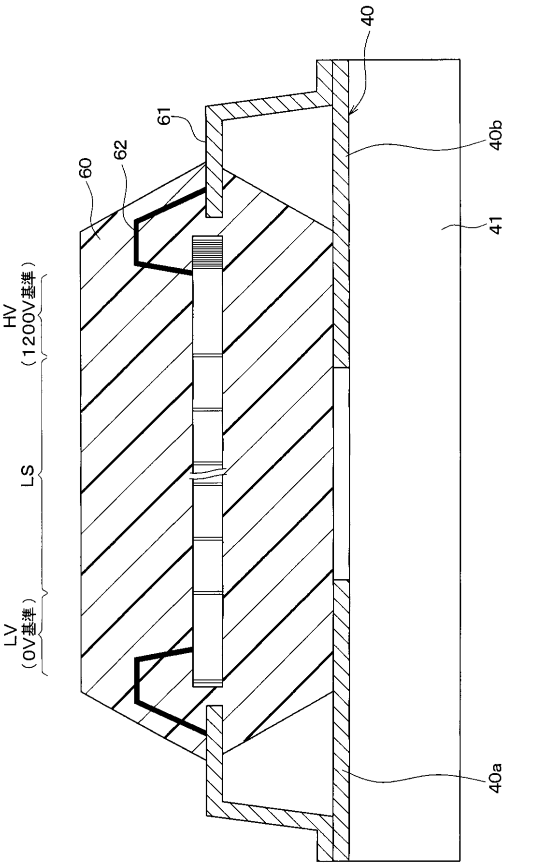
【図５】


4
1
40
40b
41
31
42
30
10
HV
16a
14a
15a
13a
11
16b
14b
15b
13b
24
26
28
27
25
23
21
20
22
2
LS
LV
12a
12b
40a
7
6
5

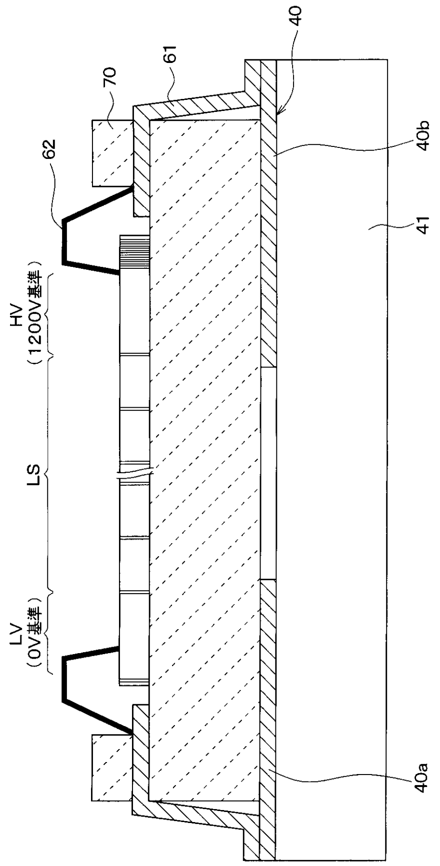
【図６】


4
1
50
3
3b
10
HV
16a
14a
15a
13a
11
16b
14b
15b
13b
24
26
28
27
25
23
21
20
22
LS
LV
12a
12b
3a
7
6
5

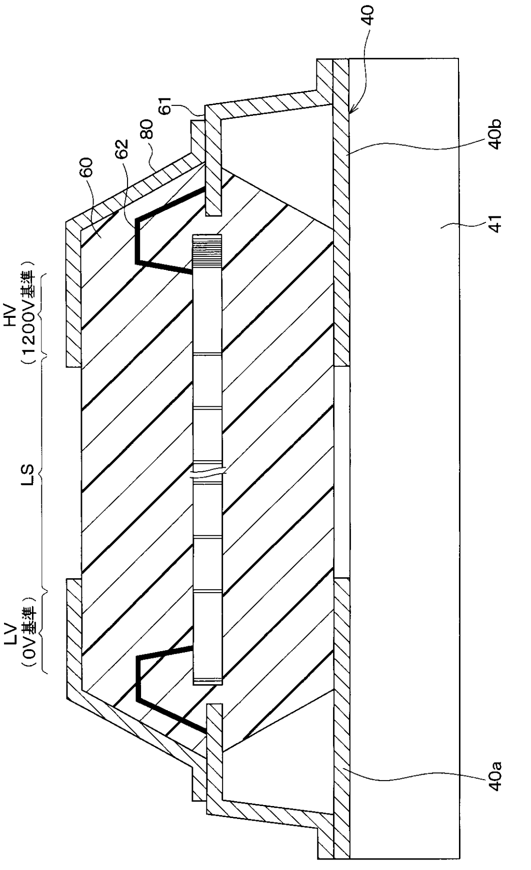
【図７】


40
40b
41
40a
61
62
60
HV
(1200V基準)
LS
LV
(0V基準)

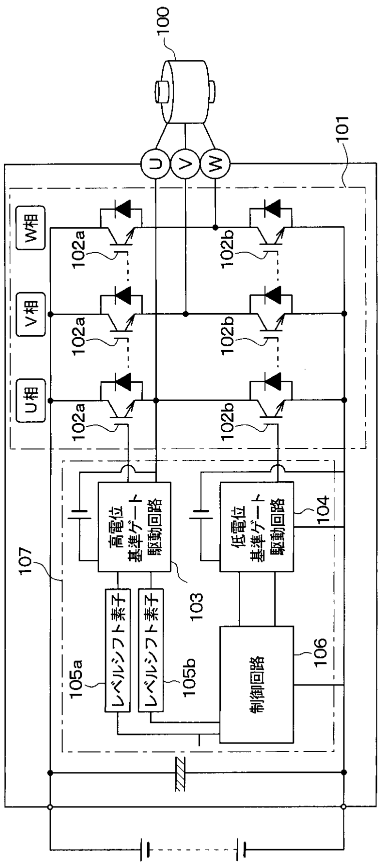
【図８】


40
61
70
40b
62
41
HV
(1200V基準)
LS
LV
(0V基準)
40a

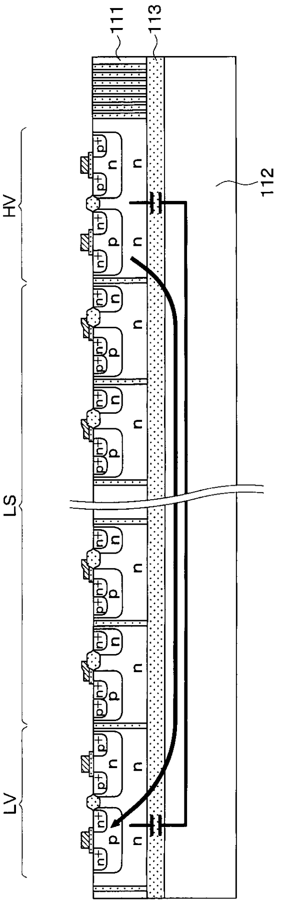
【図９】


40
61
80
62
60
40b
41
HV
(1200V基準)
LS
LV
(0V基準)
40a

【図１０】


100
101
U
V
W
W相
V相
U相
102a
102b
高電位
基準ゲート
駆動回路
103
低電位
基準ゲート
駆動回路
104
107
レベルシフト素子
レベルシフト素子
105a
105b
制御回路
106

【図１１】



フロントページの続き

(51)Int.Cl.　　　　　　　　　　　　ＦＩ

Ｈ０１Ｌ	***21/761***	***(2006.01)***	Ｈ０１Ｌ	21/76	Ｊ
Ｈ０１Ｌ	***21/74***	***(2006.01)***	Ｈ０１Ｌ	21/74	
Ｈ０１Ｌ	***21/8238***	***(2006.01)***	Ｈ０１Ｌ	27/08	３２１Ｆ
Ｈ０１Ｌ	***27/092***	***(2006.01)***	Ｈ０１Ｌ	27/08	３３１Ｅ
Ｈ０１Ｌ	***21/822***	***(2006.01)***	Ｈ０１Ｌ	27/04	Ｈ
Ｈ０１Ｌ	***27/04***	***(2006.01)***	Ｈ０１Ｌ	21/88	Ｊ
Ｈ０１Ｌ	***21/3205***	***(2006.01)***	Ｈ０１Ｌ	29/78	６１３Ｚ
Ｈ０１Ｌ	***23/52***	***(2006.01)***			
Ｈ０１Ｌ	***29/786***	***(2006.01)***			

(72)発明者　白木　聡
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

審査官　宇多川　勉

(56)参考文献　特開２００９－１７６８１４（ＪＰ，Ａ）
特開２００９－１４７１１９（ＪＰ，Ａ）
特開２００７－２８１０３５（ＪＰ，Ａ）
特開２００７－２６６５６１（ＪＰ，Ａ）
特開２００７－１０３６７２（ＪＰ，Ａ）
特開２００６－２８７００９（ＪＰ，Ａ）
特開２００６－１４８０５８（ＪＰ，Ａ）
特開２００６－０９３２２９（ＪＰ，Ａ）
特開２００６－０４９６２８（ＪＰ，Ａ）
特開２００６－０１９６１２（ＪＰ，Ａ）
特開２００４－１３４７６２（ＪＰ，Ａ）
特開２００２－１３４６９１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２７／０８
Ｈ０１Ｌ　２１／３２０５
Ｈ０１Ｌ　２１／７４
Ｈ０１Ｌ　２１／７６
Ｈ０１Ｌ　２１／７６１
Ｈ０１Ｌ　２１／７６２
Ｈ０１Ｌ　２１／８２２
Ｈ０１Ｌ　２１／８２３８
Ｈ０１Ｌ　２３／５２
Ｈ０１Ｌ　２５／０７
Ｈ０１Ｌ　２５／１８
Ｈ０１Ｌ　２７／０４
Ｈ０１Ｌ　２７／０９２
Ｈ０１Ｌ　２９／７８６