



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0106653
(43) 공개일자 2010년10월04일

(51) Int. Cl.

G11C 16/30 (2006.01) G11C 16/12 (2006.01)

G11C 5/14 (2006.01)

(21) 출원번호 10-2009-0024720

(22) 출원일자 2009년03월24일

심사청구일자 2009년03월24일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

(74) 대리인

이철희

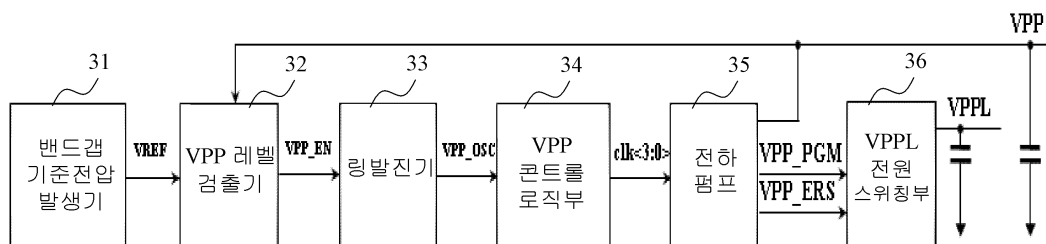
전체 청구항 수 : 총 6 항

(54) 이이피롬 장치의 직류/직류 변환기

(57) 요약

본 발명은 수동형 UHF RFID 태그 칩에 적용되는 저전압, 저전력, 소면적의 비동기식 이이피롬을 구현하기 위한 직류/직류 변환기의 설계 기술에 관한 것이다. 이러한 본 발명은, 현재 출력단에 출력되고 있는 VPP 전압을 목표 전압과 비교하여 인에이블신호를 '하이' 또는 '로우'로 출력하는 VPP 레벨 검출기와; 상기 인에이블신호가 '하이'로 출력될 때 발진하여 VPP 전압을 상승시키되, 발진시 전류 소모가 분산되도록 하여 과전류에 의해 VDD 전압이 낮아지는 것을 방지하는 링발진기와; 상기 링발진기로부터 입력되는 발진신호에 따라 상기 전하 펌프에 클럭신호를 공급하는 VPP 콘트롤 로직부와; 상기 VPP 콘트롤 로직부로부터 공급되는 클럭신호를 이용하여 프로그램 전압 및 삭제전압을 출력하되, 오프시 전하전달 스위치용 트랜지스터의 게이트 노드의 전압을 VPP에서 VDD 레벨로 방전시켜 소자의 신뢰성을 확보하고 전류 손실을 방지하는 전하 펌프와; 상기 전하 펌프로부터 프로그램 전압 및 삭제전압을 공급받고 이들 중 하나를 선택하여 VPPL로 출력하는 VPPL 전원 스위칭부에 의해 달성된다.

대표도 - 도3



특허청구의 범위

청구항 1

현재 출력단에 출력되고 있는 VPP 전압을 목표 전압과 비교하여 인에이블신호를 '하이' 또는 '로우'로 출력하는 VPP 레벨 검출기;

상기 인에이블신호가 '하이'로 출력될 때 발진하여 VPP 전압을 상승시키되, 발진시 전류 소모가 분산되도록 하여 과전류에 의해 VDD 전압이 낮아지는 것을 방지하는 링발진기;

상기 링발진기로부터 입력되는 발진신호에 따라 상기 전하 펌프에 클럭신호를 공급하는 VPP 콘트롤 로직부;

상기 VPP 콘트롤 로직부로부터 공급되는 클럭신호를 이용하여 프로그램 전압 및 삭제전압을 출력하되, 오프시 전하전달 스위치용 트랜지스터의 게이트 노드의 전압을 VPP에서 VDD 레벨로 방전시켜 소자의 신뢰성을 확보하고 전류 손실을 방지하는 전하 펌프; 및

상기 전하 펌프로부터 프로그램 전압 및 삭제전압을 공급받고 이들 중 하나를 선택하여 VPPL로 출력하는 VPPL 전원 스위칭부로 구성된 것을 특징으로 하는 이이피롬 장치의 직류/직류 변환기.

청구항 2

제1항에 있어서, 이이피롬 장치는 UHF RFID 태그 칩에 설치된 것을 특징으로 하는 이이피롬 장치의 직류/직류 변환기.

청구항 3

제1항에 있어서, VPP 레벨 검출기는

VPP 단자와 접지단자 사이에 직렬접속된 트랜지스터(MP401) 및 캐패시터(C401), (C402);

상기 캐패시터(C401), (C402)에 의해 분배된 전압과 기준전압(Vref)을 비교하여 그에 따른 인에이블신호(VPP_EN)를 출력하는 비교기(CP401);

반전온신호(VPP_ONb)에 의해 턴온되어 상기 캐패시터(C401), (C402)의 전압을 0V(VSS)로 디스차지시키는 트랜지스터(MN401), (MN402); 및

상기 반전온신호(VPP_ONb)를 소정 시간 지연시켜 상기 트랜지스터(MP401)의 게이트에 전달하는 지연기(401)로 구성된 것을 특징으로 하는 이이피롬 장치의 직류/직류 변환기.

청구항 4

제1항에 있어서, 링발진기는 듀얼 클럭방식으로 VPP 전압의 파워-업 시 정상 상태보다 주기가 긴 클럭신호를 발생하여, 파워-업 시간동안에 빠른 스위칭으로 인한 많은 전류 소모가 분산되도록 하여 과전류에 의해 VDD 전압이 낮아지는 것을 방지하는 것을 특징으로 하는 이이피롬 장치의 직류/직류 변환기.

청구항 5

제1항에 있어서, 전하 펌프는 전하전달 스위치용 트랜지스터(MN601, MN602)의 게이트 측에 프리차지용 트랜지스터(MP607, MP608, MN609), (MP609, MP610, MN610)를 설치하여 오프시 그 전하전달 스위치용 트랜지스터(MN601, MN602)의 게이트 노드(N1, N2)의 전압을 VPP에서 VDD 레벨로 방전시키도록 구성된 것을 특징으로 하는 이이피롬 장치의 직류/직류 변환기.

청구항 6

제1항에 있어서, VPPL 전원 스위칭부는

프로그램 모드신호에 의해 턴온되어 프로그램 전압(VPPL_PGM) VPPL 전압으로 공급하는 트랜지스터(MP704); 및

삭제 모드신호에 의해 턴온되어 삭제전압(VPPL_ERS)을 VPPL 전압으로 공급하는 트랜지스터(MP710)를 포함하여 구성된 것을 특징으로 하는 이이피롬 장치의 직류/직류 변환기.

명세서

발명의 상세한 설명

기술 분야

- [0001] 본 발명은 수동형 UHF RFID 태그 칩에 적용되는 저전압, 저전력, 소면적의 비동기식 이이피롬에 관한 것으로, 특히 저전압, 저전력, 소면적의 특성을 갖는 이이피롬용 직류/직류 변환기를 구현할 수 있도록 한 이이피롬 장치의 직류/직류 변환기에 관한 것이다.

배경 기술

- [0002] 일반적으로, RFID(RFID: Radio Frequency Identification)는 사물에 부착된 태그(Tag)로부터 전파를 이용하여 사물의 정보 및 주변정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공하는 무선 주파수 인식기술이다. 현재 수동형 RFID 태그는 배터리를 필요로 하지 않아 저가격, 소형화에 유리하므로 연구개발이 활발하게 진행되고 있다.
- [0003] 수동형 UHF RFID 태그는 도 1에서와 같이 크게 태그 안테나(11)와 태그 칩(12)으로 구성된다. 그리고, 상기 태그 칩(12)은 아날로그 회로부(12A), 로직 회로부(12B) 및 메모리 회로부(12C)로 구성된다.
- [0004] 상기 아날로그 회로부(12A)는 안테나(11)로부터 수신받은 주파수를 사용 가능한 데이터로 변환하는 복조기, 데이터를 주파수 신호로 변환하는 변조기, 리더기에서 전송된 후 안테나(11)를 통해 공급받은 에너지를 공급전압으로 만들어주는 전압 배율기(Voltage multiplier)로 구성된다. 로직 회로부(12B)는 프로토콜, CRC(CRC: Cyclic Redundancy Check) 확인, 에러검사 및 아날로그 회로의 동작 모드를 조절하는 역할을 한다. 메모리 회로부(12C)는 읽기(Read)/쓰기(Write)가 가능하고 파워 다운시 저장된 정보를 유지할 수 있는 비휘발성 메모리인 이이피롬(EEPROM)이 사용되고 있으며, 부가적인 기능과 정보를 저장하기 위해 1Kb의 EEPROM이 요구된다. 수동형 태그 칩(12)에서는 UHF 신호를 받아서 아날로그 회로부(12A)의 전압 배율기에서 생성된 전원단자전압(VDD)으로 ID를 확인하고 데이터를 리더기에 전송하기 위해서는 저전력의 회로 설계가 요구되며, 태그 칩(12)의 원가 절감을 위해 소면적 IP를 필요로 한다.
- [0005] 도 2는 종래 기술에 의한 비동기식 이이피롬 장치(EEPROM IP)의 블록도로서 이는 Generation2 version 1.0.9 표준인 1.92Mhz의 클럭주파수를 기반으로 설계되었다.
- [0006] 상기 비동기식 이이피롬 장치는 이이피롬 셀 어레이(21); 로우 디코더(22); 콘트롤 로직부(23); 비트라인 센스 앰프 및 라이트 데이터 드라이버(24); 직류/직류 변환기(25)로 구성된다.
- [0007] 콘트롤 로직부(23)는 삭제(erase), 프로그램(program), 리드(read), 스탠바이(stand-by) 모드에 따라 콘트롤 신호를 출력한다.
- [0008] 로우 디코더(22)는 삭제, 프로그램, 리드 모드에서 입력 어드레스신호(ADD[6:0])에 따라 이이피롬 셀 어레이(21)의 워드라인(WL)을 구동한다.
- [0009] 비트라인 센스 앰프 및 라이트 데이터 드라이버(24)는 외부로부터 입력되는 데이터를 상기 이이피롬 셀 어레이(21)에 라이트하거나, 그 이이피롬 셀 어레이(21)로부터 데이터를 읽어내어 증폭처리한다.
- [0010] 직류/직류 변환기(25)는 상기 이이피롬 셀 어레이(21)에 데이터를 라이트하기 위해 필요한 고전압(VPP, VPPL)을 공급한다.
- [0011] 상기 직류/직류 변환기(25)는 저전압의 VDD를 이이피롬 셀 어레이(21)에서 필요로 하는 고전압(VPP, VPPL)으로 변환하여 안정되게 공급하기 위해 쇼트키 다이오드를 사용한 Dickson 전하 펌프를 이용하는데, 이에 의해 전하 펌프의 펌핑 단수가 줄어들어 전하펌프가 차지하는 면적이 감소하였다.
- [0012] 그러나, 이와 같은 종래의 이이피롬 장치의 직류/직류 변환기에 있어서는 낮은 컷인(cut-in) 전압을 갖는 쇼트키 다이오드를 사용하는 경우에도 저전압으로 갈수록 전하 펌핑 효율이 감소하는 문제점이 있었다.
- [0013] 또한, 프로그램 모드나 삭제 모드 진입시 VPP 전압이 부스팅되는 동안 동작전류가 많이 흘러 VDD 전압 레벨이 감소하는 문제점이 있었다.
- [0014] 또한, VPP 레벨 검출회로에서 저항 분배기를 사용하므로 바이어스 전류가 항상 흐르게 되고, 이에 의해 라이트

전류가 증가되는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

[0015] 따라서, 본 발명의 목적은 저전압, 저전력, 소면적의 특성을 갖는 직류/직류 변환기를 제공하는데 있다.

과제 해결수단

[0016] 상기와 같은 목적을 달성하기 위한 본 발명은, 현재 출력단에 출력되고 있는 VPP 전압을 목표 전압과 비교하여 인에이블신호를 '하이' 또는 '로우'로 출력하는 VPP 레벨 검출기와; 상기 인에이블신호가 '하이'로 출력될 때 발진하여 VPP 전압을 상승시키되, 발진시 전류 소모가 분산되도록 하여 과전류에 의해 VDD 전압이 낮아지는 것을 방지하는 링발진기와; 상기 링발진기로부터 입력되는 발진신호에 따라 상기 전하 펌프에 클럭신호를 공급하는 VPP 콘트롤 로직부와; 상기 VPP 콘트롤 로직부로부터 공급되는 클럭신호를 이용하여 프로그램 전압 및 삭제 전압을 출력하되, 오프시 전하전달 스위치용 트랜지스터의 게이트 노드의 전압을 VPP에서 VDD 레벨로 방전시켜 소자의 신뢰성을 확보하고 전류 손실을 방지하는 전하 펌프와; 상기 전하 펌프로부터 프로그램 전압 및 삭제 전압을 공급받고 이들 중 하나를 선택하여 VPPL로 출력하는 VPPL 전원 스위칭부로 구성함을 특징으로 한다.

효과

[0017] 본 발명은 크로스 결합 전하 펌프를 사용하여 펌핑 효율이 향상되고, 저전압의 VDD에서 이이피롬 셀이 필요로 하는 고전압인 VPP와 VPPL을 안정되게 공급할 수 있는 효과가 있다.

[0018] VPP 레벨 검출기를 새롭게 설계하여, VPP 전압을 안정되게 유지하면서 라이트 모드시의 전류 소모량을 줄일 수 있는 효과가 있다.

[0019] 듀얼 클럭 주기를 갖는 링발진기를 제안하여 VPP 전압의 파워-업 시 발생하는 전류소모를 분산시킬 수 있도록 함으로써, VDD 전압이 저하되는 현상이 방지되어 저전력 EEPROM IP를 구현할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0020] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

[0021] 도 3은 본 발명에 의한 이이피롬 장치의 직류/직류 변환기의 블록도로서 이에 도시한 바와 같이, 밴드갭 기준전압 발생기(31); VPP 레벨 검출기(32); 링발진기(33); VPP 콘트롤 로직부(34); 전하 펌프(35); VPPL 전원 스위칭부(36)로 구성한다.

[0022] 밴드갭 기준전압 발생기(31)는 밴드갭을 이용하여 밴드갭 기준전압(VREF)을 생성하여 VPP 레벨 검출기(32)에 출력한다.

[0023] VPP 레벨 검출기(32)는 현재 출력단에 출력되고 있는 VPP 전압을 목표 전압과 비교하여 그 목표 전압보다 낮은 경우 인에이블신호(VPP_EN)를 '하이'로 출력한다. 그런데, 상기 VPP 레벨 검출기(32)는 VPP 전압이 VDD 전압에서부터 부스트되더라도 0V와 VPP 전압의 차이를 분배하므로, 분배전압에 의해 오프셋 전압이 발생하는 것이 방지되어 목표 VPP 전압을 유지할 수 있게 되는데, 이에 대해서는 추후에 상세히 설명한다.

[0024] 상기 VPP 레벨 검출기(32)는 밴드갭 기준전압 발생기(31)로부터 공급되는 밴드갭 기준전압(VREF)과 캐패시터 디바이더로 분배된 VPP/13 전압을 비교하여 VPP 전압이 13 · VREF 전압이 되도록 한다. 아래의 표는 동작 모드에 따른 VREF, VPP, VPPL의 전압 레벨을 보여주고 있다. 여기서, VPP, VPPL은 이이피롬 셀 어레이에 데이터를 라이트하기 위해 필요한 고전압이다.

[0025]

	Program [V]	Erase [V]	Read [V]	Stand-by [V]
VREF	1.231	1.077	0	0
VPP	16	14	1.8	1.8
VPPL	10	11	1.8	1.8

[0026] 링발진기(33)는 상기 VPP 레벨 검출기(32)에서 인에이블신호(VPP_EN)가 '하이'로 출력될 때 발진하고, 이에 의

해 전하 펌프(35)에 의해 양전하(positive charge)가 VPP 노드로 펌핑되어 그 VPP 전압이 상승된다. 상기 링발진기(33)는 발진시 전류 소모가 분산되도록 하여, 과전류에 의해 VDD 전압이 낮아지는 것이 방지된다.

[0027] 이렇게 하여 상기 VPP 전압이 상기 목표 전압 이상으로 상승될 때 상기 VPP 레벨 검출기(32)에서 인에이블신호(VPP_EN)가 '로우'로 출력된다. 이에 의해 상기 전하 펌프(35)의 전하 펌핑 동작이 멈추게 된다. 이와 같은 부궤환 방식에 의해 상기 VPP 전압이 목표 전압으로 유지된다.

[0028] VPP 콘트롤 로직부(34)는 상기 링발진기(33)로부터 입력되는 발진신호(VPP_OSC)에 따라 상기 전하 펌프(35)에 클럭신호(CLK0-CLK3)를 공급한다.

[0029] 전하 펌프(35)는 상기 VPP 콘트롤 로직부(34)로부터 공급되는 클럭신호(CLK0-CLK3)를 이용하여 프로그램 모드에서는 프로그램 전압(VPPL_PGM) VPPL 전압으로 공급하고, 삭제 모드에서는 삭제전압(VPPL_ERS)을 VPPL 전압으로 공급한다. 상기 전하 펌프(35)는 오프시 전하전달 스위치용 트랜지스터의 게이트 노드의 전압을 VPP에서 VDD 레벨로 방전시켜 소자의 신뢰성이 확보되고 전류 손실이 방지된다.

[0030] VPPL 전원 스위칭부(36)는 상기 전하 펌프(35)로부터 프로그램 전압(VPPL_PGM) 및 삭제전압(VPPL_ERS)을 공급받아 VPPL을 출력한다. 이때, 출력단 트랜지스터의 스위칭 동작에 따라 프로그램 전압(VPPL_PGM)이나 삭제전압(VPPL_ERS)을 선택적으로 출력한다. 따라서, 프로그램 모드에서는 VPPL이 VPP-6V, 삭제 모드에서는 VPPL이 VPP-3V의 전압을 사용하더라도 모드별 VPPL을 구현하기 위해서는 추가적으로 직류/직류 변환기를 필요로 하지 않는다.

[0031] 도 4는 본 발명에 의한 VPP 레벨 검출기(32)의 구현예를 보인 회로도이다.

[0032] 도 4를 참조하면, VPP 전압이 캐패시터(C401), (C402)에 의해 분배되고, 그 분배된 전압이 비교기(CP401)에서 기준전압(Vref)과 비교되어 그에 따른 인에이블신호(VPP_EN)가 출력된다.

[0033] 그런데, 상기 VPP 단자와 캐패시터(C401)의 사이에 트랜지스터(MP401)를 접속하고, 상기 캐패시터(C401), (C402)의 일측 단자를 소스가 접지된 트랜지스터(MN401), (MN402)의 드레인에 각기 접속하며, 반전온신호단자(VPP_ONb)를 지연기(401)를 통해 상기 트랜지스터(MP401)의 게이트에 접속하고, 직접 상기 트랜지스터(MN401), (MN402)의 게이트에 접속한다.

[0034] 이에 따라, 전원 오프시 '하이'로 공급되는 반전온신호(VPP_ONb)에 의해 상기 트랜지스터(MN401), (MN402)가 턴온되므로, 상기 캐패시터(C401), (C402)의 전압이 그 트랜지스터(MN401), (MN402)에 의해 0V(VSS)로 디스차지된다.

[0035] 이와 같은 상태에서, 전원이 온되면 상기 반전온신호(VPP_ONb)가 '로우'로 반전되어 상기 트랜지스터(MN401), (MN402)가 턴오프된다. 상기 '로우' 레벨의 반전온신호(VPP_ONb)는 지연기(401)에 의해 소정 시간 지연된 후 상기 트랜지스터(MP401)의 게이트에 공급되어 그 트랜지스터(MP401)가 턴온된다.

[0036] 따라서, 상기 VPP 전압이 VDD 전압에서부터 부스트되더라도 상기와 같이 동작하는 트랜지스터(MP401), (MN401, MN402)에 의해 상기 캐패시터(C401), (C402)가 0V와 VPP 전압의 차이를 분배하여 상기 비교기(CP401)의 반전입력단자에 공급한다.

[0037] 이에 따라, 분배전압에 의해 오프셋 전압이 발생하는 것이 방지되어 목표 VPP 전압을 유지할 수 있게 된다.

[0038] 도 5a는 본 발명에 의한 링발진기(33)의 구현예를 보인 회로도이다.

[0039] 일반적으로, 라이트(write) 모드에서 VPP 전압의 파워-업(power-up)시 직류/직류 변환기의 전류 소모량이 많게 된다. 이와 같이 많은 전류소모는 전원전압 레벨을 하강시키는 문제를 발생하고, 이로 인하여 VPP 전압을 목표치까지 부스트시키지 못하게 되어 데이터를 정상적으로 프로그램할 수 없게 된다.

[0040] 하지만, 상기 도 5a와 같은 링발진기(33)를 사용하는 경우 전류 소모가 분산되므로, 과전류에 의해 VDD 전압이 낮아지는 것을 방지할 수 있게 된다.

[0041] 일반적인 링발진기에서 하나의 클럭신호를 발생하는 것에 비하여, 도 5a의 회로에서는 듀얼 클럭방식으로 VPP 전압의 파워-업(power-up) 시 정상 상태보다 주기가 긴 클럭신호를 발생한다.

[0042] 따라서, 파워-업 시간동안에 빠른 스위칭으로 인한 많은 전류 소모가 분산되어, 과전류에 의해 VDD 전압이 낮아지는 것을 방지할 수 있게 된다.

[0043] 도 5b는 상기 도 5a에서 인버터(I501-I504)의 구현예를 나타낸 상세 회로도로서, 전원단자(VDD)가 게이트에 위

상이 상반된 지연신호(DELAYb), (DELAY)가 공급되는 병렬접속된 트랜지스터(MP503), (MP504)를 통한 후 게이트가 입력단자(IN)에 접속된 트랜지스터(MP505)를 통해 출력단자(OUT)에 접속된다. 그리고, 상기 출력단자(OUT)는 게이트가 상기 입력단자(IN)에 접속된 트랜지스터(MN503)를 통한 후 게이트에 위상이 상반된 지연신호(DELAYb), (DELAY)가 공급되는 병렬접속된 트랜지스터(MN504), (MN505)를 통해 접지단자에 접속된다.

[0044] 도 6은 본 발명에 의한 크로스 결합(cross-coupled) 전하 펌프(35)의 구현예를 보인 회로도로서 이에 도시한 바와 같이, 전하전달 스위치용 트랜지스터(MN601, MN602); 크로스 커플 전하전달 스위치용 트랜지스터(MP601, MP602); 바디 포텐셜 바이어스용 트랜지스터(MN603-MN606), (MP603-MP606); 프리차지용 트랜지스터(MN607, MN608); 전하펌핑용 캐패시터(C601-C604); 프리차지용 트랜지스터(MP607-MP610), (MN609, MN610)를 포함하여 구성한다.

[0045] 전원출력단자(V_{OUT})에 고전압인 VPP이 출력되고 있는 도중에 오프 상태가 될 때, 노드(N3), (N4)가 고전압 상태를 유지하여 소자의 신뢰성에 문제를 발생시킬 수 있다.

[0046] 따라서, 본 발명에서는 전하전달 스위치용 트랜지스터(MN601, MN602)의 게이트 측에 프리차지용 트랜지스터(MP607, MP608, MN609), (MP609, MP610, MN610)를 설치하여 오프시 그 전하전달 스위치용 트랜지스터(MN601, MN602)의 게이트 노드(N1, N2)의 전압을 VPP에서 VDD 레벨로 방전되게 함으로써, 소자의 신뢰성이 확보되고 전류 손실이 방지된다.

[0047] 도 7은 본 발명에 의한 VPPL 전원 스위칭부(36)의 구현예를 보인 회로도이다.

[0048] 프로그램 모드에서는 VPPL이 VPP-6V, 삭제 모드에서는 VPPL이 VPP-3V의 전압을 사용하므로, 모드별 VPPL을 구현하기 위해서는 추가적으로 직류/직류 변환기를 필요로 한다. 하지만, 도 7과 같은 VPPL 전원 스위칭부(36)를 사용하는 경우 추가적으로 직류/직류 변환기를 사용할 필요가 없다.

[0049] 이를 위해, 프로그램 모드에서는 턴온된 트랜지스터(MP704)를 통해 프로그램 전압(VPPL_PGM) VPPL 전압으로 공급하고, 삭제 모드에서는 턴온된 트랜지스터(MP710)를 통해 삭제전압(VPPL_ERS)을 VPPL 전압으로 공급하도록 하였다.

[0050] 도 8은 0.18 μ m EEPROM 공정을 이용하여 설계된 UHF RFID 태그 칩용 EEPROM에서의 각종 신호에 대한 실험 결과를 나타낸 파형도이다. 상기 각종 신호란 읽기 모드시 태그용 칩으로 입력되는 제어신호(CE, READ), 콘트롤 로직부에서 출력되는 프리차지신호(PRECHARGE), 데이터라인 로드신호(DLINE_LOADb), 센스앰프신호(SAENb)를 의미한다.

[0051] 읽기 명령어 신호(READ)가 입력되면, 프리차지신호(PRECHARGE)에 의해 데이터라인(DLINE)과 비트라인(BL)은 전원전압(VDD)으로 프리차지된다. 이후 워드라인(WL)이 활성화 되면서 비트라인(BL)에 데이터가 전달되면 센스앰프신호(SAENb)에 의해 데이터라인(DLINE)의 데이터가 센스앰프를 통해 출력단자(OUT)로 출력된다. 모의 실험결과 t_{ACC}(Raed access time)은 VDD가 1.62V, 온도가 50℃일 때 81ns임을 알 수 있다.

[0052] 도 9는 본 발명에 의한 프로그램 모드와 삭제 모드에서의 VPP와 VPPL의 모의 실험결과를 나타낸 것이다. 모의 실험결과, 프로그램 모드에서 VPPL은 VPP-6V인 10V임을 확인하였고, 삭제 모드에서의 VPP는 14V이며, VPPL은 VPP-3V인 11V가 출력되는 것을 확인할 수 있었다.

[0053] 이상에서 본 발명의 바람직한 실시예에 대하여 상세히 설명하였지만, 본 발명의 권리범위가 이에 한정되는 것이 아니라 다음의 청구범위에서 정의하는 본 발명의 기본 개념을 바탕으로 보다 다양한 실시예로 구현될 수 있으며, 이러한 실시예들 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0054] 도 1은 종래 기술에 의한 수동형 UHF RFID 태그의 블록도.

[0055] 도 2는 종래 기술에 의한 비동기식 이이피롬 장치의 블록도.

[0056] 도 3은 본 발명에 의한 이이피롬 장치의 직류/직류 변환기의 블록도.

[0057] 도 4는 도 3에서 VPP 레벨 검출기의 상세 회로도.

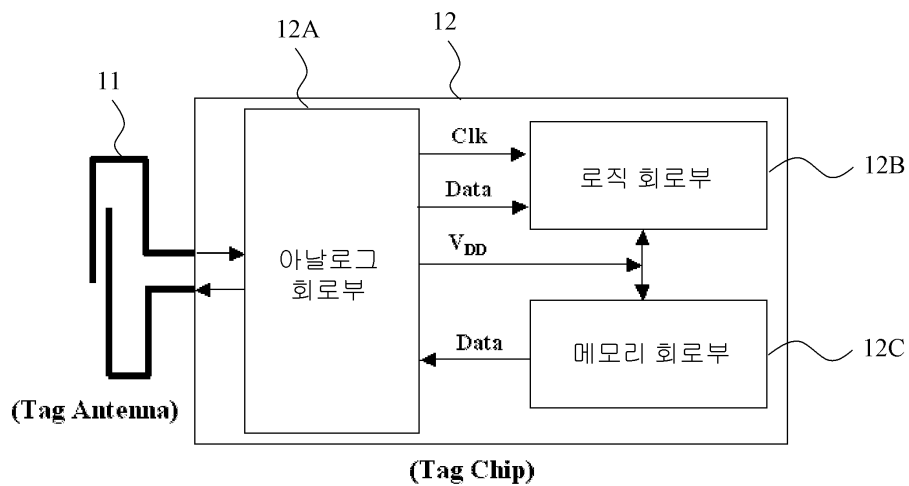
[0058] 도 5a는 도 3에서 링발진기의 상세 회로도.

[0059] 도 5b는 도 5a에서 인버터의 상세 회로도.

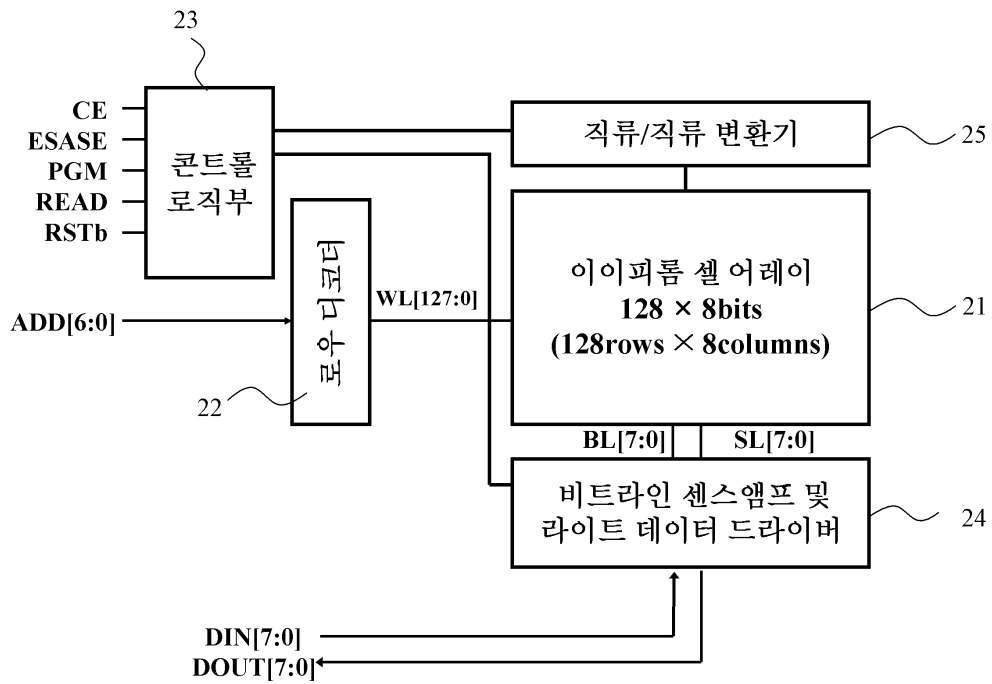
- [0060] 도 6은 도 3에서 전하펌프의 상세 회로도.
- [0061] 도 7은 도 3에서 VPPL 전원 스위칭부의 상세 회로도.
- [0062] 도 8은 0.18 μ m EEPROM 공정을 이용하여 설계된 UHF RFID 태그 칩용 EEPROM에서의 각종 신호에 대한 실험 결과를 나타낸 파형도.
- [0063] 도 9는 본 발명에 의한 프로그램 모드와 삭제 모드에서의 VPP와 VPPL의 모의 실험결과를 나타낸 그래프.
- [0064] ***도면의 주요 부분에 대한 부호의 설명***
- [0065] 31 : 밴드갭 기준전압 발생기 32 : VPP 레벨 검출기
- [0066] 33 : 링발진기 34 : VPP 콘트롤 로직부
- [0067] 35 : 전하 펌프 36 : VPPL 전원 스위칭부

도면

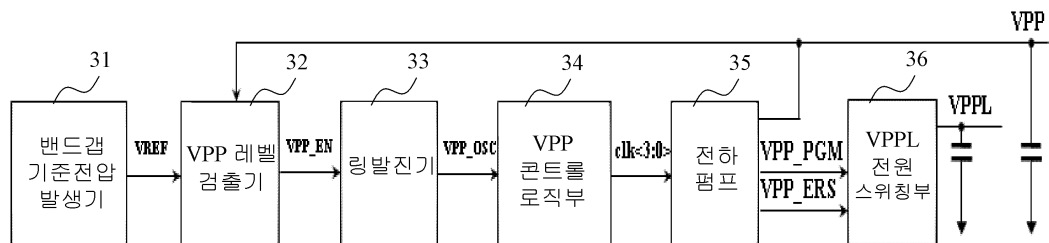
도면1



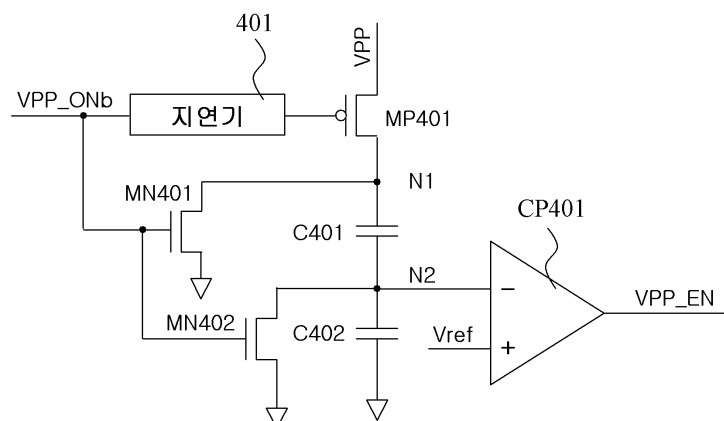
도면2



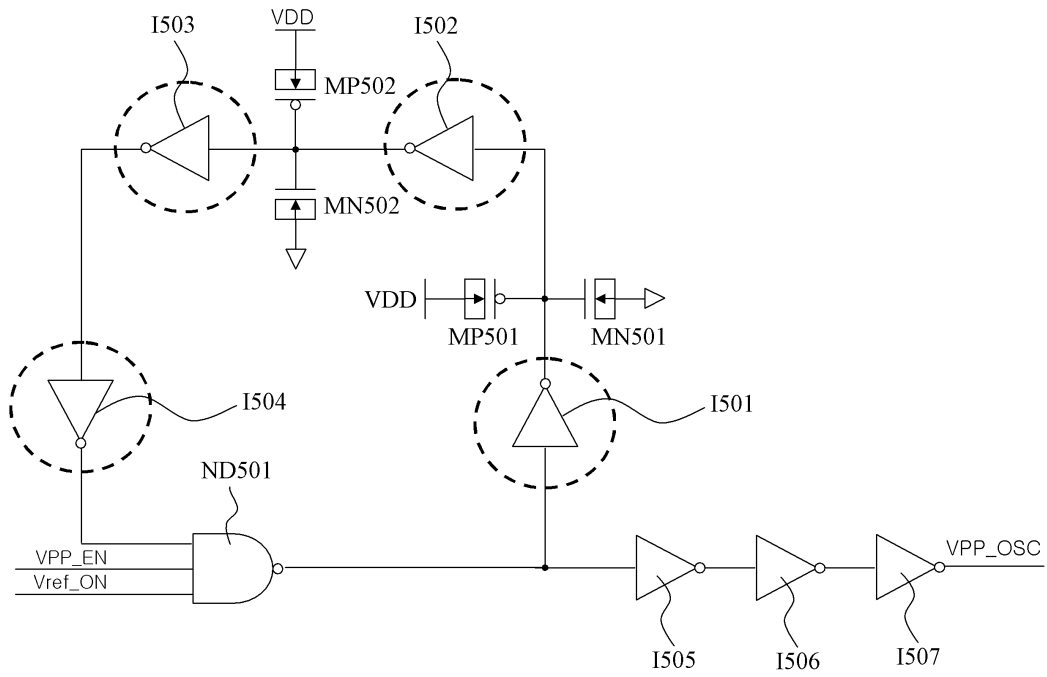
도면3



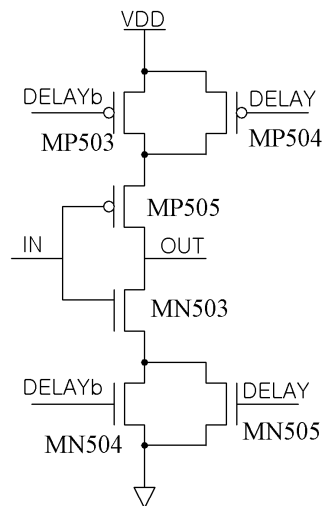
도면4



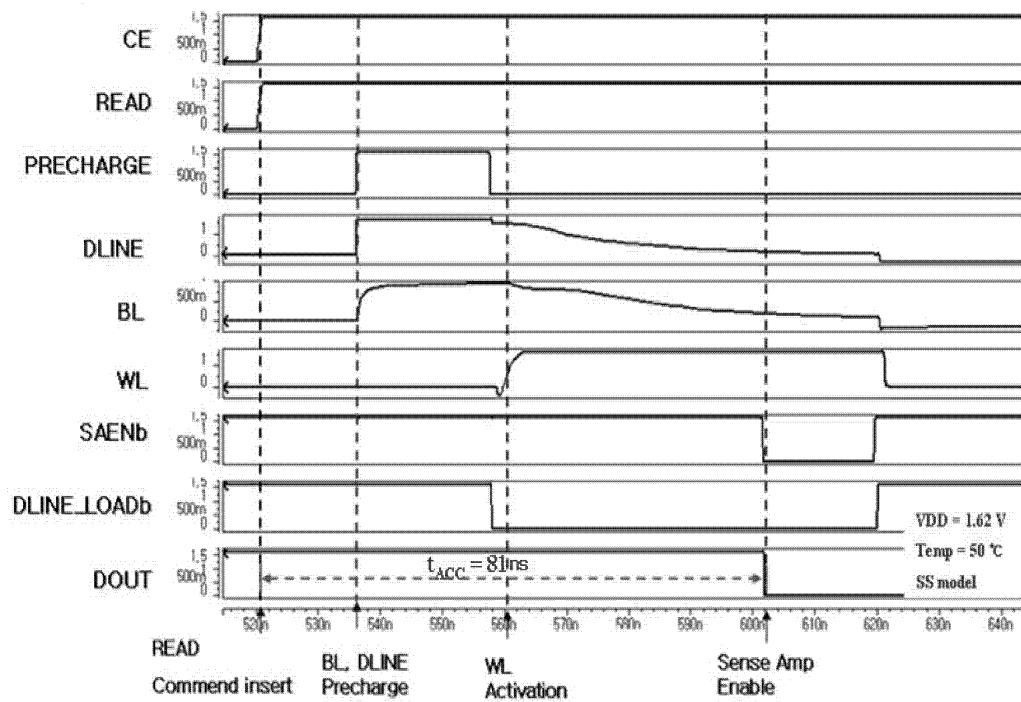
도면5a



도면5b



도면8



도면9

