



(12) 发明专利申请

(10) 申请公布号 CN 114242593 A

(43) 申请公布日 2022. 03. 25

(21) 申请号 202111520626.1

(22) 申请日 2021.12.13

(71) 申请人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区自由贸易试
验区祖冲之路1399号

(72) 发明人 遇寒 张津铭 李冰

(74) 专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 王关根

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 23/552 (2006.01)

H01L 29/78 (2006.01)

权利要求书2页 说明书5页 附图5页

(54) 发明名称

一种RFLDMOS器件及其制造方法

(57) 摘要

本发明提供一种RFLDMOS器件及其制造方法,提供衬底,衬底上设置有外延层;在外延层上方依次淀积第一层介质层和第一层法拉第屏蔽层;利用光刻刻蚀工艺形成第一层法拉第屏蔽罩;淀积第二层介质层,并利用光刻刻蚀工艺去除覆盖第一层法拉第屏蔽罩的部分第二层介质层,使部分第一层法拉第屏蔽罩裸露;淀积第二层法拉第屏蔽层,并利用光刻刻蚀工艺形成第二层法拉第屏蔽罩,第一层法拉第屏蔽罩和第二层法拉第屏蔽罩形成互联结构;淀积金属前介质层,形成下沉通道和接触孔。本发明解决了高频下现有法拉第屏蔽罩的寄生电阻易引起较大反馈电容并引入非线性的问题;达到了改善高频下RFLDMOS器件的反馈电容和线性度,提升RFLDMOS器件的宽带性能的效果。



1. 一种RFLDMOS器件的制造方法,其特征在于,包括以下步骤:

步骤一、提供衬底,所述衬底上设置有外延层,所述外延层中设置有漂移区和体区;所述漂移区内设置有漏区;所述体区内设置有重掺杂区和源区;所述外延层表面设置有多晶硅栅;所述多晶硅栅、所述源区及所述漏区表面设置有金属硅化物;

步骤二、在所述外延层上方依次淀积第一层介质层和第一层法拉第屏蔽层;

步骤三、利用光刻刻蚀工艺对所述第一层法拉第屏蔽层进行刻蚀,形成第一层法拉第屏蔽罩;

步骤四、淀积第二层介质层,并利用光刻刻蚀工艺去除覆盖所述第一层法拉第屏蔽罩的部分所述第二层介质层,使部分所述第一层法拉第屏蔽罩裸露;

步骤五、淀积第二层法拉第屏蔽层,并利用光刻刻蚀工艺形成第二层法拉第屏蔽罩,所述第一层法拉第屏蔽罩和所述第二层法拉第屏蔽罩形成互联结构;

步骤六、淀积金属前介质层,通过光刻和干刻打开所述金属前介质层,并进一步刻蚀所述外延层形成深沟槽,所述深沟槽的底部位于所述衬底中;

步骤七、刻蚀接触孔,淀积金属从而形成下沉通道和接触孔;

步骤八、形成第一金属层并刻蚀,与所述接触孔和所述下沉通道连接。

2. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,步骤一中所述衬底为N型,或,所述衬底为P型。

3. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,步骤一中所述多晶硅栅包括栅氧化层、多晶硅以及侧墙。

4. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,步骤二中所述第一层介质层和步骤四中所述第二层介质层为氧化硅。

5. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,步骤二中所述第一层法拉第屏蔽层和步骤五中所述第二层法拉第屏蔽层由钛金属层、氮化钛层和钨金属层堆叠构成。

6. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,步骤三中所述第一层法拉第屏蔽罩位于所述多晶硅栅的漏区的侧面外的漂移区上方并覆盖所述多晶硅栅的侧面。

7. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,步骤五中所述第二层法拉第屏蔽罩跨过所述多晶硅栅延伸至部分所述体区和所述漂移区上方。

8. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,步骤七中淀积的所述金属为钨。

9. 根据权利要求1所述的RFLDMOS器件的制造方法,其特征在于,所述方法还适用于形成具有两层以上法拉第屏蔽罩互联结构的RFLDMOS器件。

10. 一种采用权利要求1至9中任一项所述RFLDMOS器件的制造方法形成的RFLDMOS器件,其特征在于,包括:

衬底;

位于所述衬底上方的外延层;所述外延层中设置有漂移区和体区;所述漂移区内设置有漏区,所述体区内设置有重掺杂区和源区,所述重掺杂区与所述源区连接;

位于所述外延层表面的多晶硅栅,所述多晶硅栅包括所述栅氧层、多晶硅以及侧墙;

位于所述源区、所述漏区和所述多晶硅栅表面的金属硅化物；

法拉第屏蔽罩；

下沉通道和接触孔，所述下沉通道底部位于所述衬底中，贯穿所述体区和所述外延层；
以及

第一金属层，与所述下沉通道和所述接触孔连接；

其中，所述法拉第屏蔽罩位于所述多晶硅栅上方，分为上下两层，第一层法拉第屏蔽罩位于多晶硅栅上方，与多晶硅栅之间间隔介质层；第二层法拉第屏蔽罩位于所述第一层法拉第屏蔽罩的上方，且二者之间除了隔离的介质层还形成有互联结构。

一种RFLDMOS器件及其制造方法

技术领域

[0001] 本发明涉及半导体制造技术领域,具体涉及一种RFLDMOS器件及其制造方法。

背景技术

[0002] RFLDMOS (Radio Frequency Laterally Diffused Metal Oxide Semiconductor, 射频横向双扩散场效应晶体管) 是一种射频功率器件,具有高增益、高线性、高耐压、高输出功率等特点,被广泛应用于射频基站、无线广播站、雷达等领域,采用功率阵列及多芯片合成,产品输出功率可达500W以上。

[0003] 导通电阻和输出电容是影响RFLDMOS效率的主要因素。降低导通电阻和输出电容可以减小这两者带来的功率损耗,从而提高器件的效率和增益。减小栅源电容和反馈电容可以有效地提高器件的特征频率和最高震荡频率和增益。

[0004] 在RFLDMOS器件中,利用法拉第屏蔽罩屏蔽栅极,以减低漏极与栅极之间的反馈电容 C_{gd} 。然而,同时法拉第屏蔽罩寄生电阻会对反馈电容 C_{gd} 产生影响。如图1所示,显示为现有RFLDMOS器件的频率和反馈电容(C_{gd})曲线;曲线101对应的寄生电阻为0ohm,曲线102对应的寄生电阻为10ohm,曲线103对应的寄生电阻为20ohm,曲线104对应的寄生电阻为40ohm,曲线105对应的寄生电阻为100ohm。从图中可知,随着法拉第屏蔽罩寄生电阻的增大,反馈电容 C_{gd} 也逐渐增大,尤其在高频下,寄生电阻对反馈电容 C_{gd} 影响越大;另外,法拉第屏蔽罩方块电阻对DPD后线性度存在非常大的影响,较大的法拉第屏蔽罩寄生电阻将引起频率与反馈电容 C_{gd} 的非线性,如曲线105所示。由此可见,法拉第屏蔽罩寄生电阻是决定高频下RFLDMOS射频性能的一个极其重要的因素。

发明内容

[0005] 有鉴于此,本发明提供一种RFLDMOS器件及其制造方法,用以降低现有的RFLDMOS器件法拉第屏蔽罩的寄生电阻。

[0006] 本发明提供一种RFLDMOS器件的制造方法,包括以下步骤:

[0007] 步骤一、提供衬底,所述衬底上设置有外延层,所述外延层中设置有漂移区和体区;所述漂移区内设置有漏区;所述体区内设置有重掺杂区和源区;所述外延层表面设置有多晶硅栅;所述多晶硅栅、所述源区及所述漏区表面设置有金属硅化物;

[0008] 步骤二、在所述外延层上方依次淀积第一层介质层和第一层法拉第屏蔽层;

[0009] 步骤三、利用光刻刻蚀工艺对所述第一层法拉第屏蔽层进行刻蚀,形成第一层法拉第屏蔽罩;

[0010] 步骤四、淀积第二层介质层,并利用光刻刻蚀工艺去除覆盖所述第一层法拉第屏蔽罩的部分所述第二层介质层,使部分所述第一层法拉第屏蔽罩裸露;

[0011] 步骤五、淀积第二层法拉第屏蔽层,并利用光刻刻蚀工艺形成第二层法拉第屏蔽罩,所述第一层法拉第屏蔽罩和所述第二层法拉第屏蔽罩形成互联结构;

[0012] 步骤六、淀积金属前介质层,通过光刻和干刻打开所述金属前介质层,并进一步刻

蚀所述外延层形成深沟槽,所述深沟槽的底部位于所述衬底中;

[0013] 步骤七、刻蚀接触孔,淀积金属从而形成下沉通道和接触孔;

[0014] 步骤八、形成第一金属层并刻蚀,与所述接触孔和所述下沉通道连接。

[0015] 优选地,步骤一中所述衬底为N型,或,所述衬底为P型。

[0016] 优选地,步骤一中所述多晶硅栅包括栅氧化层、多晶硅以及侧墙。

[0017] 优选地,步骤二中所述第一层介质层和步骤四中所述第二层介质层为氧化硅。

[0018] 优选地,步骤二中所述第一层法拉第屏蔽层和步骤五中所述第二层法拉第屏蔽层由钛金属层、氮化钛层和钨金属层堆叠构成。

[0019] 优选地,步骤三中所述第一层法拉第屏蔽罩位于所述多晶硅栅的漏区的侧面外的漂移区上方并覆盖所述多晶硅栅的侧面。

[0020] 优选地,步骤五中所述第二法拉第屏蔽罩跨过所述多晶硅栅延伸至部分所述体区和所述漂移区上方。

[0021] 优选地,步骤七中淀积的所述金属为钨。

[0022] 优选地,所述方法还适用于形成具有两层以上法拉第屏蔽罩互联结构的RFLDMOS器件。

[0023] 本发明还提供一种RFLDMOS器件,包括:

[0024] 衬底;

[0025] 位于所述衬底上方的外延层;所述外延层中设置有漂移区和体区;所述漂移区内设置有漏区,所述体区内设置有重掺杂区和源区,所述重掺杂区与所述源区连接;

[0026] 位于所述外延层表面的多晶硅栅,所述多晶硅栅包括所述栅氧层、多晶硅以及侧墙;

[0027] 位于所述源区、所述漏区和所述多晶硅栅表面的金属硅化物;

[0028] 法拉第屏蔽罩;

[0029] 下沉通道和接触孔,所述下沉通道底部位于所述衬底中,贯穿所述体区和所述外延层;以及

[0030] 第一金属层,与所述下沉通道和所述接触孔连接;

[0031] 其中,所述法拉第屏蔽罩位于所述多晶硅栅上方,分为上下两层,第一层法拉第屏蔽罩位于多晶硅栅上方,与多晶硅栅之间间隔介质层;第二层法拉第屏蔽罩位于所述第一层法拉第屏蔽罩的上方,且二者之间除了隔离的介质层还形成有互联结构。

[0032] 本发明对具有多层法拉第屏蔽罩的RFLDMOS器件进行改进,在原有工艺基础上,通过增加法拉第屏蔽罩间介质层的刻蚀工艺,实现了多层法拉第屏蔽罩互联,大幅度降低了法拉第屏蔽罩的寄生电阻,改善了高频下RFLDMOS器件的反馈电容和线性度,提升了RFLDMOS器件的宽带性能,并且多层法拉第屏蔽罩互联,使得金属布线更加简洁,提升了效率。

附图说明

[0033] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其它目的、特征和优点将更为清楚,在附图中:

[0034] 图1显示为现有的RFLDMOS器件的频率和反馈电容曲线;

- [0035] 图2显示为现有的具有两层法拉第屏蔽罩的RFLDMOS器件的结构示意图；
- [0036] 图3显示为本发明实施例的RFLDMOS器件的制造方法的流程图；
- [0037] 图4-图8显示为本发明实施例的RFLDMOS器件的制造方法步骤的结构示意图；
- [0038] 图9显示为本发明实施例的具有三层法拉第屏蔽罩的RFLDMOS器件的结构示意图。
- [0039] 附图标记说明：
- [0040] 101-衬底；102-外延层；103-漂移区；14-体区；105-栅介质层；106-多晶硅；107-重掺杂区；108-源区；109-漏区；110-金属硅化物；111-第一层法拉第屏蔽罩；112-第一层介质层；113-第二层法拉第屏蔽罩；114-第二层介质层；115-金属前介质层；116-下沉通道；117-接触孔；118-金属层；119-第三层法拉第屏蔽罩；120-第三层介质层。

具体实施方式

[0041] 以下基于实施例对本发明进行描述，但是本发明并不仅仅限于这些实施例。在下文对本发明的细节描述中，详尽描述了一些特定的细节部分。对本领域技术人员来说没有这些细节部分的描述也可以完全理解本发明。为了避免混淆本发明的实质，公知的方法、过程、流程、元件和电路并没有详细叙述。

[0042] 此外，本领域普通技术人员应当理解，在此提供的附图都是为了说明的目的，并且附图不一定是按比例绘制的。

[0043] 除非上下文明确要求，否则整个申请文件中的“包括”、“包含”等类似词语应当解释为包含的含义而不是排他或穷举的含义；也就是说，是“包括但不限于”的含义。

[0044] 在本发明的描述中，需要理解的是，术语“第一”、“第二”等仅用于描述目的，而不能理解为指示或暗示相对重要性。此外，在本发明的描述中，除非另有说明，“多个”的含义是两个或两个以上。

[0045] 目前现有的RFLDMOS器件的法拉第屏蔽罩间都间隔介质层，法拉第屏蔽罩连接采用金属将几层法拉第屏蔽罩与源漏区、衬底连接在一起的方式。如图2所示，图2显示为现有的具有两层法拉第屏蔽罩的RFLDMOS器件的结构示意图。法拉第屏蔽罩结构分为上下两层，第二层法拉第屏蔽层113与第一层法拉第屏蔽罩111之间间隔介质层114。法拉第屏蔽罩通过接触孔115与金属层118连接。基于现有的法拉第屏蔽罩结构和连接方式，本发明提出一种RFLDMOS器件及其制造方法，用以降低法拉第屏蔽罩的寄生电阻，提升高频下RFLDMOS器件的频率特性。下面结合附图并通过具体实施方式来进一步说明本发明的技术方案。

[0046] 图3显示为本发明实施例的RFLDMOS器件的制造方法的流程图。如图3所示，包括以下步骤：

[0047] 步骤一、如图4所示，提供衬底101，衬底101上设置有外延层102，外延层102中设置有漂移区103和体区104；漂移区103内设置有漏区109；体区103内设置有重掺杂区107和源区108；外延层表面设置有多晶硅栅；多晶硅栅、源区108以及漏区109表面设置有金属硅化物110。

[0048] 本发明实施例中，衬底101为N型，或，衬底101为P型。在P型衬底上生长P型外延层，或，在N型衬底上生长N型外延层。

[0049] 本发明实施例中，通过光刻工艺和离子注入工艺在外延层102内分别形成RFLDMOS器件的体区104和漂移区103，在体区104内形成重掺杂区107和RFLDMOS的源区108，在漂移

区103内形成RFLDMOS的漏区109。漏区109位于漂移区103内远离体区104的一端。

[0050] 本发明实施例中,多晶硅栅包括栅氧化层105、多晶硅106以及侧墙100。

[0051] 本发明实施例中,打开源、漏区及多晶硅栅需要金属硅化的区域,进行金属硅化工艺。当然,其他区域如体区104内重掺杂区107的顶部也存在金属硅化物110。

[0052] 步骤二,在外延层102上方依次淀积第一层介质层112和第一层法拉第屏蔽层。

[0053] 本发明实施例中,第一层介质层112是氧化硅层。第一层法拉第屏蔽层由钛金属层、氮化钛层和钨金属层堆叠构成。

[0054] 步骤三,如图5所示,利用光刻刻蚀工艺对第一层法拉第屏蔽层进行刻蚀,形成第一层法拉第屏蔽罩111。

[0055] 第一层法拉第屏蔽罩111其形成过程为:先利用光刻工艺定义法拉第屏蔽罩图案,然后利用刻蚀工艺刻蚀法拉第屏蔽层从而形成法拉第屏蔽罩结构。

[0056] 本发明实施例中,第一层法拉第屏蔽罩111位于多晶硅栅的漏区109的侧面外的漂移区103上方并覆盖多晶硅栅的侧面。当然,第一层法拉第屏蔽罩111也可为其他分布,可根据实际需求设置,本发明实施例不作限定。

[0057] 步骤四,如图6所示,淀积第二层介质层114,并利用光刻刻蚀工艺去除覆盖第一层法拉第屏蔽罩111的部分第二层介质层114,使部分第一层法拉第屏蔽罩111裸露。

[0058] 本发明实施例中,采用干法刻蚀去除第一层法拉第屏蔽罩111上方的部分第二层介质层114,以第一层法拉第屏蔽罩111为刻蚀停止层。

[0059] 步骤五,如图7所示,淀积第二层法拉第屏蔽层,并利用光刻刻蚀工艺形成第二层法拉第屏蔽罩113,第一层法拉第屏蔽罩111和第二层法拉第屏蔽罩113形成互联结构。

[0060] 本发明实施例中,第二层介质层114是氧化硅层。第二层法拉第屏蔽层由钛金属层、氮化钛层和钨金属层堆叠构成。

[0061] 第二层法拉第屏蔽罩113的形成方法如上述步骤三所述,这里不再赘述。本发明实施例中,第二法拉第屏蔽罩113跨过多晶硅栅延伸至部分体区104和漂移区103上方。同样,第二层法拉第屏蔽罩113也可为其他分布,如,在多晶硅栅靠近漏区的上方和漂移区靠近多晶硅栅的上方。

[0062] 由于步骤四中第一层法拉第屏蔽罩111上方部分介质层的刻蚀去除,使得后续形成的第二层法拉第屏蔽罩113与第一层法拉第屏蔽罩111连在了一起,构成一个整体,成为互联结构。连接的部分如图7中虚线圈所示。

[0063] 第二层法拉第屏蔽罩113与第一层法拉第屏蔽罩111形成互联结构,可大幅度降低了法拉第屏蔽罩的连接电阻,进而降低对反馈电容的影响,提高器件效率、线性度以及可靠性。

[0064] 步骤六,如图8所示,淀积金属前介质层115,通过光刻和干刻打开金属前介质层115,并进一步刻蚀外延层102形成深沟槽,所述深沟槽的底部位于衬底101中。

[0065] 步骤七,如图8所示,刻蚀接触孔,淀积金属从而形成下沉通道116和接触孔117。

[0066] 本发明实施例中,淀积的金属为钨。

[0067] 步骤八,如图8所示,形成第一金属层118并刻蚀,与接触孔117和下沉通道116连接。

[0068] 本发明实施例的半导体器件的制造方法所述方法还适用于形成两层以上的法拉

第屏蔽罩互联结构。如图9所示,显示为具有三层法拉第屏蔽罩的RFLDMOS器件的结构示意图。

[0069] 本发明所采用的方法与传统结构器件制造方法相比,只需要在原有工艺基础上,通过增加法拉第屏蔽罩间介质层的刻蚀工艺步骤,就可实现多层法拉第屏蔽罩互联工艺,具有很高的工艺价值。

[0070] 图8显示为本发明实施例的RFLDMOS器件的结构示意图。如图8所示,包括衬底101;位于衬底上方的外延层102;设置在外延层102内的漂移区103和体区104;设置在漂移区103内的漏区109;设置在体区104内的重掺杂区107和源区108;设置在源极右侧上方至漂移区左侧上方的多晶硅栅;设置在源区108、漏区109和多晶硅栅上的金属硅化物110;设置在多晶硅栅的上方的法拉第屏蔽罩;下沉通道116;接触孔117;以及金属层118。

[0071] 其中,外延层102的掺杂浓度和厚度取决于器件的漏端工作电压,漏端工作电压越高,外延层102掺杂越低、厚度越厚。体区104和漂移区103在横向上相邻接或隔离一定距离。多晶硅栅包括栅氧层105、多晶硅106以及侧墙100。体区104上方也形成有金属硅化物110。下沉通道116将源区108、体区104、外延层102和衬底101电连接。金属层118与下沉通道116和接触孔117连接。

[0072] 本发明实施例中,法拉第屏蔽罩包括上下两层,第一层法拉第屏蔽罩111位于多晶硅栅右侧上方,与多晶硅栅之间间隔介质层112;第二层法拉第屏蔽罩113位于第一层法拉第屏蔽罩111的上方,且二者之间除了隔离的介质层114还形成有互联结构。

[0073] 与传统结构相比,本发明实施例的法拉第屏蔽罩互联结构实现了多层法拉第屏蔽罩互联,形成欧姆接触,有效地降低了拉第屏蔽罩互联连接电阻,降低器件对地的电阻,改善了高频下RFLDMOS器件的反馈电容和线性度,提升了RFLDMOS器件的宽带性能,并且多层法拉第屏蔽罩互联,使得金属布线更加简洁,提升了效率。

[0074] 应当理解,许多其他层也可以存在,例如间隔元件和/或其他合适的部件,为了简化,图示中予以省略。

[0075] 以上所述仅为本发明的优选实施例,并不用于限制本发明,对于本领域技术人员而言,本发明可以有各种改动和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

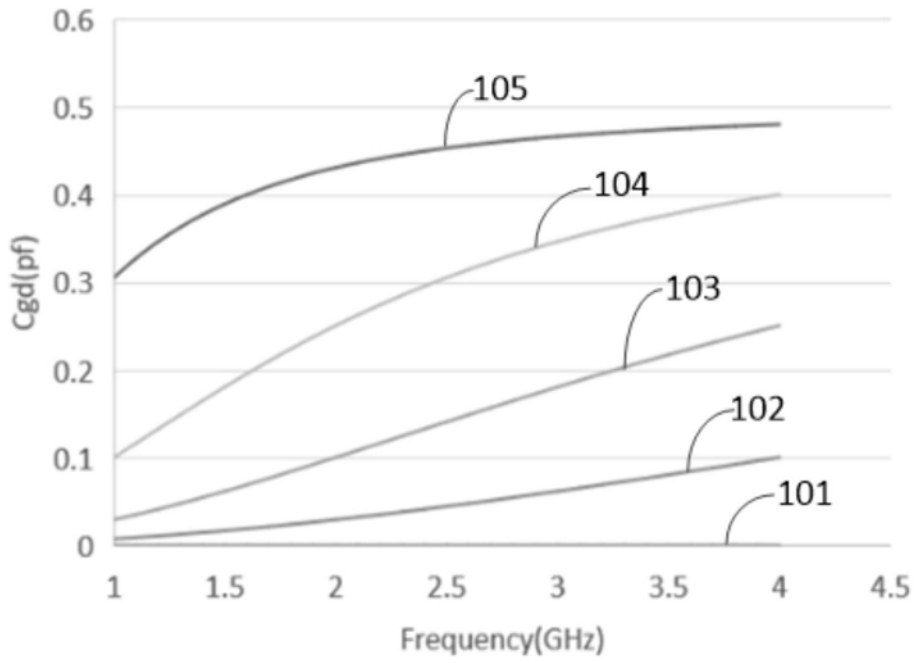


图1

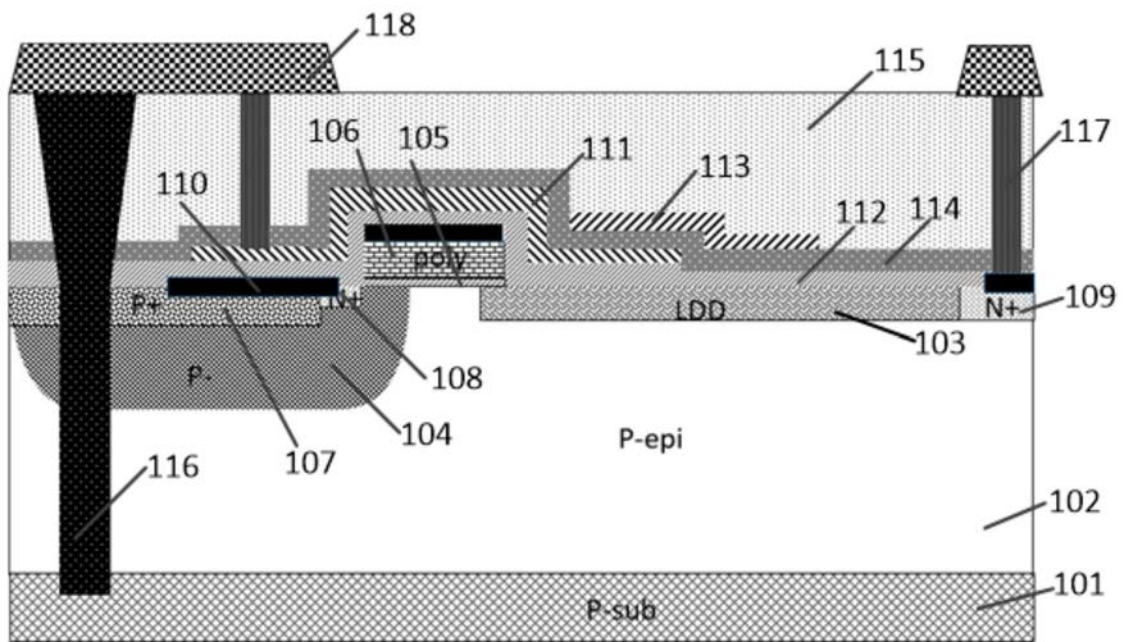


图2

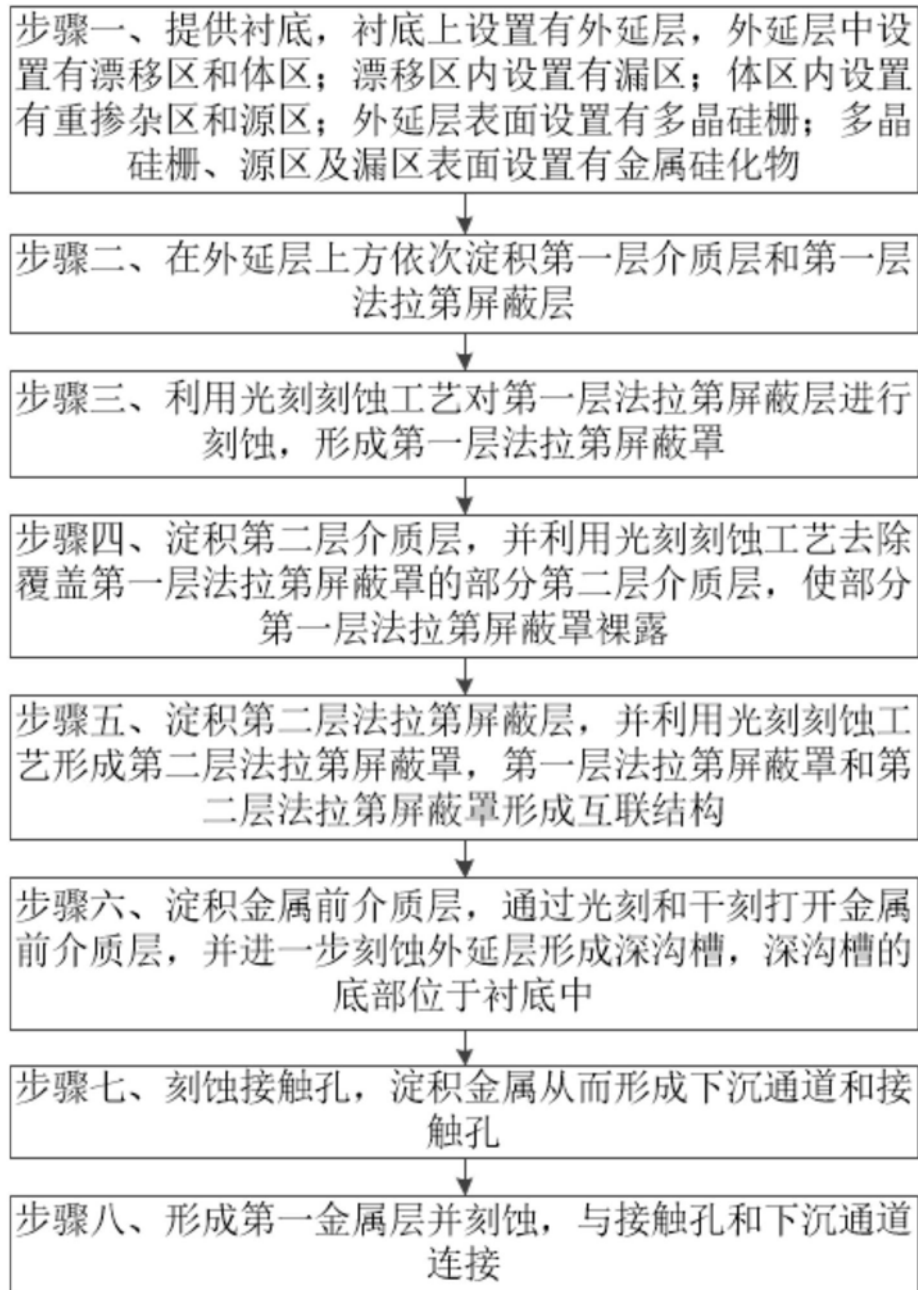


图3

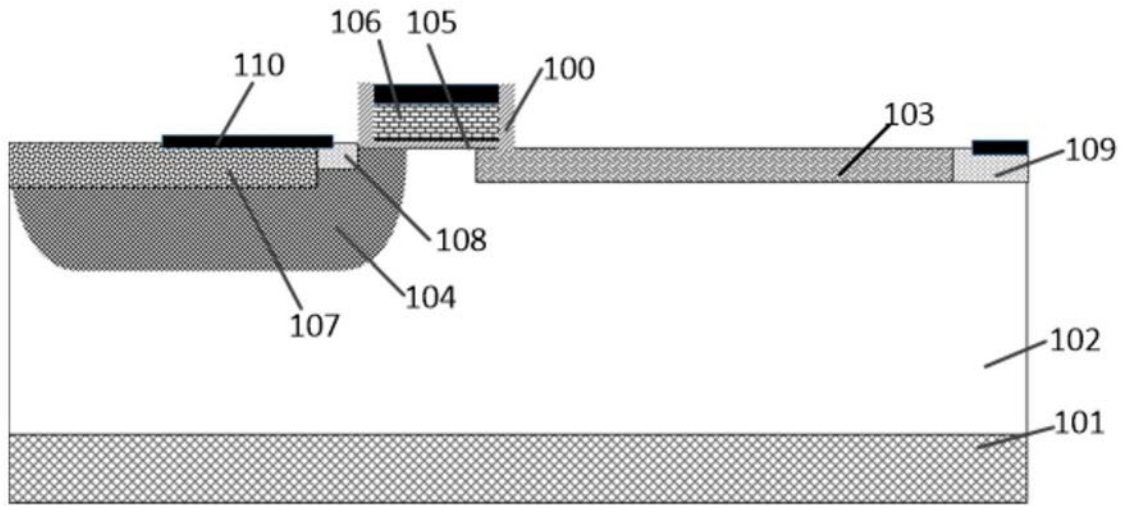


图4

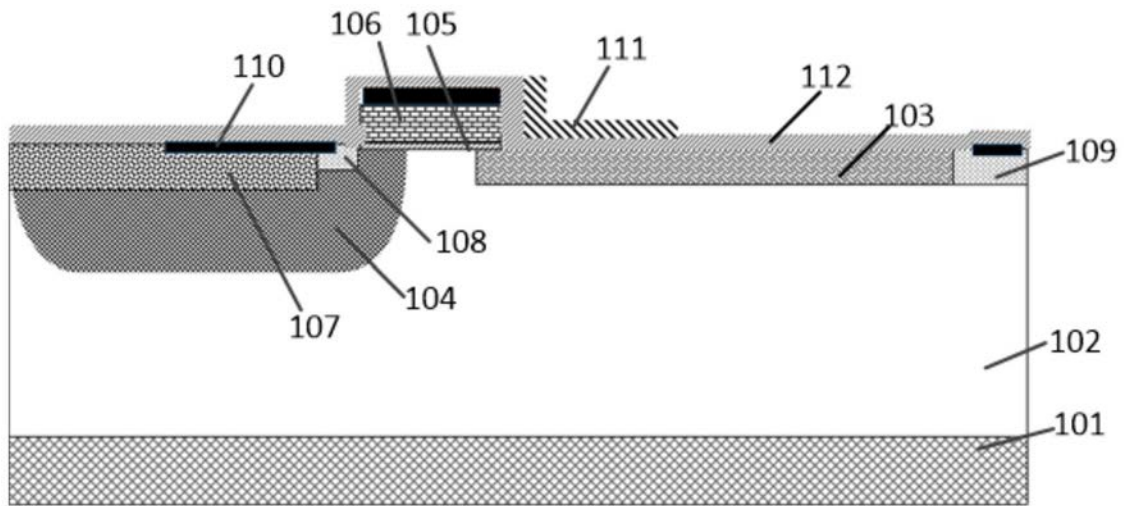


图5

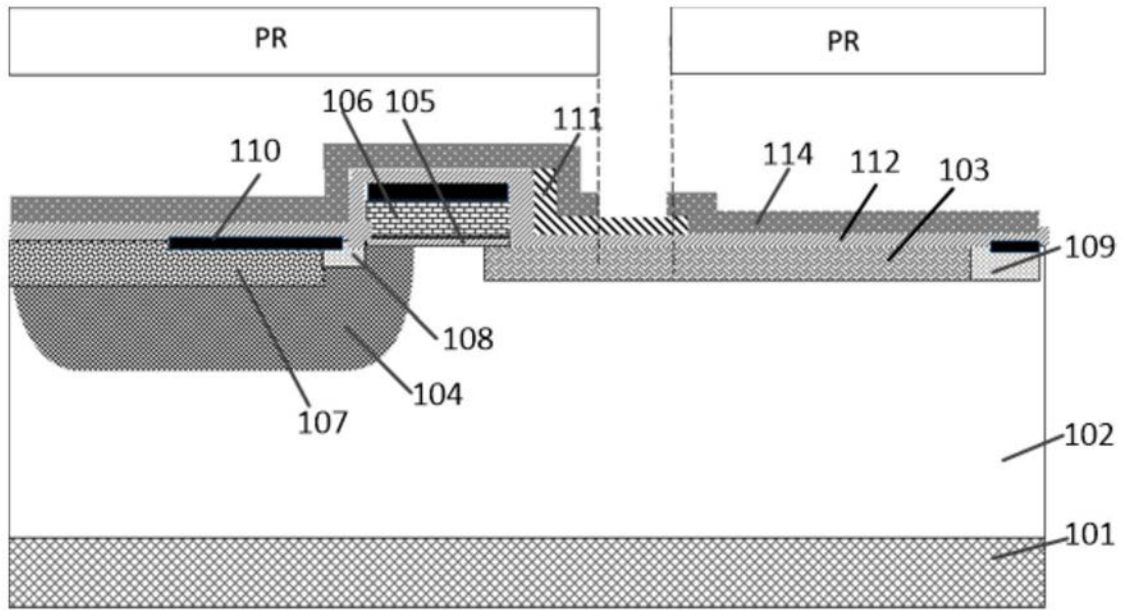


图6

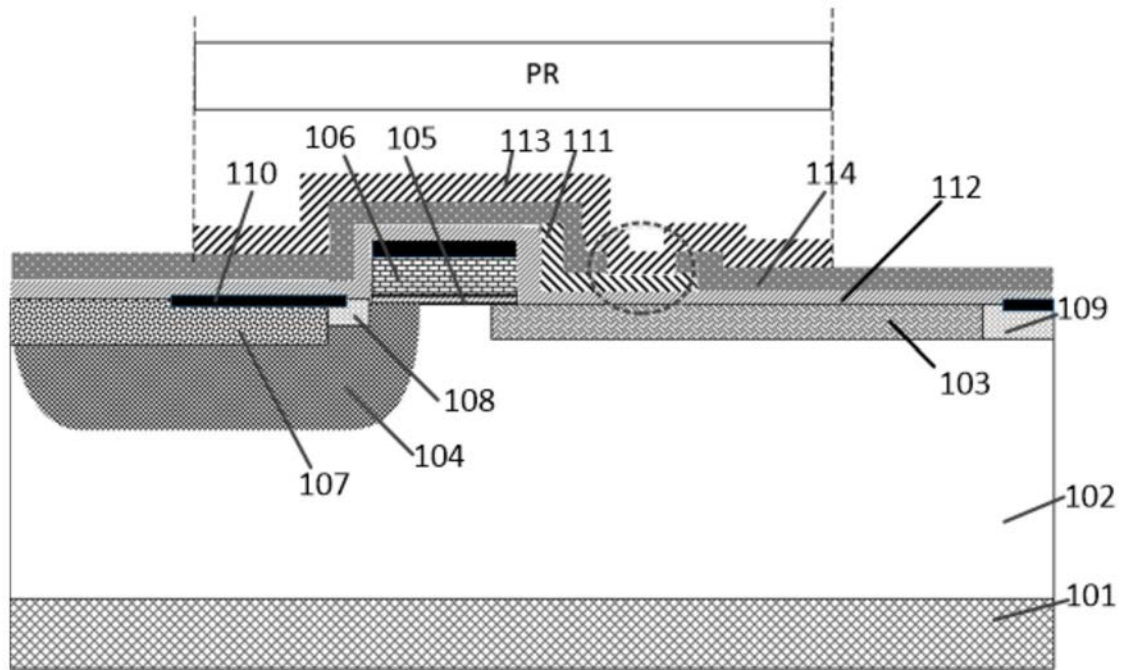


图7

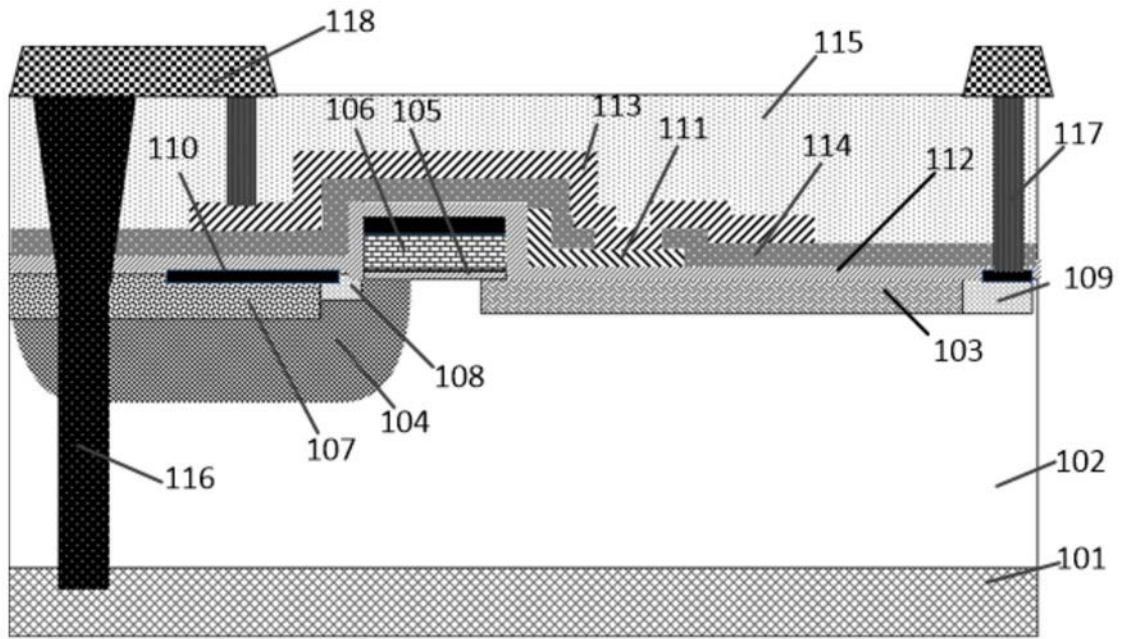


图8

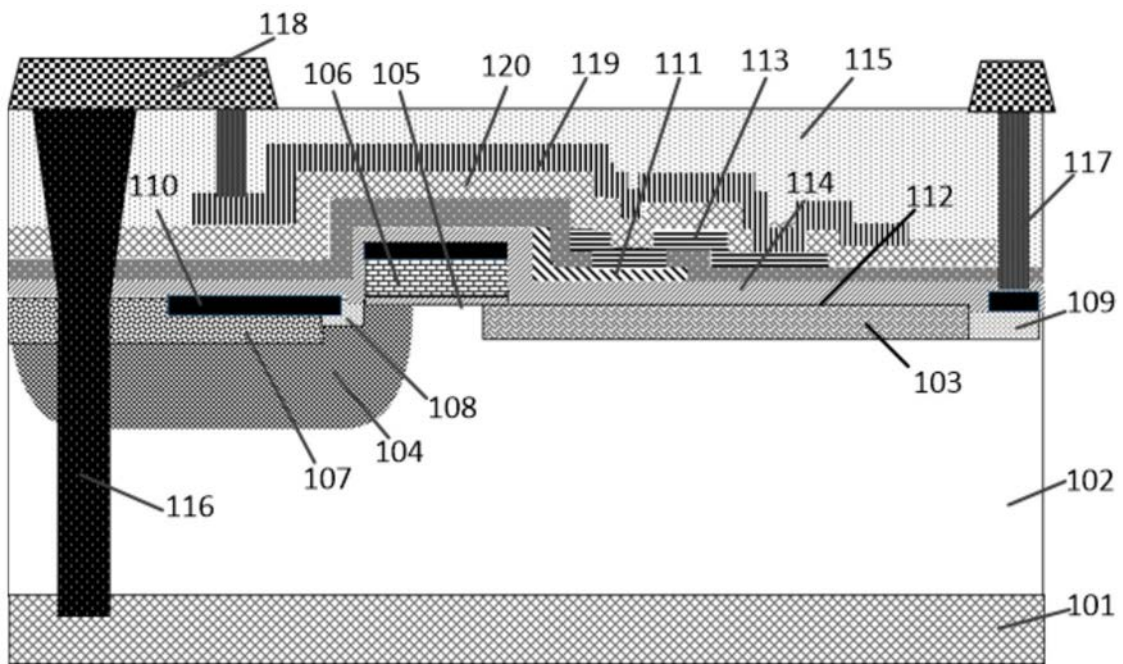


图9