(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 101933097 A
(43)申请公布日 2010.12.29

(21)申请号 200880114063.2
(22)申请日 2008.12.19
(30)优先权数据
61/015909 2007.12.21 US
12/337038 2008.12.17 US
(85)PCT申请进入国家阶段日
2010.04.29
(86)PCT申请的申请数据
PCT/CA2008/002253 2008.12.19
(87)PCT申请的公布数据
WO2009/079783 EN 2009.07.02
(71)申请人 莫塞德技术公司
地址 加拿大安大略省
(72)发明人 潘弘柏 金镇祺
(74)专利代理机构 北京泛华伟业知识产权代理有限公司 11280
代理人 王勇
(51)Int.Cl.
G11C 16/30(2006.01)

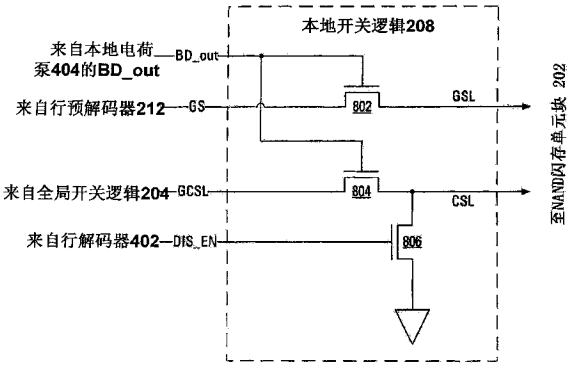
权利要求书 2 页 说明书 7 页 附图 9 页

(54)发明名称

NAND闪速存储器中的分级共同电源线结构

(57)摘要

一般的NAND闪速单元块中的每个存储器单元串连接到共同电源线(CSL)。要施加到CSL上的值集中产生并将其分布到对应于每个NAND闪速单元块的本地开关逻辑单元。对于电源线页面编程,分布线可称为全局共同电源线(GCSL)。NAND闪速单元块的阵列中,一次只选择一个NAND闪速单元块进行编程。为了降低功耗,只有所选NAND闪速单元块接收CSL线上的值,该值指示GCSL上的值。此外,可通过激活的到地连接禁用未选NAND闪速单元块的CSL。



CN 101933097 A

1. 一种用于降低包括 NAND 闪速存储器串的块中电源线页面编程引起的功耗的本地开关逻辑单元，所述 NAND 闪速存储器串连接到本地共同电源线，所述本地开关逻辑单元包括：

第一半导体开关，用于选择性地允许在全局共同电源线上接收的信号传输到所述本地共同电源线上的所述包括 NAND 闪速存储器串的块；以及

第二半导体开关，用于选择性地将预定电压施加到所述本地共同电源线。

2. 根据权利要求 1 所述的本地开关逻辑单元，其中，所述第一半导体开关是 n 型金属氧化物半导体 (NMOS) 晶体管。

3. 根据权利要求 2 所述的本地开关逻辑单元，其中，所述第二半导体开关是 n 型金属氧化物半导体 (NMOS) 晶体管。

4. 根据权利要求 1 所述的本地开关逻辑单元，还包括第一输入线，用于接收指示所述包括 NAND 闪速存储器串的块被选中的电压电平。

5. 根据权利要求 1 所述的本地开关逻辑单元，还包括第二输入线，用于接收指示所述包括 NAND 闪速存储器串的块未被选中的电压电平。

6. 根据权利要求 1 所述的本地开关逻辑单元，其中所述预定电压是地。

7. 一种用于降低包括 NAND 闪速存储器串的块中电源线页面编程引起的功耗的方法，所述 NAND 闪速存储器串连接到本地共同电源线，所述方法包括：

接收所述包括 NAND 闪速存储器串的块被选中的指示；

响应于接收到所述选中指示，允许在全局共同电源线上接收的信号传输到所述本地共同电源线上的所述包括 NAND 闪速存储器串的块；

接收使能指示；以及

响应于接收到所述使能指示，隔离所述本地共同电源线和预定电压。

8. 根据权利要求 7 所述的方法，其中所述预定电压是地。

9. 一种用于降低包括 NAND 闪速存储器串的块中电源线页面编程引起的功耗的方法，所述 NAND 闪速存储器串连接到本地共同电源线，所述方法包括：

接收所述包括 NAND 闪速存储器串的块未被选中的指示；

响应于接收到所述指示，隔离全局共同电源线和所述包括 NAND 闪速存储器串的块的所述本地共同电源线；

接收禁用指示；以及

响应于接收到所述禁用指示，将所述本地共同电源线连接到预定电压。

10. 根据权利要求 9 所述的方法，其中所述预定电压是地。

11. 一种存储器阵列，包括：

NAND 闪速单元块，所述 NAND 闪速单元块包括多个 NAND 闪速存储器串，所述多个 NAND 闪速存储器串中的每个 NAND 闪速存储器串连接到本地共同电源线；

本地开关逻辑单元，包括：

第一半导体开关，用于选择性地允许在所述本地共同电源线上将信号传输到所述 NAND 闪速单元块中的所述多个 NAND 闪速存储器串，其中在全局共同电源线上接收所述信号；以及

第二半导体开关，用于选择性地将预定电压施加到所述本地共同电源线。

12. 根据权利要求 11 所述的存储器阵列，其中，所述第一半导体开关是 n 型金属氧化物半导体 (NMOS) 晶体管。

13. 根据权利要求 12 所述的存储器阵列，其中，所述第二半导体开关是 n 型金属氧化物半导体 (NMOS) 晶体管。

14. 根据权利要求 11 所述的存储器阵列，其中所述本地开关逻辑还包括第一输入线，用于接收指示所述 NAND 闪速单元块被选中的电压电平。

15. 根据权利要求 14 所述的存储器阵列，还包括与所述 NAND 闪速单元块相关联的行解码器，用于接收行预解码信号，并基于所述行预解码信号在所述第一输入线上提供指示所述 NAND 闪速单元块被选中的电压电平。

16. 根据权利要求 15 所述的存储器阵列，其中所述本地开关逻辑还包括第二输入线，用于接收指示所述 NAND 闪速单元块未被选中的电压电平。

17. 根据权利要求 16 所述的存储器阵列，还包括与所述 NAND 闪速单元块相关联的本地电荷泵，用于从所述行解码器接收锁存信号，并基于所述锁存信号向所述第二输入线提供指示所述 NAND 闪速单元块未被选中的电压电平。

18. 根据权利要求 17 所述的存储器阵列，其中所述本地开关逻辑单元还包括第三半导体开关，用于选择性地允许在接地选择线上将接地选择信号传输给所述 NAND 闪速单元块中的所述多个 NAND 闪速存储器串。

19. 根据权利要求 18 所述的存储器阵列，其中基于所述第二输入线上的所述锁存信号传输所述接地选择信号。

20. 根据权利要求 11 所述的存储器阵列，其中所述预定电压是地。

NAND 闪速存储器中的分级共同电源线结构

[0001] 相关申请

[0002] 本发明要求 2007 年 12 月 21 日提交的美国临时专利申请 No. 61/015,909 的优先权，在此通过引用并入其全部内容。

技术领域

[0003] 本发明总体涉及 NAND（与非）闪速存储器，具体涉及用于这种存储器的分级的共同电源线结构。

背景技术

[0004] NAND 闪速存储器被提出作为替代个人计算机 (PC) 系统和服务器中长期使用的硬盘驱动器的主要存储部件。NAND 闪速存储器用“穿隧注入”进行写入，用“穿隧释放”进行擦除。这种写入和擦除使用也称为 Fowler-Nordheim 穿隧注入的量子隧穿效应，其中，通过一层薄的电绝缘层（栅极氧化物）将载流子注入电导体。

[0005] NAND 闪速存储器在半导体存储器系统中的最新扩展可至少部分归因于相对低的功耗特征，这使 NAND 闪速存储器特别适用于移动产品。

[0006] NAND 闪速存储器被布置成多个闪速存储单元串。位线和每个 NAND 存储单元串相关联。字线横过多个 NAND 存储单元串。因而，通过选择（即通过在其上施加适当的电压）特定位线和特定字线，可以选择特定闪速存储单元进行写入。

[0007] 对闪速存储单元进行编程时，向闪速存储单元的控制栅极施加编程电压，且将和包括该闪速存储单元的 NAND 存储单元串相关联的位线接地。来自 p 阱的电子注入闪速存储单元的浮接栅极。随着电子在浮接栅极聚集，浮接栅极带有负电荷，闪速存储单元的门限电压升高。为了向被编程的闪速存储单元的控制栅极施加编程电压，将该编程电压施加到适当的字线上。字线还连接到使用同一字线的每个其他 NAND 存储单元串的一个闪速存储单元的控制栅极。希望对字线上的一个闪速存储单元进行编程而不对连接到同一字线的其他闪速存储单元进行编程时会出现问题。由于将编程电压施加到连接到字线的所有闪速存储单元的控制栅极，字线上的未选的闪速存储单元（不对其编程的闪速存储单元），特别是和所选进行编程的闪速存储单元相邻的闪速存储单元可能会无意中被编程。对所选字线上的未选闪速存储单元的无意编程称为“编程干扰”。

[0008] 可用几种技术来防止编程干扰。一种称为“自增压”的方法中，在编程中，将未选位线电隔离，向未选字线施加传输电压 (pass voltage)（例如 10V）。未选字线和未选位线耦合，使未选位线的沟道中存在电压（例如 8V），从而倾向于降低编程干扰。自增压使得沟道中存在电压增加。电压增加倾向于降低穿隧氧化物上的电压并降低编程干扰。

[0009] 工艺技术的最新改进使得可实现更小的晶体管，并且降低了主电源电压 (V_{DD}) 电平。这种 V_{DD} 电平降低用于防止由对薄栅极氧化物隧穿操作的高电应力造成的晶体管损坏。

[0010] 然而，V_{DD} 电平降低减小了上述自增压编程方法（其中未选位线是电隔离的）的效用。为了防止在与向其施加编程高电压 (V_{pgm}) 的字线连接的闪速存储单元沟道中的编程干

扰，相关的编程抑制位线电压（至少 V_{DD}）应该保持尽可能高。

附图说明

[0011] 根据下文结合附图的详细描述，实施例的其他特征和益处将变得显而易见，其中：

[0012] 图 1 示出一对 NAND 存储单元串；

[0013] 图 2 是根据实施例的包括多个 NAND 闪速单元块的分级共同电源线结构的框图，每个 NAND 闪速单元块和本地开关逻辑单元和组合的行解码器和字线驱动器相关；

[0014] 图 3 是图 2 的一个 NAND 闪速单元块的框图，其具有相关的本地开关逻辑单元和组合的行解码器和字线驱动器；

[0015] 图 4 是图 3 中组合的行解码器和字线驱动器的框图，其包括行解码器、本地电荷泵和字线驱动器；

[0016] 图 5A 是图 4 行解码器的示意图；

[0017] 图 5B 是图 4 行解码器的时序图；

[0018] 图 6 是图 4 本地电荷泵的示意图；

[0019] 图 7 是图 4 字线驱动器的示意图；

[0020] 图 8 是图 3 中本地开关逻辑单元的框图；

[0021] 图 9 示出图 3 中 NAND 闪速单元块的元件；以及

[0022] 图 10 是图 3 中具有相关的本地开关逻辑单元和组合的行解码器和字线驱动器的 NAND 闪速单元块的时序图。

具体实施方式

[0023] 为了解决 NAND 闪速存储器在低功率和低电压操作时的期望高 V_{CC} 的问题，Ken Takeuchi 等（下文称为“Takeuchi”）提出了“A Source-LineProgramming Scheme For Low-Voltage Operation NAND Flash Memories”，Journal of Solid State Circuits，Vol.35 No.5，2000 年 5 月。

[0024] Takeuchi 的图 5 所示的编程干扰时间定义为 V_{th} 偏移 1.5V 的时间。通过 0V 位线可实现所选单元的编程，然后，将该单元编程为具有高 V_{th} 值作为编程后状态（逻辑上为“0”）。因而，未选单元晶体管沟道的自增压电平对于抑制由具有高编程电压（参看 Takeuchi 的图 2）的相同字线连接造成的编程干扰非常重要。然而，Takeuchi 没有提供未选单元晶体管沟道内的更高自增压电平。

[0025] 在本发明申请人 2008 年 2 月 6 日提交的美国申请序列号 11/026,825，“Source Side Asymmetrical Precharge Programming Scheme”中，发明人提出用于编程 NAND 存储单元串的方法，以降低编程干扰和 V_{pass} 干扰。在此通过引用将美国申请序列号 11/026,825 的内容并入。

[0026] 该方法包括用正向偏置的电源线对 NAND 串进行不对称预充电，同时将位线和 NAND 串去耦合，之后，向所选存储单元施加编程电压，然后，施加位线数据。在不对称预充电并施加编程电压之后，将所有所选存储单元设为编程抑制状态，同时，将所选存储单元和其各自 NAND 串中的其他存储单元去耦，将其沟道本地增压到可有效抑制编程的电压。V_{SS} 偏

置的位线将本地增压的沟道放电到 V_{SS}，从而，使得发生对所选存储单元的编程。V_{DD} 偏置的位线对于预充电的 NAND 串没有影响，因而，保持 NAND 串中的存储单元的编程抑制状态。

[0027] 图 1 示出两个 NAND 存储单元串。如从图 1 可见的，示例 NAND 存储单元串（见左侧）包括位线 102 和可选择的 32 个串联的浮接栅极存储单元，每个浮接栅极存储单元的浮接栅极连接到相应字线，字线标号为 WL0、WL1、WL2…WL30、WL31。用参考标号 104 指示 32 个串联的浮接栅极存储单元最上面的一个示例浮接栅极存储单元。示例 NAND 存储单元串还包括串选择晶体管 106，其漏极连接到位线 102，源极连接到示例浮接栅极存储单元 104 的漏极。串选择晶体管 106 的栅极连接到串选择线 (SSL)。

[0028] 示例 NAND 存储单元串包括接地选择晶体管 108，其漏极连接到 32 个串联的浮接栅极存储单元中最下面的浮接栅极存储单元的源极。接地选择晶体管 108 的源极连接到本地共同电源线 (CSL)。接地选择晶体管 108 的栅极连接到接地选择线 (GSL)。

[0029] 通常，将多个 NAND 存储单元串组合成块，其中，对于给定块，每个 NAND 存储单元串共用字线、接地选择线、本地共同电源线和串选择线。然后将这种块排列成块阵列。

[0030] 公知的是，用主核心控制块来控制 CSL 信号电平，对于整个块阵列而言可能只有一个主核心控制块。这种情况下，将 CSL 信号发送给阵列中所有的块。这种 CSL 可以称为全局共同电源线 (GCSL)。Chavallier 等人的美国专利 6,914,813“Segmented Non-Volatile Memory Block With MultipleSources Having Improved Source Line Decode Circuitry”（下文称为“Chavallier”）公开了全局电源线和本地电源线。Chavallier 公开了为不同块提供不同的电源线。

[0031] Chavallier 的图 9 示出所选块上的一个字线以 V_{pgm} 偏置且所选块的其余字线以 V_{pass} 偏置时本地电源线控制和用于页面编程操作的概念性全局和本地电源线结构。然而，Chavallier 没有提供足以用于电源线编程方案的逻辑组合。

[0032] 当在 NAND 闪速存储器中使用电源线编程方案时，将 GCSL 电平发送给阵列中的所有块。因而，发生 GCSL 电平改变操作时，例如，在编程操作之后，阵列中每个块的 GCSL 电平从高电压向接地的切换会花费时间且消耗功率。

[0033] 一个实施例中，多个 NAND 闪速单元块中的每个 NAND 闪速单元块和一个本地开关逻辑单元相关联。本地开关逻辑单元用于选通 GCSL 电平，以在相关联的 NAND 闪速单元块是所选 NAND 闪速单元块时，仅将 GCSL 电平传送给该相关联的 NAND 闪速单元块。如图 8 所示，根据一个实施例的本地开关逻辑单元 208 包括通常不存在的两个晶体管 (802、804)。在增加了所提出的逻辑后，可以降低由电源线编程引起的功耗。

[0034] 根据一个实施例，提供了一种用于降低包括 NAND 闪速存储器串的块中电源线页面编程引起的功耗的本地开关逻辑单元，这些 NAND 闪速存储器串连接到一个本地共同电源线。本地开关逻辑单元包括：第一半导体开关，用于选择性地允许在全局共同电源线上接收的信号传输到本地共同电源线上的所述包括 NAND 闪速存储器串的块；以及第二半导体开关，用于选择性地将预定电压施加到所述本地共同电源线。

[0035] 根据另一个实施例，提供了一种用于降低在包括 NAND 闪速存储器串的块中进行电源线页面编程引起的功耗的方法，这些 NAND 闪速存储器串连接到本地共同电源线。该方法包括：接收所述包括 NAND 闪速存储器串的块被选中的指示；而且，响应于接收到所述选中指示，允许在全局共同电源线上接收的信号传输到本地共同电源线上的所述包括 NAND

闪速存储器串的块。该方法还包括：接收使能指示；以及响应于接收到所述使能指示，隔离本地共同电源线和预定电压。

[0036] 根据另一个实施例，提供了一种用于降低在包括 NAND 闪速存储器串的块中进行电源线页面编程引起的功耗的方法，这些 NAND 闪速存储器串连接到一个本地共同电源线。该方法包括：接收所述包括 NAND 闪速存储器串的块未被选中的指示；以及响应于接收到所述指示，隔离全局共同电源线和所述包括 NAND 闪速存储器串的块的本地共同电源线。本方法还包括：接收禁用指示；以及响应于接收到所述禁用指示，将本地共同电源线连接到预定电压。

[0037] 根据另一个实施例，提供了一种存储器阵列。该存储器阵列包括：NAND 闪速单元块，所述 NAND 闪速单元块包括多个 NAND 闪速存储器串，所述多个 NAND 闪速存储器串中的每个 NAND 闪速存储器串连接到一个本地共同电源线；以及本地开关逻辑单元。该本地开关逻辑单元包括：第一半导体开关，用于选择性地允许在本地共同电源线上将信号传输到 NAND 闪速单元块中的多个 NAND 闪速存储器串，其中在全局共同电源线上接收所述信号；以及第二半导体开关，用于选择性地将预定电压施加到本地共同电源线。

[0038] 通过研读下面结合附图对本发明具体实施例的描述，本发明的其他方面和特征对本领域技术人员就是显见的。

[0039] 图 2 示出 NAND 闪速单元块 202 的示例阵列 200。如本领域技术人员所清楚的，简化了阵列 200，以便于图示。已知的 NAND 闪速单元块的多个阵列包括在单个阵列或平面结构中的至少 2048 个 NAND 闪速单元块。每个 NAND 闪速单元块 202 和本地开关逻辑单元 208 以及组合的行解码器和字线驱动器 210 相关联，并且接收来自该本地开关逻辑单元 208 以及来自该组合的行解码器和字线驱动器 210 的输入。特别地，每个本地逻辑开关单元 208 通信连接到相应的行解码器和字线驱动器 210。阵列 200 还包括全局开关逻辑单元 204，其接收来自电源线功率发生器 206 的输入，并通信连接到每个本地开关逻辑单元 208。此外，行预解码器 212 通信连接到每个组合的行解码器和字线驱动器 210。

[0040] 图 3 给出每个 NAND 闪速单元块 202 的详细图示。图 3 对本地开关逻辑单元 208 和 NAND 闪速单元块 202 之间的连接给出标示。具体而言，本地共同电源线 (CSL) 和接地选择线 (GSL) 将本地开关逻辑单元 208 连接到 NAND 闪速单元块 202。

[0041] 图 4 示出示例性的组合的行解码器和字线驱动器 210 中的各部件。如图 4 所示，组合的行解码器和字线驱动器 210 包括连接到本地电荷泵 404 的行解码器 402，本地电荷泵 404 进而连接到字线驱动器 406。行解码器 402 还连接到行预解码器 212。字线驱动器 406 通过多个字线连接到相关联的 NAND 闪速单元块 202。此外，行解码器 402 和本地电荷泵 404 保持到本地开关逻辑单元 208 的连接。

[0042] 如图 5A 所示，行解码器 402 包括与门 502，其被设置成接收来自行预解码器 212 的经预解码的行信息。感测晶体管 504 的栅极接收与门 502 的输出。一个实施例中，感测晶体管 504 是 n 型金属氧化物半导体 (NMOS) 晶体管。如 MOS 晶体管所固有的，感测晶体管 504 具有源极和漏极。感测晶体管 504 的源极连接到源极电源电压。感测晶体管 504 的漏极连接到 NMOS 锁存使能晶体管 506 的源极。锁存使能晶体管 506 的栅极接收来自一组周边块（未示出）中的一个的 LCHBD 信号。如从图 5B 的时序图可见的，LCHBD 信号是防止由毛刺引起的错误解码的脉冲。锁存使能晶体管 506 的漏极连接到地址锁存器 510 的两个端

子之一。如所示，地址锁存器 510 实现成交叉耦合的反相器。地址锁存器 510 的两个端子中的另外一个连接到 NMOS 重置晶体管 508 的漏极。重置晶体管 508 的栅极接收来自与从中接收 LCHBD 信号的周边块相同的周边块（未示出）的 RST_BD 信号。RST_BD 信号是在开始新的解码操作之前产生的脉冲。如从图 5B 的时序图可见的，RST_BD 信号将“BDLCH_out”初始化为低状态。连接到 NMOS 重置晶体管 508 的漏极的地址锁存器 510 的端子还可被视为行解码器 402 的两个输出之一 BDLCH_out，而行解码器 402 的两个输出中的另一个“DIS_EN”是从锁存使能晶体管 506 的漏极获得的。

[0043] 图 6 中，将本地电荷泵 404 示为高电压开关装置，用于控制字线驱动器 406 和本地开关逻辑单元 208 中的晶体管。本地电荷泵 404 通常包括一个增强型 NMOS 晶体管 610、两个耗尽型 NMOS 晶体管 602、606、一个原生的 NMOS 晶体管 608 和双输入与非门 604。当地址锁存器 510 的输出 BDLCH_out 是 V_{DD} 且 OSC 振荡时（注意，本地电荷泵是公知电路），本地电荷泵 404 的输出信号“BD_out”提升到 V_{hv} 612。当相关联的 NAND 闪速单元块 202 被选中时，BD_OUT ＝ V_{hv}612。当相关联的 NAND 闪速单元块 202 未被选中时，BD_OUT ＝ V_{SS}。

[0044] 图 7 示出字线驱动器 406 的细节，字线驱动器 406 接收 BD_out 信号，并将 BD_out 信号分发给多个 NMOS 晶体管的栅极。有 32 个字线的情况下，字线驱动器 406 中有 33 个 NMOS 晶体管：对应于每个字线有一个 NMOS 晶体管，还有一个串选择 NMOS 晶体管 TSS。为示出简便，图 7 仅示出了对应于字线 0、1、2、27、28、29、30 和 31 的 NMOS 晶体管 TS0、TS1、TS2…，TS27、TS28、TS29、TS30、TS31。

[0045] 除字线驱动器 406 之外，本地开关逻辑单元 208 还向 NAND 闪速单元块 202 提供输入。图 8 示出电源线页面编程方案中使用的本地开关逻辑单元 208 中的各元件。本地开关逻辑单元 208 包括接地选择线 (GSL) 晶体管 802。图 8 所示的 GSL 晶体管 802 是 NMOS 晶体管，其源极接收来自行预解码器 212 的接地选择 (GS) 信号。此外，本地开关逻辑单元 208 包括共同电源线 (CSL) 晶体管 804。图 8 所示的 CSL 晶体管 804 是 NMOS 晶体管，其源极连接到来自全局开关逻辑单元 204 的主电源线 (GCSL)。和字线驱动器 406 中的晶体管相同的是，来自本地电荷泵 404 的 BD_out 信号是 GSL 晶体管 802 的栅极和 CSL 晶体管 804 的栅极上的信号。本地开关逻辑单元 208 从行解码器 402 接收的 DIS_EN 信号连接到放电晶体管 806 的栅极。放电晶体管 806 的源极接地，放电晶体管 806 的漏极连接到 CSL 晶体管 804 的漏极。

[0046] 图 9 示出 NAND 闪速单元块 202 中的各元件。如所知的，NAND 闪速单元块 202 包括多个 NAND 存储单元串。图 9 中用参考标号 900 示出一个示例 NAND 存储单元串。示例 NAND 存储单元串 900 包括位线 902 和 32 个串联的浮接栅极存储单元，每个浮接栅极存储单元的浮接栅极连接到各个字线，字线标号为 WL0、WL1、WL2…WL30、WL31。图 9 中用参考标号 931 指示 32 个串联的浮接栅极存储单元中最上面的一个示例浮接栅极存储单元。示例 NAND 存储单元串 900 还包括串选择晶体管 904，其漏极连接到位线 902，源极连接到示例浮接栅极存储单元 931 的漏极。串选择晶体管 904 的栅极连接到从字线驱动器 406 接收的串选择线 (SSL)。

[0047] 示例 NAND 存储单元串 900 包括接地选择晶体管 906，其漏极连接到 32 个串联的浮接栅极存储单元中最下面的浮接栅极存储单元的源极。接地选择晶体管 906 的源极连接到从本地开关逻辑单元 208 接收的 CSL。接地选择晶体管 906 的栅极连接到从行预解码器

212 接收的 GSL。

[0048] 示例 NAND 存储单元串 900 通过奇数位选择线 (BSLo) 晶体管 908 连接到共用的二维页面缓冲器 910-0。示例 NAND 存储单元串 900 与另一个 NAND 存储单元串配对，后者通过偶数位选择线 (BSLe) 晶体管 912 连接到共用的二维页面缓冲器 910-0。虽然位线置于列方向，逻辑上讲，闪速存储单元部分是由行地址选择的。对于图 9 的示例，其中 NAND 存储单元串成对且和共用的二维页面缓冲器 910 相关联，物理上讲字线是 32 个，但是，逻辑上讲，有 64 个字线。所关心的存储单元的行地址是奇数时，在奇数位选择线晶体管 908 的栅极施加高 BSLo 值，从而选择和奇数的第 0 个位线“B/L0o”相关联的示例 NAND 存储单元串 900。发出读出操作时，向偶数位选择线晶体管 912 的栅极施加低 BSLe 值，从而不选择和偶数的第 0 个位线“B/L0e”相关联的 NAND 存储单元串。

[0049] 其他成对的 NAND 存储单元串与以下相关联：偶数的第 32767 个位线“B/L32767e”、奇数的第 32767 个位线“B/L32767o”以及第 32767 个共用的二维页面缓冲器 910-32767；和，偶数的第 34511 个位线“B/L34511e”、奇数的第 34511 个位线“B/L34511o”以及第 34511 个共用的二维页面缓冲器 910-34511。

[0050] 总而言之，图 2 的阵列 200 中，只有所选的 NAND 闪速单元块 202 在 CSL 上接收值，该值指示 GCSL 上的值。通过接地可禁用未选的 NAND 闪速单元块的 CSL。

[0051] 操作时，从电源线功率发生器 206 接收用于全局开关逻辑单元 204 的功率。全局开关逻辑单元 204 在 GCSL 上输出电压电平。每个本地开关逻辑单元 208 接收 GCSL 上的信号。根据行预解码器 212 的输出，选择 NAND 闪速单元块 202。

[0052] 和所选 NAND 闪速单元块 202 相关联的行解码器和字线驱动器 210 产生 V_{pgm} 电平作为 BD_out。响应于 BD_out 上的 V_{pgm} 电平，和所选 NAND 闪速单元块 202 相关联的本地开关逻辑单元 208 在 CSL 上传输在全局共同电源线上接收的信号。

[0053] 和每个所选 NAND 闪速单元块 202 相关联的组合的行解码器和字线驱动器 210 在 DIS_EN 上产生 V_{DD} 电平。响应于 DIS_EN 上的 V_{DD} 电平，和所选 NAND 闪速单元块 202 相关联的本地开关逻辑单元 208 偏置放电晶体管 806 使得 CLS 接地。

[0054] 图 10 示出对应于图 3 的 NAND 闪速单元块 202 是所选 NAND 闪速单元块的情况时行解码器 402 和本地开关逻辑单元 208 的时序图。这一结构称为“分级的”，这是由于，在给定时刻，一个 NAND 闪速单元块 202 的位置高于其他 NAND 闪速单元块。

[0055] 图 10 中用 t1001 指示编程准备阶段。在编程准备阶段 t1001，通过在 RST_BD 线上施加脉冲重置块解码器 402。块解码器 402 中的地址锁存器 510 的输出 BDLCH_out 的电平变为 0V。行预解码信号 Xp/Xq/Xr/Xt 一旦有效，块解码器 402 的锁存使能信号 LCHBD 就形成脉冲。在行预解码信号 Xp/Xq/Xr/Xt 匹配时，地址锁存器 510 的 BDLCH_out 上升到 VDD。本地电荷泵 404 中，在图 10 覆盖的整个编程期间 (t1 到 t7)，将 V_{hv} 设为 V_{pgm}。响应于 RST_BD 线上的脉冲，和每个未选 NAND 闪速单元块 202 相关联的 BD_out 降低到 0V。这样，未选块中的所有字线 WL0、WL1、WL2…WL30、WL31、SSL、GSL 和 CSL 都浮接。

[0056] 图 10 中用 t1002 指示的 NAND 串预充电阶段中，本地开关逻辑单元 208 接收到相应的 NAND 闪速单元块 202 被选中的指示。即，行解码器和字线驱动器 210 的输出信号 BD_out 上升到本地电荷泵 404 中的 V_{pgm}(＝ 18V)。响应于向 CSL 晶体管 804 的栅极施加 V_{pgm} 电平的 BD_out，CSL 晶体管 804 允许在 GCSL 上接收的信号在 CSL 上传输到所选 NAND 闪速单

元块 202；相应地，CSL 上升到 V4(＝ 10V)。BD_out 的信号上升到 V_{pgm} 的同时，来自行解码器 402 的锁存使能晶体管 506 的漏极的 DIS_EN 上的信号降低到接地，从而截止放电晶体管 806，并隔离 CSL 和地。DIS_EN 接地可被视为使能指示。

[0057] 对于未选的 NAND 闪速单元块 202，BD_out 保持接地，且和未选 NAND 闪速单元块 202 相关联的本地开关逻辑单元 208 可以认为 BD_out 接地指示没有选择该相关联的 NAND 闪速单元块 202。由于 CSL 晶体管 804 栅极上的接地 BD_out 信号，CSL 晶体管 804 保持截止，且 GCSL 和相关联 NAND 闪速单元块 202 的 CSL 隔离。将 BD_out 信号降低到接地的同时，来自行解码器 402 的锁存使能晶体管 506 的漏极的 DIS_EN 信号上升，从而导通放电晶体管 806，并且将 CSL 接地。DIS_EN 上的高电压电平可视为禁用指示。

[0058] BD_out 的改变导通字线驱动器 406 中的所有晶体管 TSS、TS0 到 TS31 和 GSL 晶体管 802 以及 CSL 晶体管 804。除了 Si+1 之外的所有 S 信号上升到 V2(V_{pass} ＝ 10V)，同时 Si+1 上升到 V3(V_{dcp} ＝ 4V)，GSL 上的信号上升到 V5(V_{gsl} ＝ 10V)。在 NAND 串预充电阶段 t1002 结束时，可认为所选 NAND 存储单元串是预充电了的。与所选 NAND 闪速单元块 202 相关联的本地开关逻辑单元 208 输出在 CSL 上的电平依照 GCSL 上的电平。

[0059] 图 10 中用 t1003 指示的增压阶段中，Si-1 返回 0V，GSL 上的信号返回 0V，所选 Si 上升到 V1(V_{pgm} ＝ 18V)，且 NAND 存储单元串中的所选浮动栅极存储单元的沟道从预充电的电平开始本地增压。

[0060] 图 10 中用 t1004 指示的位线数据加载阶段中，SS 上升到 V_{CC}，以将位线电压加载到所选 NAND 串上。如果编程数据是 1，位线电压是 V_{CC}，该电压保持所选浮动栅极存储单元中经预充电且经增压的沟道电压。如果编程数据是 0，位线电压是 0V，该电压使所选浮动栅极存储单元中经预充电且经增压的沟道电压放电。

[0061] 特别地，图 10 中用 t1005 指示的编程阶段的持续时间比图 10 中指示的其他阶段长。在编程阶段 t1005 期间中，保持所有信号电平。

[0062] 图 10 中用 t1006 指示的编程恢复阶段的第一部分中，可将对应于所选字线的 Si 放电到 0V，以避免编程恢复期间出现意外编程。在图 10 中用 t1007 指示的编程恢复阶段的第二部分中，核心中所有其他信号，包括 CSL 上的信号都放电。

[0063] 如本领域技术人员清楚的，CSL 晶体管 804 和放电晶体管 806 不一定必须是 NMOS 晶体管，根据相关阵列中使用的制造方法，其可以选自多种类型的半导体开关。

[0064] 因而，这里描述的分级的共同电源线结构偏置控制可以提供两大益处。一个益处是降低功耗。另一益处是，通过布置并激活放电晶体管 806，和所选 NAND 闪速单元块 202 相关联的 CSL 可具有高电压电平，而和其他 NAND 闪速单元块 202 相关联的 CSL 则具有地电平，所以电源线编程电平 (GCSL) 可快速放电到地。如本领域技术人员清楚的，上述结构中，GCSL 所感测到的容性负载比将 GCSL 提供给所有 NAND 闪速单元块的结构要明显低很多。

[0065] 上述本申请的实施例仅为示例之用。本领域技术人员可对特定实施例进行改变、修改和变化而不背离有所附权利要求限定的本发明范围。

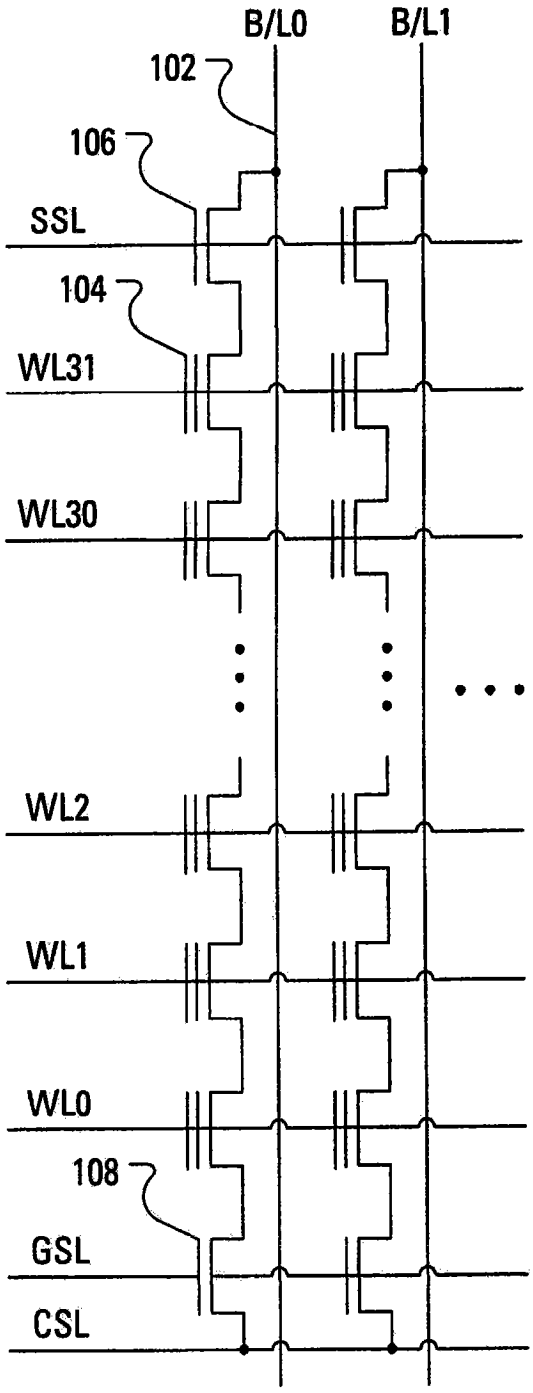


图 1

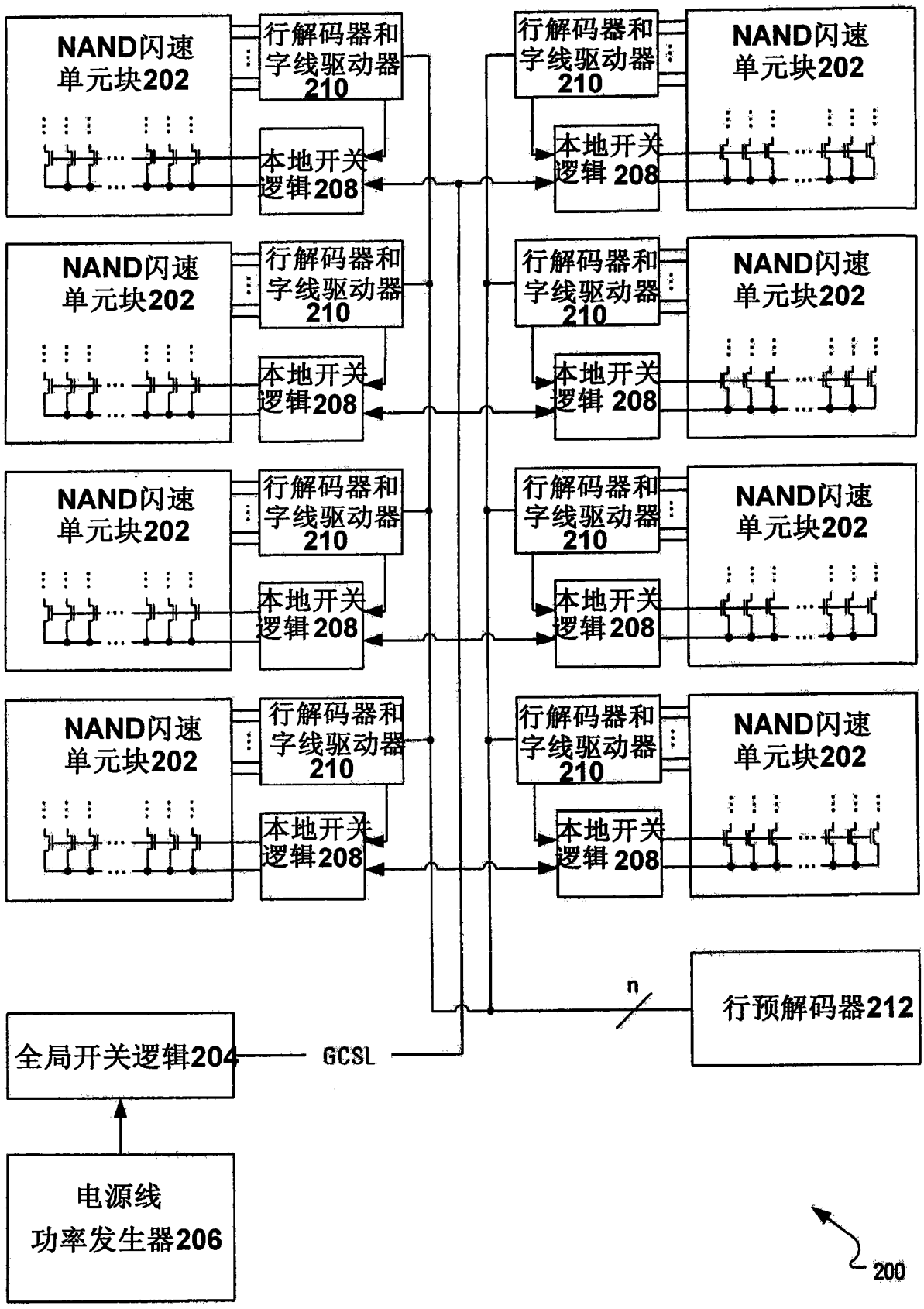

NAND闪速
单元块202
行解码器和
字线驱动器
210
本地开关
逻辑208
全局开关逻辑204
GCSL
n
行预解码器212
电源线
功率发生器206
200

图 2

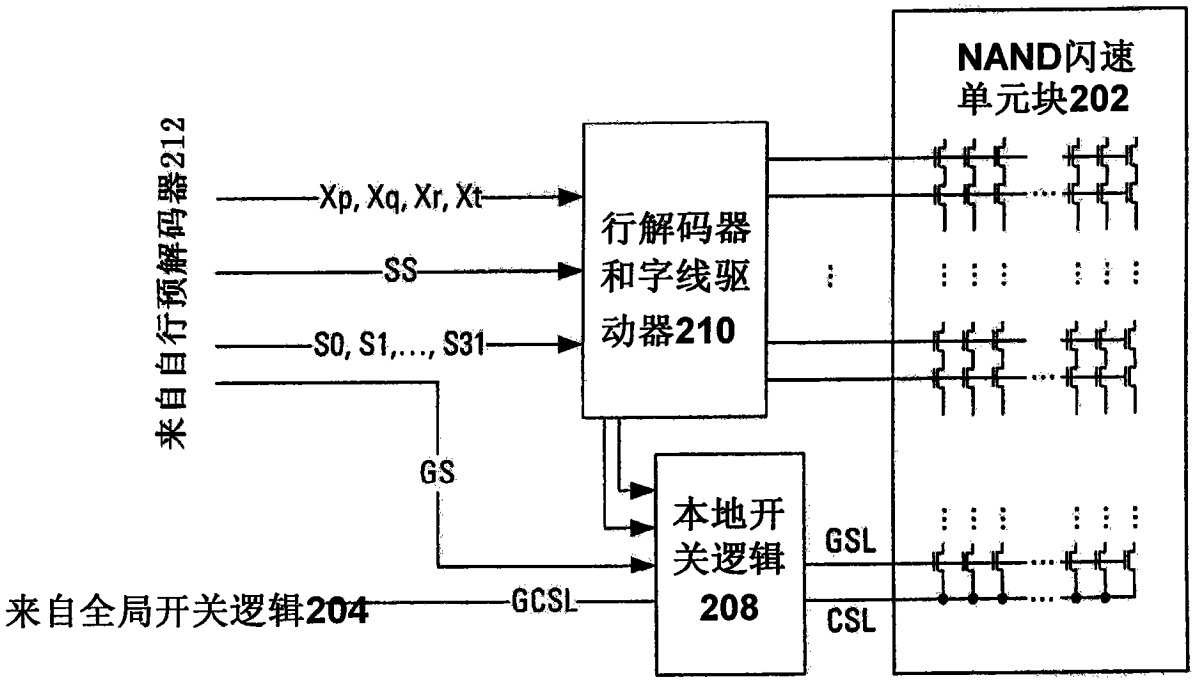

NAND闪速
单元块202
来自自行预解码器212
Xp, Xq, Xr, Xt
SS
S0, S1,..., S31
GS
行解码器
和字线驱
动器210
本地开
关逻辑
208
GSL
CSL
来自全局开关逻辑204
GCSL

图 3

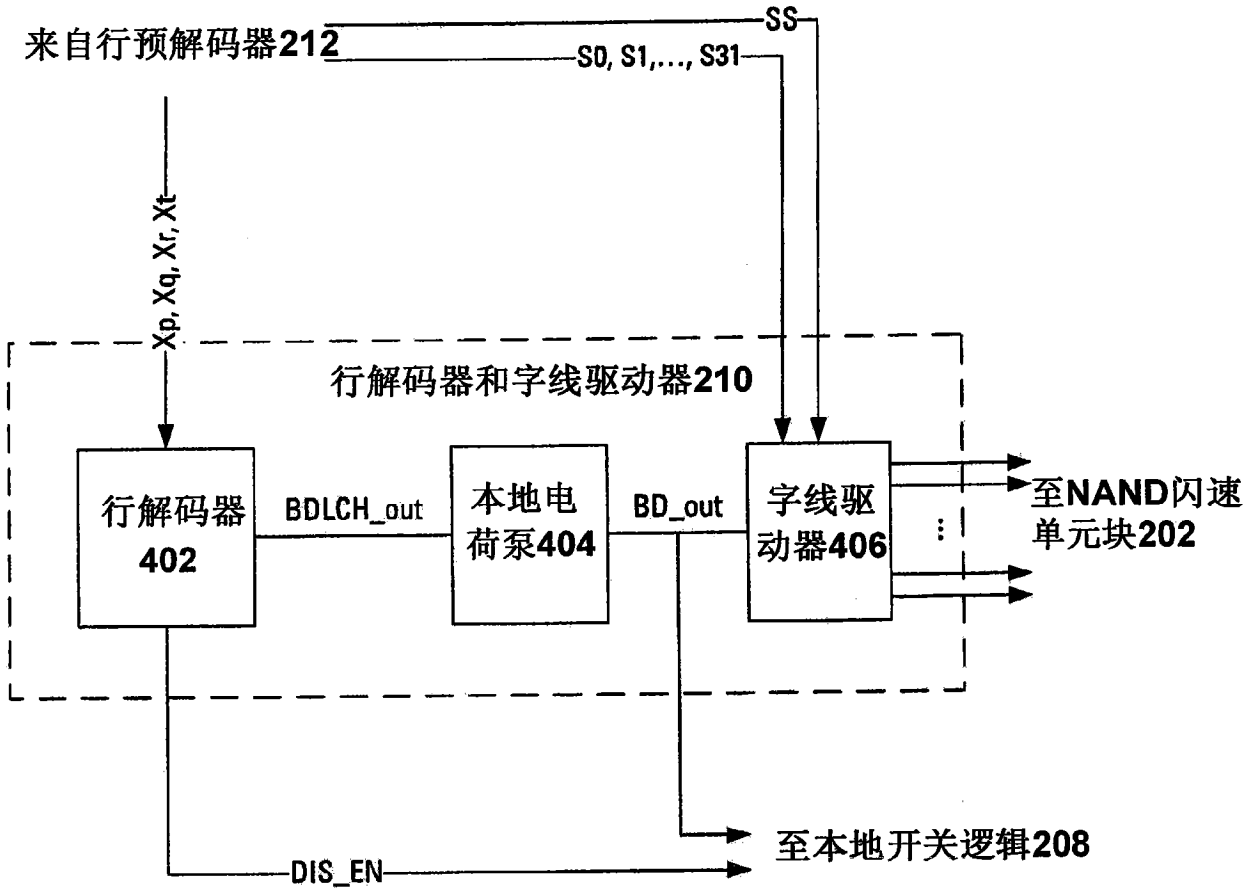

来自行预解码器212
SS
S0, S1,..., S31
Xp, Xq, Xr, Xt
行解码器和字线驱动器210
行解码器
402
BDLCH_out
本地电
荷泵404
BD_out
字线驱
动器406
至NAND闪速
单元块202
至本地开关逻辑208
DIS_EN

图 4

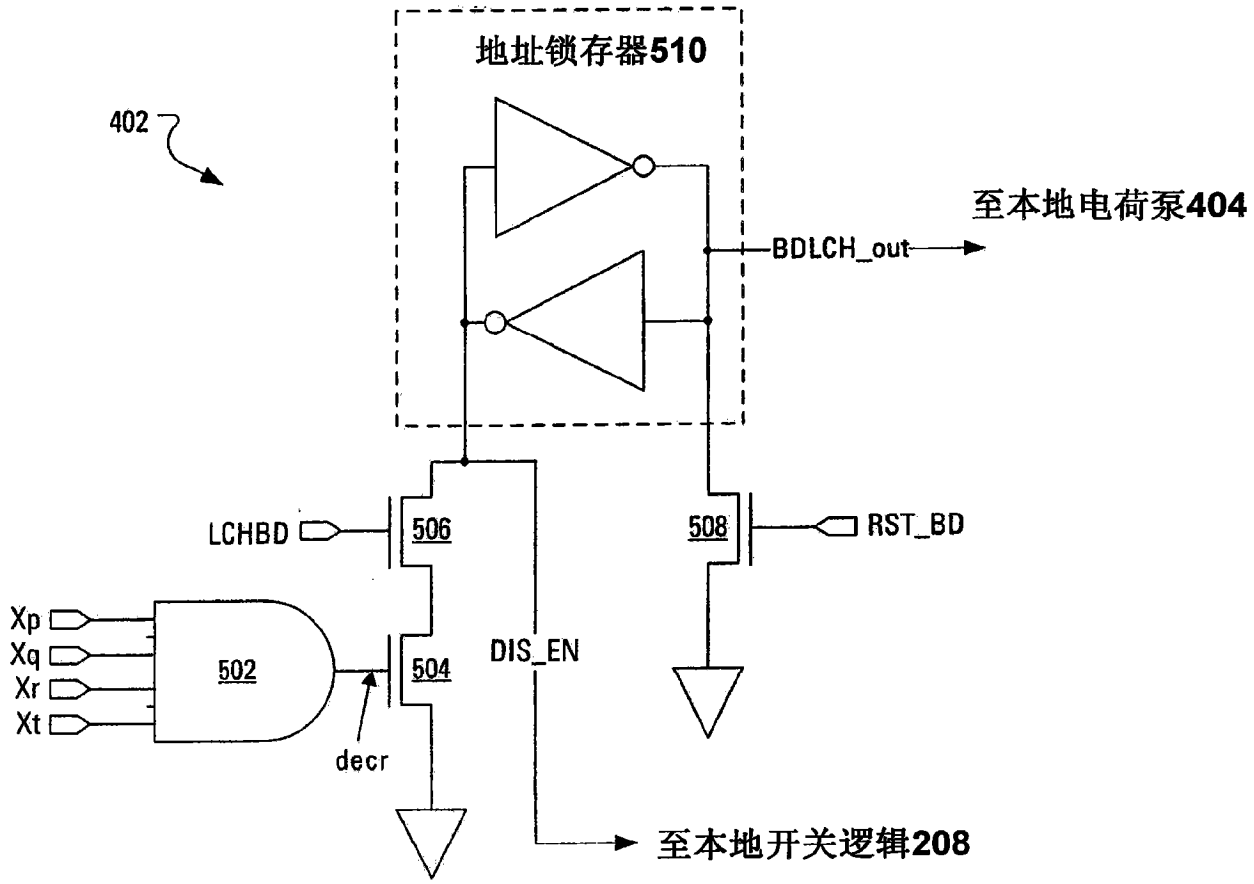

地址锁存器510
402
至本地电荷泵404
BDLCH_out
LCHBD
506
508
RST_BD
Xp
Xq
Xr
Xt
502
504
DIS_EN
decr
至本地开关逻辑208

图 5A

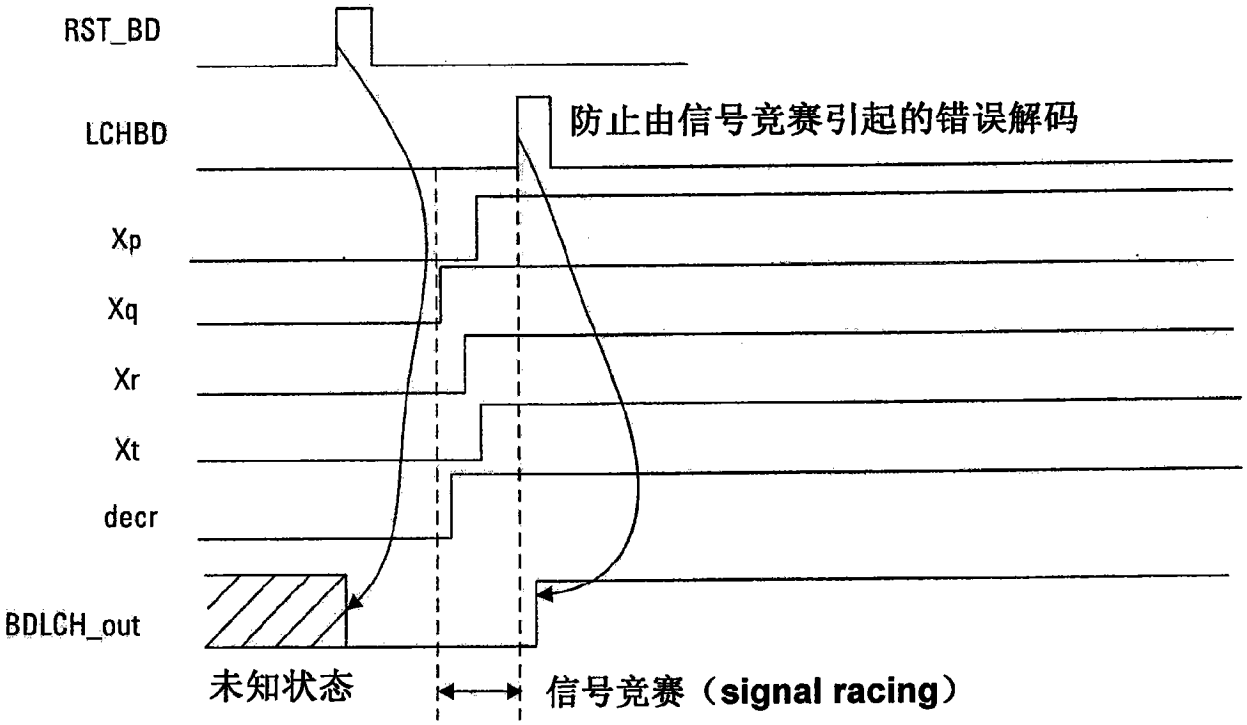

RST_BD
LCHBD
防止由信号竞赛引起的错误解码
Xp
Xq
Xr
Xt
decr
BDLCH_out
未知状态
信号竞赛（signal racing）

图 5B

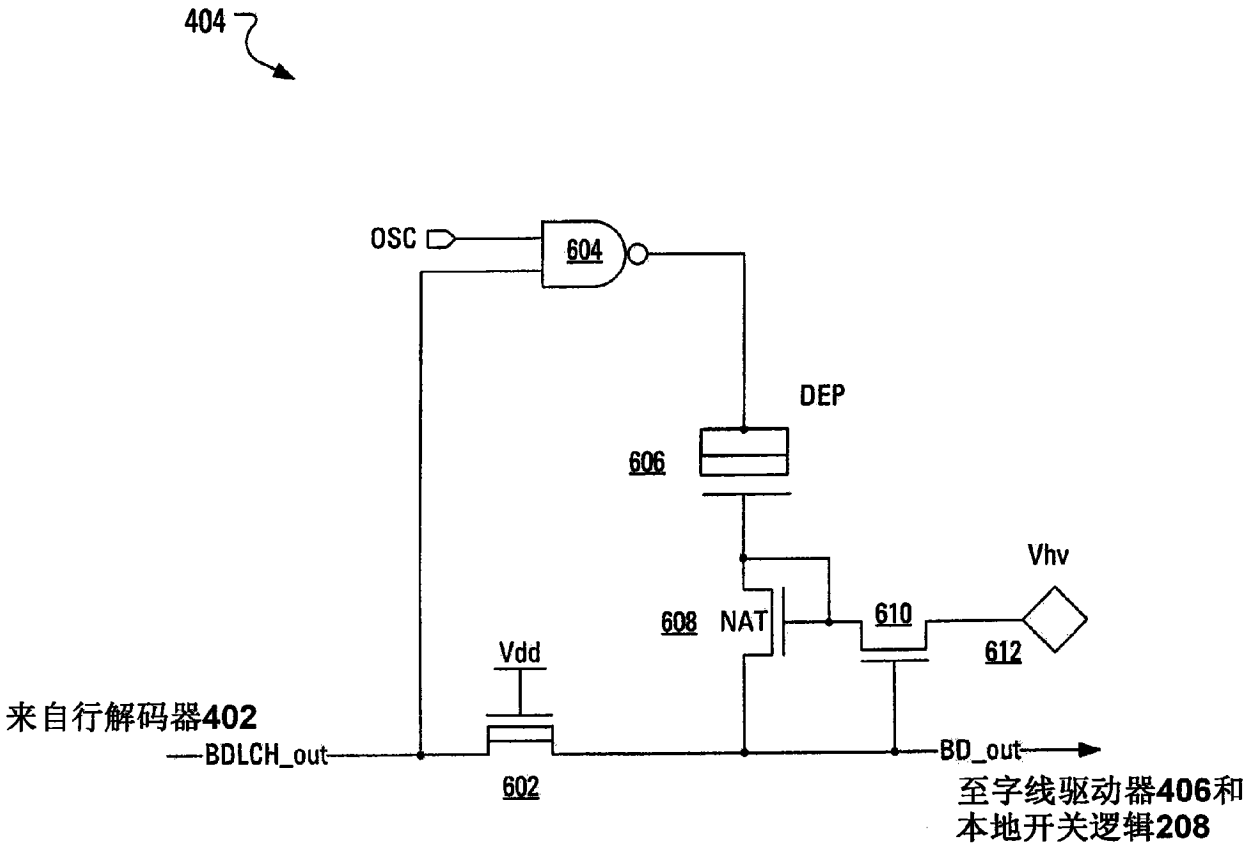

404
OSC
604
DEP
606
Vhv
608 NAT
610
612
Vdd
来自行解码器402
BDLCH_out
602
BD_out
至字线驱动器406和
本地开关逻辑208

图 6

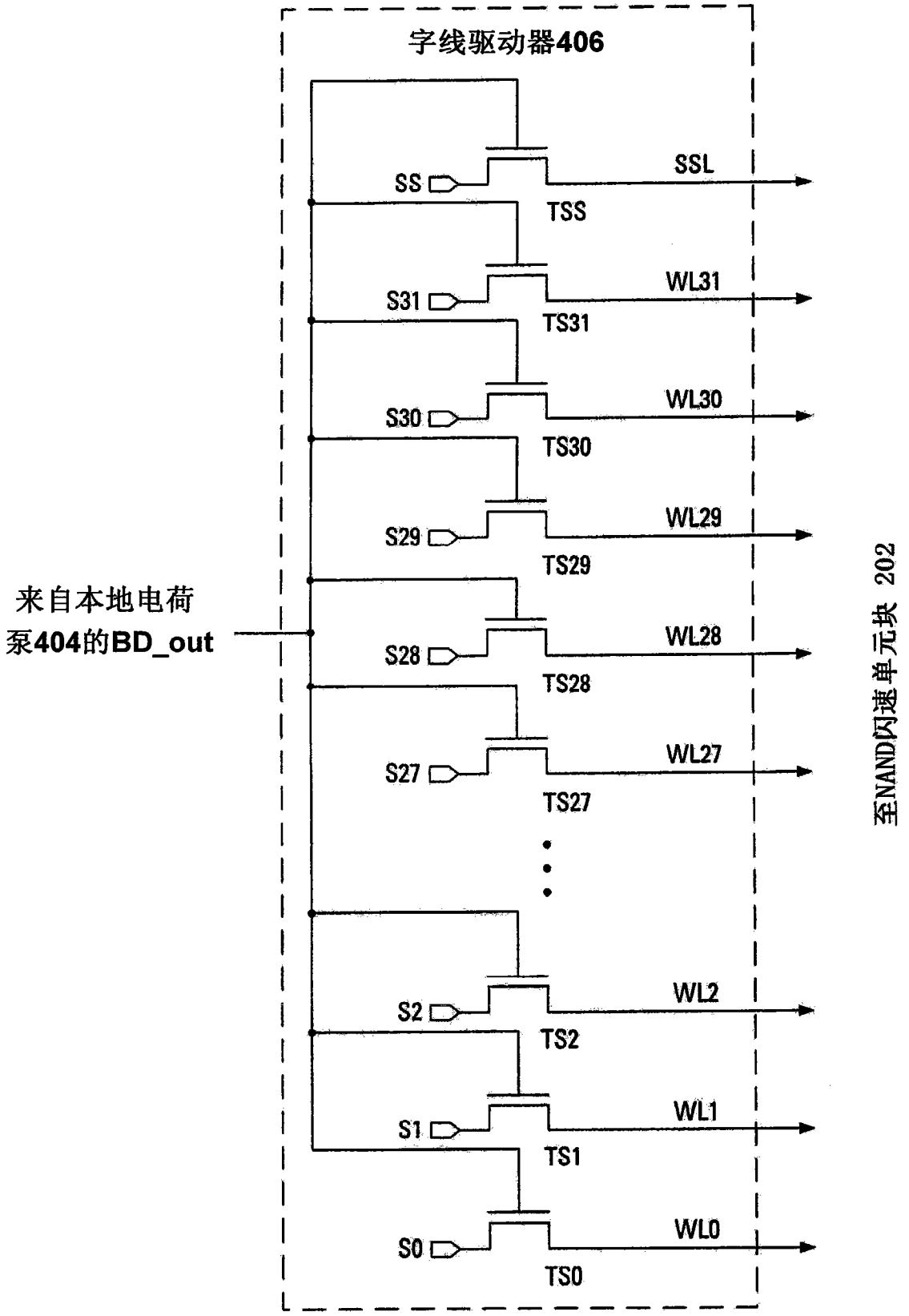

字线驱动器406
来自本地电荷泵404的BD_out
SS
SSL
TSS
S31
WL31
TS31
S30
WL30
TS30
S29
WL29
TS29
S28
WL28
TS28
S27
WL27
TS27
S2
WL2
TS2
S1
WL1
TS1
S0
WL0
TS0
至NAND闪速单元块 202

图 7

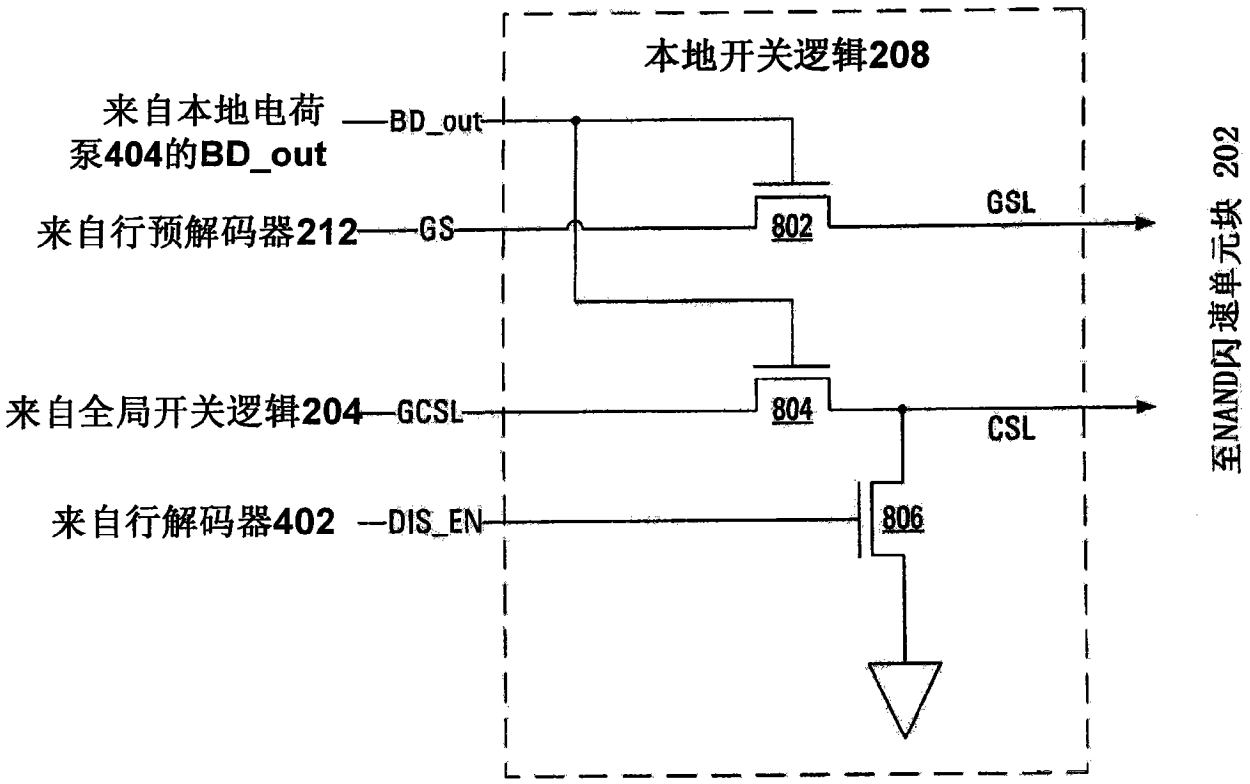

本地开关逻辑208
来自本地电荷泵404的BD_out
BD_out
来自行预解码器212
GS
802
GSL
来自全局开关逻辑204
GCSL
804
CSL
来自行解码器402
DIS_EN
806
至NAND闪速单元块 202

图 8

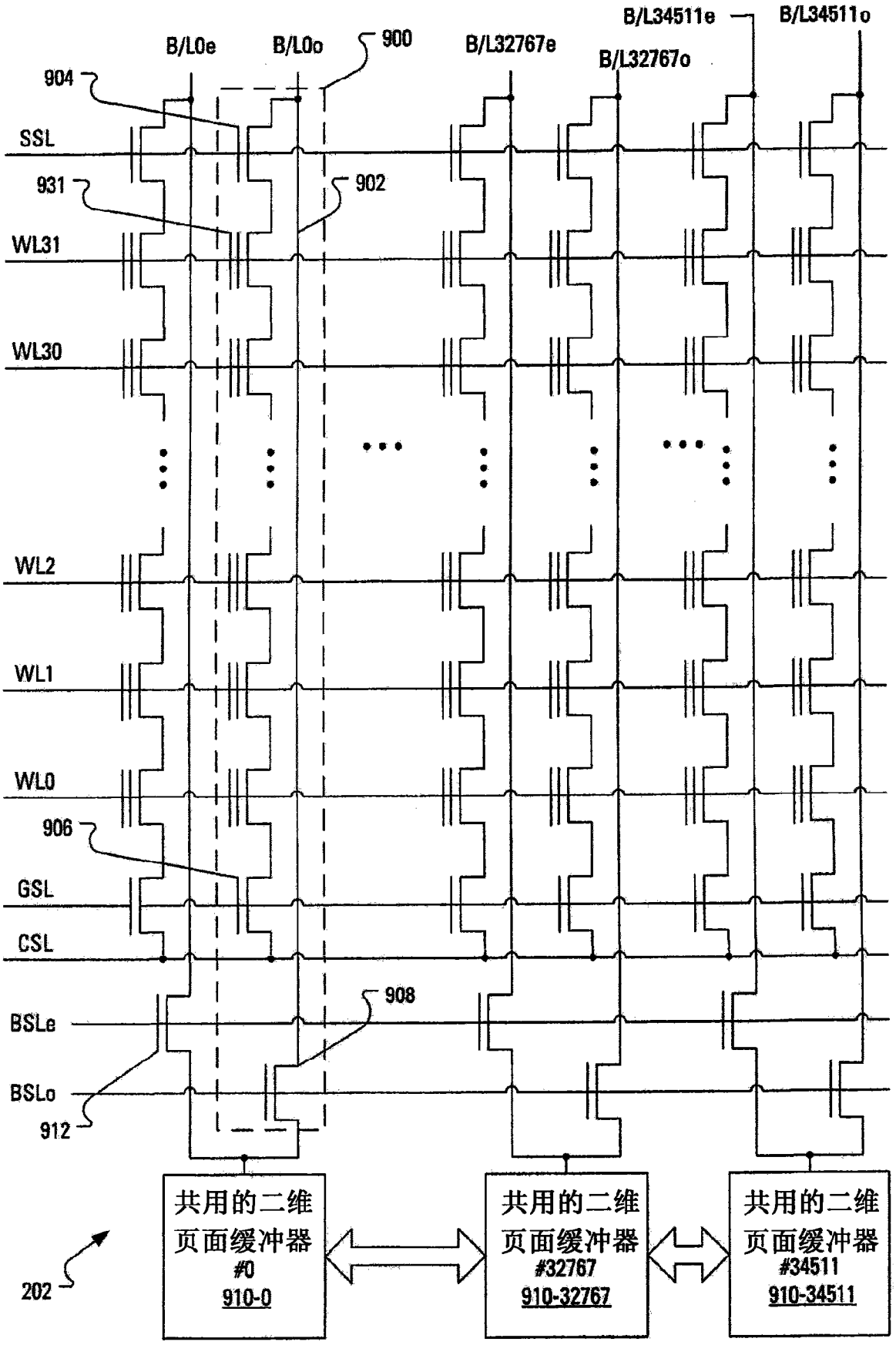

B/L0e
B/L0o
900
B/L32767e
B/L32767o
B/L34511e
B/L34511o
904
SSL
931
902
WL31
WL30
WL2
WL1
WL0
906
GSL
CSL
908
BSLe
BSLo
912
202
共用的二维页面缓冲器 #0 910-0
共用的二维页面缓冲器 #32767 910-32767
共用的二维页面缓冲器 #34511 910-34511

图 9

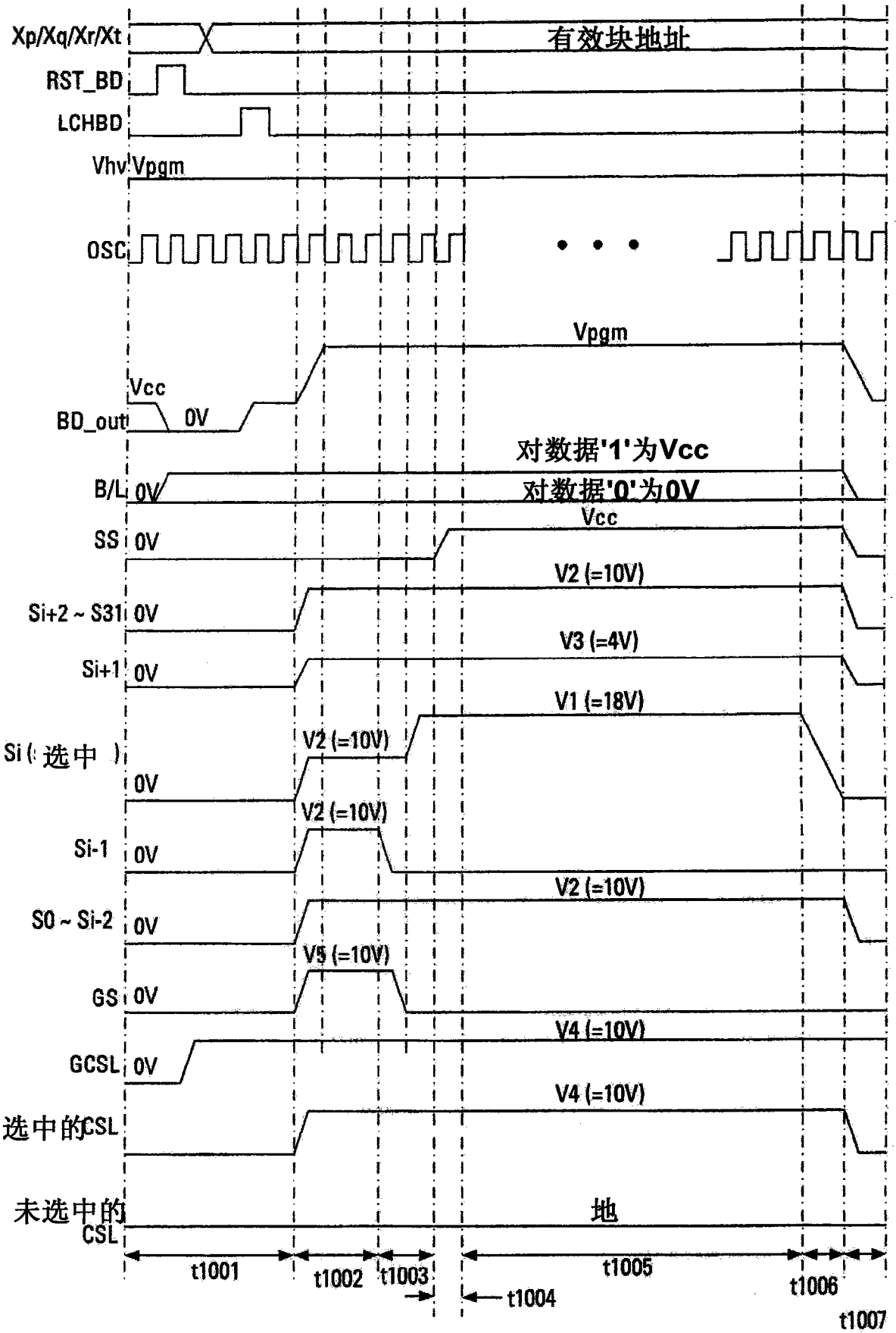

Xp/Xq/Xr/Xt
有效块地址
RST_BD
LCHBD
Vhv/Vpgm
OSC
Vpgm
Vcc
BD_out
0V
对数据'1'为Vcc
对数据'0'为0V
B/L
0V
SS
0V
Vcc
V2 (=10V)
Si+2 ~ S31
0V
V3 (=4V)
Si+1
0V
V1 (=18V)
Si (选中)
V2 (=10V)
0V
V2 (=10V)
Si-1
0V
V2 (=10V)
S0 ~ Si-2
0V
V5 (=10V)
GS
0V
V4 (=10V)
GCSL
0V
V4 (=10V)
选中的CSL
未选中的CSL
地
t1001
t1002
t1003
t1004
t1005
t1006
t1007

图 10