

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月19日(19.12.2024)



(10) 国際公開番号

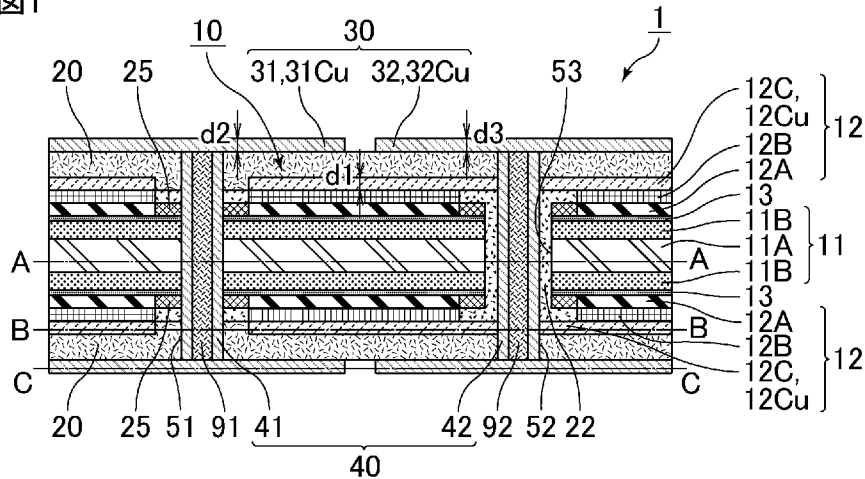
WO 2024/257530 A1

- (51) 国際特許分類:
H01G 9/012 (2006.01) H01G 9/048 (2006.01)
H01G 9/15 (2006.01)
- (21) 国際出願番号: PCT/JP2024/017754
- (22) 国際出願日: 2024年5月14日(14.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-099240 2023年6月16日(16.06.2023) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 吉川 真徳 (YOSHIKAWA, Masanori);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社村田製作所内 Kyoto (JP). ▲高
▼橋 章友 (TAKAHASHI, Akitomo); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 弁理士法人 W i s e P l u s
(WISEPLUS IP FIRM); 〒5320003 大阪府大阪
市淀川区宮原 3 丁目 5 番 3 6 号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: CAPACITOR ELEMENT

(54) 発明の名称: コンデンサ素子

図1



(57) Abstract: This capacitor element 1 comprises: a capacitor part 10 which comprises a positive electrode plate 11 that has a porous part 11B on at least one main surface of a core part 11A, a dielectric layer 13 that is provided on the surface of the porous part 11B, and a negative electrode layer 12 that is provided on the surface of the dielectric layer 13; a sealing layer 20 which is provided so as to cover the capacitor part 10; a first through-hole conductor 41 which is provided so as to penetrate through the capacitor part 10 and the sealing layer 20 in the thickness direction so as to be electrically directly connected to the positive electrode plate 11, and has both end parts led out to the surface of the sealing layer 20; a second through-hole conductor 42 which is provided so as to penetrate through the capacitor part 10 and the sealing layer 20 in the thickness direction so as to be electrically directly connected to the negative electrode layer 12, and has both end parts led out to the surface of the sealing layer 20; a first external electrode layer 31 which is provided on the surface of the sealing layer 20 so as to be electrically connected to the first through-hole conductor 41; and a second

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

external electrode layer 32 which is provided on the surface of the sealing layer 20 so as to be electrically connected to the second through-hole conductor 42. At least a part of the first external electrode layer 31 overlaps with the negative electrode layer 12 in the thickness direction.

(57) 要約: コンデンサ素子 1 は、芯部 1 1 A の少なくとも一方の主面に多孔質部 1 1 B を有する陽極板 1 1 と、多孔質部 1 1 B の表面に設けられた誘電体層 1 3 と、誘電体層 1 3 の表面に設けられた陰極層 1 2 と、を含むコンデンサ部 1 0 と、コンデンサ部 1 0 を覆うように設けられた封止層 2 0 と、陽極板 1 1 に電氣的に直接接続されるようにコンデンサ部 1 0 及び封止層 2 0 を厚さ方向に貫通するように設けられ、両方の端部が封止層 2 0 の表面に引き出された第 1 スルーホール導体 4 1 と、陰極層 1 2 に電氣的に直接接続されるようにコンデンサ部 1 0 及び封止層 2 0 を厚さ方向に貫通するように設けられ、両方の端部が封止層 2 0 の表面に引き出された第 2 スルーホール導体 4 2 と、第 1 スルーホール導体 4 1 に電氣的に接続されるように封止層 2 0 の表面に設けられた第 1 外部電極層 3 1 と、第 2 スルーホール導体 4 2 に電氣的に接続されるように封止層 2 0 の表面に設けられた第 2 外部電極層 3 2 と、を備え、第 1 外部電極層 3 1 の少なくとも一部は、厚さ方向において陰極層 1 2 に重なる。

明 細 書

発明の名称：コンデンサ素子

技術分野

[0001] 本発明は、コンデンサ素子に関する。

背景技術

[0002] 特許文献1には、少なくとも片面に多孔質部が設けられ所定の位置に貫通孔が形成された箔状の陽極と、上記陽極の多孔質部に形成された誘電体被膜と、上記誘電体被膜に形成された開口部を有する絶縁層と、上記絶縁層の開口部の上記誘電体被膜に形成された固体電解質層と、上記固体電解質層の少なくとも一部に形成され、上記陽極と略平行に配置された陰極と、上記絶縁層に形成された電極と、上記絶縁層及び上記陽極を貫通し、上記電極－上記陽極間を電気接続する及び／又は、上記絶縁層及び上記陰極を貫通し、上記電極－上記陰極間を電気接続するスルーホール電極を備え、上記スルーホール電極の少なくとも一つが、長孔形状である固体電解コンデンサが記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-281111号公報

発明の概要

発明が解決しようとする課題

[0004] 近年、電子機器の小型化及び高出力化に伴い、部品の高密度化が求められている。そのため、コンデンサ素子を電源直下の基板、例えばGPU（Graphical Processing Unit）基板等に埋め込むことが検討されている。当該用途では大電流が流されるが、従来のコンデンサ素子の構造では放熱性が不十分であり、コンデンサ素子の内部抵抗により熱が発生する可能性がある。このような各種部品からの発熱は、電子機器の安全性、信頼性、性能、寿命等に悪影響を及ぼす可能性がある。

[0005] 特許文献 1 に記載の固体電解コンデンサについても、放熱性を向上するという点で改善の余地があった。

[0006] 本発明は、上記の問題を解決するためになされたものであり、放熱性を向上することが可能なコンデンサ素子を提供することを目的とする。

課題を解決するための手段

[0007] 本発明のコンデンサ素子は、芯部の少なくとも一方の主面に多孔質部を有する陽極板と、上記多孔質部の表面に設けられた誘電体層と、上記誘電体層の表面に設けられた陰極層と、を含むコンデンサ部と、上記コンデンサ部を覆うように設けられた封止層と、上記陽極板に電氣的に直接接続されるように上記コンデンサ部及び上記封止層を厚さ方向に貫通するように設けられ、両方の端部が上記封止層の表面に引き出された第 1 スルーホール導体と、上記陰極層に電氣的に直接接続されるように上記コンデンサ部及び上記封止層を上記厚さ方向に貫通するように設けられ、両方の端部が上記封止層の表面に引き出された第 2 スルーホール導体と、上記第 1 スルーホール導体に電氣的に接続されるように上記封止層の表面に設けられた第 1 外部電極層と、上記第 2 スルーホール導体に電氣的に接続されるように上記封止層の表面に設けられた第 2 外部電極層と、を備え、上記第 1 外部電極層の少なくとも一部は、上記厚さ方向において上記陰極層に重なる。

発明の効果

[0008] 本発明によれば、放熱性を向上することが可能なコンデンサ素子を提供することができる。

図面の簡単な説明

[0009] [図1]図 1 は、本発明の第 1 実施形態に係るコンデンサ素子の一例を模式的に示す断面図である。

[図2]図 2 は、図 1 に示すコンデンサ素子の A－A 線に沿った平面図である。

[図3]図 3 は、図 1 に示すコンデンサ素子の B－B 線に沿った平面図である。

[図4]図 4 は、図 1 に示すコンデンサ素子の C－C 線に沿った平面図である。

[図5]図 5 は、本発明の第 1 実施形態に係るコンデンサ素子の別の一例を模式

的に示す断面図である。

[図6-1]図6-1は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、陽極板を準備する工程を示す。

[図6-2]図6-2は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、誘電体層を形成する工程を示す。

[図6-3]図6-3は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、絶縁マスク層を形成する工程を示す。

[図6-4]図6-4は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、固体電解質層を形成する工程を示す。

[図6-5]図6-5は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、第1導電体層を形成する工程を示す。

[図6-6]図6-6は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、貫通孔を形成する工程を示す。

[図6-7]図6-7は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、絶縁性材料を形成する工程を示す。

[図6-8]図6-8は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、絶縁性材料を研磨する工程を示す。

[図6-9]図6-9は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、第2導電体層を形成する工程を示す。

[図6-10]図6-10は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、封止層を形成する工程を示す。

[図6-11]図6-11は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、第1貫通孔及び第2貫通孔を形成する工程を示す。

[図6-12]図6-12は、図1に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、スルーホール導体及び外部電極層を形成する工程を示す。

[図7-1]図7-1は、図1に示すコンデンサ素子の製造方法の別の一例を説明する断面模式図であり、貫通孔を形成した後の状態を示す。

[図7-2]図7-2は、図1に示すコンデンサ素子の製造方法の別の一例を説明する断面模式図であり、絶縁性材料を形成する工程を示す。

[図7-3]図7-3は、図1に示すコンデンサ素子の製造方法の別の一例を説明する断面模式図であり、第2導電体層を形成する工程を示す。

[図7-4]図7-4は、図1に示すコンデンサ素子の製造方法の別の一例を説明する断面模式図であり、封止層を形成する工程を示す。

[図7-5]図7-5は、図1に示すコンデンサ素子の製造方法の別の一例を説明する断面模式図であり、第1貫通孔及び第2貫通孔を形成する工程を示す。

[図7-6]図7-6は、図1に示すコンデンサ素子の製造方法の別の一例を説明する断面模式図であり、スルーホール導体及び外部電極層を形成する工程を示す。

[図8]図8は、本発明の第2実施形態に係るコンデンサ素子の一例を模式的に示す平面図である。

[図9-1]図9-1は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、陽極板を準備する工程を示す。

[図9-2]図9-2は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、誘電体層を形成する工程を示す。

[図9-3]図9-3は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、絶縁マスク層を形成する工程を示す。

[図9-4]図9-4は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、固体電解質層を形成する工程を示す。

[図9-5]図9-5は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、第1導電体層を形成する工程を示す。

[図9-6]図9-6は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、貫通孔を形成する工程を示す。

[図9-7]図9-7は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、絶縁性材料を形成する工程を示す。

[図9-8]図9-8は、図8に示すコンデンサ素子の製造方法の一例を説明する

断面模式図であり、絶縁性材料を研磨する工程を示す。

[図9-9]図9-9は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、第2導電体層を形成する工程を示す。

[図9-10]図9-10は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、封止層を形成する工程を示す。

[図9-11]図9-11は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、第1貫通孔及び第2貫通孔を形成する工程を示す。

[図9-12]図9-12は、図8に示すコンデンサ素子の製造方法の一例を説明する断面模式図であり、スルーホール導体及び外部電極層を形成する工程を示す。

発明を実施するための形態

[0010] 以下、本発明のコンデンサ素子について説明する。なお、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更されてもよい。また、以下において記載する個々の好ましい構成を複数組み合わせたものもまた本発明である。

[0011] 以下に示す各実施形態は例示であり、異なる実施形態で示す構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第2実施形態以降では、第1実施形態と共通の事項についての記載は省略し、異なる点を主に説明する。特に、同様の構成による同様の作用効果については、実施形態毎に逐次言及しない。

[0012] 以下の説明において、各実施形態を特に区別しない場合、単に「本発明のコンデンサ素子」と言う。

[0013] 本明細書において、要素間の関係性を示す用語（例えば「垂直」、「平行」、「直交」等）及び要素の形状を示す用語は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数%程度の差異をも含むことを意味する表現である。

[0014] 以下に示す図面は模式図であり、その寸法、縦横比の縮尺等は実際の製品と異なる場合がある。

[0015] [第1実施形態]

図1は、本発明の第1実施形態に係るコンデンサ素子の一例を模式的に示す断面図である。図2は、図1に示すコンデンサ素子のA-A線に沿った平面図である。図3は、図1に示すコンデンサ素子のB-B線に沿った平面図である。図4は、図1に示すコンデンサ素子のC-C線に沿った平面図である。なお、図1は、図2～図4に示すコンデンサ素子のD-D線に沿った断面図である。

[0016] 図1～図4に示すコンデンサ素子1は、コンデンサ部10と、コンデンサ部10を覆うように設けられた封止層20と、コンデンサ部10及び封止層20を厚さ方向に貫通するように設けられ、両方の端部が封止層20の表面に引き出されたスルーホール導体40と、スルーホール導体40に電氣的に接続されるように封止層20の表面に設けられた外部電極層30と、を備える。

[0017] 図1～図4に示す例では、封止層20の内部に1個のコンデンサ部10が配置されている。封止層20の内部に配置されるコンデンサ部10の数は特に限定されず、1個でもよく、複数個でもよい。

[0018] コンデンサ部10は、芯部11Aの少なくとも一方の主面に多孔質部11Bを有する陽極板11と、多孔質部11Bの表面に設けられた誘電体層13と、誘電体層13の表面に設けられた陰極層12と、を含む。これにより、コンデンサ部10は、電解コンデンサを構成する。図1に示す例では、陽極板11は、芯部11Aの両方の主面に多孔質部11Bを有するが、芯部11Aのいずれか一方の主面のみに多孔質部11Bを有してもよい。

[0019] 陰極層12は、例えば、誘電体層13の表面に設けられた固体電解質層12Aを含む。陰極層12が固体電解質層12Aを含む場合、コンデンサ部10は、固体電解コンデンサを構成する。

[0020] 封止層20は、図1に示すように、コンデンサ部10の厚さ方向の相対する両方の主面に設けられていることが好ましい。封止層20によってコンデンサ部10が保護される。

- [0021] 封止層 20 は、1 層のみから構成されてもよく、2 層以上から構成されてもよい。封止層 20 が 2 層以上から構成される場合、各層を構成する材料は、それぞれ同じであってもよく、異なってもよい。
- [0022] 封止層 20 は、例えば、絶縁性樹脂シートを熱圧着する方法、絶縁性樹脂ペーストを塗工した後で熱硬化させる方法等により、コンデンサ部 10 を封止するように形成される。
- [0023] 図 1 に示す例では、スルーホール導体 40 は、陽極板 11 に電氣的に接続される第 1 スルーホール導体 41 と、陰極層 12 に電氣的に接続される第 2 スルーホール導体 42 と、を含む。
- [0024] 第 1 スルーホール導体 41 は、コンデンサ部 10 及び封止層 20 を厚さ方向に貫通する第 1 貫通孔 51 の少なくとも内壁面に設けられていればよい。第 1 スルーホール導体 41 は、第 1 貫通孔 51 の内壁面のみに設けられていてもよく、第 1 貫通孔 51 の内部全体に設けられていてもよい。
- [0025] 図 3 に示すように、厚さ方向からの平面視で、陰極層 12 の内部には、1 個の第 1 スルーホール導体 41 が設けられていてもよく、2 個以上の第 1 スルーホール導体 41 が設けられていてもよい。
- [0026] 第 2 スルーホール導体 42 は、コンデンサ部 10 及び封止層 20 を厚さ方向に貫通する第 2 貫通孔 52 の少なくとも内壁面に設けられていればよい。第 2 スルーホール導体 42 は、第 2 貫通孔 52 の内壁面のみに設けられていてもよく、第 2 貫通孔 52 の内部全体に設けられていてもよい。
- [0027] 図 1 に示すように、第 2 スルーホール導体 42 とコンデンサ部 10（特に陽極板 11）との間には、絶縁性材料 22 が充填されていることが好ましい。
- [0028] 図 3 に示すように、厚さ方向からの平面視で、陰極層 12 の内部には、1 個の第 2 スルーホール導体 42 が設けられていてもよく、2 個以上の第 2 スルーホール導体 42 が設けられていてもよい。
- [0029] 図 1 ～図 4 には示されていないが、スルーホール導体 40 は、陽極板 11 及び陰極層 12 に電氣的に接続されない第 3 スルーホール導体を含んでもよ

い。

- [0030] 外部電極層 30 は、第 1 スルーホール導体 41 及び陽極板 11 に電氣的に接続される第 1 外部電極層 31 と、第 2 スルーホール導体 42 及び陰極層 12 に電氣的に接続される第 2 外部電極層 32 と、を含む。
- [0031] 1 個のコンデンサ部 10 に対して、1 個の第 1 外部電極層 31 が設けられていてもよく、複数個の第 1 外部電極層 31 が設けられていてもよい。同様に、1 個のコンデンサ部 10 に対して、1 個の第 2 外部電極層 32 が設けられていてもよく、複数個の第 2 外部電極層 32 が設けられていてもよい。1 個のコンデンサ部 10 に対して、第 1 外部電極層 31 の数は、第 2 外部電極層 32 の数と同じであってもよく、異なってもよい。
- [0032] 厚さ方向から見たときの外部電極層 30 の平面形状は特に限定されず、例えば、矩形（正方形又は長方形）、矩形以外の四角形、三角形、五角形、六角形等の多角形、円形、楕円形、これらを組み合わせた形状等が挙げられる。また、外部電極層 30 の平面形状は、L 字型、C 字型（コの字型）、階段型等であってもよい。
- [0033] 厚さ方向から見たときの第 1 外部電極層 31 の平面形状は、厚さ方向から見たときの第 2 外部電極層 32 の平面形状と同じであってもよく、異なってもよい。
- [0034] 陰極層 12 の引き出しは、後述する図 5 に示す例のように内部ビア導体によって行われてもよいが、図 1 に示す例では、第 2 スルーホール導体 42 が陰極層 12 に電氣的に直接接続されており、陰極層 12 の引き出しは、第 2 スルーホール導体 42 によって行われている。このように、第 2 スルーホール導体 42 が陰極層 12 に電氣的に直接接続されることで、内部ビア導体のみで引き出す場合に比べ、放熱の経路、すなわち放熱の面積を増加することができる。また、図 1 に示す例では、第 1 外部電極層 31 の少なくとも一部は、厚さ方向において陰極層 12 に重なっており、これによっても、放熱の面積が増加する。以上より、コンデンサ素子 1 の放熱性を向上することができる。また、その結果、コンデンサ素子 1 の発熱による温度上昇を抑制する

ことができる。

[0035] また、第2スルーホール導体42が陰極層12に電氣的に直接接続されることで、第2スルーホール導体42と陰極層12とが、異種材料である樹脂部を介さずに直に接するため、コンデンサ素子1の剛性を向上することができる。同様に、第1外部電極層31の少なくとも一部が厚さ方向において陰極層12に重なることで、第1外部電極層31の面積を大きくできるため、コンデンサ素子1の剛性を向上することができる。図1に示す例のように陰極層12の引き出しを内部ビア導体によって行わない場合、コンデンサ素子1の薄型化が可能となる一方、コンデンサ素子1の反りが発生する可能性があるが、第1外部電極層31が陰極層12に重なることでコンデンサ素子1の剛性が向上し、そのような反りの発生を抑制することもできる。

[0036] さらに、第1外部電極層31の少なくとも一部が厚さ方向において陰極層12に重なることで、第1外部電極層31の面積を大きくできるため、外部からコンデンサ部10に水分や酸素等が侵入するのを抑制することができる。

[0037] 本明細書中、スルーホール導体が、陰極層や陽極板等の導電体層に電氣的に直接接続されるとは、スルーホール導体がビア導体や外部電極層を介して導電体層に電氣的に接続された構造（接続経路）だけを備えた場合を除外することを意味する。この場合、スルーホール導体は、貫通孔の内壁面で導電体層に電氣的に接続される、すなわち、スルーホール導体の側壁部が導電体層に電氣的に接続されることになる。図1に示す例では、第2スルーホール導体42は、第2貫通孔52の内壁面で陰極層12に電氣的に接続されている。

[0038] また、図1に示す例では、第1スルーホール導体41も陽極板11に電氣的に直接接続されており、第1スルーホール導体41は、第1貫通孔51の内壁面で陽極板11に電氣的に接続されている。

[0039] 第1外部電極層31は、図1に示すように、一部のみが厚さ方向において陰極層12に重なっていてもよい。第1外部電極層31の全体の面積に対す

る、厚さ方向において陰極層 12 に重なっている部分の面積の割合は、特に限定されないが、50%以上、90%以下であることが好ましく、60%以上、80%以下であることがより好ましい。

[0040] また、図 1 に示すように、陰極層 12 は、銅層 12Cu を含み、第 1 外部電極層 31 は、銅層 31Cu を含み、第 2 外部電極層 32 は、銅層 32Cu を含んでもよい。この場合、陰極層 12 の銅層 12Cu の厚みを d_1 、第 1 外部電極層 31 の銅層 31Cu の厚みを d_2 、第 2 外部電極層 32 の銅層 32Cu の厚みを d_3 とすると、 $d_1 \geq d_2$ かつ $d_1 \geq d_3$ を満たすことが好ましい。これにより、陰極層 12 への電流集中を抑制し、発熱を抑制することができる。また、陰極層 12 の銅層 12Cu の体積を大きくして熱拡散を促進し、コンデンサ部 10 へのダメージを抑制することができる。

[0041] d_2 に対する d_1 の比率、すなわち d_1 / d_2 は、 $1 < d_1 / d_2 < 3$ を満たすことが好ましく、 $1.5 < d_1 / d_2 < 2.5$ を満たすことがより好ましい。 d_3 に対する d_1 の比率、すなわち d_1 / d_3 は、 $1 < d_1 / d_3 < 3$ を満たすことが好ましく、 $1.5 < d_1 / d_3 < 2.5$ を満たすことがより好ましい。

[0042] なお、図 1 に示す例では、銅層 12Cu は、後述する陰極層 12 の第 2 導電体層 12C であり、銅層 31Cu は、第 1 外部電極層 31 であり、銅層 32Cu は、第 2 外部電極層 32 である。

[0043] また、陰極層 12 が銅層 12Cu を含む複数の層から構成される場合、銅層 12Cu は、陰極層 12 を構成する複数の層のうち、第 1 外部電極層 31 及び第 2 外部電極層 32 に最も近い 1 以上の層であることが好ましい。

[0044] また、第 1 外部電極層 31 が銅層 31Cu を含む複数の層から構成される場合、銅層 31Cu は、陰極層 12 を構成する複数の層のうち、いずれの層であってもよい。第 2 外部電極層 32 についても同様である。

[0045] 放熱性の観点からは、コンデンサ素子 1 の陽極と陰極の体積を合わせることが好ましい。そこで、陽極板 11 の体積と陰極層 12 の体積との比較に基づき、第 1 外部電極層 31 と第 2 外部電極層 32 との好ましい面積比率につ

いて説明する。

[0046] 陽極板 11 の芯部 11A の厚みを例えば $40\ \mu\text{m}$ 以上、 $60\ \mu\text{m}$ 以下とし、図 2 に示す図 1 の A-A 線に沿った平面内において、陽極板 11 の芯部 11A の面積を略 100% と仮定する。また、陽極板 11 の両方の主面側において、各陰極層 12 の銅層 12Cu の厚みを例えば略 $30\ \mu\text{m}$ とし、図 3 に示す図 1 の B-B 線に沿った平面内において、銅層 12Cu の面積を略 100% と仮定する。

[0047] ここで、銅の熱伝導率は、陽極板 11 の材料として好適なアルミニウムの熱伝導率の略 1.7 倍であり、上述のように、陽極板 11 の芯部 11A の面積と、芯部 11A の両側の各陰極層 12 の銅層 12Cu の面積とは、略同じである。したがって、芯部 11A の両側の陰極層 12 の銅層 12Cu の厚みの合計が $60\ \mu\text{m}$ の場合、陽極板 11 の芯部 11A に必要な厚みは、 $60 \times 1.7 = 102\ \mu\text{m}$ となる。そのため、熱伝導性（放熱性）は陰極の方が陽極よりも有利となる。また、後述する第 2 実施形態のように、陰極層 12 に内部ビア導体が接続される場合は、熱伝導性（放熱性）は陰極の方がさらに有利となる。

[0048] 以上より、内部の陽極及び陰極の体積のアンバランスを是正し、放熱性をより向上する観点からは、陽極板 11 に電氣的に接続される第 1 外部電極層 31 の面積を S_1 、陰極層 12 に電氣的に接続される第 2 外部電極層 32 の面積を S_2 としたとき、 $S_1 > S_2$ を満たすことが好ましい。また、 $S_1 > S_2$ を満たすことで、コンデンサ素子 1 が搭載される基板のアンジュレーション（うねり）も抑制することができる。

[0049] なお、本明細書中、単に「面積」という場合は、厚さ方向からの平面視における面積を意味する。

[0050] また、図 1 に示すように、コンデンサ部 10 の両方の主面側にそれぞれ第 1 外部電極層 31 及び第 2 外部電極層 32 が設けられる場合は、コンデンサ部 10 のそれぞれの主面側において $S_1 > S_2$ を満たすことがより好ましいが、コンデンサ部 10 の少なくとも一方の主面側において $S_1 > S_2$ を満た

してもよい。

- [0051] S_2 に対する S_1 の比率、すなわち S_1 / S_2 は、 $1 < S_1 / S_2 < 3$ 、 5 を満たすことが好ましく、 $1.5 < S_1 / S_2 < 3$ を満たすことがより好ましい。
- [0052] なお、 $S_1 > S_2$ や S_1 / S_2 等の比較は、コンデンサ部 10 の同一主面側に設けられた第 1 外部電極層 31 及び第 2 外部電極層 32 の面積に基づき行われる。
- [0053] 陰極層 12 は、誘電体層 13 の表面に設けられた固体電解質層 12A と、固体電解質層 12A の表面上に設けられた第 1 導電体層 12B と、第 2 スルーホール導体 42 に電氣的に直接接続されるように第 1 導電体層 12B の表面上に設けられた第 2 導電体層 12C と、を含むことが好ましい。これにより、第 2 スルーホール導体 42 を、陰極層 12 に容易に電氣的に直接接続することができる。
- [0054] また、図 1 に示す例では、陽極板 11 の芯部 11A の両方の主面側に、同様の要素（部材）が配置されている。これによっても、コンデンサ素子 1 の反りの発生を抑制することができる。また、コンデンサ部 10 の静電容量を向上することができる。
- [0055] また、コンデンサ素子 1 に設けられる第 1 スルーホール導体 41 及び第 2 スルーホール導体 42 の面積が同じであることが好ましく、コンデンサ素子 1 に設けられる第 1 スルーホール導体 41 及び第 2 スルーホール導体 42 の個数が同じであることがより好ましい。これにより、コンデンサ素子 1 の放熱性を均一化することができる。
- [0056] また、コンデンサ素子 1 に設けられるスルーホール導体 40（すなわち、第 1 スルーホール導体 41 及び第 2 スルーホール導体 42 を互いに区別しない。）は、等ピッチで配置されることが好ましい。これによっても、コンデンサ素子 1 の放熱性を均一化することができる。また、デラミネーションと呼ばれる剥離、例えば、陽極板からの陰極層の剥離等の発生を抑制することが可能である。

- [0057] コンデンサ部 10 は、陽極板 11 の少なくとも一方の主面において、スルーホール導体 40 の周囲に設けられた絶縁マスク層 25 をさらに含むことが好ましい。
- [0058] 図 1 に示す例では、第 1 スルーホール導体 41 と陰極層 12 との間に絶縁マスク層 25 が設けられている。また、図 1 に示す例では、第 2 スルーホール導体 42 とコンデンサ部 10（特に陽極板 11）との間に絶縁性材料 22 が充填されており、この絶縁性材料 22 と陰極層 12（例えば固体電解質層 12A）との間に絶縁マスク層 25 が設けられている。
- [0059] コンデンサ部 10 は、陽極板 11 の少なくとも一方の主面において、陰極層 12（例えば固体電解質層 12A。以下、この段落において同じ。）の周囲を囲むように設けられた絶縁マスク層 25 をさらに含んでもよい。陰極層 12 の周囲を絶縁マスク層 25 で囲むことによって、陽極板 11 と陰極層 12 との間の絶縁性が確保され、両者間の短絡が防止される。絶縁マスク層 25 は、陰極層 12 の周囲の一部を囲むように設けられていてもよいが、陰極層 12 の周囲の全体を囲むように設けられていることが好ましい。
- [0060] 図 5 は、本発明の第 1 実施形態に係るコンデンサ素子の別の一例を模式的に示す断面図である。
- [0061] 図 5 に示すコンデンサ素子 2 は、封止層 20 を厚さ方向に貫通するように設けられ、一方の端部が第 2 外部電極層 32 に電氣的に接続され、他方の端部が陰極層 12 に電氣的に接続された内部ビア導体 60 をさらに備える。このような内部ビア導体 60 を設けることによって、放熱性をより向上することができる。また、層間の密着性を向上し、デラミネーションの発生を抑制することが可能である。
- [0062] 図 5 に示す例では、内部ビア導体 60 の一方の端部が封止層 20 の表面に引き出されている。
- [0063] また、内部ビア導体 60 は、陰極層 12 に電氣的に接続されている。これにより、陰極層 12 が、内部ビア導体 60 及び第 2 スルーホール導体 42 を介して封止層 20 の外部に電氣的に導出され、封止層 20 の外部に電氣的に

接続可能となる。陰極層 12 に電氣的に接続される内部ビア導体 60 は、1 個でもよく、2 個以上でもよい。

[0064] 図 5 には示されていないが、コンデンサ素子 2 には、陽極板 11 に電氣的に接続される内部ビア導体 60 が含まれていてもよい。この場合、陽極板 11 が、内部ビア導体 60 を介して封止層 20 の外部に電氣的に導出され、封止層 20 の外部に電氣的に接続可能となる。陽極板 11 に電氣的に接続される内部ビア導体 60 は、1 個でもよく、2 個以上でもよい。

[0065] 以下では、コンデンサ素子 1、2 等の詳細な構成について説明する。

[0066] 厚さ方向から見たときのコンデンサ部 10 の平面形状としては、例えば、矩形（正方形又は長方形）、矩形以外の四角形、三角形、五角形、六角形等の多角形、円形、楕円形、これらを組み合わせた形状等が挙げられる。また、コンデンサ部 10 の平面形状は、L 字型、C 字型（コの字型）、階段型等であってもよい。

[0067] 陽極板 11 は、いわゆる弁作用を示す弁作用金属からなることが好ましい。弁作用金属としては、例えば、アルミニウム、タンタル、ニオブ、チタン、ジルコニウム等の金属単体、又は、これらの金属を少なくとも 1 種含む合金等が挙げられる。これらの中では、アルミニウム又はアルミニウム合金が好ましい。

[0068] 陽極板 11 の形状は、平板状であることが好ましく、箔状であることがより好ましい。このように、本明細書中では、「板状」に「箔状」も含まれる。

[0069] 陽極板 11 は、芯部 11A の少なくとも一方の主面に多孔質部 11B を有していればよい。つまり、陽極板 11 は、後述する第 2 実施形態のように芯部 11A の一方の主面のみに多孔質部 11B を有していてもよいし、芯部 11A の両方の主面に多孔質部 11B を有していてもよい。多孔質部 11B は、芯部 11A の表面に形成された多孔質層であることが好ましく、エッチング層であることがより好ましい。

[0070] エッチング処理前の陽極板 11 の厚さは、 $60\ \mu\text{m}$ 以上、 $200\ \mu\text{m}$ 以下

であることが好ましい。エッチング処理後にエッチングされていない芯部 11A の厚さは、 $15\text{ }\mu\text{m}$ 以上、 $70\text{ }\mu\text{m}$ 以下であることが好ましい。多孔質部 11B の厚さは要求される耐電圧、静電容量に合わせて設計されるが、芯部 11A の両側の多孔質部 11B を合わせて $10\text{ }\mu\text{m}$ 以上、 $180\text{ }\mu\text{m}$ 以下であることが好ましい。

[0071] 多孔質部 11B の孔径は、 10 nm 以上、 600 nm 以下であることが好ましい。なお、多孔質部 11B の孔径とは、水銀ポロシメータにより測定されるメジアン径 $D50$ を意味する。多孔質部 11B の孔径は、例えばエッチングにおける各種条件を調整することにより制御することができる。

[0072] 多孔質部 11B の表面に設けられる誘電体層 13 は、多孔質部 11B の表面状態を反映して多孔質になっており、微細な凹凸状の表面形状を有している。誘電体層 13 は、上記弁作用金属の酸化皮膜からなることが好ましい。例えば、陽極板 11 としてアルミニウム箔が用いられる場合、アジピン酸アンモニウム等を含む水溶液中でアルミニウム箔の表面に対して陽極酸化処理（化成処理ともいう）を行うことにより、酸化皮膜からなる誘電体層 13 を形成することができる。

[0073] 誘電体層 13 の厚さは要求される耐電圧、静電容量に合わせて設計されるが、 10 nm 以上、 100 nm 以下であることが好ましい。

[0074] 陰極層 12 が固体電解質層 12A を含む場合、固体電解質層 12A を構成する材料としては、例えば、ポリピロール類、ポリチオフェン類、ポリアニリン類等の導電性高分子等が挙げられる。これらの中では、ポリチオフェン類が好ましく、PEDOT と呼ばれるポリ（3，4-エチレンジオキシチオフェン）が特に好ましい。また、上記導電性高分子は、ポリスチレンスルホン酸（PSS）等のドーパントを含んでいてもよい。なお、固体電解質層 12A は、誘電体層 13 の細孔（凹部）を充填する内層と、誘電体層 13 を被覆する外層とを含むことが好ましい。

[0075] 多孔質部 11B の表面からの固体電解質層 12A の厚さは、 $2\text{ }\mu\text{m}$ 以上、 $20\text{ }\mu\text{m}$ 以下であることが好ましい。

- [0076] 固体電解質層 1 2 A は、例えば、3, 4-エチレンジオキシチオフエン等のモノマーを含む処理液を用いて、誘電体層 1 3 の表面にポリ(3, 4-エチレンジオキシチオフエン)等の重合膜を形成する方法や、ポリ(3, 4-エチレンジオキシチオフエン)等のポリマーの分散液を誘電体層 1 3 の表面に塗布して乾燥させる方法等によって形成される。
- [0077] 固体電解質層 1 2 A は、上記の処理液又は分散液を、スポンジ転写、スクリーン印刷、ディスペンサ塗布、インクジェット印刷等の方法によって誘電体層 1 3 の表面に塗布することにより、所定の領域に形成することができる。
- [0078] 陰極層 1 2 が第 1 導電体層 1 2 B 及び第 2 導電体層 1 2 C を含む場合、第 1 導電体層 1 2 B 及び第 2 導電体層 1 2 C は、それぞれ、導電性樹脂層及び金属層のうち、少なくとも 1 層を含む。第 1 導電体層 1 2 B 及び第 2 導電体層 1 2 C は、それぞれ、導電性樹脂層のみでもよく、金属層のみでもよいが、第 1 導電体層 1 2 B は、導電性樹脂層のみから構成されることが好ましく、第 2 導電体層 1 2 C は、金属層のみから構成されることが好ましい。第 1 導電体層 1 2 B は、固体電解質層 1 2 A の全面を被覆することが好ましい。
- [0079] 導電性樹脂層としては、例えば、銀フィラー、銅フィラー、ニッケルフィラー及びカーボンフィラーからなる群より選択される少なくとも 1 種の導電性フィラーを含む導電性接着剤層（導電性ペースト層）等が挙げられる。
- [0080] 金属層としては、例えば、金属めっき層、金属箔層等が挙げられる。金属層は、ニッケル、銅、銀及びこれらの金属を主成分とする合金からなる群より選択される少なくとも一種の金属からなることが好ましい。なお、「主成分」とは、重量割合が最も大きい元素成分をいう。
- [0081] 第 1 導電体層 1 2 B は、例えば、固体電解質層 1 2 A の表面に設けられたカーボンペースト層と、カーボンペースト層の表面に設けられた銅ペースト層と、を含む。
- [0082] 第 2 導電体層 1 2 C は、例えば、銅めっき層、銅箔層等の銅層 1 2 C u から構成される。

- [0083] なお、第1導電体層12Bが銅ペースト層を含む場合は、上述の陰極層12の銅層12Cuの厚みd1は、第2導電体層12Cの銅層12Cuと、第1導電体層12Bの銅ペースト層とを合わせた厚みとする。
- [0084] 第1導電体層12Bのカーボンペースト層は、固体電解質層12Aと第1導電体層12Bの銅ペースト層とを電氣的に及び機械的に接続させるために設けられている。カーボンペースト層は、カーボンペーストをスポンジ転写、スクリーン印刷、ディスペンサ塗布、インクジェット印刷等の方法によって固体電解質層12Aの表面に塗布することにより、所定の領域に形成することができる。なお、カーボンペースト層は、乾燥前の粘性のある状態で、次工程の銅ペースト層を積層することが好ましい。カーボンペースト層の厚さは、 $2\mu\text{m}$ 以上、 $50\mu\text{m}$ 以下であることが好ましい。
- [0085] 第1導電体層12Bの銅ペースト層は、銅ペーストをスポンジ転写、スクリーン印刷、スプレー塗布、ディスペンサ塗布、インクジェット印刷等の方法によってカーボンペースト層の表面に塗布することにより、所定の領域に形成することができる。銅ペースト層の厚さは、 $2\mu\text{m}$ 以上、 $50\mu\text{m}$ 以下であることが好ましい。
- [0086] 第2導電体層12Cの銅めっき層は、電解めっき、無電解めっき、スパッタ、真空蒸着等で成膜後、エッチング（ドライ又はウェット）でパターニングすることにより、所定の領域に形成することができる。銅めっき層の厚さは、 $2\mu\text{m}$ 以上、 $35\mu\text{m}$ 以下であることが好ましい。
- [0087] 第2導電体層12Cの銅箔層は、先にエッチング（ドライ、ウェット）でパターニングした銅箔をプレス機で積層、又は銅箔をプレス機で積層した後にエッチング（ドライ又はウェット）でパターニングすることにより、所定の領域に形成することができる。銅箔層の厚さは、 $3\mu\text{m}$ 以上、 $35\mu\text{m}$ 以下であることが好ましい。
- [0088] 封止層20は、絶縁性材料から構成される。この場合、封止層20は、絶縁性樹脂から構成されることが好ましい。
- [0089] 封止層20を構成する絶縁性樹脂としては、例えば、エポキシ樹脂、フェ

ノール樹脂等が挙げられる。

[0090] 封止層 20 は、フィラーをさらに含むことが好ましい。

[0091] 封止層 20 に含まれるフィラーとしては、例えば、シリカ粒子、アルミナ粒子等の無機フィラーが挙げられる。

[0092] コンデンサ部 10 と封止層 20 との間には、例えば、応力緩和層、防湿膜等の層が設けられていてもよい。

[0093] 絶縁マスク層 25 は、絶縁性材料から構成される。この場合、絶縁マスク層 25 は、絶縁性樹脂から構成されることが好ましい。

[0094] 絶縁マスク層 25 を構成する絶縁性樹脂としては、例えば、ポリフェニルスルホン樹脂、ポリエーテルスルホン樹脂、シアン酸エステル樹脂、フッ素樹脂（テトラフルオロエチレン、テトラフルオロエチレン・パーフルオロアルキルビニルエーテル共重合体等）、ポリイミド樹脂、ポリアミドイミド樹脂、エポキシ樹脂、及び、それらの誘導体又は前駆体等が挙げられる。

[0095] 絶縁マスク層 25 は、封止層 20 と同じ樹脂で構成されていてもよい。封止層 20 と異なり、絶縁マスク層 25 に無機フィラーが含有されるとコンデンサ部 10 の容量有効部に悪影響を及ぼすおそれがあるため、絶縁マスク層 25 は樹脂単独の系からなることが好ましい。

[0096] 絶縁マスク層 25 は、例えば、絶縁性樹脂を含む組成物等のマスク材を、スポンジ転写、スクリーン印刷、ディスペンサ塗布、インクジェット印刷等の方法によって多孔質部 11B の表面に塗布することにより、所定の領域に形成することができる。

[0097] 絶縁マスク層 25 は、多孔質部 11B に対して、誘電体層 13 よりも前のタイミングで形成されてもよいし、誘電体層 13 よりも後のタイミングで形成されてもよい。

[0098] 第 1 外部電極層 31 は、陽極板 11 と電氣的に接続されている。図 1 に示す例において、第 1 外部電極層 31 は、第 1 スルーホール導体 41 の表面に設けられており、コンデンサ部 10 の接続端子として機能する。図 1 に示す例において、第 1 外部電極層 31 は、第 1 スルーホール導体 41 を介して陽

極板 1 1 に電氣的に接続されており、陽極板 1 1 用の接続端子として機能する。

[0099] 第 1 外部電極層 3 1 の構成材料としては、例えば、銀、金、銅等の低抵抗の金属を含有する金属材料等が挙げられる。この場合、第 1 外部電極層 3 1 は、例えば、第 1 スルーホール導体 4 1 の表面にめっき処理を行うことにより形成される。

[0100] 第 1 外部電極層 3 1 と他の部材との間の密着性、ここでは、第 1 外部電極層 3 1 と第 1 スルーホール導体 4 1 との間の密着性を向上させるために、第 1 外部電極層 3 1 の構成材料として、銀フィラー、銅フィラー、ニッケルフィラー、及び、カーボンフィラーからなる群より選択される少なくとも 1 種の導電性フィラーと樹脂との混合材料（導電性ペースト材料）が用いられてもよい。

[0101] 第 1 外部電極層 3 1 は、銅ペースト層、銅めっき層、銅箔層等の銅層 3 1 Cu を含んでもよい。第 1 外部電極層 3 1 の銅ペースト層、銅めっき層及び銅箔層は、第 1 導電体層 1 2 B の銅ペースト層、第 2 導電体層 1 2 C の銅めっき層及び銅箔層と同様に形成することができる。

[0102] 第 2 外部電極層 3 2 は、陰極層 1 2 と電氣的に接続されている。図 1 に示す例において、第 2 外部電極層 3 2 は、第 2 スルーホール導体 4 2 の表面に設けられており、コンデンサ部 1 0 の接続端子として機能する。図 1 に示す例において、第 2 外部電極層 3 2 は、第 2 スルーホール導体 4 2 を介して陰極層 1 2 に電氣的に接続されており、陰極層 1 2 用の接続端子として機能する。

[0103] 第 2 外部電極層 3 2 の構成材料としては、例えば、銀、金、銅等の低抵抗の金属を含有する金属材料等が挙げられる。この場合、第 2 外部電極層 3 2 は、例えば、第 2 スルーホール導体 4 2 の表面にめっき処理を行うことにより形成される。

[0104] 第 2 外部電極層 3 2 と他の部材との間の密着性、ここでは、第 2 外部電極層 3 2 と第 2 スルーホール導体 4 2 との間の密着性を向上させるために、第

2 外部電極層 3 2 の構成材料として、銀フィラー、銅フィラー、ニッケルフィラー、及び、カーボンフィラーからなる群より選択される少なくとも 1 種の導電性フィラーと樹脂との混合材料（導電性ペースト材料）が用いられてもよい。

[0105] 第 2 外部電極層 3 2 は、銅ペースト層、銅めっき層、銅箔層等の銅層 3 2 Cu を含んでもよい。第 2 外部電極層 3 2 の銅ペースト層、銅めっき層及び銅箔層は、第 1 導電体層 1 2 B の銅ペースト層、第 2 導電体層 1 2 C の銅めっき層及び銅箔層と同様にして形成することができる。

[0106] 第 1 外部電極層 3 1 及び第 2 外部電極層 3 2 の構成材料は、少なくとも種類の点で、互いに同じであることが好ましいが、互いに異なってもよい。

[0107] 複数のコンデンサ部 1 0 が配置される場合、複数のコンデンサ部 1 0 の各々において、陽極板 1 1 に電氣的に接続された第 1 外部電極層 3 1 と、陰極層 1 2 に電氣的に接続された第 2 外部電極層 3 2 とが設けられてもよいし、複数のコンデンサ部 1 0 で第 1 外部電極層 3 1 及び第 2 外部電極層 3 2 の少なくとも一方が共通するように設けられていてもよい。

[0108] 図 1 に示す例では、第 1 外部電極層 3 1 及び第 2 外部電極層 3 2 が、封止層 2 0 の両方の主面に設けられているが、封止層 2 0 の一方の主面のみに設けられていてもよい。

[0109] 第 1 スルーホール導体 4 1 は、第 1 貫通孔 5 1 の内壁面で陽極板 1 1 に電氣的に接続されている。より具体的には、第 1 スルーホール導体 4 1 は、面方向において第 1 貫通孔 5 1 の内壁面に対向する陽極板 1 1 の端面に電氣的に接続されていることが好ましい。これにより、陽極板 1 1 は、第 1 スルーホール導体 4 1 を介して外部に電氣的に導出される。

[0110] 第 1 スルーホール導体 4 1 に電氣的に接続される陽極板 1 1 の端面には、芯部 1 1 A 及び多孔質部 1 1 B が露出していることが好ましい。この場合、芯部 1 1 A に加えて多孔質部 1 1 B でも、第 1 スルーホール導体 4 1 との電氣的な接続がなされる。

- [0111] 図2に示すように、厚さ方向から見たとき、第1スルーホール導体41は、第1貫通孔51の全周にわたって陽極板11に電氣的に接続されていることが好ましい。この場合、放熱の経路が増加するため、コンデンサ素子1の放熱性をより向上することができる。また、陽極板11と第1スルーホール導体41との接続抵抗が低下しやすくなるため、等価直列抵抗（ESR）が低下しやすくなる。
- [0112] 第1スルーホール導体41は、例えば、以下のようにして形成される。まず、ドリル加工、レーザー加工等を行うことにより、コンデンサ部10及び封止層20を厚さ方向に貫通する第1貫通孔51を形成する。そして、第1貫通孔51の内壁面を、銅、金、銀等の低抵抗の金属を含有する金属材料でメタライズすることにより、第1スルーホール導体41を形成する。第1スルーホール導体41を形成する際、例えば、第1貫通孔51の内壁面を、無電解銅めっき処理、電解銅めっき処理等でメタライズすることにより、加工が容易になる。なお、第1スルーホール導体41を形成する方法については、第1貫通孔51の内壁面をメタライズする方法以外に、金属材料、金属と樹脂との複合材料等を第1貫通孔51に充填する方法であってもよい。
- [0113] 面方向において陽極板11と第1スルーホール導体41との間には、陽極接続層が設けられていてもよい。すなわち、陽極板11と第1スルーホール導体41とは、陽極接続層を介して電氣的に接続されていてもよい。
- [0114] 陽極接続層が面方向において陽極板11と第1スルーホール導体41との間に設けられていることにより、陽極接続層が、陽極板11に対するバリア層、より具体的には、芯部11A及び多孔質部11Bに対するバリア層として機能する。陽極接続層が陽極板11に対するバリア層として機能すると、外部電極層30（例えば第1外部電極層31）を形成するための薬液処理時に生じる陽極板11の溶解が抑制され、ひいては、コンデンサ部10への薬液の浸入が抑制されるため、信頼性が向上しやすくなる。
- [0115] 陽極接続層は、ニッケルを主成分とする層を含むことが好ましい。この場合、陽極板11を構成する金属（例えば、アルミニウム）等へのダメージが

低減されるため、陽極板 1 1 に対する陽極接続層のバリア性が向上しやすくなる。

[0116] なお、面方向において、陽極板 1 1 と第 1 スルーホール導体 4 1 との間には、陽極接続層が設けられていなくてもよい。この場合、第 1 スルーホール導体 4 1 は、陽極板 1 1 の端面に直に接続されていてもよい。

[0117] 図 1 に示す例では、第 1 スルーホール導体 4 1 が第 1 貫通孔 5 1 の内壁面のみに設けられている。この場合、第 1 貫通孔 5 1 には、樹脂材料が充填されてなる樹脂充填部 9 1 が設けられていてもよい。樹脂充填部 9 1 は、第 1 貫通孔 5 1 内の第 1 スルーホール導体 4 1 で囲まれた空間に設けられる。樹脂充填部 9 1 が設けられることで第 1 貫通孔 5 1 内の空間が解消されると、第 1 スルーホール導体 4 1 のデラミネーションの発生が抑制される。なお、樹脂充填部 9 1 は、導体であってもよし、絶縁体であってもよい。

[0118] 図 1 に示す例において、第 2 スルーホール導体 4 2 は、第 2 貫通孔 5 2 の内壁面で陰極層 1 2、なかでも第 2 導電体層 1 2 C に電氣的に接続されている。より具体的には、第 2 スルーホール導体 4 2 は、面方向において第 2 貫通孔 5 2 の内壁面に対向する第 2 導電体層 1 2 C の端面に電氣的に接続されていることが好ましい。これにより、陰極層 1 2 は、第 2 スルーホール導体 4 2 を介して外部に電氣的に導出される。

[0119] 図 3 に示すように、厚さ方向から見たとき、第 2 スルーホール導体 4 2 は、第 2 貫通孔 5 2 の全周にわたって陰極層 1 2、なかでも第 2 導電体層 1 2 C に電氣的に接続されていることが好ましい。この場合、放熱の経路が増加するため、コンデンサ素子 1 の放熱性をより向上することができる。また、陰極層 1 2 と第 2 スルーホール導体 4 2 との接続抵抗が低下しやすくなるため、等価直列抵抗 (ESR) が低下しやすくなる。

[0120] 第 2 スルーホール導体 4 2 は、例えば、以下のようにして形成される。まず、ドリル加工、レーザー加工等を行うことにより、コンデンサ部 1 0 を厚さ方向に貫通する貫通孔 5 3 を形成する。次に、上述した貫通孔 5 3 に絶縁性材料 2 2 を充填する。絶縁性材料 2 2 が充填された部分に対して、ドリル

加工、レーザー加工等を行うことにより、第2貫通孔52を形成する。この際、絶縁性材料22を充填した貫通孔53の直径よりも第2貫通孔52の直径を小さくすることにより、面方向において、先に形成された貫通孔53の内壁面と第2貫通孔52の内壁面との間に絶縁性材料22が存在する状態にする。その後、第2貫通孔52の内壁面を、銅、金、銀等の低抵抗の金属を含有する金属材料でメタライズすることにより、第2スルーホール導体42を形成する。第2スルーホール導体42を形成する際、例えば、第2貫通孔52の内壁面を、無電解銅めっき処理、電解銅めっき処理等でメタライズすることにより、加工が容易になる。なお、第2スルーホール導体42を形成する方法については、第2貫通孔52の内壁面をメタライズする方法以外に、金属材料、金属と樹脂との複合材料等を第2貫通孔52に充填する方法であってもよい。

[0121] 絶縁性材料22は、絶縁性樹脂から構成されることが好ましい。絶縁性材料22を構成する絶縁性樹脂としては、例えば、エポキシ樹脂、フェノール樹脂等が挙げられる。さらに、絶縁性材料22は、フィラーを含むことが好ましい。絶縁性材料22に含まれるフィラーとしては、例えば、シリカ粒子、アルミナ粒子、金属粒子等の無機フィラーが挙げられる。

[0122] 絶縁性材料22は、封止層20と同じ材料から構成されてもよい。

[0123] 面方向において、陰極層12、なかでも第2導電体層12Cと第2スルーホール導体42の間には、陽極接続層のような陰極接続層が設けられていてもよいが、設けられていないことが好ましい。後者の場合、第2スルーホール導体42は、第2導電体層12Cの端面に直に接続されていてもよい。

[0124] 図1に示す例では、第2スルーホール導体42が第2貫通孔52の内壁面のみに設けられている。この場合、第2貫通孔52には、樹脂材料が充填されてなる樹脂充填部92が設けられていてもよい。樹脂充填部92は、第2貫通孔52内の第2スルーホール導体42で囲まれた空間に設けられる。樹脂充填部92が設けられることで第2貫通孔52内の空間が解消されると、第2スルーホール導体42のデラミネーションの発生が抑制される。なお、

樹脂充填部 92 は、導体であってもよし、絶縁体であってもよい。

[0125] 内部ビア導体 60 の構成材料としては、例えば、銀、金、銅等の低抵抗の金属を含有する金属材料等が挙げられる。

[0126] 内部ビア導体 60 は、例えば、封止層 20 を厚さ方向に貫通する貫通孔に対して、上述した金属材料で内壁面にめっき処理を行ったり、導電性ペーストを充填した後に熱処理を行ったりすることにより形成される。

[0127] 図 6-1 ~ 図 6-12 は、図 1 に示すコンデンサ素子の製造方法の一例を説明する断面模式図である。図 6-1 は、陽極板を準備する工程を示す。図 6-2 は、誘電体層を形成する工程を示す。図 6-3 は、絶縁マスク層を形成する工程を示す。図 6-4 は、固体電解質層を形成する工程を示す。図 6-5 は、第 1 導電体層を形成する工程を示す。図 6-6 は、貫通孔を形成する工程を示す。図 6-7 は、絶縁性材料を形成する工程を示す。図 6-8 は、絶縁性材料を研磨する工程を示す。図 6-9 は、第 2 導電体層を形成する工程を示す。図 6-10 は、封止層を形成する工程を示す。図 6-11 は、第 1 貫通孔及び第 2 貫通孔を形成する工程を示す。図 6-12 は、スルーホール導体及び外部電極層を形成する工程を示す。

[0128] 図 1 に示すコンデンサ素子 1 は、例えば、以下のようにして形成される。

[0129] まず、図 6-1 に示すように、芯部 11A の両方の主面に多孔質部 11B を有する陽極板 11 を準備する。

[0130] 次に、図 6-2 に示すように、多孔質部 11B 上に誘電体層 13 を形成する。

[0131] 次に、図 6-3 に示すように、誘電体層 13 上に絶縁マスク層 25 を形成する。

[0132] 次に、図 6-4 に示すように、絶縁マスク層 25 で囲まれた領域において、誘電体層 13 上に固体電解質層 12A を形成する。

[0133] 次に、図 6-5 に示すように、固体電解質層 12A 上に第 1 導電体層 12B を形成する。

[0134] 次に、図 6-6 に示すように、絶縁マスク層 25、誘電体層 13 及び陽極

板 1 1 を貫通する貫通孔 5 3 を形成する。

[0135] 次に、図 6-7 に示すように、絶縁マスク層 2 5 及び第 1 導電体層 1 2 B を覆うように絶縁性材料 2 2 をラミネートし、貫通孔 5 3 に絶縁性材料 2 2 を充填する。

[0136] 次に、図 6-8 に示すように、第 1 導電体層 1 2 B が露出するまで絶縁性材料 2 2 を研磨して薄くする。

[0137] 次に、図 6-9 に示すように、第 1 導電体層 1 2 B 及び絶縁性材料 2 2 上に第 2 導電体層 1 2 C を形成する。

[0138] 次に、図 6-10 に示すように、第 2 導電体層 1 2 C 及び絶縁性材料 2 2 を覆うように封止層 2 0 を形成する。

[0139] 次に、図 6-11 に示すように、封止層 2 0、絶縁性材料 2 2、絶縁マスク層 2 5、誘電体層 1 3 及び陽極板 1 1 を貫通する第 1 貫通孔 5 1 と、封止層 2 0、第 2 導電体層 1 2 C 及び絶縁性材料 2 2 を貫通する第 2 貫通孔 5 2 と、を形成する。第 2 貫通孔 5 2 は、貫通孔 5 3 が形成されていた領域の内側に位置する。

[0140] そして、図 6-12 に示すように、第 1 貫通孔 5 1 内に第 1 スルーホール導体 4 1 を形成し、第 2 貫通孔 5 2 内に第 2 スルーホール導体 4 2 を形成する。第 1 スルーホール導体 4 1 及び第 2 スルーホール導体 4 2 内には、それぞれ、樹脂充填部 9 1 及び 9 2 を形成してもよい。最後に、第 1 スルーホール導体 4 1 を覆うように封止層 2 0 上に第 1 外部電極層 3 1 を形成し、第 2 スルーホール導体 4 2 を覆うように封止層 2 0 上に第 2 外部電極層 3 2 を形成する。

[0141] 図 7-1 ~ 図 7-6 は、図 1 に示すコンデンサ素子の製造方法の別の一例を説明する断面模式図である。図 7-1 は、貫通孔を形成した後の状態を示す。図 7-2 は、絶縁性材料を形成する工程を示す。図 7-3 は、第 2 導電体層を形成する工程を示す。図 7-4 は、封止層を形成する工程を示す。図 7-5 は、第 1 貫通孔及び第 2 貫通孔を形成する工程を示す。図 7-6 は、スルーホール導体及び外部電極層を形成する工程を示す。

[0142] 図 1 に示すコンデンサ素子 1 は、例えば、以下のようにして形成されてもよい。

[0143] まず、図 7-1 に示すように、図 6-1～図 6-6 に示した場合と同様にして、絶縁マスク層 25、誘電体層 13 及び陽極板 11 を貫通する貫通孔 53 を形成する。

[0144] 次に、図 7-2 に示すように、樹脂材料を充填する方法、スクリーン印刷、ディスペンサ塗布、インクジェット印刷等により貫通孔 53 内のみに絶縁性材料 22 を形成する。

[0145] その後、図 7-3～図 7-6 に示すように、図 6-9～図 6-12 に示した場合と同様にして、第 2 導電体層 12C、封止層 20、第 1 貫通孔 51、第 2 貫通孔 52、第 1 スルーホール導体 41、第 2 スルーホール導体 42、第 1 外部電極層 31 及び第 2 外部電極層 32 を形成する。なお、必要に応じて樹脂充填部 91 及び 92 を形成してもよい。

[0146] [第 2 実施形態]

図 8 は、本発明の第 2 実施形態に係るコンデンサ素子の一例を模式的に示す平面図である。

[0147] 図 8 に示すコンデンサ素子 3 は、陽極板 11 が芯部 11A の一方の主面のみに多孔質部 11B を有し、コンデンサ素子 3 の片面のみに、コンデンサ部 10（陽極板 11、誘電体層 13 及び陰極層 12）、封止層 20、外部電極層 30（第 1 外部電極層 31 及び第 2 外部電極層 32）等の各部材が設けられている。

[0148] 図 8 に示す例では、スルーホール導体 40（第 1 スルーホール導体 41 及び第 2 スルーホール導体 42）は、一方の端部が外部電極層 30 に電氣的に接続されるが、他方の端部はコンデンサ部 10 等が設けられていない方の面に露出している。

[0149] 図 9-1～図 9-12 は、図 8 に示すコンデンサ素子の製造方法の一例を説明する断面模式図である。図 9-1 は、陽極板を準備する工程を示す。図 9-2 は、誘電体層を形成する工程を示す。図 9-3 は、絶縁マスク層を形

成する工程を示す。図 9-4 は、固体電解質層を形成する工程を示す。図 9-5 は、第 1 導電体層を形成する工程を示す。図 9-6 は、貫通孔を形成する工程を示す。図 9-7 は、絶縁性材料を形成する工程を示す。図 9-8 は、絶縁性材料を研磨する工程を示す。図 9-9 は、第 2 導電体層を形成する工程を示す。図 9-10 は、封止層を形成する工程を示す。図 9-11 は、第 1 貫通孔及び第 2 貫通孔を形成する工程を示す。図 9-12 は、スルーホール導体及び外部電極層を形成する工程を示す。

[0150] 図 8 に示すコンデンサ素子 3 は、例えば、以下のようにして形成されてもよい。

[0151] まず、図 9-1 に示すように、芯部 11A の一方の主面のみに多孔質部 11B を有する陽極板 11 を準備する。

[0152] 次に、図 9-2 ～図 9-5 に示すように、図 6-2 ～図 6-5 に示した場合と同様にして、誘電体層 13、絶縁マスク層 25、固体電解質層 12A 及び第 1 導電体層 12B を形成する。

[0153] 次に、図 9-6 に示すように、図 6-6 に示した場合と同様にして貫通孔 53 が形成されたコンデンサ素子シートをキャリアボード CB 上に載置する。

[0154] その後、図 9-7 ～図 9-12 に示すように、図 6-7 ～図 6-12 に示した場合と同様にして、絶縁性材料 22 をラミネートしてから研磨した後、第 2 導電体層 12C、封止層 20、第 1 貫通孔 51、第 2 貫通孔 52、第 1 スルーホール導体 41、第 2 スルーホール導体 42、第 1 外部電極層 31 及び第 2 外部電極層 32 を形成する。なお、必要に応じて樹脂充填部 91 及び 92 を形成してもよい。

[0155] [その他の実施形態]

本発明のコンデンサ素子は、上記実施形態に限定されるものではなく、コンデンサ素子の構成、製造条件等に関し、本発明の範囲内において、種々の応用、変形を加えることが可能である。

[0156] 本発明のコンデンサ素子では、封止層の内部に、1 個のコンデンサ部が配

置されていてもよく、複数個のコンデンサ部が配置されていてもよい。

[0157] 本発明のコンデンサ素子において、封止層の内部に複数個のコンデンサ部が配置されている場合、隣り合うコンデンサ部同士は、物理的に分断されていればよい。したがって、隣り合うコンデンサ部同士は、電氣的に分断されていてもよく、電氣的に接続されていてもよい。隣り合うコンデンサ部同士が分断された部分には、封止層等の絶縁性材料が充填されていることが好ましい。隣り合うコンデンサ部同士の間隔は、厚さ方向に一定でもよく、厚さ方向に小さくなくてもよい。

[0158] 本発明のコンデンサ素子において、封止層の内部に複数個のコンデンサ部が配置されている場合、複数個のコンデンサ部は、面方向に並ぶように配置されていてもよく、厚さ方向に積層するように配置されていてもよく、両者を組み合わせて配置されていてもよい。複数個のコンデンサ部は、規則的に配置されていてもよく、不規則に配置されていてもよい。コンデンサ素子の大きさ及び形状等は、それぞれ同じでもよく、一部又は全部が異なってもよい。コンデンサ素子の構成は、それぞれ同じであることが好ましいが、構成の異なるコンデンサ素子が含まれていてもよい。

[0159] 本発明のコンデンサ素子は、複合電子部品の構成材料として好適に使用することができる。このような複合電子部品は、例えば、本発明のコンデンサ素子と、上記コンデンサ素子の封止層の表面に設けられ、上記コンデンサ素子の陽極板及び陰極層のそれぞれに電氣的に接続された外部電極層と、上記外部電極層に接続された電子部品と、を備える。

[0160] 複合電子部品において、外部電極層に接続される電子部品は、受動素子でもよく、能動素子でもよい。受動素子及び能動素子の両方が外部電極層に接続されてもよく、受動素子及び能動素子のいずれか一方が外部電極層に接続されてもよい。また、受動素子及び能動素子の複合体が外部電極層に接続されてもよい。

[0161] 受動素子としては、例えば、インダクタ等が挙げられる。能動素子としては、メモリ、GPU (Graphical Processing Uni

t)、CPU (Central Processing Unit)、MPU (Micro Processing Unit)、PMIC (Power Management IC) 等が挙げられる。

[0162] 本発明のコンデンサ素子は、全体としてシート状の形状を有している。したがって、複合電子部品においては、コンデンサ素子を実装基板のように扱うことができ、コンデンサ素子上に電子部品を実装することができる。さらに、コンデンサ素子に実装する電子部品の形状をシート状にすることにより、各電子部品を厚さ方向に貫通するスルーホール導体を介して、コンデンサ素子と電子部品とを厚さ方向に接続することも可能である。その結果、能動素子及び受動素子を一括のモジュールのように構成することができる。

[0163] 例えば、半導体アクティブ素子を含むボルテージレギュレータと、変換された直流電圧が供給される負荷との間に本発明のコンデンサ素子を電氣的に接続し、スイッチングレギュレータを形成することができる。

[0164] 複合電子部品においては、本発明のコンデンサ素子がさらに複数個レイアウトされたコンデンサマトリクスシートのいずれかの一方の面に回路層を形成した上で、受動素子又は能動素子に接続されていてもよい。

[0165] また、予め基板に設けたキャビティ部に本発明のコンデンサ素子を配置し、樹脂で埋め込んだ後、その樹脂上に回路層を形成してもよい。同基板の別のキャビティ部には、別の電子部品（受動素子又は能動素子）が搭載されていてもよい。

[0166] あるいは、本発明のコンデンサ素子をウエハ又はガラス等の平滑なキャリアの上に実装し、樹脂による外層部を形成した後、回路層を形成した上で、受動素子又は能動素子に接続されていてもよい。

[0167] 本明細書には、以下の内容が開示されている。

[0168] < 1 >

芯部の少なくとも一方の主面に多孔質部を有する陽極板と、前記多孔質部の表面に設けられた誘電体層と、前記誘電体層の表面に設けられた陰極層と、を含むコンデンサ部と、

前記コンデンサ部を覆うように設けられた封止層と、

前記陽極板に電氣的に直接接続されるように前記コンデンサ部及び前記封止層を厚さ方向に貫通するように設けられ、両方の端部が前記封止層の表面に引き出された第1スルーホール導体と、

前記陰極層に電氣的に直接接続されるように前記コンデンサ部及び前記封止層を前記厚さ方向に貫通するように設けられ、両方の端部が前記封止層の表面に引き出された第2スルーホール導体と、

前記第1スルーホール導体に電氣的に接続されるように前記封止層の表面に設けられた第1外部電極層と、

前記第2スルーホール導体に電氣的に接続されるように前記封止層の表面に設けられた第2外部電極層と、を備え、

前記第1外部電極層の少なくとも一部は、前記厚さ方向において前記陰極層に重なる、コンデンサ素子。

[0169] <2>

前記陰極層、前記第1外部電極層及び前記第2外部電極層は、それぞれ、銅層を含み、

前記陰極層の銅層の厚みを d_1 、前記第1外部電極層の銅層の厚みを d_2 、前記第2外部電極層の銅層の厚みを d_3 としたとき、

$d_1 \geq d_2$ かつ $d_1 \geq d_3$ を満たす、<1>に記載のコンデンサ素子。

[0170] <3>

前記第1外部電極層の面積を S_1 、前記第2外部電極層の面積を S_2 としたとき、

$S_1 > S_2$ を満たす、<1>又は<2>に記載のコンデンサ素子。

[0171] <4>

前記封止層を前記厚さ方向に貫通するように設けられ、一方の端部が前記第2外部電極層に電氣的に接続され、他方の端部が前記陰極層に電氣的に接続された内部ビア導体をさらに備える、<1>~<3>のいずれか1つに記載のコンデンサ素子。

[0172] <5>

前記陰極層は、前記誘電体層の表面上に設けられた固体電解質層と、前記固体電解質層の表面上に設けられた第1導電体層と、前記第2スルーホール導体に電氣的に直接接続されるように前記第1導電体層の表面上に設けられた第2導電体層と、を含む、<1>~<4>のいずれか1つに記載のコンデンサ素子。

符号の説明

[0173] 1、2、3 コンデンサ素子

1 0 コンデンサ部

1 1 陽極板

1 1 A 芯部

1 1 B 多孔質部

1 2 陰極層

1 2 A 固体電解質層

1 2 B 第1導電体層

1 2 C 第2導電体層

1 2 C u 陰極層の銅層

1 3 誘電体層

2 0 封止層

2 2 絶縁性材料

2 5 絶縁マスク層

3 0 外部電極層

3 1 第1外部電極層

3 1 C u 第1外部電極層の銅層

3 2 第2外部電極層

3 2 C u 第2外部電極層の銅層

4 0 スルーホール導体

4 1 第1スルーホール導体

4 2 第 2 スルーホール導体

5 1 第 1 貫通孔

5 2 第 2 貫通孔

5 3 貫通孔

6 0 内部ビア導体

9 1、9 2 樹脂充填部

請求の範囲

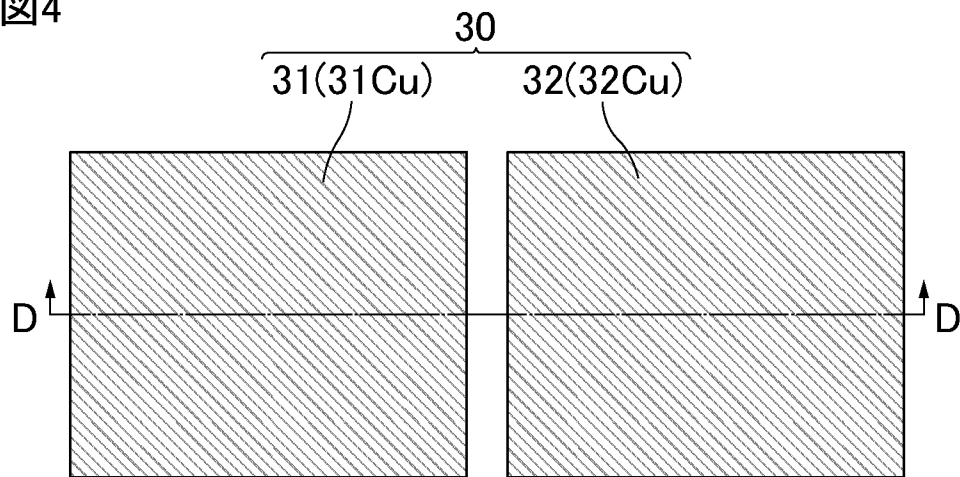
- [請求項1] 芯部の少なくとも一方の主面に多孔質部を有する陽極板と、前記多孔質部の表面に設けられた誘電体層と、前記誘電体層の表面に設けられた陰極層と、を含むコンデンサ部と、
- 前記コンデンサ部を覆うように設けられた封止層と、
- 前記陽極板に電氣的に直接接続されるように前記コンデンサ部及び前記封止層を厚さ方向に貫通するように設けられ、両方の端部が前記封止層の表面に引き出された第1スルーホール導体と、
- 前記陰極層に電氣的に直接接続されるように前記コンデンサ部及び前記封止層を前記厚さ方向に貫通するように設けられ、両方の端部が前記封止層の表面に引き出された第2スルーホール導体と、
- 前記第1スルーホール導体に電氣的に接続されるように前記封止層の表面に設けられた第1外部電極層と、
- 前記第2スルーホール導体に電氣的に接続されるように前記封止層の表面に設けられた第2外部電極層と、を備え、
- 前記第1外部電極層の少なくとも一部は、前記厚さ方向において前記陰極層に重なる、コンデンサ素子。
- [請求項2] 前記陰極層、前記第1外部電極層及び前記第2外部電極層は、それぞれ、銅層を含み、
- 前記陰極層の銅層の厚みを d_1 、前記第1外部電極層の銅層の厚みを d_2 、前記第2外部電極層の銅層の厚みを d_3 としたとき、
- $d_1 \geq d_2$ かつ $d_1 \geq d_3$ を満たす、請求項1に記載のコンデンサ素子。
- [請求項3] 前記第1外部電極層の面積を S_1 、前記第2外部電極層の面積を S_2 としたとき、
- $S_1 > S_2$ を満たす、請求項1又は2に記載のコンデンサ素子。
- [請求項4] 前記封止層を前記厚さ方向に貫通するように設けられ、一方の端部が前記第2外部電極層に電氣的に接続され、他方の端部が前記陰極層

に電氣的に接続された内部ビア導体をさらに備える、請求項 1 ～ 3 のいずれか 1 項に記載のコンデンサ素子。

[請求項5] 前記陰極層は、前記誘電体層の表面上に設けられた固体電解質層と、前記固体電解質層の表面上に設けられた第 1 導電体層と、前記第 2 スルーホール導体に電氣的に直接接続されるように前記第 1 導電体層の表面上に設けられた第 2 導電体層と、を含む、請求項 1 ～ 4 のいずれか 1 項に記載のコンデンサ素子。

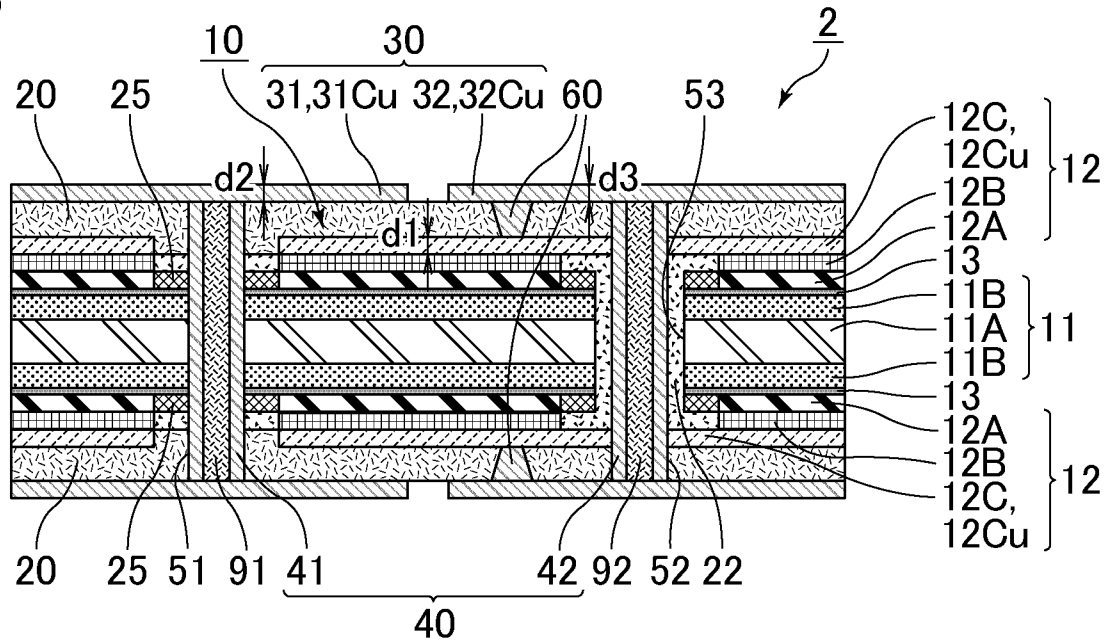
[図4]

図4



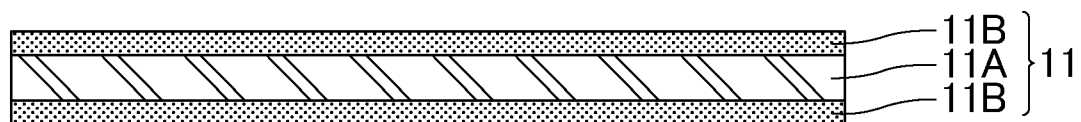
[図5]

図5



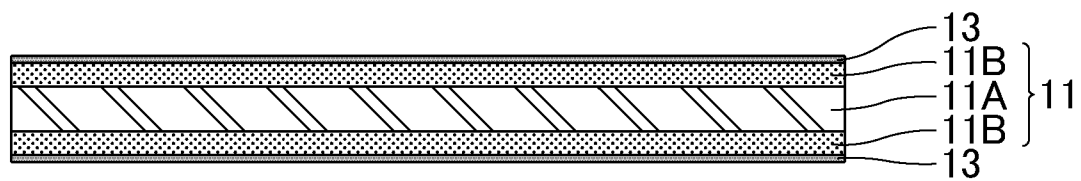
[図6-1]

図6-1



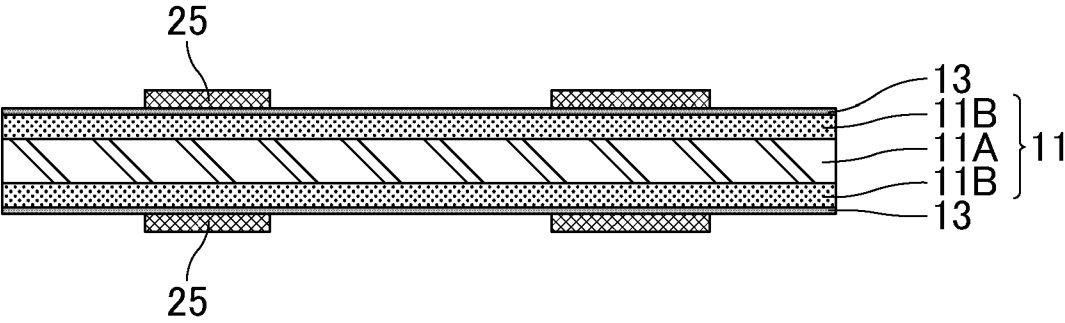
[図6-2]

図6-2



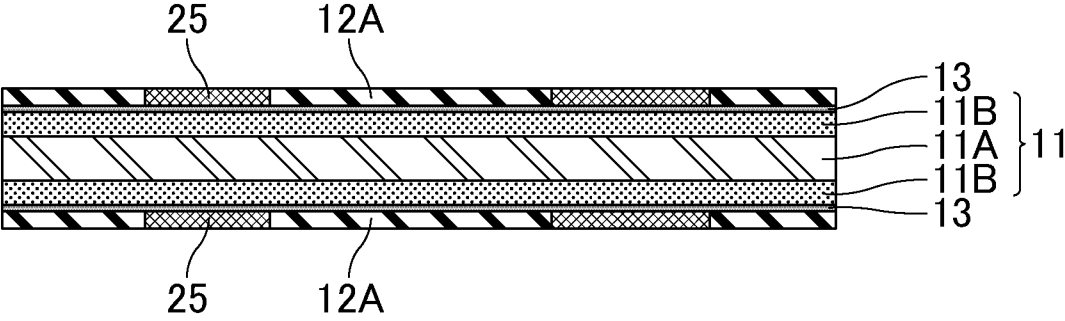
[図6-3]

図6-3



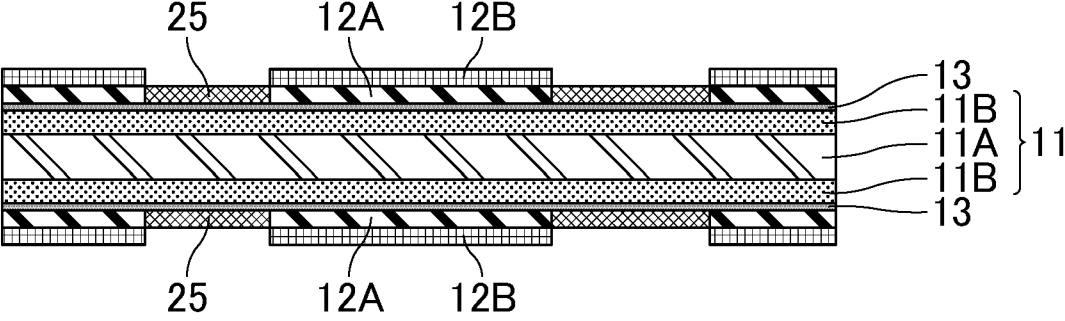
[図6-4]

図6-4



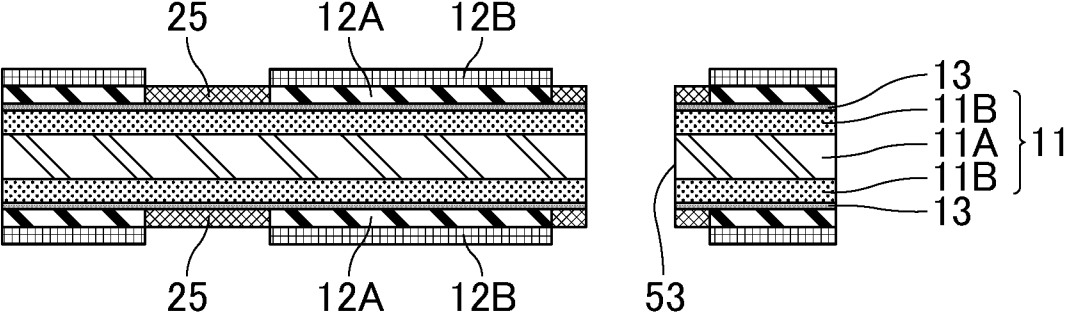
[図6-5]

図6-5



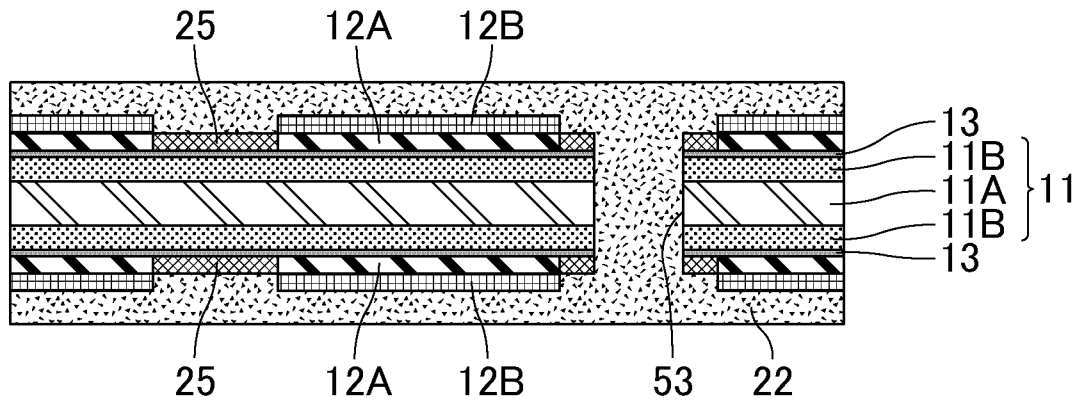
[図6-6]

図6-6



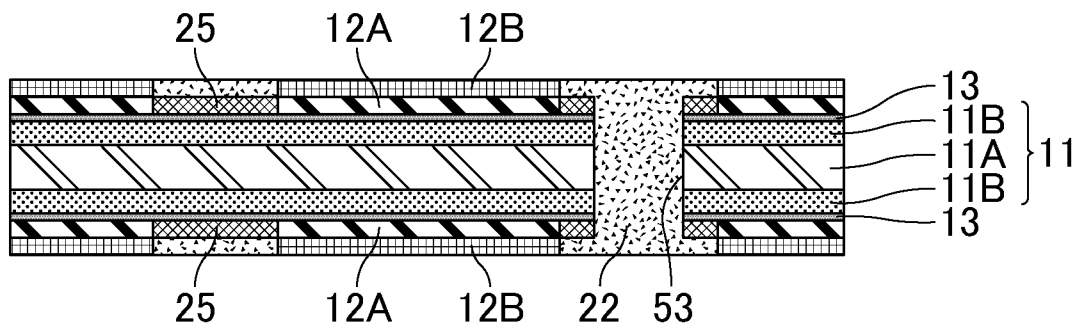
[図6-7]

図6-7



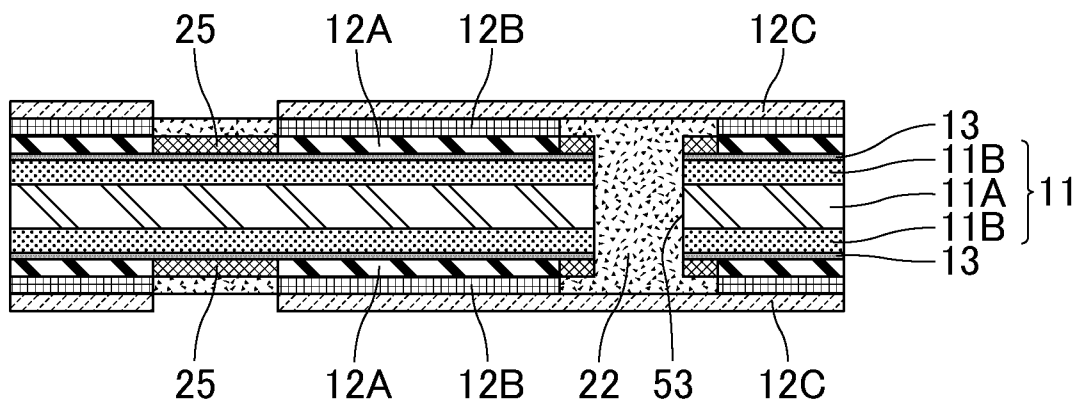
[図6-8]

図6-8



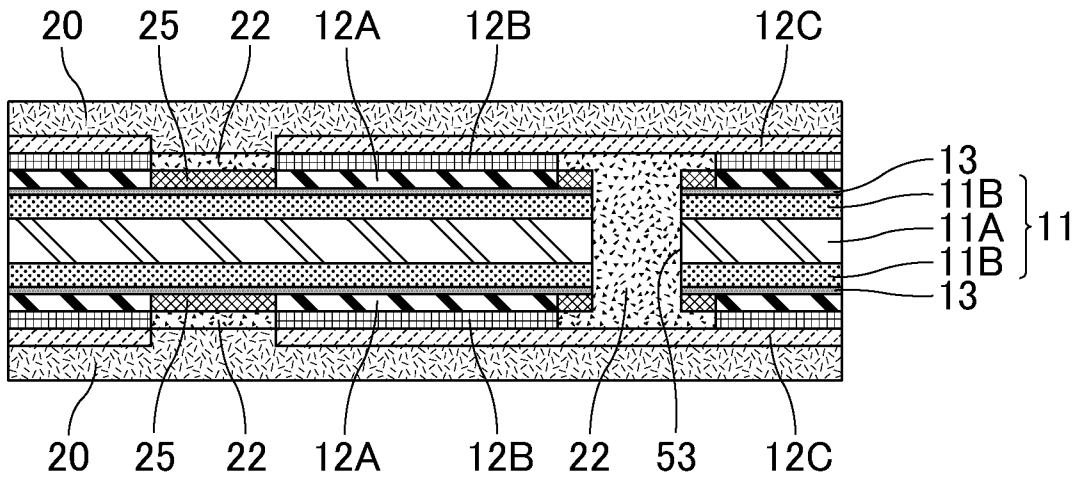
[図6-9]

図6-9



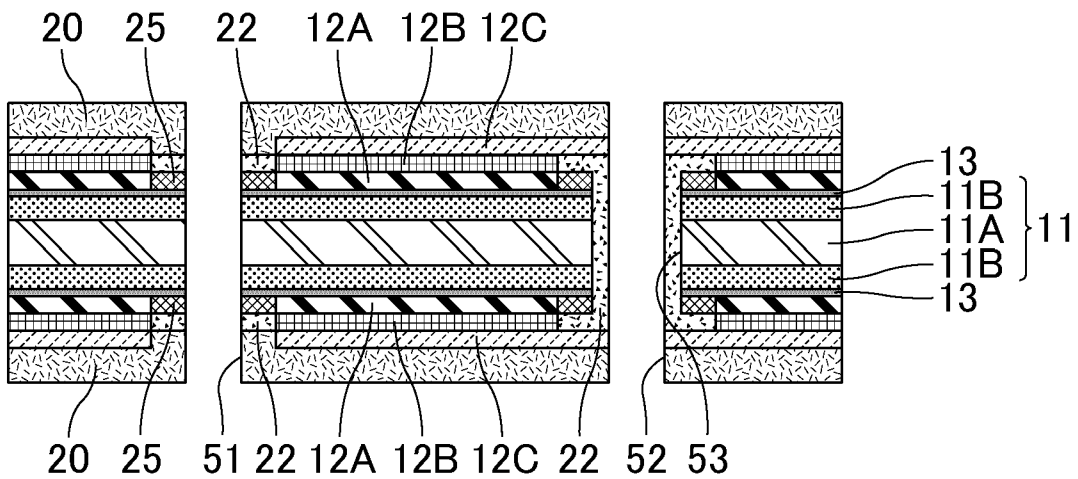
[図6-10]

図6-10



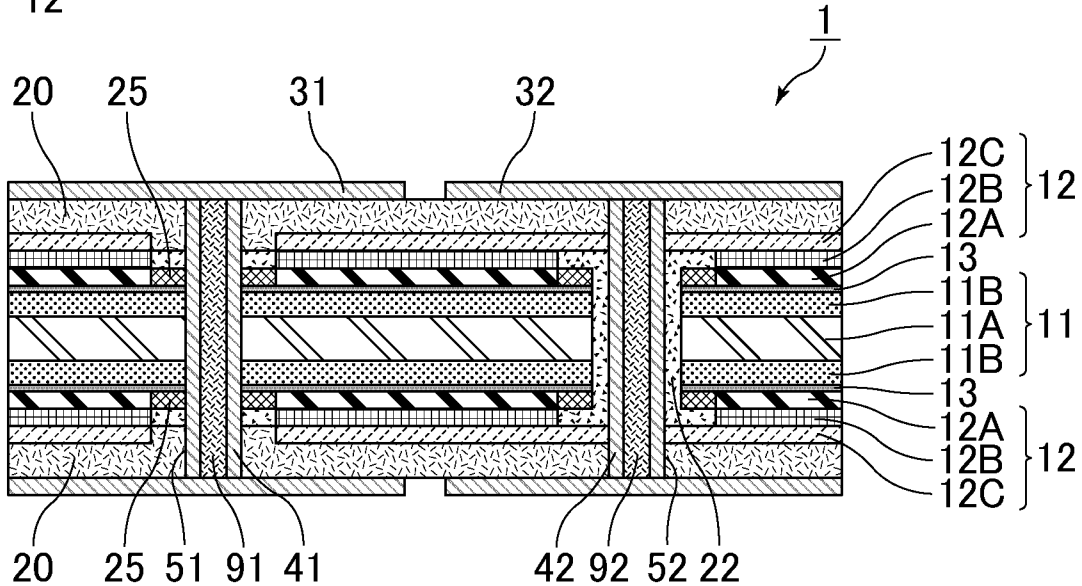
[図6-11]

図6-11



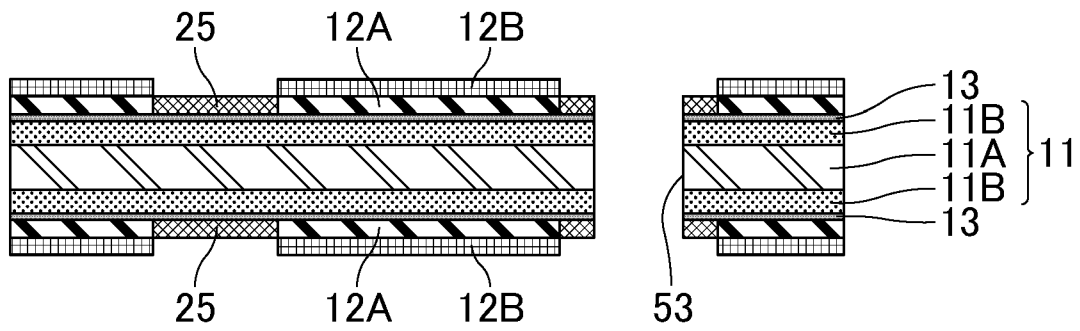
[図6-12]

図6-12



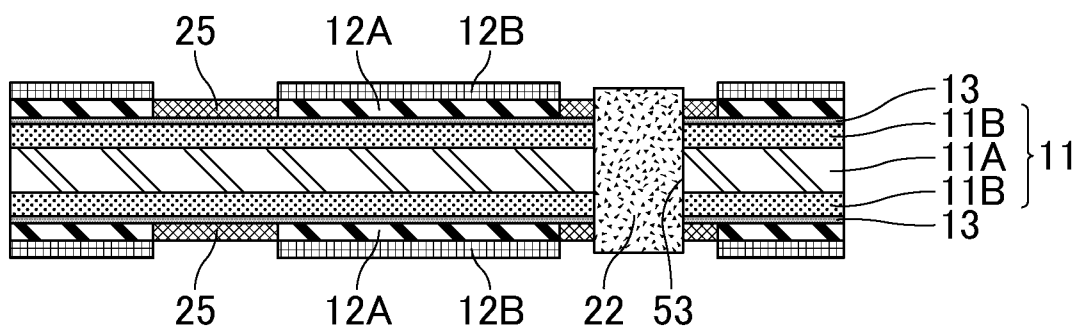
〔圖7-1〕

图7-1



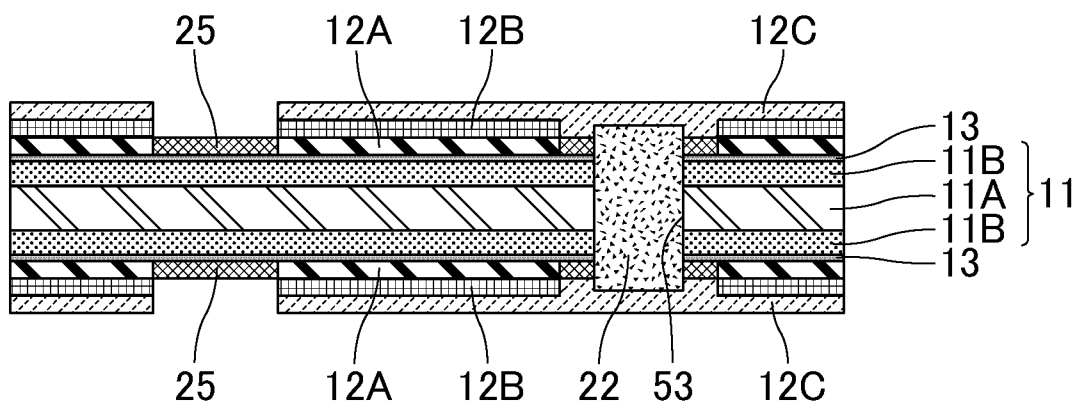
【图7-2】

图7-2



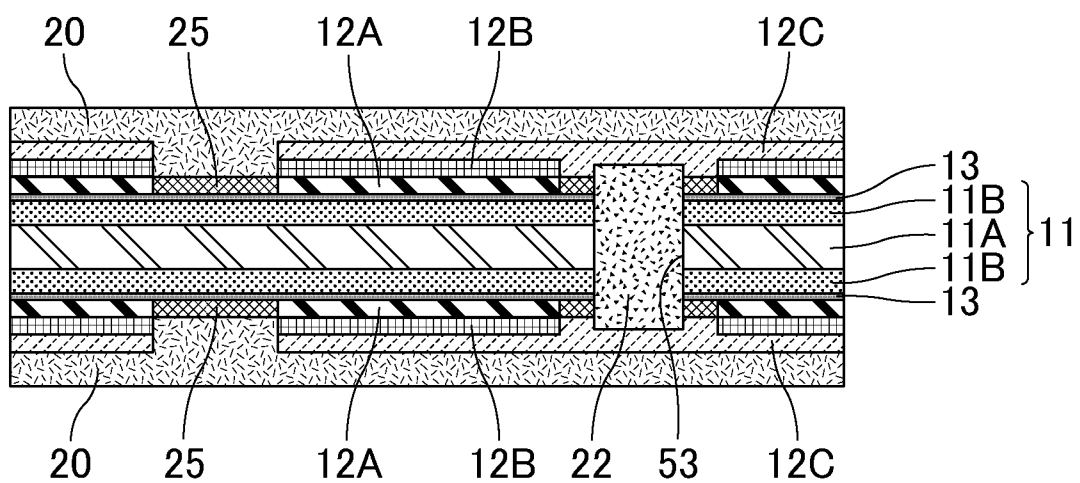
[图7-3]

图7-3



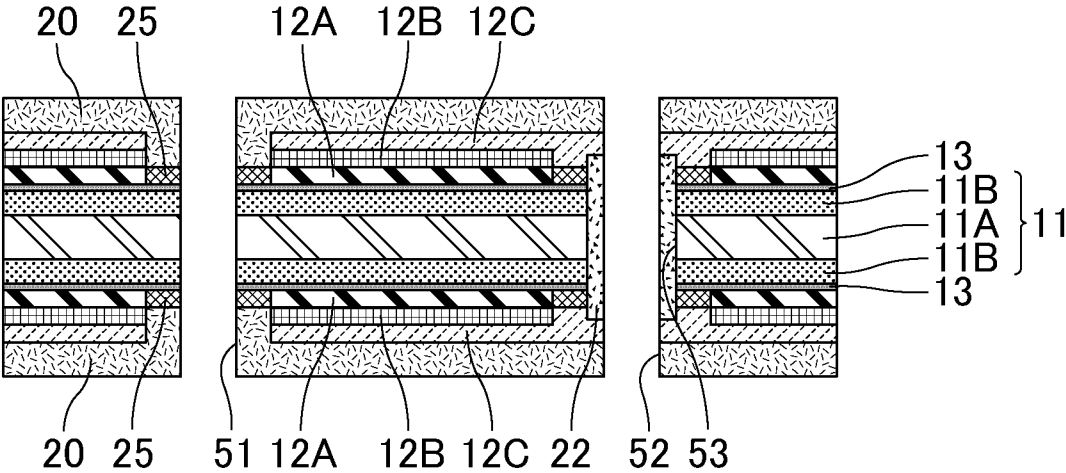
[图7-4]

图7-4



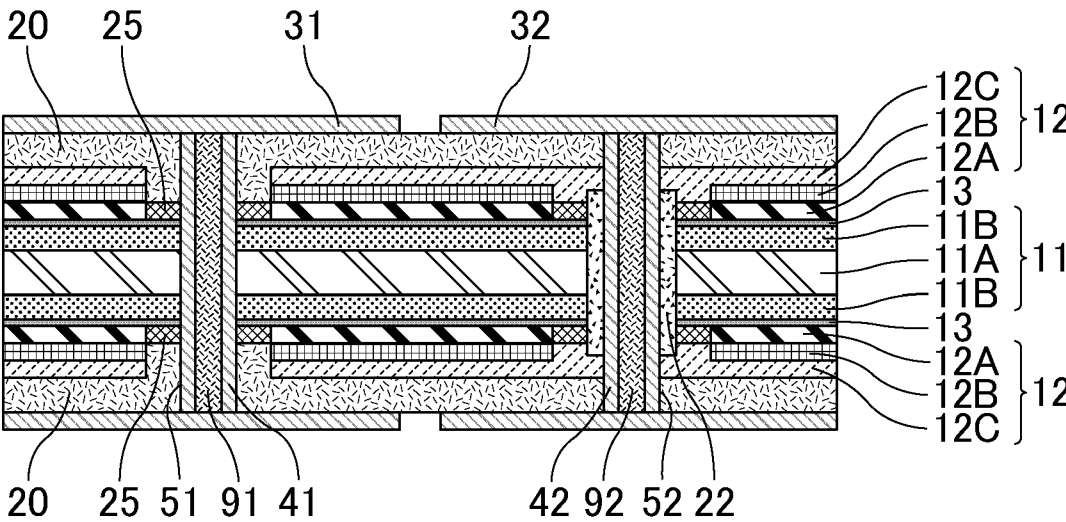
[図7-5]

図7-5



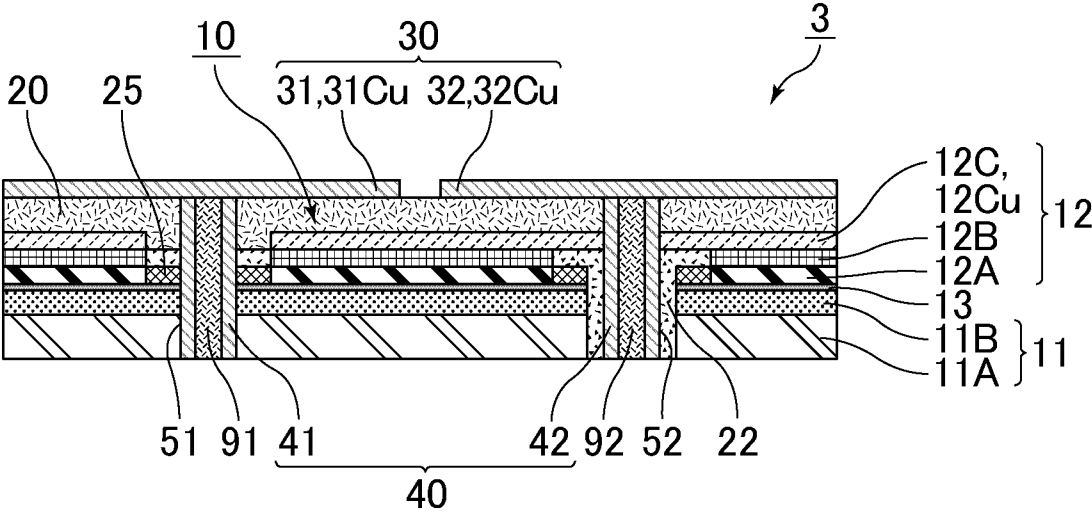
[図7-6]

図7-6



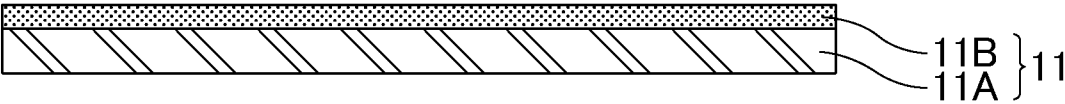
[図8]

図8



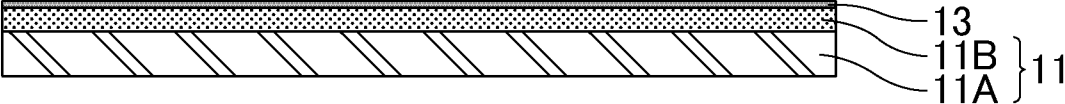
[図9-1]

図9-1



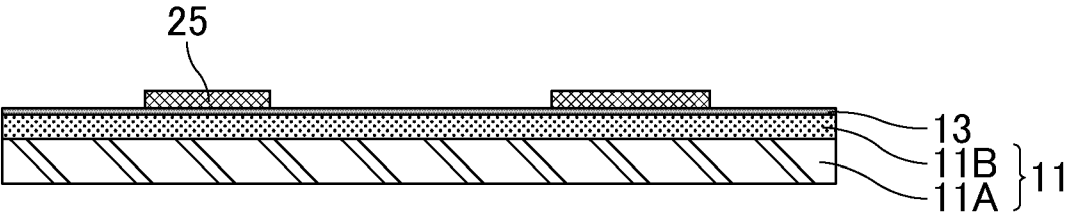
[図9-2]

図9-2



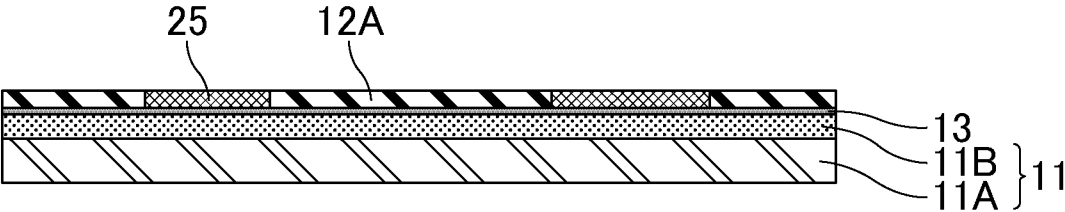
[図9-3]

図9-3



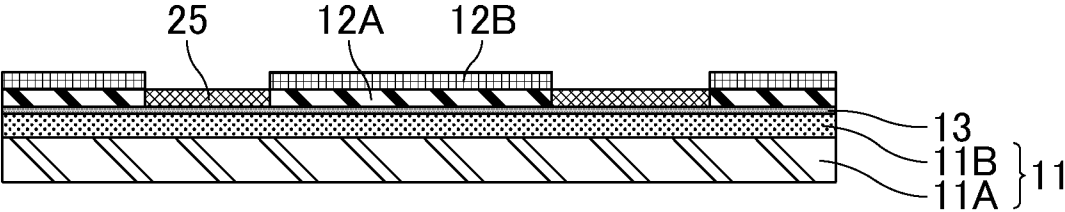
[図9-4]

図9-4



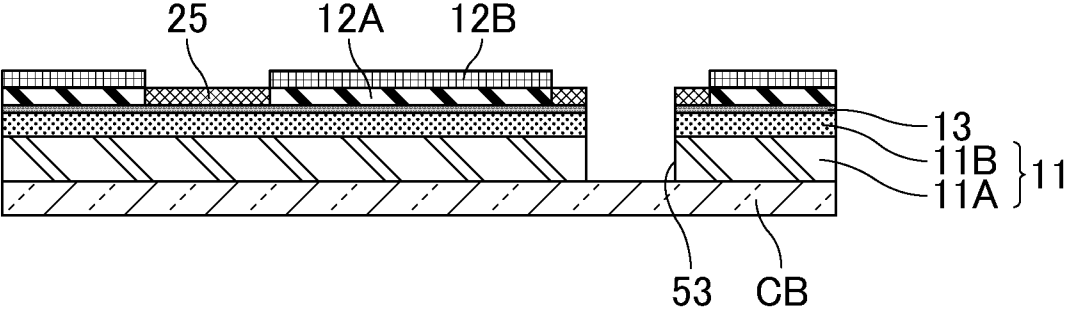
[図9-5]

図9-5



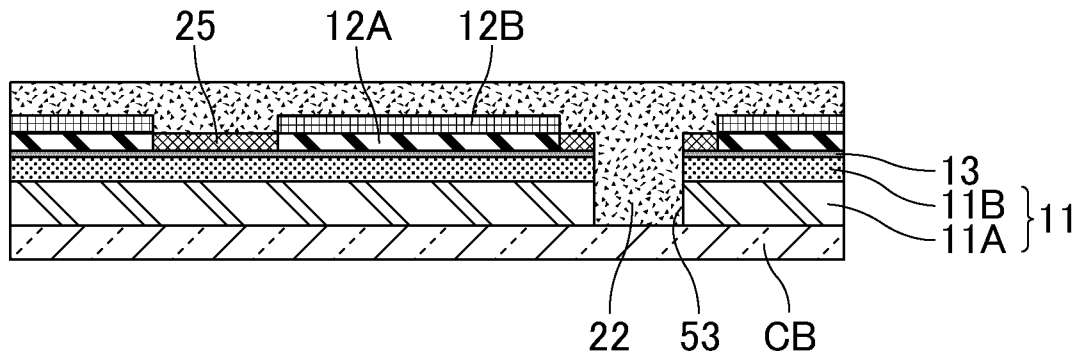
[図9-6]

図9-6



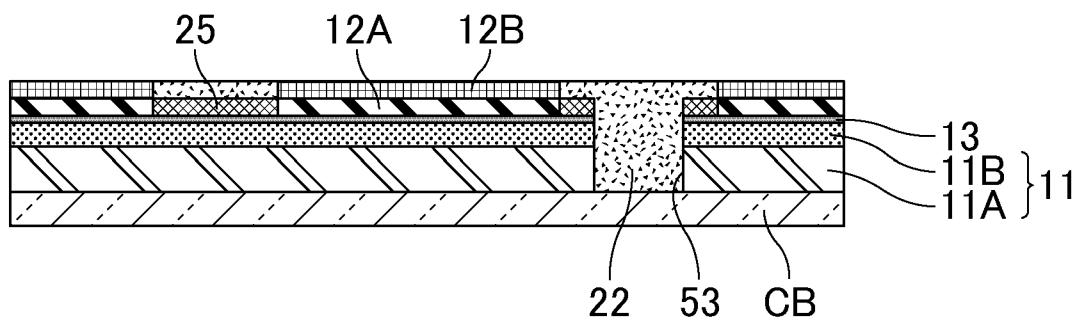
【图9-7】

图9-7



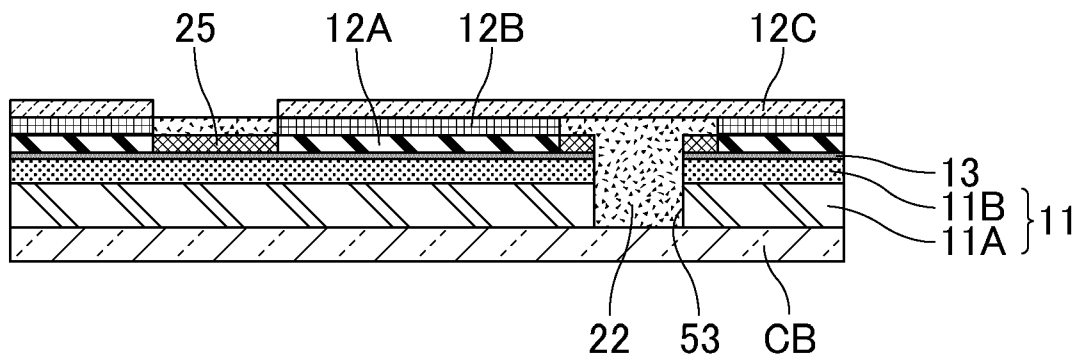
【图9-8】

图9-8



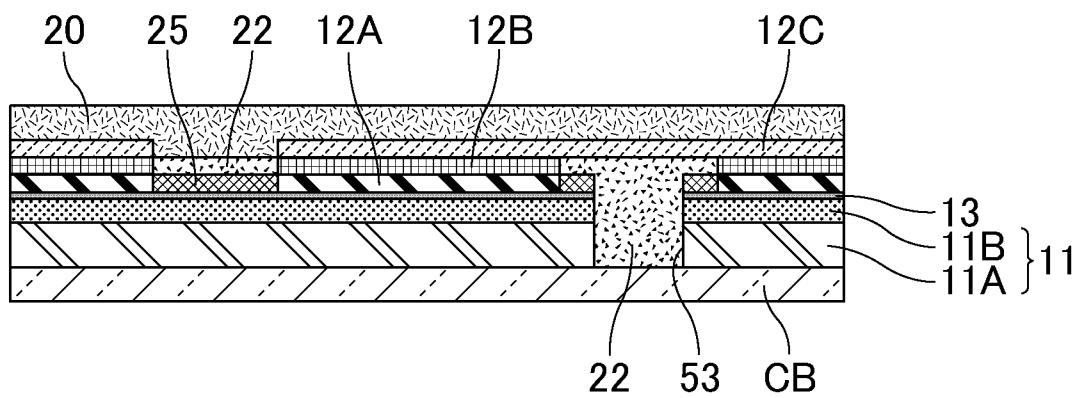
【图9-9】

图9-9



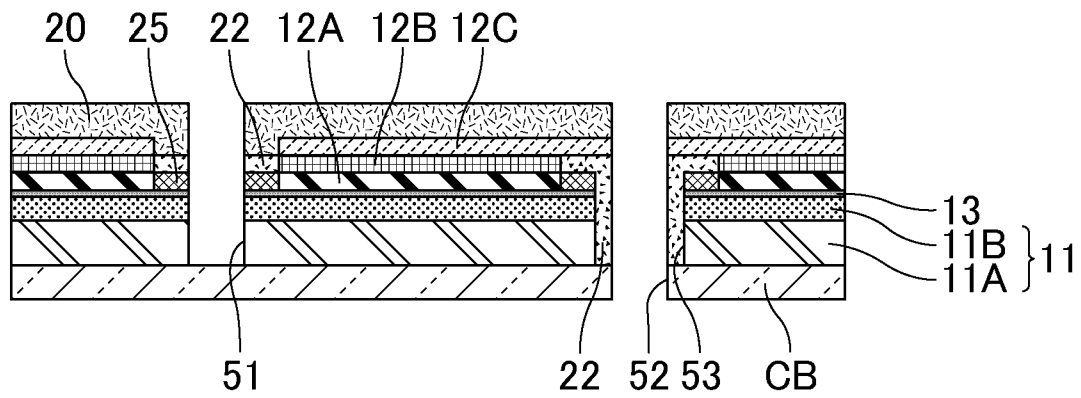
〔圖9-10〕

图9-10



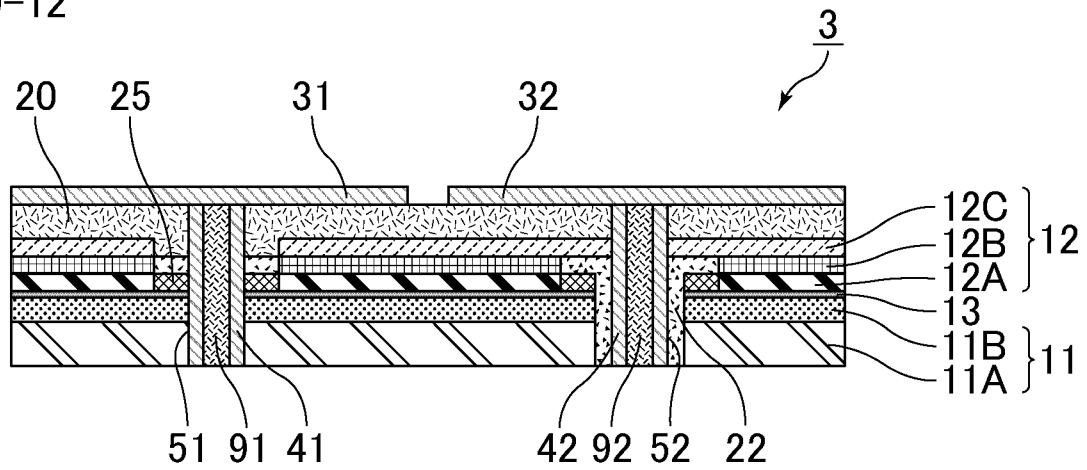
[図9-11]

図9-11



[図9-12]

図9-12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017754

A. CLASSIFICATION OF SUBJECT MATTER**H01G 9/012**(2006.01)i; **H01G 9/15**(2006.01)i; **H01G 9/048**(2006.01)i

FI: H01G9/012 305; H01G9/048 H; H01G9/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G9/012; H01G9/15; H01G9/048

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2023/100630 A1 (MURATA MANUFACTURING CO., LTD.) 08 June 2023 (2023-06-08) paragraphs [0037]-[0156], fig. 1-7	1, 4
Y		3, 5
A		2
Y	JP 2007-73787 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 22 March 2007 (2007-03-22) paragraph [0053], fig. 2, 20	3, 5
A		2
A	JP 2004-31641 A (NEC TOPPAN CIRCUIT SOLUTIONS INC.) 29 January 2004 (2004-01-29) paragraph [0097], fig. 1	2
A	JP 2006-147606 A (NEC TOPPAN CIRCUIT SOLUTIONS INC.) 08 June 2006 (2006-06-08) paragraphs [0029]-[0030], fig. 1, 2	2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 June 2024

Date of mailing of the international search report

25 June 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/017754

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2023/100630	A1	08 June 2023	(Family: none)	
JP	2007-73787	A	22 March 2007	(Family: none)	
JP	2004-31641	A	29 January 2004	US 2004/0246690 A1	
				paragraph [0132], fig. 1	
				EP 1377141 A2	
				KR 10-2004-0002664 A	
				CN 1471353 A	
JP	2006-147606	A	08 June 2006	US 2006/0120014 A1	
				paragraphs [0050]-[0051], fig. 1A-2	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01G 9/012(2006.01)i; H01G 9/15(2006.01)i; H01G 9/048(2006.01)i

FI: H01G9/012 305; H01G9/048 H; H01G9/15

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01G9/012; H01G9/15; H01G9/048

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2023/100630 A1（株式会社村田製作所）08.06.2023（2023-06-08） 段落0037-0156, 図1-7	1, 4
Y		3, 5
A		2
Y	JP 2007-73787 A（松下電器産業株式会社）22.03.2007（2007-03-22） 段落0053, 図2, 20	3, 5
A		2
A	JP 2004-31641 A（株式会社トッパンエヌイーシー・サーキットソリューションズ） 29.01.2004（2004-01-29） 段落0097, 図1	2
A	JP 2006-147606 A（株式会社トッパンNECサーキットソリューションズ） 08.06.2006（2006-06-08） 段落0029-0030, 図1, 2	2

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

10.06.2024

国際調査報告の発送日

25.06.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

木下 直哉 5D 3858

電話番号 03-3581-1101 内線 3549

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017754

引用文献			公表日	パテントファミリー文献	公表日
WO	2023/100630	A1	08.06.2023	(ファミリーなし)	
JP	2007-73787	A	22.03.2007	(ファミリーなし)	
JP	2004-31641	A	29.01.2004	US 2004/0246690	A1
				段落0132, 図1	
				EP 1377141	A2
				KR 10-2004-0002664	A
				CN 1471353	A
JP	2006-147606	A	08.06.2006	US 2006/0120014	A1
				段落0050-0051, 図1A-2	