

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-273047

(P2009-273047A)

(43) 公開日 平成21年11月19日(2009.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO4B 10/04 (2006.01)	HO4B 9/00 Y	5K102
HO4B 10/06 (2006.01)	HO4B 9/00 B	
HO4B 10/14 (2006.01)		
HO4B 10/26 (2006.01)		
HO4B 10/28 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2008-123902 (P2008-123902)
 (22) 出願日 平成20年5月9日 (2008.5.9)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100082175
 弁理士 高田 守
 (74) 代理人 100106150
 弁理士 高橋 英樹
 (72) 発明者 近藤 晴房
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 深尾 哲宏
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

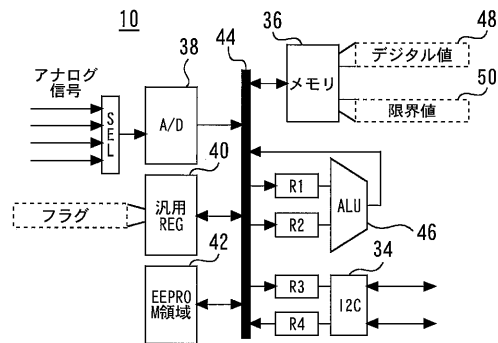
(54) 【発明の名称】 光送受信機のための制御回路

(57) 【要約】

【課題】メモリ量を節約することができる光送受信機のための制御回路を得る。

【解決手段】メモリ36は、デジタル値記憶領域48と、所定の限界値が記憶された領域50とを有する。アナログ/デジタル変換回路38は、光送受信機から光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、デジタル値をメモリ36内のデジタル値記憶領域48に記憶させる。比較論理回路46は、複数のデジタル値をそれぞれに対応する限界値と比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を汎用レジスタ40に記憶させる。外部インターフェース34は、外部のホスト装置から受け取った指令及びアドレスに従って、ホスト装置からメモリ36及び汎用レジスタ40にアクセス可能とする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

光信号の送受信を行う光送受信機のための制御回路であって、
デジタル値記憶領域と、所定の限界値が記憶された領域とを有するメモリと、
レジスタと、

前記光送受信機から前記光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、前記デジタル値を前記メモリ内の前記デジタル値記憶領域に記憶させるアナログ/デジタル変換回路と、

前記複数のデジタル値をそれぞれに対応する前記限界値と比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を前記レジスタに記憶させる比較論理回路と、

外部のホスト装置から受け取った指令及びアドレスに従って、前記ホスト装置から前記メモリ及び前記レジスタにアクセス可能とする外部インターフェースとを含み、

前記ホスト装置に前記フラッグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能としたことを特徴とする光送受信機のための制御回路。

【請求項 2】

前記レジスタは、汎用レジスタ又は周辺回路のレジスタであることを特徴とする請求項 1 に記載の光送受信機のための制御回路。

【請求項 3】

前記フラッグ値は、対応する前記デジタル値が第 1 の範囲から外れていることを示すフラッグと、対応する前記デジタル値が前記第 1 の範囲よりも広い第 2 の範囲から外れていることを示すフラッグと、対応する前記デジタル値が前記第 1 の範囲又は前記第 2 の範囲の上限より高いか、下限より低いことを示すフラッグとを有することを特徴とする請求項 1 に記載の光送受信機のための制御回路。

【請求項 4】

光信号の送受信を行う光送受信機のための制御回路であって、
所定の限界値が記憶された領域を有するメモリと、
レジスタと、

前記光送受信機から前記光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換するアナログ/デジタル変換回路と、

前記複数のデジタル値をそれぞれに対応する前記限界値と比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を前記レジスタに記憶させる比較論理回路と、

外部のホスト装置から受け取った指令及びアドレスに従って、前記ホスト装置から前記メモリ及び前記レジスタにアクセス可能とする外部インターフェースとを含み、

前記ホスト装置に前記フラッグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能としたことを特徴とする光送受信機のための制御回路。

【請求項 5】

光信号の送受信を行う光送受信機のための制御回路であって、
フラッグ記憶領域と、所定の限界値が記憶された領域とを有するメモリと、

前記光送受信機から前記光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換するアナログ/デジタル変換回路と、

前記複数のデジタル値をそれぞれに対応する前記限界値と比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を前記メモリ内の前記フラッグ記憶領域に記憶させる比較論理回路と、

外部のホスト装置から受け取った指令及びアドレスに従って、前記ホスト装置から前記メモリにアクセス可能とする外部インターフェースとを含み、

前記ホスト装置に前記フラッグ値を読み取らせることにより光送受信機の作動状態を外

10

20

30

40

50

部からモニタ可能としたことを特徴とする光送受信機のための制御回路。

【請求項 6】

前記ホスト装置から前記アナログ信号を読みたいとの要求を受け取った時点で、前記アナログ/デジタル変換回路は、前記アナログ信号を前記デジタル値に変換し、前記外部インターフェースを通して前記ホスト装置に読み取らせることを特徴とする請求項 4 又は 5 に記載の光送受信機のための制御回路。

【請求項 7】

光信号の送受信を行う光送受信機のための制御回路であって、
 デジタル値記憶領域と、所定の限界値が記憶された領域とを有するメモリと、
 前記光送受信機から前記光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、前記デジタル値を前記メモリ内の前記デジタル値記憶領域に記憶させるアナログ/デジタル変換回路と、
 前記複数のデジタル値をそれぞれに対応する前記限界値と比較してその比較結果に応じて前記メモリ内の前記デジタル値の正負を反転させる比較論理回路と、
 外部のホスト装置から受け取った指令及びアドレスに従って、前記ホスト装置から前記メモリにアクセス可能とする外部インターフェースとを含み、
 前記ホスト装置に前記デジタル値の正負を読み取らせることにより光送受信機の作動状態を外部からモニタ可能としたことを特徴とする光送受信機のための制御回路。

10

【請求項 8】

光信号の送受信を行う光送受信機のための制御回路であって、
 デジタル値記憶領域と、所定の限界値が記憶された領域とを有するメモリと、
 前記光送受信機から前記光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、前記デジタル値を前記メモリ内の前記デジタル値記憶領域に記憶させるアナログ/デジタル変換回路と、
 前記複数のデジタル値をそれぞれに対応する前記限界値と比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を前記メモリ内の前記デジタル値の最下位ビットに記憶させる比較論理回路と、
 外部のホスト装置から受け取った指令及びアドレスに従って、前記ホスト装置から前記メモリにアクセス可能とする外部インターフェースとを含み、
 前記ホスト装置に前記フラッグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能としたことを特徴とする光送受信機のための制御回路。

20

30

【請求項 9】

光信号の送受信を行う光送受信機のための制御回路であって、
 デジタル値記憶領域と、所定の限界値が記憶された領域とを有するメモリと、
 前記光送受信機から前記光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、前記デジタル値を前記メモリ内の前記デジタル値記憶領域に記憶させるアナログ/デジタル変換回路と、
 前記複数のデジタル値をそれぞれに対応する前記限界値と比較してその比較結果に応じて前記メモリ内の前記限界値の正負を反転させる比較論理回路と、
 外部のホスト装置から受け取った指令及びアドレスに従って、前記ホスト装置から前記メモリにアクセス可能とする外部インターフェースとを含み、
 前記ホスト装置に前記限界値の正負を読み取らせることにより光送受信機の作動状態を外部からモニタ可能としたことを特徴とする光送受信機のための制御回路。

40

【請求項 10】

光信号の送受信を行う光送受信機のための制御回路であって、
 フラッグ記憶領域と、デジタル値記憶領域と、所定の限界値が記憶された領域とを有するメモリと、
 前記光送受信機から前記光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、前記デジタル値を前記メモリ内の前記デジタル値記憶領域に記憶させるアナログ/デジタル変換回路と、

50

前記複数のデジタル値をそれぞれに対応する前記限界値と足し算してその結果のオーバーフローの有無に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を前記メモリ内の前記フラッグ記憶領域に記憶させる比較論理回路と、

外部のホスト装置から受け取った指令及びアドレスに従って、前記ホスト装置から前記メモリにアクセス可能とする外部インターフェースとを含み、

前記ホスト装置に前記フラッグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能としたことを特徴とする光送受信機のための制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光送受信機の作動状態を外部のホスト装置へ伝える光送受信機のための制御回路に関し、特にメモリ量を節約することができる光送受信機のための制御回路に関するものである。

【背景技術】

【0002】

光ファイバなどを用いた光通信において、光信号の送受信を行う光送受信機が広く用いられている。このような光送受信機のための制御回路であって、光送受信機の作動状態を外部のホスト装置へ伝えるモニタ機能を持つものが提案されている（例えば、特許文献1参照）。

【特許文献1】特許第3822861号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

光送受信機は、XFPやSFPに代表されるMulti-Source Agreementと呼ばれる業界標準規格に基づいて設計される。このため、外部から見たインターフェースや機能が統一された製品が市場で競合するため、コストに非常に敏感である。また、光送受信機のための制御回路としてハードワイアードマイクロコントローラが用いられることがある。このマイクロコントローラのコストは搭載するメモリのメモリ量が大きいほど高価になる傾向にあるため、少しでもメモリ量の少ないマイクロコントローラを用いる必要がある。

【0004】

特許文献1の光送受信機のための制御回路では、メモリに、光送受信機の作動状態と所定の限界値を記憶する領域だけでなく、作動状態が限界値を超えた場合に発生するフラッグを記憶する領域も確保していた。このため、光送受信機の温度、バイアス、電源電圧、光出力のパワー、受光電力など、モニタするパラメータを多くするほど必要なメモリ量が増え、コストが高くなるという問題があった。

【0005】

さらに、作動状態が第1の限界値を超えた場合にWarning、次の第2の限界値を超えた場合にはAlarmを通知する機能を持たせる場合、作動状態、第1の限界値、第2の限界値、Warningフラッグ、Alarmフラッグの5つについてメモリ領域を確保する必要があり、更にメモリ量が増えるという問題があった。

【0006】

本発明は、上述のような課題を解決するためになされたもので、その目的は、メモリ量を節約することができる光送受信機のための制御回路を得るものである。

【課題を解決するための手段】

【0007】

本発明に係る光送受信機のための制御回路は、光信号の送受信を行う光送受信機のための制御回路であって、デジタル値記憶領域と、所定の限界値が記憶された領域とを有するメモリと、レジスタと、光送受信機から光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、デジタル値をメモリ内のデジタル値記憶領域に記憶させるアナログ/デジタル変換回路と、複数のデ

10

20

30

40

50

デジタル値をそれぞれに対応する限界値と比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値をレジスタに記憶させる比較論理回路と、外部のホスト装置から受け取った指令及びアドレスに従って、ホスト装置からメモリ及びレジスタにアクセス可能とする外部インターフェースとを含み、ホスト装置にフラッグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能とした。本発明のその他の特徴は以下に明らかにする。

【発明の効果】

【0008】

本発明により、メモリ量を節約することができる。

【発明を実施するための最良の形態】

【0009】

実施の形態 1 .

図 1 は、実施の形態 1 に係る光送受信機を示すブロック図である。この光送受信機は、光信号の送受信を行うものである。制御回路 10 は、光送受信機の温度、バイアス、電源電圧、光出力のパワー、受光電力などが経年変化などで徐々に劣化していくのを事前に検出して外部のホスト装置へ伝えるモニタ機能を有する。

【0010】

まず、送信回路側について説明する。TX側CDR (Clock Data Recovery) 回路 12 は、入力した電気信号からクロックを抽出して、データをリタイミングする。なお、このようなCDR回路は、SFPのような2R (reshaping and retransmission) 送受信機では必要ないが、XFPのような3R (reshaping, retransmission and retiming) 送受信機では必要である。また、CDR回路は、電気信号の伝送路の特性を補正するためのEQ (イコライザ) を内蔵している場合が多い。

【0011】

ドライバ回路 14 は、TX側CDR回路 12 の出力信号を増幅して、レーザーダイオード (LD) 16 に与えてLD 16 を駆動する。LD 16 は、その背面光、又は前面光を分岐したものを受光するモニタフォトデテクタ (PD) を備えている。このモニタPDの電流をモニタPD電流検出回路 18 により検出することで、LD 16 の出力光のパワーを推し量ることができる。また、モニタPDの電流を検出してドライバ回路 14 の変調電流やバイアスにフィードバックをかけることで、LD 16 の光出力を一定に保つフィードバックループを持つAPC (Automatic Power Control) 回路を形成することができる。LD 16 としてDFBレーザーなどを用いる場合は、このようなAPC回路を設けることが多い。モニタPD電流検出回路 18 はモニタPDの電流を制御回路 10 に伝え、バイアスマニタ回路 20 はドライバ回路 14 のバイアス電流又は変調電流を制御回路 10 に伝える。

【0012】

次に、受信回路側について説明する。光入力は、フォトダイオード (PD) 22 によって電気信号に変換される。この電気信号は、PD ROSA (Receive Optical Sub-Assembly) 内のTIA (Trans-Impedance Amplifier) により振幅の大きい電圧信号に変換される。アンプ 24 は、PD 22 の出力信号を光送受信機外部でも通用する数百mV程度の大振幅電気信号に増幅する。アンプ 24 の出力信号は、RX側CDR回路 26 を介して外部に出力される。なお、アンプ 24 として、AGCアンプやLimitingアンプなど光送受信機の種別によって様々な種類のアンプを用いることができる。

【0013】

受光電力モニタ回路 28 は、PD 22 の受光電力を計測して制御回路 10 に伝える。また、LOS発生回路 30 は、PD 22 の受光電力がある値よりも小さい場合にLOS (Loss Of Signal) 信号を発生する。LOS発生回路 30 の挙動も制御回路 10 に伝えられる。

【0014】

また、PD 22 の代わりにAPD (アバランシェPD) を用いることもできる。この場合、APDの増倍率が適切になるようにPD制御部 32 でAPD電圧を制御する必要があ

10

20

30

40

50

る。

【0015】

制御回路10は、例えば送信側のバイアス電流を上限値や下限値と比較し、これを超える場合にはTX_FAULT信号を外部に出力して、自分自身が異常であることを伝える。その他、異常であることを外部に伝えるために、インタラプト信号を出力してもよい。

【0016】

制御回路10は、外部からモード信号を入力する。そして、受信側のアンプ24に内蔵されたプログラマブルフィルタの設定を、モードに応じて切り替える。これにより、光送受信機が低速から高速までの動作周波数をカバーするマルチレート対応送受信機の場合などに、低速時にそれに応じたフィルタ帯域に設定することで高周波域のノイズをカットすることができ、受信感度を稼ぐことができる。

10

【0017】

制御回路10は、光送受信機の作動特性又は環境をモニタして、その値を限界値と比較してその比較結果に対応したフラッグ値を発生させる。このフラッグ値は制御回路10内に記憶されており、そのアドレスを指定すれば外部インターフェース34を介して外部から読み出すことができる。この制御回路10のモニタ機能については後で詳細に説明する。

【0018】

なお、上記の光送受信機は、電気信号が1本の電気信号又は差動対を構成する2本の電気信号を入力する。これに限らず、複数本の低速信号を入力することもできる。この場合、TX側CDR回路12内又は別途用意したMUX回路において、複数本の低速信号から高速信号に変換するMUX機能を設ける必要がある。また、上記の光送受信機の一部を省略することもできる。例えばモニタ回路は必ずしも無くても良い。PD22の代わりにフォトデテクタを用いてもよい。

20

【0019】

図2は、実施の形態1に係る光送受信機のための制御回路を示すブロック図である。制御回路10は、1チップマイコンや、外部メモリとマイコンなどで構成される。

【0020】

メモリ36、アナログ/デジタル変換回路38の出力、汎用レジスタ40（レジスタ）、レジスタR1～R4、及びEEPROM領域42がマイコン内のバス44に接続されている。レジスタR1、R2は、マイコン内の演算ユニット（ALU）である比較論理回路46とバス44を接続する。外部インターフェース34はI2Cバスであり、レジスタR3、R4は、この外部インターフェース34とマイコン内のバス44を接続する。なお、外部インターフェース34は、I2Cバスに限らず他のインターフェースでもよい。また、図示していないが、制御回路10から外部へアナログ信号を伝えるために、デジタル/アナログ変換回路が設けられている。ただし、外部へデジタル信号を伝える場合はマイコンのIOを用いる。

30

【0021】

メモリ36は、デジタル値記憶領域48と、所定の限界値が記憶された領域50とを有する。EEPROM領域42は、マイコン内蔵の不揮発性メモリ領域で構成してもよいし、マイコンの外部にメモリインターフェースを介してFlashメモリなどの不揮発性メモリで構成してもよい。

40

【0022】

アナログ/デジタル変換回路38は、光送受信機から光送受信機の作動特性又は環境に関する作動パラメータを示す複数のアナログ信号を受信してそれぞれをデジタル値に変換し、デジタル値をメモリ36内のデジタル値記憶領域48に記憶させる。アナログ信号としては、温度、ドライバのバイアス電流、APDのバイアス電圧、電源電圧、出力電力、受光電力などのモニタ値がある。アナログ/デジタル変換回路38は、ここではマイコンに内蔵されているが、これに限らず、外部に設置してマイコンと通信するようにしてもよい。

50

【 0 0 2 3 】

比較論理回路 4 6 は、複数のデジタル値をそれぞれに対応する限界値と比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を汎用レジスタ 4 0 に記憶させる。外部インターフェース 3 4 は、外部のホスト装置（不図示）から受け取った指令及びアドレスに従って、ホスト装置からメモリ 3 6 及び汎用レジスタ 4 0 にアクセス可能とする。上記の構成を含む制御回路 1 0 は、ホスト装置にフラッグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能とする。

【 0 0 2 4 】

上記の制御回路 1 0 の動作について説明する。まず、初期化時は、汎用レジスタ 4 0 の全てを汎用使用する。初期化が完了した後の通常動作処理時には、汎用レジスタ 4 0 の 3 バイト分程度を Warning / Alarm のフラッグ値専用として使用する。

10

【 0 0 2 5 】

アナログ / デジタル変換回路 3 8 は、制御回路 1 0 のシーケンサーのサイクルタイムなどにより定期的にアナログ信号をデジタル値に変換し、そのデジタル値をメモリ 3 6 内のデジタル値記憶領域 4 8 に記憶させる。また、所定の間隔で、メモリ 3 6 の領域 5 0 から限界値をレジスタ R 1 へ読み出し、メモリ 3 6 のデジタル値記憶領域 4 8 からデジタル値をレジスタ R 2 へ読み出す。そして、比較論理回路 4 6 は、両者を比較してその比較結果に対応したフラッグ値をそれぞれ発生させ、このフラッグ値を汎用レジスタ 4 0 に記憶させる。外部のホスト装置から I 2 C 割り込みが入り、Warning / Alarm の読み出し指示があった場合は、汎用レジスタ 4 0 からフラッグ値を外部に読み出す。それ以外の情報の読み出し指示があった場合は、メモリ 3 6 から情報を読み出す。

20

【 0 0 2 6 】

以上説明したように、本実施の形態では、比較論理回路 4 6 が求めたフラッグ値を汎用レジスタ 4 0 に記憶させる。汎用レジスタ 4 0 はメモリ 3 6 ではないことから、メモリ 3 6 のメモリ量を節約することができる。また、一般的なマイクロプロセッサにおいて、メモリ 3 6 への書き込みは通常数サイクルかかるのに対して、汎用レジスタ 4 0 への書き込みは 1 サイクルで行われるため、フラッグ生成ルーチンを高速化することができる。

【 0 0 2 7 】

また、通常、マイコンには、汎用レジスタ 4 0 の他に、周辺回路が備わっている。周辺回路としては、タイマー、カウンタ、G P I O (General Purpose Input Output)、A D C (Analog to Digital Converter)、D A C (Digital to Analog Converter) などがある。これらの周辺回路は、自身を制御するためのレジスタを持っている。例えば、D A C のレジスタに値をセットすると、その値に対応するアナログ出力が得られる。制御回路 1 0 内に未使用の周辺回路が有る場合、汎用レジスタ 4 0 の代わりに、未使用の周辺回路のレジスタにフラッグ値を記憶させるようにしても、同様の効果を得ることができる。

30

【 0 0 2 8 】

また、フラッグ値には様々なものがあるが、通常、表 1 のように上限の限界値と下限の限界値を持っている。また、フラッグ値に、重篤な状態に陥ったことを示す Alarm と、危険をつたえる Warning の 2 つのレベルを設定すると、2 0 個のフラッグ値が必要になる。

【表 1】

フラッグ値の種類	
下限より低い場合の温度 Alarm	上限より高い場合の温度 Alarm
下限より低い場合のバイアス Alarm	上限より高い場合のバイアス Alarm
下限より低い場合の電源電圧 Alarm	上限より高い場合の電源電圧 Alarm
下限より低い場合の出力電力 Alarm	上限より高い場合の出力電力 Alarm
下限より低い場合の受光電力 Alarm	上限より高い場合の受光電力 Alarm
下限より低い場合の温度 warning	上限より高い場合の温度 warning
下限より低い場合のバイアス warning	上限より高い場合のバイアス warning
下限より低い場合の電源電圧 warning	上限より高い場合の電源電圧 warning
下限より低い場合の光出力 warning	上限より高い場合の光出力 warning
下限より低い場合の受光電力 warning	上限より高い場合の受光電力 warning

10

【0029】

表 1 において、下限より低い場合と上限より高い場合が同時には発生しない。このような同時に発生し得ない状況を勘案してフラッグ値をデータ圧縮すると表 2 のようになる。このフラッグ値は、対応するデジタル値が Warning の範囲（第 1 の範囲）から外れていることを示すフラッグと、対応するデジタル値が Warning の範囲よりも広い Alarm の範囲（第 2 の範囲）から外れていることを示すフラッグと、対応するデジタル値が Alarm の範囲又は Warning の範囲の上限より高いか、下限より低いかを示すフラッグとを有する。

20

【表 2】

データ圧縮したフラッグ値の種類		
温度 Alarm の有無	温度 Warning の有無	上限か下限か
バイアス Alarm の有無	バイアス Warning の有無	上限か下限か
電源電圧 Alarm の有無	電源電圧 Warning の有無	上限か下限か
光出力 Alarm の有無	光出力 Warning の有無	上限か下限か
受光電力 Alarm の有無	受光電力 Warning の有無	上限か下限か

30

【0030】

このようにフラッグ値をデータ圧縮することで、フラッグ値は 15 個で済むため、メモリ量を節約することができる。フラッグ値の種類が多くなるほど節約効果も大きくなる。また、外部のホスト装置から表 1 の 20 個のフラッグ値のデータを読み出したい場合、表 2 の 15 個のフラッグ値から論理演算によって要求されたデータを計算することができる。

【0031】

実施の形態 2 .

図 3 は、実施の形態 2 に係る光送受信機のための制御回路を示すブロック図である。アナログ/デジタル変換回路 38 は、実施の形態 1 と同様にアナログ信号をデジタル信号に変換するが、このデジタル信号をメモリ 36 には記憶させない。そして、外部のホスト装置からアナログ信号を読み出したいとの要求を受け取った時点で、制御回路 10 はインタラプトを発生させ、アナログ/デジタル変換回路 38 はアナログ信号をデジタル値に変換し、外部インターフェース 34 (I2C) を通してホスト装置に読み取らせる。その他の構成は実施の形態 1 の構成と同様である。

40

【0032】

ここで、デジタル値は通常 8 ビットや 16 ビットであるため、例えば 5 つのアナログ信号を A/D 変換したデジタル値を記憶するデジタル値記憶領域 48 は、それぞれ 5 バイト、10 バイトとなる。本実施の形態では、デジタル信号をメモリ 36 に記憶させないことで、デジタル値記憶領域 48 を省略してメモリ量を節約することができる。このようなメ

50

メモリ量の節約は、アナログ信号の数が多いほど有効である。

【0033】

なお、フラッグ値を求めた際のアナログ信号と、ホスト装置から要求された際のアナログ信号が微妙に異なる場合がある。しかし、アナログ信号は急には値が変わらない性質のものであるため問題にはならない。即ち、唐突に異常状態になった場合は、別途、制御回路10を介さずにホスト装置へ伝えるので関係無い。

【0034】

実施の形態3 .

図4は、実施の形態3に係る光送受信機のための制御回路を示すブロック図である。

アナログ/デジタル変換回路38は、実施の形態2と同様に、デジタル信号をメモリ36に記憶させない。そして、外部のホスト装置からアナログ信号を読みたいとの要求を受け取った時点で、制御回路10はインタラプトを発生させ、アナログ/デジタル変換回路38はアナログ信号をデジタル値に変換し、外部インターフェース34(I2C)を通してホスト装置に読み取らせる。

10

【0035】

メモリ36は、実施の形態2とは異なり、所定の限界値が記憶された領域50だけでなく、フラッグ値を記憶させるフラッグ記憶領域52を有する。そして、比較論理回路46は、実施の形態1,2と同様にフラッグ値を発生させ、このフラッグ値をメモリ36内のフラッグ記憶領域52に記憶させる。制御回路10は、ホスト装置にフラッグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能とする。

20

【0036】

このようにメモリ36にフラッグ記憶領域52を設けた分だけ、実施の形態1,2に比べてメモリ領域が多くなる。しかし、実施の形態2と同様に、デジタル信号をメモリ36に記憶させないことで、メモリ36においてデジタル値記憶領域48を省略してメモリ量を節約することができる。

【0037】

実施の形態4 .

図5は、実施の形態4に係る光送受信機のための制御回路を示すブロック図である。

メモリ36は、デジタル値記憶領域48と、所定の限界値が記憶された領域50とを有する。アナログ/デジタル変換回路38は、所定の間隔でアナログ信号をデジタル値に変換し、デジタル値をレジスタR1とメモリ36内のデジタル値記憶領域48に記憶させる。

30

【0038】

比較論理回路46は、メモリ36の領域50から限界値をレジスタR2に読み出し、複数のデジタル値をそれぞれに対応する限界値と比較してその比較結果に応じてメモリ36内のデジタル値の正負を反転させる。具体的には、比較結果がOKの場合は何もせず、比較結果がNGの場合はメモリ36のデジタル値記憶領域48からデジタル値を読み出して正負逆転(二進数なら二の補数を取る)させ、その結果を元のアドレスへ書き戻す。従って、デジタル値は負ならNG、正ならOKという意味になる。

【0039】

外部インターフェース34は、外部のホスト装置から受け取った指令及びアドレスに従って、ホスト装置からメモリ36にアクセス可能とする。制御回路10は、ホスト装置にデジタル値の正負を読み取らせることにより光送受信機の作動状態を外部からモニタ可能とする。

40

【0040】

例えば、デジタル値記憶領域48の8個のアドレスからMSB(Most Significant Bit)を読み出して、シフトしてORを取るなどのALU演算でフラッグ値1バイト分を生成してから、外部インターフェース34を介してホスト装置に返答する。

【0041】

上記のように、フラッグ値をメモリ36に記憶させるのではなく、メモリ36内のデジ

50

タル値の正負を反転させることで、フラグ値と等価の情報を持たせつつ、メモリ量を節約することができる。

【 0 0 4 2 】

実施の形態 5 .

本実施の形態では、比較論理回路 4 6 は、フラグ値をメモリ 3 6 内のデジタル値の最下位ビット（下位ビットから 1 ビットか 2 ビット）に記憶させる。制御回路 1 0 は、ホスト装置にフラグ値を読み取らせることにより光送受信機の作動状態を外部からモニタ可能とする。その他の構成は実施の形態 4 の構成と同様である。

【 0 0 4 3 】

メモリ 3 6 内にフラグ値専用の領域を設ける必要が無くなるため、メモリ量を節約することができる。ただし、例えば 1 6 ビットのデジタル値の最下位から 2 ビットをフラグ値に割り当てたとすると、デジタル値の精度が 2 L S B (Least Significant Bit) 分だけ失われることになる。しかし、精度劣化は 1 6 ビットフルレンジの 0 . 0 0 6 % にすぎないので問題にはならない。

【 0 0 4 4 】

実施の形態 6 .

図 6 は、実施の形態 6 に係る光送受信機のための制御回路を示すブロック図である。

本実施の形態では、比較論理回路 4 6 は、複数のデジタル値をそれぞれに対応する限界値と比較してその比較結果に応じてメモリ 3 6 内の限界値の正負を反転させる。制御回路 1 0 は、ホスト装置に限界値の正負を読み取らせることにより光送受信機の作動状態を外部からモニタ可能とする。その他の構成は実施の形態 4 の構成と同様である。

【 0 0 4 5 】

実施の形態 4 ではデジタル値の正負を反転させたが、限界値が複数個ある場合（上限と下限、AlarmレベルとWarningレベルなど）の場合は、本実施の形態のように限界値の正負を反転させても同様の効果を得ることができる。

【 0 0 4 6 】

なお、限界値の正負を反転（二の補数処理）するのではなく、単にビット反転してもよい。その場合、M S B が 0 か 1 かで正負反転と等価となる。

【 0 0 4 7 】

実施の形態 7 .

図 7 は、実施の形態 7 に係る光送受信機のための制御回路を示すブロック図である。

本実施の形態では、比較論理回路 4 6 は、複数のデジタル値をそれぞれに対応する限界値と足し算してその結果のオーバーフローの有無に対応したフラグ値をそれぞれ発生させ、このフラグ値をメモリ 3 6 内のフラグ記憶領域 5 2 に記憶させる。限界値として、例えば温度の上限の限界値 8 0 などではなく、デジタル値と足すと比較論理回路 4 6 でオーバーフローが発生するような値を設定する。その他の構成は実施の形態 4 と同様である。

【 0 0 4 8 】

本実施の形態に係る制御回路 1 0 の動作について説明する。アナログ/デジタル変換回路 3 8 は、所定の間隔でアナログ信号をデジタル値に変換し、デジタル値をレジスタ R 1 とメモリ 3 6 内のデジタル値記憶領域 4 8 に記憶させる。次に、比較論理回路 4 6 は、メモリ 3 6 の領域 5 0 から限界値をレジスタ R 2 に読み出し、デジタル値と限界値を足し算する。この計算結果がオーバーフローしたら、比較論理回路 4 6 のオーバーフローフラグ値が立つので、それからフラグ値を発生させる。そして、外部のホスト装置から限界値の読み出し指示があった場合、メモリ 3 6 から限界値を読みだし、F F F F から引き算した値を送ることで、外部へは正しい限界値を出力することができる。

【 0 0 4 9 】

実施の形態 1 ~ 6 では、比較論理回路 4 6 はデジタル値と限界値を引き算し、その結果が正か負かを判定する 2 ステップ動作を行っていた。これに対し、本実施の形態では、比較論理回路 4 6 はデジタル値を限界値と足し算し、その結果がオーバーフローしたかどうかどう

10

20

30

40

50

かを見ればフラッグ値の判定が行えるため、高速に比較を行うことができる。

【 0 0 5 0 】

なお、比較論理回路 4 6 が、演算結果のアンダーフローの有無に対応したフラッグ値を発生させるようにしてもよい。

【 図面の簡単な説明 】

【 0 0 5 1 】

【 図 1 】 実施の形態 1 に係る光送受信機を示すブロック図である。

【 図 2 】 実施の形態 1 に係る光送受信機のための制御回路を示すブロック図である。

【 図 3 】 実施の形態 2 に係る光送受信機のための制御回路を示すブロック図である。

【 図 4 】 実施の形態 3 に係る光送受信機のための制御回路を示すブロック図である。

【 図 5 】 実施の形態 4 に係る光送受信機のための制御回路を示すブロック図である。

【 図 6 】 実施の形態 6 に係る光送受信機のための制御回路を示すブロック図である。

【 図 7 】 実施の形態 7 に係る光送受信機のための制御回路を示すブロック図である。

【 符号の説明 】

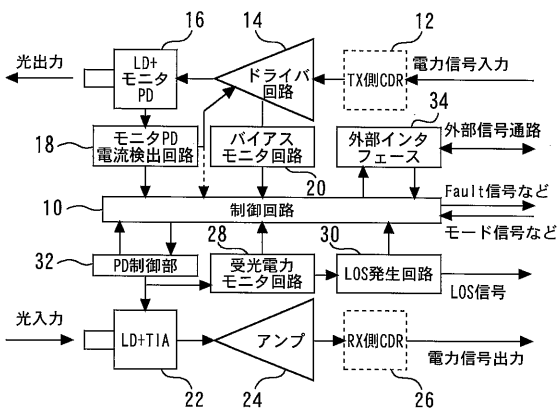
【 0 0 5 2 】

- 1 0 制御回路
- 3 4 外部インターフェース
- 3 6 メモリ
- 3 8 アナログ / デジタル変換回路
- 4 0 汎用レジスタ (レジスタ)
- 4 6 比較論理回路
- 4 8 デジタル値記憶領域
- 5 0 所定の限界値が記憶された領域
- 5 2 フラッグ記憶領域

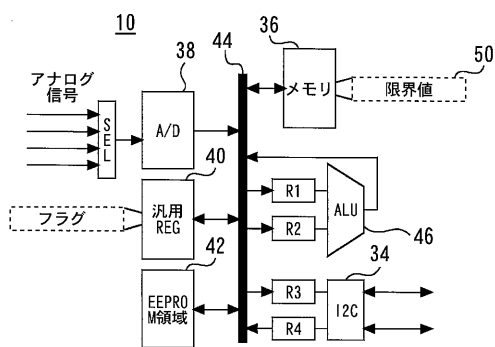
10

20

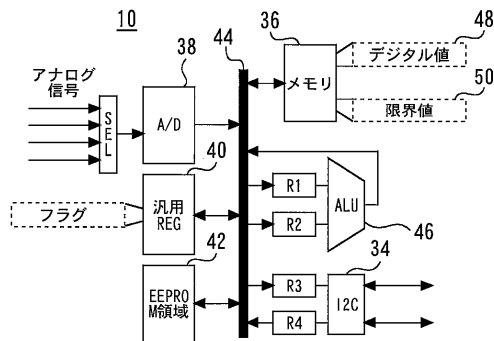
【 図 1 】



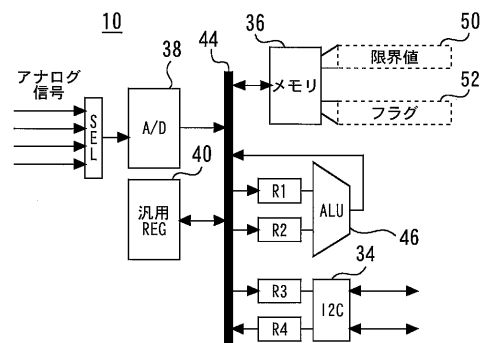
【 図 3 】



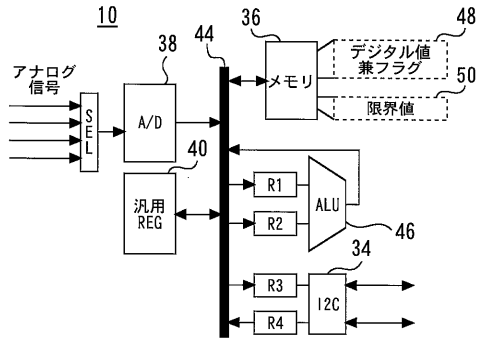
【 図 2 】



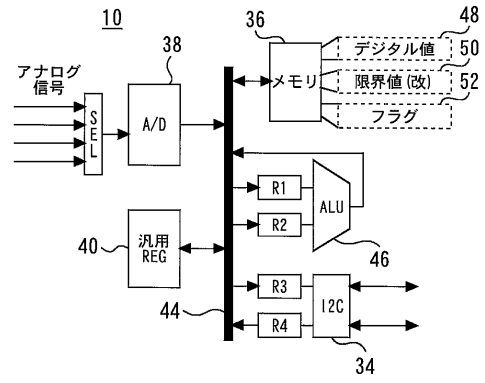
【 図 4 】



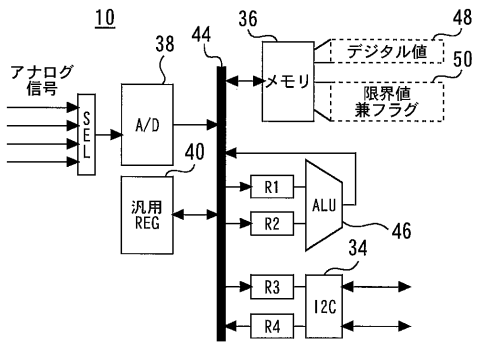
【 図 5 】



【 図 7 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 4 B 10/00 (2006.01)

(72)発明者 中丸 睦美

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5K102 AA63 AH01 AH23 PB03 PH33 RD01 RD02 RD04 RD05 RD26
RD28