

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/302

(11) 공개번호 특2000-0076913
(43) 공개일자 2000년 12월 26일

(21) 출원번호	10-2000-0013857
(22) 출원일자	2000년 03월 18일
(30) 우선권 주장	1999-123061 1999년 04월 28일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무
(72) 발명자	일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치 이마이도시노리
	일본도쿄도오메시신마찌2-13-14산아베뉴아이, 엠203
	오하시나오후미
	일본사이따마켄한노오시미스기다이5-2콘포르219-505
	후마요시오
	일본도쿄도니시따마궁히노데마찌히로이2196-58
	고우도세이이찌
	일본도쿄도고구분지시마나미마찌2-18-13파마르고구분지1408
(74) 대리인	장수길, 구영창

심사청구 : 없음

(54) 반도체 집적회로 디바이스 제조 방법

요약

화학 기계적 연마 방식으로 매립형 금속 상호 접속부를 형성함에 있어서 문제가 되는 디싱(dishing) 현상과 침식 발생을 억제하기 위한 방법으로서, 상호 접속 트렌치(40-44)에 형성된 구리 막(46)의 화학 기계적 연마에 의한 매립형 구리 상호 접속부(46a-46e)의 형성을 연마 입자의 함량이 0.5 중량% 이하인 연마액을 사용하는 연마 입자가 없는 화학 기계적 연마(제1 단계 CMP)와, 연마 입자의 함량이 0.5 중량% 이상인 연마액을 사용하는 연마 입자를 가진 화학 기계적 연마(제2 단계 CMP)와, 그리고 벤조트리아졸(BTA)과 같은 내식제가 첨가된 연마액을 사용하는 선택적 화학 기계적 연마로 실행한다.

대표도

도 17

색인어

반도체 기판, 트렌치, 실리콘 산화물 막, P형 웰, N형 웰, 게이트 산화물 막, 게이트 전극, 실리콘 질화물 막, 실리사이드 층, 측벽 스페이서, n+형 반도체 영역, p+형 반도체 영역

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 2는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 3은 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 4는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 5는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 6a는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의

평면도.

도 6b는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 7a는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 평면도.

도 7b는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 8은 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 9는 매립형 구리 상호 접속부의 형성에 사용된 일례의 CMP 장치의 전체 구조의 개략도.

도 10은 매립형 구리 상호 접속부의 형성에 사용된 일례의 CMP 장치의 부분 개략도.

도 11은 구리 막의 연마 상태를 보여주는 CMP 장치의 개략도.

도 12는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 13은 구리의 pH 대 산화-환원 전위 특성을 보여주는 그래프,

도 14a는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 평면도.

도 14b는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 15는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 16a는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 평면도.

도 16b는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 17은 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 18a는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 평면도.

도 18b는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 19는 웨이퍼의 스크러빙 세정방법을 보여주는 사시도.

도 20은 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 공정도.

도 21은 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 22는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 23a는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 평면도.

도 23b는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 24는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

도 25는 본 발명의 실시예인 반도체 집적회로 디바이스의 제조공정을 보여주는 반도체 기판의 주요부의 단면도.

〈도면의 주요부분에 대한 부호의 설명〉

1 : 반도체 기판

2 : 트렌치

3, 18, 31, 39 : 실리콘 산화물 막

4 : P형 웰

5 : N형 웰

6 : 게이트 산화물 막
 7 : 게이트 전극
 8, 38 : 실리콘 질화물 막
 9 : 실리콘사이드 층
 11 : n형 반도체 영역
 12 : p형 반도체 영역
 13 : 측벽 스페이서
 14 : n+형 반도체 영역
 15 : p+형 반도체 영역
 20, 21, 22 : 접촉 홀
 23, 37 : 플러그
 24-30 : 텅스텐 상호 접속부
 32-36 : 관통 홀
 40-44, 50-54 : 상호 접속 트렌치
 45 : TiN 막
 46a-46e : 매립형 구리 상호 접속부
 103A, 103B : 제1 및 제2 테이블
 104 : 세정 스테이션
 105 : 로타리 암
 113 : 연마 패드
 115 : 웨이퍼 캐리어
 Qn : n채널 MISFET
 Qp : p채널 MISFET

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적화로 디바이스의 제조 공정에 관한 것으로, 특히 매립형 금속 상호 접속부를 화학 기계적 연마(CMP) 방법을 이용하여 형성하는 기법에 관한 것이다.

최근에 화학 기계적 연마 방법은 고집적 고성능 LSI의 개발과 관련하여 새로운 마이크로 제조기법의 하나로 도입되어 왔다. 이 기법은 예로서 미국 특허 제 4,944,836호에 기재되어 있다.

알루미늄 상호 접속부 저항의 증가는 알루미늄 상호 접속부의 사이즈가 축소됨에 따라 뚜렷해지고, 특히 고성능 논리 LSI에 있어서, 상호 접속부 저항의 증가는 성능을 더욱 향상시키는 데에 커다란 장애로 되고 있다. 이러한 상황에 따라서 소위 다마신 공정(Damascene process)에 의한 매립형 구리 상호 접속부가 개발되고 있는데, 이것은 상호 접속 트렌치(및 관통 홀)를 실리콘 기판 상에 침착된 절연막으로 형성하고, 알루미늄 막보다 저항이 낮은 구리 막을 트렌치(및 관통 홀)의 내부에서 절연막 상에 침착한 다음, 트렌치 외부의 구리 막의 불필요한 부분을 화학 기계적 연마로 마멸시키는 것이다. 이 기법은 예로서 일본국 특허 공개공보 Hei 2-278822호와 Hei 10-214834호에 기재되어 있다.

화학 기계적 연마는 알루미나, 실리카 등의 입자로 된 연마 입자와 산화제로 주로 구성된 연마액(슬러리)를 사용하는데, 금속 표면은 연마 입자의 기계적인 힘에 의해 표면 상에서 산화제의 산화반응에 의해 발생한 산화물로서 제거된다. 연마액(슬러리)에 대해서는 다음과 같은 개량기법이 예로서 제시되고 있다.

이 기법은 일본국 특허 공개공보 Hei 7-94455호에 기재되어 있는데, 이것은 수용액을 연마 입자를 위한 현탁 매체로서 사용하고, 매질로서는 염산, 과황산 암모늄, 염화 암모늄 구리와 수산화 암모늄 구리의 혼합물 및 수산화 암모늄과 과산화 수소의 혼합물을 사용하며, 또한 수용액의 혼합물도 사용할 수 있다. 이와 같은 연마 입자를 함유한 연마액을 사용하고, 절연막(실리콘 산화물 막)에 대한 구리함유 금속막의 연마 속도비(R)를 1보다 크게 조정하여 상호 접속 막의 두께의 제어능력을 증가시킨다. 상기 공개공보는 또한 평균 입자직경이 0.1 μ m 이하인 실리카 입자를 함유한 연마액을 사용하여 상대적으로 부드러운 구리함유 금속막의 표면이 알루미나 연마 입자에 의해 손상되는 것을 방지하는 기법을 제시하고 있다.

일본국 특허 공개공보 Hei 7-233485호에 기재되어 있는 기법은 아미노초산염과 아미도황산에서 선택한 적어도 한 가지의 유기산, 산화제(과산화 수소) 및 물을 포함한 구리 기본금속 연마액을 사용하는 것인

데, 이 연마액은 구리 또는 구리합금을 연마액에 침지할 때는 거의 에칭을 일으키지 않고, 반면에 연마할 때는 용해되는데, 에칭 속도는 침지할 때보다 연마할 때 10 배 빠른 것으로 제시하고 있다.

일본국 특허 공개공보 Hei 8-64594호에 기재되어 있는 기법은 연마 중이나 후에 금속막 표면의 부식을 억제하여 상호 접속부의 품질열화를 방지하는 것이다. 연마 입자 함유 연마액은 구리 함유 막의 연마 시에 막 표면 상에 내식성 코팅을 형성하는 화학물질 성분을 혼합하여 사용하는 것으로서, 화학물질 성분은 예로서 벤조트리아졸과, 무기산의 2-아미노트리아졸 유도체 염과 구리 염이다.

일본국 특허 공개공보 Hei 8-83780호에 기재되어 있는 기법은 금속막 표면 상에 보호막을 형성하는 화학물질 반응물과 금속막의 에칭제를 포함하는 연마 약품에 관한 것으로서, 이것을 구리 또는 구리 함유 금속막의 화학 기계적 연마에 이용하는 것이다. 화학물질 반응물은 예로서 벤조트리아졸 또는 그 유도체이고, 에칭제는 예로서 아미노초산염 및/또는 아미노황산과, 과산화 수소, 질산 또는 차아염소산과 같은 산화제를 포함할 수 있다.

화학 기계적 연마로 매립형 금속 상호 접속부를 형성하는 공정에 있어서, 절연막에 형성된 상호 접속 트렌치 외부의 절연막 상의 불필요한 금속막의 부분을 화학 기계적 연마로 제거할 때 금속막의 부분이 절연막 상에 남는데, 하부 층의 표면 상에서 계단 형상에 기인한 절연막 표면 상의 리세스(recess)에서의 금속막은 제거되지 않는다. 이러한 금속막 잔류물은 매립형 상호 접속부 사이에서 단락의 원인이 되므로 잔류물을 오버 연마로 완전하게 제거할 필요가 있다.

그러나 오버 연마를 실행하는 경우, 상호 접속 트렌치에서의 매립형 상호 접속부가 연마되는데, 각각의 상호 접속부의 중앙 표면부가 외주부에 비해 과도하게 제거되어서 중앙 표면부가 외주부에 비해 내측으로 선택적으로 수축되는 (소위 디싱(dishing)) 현상이 발생하고, 또한 각각의 상호 접속 트렌치의 개구부 주위의 절연막의 표면부가 선택적으로 마멸되고 또 내측으로 수축되는 (침식) 현상이 발생한다. 이러한 현상이 발생하면, 매립형 상호 접속부의 단면 감소로 인하여 상호 접속 저항이 증가한다. 또한 디싱과 침식이 발생하면 매립형 상호 접속부 상에 침착된 절연막의 표면 토포그래피(topography)에 디싱과 침식이 반영되기 때문에 전술한 바와 같은 문제가 나타나고, 이와 같이 침착된 절연막의 표면에는 리세스가 발생하게 된다.

특히 매립형 상호 접속부를 구리 또는 구리합금을 이용하여 형성하는 경우, 구리가 절연막에 쉽게 확산되고, 또 점착성은 떨어지기 때문에 TiN과 같은 도전성 배리어(barrier) 층을 절연막과 구리(합금) 막 사이에 형성하여 구리의 확산을 억제하고, 또 절연막에 대한 점착성을 높일 필요가 있다. 따라서 구리(합금)를 이용한 매립형 상호 접속부의 형성 공정에 있어서, 구리(합금) 막과 도전성 배리어 막을 오버 연마하여 디싱과 침식이 오버 연마와 오버 에칭의 수준에 대응하여 발생하도록 할 필요가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 매립형 금속 상호 접속부의 형성에 문제가 되는 디싱과 침식을 화학 기계적 연마를 이용하여 억제할 수 있는 기법을 제공하는 것이다.

본 발명의 상기 및 기타 목적과 새로운 특징은 첨부도면을 참조로 한 상세한 설명으로부터 분명해질 것이다.

본 발명의 전형적인 태양의 개요를 기술하면 다음과 같다.

1. 반도체 집적회로 디바이스를 제조하는 방법에 있어서,

(a) 개구부를 갖는 절연막을 바디(body) 상에 형성하는 단계;

(b) 도전성 배리어(barrier) 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;

(c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;

(d) 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;

(e) 상기 단계 (d) 이후에, 연마 입자를 갖는 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및

(f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층을 상기 금속막에 대해 선택적으로 연마하는 선택적 화학 기계적 연마를 이용하여 절연막 상에 남아 있는 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

2. 제1항에 있어서, 상기 절연막은 복수개의 층을 포함하는 반도체 집적회로 디바이스 제조 방법.

3. 제1항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

4. 제1항에 있어서, 상기 연마 입자가 없는 화학 기계적 연마는 연마액과 연마 입자의 전체 총량에 대해 연마 입자의 농도가 0.1 중량% 미만인 연마액을 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

5. 제1항에 있어서, 상기 개구부는 홀(hole)인 반도체 집적회로 디바이스 제조 방법.

6. 제1항에 있어서, 상기 개구부는 트렌치(trench)인 반도체 집적회로 디바이스 제조 방법.

7. 제1항에 있어서, 상기 선택적 화학 기계적 연마에 있어서, 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비는 적어도 10:1인 반도체 집적회로 디바이스 제조 방법.

8. 반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
- (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;
- (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
- (d) 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 적어도 5:1인 제1 화학 기계 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
- (e) 상기 단계 (d) 이후에, 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 상기 제1 화학 기계적 연마의 비율보다 낮은 제2 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및
- (f) 상기 도전성 배리어 층의 상기 금속막에 대한 선택비가 적어도 5:1인 제3 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

9. 제8항에 있어서, 상기 절연막은 복수개의 층을 포함하는 반도체 집적회로 디바이스 제조 방법.

10. 제8항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

11. 제8항에 있어서, 상기 제1 화학 기계적 연마에 있어서, 상기 금속막의 상기 도전성 배리어 층에 대한 연마 선택비는 적어도 8:1인 반도체 집적회로 디바이스 제조 방법.

12. 제8항에 있어서, 상기 제2 화학 기계적 연마에 있어서, 상기 금속막의 상기 도전성 배리어 층에 대한 연마 선택비는 최대 3:1인 반도체 집적회로 디바이스 제조 방법.

13. 제8항에 있어서, 상기 제3 화학 기계적 연마에 있어서, 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비는 적어도 10:1인 반도체 집적회로 디바이스 제조 방법.

14. 제8항에 있어서, 상기 제3 화학 기계적 연마에 있어서, 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비는 적어도 20:1인 반도체 집적회로 디바이스 제조 방법.

15. 제8항에 있어서, 상기 도전성 배리어 층은 TiN으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

16. 제8항에 있어서, 상기 제1 화학 기계적 연마와 상기 제2 화학 기계적 연마는 각각 서로 다른 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

17. 반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
- (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;
- (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
- (d) 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
- (e) 상기 단계 (d) 이후에, 연마 입자를 갖는 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 모든 금속막을 제거하는 단계; 및
- (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층을 상기 금속막에 대해 선택적으로 제거하는 선택적 제거 공정을 이용하여 상기 절연막 상에 남아 있는 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

18. 제17항에 있어서, 상기 단계 (f)의 선택적 제거 공정은 건식 에칭인 반도체 집적회로 디바이스 제조 방법.

19. 반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
- (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;
- (c) 상기 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
- (d) 상기 금속막의 부식 영역에 속하는 상태에서 제1 연마액을 사용하는 제1 화학 기계적 연마를 이용하여 상기 개구부 외부의 금속막을 제거하는 단계;
- (e) 상기 단계 (d) 이후에, 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 제1 화학 기계적 연마의 비율보다 낮은 제2 화학 기계적 연마를 이용하여 상기 절연막 상의 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및
- (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층의 금속막에 대한 선택비가 적어도 5:1인 제3 화학 기

계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계를 포함하는 반도체 집적회로 디바이스 제조 방법.

20. 반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
- (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부 내에 형성하는 단계;
- (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
- (d) 개구부 외부의 금속막을 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 적어도 5:1인 제1 화학 기계적 연마로 제거하는 단계;
- (e) 상기 단계 (d) 이후에, 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 제1 화학 기계적 연마의 비율보다 낮은 제2 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및
- (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층의 상기 금속막에 대한 선택비가 제2 화학 기계적 연마의 비율보다 높은 제3 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

21. 제20항에 있어서, 상기 제3 화학 기계적 연마는 내식제를 함유한 제3 연마액을 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

22. 제21항에 있어서, 상기 내식제는 벤조트리아졸(BTA)을 포함하는 반도체 집적회로 디바이스 제조 방법.

23. 제22항에 있어서, 상기 제3 연마액에 포함된 상기 벤조트리아졸의 농도는 0.001 내지 1 중량%인 반도체 집적회로 디바이스 제조 방법.

24. 제22항에 있어서, 상기 제3 연마액에 포함된 상기 벤조트리아졸의 농도는 0.01 내지 1 중량%인 반도체 집적회로 디바이스 제조 방법.

25. 제20항에 있어서, 상기 절연막은 복수개의 층을 포함하는 반도체 집적회로 디바이스 제조 방법.

26. 제20항에 있어서, 상기 제1 화학 기계적 연마와 상기 제2 화학 기계적 연마는 각각 서로 다른 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

27. 제20항에 있어서, 상기 제2 화학 기계적 연마와 상기 제3 화학 기계적 연마는 각각 동일한 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

28. 반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
- (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부 내에 형성하는 단계;
- (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
- (d) 하드 연마 패드를 사용하는 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
- (e) 상기 단계 (d) 이후에, 화학 기계적 연마를 이용하여 상기 절연막 상의 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막과 상기 절연막 상의 상기 도전성 배리어 층을 제거하는 단계; 및
- (f) 상기 단계 (e) 이후에, 상기 금속막에 대해 선택적으로 연마하는 선택적 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

29. 제28항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

30. 제28항에 있어서, 상기 도전성 배리어 층은 상기 금속막보다 단단한 재료로 이루어지는 반도체 집적회로 디바이스 제조 방법.

31. 제28항에 있어서, 상기 단계 (e)의 상기 연마는 상기 단계 (d)의 연마에 사용된 연마 패드보다 부드러운 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

32. 제28항에 있어서, 상기 단계 (d)의 연마는 상기 금속막의 상기 도전성 배리어 층에 대한 연마 선택비가 적어도 5:1인 연마액을 사용하여 수행되고, 상기 단계 (e)의 연마는 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비가 적어도 5:1인 연마액을 사용하여 실행하는 반도체 집적회로 디바이스 제조 방법.

33. 반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
 - (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부 내에 형성하는 단계;
 - (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
 - (d) 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
 - (e) 상기 단계 (d) 이후에, 연마 입자를 갖는 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계;
 - (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층을 상기 금속막에 대해 선택적으로 연마하는 선택적 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계; 및
 - (g) 상기 단계 (f) 이후에, 차광 상태에서 상기 바디를 세정하는 단계
- 를 포함하는 반도체 집적회로 디바이스 제조 방법.

34. 제33항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

35. 제33항에 있어서, 상기 단계 (g)의 세정은 조도를 최대 180 lux로 차광한 상태에서 수행되는 반도체 집적회로 디바이스 제조 방법.

발명의 구성 및 작용

이하 본 발명의 상세한 설명에 사용된 기술용어는 일반적인 의미로 해석하면 될 것이다.

연마액(슬러리)은 연마 연마 입자를 화학 에칭제에 혼합하여 제조한 현탁액을 일반적으로 의미하는데, 본 발명에 사용된 연마액은 본 발명의 특성을 고려하여 연마 연마 입자를 갖지 않은 현탁액을 포함한다.

연마 입자 또는 슬러리 입자는 슬러리에 통상 함유된 알루미늄이나 또는 실리카 분말이다.

화학 기계적 연마(CMP)은 연마된 표면을 비교적 부드러운 천과 같은 시트로 된 연마 패드에 접촉하도록 놓고, 연마된 표면과 연마 패드를 계면을 포함하는 평면에서 계면에 슬러리를 공급하면서 상대 운동시켜 연마하는 방법이다. 본 발명은 연마된 표면을 단단한 마모석의 표면 상에서 상대 운동시키는 화학 기계적 랩핑(CML)을 포함한다.

연마 입자가 없는 화학 기계적 연마는 연마 입자의 농도가 0.5 중량% 이하인 슬러리를 사용하는 것이고, 연마 입자를 갖는 화학 기계적 연마는 연마 입자의 농도가 0.5 중량% 이상인 슬러리를 사용하는 것이다. 이러한 정의에도 불구하고 작명은 상대적 특성에 따르는데, 즉 제1 단계의 연마와 이에 후속하는 제2 단계의 연마로 이루어지는 연마 공정에 있어서, 제1 단계 연마에서의 연마 입자의 농도를 제2 단계 연마에서의 그 농도에 비해 한 배 이상 또는 바람직하게 두 배 이상 낮게 한 슬러리를 사용하는 화학 기계적 연마를 가끔 연마 입자가 없는 화학 기계적 연마이라 한다. 이와 같은 연마 입자가 없는 화학 기계적 연마는 미국 특허원 제 09/182,438호에 기재되어 있으며, 본 발명에서는 그 내용을 참조로서 인용하고 있다.

내식제는 금속 표면 상에 내식 및/또는 수공(hydrophobic) 보호막을 형성하면서 CMP에 의한 연마에서 공정진행을 방지 또는 억제하는 화학물질로서, 벤조트리아졸(BTA) 등이 일반적으로 채택되고 있다. 이와 같은 내식제는 일본국 특허 공개공보 제 8-64594호에 기재되어 있으며, 본 발명에서는 그 내용을 참조로서 인용하고 있다.

도전성 배리어(barrier) 층은 원자 및 이온으로 구성되는 매립형 상호 접속부가 하부 층으로 이동(확산 포함)하여 층의 소자 등에 역영향을 미치는 것을 일반적으로 방지하는데 사용되는 층으로서, 전기 도전성이 절연막보다 비교적 큰 티타늄과 같은 금속, TiN과 같은 금속 질화물, 도전성 산화물, 도전성 질화물 등을 포함하는 확산차단 특성을 갖는 도전성 물질로 이루어져 있다. 개구부는 홀(hole) 및/또는 트렌치(trench)이다.

본 발명에서 사용하는 선택적 제거, 선택적 연마, 선택적 에칭 및 선택적 화학 기계적 연마는 선택비가 5 이상이다. 매립형 상호 접속부는 도전성 막을 절연막에 형성된 트렌치 등의 내부에 형성한 후에 절연막 상의 도전성 막의 불필요한 부분을 단일 또는 이중 다마신 공정(damascene process)로 제거하는 상호 접속부 형성기법으로 형성한다.

A에서 B(또는 B에서 A)로의 선택비가 X인 경우에, 연마 비율의 경우를 한 가지 예로서 취한다면, X는 기준으로서의 B에 대한 연마 비율에 기초한 A에 대한 연마 비율의 계산 값이다.

이하의 실시예에서, 동일 또는 유사 부분에 대해 발명의 상세한 설명은 원칙적으로 반복하지 않는다.

또한 이하의 실시예에서, 간편을 기하기 위해 필요시에 복수개의 항이나 복수개의 실시예에 걸쳐서 발명의 상세한 설명을 기술할 것이나, 기술하는 부분은 서로 관련되거나 또는 다른 것에 관련되는 것으로서, 즉 한 가지 설명의 기술은 다른 기술에 대한 일부 또는 전체의 수정이나 상세 기술 또는 보충설명이다.

더욱이 소자의 숫자 표시등급(물건의 개수, 숫자로 나타낸 값, 양, 범위 등을 포함)이 이하의 실시예에 관련되는 경우, 특정 숫자에 대한 각별한 제한은 없지만 표시된 개개의 숫자의 다소는 명백히 특정되어 있거나 또는 명백히 특정되어 있더라도 원칙적인 관점으로부터 표시된 숫자에 특성상 제한이 있는 경우를 제외하고는 채택될 수 있는 것이다. 부가적으로 이하의 실시예에서, 원칙적인 관점으로부터 명백히 표시되어 있고 또 분명히 필요 불가결한 것으로 고려되는 경우를 제외하고는 구성요소(전자요소 형성단

계 포함)가 필수적인 것이 아님은 두말할 나위 없는 것이다.

이와 유사하게 그와 같은 형상과 위치상의 관계를 갖는 구성적 전자요소가 이하의 실시예에 관련되는 경우, 최초에 표시된 형상에 실질적으로 근사하거나 유사한 형상은 원칙적인 관점으로부터 명백히 특정되어 있거나 또는 포함시키고자 고려할 필요가 없는 경우를 제외하고는 포함되는 것으로 해석해야 할 것이다. 이것은 전술한 바와 같은 전자요소의 숫자상 값과 범위에 유사한 방식으로 적용된다.

본 발명에 관련된 반도체 집적회로는 특히 단결정 실리콘 상에 제조된 것에는 제한 없이 실리콘-온 절연체(silicon-on-insulator)와 박막 트랜지스터(TFT) 액정 제조기와 같은 기판 상에 제조된 회로를 포함한다. 본 발명에 관련된 웨이퍼는 단결정 실리콘 기판(일반적으로 원형), SOS 기판, 유리 기판, 기타 절연성, 반절연성 및 반도체성 기판, 그리고 기판들로 구성된 복합 기판과 같은 기판으로서, 이들은 모두 반도체 집적회로 디바이스에 사용된다.

이하 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 실시예를 설명하기 위한 도면에 있어서, 동일한 구성요소에는 동일한 도면부호를 붙였으며, 이후 도면에 반복되어 나타나는 구성요소에는 설명을 생략했다.

본 발명의 실시예인 CMOS-LSI 제조 공정을 제조공정에 따라서 도 1 내지 20을 참조하여 설명한다.

먼저 도 1을 참조하면, 소자 분리 트렌치(2, trench)가 저항이 1 내지 $10\Omega\text{cm}$ 인 p형 단결정 실리콘으로 된 반도체 기판(1, 이하 기판 또는 웨이퍼라 한다)에 형성되어 있다. 소자 분리 트렌치(2)를 형성하기 위하여, 각각 350nm 깊이의 트렌치를 소자 분리 영역에서 기판(1)의 일부를 에칭하여 제거함으로써 기판(1) 상에 형성한 후에, 실리콘 산화물 막(3)을 기판(1) 상에서 트렌치의 내부에 CVD 공법을 이용하여 침착하고, 트렌치 상의 실리콘 산화물 막(3)을 화학 기계적으로 연마하여 기판의 표면을 전체적으로 평평하게 한다.

다음에 p형 불순물(보론)과 n형 불순물(예로서 인)을 기판(1)에 이온 주입하여 p형 웰(4, well)과 n형 웰(5)을 형성한 후에 기판(1)을 증기 산화하여 p형 웰(4)과 n형 웰(5)의 표면 상에 6nm 두께의 게이트 산화물 막(6)을 형성한다.

다음에 도 2에 도시된 바와 같이, 게이트 전극(7)을 게이트 산화물 막(6) 상에 형성한다. 게이트 전극(7)을 형성하기 위하여, 예로서 두께가 50nm이며 인(p)으로 도핑된 낮은 저항의 폴리실리콘 막을 CVD 공법으로 게이트 산화물 막(6) 상에 침착한 후에 두께가 5nm인 텅스텐 질화물(WN) 막과 두께가 10nm 인 텅스텐 막을 스퍼터링 공법으로 침착하고, 다시 두께가 100nm인 실리콘 질화물 막(8)을 CVD 공법으로 침착한다. 이와 같이 형성된 막은 마스크로서 포토레지스트 막(도시되지 않음)으로 건식 에칭하여 패터닝(patterning)한다. 게이트 전극(7)은 낮은 저항의 폴리실리콘 막과 텅스텐 실리사이드 막으로 구성된 적층 구조물을 이용하여 형성할 수도 있다.

다음에 불순물 농도가 낮은 n형 반도체 영역(11)을 p형 웰(4)에 n형 불순물(인 또는 비소)을 이온 주입하여 형성하고, 불순물 농도가 낮은 p형 반도체 영역(12)을 n형 웰(5)에 p형 불순물(보론)을 이온 주입하여 형성한다.

다음에 도 3에 도시된 바와 같이, 기판(1) 상에 CVD 공법에 의해 침착된 실리콘 질화물 막을 비등방성으로 에칭하여 게이트 전극(7)의 측벽 상에 측벽 스페이서(13, spacer)를 형성한다. 이후 n형 불순물(인 또는 비소)을 p형 웰(4)에 이온 주입하여 불순물 농도가 높은 n+형 반도체 영역(14, 소스 및 드레인(source and drain))을 형성하고, p형 불순물(보론)을 n형 웰(5)에 이온 주입하여 고농도의 p+형 반도체 영역(15, 소스 및 드레인)을 형성한다.

다음에 기판(1)의 표면을 세정하고, 실리사이드 층(9)을 n+형 반도체 영역(14, 소스 및 드레인)과 p+형 반도체 영역(15, 소스 및 드레인)의 표면에 형성한다. 실리사이드 층(9)을 형성하기 위하여, 두께가 40nm인 티타늄 막 또는 코발트 막을 스퍼터링 공법으로 기판(1) 상에 침착한 후에 질소 가스 분위기에서 약 750°C로 열처리하여 기판(1)과 티타늄 막 또는 코발트 막을 반응시키고, 기판과 반응하지 않은 막의 부분은 습식 에칭하여 제거한다. 현재까지의 단계를 거쳐서 n 채널 MISFET(Qn)와 p 채널 MISFET(Qp)가 완성되었다.

다음에 도 4에 도시된 바와 같이, 두께가 800nm인 실리콘 산화물 막(18)을 CVD 공법으로 기판(1) 상에 침착하고, 마스크로서 포토레지스트 막으로 건식 에칭하여 n+형 반도체 영역(14, 소스 및 드레인) 상의 접촉 홀(20)과 p+형 반도체 영역(15, 소스 및 드레인) 상의 접촉 홀(21)을 형성한다. 이 때 접촉 홀(22)은 게이트 전극(7) 상에 형성한다.

실리콘 산화물 막(18)은 재유동성(reflowing)이 좋은 막, 예로서 보론-도핑된 포스포실리케이트-글라스(BPSG) 막으로 이루어지며, 게이트 전극(7) 사이의 좁은 스페이스를 충전시킬 수 있다. 다른 방법으로서, 스핀 코팅 공법에 의해 형성된 스핀-온-글라스(spin-on-glass : SOG) 막을 대신 사용하여 실리콘 산화물 막(18)을 얻을 수 있다.

다음에 플러그(23, plug)를 접촉 홀(20-22)의 내부에 형성한다. 플러그(23)를 형성하기 위하여, 예로서 TiN 막과 텅스텐 막을 접촉 홀(20-22)의 내부에서 실리콘 산화물 막(18) 상에 CVD 공법으로 침착하고, 실리콘 산화물 막(18) 상의 TiN 막과 텅스텐 막의 불필요한 부분을 접촉 홀(20-22)의 내부에만 막을 남기고 화학 기계적 연마(CMP) 또는 에칭 백(etching back) 방법으로 제거한다.

다음에 도 5에 도시된 바와 같이, 제1 층 상호 접속을 이루는 텅스텐 상호 접속부(24-30)를 실리콘 산화물 막(18) 상에 형성한다. 텅스텐 상호 접속부(24-30)를 형성하기 위하여, 예로서 두께가 400nm인 텅스텐 막을 스퍼터링 공법으로 실리콘 산화물 막(18) 상에 침착한 다음, 텅스텐 막(18)을 마스크로서 포토레지스트 막으로 건식 에칭한다. 제1 층 상호 접속부(24-30)에 있어서, 텅스텐 상호 접속부(24-26)는 n 채널 MISFET(Qn)의 소스 및 드레인(n+형 반도체 영역)에 접촉 홀(20)을 통해 각각 전기접속하고, 텅스텐 상호 접속부(27-29)는 p 채널 MISFET(Qp)의 소스 및 드레인(p+형 반도체 영역)에 접촉 홀(21)을 통

해 각각 전기접속하며, 텅스텐 상호 접속부(30)는 게이트 전극(7)에 접촉 홀(22)을 통해 전기접속한다.

다음에 도 6a 및 6b에 도시된 바와 같이, 두께가 1200nm인 실리콘 산화물 막(31)을 제1 층의 텅스텐 상호 접속부(24-30) 상에 침착하고, 관통 홀(32-36)을 마스크로서 포토레지스트 막으로 건식 에칭하여 실리콘 산화물 막(31)에 형성하며, 플러그(37)를 관통 홀(32-36)의 내부에 형성한다.

실리콘 산화물 막(31)은 가스원으로서 예로서 오존(또는 산소)과 테트라에톡시실란(TEOS)을 이용하여 CVD 공법으로 침착한다. 플러그(37)는 예로서 텅스텐 막을 이용하여 접촉 홀(20-22)의 내부에 형성한다.

다음에 도 7a 및 7b에 도시된 바와 같이, 두께가 50nm로 가급적 얇은 실리콘 질화물 막(38)을 플라즈마 CVD 공법으로 실리콘 산화물 막(31) 상에 침착하고, 두께가 350nm인 실리콘 산화물 막(39)을 플라즈마 CVD 공법으로 실리콘 질화물 막(38) 상에 형성한 후에 관통 홀(32-36) 상의 실리콘 산화물 막(39)과 실리콘 질화물 막(38)을 마스크로서 포토레지스트 막으로 건식 에칭하여 상호 접속 트렌치(40-44)를 형성한다.

상호 접속 트렌치(40-44)를 형성하기 위하여, 실리콘 산화물 막(39)은 에칭 스톱퍼(stopper)로서 실리콘 질화물 막(38)으로 선택적으로 에칭한 다음, 실리콘 질화물 막(38)을 에칭한다. 이와 같은 방법으로 얇은 실리콘 질화물 막(38)을 실리콘 산화물 막(39)의 하부 층에 형성하는데, 상기 층(39) 내에 상호 접속 트렌치를 형성하고, 에칭을 실리콘 질화물 막(38)의 표면에서 일시적으로 중지시킨 다음, 실리콘 질화물 막(38)을 제거하여 상호 접속 트렌치(40-44)의 깊이를 정확히 제어할 수 있도록 한다.

후술하는 바와 같이, 매립형 구리 상호 접속부를 상호 접속 트렌치의 내부에 형성함에 대해서는 인접한 상호 접속 트렌치(40-44) 사이의 간격이 좁아짐에 따라 상호 접속부 사이의 기생 캐패시턴스의 증가에 의한 상호 접속 지연시간에 따른 문제가 발생한다. 상호 접속부 사이의 기생 캐패시턴스의 증가를 억제하기 위하여, 상호 접속 트렌치(40-44)가 형성되는 실리콘 산화물 막(39)을 가스원으로서 수소 실세스키옥산(silsesquioxane)을 이용한 무기성 SOG 막과, 가스원으로서 테트라 알콕시 실란과 알킬 알콕시 실란의 혼합물을 이용한 유기성 SOG 막과, 그리고 플라즈마 CVD 공법에 의해 생산되는 플루오로카본 폴리머 막 등과 같은 코팅형의 절연막을 포함하는 유전상수(ϵ)가 3.0 또는 그 이하인 어떠한 실리콘 산화물 기본 절연막으로 구성하는 것이 바람직하다.

다음에 제2 층 상호 접속부를 구성하는 매립형 구리 상호 접속부를 다음과 같은 공정에 따라 상호 접속 트렌치(40-44)의 내부에 형성한다.

먼저 도 8에 도시된 바와 같이, 두께가 50nm로 가급적 얇은 TiN 막(45)을 상호 접속 트렌치(40-44)의 내부에서 실리콘 산화물 막(39) 상에 스퍼터링 공법으로 형성하고, 상호 접속 트렌치(40-44)의 깊이보다 충분히 두꺼운(예로서 800nm) 구리 막(46)을 스퍼터링 공법으로 TiN 막(45) 상에 침착한다. 이어서 기판(1)을 비산화 분위기(예로서 수소 분위기)에서 475℃로 열처리하여 구리 막(46)을 재유동시켜서 상호 접속 트렌치(40-44)의 내부를 구리 막(46)으로 충전하여 내부에 갭이 없도록 한다.

구리 상호 접속부가 상호 접속 트렌치(40-44)에 형성되면, 구리는 실리콘 산화물 막(39) 내로 확산되어 상호 접속부 사이에 단락을 발생시키는데, 구리는 실리콘 산화물 막에 쉽게 확산되는 특성을 갖고 있기 때문에 실리콘 산화물 막(39)의 유전상수의 증가에 따라 상호 접속부 사이의 기생 캐패시턴스가 증가하게 된다. 또한 구리는 실리콘 산화물과 같은 절연 물질에 점착성이 좋지 않기 때문에 계면에서 실리콘 산화물 막(39)으로부터 쉽게 분리된다.

따라서 구리 상호 접속부를 상호 접속 트렌치(40-44)의 내부에 형성하는 경우, 배리어(barrier) 층을 형성하여 실리콘 산화물 막(39)과 구리 막(46) 사이에서 절연물질에 우수한 점착성을 갖게 하고, 구리의 확산을 억제할 필요가 있다. 또한 상호 접속 트렌치(40-44)의 내부를 전술한 재유동 스퍼터링 공법에 의해 구리 막(46)으로 충전할 때, 재유동시에 구리 막(46)의 습윤성을 향상시키는 특성을 갖는 배리어 층을 사용할 또 다른 필요성이 있다.

구리와 반응을 거의 일으키지 않는 TiN, WN, TaN 등과 같은 고용융점 금속 질화물은 배리어 층의 바람직한 재료다. 고용융점 금속 질화물과, Ta, Ti, W, Ti합금 등과 같이 구리와 반응하기 어려운 고용융점 금속에 실리콘을 첨가하여 만든 재료도 배리어 층으로 사용할 수 있다.

후술하는 구리 상호 접속부 형성 공정은 구리 상호 접속부를 고순도 구리 막을 이용하여 형성할 때 뿐 아니라 주성분으로서 구리함유 합금을 이용하여 형성할 때도 적용할 수 있다. 여기서 주성분으로서 구리를 함유한 합금이라 함은 합금을 구성하는 재료 중에 구리의 중량%가 어떠한 다른 합금 재료보다 큰 것을 의미한다.

도 9는 매립형 구리 상호 접속부의 형성에 사용되는 CMP 장치의 개략도이다.

도시된 바와 같이, CMP 장치(100)는 연마 부분(101)과 후세정 부분(102)으로 이루어져 있다. 연마 부분(101)은 웨이퍼(1, 기판)의 연마를 실행하는 두 개의 테이블(103A, 103B)과, 연마가 마무리된 웨이퍼(1)의 표면에 적용되는 세정 스테이션(104)과, 그리고 웨이퍼(1)를 로더(106, loader)를 통해 제1 테이블 및 제2 테이블(103A, 103B)과 세정 스테이션(104)을 거쳐 언로더(107, unloader)로 이송시키는 로타리 암(105, rotary arm)을 포함한다.

연마 부분(101)의 후단에는 예비세정된 웨이퍼(1)의 표면을 스크러빙(scrubbing) 세정하는 후세정 부분(102)이 제공되어 있다. 후세정 부분(102)은 로더(108)와, 제1 세정 부분(109A) 및 제2 세정 부분(109B)과, 스프인 건조기(110)와 그리고 언로더(111)를 포함한다. 또한 후세정 부분(102)은 광차단 벽(130)으로 완전히 둘러싸여서 웨이퍼(1)의 표면이 광조사되는 것을 방지해주며, 그 내부에는 180 lux 또는 그 이하, 바람직하게는 100 lux 또는 그 이하의 어두운 실내상태에서 유지하게 된다. 이것은 연마액이 후에 남게되는 표면 상의 웨이퍼(1)가 습한 조건에서 광조사되면, 단락 전류가 실리콘의 광전자 운동력에 의해 pn 접합부를 통해 흐르고, 또 구리 이온이 pn 접합부의 p 측면(+측면)에 접속된 구리 상호 접

속부의 표면으로부터 해리되어 상호 접촉부를 부식시키기 때문이다.

도 10에 도시된 바와 같이, 테이블(103A)은 그 하부에 장착된 구동기구(112)에 의해 구동되어 수평 평면에서 회전한다. 연마 패드(113)는 제1 테이블(103A)의 상면에 고정되어 있는데, 그 표면에 수많은 기공을 갖는 폴리우레탄과 같은 점착성 합성수지로 형성된다. 웨이퍼 캐리어(115)는 구동기구(114)에 의해 수직이동하고, 또 수평 평면에서 회전구동한다. 웨이퍼(1)는 웨이퍼 캐리어(115)의 하단부에 장착되어 있는 웨이퍼 척(116, chuck)과 유지 링(117)에 의해 유지되는데, 웨이퍼(1)의 주표면(연마될 표면)은 하향되고 전술한 하중 하에서 연마 패드에 대해 압박된다. 슬러리(S, 연마액)는 슬러리 공급튜브(118)를 통해 연마 패드(113)의 표면과 웨이퍼(1)의 연마될 표면 사이에 공급되어 웨이퍼(1)의 연마될 표면이 화학 기계적으로 연마된다. 드레서(120, dresser)는 제1 테이블(103A) 상에 제공되어 있는데, 구동기구(119)에 의해 수직이동할 뿐 아니라 수평 평면에서 회전구동한다. 다이아몬드 입자가 전착되어 있는 베이스 부재는 드레서(120)의 하단부에 장착되어 있고, 연마 패드(113)의 표면은 베이스 부재에 의해 규칙적인 간격으로 연마되어 연마 패드(113)의 표면 기공이 연마 입자로 채워지는 것을 방지한다. 제2 테이블(103B)은 두 개의 슬러리 공급튜브(118a, 118b)가 제공되어 있는 점을 제외하고는 제1 테이블(103A)의 구조와 거의 동일하다.

CMP 장치(100)를 이용하여 구리 상호 접촉부를 형성하기 위하여, 로더(106)에 수납된 웨이퍼(1)를 로타리 암(105)을 이용하여 연마 부분(101)으로 이송하고, 여기서 웨이퍼(1)는 화학 기계적으로 연마(연마 입자가 없는 화학 기계적 연마)되는데, 제1 테이블(103A, CMP의 제1 단계)에서 연마 입자를 포함하지 않은 슬러리를 사용하여 구리 막(46)을 상호 접촉 트렌치(40-44) 외부로 제거한다.

여기서 사용된 연마 입자가 없는 화학 기계적 연마는 연마 입자의 함량이 0.5 중량% 이하인 연마액(슬러리)를 사용하는 것이고, 연마 입자는 알루미나 또는 실리카 등으로 이루어지는데, 연마액의 연마 입자의 함량은 특히 0.1 중량% 이하가 바람직하며, 더욱 바람직하게는 0.01 중량% 이하이다. 상기 중량%라 함은 액체와 연마 입자의 전체 중량에 대한 연마 입자의 중량이다.

또한 연마액은 도 13에 도시된 부식범위로 조정된 pH 값으로 사용하고, 또 TiN 막(45, 배리어 층)에 대한 구리 막(46)의 선택비가 5 이상, 바람직하게는 8 이상, 더욱 바람직하게는 10 이상으로 되도록 조정된 조성물로 사용한다. 구리의 경우, 변수가 도시된 바와 같이 pH가 7 이하이고 또 산화-환원 전위(potential)이 0.2 이상인 경우에, 구리는 Cu^{2+} 이온으로 용해되고, pH가 12.5 이상인 경우에는 구리가 Cu_2^{2+} 이온으로 용해된다. 따라서 구리가 연마되는 경우에 변수는 부식 영역의 한 곳에 바람직하게 남겨진다. 그러나 도시된 것은 H_2O 시스템에서의 경우이고, 부식 영역의 범위는 다른 반응제가 연마액에 포함되면 변경된다. 이 실시예에서 도시된 부식 영역은 그와 같은 첨가제를 포함하는 연마액이 금속을 부식시키는 pH 값과 산화-환원 전위의 복합범위 내로 연마액을 제공하는 물질을 포함하는가의 여부에 따라서 규정된다. 여기서 부식 범위는 부식이 발생하는 산화-환원 전위 대 pH의 그래프에 기초한 범위를 의미한다. 도 13은 부식이 발생하는 부식 범위를 보여준다.

이와 같은 연마액로서는 산화제와 유기산을 각각 포함하는 슬러리를 예로 들 수 있다. 산화제로는 과산화 수소, 수산화 암모늄, 암모늄 질산염, 염화 암모늄 등이 있다. 유기산으로는 구연산, 말레산(maleic acid), 푸말산(fumaric acid), 농금산, 지방산, 안식향산, 프탈산, 주석산, 유산, 호박산 등을 들 수 있다. 이들 중에 구연산은 금속 성분을 포함하지 않고 또 강산이 아니기 때문에 식품 첨가제로서 일반적으로 쓰이는 것으로서, 독성이 적고, 물에 용해도가 높기 때문에 연마액용으로 적합한 유기산이다. 이 실시예에서 연마액은 예로서 순수한 물에 과산화 수소 5 체적%, 구연산 0.03 중량% 첨가하고, 여기에 연마 입자를 0.01 중량% 혼합하여 제조한다.

화학 기계적 연마를 상기한 연마액을 사용하여 실행하는 경우에, 먼저 구리 표면을 산화제로 산화시켜 얇은 산화물 층을 형성한 다음, 산화물을 물에 용해시키는 물질을 추가하면, 산화물 층이 수용액으로서 용해되어 얇아진다. 이와 같이 얇아진 부분은 산화제에 다시 노출시켜 그 두께를 증가시키는데, 이러한 일련의 반응을 반복하여 화학 기계적 연마를 진행한다.

연마의 조건은 예로서 하중이 $250g/cm^2$, 웨이퍼 캐리어의 회전수가 30rpm, 테이블 회전수가 25rpm, 슬러리 유속이 150cc/min이며, 사용된 연마 패드는 미국 Rodel Co.에서 제조된 하드 패드(IC 1400)이다. 연마의 최종 시점은 구리 막(46)을 제거하고, 그 하부 층인 TiN 막을 노출시킬 때이며, 이 최종 시점은 연마 대상물이 구리 막(46)으로부터 TiN 막(45)으로 바뀔 때 테이블 또는 웨이퍼 캐리어의 토크의 신호강도를 탐지하여 결정한다.

다른 방법으로서, 연마 패드의 한 부분에 흠을 형성하고, 웨이퍼 표면으로부터 반사광 빔의 분광변화에 기초하거나 또는 슬러리의 특성에 관련하여 광학 분광변화에 기초하여 최종 시점을 탐지할 수 있다.

도 12에 도시된 바와 같이, 연마 입자가 없는 화학 기계적 연마를 채택하면, 상호 접촉 트렌치(40-44) 외부의 구리 막(46)은 대부분 제거되어 그 하부 층인 TiN 막(45)을 노출시키게 된다. 도 14a와 14b에 확대 도시한 바와 같이, 제거되지 않은 구리 막(46)의 부분은 TiN 막(45) 상에 하부 층 상면의 단계 형상에 기인하여 오목부(화살표로 표시) 또는 기타 형상으로 남겨진다.

다음에 상호 접촉 트렌치(40-44) 외부의 TiN 막(45)과, TiN 막(45)의 상면에 국소적으로 남는 구리 막의 부분을 제거하기 위하여, 웨이퍼(1)를 제1 테이블(103A)로부터 제2 테이블(103B)로 이송하고, 연마액(슬러리, CMP의 제2 단계인 연마 입자를 갖는 것)을 사용한 화학 기계적 연마를 실행한다. 여기서 연마 입자를 갖는 화학 기계적 연마이라 함은 알루미나 및 실리카 분말과 같은 연마 입자를 0.5 중량% 이상 포함하는 연마액을 사용하는 것을 의미한다. 이 실시예에서 연마액은 5 체적%의 과산화 수소, 0.03 중량%의 구연산 및 순수한 물에 용해되어 분산된 0.5 중량%의 연마 입자를 포함하는데, 그러나 연마액에 특별한 제한은 없다. 이 연마액은 슬러리 공급튜브(118a)를 통해 제2 테이블(103B)상의 연마 패드(113)에 공급한다.

이와 같이 연마 입자를 갖는 화학 기계적 연마에 있어서, TiN 막(45)의 상면에 국소적으로 남는 구리 막(46)의 부분을 제거한 다음, 상호 접속 트렌치(40-44) 외부의 TiN 막(45)을 제거한다. 이 단계에서 TiN 막(45, 배리어 층)에 대한 구리 막(46)의 연마 선택비는 연마 입자가 없는 화학 기계적 연마의 경우보다 낮게, 예로서 3 이하로 조정하고, 상호 접속 트렌치(40-44) 내부의 구리 막(46)의 표면의 마멸(polishing off)을 억제하는 조건을 설정한다.

연마 조건은 예로서 하중이 120g/cm², 웨이퍼 캐리어의 회전수가 30rpm, 테이블 회전수가 25rpm, 슬러리 유속이 150cc/min이고, 사용한 연마 패드는 Rodel Co.에서 제조된 IC 1400이다. 연마 양은 TiN 막의 두께에 대응하도록 하고, 연마의 최종 시점은 TiN 막(45)의 두께와 연마 속도로부터 계산된 시간에 기초하여 제한한다.

도 15에 도시된 바와 같이, 연마 입자를 갖는 화학 기계적 연마를 채택하면, 상호 접속 트렌치(40-44) 외부의 TiN 막(45)은 대부분 제거되어 TiN 막(45)의 하부 층인 실리콘 산화물 막(39)을 노출시키게 된다. 도 16a와 16b에 확대 도시한 바와 같이, 제거되지 않은 TiN 막(45)의 부분은 하부 층 및 유사 층의 상면의 단계 형상에 기인하여 실리콘 산화물 막(39)의 오목부(화살표로 표시) 또는 그와 유사한 형상을 남기게 된다.

다음에 상호 접속 트렌치(40-44)의 구리 막(46)의 연마를 가능한 최소의 수준으로 억제하고, 이 조건에서 선택적 화학 기계적 연마(제3 단계 연마)를 실행하여 상호 접속 트렌치(40-44) 외부의 실리콘 산화물 막(39)에 국소적으로 남는 TiN 막(45)의 부분을 제거한다. 선택적 화학 기계적 연마는 구리 막(46)에 대한 TiN 막(45)의 연마 선택비를 5 이상, 바람직하게는 10 이상, 더욱 바람직하게는 15 이상 되도록 실행한다. 이와 같은 화학 기계적 연마는 구리 막(46)에 대한 실리콘 산화물 막(39)의 연마 선택비를 1 이상으로 한 다른 조건에서도 실행할 수 있다.

선택적 화학 기계적 연마를 실행하기 위하여, 연마액은 연마 입자를 갖는 화학 기계적 연마에 사용된 것과 같이 0.5 중량% 이상의 연마 입자를 함유한 연마액에 내식제를 첨가하여 제조한다. 여기서 내식제라는 것은 구리 막(46)의 표면에 내식성 보호막을 형성하여 구리 막(46) 상에서의 연마 진행을 방지 또는 억제하는 화학물질로서, 벤조트리아졸(BTA), 벤조트리아졸 카르복실산과 같은 내식성 BTA 유도체, 도데사이클메르캡탄(dodecylmercaptan), 트리아졸, 토릴 트리아졸 등이 있는데, 다른 물질도 사용할 수 있지만 특히 BTA를 사용할 때 안정한 보호막을 얻을 수 있다.

BTA를 내식제로 사용하는 경우에 다음과 같은 세 가지 첨가방법, 즉 BTA를 0.001 내지 1 중량%, 바람직하게는 0.01 내지 1 중량%, 더욱 바람직하게는 0.1 내지 1 중량% 포함시키는 방법이 있는데, 모두 충분히 효과적이며, 그 농도는 슬러리의 종류에 따른다. 이 실시예에서 사용할 연마액은 제2 단계의 연마 입자를 갖는 화학 기계적 연마에 사용된 연마액에 내식제로서 BTA를 0.1 중량% 첨가하여 제조하는데, 그러나 이와 같은 연마액에 대한 특별한 제한은 없다. 또한 내식제 첨가에 기인한 연마 속도의 감소를 방지하기 위하여, 폴리아크릴산, 폴리메타크릴산과 그 암모늄염, 에틸렌디아민테트라초산(EDTA) 등과 같은 화학물질을 첨가할 수 있다. 내식제를 함유한 이와 같은 슬러리를 사용하는 화학 기계적 연마는 본 발명자의 일본국 특허 공개공보 Hei 10-209857호, Hei 9-299937호 및 Hei 10-317233호에 상세히 기재되어 있다.

이러한 선택적 화학 기계적 연마(제3 단계 CMP)은 제2 테이블(103B)에서 실행하고, 전술한 연마 입자를 갖는 화학 기계적 연마(제2 단계 CMP)를 마무리한다. 내식제가 첨가된 연마액은 슬러리 공급튜브(118b)를 통해 연마 패드(113)의 표면에 공급한다. 연마의 조건은 예로서 하중이 120g/cm², 웨이퍼 캐리어의 회전수가 30rpm, 테이블 회전수가 25rpm, 슬러리 유속이 190cc/min이다.

도 17, 18a 및 18b에 도시된 바와 같이, 선택적 화학 기계적 연마를 실행함으로써 상호 접속 트렌치(40-44) 외부의 TiN 막(45)의 대부분이 제거되고, 상호 접속 트렌치(40-44)의 내부에 매립형 구리 상호 접속부(46a-46e)가 형성된다.

연마 입자와, 구리 산화물과 같은 금속입자를 함유한 슬러리 잔류물은 구리 상호 접속 트렌치(46a-46e)가 형성된 웨이퍼(1)의 표면에 부착되는데, 이것을 제거하기 위하여, 웨이퍼(1)를 먼저 도 9에 도시한 세정 스테이션(104)에서 BTA 함유 순수한 물을 이용하여 세정한다. 이때 메가소닉(megasonic) 세정법을 통상의 세정과 함께 사용할 수 있는데, 메가소닉 세정은 800kHz 이상의 고주파를 적용해 슬러리 잔류물을 웨이퍼(1)의 표면으로부터 세정 스테이션으로 분리시킨다. 다음에 웨이퍼 표면이 건조하게 되는 것을 방지하기 위하여 웨이퍼(1)를 습한 상태에서 유지시키면서 연마 부분(101)으로부터 후세정 부분(102)으로 이송하는데, 웨이퍼(1)는 제1 세정 부분(109A)에서 NH₄OH를 0.1 중량% 함유한 세정액을 이용한 스크러빙 세정을 받고, 제2 세정 부분(109B)에서 순수한 물을 이용한 스크러빙 세정을 더 받는다. 상기한 바와 같이, 후세정 부분(102)의 전체 구조는 광차단 벽(130)으로 둘러싸여서 세정 중 웨이퍼(1) 표면의 광조사에 의한 구리 상호 접속부(46a-46e)의 부식을 방지하게 된다.

도 19에 예로서 도시한 스크러빙 세정에 있어서, 수평 평면에서 회전하는 웨이퍼는 폴리비닐알코올(PVA)과 같은 다공성 합성수지로 된 실린더형 브러쉬(121A, 121B) 사이에 그 양면이 삽입되어 브러쉬가 웨이퍼 표면에 대해 수직 평면에서 회전하는 동안 세정된다. 이때 800kHz 이상의 고주파를 세정액에 인가하면서 메가소닉 세정을 회전 브러쉬에 의한 스크러빙 세정에 이어서 실행하여 웨이퍼(1) 표면상의 슬러리 잔류물을 분리시킬 수 있다.

스크러빙 세정(후세정)이 완료된 웨이퍼(1)는 스프인 건조기(110)에서 건조한 후에 다음 단계로 이송하고, 매립형 구리 상호 접속부를 전술한 것과 유사한 방식으로 제3 층과 그 위의 층에 형성한다. 도 20은 구리 상호 접속부(46a-46e)의 형성 공정도이다.

연마 입자가 없는 화학 기계적 연마, 연마 입자를 갖는 화학 기계적 연마 및 선택적 화학 기계적 연마를 이용하여 매립형 구리 상호 접속부(46a-46e)를 형성하는 실시예에 따라서, 상호 접속 트렌치(40-44) 외부의 구리 막(46)과 TiN 막(45)을 제거하기 위해 실행한 오버 연마는 단지 약간 요구될 뿐이다. 따라서

오목부가 발생하는 디싱(dishing) 현상과 침식을 억제할 수 있다.

구리 상호 접속부(46a-46e)의 형성공정은 이중 다마신 공정을 이용한 매립형 구리 상호 접속부의 형성에도 적용할 수 있다. 이 경우에 제1 층의 텅스텐 상호 접속부(24-30)를 도 1 내지 5에 도시한 공정로 형성한 후에 두께가 1200nm인 실리콘 산화물 막(31), 두께가 50nm로 가급적 얇은 실리콘 질화물 막(38) 및 두께가 350nm인 실리콘 산화물 막(39)을 도 21에 도시한 바와 같이 플라즈마 CVD 공법으로 제1 층의 텅스텐 상호 접속부(24-30) 상에 연속 형성한다.

다음에 도 22에 도시된 바와 같이, 실리콘 산화물 막(39), 실리콘 질화물 막(38) 그리고 제1 층의 텅스텐 상호 접속부(24, 26, 27, 29, 30) 상의 실리콘 산화물 막(31)을 마스크로서 포토레지스트 막으로 건식 에칭하여 연속 제거한 후, 도 23a와 23b에 도시한 바와 같이 실리콘 질화물 막(38)을 에칭의 스톱퍼로서 사용하는 동안 또 다른 포토레지스트 막을 마스크로서 사용하여 실리콘 산화물 막(39)을 제거하고, 관통 홀로서도 작용하는 상호 접속 트렌치(50-54)를 형성한다.

다음에 도 24에 도시된 바와 같이, 두께가 50nm로 가급적 얇은 TiN 막(45)을 상호 접속 트렌치(50-54)의 내부에서 실리콘 산화물 막(39) 상에 침착한 후, 상호 접속 트렌치(50-54)의 깊이보다 충분히 큰 두께를 갖는 구리 막(46)을 TiN 막(45) 상에 침착한다. 관통 홀로서도 작용하는 상호 접속 트렌치(50-54)는 각각 상호 접속 트렌치(40-44)에 비해 큰 중횡비를 갖게 된다. TiN 막(45)은 CVD 공법으로 침착하고, 구리 막(46)은 스퍼터링을 두 번 이상 반복하여 침착한다. 구리 막(46)은 CVD 공법, 전착 또는 무전해 도금을 이용하여 침착할 수도 있다. 구리 막(46)을 도금 방법으로 형성하는 경우, 구리 시드층을 상호 접속 트렌치(50-54)를 위한 하부 층으로서 스퍼터링 공법 등으로 형성하는 단계가 필요하게 된다.

다음에 도 25에 도시된 바와 같이, 상호 접속 트렌치(50-54) 외부의 구리 막(46)과 TiN 막(45)을 연마 입자가 없는 화학 기계적 연마, 연마 입자를 갖는 화학 기계적 연마 및 선택적 화학 기계적 연마로 제거하여 상호 접속 트렌치(50-54)의 내부에 매립형 구리 상호 접속부(46a-46e)를 형성한다. 이후의 단계는 단일 다마신 공정을 이용하여 구리 상호 접속부(46a-46e)를 형성하는 공정과 동일하다.

이상 본 발명을 실시예를 근거로 하여 상세히 설명했지만, 본 발명은 상술한 실시예에 제한되는 것이 아니며, 본 발명의 범주 내에서는 다음과 같이 여러 가지 수정과 변형이 가능하다.

전술한 실시예에 있어서, 상호 접속 트렌치의 외부에 남는 배리어 층(TiN 막)은 선택적 화학 기계적 연마로 제거했지만, 이것을 건식 에칭하는 방법으로 제거할 수도 있다.

전술한 실시예에 있어서, 제1 단계의 화학 기계적 연마는 연마 입자가 없는 슬러리를 사용하는 연마 입자가 없는 화학 기계적 연마로 실행했지만, 이 대신에 하드 패드를 이용한 연마 입자를 가진 화학 기계적 연마로 실행할 수 있다. 이 경우에 제2 단계의 화학 기계적 연마(연마 입자를 가진 화학 기계적 연마)는 제1 단계에서 사용한 연마 패드보다 부드러운 패드를 사용한다. 하드 패드라 함은 폴리우레탄 패드보다 그 경도가 단단하거나 또는 ASKER-C 경도가 90 이상인 것을 의미한다.

전술한 실시예에 있어서, 매립형 상호 접속부를 구리 또는 구리합금을 이용하여 형성하는 경우에 대해 설명했지만, 매립형 상호 접속부 및 플러그를 구리 이외의 금속, 예로서 텅스텐, 알루미늄 등을 이용하여 형성할 수 있으며, 이때의 공정은 절연 층과 금속 사이의 도전성 배리어 층을 필요로 하는 금속을 사용하여 매립형 상호 접속부 및 플러그를 형성하는데 특히 효과적으로 적용할 수 있다.

발명의 효과

본 발명에 따르면, 매립형 금속 상호 접속부를 화학 기계적 연마(CMP)로 형성할 때 디싱(dishing)과 침식이 억제되므로 매립형 금속 상호 접속부를 안정한 방식으로 형성할 수 있으며, 이에 따라서 매립형 상호 접속부를 이용한 반도체 집적회로 디바이스의 신뢰성과 제조 수율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디(body) 상에 형성하는 단계;
- (b) 도전성 배리어(barrier) 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;
- (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
- (d) 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
- (e) 상기 단계 (d) 이후에, 연마 입자를 갖는 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및
- (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층을 상기 금속막에 대해 선택적으로 연마하는 선택적 화학 기계적 연마를 이용하여 절연막 상에 남아 있는 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 2

제1항에 있어서, 상기 절연막은 복수개의 층을 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 3

제1항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

청구항 4

제1항에 있어서, 상기 연마 입자가 없는 화학 기계적 연마는 연마액과 연마 입자의 전체 총량에 대해 연마 입자의 농도가 0.1 중량% 미만인 연마액을 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

청구항 5

제1항에 있어서, 상기 개구부는 홀(hole)인 반도체 집적회로 디바이스 제조 방법.

청구항 6

제1항에 있어서, 상기 개구부는 트렌치(trench)인 반도체 집적회로 디바이스 제조 방법.

청구항 7

제1항에 있어서, 상기 선택적 화학 기계적 연마에 있어서, 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비는 적어도 10:1인 반도체 집적회로 디바이스 제조 방법.

청구항 8

반도체 집적회로 디바이스를 제조하는 방법에 있어서,

(a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;

(b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;

(c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;

(d) 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 적어도 5:1인 제1 화학 기계 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;

(e) 상기 단계 (d) 이후에, 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 상기 제1 화학 기계적 연마의 비율보다 낮은 제2 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및

(f) 상기 도전성 배리어 층의 상기 금속막에 대한 선택비가 적어도 5:1인 제3 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 9

제8항에 있어서, 상기 절연막은 복수개의 층을 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 10

제8항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

청구항 11

제8항에 있어서, 상기 제1 화학 기계적 연마에 있어서, 상기 금속막의 상기 도전성 배리어 층에 대한 연마 선택비는 적어도 8:1인 반도체 집적회로 디바이스 제조 방법.

청구항 12

제8항에 있어서, 상기 제2 화학 기계적 연마에 있어서, 상기 금속막의 상기 도전성 배리어 층에 대한 연마 선택비는 최대 3:1인 반도체 집적회로 디바이스 제조 방법.

청구항 13

제8항에 있어서, 상기 제3 화학 기계적 연마에 있어서, 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비는 적어도 10:1인 반도체 집적회로 디바이스 제조 방법.

청구항 14

제8항에 있어서, 상기 제3 화학 기계적 연마에 있어서, 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비는 적어도 20:1인 반도체 집적회로 디바이스 제조 방법.

청구항 15

제8항에 있어서, 상기 도전성 배리어 층은 TiN으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

청구항 16

제8항에 있어서, 상기 제1 화학 기계적 연마와 상기 제2 화학 기계적 연마는 각각 서로 다른 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

청구항 17

반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
 - (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;
 - (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
 - (d) 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
 - (e) 상기 단계 (d) 이후에, 연마 입자를 갖는 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 모든 금속막을 제거하는 단계; 및
 - (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층을 상기 금속막에 대해 선택적으로 제거하는 선택적 제거 공정을 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계
- 를 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 18

제17항에 있어서, 상기 단계 (f)의 선택적 제거 공정은 건식 에칭인 반도체 집적회로 디바이스 제조 방법.

청구항 19

반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
 - (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부내에 형성하는 단계;
 - (c) 상기 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
 - (d) 상기 금속막의 부식 영역에 속하는 상태에서 제1 연마액을 사용하는 제1 화학 기계적 연마를 이용하여 상기 개구부 외부의 금속막을 제거하는 단계;
 - (e) 상기 단계 (d) 이후에, 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 제1 화학 기계적 연마의 비율보다 낮은 제2 화학 기계적 연마를 이용하여 상기 절연막 상의 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및
 - (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층의 금속막에 대한 선택비가 적어도 5:1인 제3 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계
- 를 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 20

반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
 - (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부 내에 형성하는 단계;
 - (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
 - (d) 개구부 외부의 금속막을 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 적어도 5:1인 제1 화학 기계적 연마로 제거하는 단계;
 - (e) 상기 단계 (d) 이후에, 상기 금속막의 상기 도전성 배리어 층에 대한 선택비가 제1 화학 기계적 연마의 비율보다 낮은 제2 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계; 및
 - (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층의 상기 금속막에 대한 선택비가 제2 화학 기계적 연마의 비율보다 높은 제3 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계
- 를 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 21

제20항에 있어서, 상기 제3 화학 기계적 연마는 내식제를 함유한 제3 연마액을 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

청구항 22

제21항에 있어서, 상기 내식제는 벤조트리아졸(BTA)을 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 23

제22항에 있어서, 상기 제3 연마액에 포함된 상기 벤조트리아졸의 농도는 0.001 내지 1 중량%인 반도체 집적회로 디바이스 제조 방법.

청구항 24

제22항에 있어서, 상기 제3 연마액에 포함된 상기 벤조트리아졸의 농도는 0.01 내지 1 중량%인 반도체 집적회로 디바이스 제조 방법.

청구항 25

제20항에 있어서, 상기 절연막은 복수개의 층을 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 26

제20항에 있어서, 상기 제1 화학 기계적 연마와 상기 제2 화학 기계적 연마는 각각 서로 다른 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

청구항 27

제20항에 있어서, 상기 제2 화학 기계적 연마와 상기 제3 화학 기계적 연마는 각각 동일한 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

청구항 28

반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
- (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부 내에 형성하는 단계;
- (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;
- (d) 하드 연마 패드를 사용하는 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
- (e) 상기 단계 (d) 이후에, 화학 기계적 연마를 이용하여 상기 절연막 상의 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막과 상기 절연막 상의 상기도전성 배리어 층을 제거하는 단계; 및
- (f) 상기 단계 (e) 이후에, 상기 금속막에 대해 선택적으로 연마하는 선택적 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계

를 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 29

제28항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

청구항 30

제28항에 있어서, 상기 도전성 배리어 층은 상기 금속막보다 단단한 재료로 이루어지는 반도체 집적회로 디바이스 제조 방법.

청구항 31

제28항에 있어서, 상기 단계 (e)의 상기 연마는 상기 단계 (d)의 연마에 사용된 연마 패드보다 부드러운 연마 패드를 사용하여 수행되는 반도체 집적회로 디바이스 제조 방법.

청구항 32

제28항에 있어서, 상기 단계 (d)의 연마는 상기 금속막의 상기 도전성 배리어 층에 대한 연마 선택비가 적어도 5:1인 연마액을 사용하여 수행되고, 상기 단계 (e)의 연마는 상기 도전성 배리어 층의 상기 금속막에 대한 연마 선택비가 적어도 5:1인 연마액을 사용하여 실행하는 반도체 집적회로 디바이스 제조 방법.

청구항 33

반도체 집적회로 디바이스를 제조하는 방법에 있어서,

- (a) 개구부를 갖는 절연막을 바디 상에 형성하는 단계;
- (b) 도전성 배리어 층을 상기 절연막 상에 피착함과 동시에 상기 개구부 내에 형성하는 단계;
- (c) 금속막을 상기 절연막 상에 피착함과 동시에 상기 개구부 내부의 상기 도전성 배리어 층 상에 형성하여 상기 개구부를 채우는 단계;

- (d) 연마 입자가 없는 화학 기계적 연마를 이용하여 상기 개구부 외부의 상기 금속막을 제거하는 단계;
 (e) 상기 단계 (d) 이후에, 연마 입자를 갖는 화학 기계적 연마를 이용하여 상기 절연막 상의 상기 도전성 배리어 층 상에 국소적으로 남아 있는 상기 금속막을 제거하는 단계;
 (f) 상기 단계 (e) 이후에, 상기 도전성 배리어 층을 상기 금속막에 대해 선택적으로 연마하는 선택적 화학 기계적 연마를 이용하여 상기 절연막 상에 남아 있는 상기 도전성 배리어 층을 제거하는 단계; 및
 (g) 상기 단계 (f) 이후에, 차광 상태에서 상기 바디를 세정하는 단계
- 를 포함하는 반도체 집적회로 디바이스 제조 방법.

청구항 34

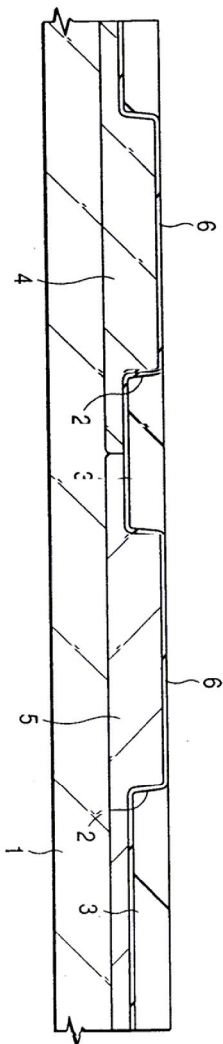
제33항에 있어서, 상기 금속막은 구리 또는 주성분으로서 구리를 함유한 합금으로 이루어지는 반도체 집적회로 디바이스 제조 방법.

청구항 35

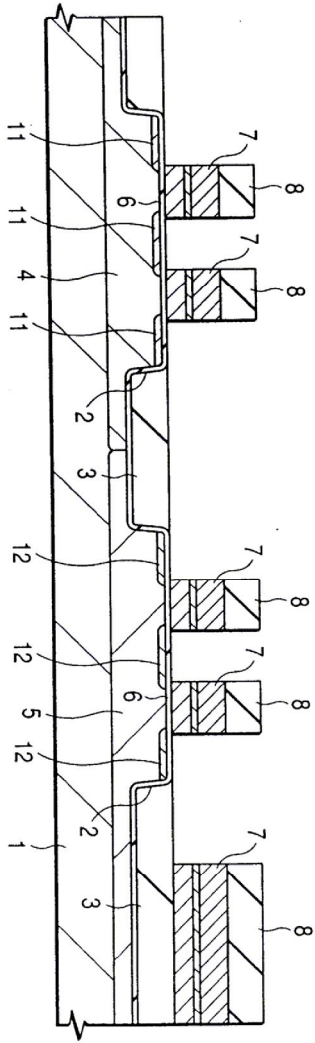
제33항에 있어서, 상기 단계 (g)의 세정은 조도를 최대 180 lux로 차광한 상태에서 수행되는 반도체 집적회로 디바이스 제조 방법.

도면

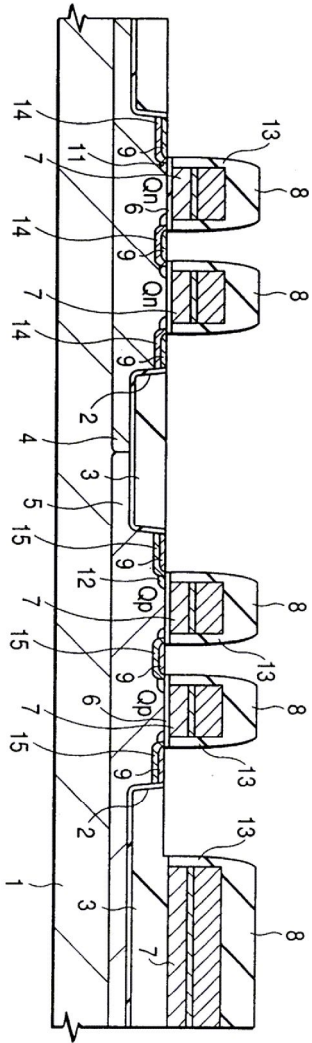
도면1



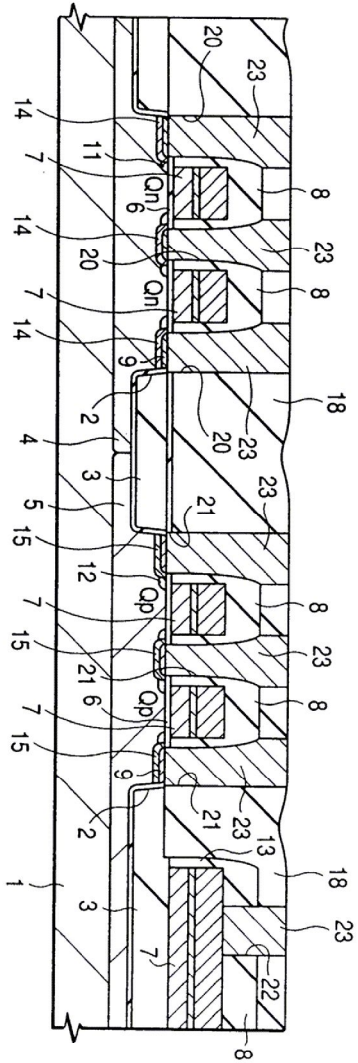
도면2



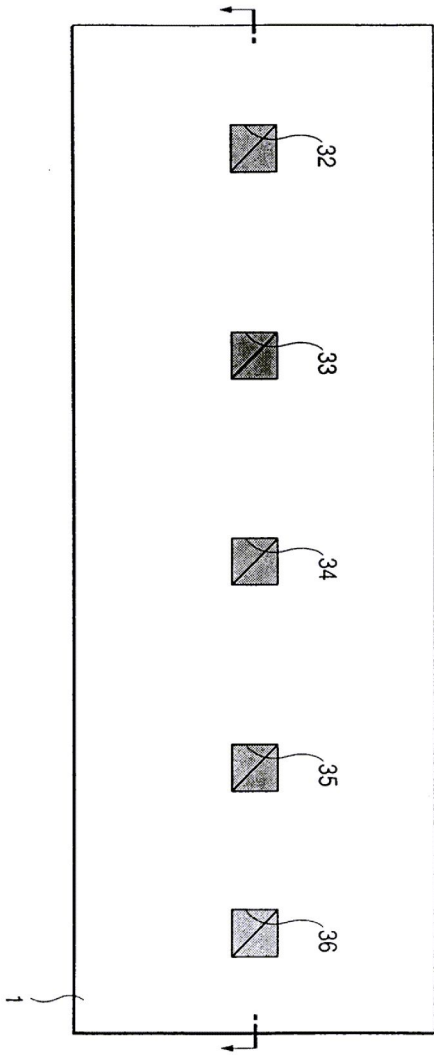
도면3



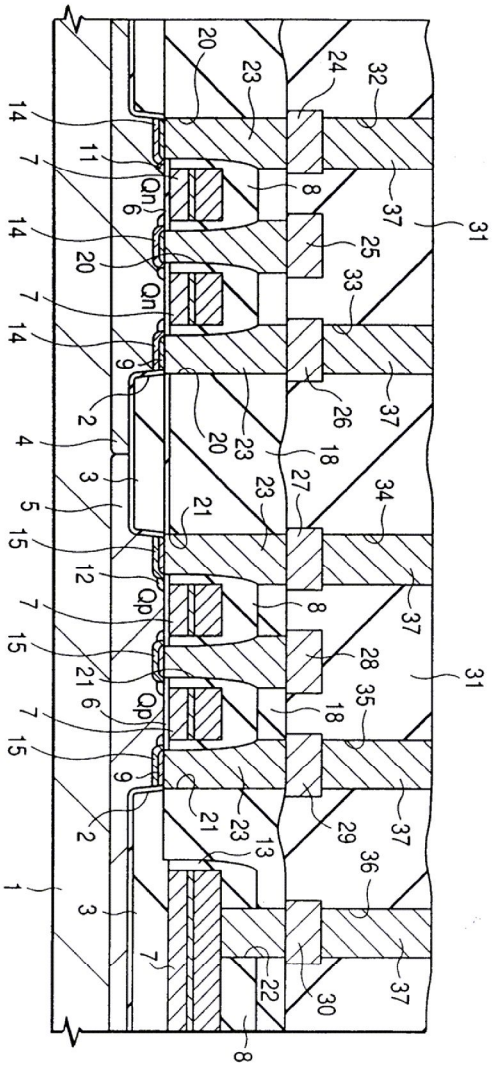
도면4



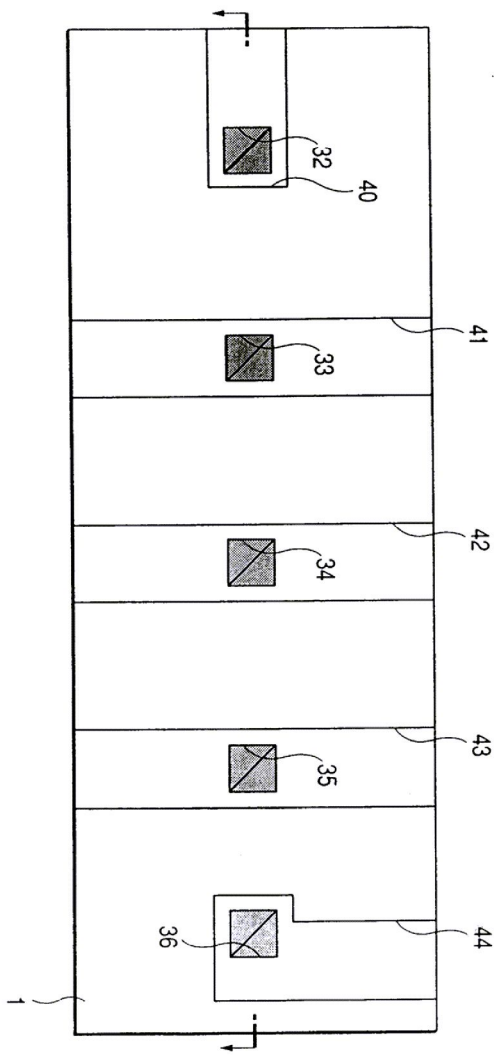
도면6a



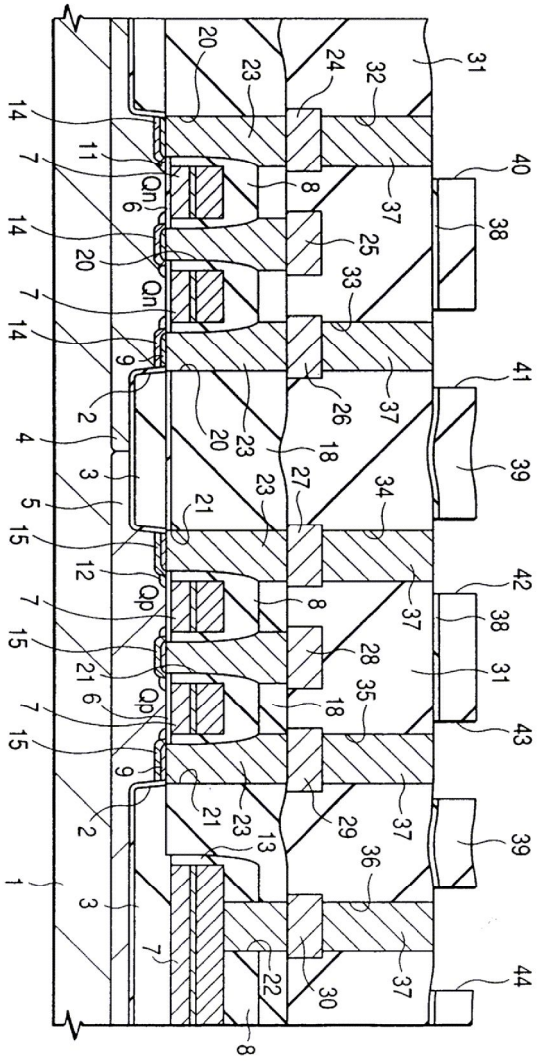
도면6b



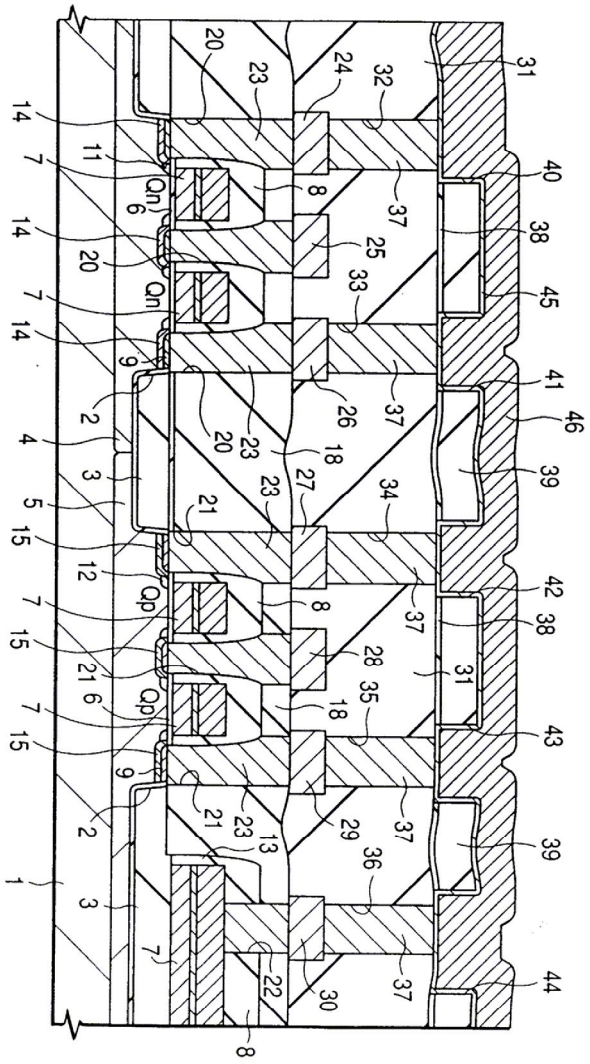
도면7a



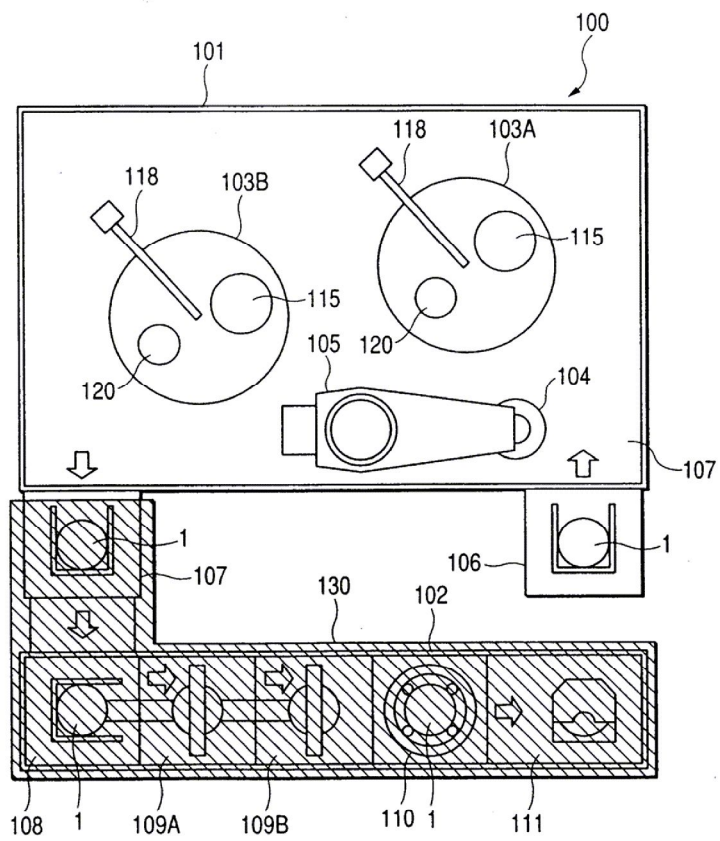
도면7b



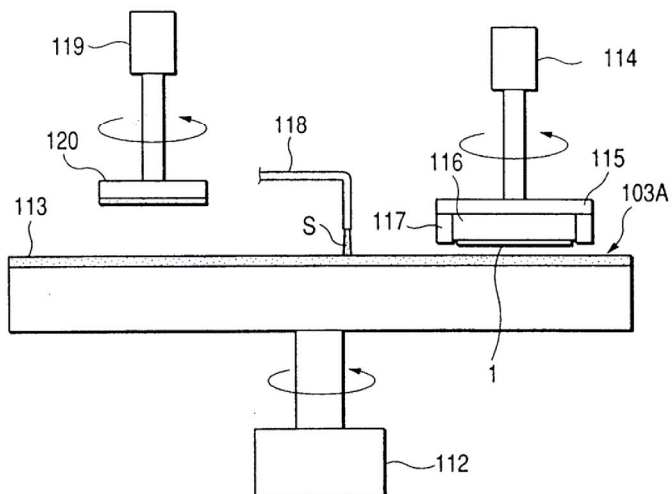
도면8



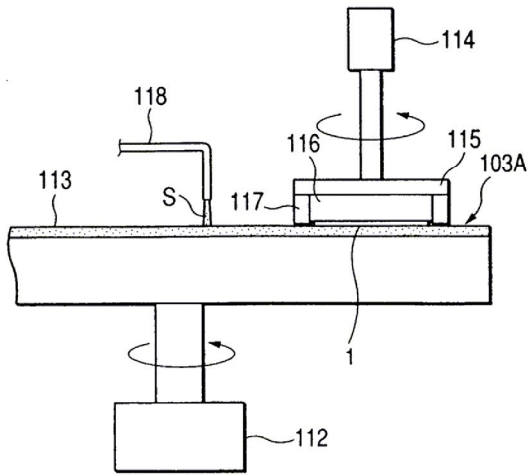
도면9



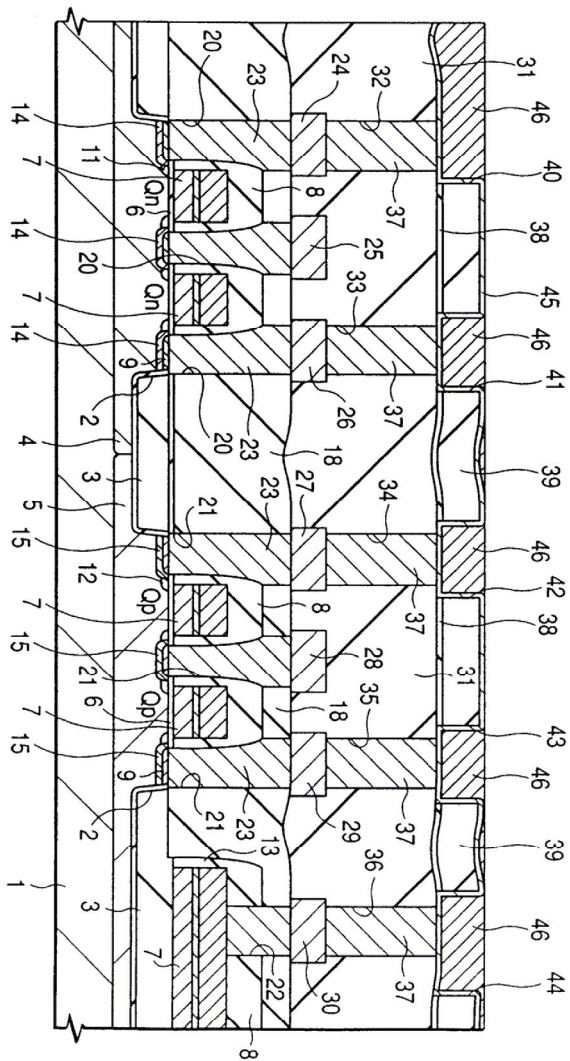
도면10



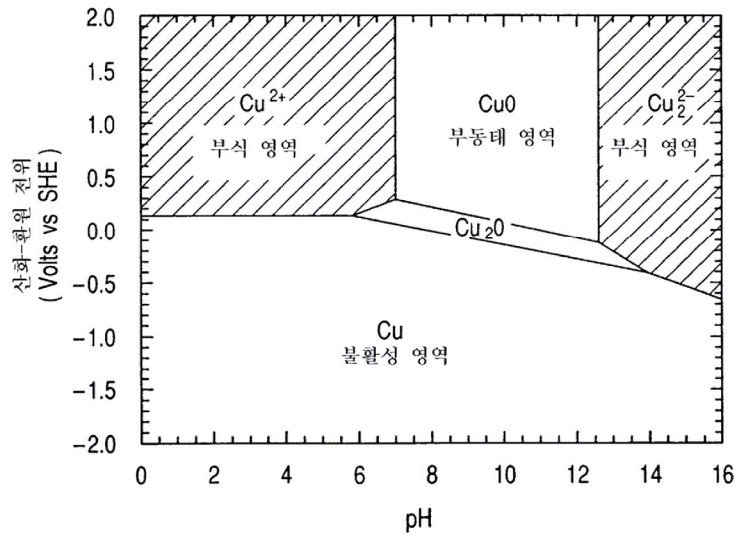
도면11



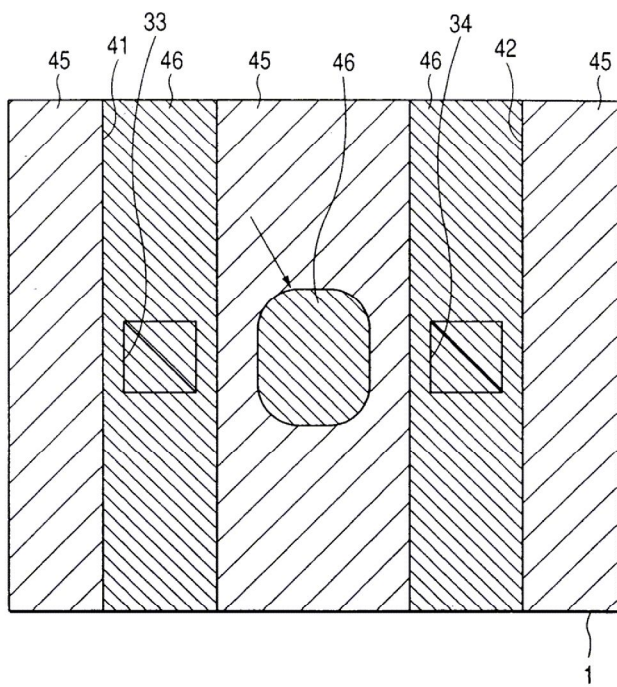
도면12



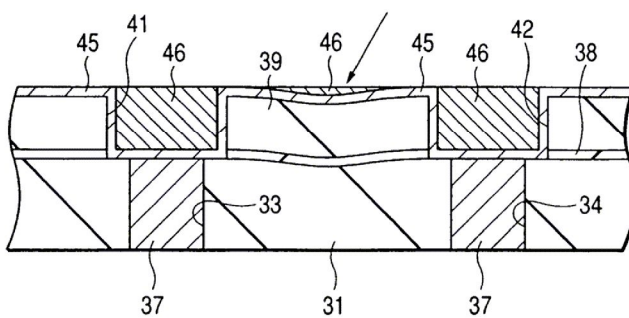
도면13



도면14a



도면14b



도면15

