



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0113153
(43) 공개일자 2012년10월12일

(51) 국제특허분류(Int. Cl.)
H04L 27/01 (2006.01) H04B 3/04 (2006.01)
(21) 출원번호 10-2011-0030910
(22) 출원일자 2011년04월04일
심사청구일자 2011년04월04일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
강진구
서울특별시 서초구 잠원로12길 5, 한신 18차 335동 201호 (잠원동)
김태호
인천광역시 동구 인증로 653, 101동 1501호 (송현동, 송현주공아파트)
(74) 대리인
김진우

전체 청구항 수 : 총 5 항

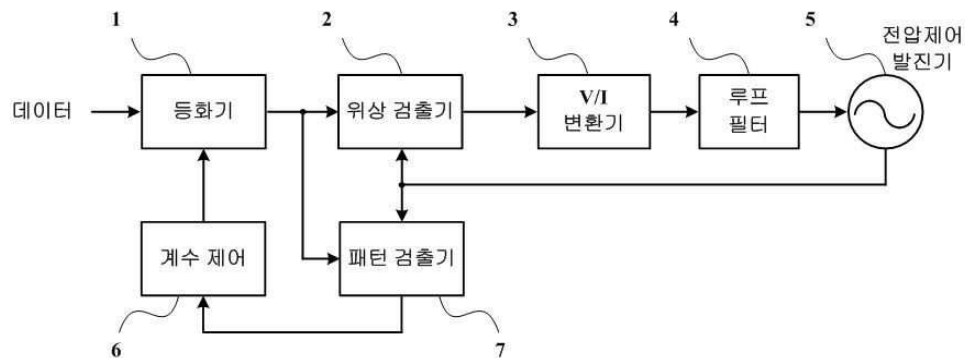
(54) 발명의 명칭 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법

(57) 요약

본 발명은 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법에 관한 것으로서, 보다 구체적으로는 데이터 패턴에 의존적으로 나타나는 지터성분으로부터 등화기의 계수를 제어하는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 데이터 패턴에 의존적으로 나타나는 지터 정보를 추출하여 등화기의 보상 크기를 제어하기 위한 적응형 방법에 따르면, 등화기의 정확한 보상이 가능하다. 또한, 본 발명에 따르면, 클록 듀티 비에 무관한 소수의 클록 위상만을 사용함으로써, 유사한 기능을 가진 위상 검출기와 결합된 구조는 구현 면적이 작고 전력 소모를 낮출 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법으로서,

데이터 패턴에 의존적으로 나타나는 지터성분으로부터 등화기의 계수를 제어하는 것을 특징으로 하는, 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법.

청구항 2

제1항에 있어서, 상기 데이터 패턴에 의존적으로 나타나는 지터성분은,

데이터 패턴에 있어서 연속적인 데이터 이후 데이터 천이가 발생하는 구간에서 검출된 위상 위치 정보로부터 구하는 것을 특징으로 하는, 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법.

청구항 3

제1항에 있어서,

위상 검출기를 이용하여 데이터 패턴에 의존적으로 나타나는 지터 성분을 검출하는 것을 특징으로 하는, 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법.

청구항 4

제1항에 있어서,

(1) 위상 검출기를 통해 입력데이터와 위상검출에서 사용되는 클록 간의 위상을 동기화시키고, 위상 차이가 발생할 때마다 전압 제어 발진기를 제어하기 위한 전압 펄스를 출력하는 단계;

(2) 데이터 패턴에 의존적인 지터 성분이 나타나는 구간을 검출하기 위해 패턴 검출기로부터 연속적인 데이터 이후 데이터 천이가 발생하는 구간을 검출하여 CEN(Compensation Enable) 신호를 생성하는 단계;

(3) CEN 신호가 출력되면, 위상 검출기로부터 출력된 PUP/PDN 신호는 데이터 패턴에 의존적인 위상 차이 정보를 가진 신호로 선별되어 입력 신호로 사용되는 단계; 및

(4) 상기 입력 신호를 디지털 또는 아날로그 신호로 변환하여 등화기의 계수를 제어하여 보상의 크기를 결정하는 단계를 포함하는 것을 특징으로 하는, 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법.

청구항 5

제1항에 있어서, 상기 단계 (1)에서,

입력데이터와 위상을 동기화시키는 상기 클록은 클록 듀티 비(Duty Ratio)와 무관한 것을 특징으로 하는, 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법.

명세서

기술 분야

본 발명은 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법에 관한 것으로서, 보다 구체적으로는 데이터 패턴에 의존적으로 나타나는 지터성분으로부터 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법에 관한 것이다.

[0001]

배경 기술

[0002] 전송선로 매체의 물리적인 특성(표피효과, 유전율 손실)으로 인해 송수신기의 매체로 사용하기 위한 주파수 대역폭이 제한되며, 이 제한된 대역폭은 전송선로의 데이터 전송속도를 결정짓는 중요한 요소이다. 기존의 물리적인 특성으로 인해 제한된 전송선로의 대역폭을 확장시켜 데이터의 전송속도를 향상시킬 수 있는 방법으로 등화기법(Equalization)을 사용한다. 매체의 물리적인 특성은 환경(전송선로 길이, 온도, 열화)에 따라 변화하기 때문에 정확한 예측이 어렵지만, 적응형 알고리즘(Adaptive Algorithm)을 통해 전송선로의 손실량을 측정하고 보상의 크기를 결정하게 될 경우 등화기의 보상 크기를 최적화할 수 있다. 대표적인 적응형 알고리즘으로 최소평균제곱(Least Mean Square; LMS) 기법과 지터 측정 알고리즘(Jitter Measurement) 기법이 사용된다. 데이터의 전송속도가 증가할수록 수신되는 데이터의 지터 성분은 클럭 및 데이터 복원 회로와 같은 수신기의 성능에 영향을 미치기 때문에 전압 마진(Vertical Voltage margin)보다는 시간 마진(Horizontal Time margin)을 향상시킬 수 있는 지터 감소 알고리즘의 중요성이 더욱 커지고 있다.

[0003] 종래의 등화기로 보상된 데이터의 최소 펄스 폭을 측정하여 등화기의 보상 크기를 제어하는 지터 측정 알고리즘 기법은, 등화기를 통과한 데이터의 최소 펄스 폭과 이상적인 데이터의 최소 펄스 폭을 비교하여 보상의 정도를 판단한다. 기준이 되는 이상적인 펄스 폭은 클럭의 다중 위상을 이용하여 생성한다. 이상적인 데이터의 펄스 폭보다 클 경우 과도한 보상 상태를, 작을 경우 과소한 보상 상태를 나타내며, 측정된 결맞음을 이용하여 등화기의 계수를 변화시켜 최적화된 펄스 폭을 유지하도록 제어한다.

[0004] 기존에 제안된 데이터 최소 펄스 폭을 검출하는 방법은 다음과 같은 문제점이 있다. 이상적인 기준 데이터 펄스 폭의 생성은 클럭의 듀티 비(Duty ratio)가 50%로 정확하지 않거나 레이아웃 부정합(layout mismatch)으로 인한 클럭 위상들 간의 지연 차이(skew) 등에 의해 변화하며, 이는 보상의 크기가 최적화되는 것을 방해하는 요인이 된다. 또한, 이상적인 기준 데이터 폭(ideal reference pulse width)을 생성해 내기 위해 다수의 클럭 위상(multi-phase)들이 필요하고, 데이터 패턴에 따른 펄스 폭 검출 기법은 정해진 데이터 패턴을 필요로 하므로 별도의 훈련(Training sequence)과정 시간을 필요로 하며, 다수의 위상 클럭을 사용함으로써 회로의 크기가 커지고 전력소모가 증가된다는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점들을 해결하기 위해 제안된 것으로서, 데이터 패턴에 의존적으로 나타나는 지터 성분으로부터 전송선로의 손실량을 측정하고 등화기의 계수를 조절함으로써, 클럭의 듀티 비(duty ratio)와 무관하게 동작하여 최적화된 보상을 유지하기 위한 적응형 알고리즘을 제안하는 것을 그 목적으로 한다.

[0006] 또한, 본 발명은, 소수의 클럭 위상만을 사용함으로써, 소 면적, 저 전력의 알고리즘 구현이 가능하도록 하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

[0007] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 등화기의 보상 크기를 적응형으로 결정 및 제어하는 방법은,

[0008] 데이터 패턴에 의존적으로 나타나는 지터성분으로부터 등화기의 계수를 제어하는 것을 특징으로 할 수 있다.

[0009] 바람직하게는, 상기 데이터 패턴에 의존적으로 나타나는 지터성분은,

[0010] 데이터 패턴에 있어서 연속적인 데이터 이후 데이터 천이가 발생하는 구간에서 검출된 위상 위치 정보로부터 구하는 것을 특징으로 할 수 있다.

- [0011] 바람직하게는,
- [0012] 위상 검출기를 이용하여 데이터 패턴에 의존적으로 나타나는 지터 성분을 검출하는 것을 특징으로 할 수 있다.
- [0013] 바람직하게는,
- [0014] (1) 위상 검출기를 통해 입력데이터와 위상검출에서 사용되는 클록 간의 위상을 동기화시키고, 위상 차이가 발생할 때마다 전압 제어 발진기를 제어하기 위한 전압 펄스(PUP/PDN)를 출력하는 단계;
- [0015] (2) 데이터 패턴에 의존적인 지터 성분이 나타나는 구간을 검출하기 위해 패턴 검출기로부터 연속적인 데이터 이후 데이터 천이가 발생하는 구간을 검출하여 CEN(Compensation Enable) 신호를 생성하는 단계;
- [0016] (3) CEN 신호가 출력되면, 위상 검출기로부터 출력된 PUP/PDN 신호는 데이터 패턴에 의존적인 위상 차이 정보를 가진 신호로 선별되어 입력 신호로 사용되는 단계; 및
- [0017] (4) 상기 입력 신호를 디지털 또는 아날로그 신호로 변환하여 등화기의 계수를 제어하여 보상의 크기를 결정하는 단계를 포함할 수 있다.
- [0018] 바람직하게는, 상기 단계 (1)에서,
- [0019] 입력데이터와 위상을 동기화시키는 상기 클록은 클록 듀티 비(Duty Ratio)와 무관한 것을 특징으로 할 수 있다.

발명의 효과

- [0020] 본 발명에서 제안하고 있는 데이터 패턴에 의존적으로 나타나는 지터 정보를 추출하여 등화기의 보상 크기를 제어하기 위한 적응형 방법에 따르면, 등화기의 정확한 보상이 가능하다.
- [0021] 또한, 본 발명에 따르면, 클록 듀티 비에 무관한 소수의 클록 위상만을 사용하고, 이로써, 유사한 기능을 가진 위상 검출기와 결합된 구조는 구현 면적이 작고 전력 소모를 낮출 수 있다.

도면의 간단한 설명

- [0022] 도 1은 종래 등화기의 보상 크기를 제어하기 위한 적응형 알고리즘의 구성도를 도시한 도면.
- 도 2는 종래 지터 측정 알고리즘에서 1bit 데이터의 펄스 폭(pulse width)의 크기를 측정하는 방법으로 과도 보상 상태를 도시한 도면.
- 도 3은 종래 지터 측정 알고리즘에서 1bit 데이터의 펄스 폭(pulse width)의 크기를 측정하는 방법으로 과소 보상 상태를 도시한 도면.
- 도 4는 본 발명에서 제안하고 있는 적응형 방법이 적용된 수신기를 도시한 도면.
- 도 5는 인가된 데이터 패턴에 따른 지터 모의실험 결과를 도시한 도면.
- 도 6은 본 발명에서 제안하고 있는 적응형 방법이 구현된 수신기의 동작과정을 도시한 도면.
- 도 7은 본 발명에서 제안하고 있는 적응형 방법의 구체적인 구성을 도시한 도면.
- 도 8은 D[012]=001 및 D[234]=101인 데이터 입력 시 본 발명에서 제안하고 있는 적응형 방법의 동작을 비교한 것으로, 과소 보상(Under-Compensation) 상태를 도시한 도면.
- 도 9는 D[012]=001 및 D[234]=101인 데이터 입력 시 본 발명에서 제안하고 있는 적응형 방법의 동작을 비교한 것으로, 과도 보상(Over-compensation) 상태를 도시한 도면.
- 도 10은 D[012]=001 및 D[456]=011인 데이터 입력 시 본 발명에서 제안하고 있는 적응형 방법의 동작을 비교한 것으로, 과소 보상(Under-Compensation) 상태를 도시한 도면.
- 도 11은 D[012]=001 및 D[456]=011인 데이터 입력 시 본 발명에서 제안하고 있는 적응형 방법의 동작을 비교한

것으로, 과도 보상(Over-compensation) 상태를 도시킨 도면.

도 12는 본 발명에서 제안하고 있는 적응형 방법의 구성 예를 도시킨 도면.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일한 부호를 사용한다.
- [0024] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 ‘연결’되어 있다고 할 때, 이는 ‘직접적으로 연결’되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 ‘간접적으로 연결’되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 ‘포함’한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.
- [0025] 도 1 내지 도 3은 종래의 적응형 알고리즘에 관한 도면이다. 도 1은 종래 등화기(1)의 보상 크기를 제어하기 위한 적응형 알고리즘의 구성도를 도시킨 도면이다. 도 1에 도시된 바와 같이, 종래에는 데이터의 최소 펄스 폭을 검출하는 방법을 통해 등화기의 계수를 결정하였다. 도 2는 종래의 지터 측정 알고리즘에서 1bit 데이터의 펄스 폭(pulse width)의 크기를 측정하는 방법으로 과도 보상 상태를 도시킨 도면이고, 도 3은 종래의 지터 측정 알고리즘에서 1bit 데이터의 펄스 폭의 크기를 측정하는 방법으로 과소 보상 상태를 도시킨 도면이다. 즉, 종래에는 펄스 폭 검출을 통해 등화기(1)의 보상 크기를 제어하는데, 도 2 및 도 3에 도시된 방법으로 데이터의 펄스 폭을 측정하고, 측정된 결과 값을 이용하여 등화기(1)의 계수를 변화시켜 최적화된 펄스 폭을 유지하도록 제어하는 것이다.
- [0026] 도 4는 본 발명에서 제안하고 있는 적응형 방법이 적용된 수신기를 도시킨 도면이다. 도 4에 도시된 바와 같이, 본 발명에 따르면, 데이터 패턴 검출을 통해 데이터 패턴에 의존적으로 나타나는 위상 차를 검출하여 등화기의 계수를 제어할 수 있다. 도 4에 도시된 각각의 블록들의 역할은 다음과 같다. 등화기(Equalizer)(1)는, 전송선로를 통해 손실된 고주파 및 저주파 성분을 보상하는 회로의 역할을 할 수 있다. 위상 검출기(Phase Detector)(2)는, 수신된 데이터와 복원된 클록과의 위상 차이 정보를 출력하는 회로이다. 전압/전류 변환기(V/I Converter)(3)는, 위상 검출기(2)에서 발생하는 전압 출력의 시간에 비례하는 전류신호로 변환시켜 주는 회로이다. 루프 필터(Loop Filter)(4)는, 전류신호로 변환된 신호를 저장하여 전압 제어 발진기(Voltage-Controlled Oscillator)(5)를 제어하기 위한 필터이다. 전압 제어 발진기(Voltage-Controlled Oscillator)(5)는, 복원 클록을 생성하기 위한 회로이다. 계수 제어(6)는, 등화기(1)의 보상 크기를 결정짓는 계수를 제어하는 회로이다. 패턴 검출기(7)는, 연속적인 2비트 신호 입력 후 천이가 발생하는 데이터 구간(‘001’ / ‘110’)을 검출하기 위한 회로이다.
- [0027] 도 5 내지 도 7을 통해 본 발명에서 제안하고 있는 적응형 방법의 동작을 설명한다. 데이터 패턴에 따른 지터 정보와 관련하여, 도 5는 인가된 데이터 패턴에 따른 지터 모의실험 결과를 도시킨 도면이다. 도 5의 2번 구간과 같이 데이터가 ‘1010’으로 연속적으로 천이되며 인가되는 경우에는 지터(Jitter; 데이터 간의 위상 차)가 발생되지 않지만, 1번 구간과 같이 연속적인 데이터 이후 데이터 천이가 발생할 경우에는 손실된 데이터의 보상 정도에 따라 데이터의 위상 차이가 발생한다. 정확한 보상이 이루어질 경우 이상적인 데이터의 위상과 동일한 위상으로 나타나며, 보상이 적게 될 경우 위상 뒤짐(lag), 보상이 과도할 경우 위상 앞섬(lead)으로 나타난다.
- [0028] 도 6은 본 발명에서 제안하고 있는 적응형 방법이 구현된 수신기의 동작과정을 도시킨 도면이다. 전송선로를 통해 수신된 데이터는 등화기(1)를 통해 보상된다. 위상 검출기(2)를 통해 입력데이터와 위상 검출기(2)에서 사용되는 클록과의 위상을 동기화시킨다. 위상 차이가 발생할 때마다 전압 제어 발진기(Voltage-Controlled

Oscillator)(5)를 제어하기 위한 전압 펄스(PUP/PDN)를 출력한다. 데이터 패턴에 의존적인 지터 성분이 나타나는 구간을 검출하기 위해, 패턴 검출기(7)로부터 연속적인 2비트 이후 데이터 천이가 발생하는 구간('001' , '110')을 검출하여 본 발명에서 제안하고 있는 적응형 방법을 동작시키기 위한 CEN(Compensation Enable) 신호를 생성한다. CEN 신호가 출력되면, 위상 검출기(2)로부터 출력된 PUP/PDN 신호는 데이터 패턴에 의존적인 위상 차이 정보를 가진 신호로 선별되어 입력 신호로 사용한다. CEN 신호가 출력되지 않은 구간에서 발생하는 위상 검출기(2)의 출력은 일반 데이터와 클럭 간의 위상차이 정보만을 가지며 위상 제어(8)에 사용된다. 위상 제어(8)는 전압/전류 변환기(3), 루프 필터(4), 전압 제어 발진기(5)로 구성된다. 상기 입력 신호는 디지털, 아날로그 신호로 변환되어 등화기(1)의 계수를 제어(6)하여 보상의 크기를 결정한다.

[0029] 도 7은 본 발명에서 제안하고 있는 적응형 방법(11)의 구체적인 구성을 도시한 도면이다. 도 7에 도시된 바와 같이, 본 발명에서 제안하고 있는 적응형 방법(11)은 위상 검출기(2), 패턴 검출기(7) 및 로직(9)으로 구성된다. CEN 신호가 ON 되는 동안 위상 검출기(2)의 출력신호는 등화기(1)의 계수를 제어하기 위한 입력신호로 사용된다. 연속적인 데이터의 검출('001' , '110')은 플립플롭과 XOR 로직(9)을 이용하여 구현한다.

[0030] 본 발명에서 제안하고 있는 적응형 방법의 동작 예로서, 입력 데이터에 따른 위상 검출기(2)와 적응형 방법의 출력 상태 표는 다음 표 1과 같다.

표 1

D[0]	D[1]	E[12]	D[2]	PD status	CEN D[n] XOR D[n+ 2]	EQ
0	0	0	1	Early	On	CUP
0	0	1	1	Late	On	CDN
1	1	0	0	Late	On	CDN
1	1	1	0	Early	On	CUP

[0031]

[0032] 본 발명에서 제안하고 있는 적응형 방법의 또 다른 동작 예로서, 각 데이터 입력 시 동작을 비교하여 설명하도록 한다. 도 8 및 도 9는 D[012]=001 및 D[234]=101인 데이터 입력 시 본 발명에서 제안하고 있는 적응형 방법의 동작을 비교한 도면이다. 도 8은 과소 보상(Under-Compensation) 상태를 도시한 것이고, 도 9는 과도 보상(Over-compensation) 상태를 도시한 것이다. 도 8 및 도 9에 도시된 바와 같이, 데이터 D[012]= '001' 이 위상 검출기(2)로 수신될 경우 본 발명에서 제안하고 있는 적응형 방법은 활성화되고 위상 검출기(2)의 출력(PUP, PDN)은 위상 보상 및 본 발명에서 제안하고 있는 적응형 방법(CUP, CDN)으로 동시에 적용된다. D[234]= '101' 일 경우 알고리즘 활성화 신호(CEN)가 발생되지 않기 때문에 위상 검출기(2)의 출력(PUP, PDN)은 본 발명에서 제안하고 있는 적응형 방법에 반영되지 않고, 위상 검출기(2)의 위상 제어(8)에만 반영된다. 실제 입력된 데이터가 연속적인 데이터 이후 천이되는 구간이 아니어도 본 발명에서 제안하고 있는 적응형 방법이 활성화되는 경우가 발생하지만, 위상 검출기(2)의 출력이 없기 때문에 본 발명에서 제안하고 있는 적응형 방법에는 영향을 미치지 않는다.

[0033] 도 10 및 도 11은 D[012]=001 및 D[456]=011인 데이터 입력 시 본 발명에서 제안하고 있는 적응형 방법의 동작을 비교한 도면이다. 도 10은 과소 보상 상태를 도시한 것이고, 도 11은 과도 보상 상태를 도시한 것이다. 도 10 및 도 11에 도시된 바와 같이, 데이터 D[456]= '011' 이 수신될 경우 연속적인 동일한 2비트(D[45]= '01')가 아니어도 보상 알고리즘 활성화 신호(CEN)가 발생하는 예외적인 경우도 발생한다. 하지만, 위상 검출기(2)의 출력이 발생하지 않기 때문에 본 발명에서 제안하고 있는 적응형 방법에는 영향을 미치지 않는다.

[0034] 도 12는 본 발명에서 제안하고 있는 적응형 방법의 구성 예를 도시한 도면이다. 패턴 검출기(7)가 연속적인 데이터 패턴 '001' / '110' 을 검출할 수 있는 구성도이다.

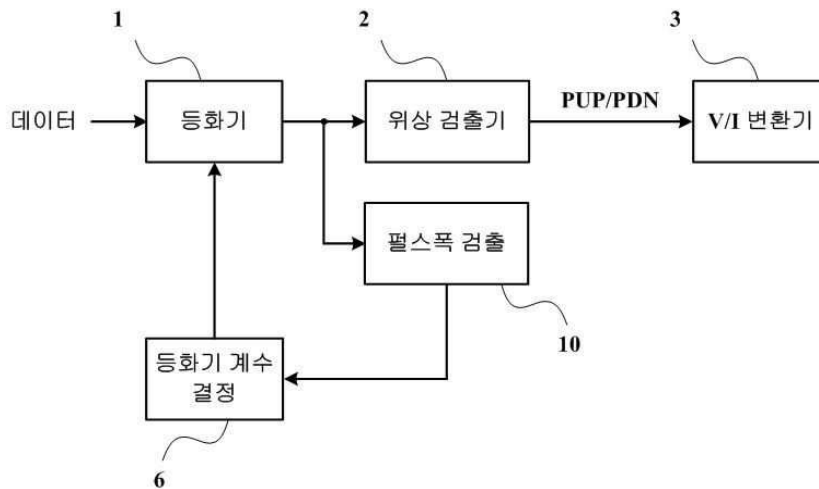
[0035] 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

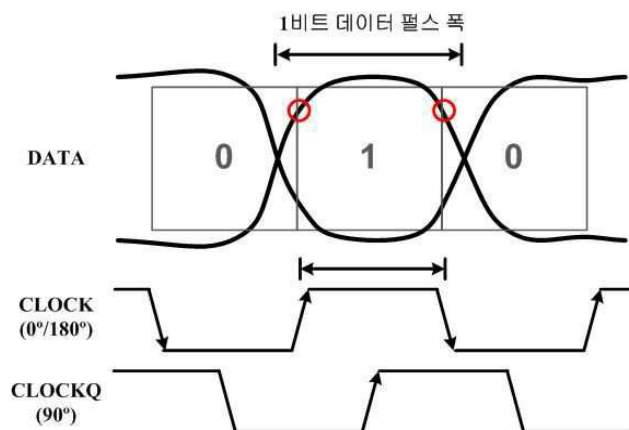
- [0036]
- | | |
|---------------------------|-------------|
| 1: 등화기 | 2: 위상 검출기 |
| 3: 전압/전류 변환기 | 4: 루프 필터 |
| 5: 전압 제어 발진기 | 6: 계수 제어 |
| 7: 패턴 검출기 | 8: 위상 제어 |
| 9: 로직 | 10: 펄스 폭 검출 |
| 11: 본 발명에서 제안하고 있는 적응형 방법 | |

도면

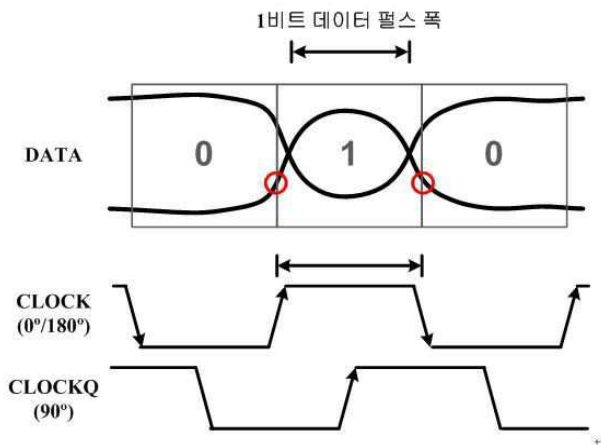
도면1



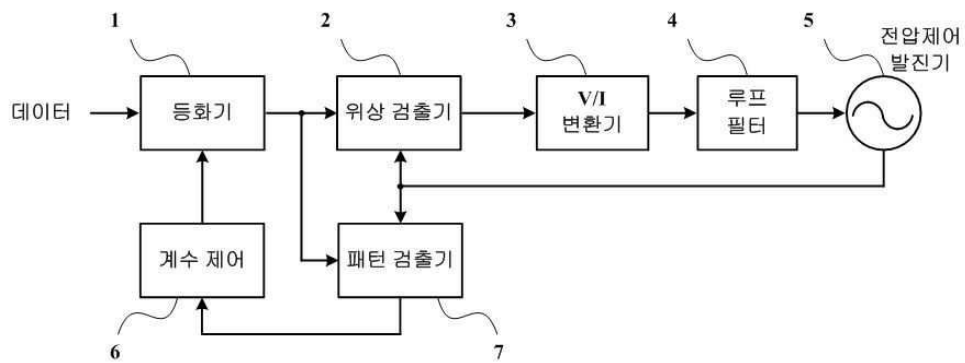
도면2



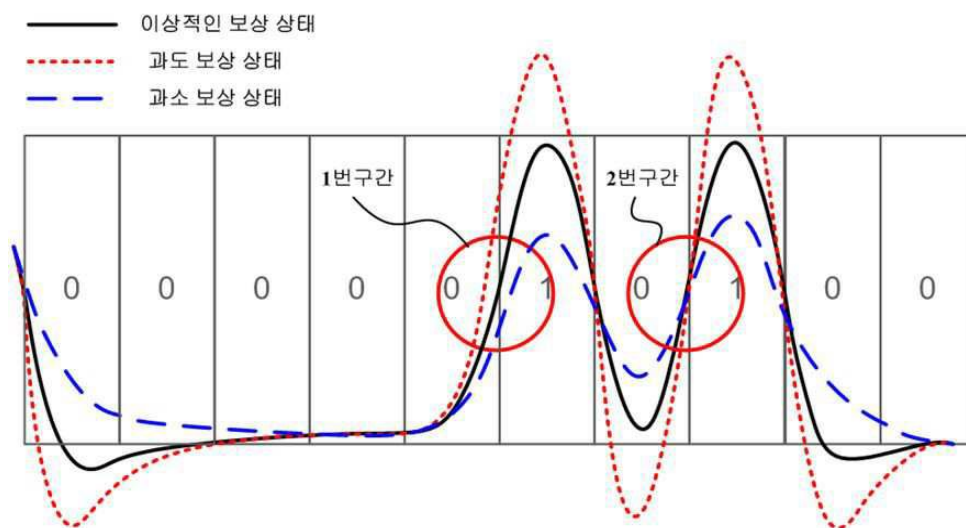
도면3



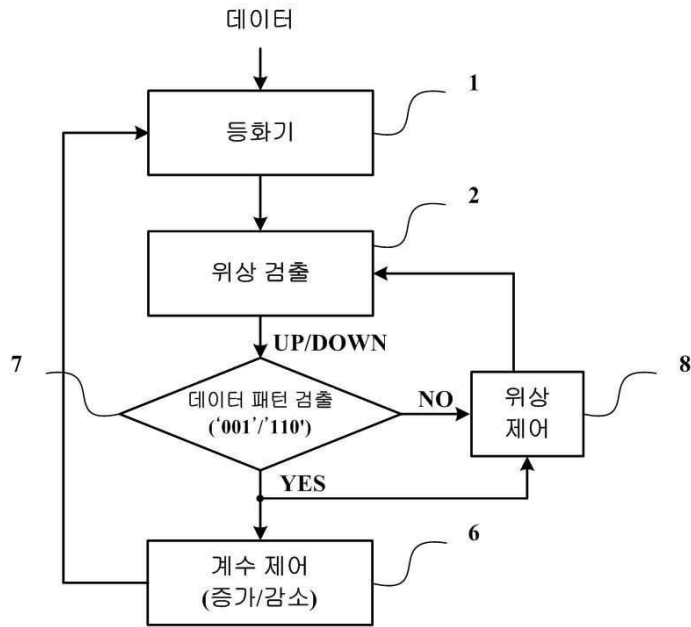
도면4



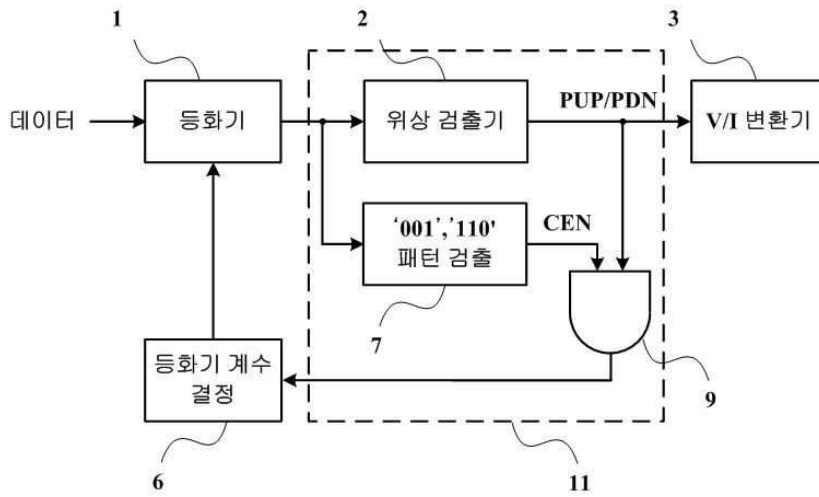
도면5



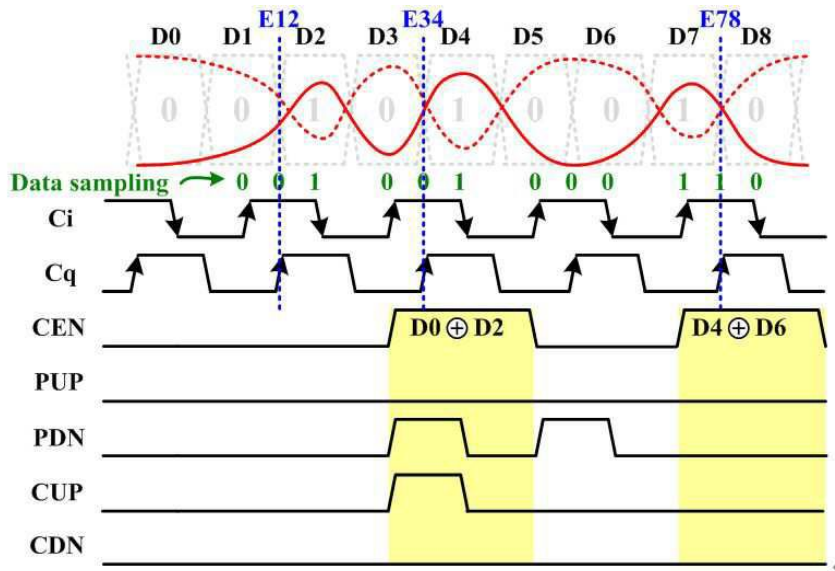
도면6



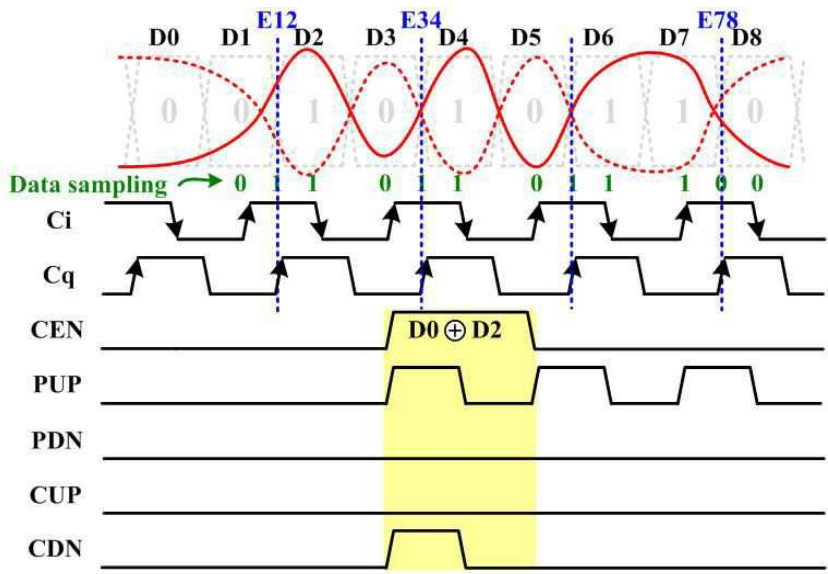
도면7



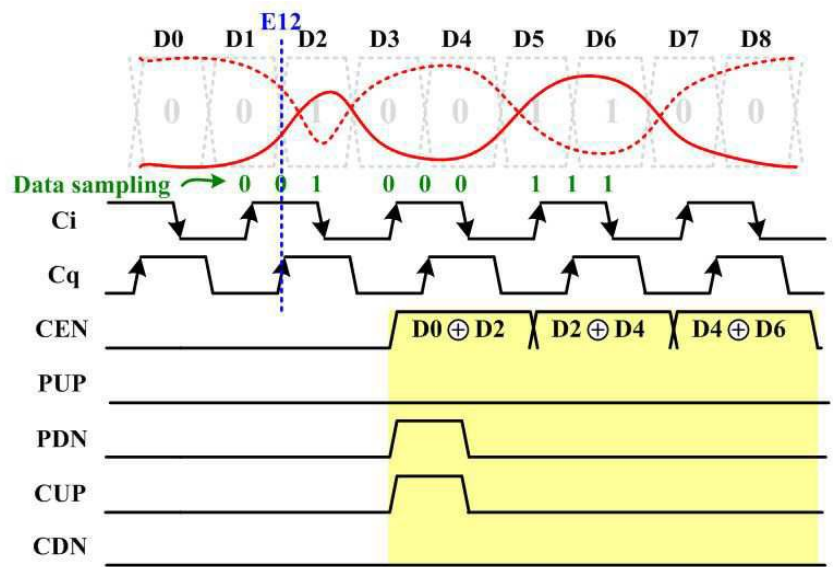
도면8



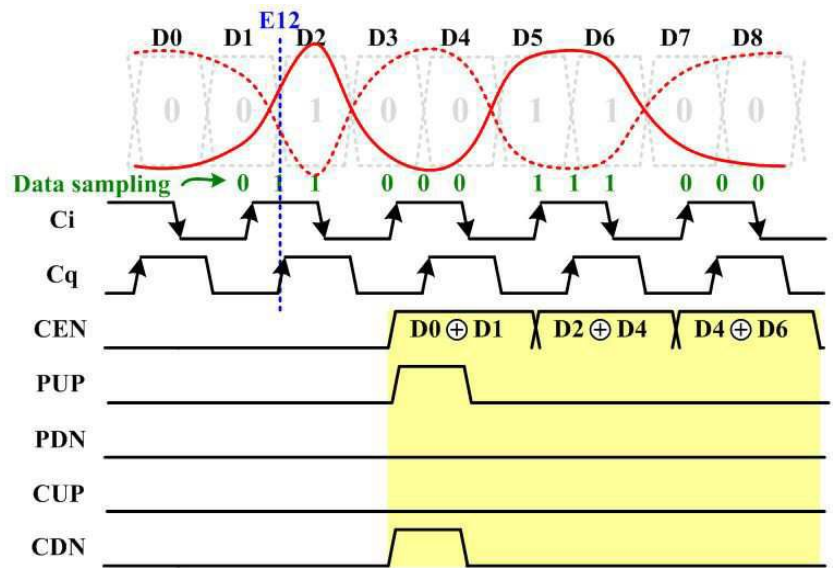
도면9



도면10



도면11



도면12

