

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月10日(10.09.2020)



(10) 国際公開番号

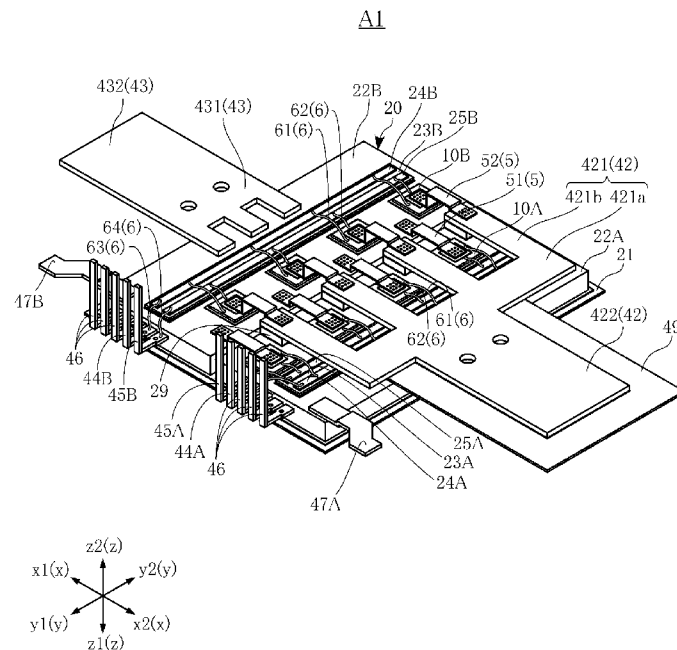
WO 2020/179369 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) *B23K 26/21* (2014.01)
H01L 25/07 (2006.01) *H01L 21/60* (2006.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2020/005079
- (22) 国際出願日: 2020年2月10日(10.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-039352 2019年3月5日(05.03.2019) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 富士 和則 (FUJI Kazunori); 〒6158585
京都府京都市右京区西院溝崎町2番地
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE AND BONDING METHOD

(54) 発明の名称: 半導体装置および接合方法

FIG.2



(57) Abstract: This semiconductor device A1 is provided with: a semiconductor element 11 which has an element primary surface 11a and an element back surface 11b separated from each other in the z direction (a first direction), and a first region 111 arranged on the element primary surface 11a; a metal plate 31 (an electrode member) which is electrically connected to the first region 111 and which is arranged above the element primary surface 11a; a conductive substrate 22A (a first conductive member) which faces the element back surface 11b and to which the semiconductor element 11

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

is bonded; a conductive substrate 22B (a second conductive member) which is arranged separated from the conductive substrate 22A (the first conductive member); and lead members 5 (the connection member) which electrically connect the metal plate 31 (the electrode member) and the conductive substrate 22B (the second conductive member). The lead members 5 (the connection members) are bonded to the metal plate 31 (the electrode member) by laser welding. This configuration can improve the reliability of a semiconductor device.

(57) 要約：本開示の半導体装置 A 1 は、z 方向（第 1 方向）において互いに離間した素子主面 1 1 a および素子裏面 1 1 b と素子主面 1 1 a 側に配置された第 1 領域 1 1 1 とを有する半導体素子 1 1 と、第 1 領域 1 1 1 に導通し、かつ、素子主面 1 1 a の上に配置された金属板 3 1（電極部材）と、素子裏面 1 1 b に対向し、かつ、半導体素子 1 1 が接合された導電性基板 2 2 A（第 1 導電部材）と、導電性基板 2 2 A（第 1 導電部材）と離間して配置された導電性基板 2 2 B（第 2 導電部材）と、金属板 3 1（電極部材）および導電性基板 2 2 B（第 2 導電部材）を導通させるリード部材 5（接続部材）と、を備えている。リード部材 5（接続部材）は、レーザ溶接によって金属板 3 1（電極部材）に接合されている。このような構成により、半導体装置の信頼性の向上を図ることができる。

明 細 書

発明の名称：半導体装置および接合方法

技術分野

[0001] 本開示は、半導体装置および接合方法に関する。

背景技術

[0002] 半導体装置は、様々な構成が提案されている。特許文献1には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、半導体素子、リードフレームおよびストラップ（導電性金属板）を備えている。半導体素子は、ソース電極を含んでおり、リードフレームの一部に搭載されている。ストラップは、半導体素子のソース電極に超音波接続されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-310609号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の半導体装置においては、ストラップと半導体素子のソース電極とを導通させるために、ストラップをソース電極に超音波接続している。この超音波接続においては、ストラップをソース電極に押し付けつつ、超音波振動を加えるため、このときの押圧力や振動によって、半導体素子が破損しうる。したがって、半導体装置の信頼性の低下が懸念される。

[0005] 本開示は、上記課題に鑑みて創作されたものであり、その目的は、信頼性の向上を図った半導体装置および接合方法を提供することにある。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、第1方向において互いに離間した素子主面および素子裏面と前記素子主面側に配置された第1領域とを有する半導体素子と、前記第1領域に導通し、かつ、前記素子主面上に配置された電極部材と、前記素子裏面に対向し、かつ、前記半導体素子

が接合された第1導電部材と、前記第1導電部材と離間して配置された第2導電部材と、前記電極部材および前記第2導電部材を導通させる接続部材と、を備えており、前記接続部材は、レーザ溶接によって前記電極部材に接合されている。

[0007] 本開示の第2の側面によって提供される接合方法は、第1方向において互いに離間した素子主面および素子裏面を有する半導体素子に、導電性の接続部材を接合する接合方法であって、前記半導体素子は、前記素子主面側に配置された第1領域を含んでおり、導電部材を前記素子主面に配置し、前記導電部材を前記第1領域に導通させる第1工程と、前記接続部材を前記導電部材に重ねて、前記第1方向に見て前記接続部材と前記導電部材とが重なった領域において、前記接続部材と前記導電部材とをレーザ溶接する第2工程と、を有しており、前記レーザ溶接において、互いに波長の異なる第1のレーザ光および第2のレーザ光を用いる。

発明の効果

[0008] 本開示の半導体装置および接合方法によれば、信頼性の向上を図ることができる。

図面の簡単な説明

[0009] [図1]第1実施形態にかかる半導体装置を示す斜視図である。
[図2]図1に示す斜視図において樹脂部材を省略した図である。
[図3]第1実施形態にかかる半導体装置を示す平面図である。
[図4]図3に示す平面図において樹脂部材を想像線で示した図である。
[図5]図3の一部を拡大した部分拡大図である。
[図6]第1実施形態にかかる半導体装置を示す正面図である。
[図7]第1実施形態にかかる半導体装置を示す底面図である。
[図8]第1実施形態にかかる半導体装置を示す側面図（左側面図）である。
[図9]第1実施形態にかかる半導体装置を示す側面図（右側面図）である。
[図10]図4のX-X線に沿う断面図である。
[図11]図4のX'-X'線に沿う断面図である。

[図12]図 1 1 の一部を拡大した部分拡大図である。

[図13]溶接痕の一例を示す平面模式図である。

[図14]溶接痕の一例を示す断面模式図である。

[図15]レーザ照射装置の一例を示す模式図である。

[図16]2つのレーザ光の出力波形を示すタイミングチャートである。

[図17]第2実施形態にかかる半導体装置を示す斜視図である。

[図18]第3実施形態にかかる半導体装置を示す平面図である。

[図19]図 1 8 の一部を拡大した部分拡大図である。

[図20]第3実施形態にかかる半導体装置を示す正面図である。

[図21]図 1 8 の X X I - X X I 線に沿う断面図である。

[図22]図 2 1 の一部を拡大した部分拡大図である。

[図23]第4実施形態にかかる半導体装置を示す斜視図である。

[図24]第5実施形態にかかる半導体装置を示す要部拡大断面図である。

発明を実施するための形態

[0010] 本開示の半導体装置および接合方法について、図面を参照して、以下に説明する。

[0011] 図 1 ～図 1 2 は、本開示の第 1 実施形態にかかる半導体装置を示している。第 1 実施形態の半導体装置 A 1 は、複数の半導体チップ 1 0、支持基板 2 0、複数の金属板 3 1、複数の端子 4 0、絶縁板 4 9、複数のリード部材 5 0、複数のワイヤ部材 6、および、複数の樹脂部材 7 を備えている。なお、複数の端子 4 0 には、入力端子 4 1、4 2、出力端子 4 3、一対のゲート端子 4 4 A、4 4 B、一対の検出端子 4 5 A、4 5 B、複数のダミー端子 4 6、および、一対の側方端子 4 7 A、4 7 B がある。

[0012] 図 1 は、半導体装置 A 1 を示す斜視図である。図 2 は、図 1 の斜視図において、樹脂部材 7 を省略した図である。図 3 は、半導体装置 A 1 を示す平面図である。図 4 は、図 3 の平面図において、樹脂部材 7 を想像線（二点鎖線）で記載した図である。図 5 は、図 4 の一部を拡大した部分拡大図である。図 6 は、半導体装置 A 1 を示す正面図である。図 7 は、半導体装置 A 1 を示

す底面図である。図8は、半導体装置A1を示す側面図（左側面図）である。図9は、半導体装置A1を示す側面図（右側面図）である。図10は、図4のX-X線に沿う断面図である。図11は、図4のX1-X1線に沿う断面図である。図12は、図11の一部を拡大した部分拡大図である。

[0013] 説明の便宜上、図1～図12において、互いに直交する3つの方向を、x方向、y方向、z方向と定義する。x方向は、半導体装置A1の平面図（図3および図4参照）における左右方向である。y方向は、半導体装置A1の平面図（図3および図4参照）における上下方向である。z方向は、半導体装置A1の厚さ方向である。なお、x方向の一方をx1方向、x方向の他方をx2方向とする。同様に、y方向の一方をy1方向、y方向の他方をy2方向とし、z方向の一方をz1方向、z方向の他方をz2方向とする。また、z1方向を下、z2方向を上という場合もある。さらに、z方向の寸法を「厚み」あるいは「厚さ」という場合もある。z方向が、特許請求の範囲に記載の「第1方向」に相当する。

[0014] 複数の半導体チップ10の各々は、半導体装置A1の機能中枢である。各半導体チップ10は、z方向に見て（以下、「平面視」ともいう。）、矩形状である。なお、各半導体チップ10の平面視形状は、一例である。各半導体チップ10は、半導体素子11、素子電極12および絶縁膜13を含んでいる。

[0015] 各半導体素子11は、たとえば、SiC（炭化ケイ素）を主とする半導体材料を用いて構成されている。なお、当該半導体材料は、SiCに限定されず、Si（シリコン）、GaAs（ヒ化ガリウム）あるいはGaN（窒化ガリウム）などであってもよい。本開示においては、半導体素子11が、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）である場合を例に説明する。なお、半導体素子11は、MOSFETに限定されず、MISFET（Metal-Insulator-Semiconductor FET）を含む電界効果トランジスタ、IGBT（Insulated Gate Bipolar Transistor）のようなバイポーラトランジスタ、LSIなどのICチップ、ダイオード、あるいは、コンデ

ンサなどであってもよい。複数の半導体素子 11 は、たとえば、各々が n チャネル型の MOSFET であって、いずれも同一素子である。なお、各半導体素子 11 は、p チャネル型の MOSFET であってもよい。各半導体素子 11 の厚さは、たとえば 50 ~ 370 μm 程度である。

[0016] 各半導体素子 11 は、素子主面 11a および素子裏面 11b を有している。各半導体素子 11 において、素子主面 11a および素子裏面 11b は、z 方向に離間している。素子主面 11a は、半導体素子 11 の上面であって、z2 方向を向く。素子裏面 11b は、半導体素子 11 の下面であって、z1 方向を向く。

[0017] 各半導体素子 11 は、第 1 領域 111、第 2 領域 112 および第 3 領域 113 を含んでいる。各半導体素子 11 において、第 1 領域 111 および第 2 領域 112 はともに、z 方向において素子主面 11a 側に配置された半導体領域である。第 3 領域 113 は、z 方向において素子裏面 11b 側に配置された半導体領域である。MOSFET である半導体素子 11 において、たとえば、第 1 領域 111 はソース領域であり、第 2 領域 112 はゲート領域であり、第 3 領域 113 はドレイン領域である。なお、第 1 領域 111 がドレイン領域であり、第 3 領域 113 がソース領域であってもよい。また、第 3 領域 113 が、素子主面 11a 側に配置されていてもよい。

[0018] 各素子電極 12 は、各半導体チップ 10 における電極パッドであり、各半導体チップ 10 における端子として機能する。各素子電極 12 は、第 1 電極層 121、第 2 電極層 122 および第 3 電極層 123 を含んでいる。

[0019] 各第 1 電極層 121 は、各半導体素子 11 において、素子主面 11a から露出している。各第 1 電極層 121 は、各第 1 領域 111 にオーミック接触している。各第 1 電極層 121 は、各半導体チップ 10 のソース電極であって、ソース電流が流れる。なお、各第 1 電極層 121 は、複数の領域に分割されていてもよい。

[0020] 各第 2 電極層 122 は、各半導体素子 11 において、素子主面 11a から露出している。各第 2 電極層 122 は、各第 2 領域 112 にオーミック接触

している。各第2電極層122は、各半導体チップ10のゲート電極であって、各半導体素子11を駆動させるためのゲート電圧が印加される。

[0021] 平面視において、第1電極層121は、第2電極層122よりも大きい。 x 方向および y 方向のそれぞれに見て、第1電極層121と第2電極層122とは、重なっている。

[0022] 各第3電極層123は、各半導体素子11において、素子裏面11bから露出している。各第3電極層123は、各第3領域113にオーミック接触している。各第3電極層123は、各素子裏面11bの全面にわたって形成されている。各第3電極層123は、各半導体チップ10のドレイン電極であって、ドレイン電流が流れる。

[0023] 各絶縁膜13は、図5および図12に示すように、素子主面11a上に形成されている。各絶縁膜13は、電気絶縁性を有する。各絶縁膜13は、第1電極層121と第2電極層122との間に形成され、これらを絶縁する。なお、第1電極層121が複数の領域に分割されている場合には、絶縁膜13は、これらの領域間にも形成され、各領域同士を絶縁する。絶縁膜13は、たとえば、 SiO_2 （二酸化ケイ素）層、 SiN_4 （窒化ケイ素）層、ポリベンゾオキサゾール層が、素子主面11aからこの順番で積層されたものである。なお、ポリベンゾオキサゾール層に代えてポリイミド層を用いてもよい。

[0024] 複数の半導体チップ10は、複数の半導体チップ10Aおよび複数の半導体チップ10Bを含んでいる。半導体装置A1は、たとえばハーフブリッジ型のスイッチング回路を構成しており、複数の半導体チップ10Aは、このスイッチング回路における上アーム回路を構成し、複数の半導体チップ10Bは、このスイッチング回路における下アーム回路を構成する。半導体装置A1は、図2および図4に示すように、4つの半導体チップ10Aおよび4つの半導体チップ10Bを含んでいる。なお、半導体チップ10の数は、本構成に限定されず、半導体装置A1に要求される性能に応じて自在に設定可能である。

[0025] 複数の半導体チップ10Aの各々は、図2、図4、図5、図11および図12に示すように、支持基板20（後述する導電性基板22A）に搭載されている。複数の半導体チップ10Aは、y方向に並んでおり、互いに離間している。各半導体チップ10Aは、導電性基板22Aに搭載された際、素子裏面11bが導電性基板22Aに対向する。各半導体チップ10Aは、図11および図12に示すように、導電性接合材100Aを介して、支持基板20（導電性基板22A）に接合されている。これにより、各半導体チップ10Aの第3電極層123は、導電性接合材100Aを介して、支持基板20（導電性基板22A）に導通する。導電性接合材100Aの構成材料は、たとえばAgあるいはCuなどの焼結金属である。なお、導電性接合材100Aの構成材料は、焼結金属に限定されず、Agペーストやはんだなどであってもよい。

[0026] 複数の半導体チップ10Bの各々は、図2、図4、図5および図10に示すように、支持基板20（後述する導電性基板22B）に搭載されている。複数の半導体チップ10Bは、y方向に並んでおり、互いに離間している。各半導体チップ10Bは、導電性基板22Bに搭載された際、素子裏面11bが導電性基板22Bに対向する。各半導体チップ10Bは、図10に示すように、導電性接合材100Bを介して、支持基板20（導電性基板22B）に接合されている。各半導体チップ10Bの第3電極層123は、導電性接合材100Bを介して、支持基板20（導電性基板22B）に導通する。導電性接合材100Bの構成材料は、導電性接合材100Aの構成材料と同じである。なお、導電性接合材100A、100Bを総称して導電性接合材100という場合がある。複数の半導体チップ10Aと複数の半導体チップ10Bとは、x方向に見て、交互に配列されている。なお、各半導体チップ10Aと各半導体チップ10Bとが、x方向に見て、重なるように配置されていてもよい。

[0027] 支持基板20は、複数の半導体チップ10を支持する部材である。支持基板20は、絶縁基板21、複数の導電性基板22、一对の絶縁層23A、2

3 B、一对のゲート層 2 4 A、2 4 B、一对の検出層 2 5 A、2 5 B および複数のブロック材 2 9 を備えている。

[0028] 絶縁基板 2 1 は、図 2、図 4、図 1 0 および図 1 1 に示すように、複数の導電性基板 2 2 が配置されている。絶縁基板 2 1 は、電気絶縁性を有する。絶縁基板 2 1 の構成材料は、たとえば熱伝導性に優れたセラミックスである。このようなセラミックスとしては、たとえば AlN （窒化アルミニウム）、 SiN （窒化ケイ素）、 Al_2O_3 （酸化アルミニウム）などが挙げられる。絶縁基板 2 1 は、図 4 に示すように、たとえば平面視矩形状である。絶縁基板 2 1 は、1 つの平板状である。本実施形態においては、絶縁基板 2 1 が特許請求の範囲に記載の「絶縁部材」に相当する。

[0029] 絶縁基板 2 1 は、図 1 0 および図 1 1 に示すように、主面 2 1 1 および裏面 2 1 2 を有している。主面 2 1 1 と裏面 2 1 2 とは、 z 方向において、離間している。主面 2 1 1 は、 z 2 方向を向き、裏面 2 1 2 は、 z 1 方向を向く。主面 2 1 1 には、複数の導電性基板 2 2 が配置されている。裏面 2 1 2 には、たとえば図示しないヒートシンクなどが接続されうる。主面 2 1 1 は、複数の導電性基板 2 2 および複数の半導体チップ 1 0 とともに樹脂部材 7 に覆われており、裏面 2 1 2 は、樹脂部材 7 から露出している。なお、絶縁基板 2 1 の構成は、上記したものに限定されず、複数の導電性基板 2 2 ごとに個別に設けてもよい。本実施形態においては、主面 2 1 1 が特許請求の範囲に記載の「絶縁部材主面」に相当する。

[0030] 複数の導電性基板 2 2 の各々は、導電性を有する板状部材である。各導電性基板 2 2 の構成材料は、銅または銅合金である。すなわち、各導電性基板 2 2 は、銅基板である。あるいは、各導電性基板 2 2 は、グラファイト基板と当該グラファイト基板の z 方向の両面に銅材が形成された複合基板であってもよい。なお、各導電性基板 2 2 の表面は、銀めっきで覆われていてもよい。複数の導電性基板 2 2 は、複数の端子 4 0 とともに、複数の半導体チップ 1 0 への導通経路を構成している。複数の導電性基板 2 2 は、互いに離間しており、かつ、各々が絶縁基板 2 1 の主面 2 1 1 に配置されている。

[0031] 複数の導電性基板 22 は、導電性基板 22 A および導電性基板 22 B を含んでいる。導電性基板 22 A、22 B は、図 2、図 4、図 10 および図 11 に示すように、絶縁基板 21 の主面 211 上において、x 方向に離間し、かつ、並んでいる。導電性基板 22 A、22 B はともに、図 4 に示すように、平面視矩形状である。

[0032] 導電性基板 22 A は、図 10 および図 11 に示すように、接合材 220 A を介して、絶縁基板 21 の主面 211 に接合されている。接合材 220 A は、たとえば、銀ペーストやはんだ、あるいは焼結金属材などの導電性材料であってもよいし、絶縁性材料であってもよい。導電性基板 22 A は、図 4、図 10 および図 11 に示すように、導電性基板 22 B よりも x2 方向に位置する。導電性基板 22 A は、図 10 および図 11 に示すように、z2 方向を向く主面 221 A を有しており、主面 221 A 上に複数の半導体チップ 10 A を搭載する。

[0033] 導電性基板 22 B は、図 10 および図 11 に示すように、接合材 220 B を介して、絶縁基板 21 の主面 211 に接合されている。接合材 220 B は、たとえば、銀ペーストやはんだ、あるいは焼結金属などの導電性材料であってもよいし、絶縁性材料であってもよい。導電性基板 22 B は、図 10 および図 11 に示すように、z2 方向を向く主面 221 B を有しており、主面 221 B 上に複数の半導体チップ 10 B を搭載する。主面 221 B には、複数のリード部材 5（後述する第 1 リード 51）の一端がそれぞれ接合されている。

[0034] 一对の絶縁層 23 A、23 B は、電気絶縁性を有しており、その構成材料は、たとえばガラスエポキシ樹脂である。一对の絶縁層 23 A、23 B は、図 2 および図 4 に示すように、各々が y 方向に延びる帯状である。絶縁層 23 A は、図 10 および図 11 に示すように、導電性基板 22 A の主面 221 A に接合されている。絶縁層 23 A は、複数の半導体チップ 10 A よりも x2 方向に位置する。絶縁層 23 B は、図 10 および図 11 に示すように、導電性基板 22 B の主面 221 B に接合されている。絶縁層 23 B は、半導体

チップ10Bよりもx1方向に位置する。

[0035] 一对のゲート層24A、24Bは、導電性を有しており、その構成材料は、たとえば銅あるいは銅合金である。一对のゲート層24A、24Bは、図2および図4に示すように、各々がy方向に延びる帯状である。ゲート層24Aは、図10および図11に示すように、絶縁層23A上に配置されている。ゲート層24Aは、ワイヤ部材6（後述するゲートワイヤ61）を介して、各半導体チップ10Aの第2電極層122（ゲート電極）に導通する。ゲート層24Bは、図10および図11に示すように、絶縁層23B上に配置されている。ゲート層24Bは、ワイヤ部材6（後述するゲートワイヤ61）を介して、各半導体チップ10Bの第2電極層122（ゲート電極）に導通する。

[0036] 一对の検出層25A、25Bは、導電性を有しており、その構成材料は、たとえば銅あるいは銅合金である。一对の検出層25A、25Bは、図2および図4に示すように、各々がy方向に延びる帯状である。検出層25Aは、図10および図11に示すように、ゲート層24Aとともに絶縁層23A上に配置されている。検出層25Aは、平面視において、絶縁層23A上において、ゲート層24Aの隣に位置し、ゲート層24Aから離間している。検出層25Aは、x方向において、ゲート層24Aよりも複数の半導体チップ10Aの近くに配置されている。よって、検出層25Aは、ゲート層24Aに対してx1方向側に位置する。なお、ゲート層24Aと検出層25Aとのx方向における配置は、反対であってもよい。検出層25Aは、ワイヤ部材6（後述する検出ワイヤ62）を介して、各半導体チップ10Aの第1電極層121（ソース電極）に導通する。検出層25Bは、図10および図11に示すように、ゲート層24Bとともに絶縁層23B上に配置されている。検出層25Bは、平面視において、絶縁層23B上において、ゲート層24Bの隣に位置し、ゲート層24Bから離間している。検出層25Bは、ゲート層24Bよりも複数の半導体チップ10Bの近くに配置されている。よって、検出層25Bは、ゲート層24Bに対してx2方向側に位置する。な

お、ゲート層 2 4 B と検出層 2 5 B との x 方向における配置は、反対であってもよい。検出層 2 5 B は、ワイヤ部材 6（後述する検出ワイヤ 6 2）を介して、各半導体チップ 1 0 B の第 1 電極層 1 2 1（ソース電極）に導通する。

[0037] 複数のブロック材 2 9 は、図 2 および図 1 0 に示すように、入力端子 4 2 の一部と導電性基板 2 2 A との間に介在する。各ブロック材 2 9 は、入力端子 4 2（後述する延出部 4 2 1 b）と導電性基板 2 2 A との z 方向における間を埋めるスペーサである。各ブロック材 2 9 は、電気絶縁性を有しており、その構成材料は、たとえばセラミックである。各ブロック材 2 9 は、たとえば平面視矩形の柱状である。なお、各ブロック材 2 9 の形状は限定されず、平面視円形でも平面視多角形でもよい。各ブロック材 2 9 は、図示しない接合材によって導電性基板 2 2 A の主面 2 2 1 A に接合され、図示しない接合材によって入力端子 4 2（延出部 4 2 1 b）が接合される。

[0038] 複数の金属板 3 1 はそれぞれ、各半導体チップ 1 0 と各リード部材 5 との間に介在する。各金属板 3 1 は、平面視において、矩形状である。各金属板 3 1 は、平面視において、各半導体チップ 1 0 よりも小さく、かつ、各半導体チップ 1 0 に重なる。各金属板 3 1 の z 方向寸法は、半導体素子 1 1 の z 方向寸法よりも小さい。各金属板 3 1 の z 方向寸法は、たとえば 0.03 ~ 0.2 mm 程度である。各金属板 3 1 の構成材料は、たとえば銅を含む金属である。各金属板 3 1 には、各リード部材 5 の一部が溶接されている。各半導体チップ 1 0 の第 1 電極層 1 2 1 と各リード部材 5 とは、各金属板 3 1 を介して導通している。

[0039] 複数の金属板 3 1 は、複数の金属板 3 1 A および複数の金属板 3 1 B を含んでいる。各金属板 3 1 A は、各半導体チップ 1 0 A の上に配置されている。各金属板 3 1 A は、導電性接合材 3 1 0 A を介して、各半導体チップ 1 0 A の第 1 電極層 1 2 1 に導通接合されている。各金属板 3 1 B は、各半導体チップ 1 0 B の上に配置されている。各金属板 3 1 B は、導電性接合材 3 1 0 B を介して、各半導体チップ 1 0 B の第 1 電極層 1 2 1 に導通接合されて

いる。導電性接合材 310A, 310B はともに、その構成材料がたとえば焼結金属である。なお、当該構成材料は、焼結金属に限定されず、Ag ペーストあるいははんだなどであってもよい。導電性接合材 310A, 310B を総称して、導電性接合材 310 という場合もある。

[0040] 各金属板 31 は、図 12 に示すように、主面 311 および裏面 312 を有している。主面 311 および裏面 312 は、z 方向に離間している。主面 311 は、z2 方向を向き、裏面 312 は、z1 方向を向く。主面 311 は、リード部材 5 の一部（後述する第 1 接合部 511, 521）に接する。裏面 312 は、導電性接合材 310 に接しており、各半導体チップ 10 に対向する。

[0041] 2つの入力端子 41, 42 はそれぞれ、金属の板状部材である。当該金属は、たとえば銅または銅合金である。2つの入力端子 41, 42 はともに、z 方向の寸法がたとえば 0.8 mm 程度である。2つの入力端子 41, 42 はともに、図 4 および図 6 に示すように、半導体装置 A1 において x2 方向寄りに位置する。2つの入力端子 41, 42 の間には、たとえば電源電圧が印加される。なお、入力端子 41, 42 には、図示しない電源（図示略）から直接電源電圧が印加されてもよいし、入力端子 41, 42 を挟み込むようにバスバー（図示略）を接続し、当該バスバーを介して、印加されてもよい。また、スナバ回路などを並列に接続してもよい。入力端子 41 は、正極（P 端子）であり、入力端子 42 は、負極（N 端子）である。入力端子 42 は、z 方向において、入力端子 41 および導電性基板 22A の双方に対して離間して配置されている。

[0042] 入力端子 41 は、図 4 および図 10 に示すように、パッド部 411 および端子部 412 を有する。

[0043] パッド部 411 は、入力端子 41 のうち、樹脂部材 7 に覆われた部分である。パッド部 411 の x1 方向側の端部は、櫛歯状となっており、複数の櫛歯部 411a を含んでいる。なお、パッド部 411 は、複数の櫛歯部 411a を含まず、平面視において矩形状であってもよい。複数の櫛歯部 411a

の各々は、導電性基板 2 2 A の主面 2 2 1 A に導通接合されている。各櫛歯部 4 1 1 a と導電性基板 2 2 A との接合方法は、特に限定されないが、たとえば、レーザ光を用いた溶接（以下、「レーザ溶接」という。）、超音波接合あるいは導電性接合材を用いた接合などのいずれであってもよい。

[0044] 端子部 4 1 2 は、入力端子 4 1 のうち、樹脂部材 7 から露出した部分である。端子部 4 1 2 は、図 4、図 6 および図 1 0 に示すように、平面視において、樹脂部材 7 から x 2 方向に延びている。なお、端子部 4 1 2 の表面には、たとえば銀めっきが施されていてもよい。

[0045] 入力端子 4 2 は、図 4 および図 1 0 に示すように、パッド部 4 2 1 および端子部 4 2 2 を有する。

[0046] パッド部 4 2 1 は、入力端子 4 2 のうち、樹脂部材 7 に覆われた部分である。パッド部 4 2 1 は、連結部 4 2 1 a および複数の延出部 4 2 1 b を含んでいる。連結部 4 2 1 a は、y 方向に延びる帯状である。連結部 4 2 1 a は、端子部 4 2 2 に繋がっている。複数の延出部 4 2 1 b は、連結部 4 2 1 a から x 1 方向に向けて延びる帯状である。複数の延出部 4 2 1 b は、平面視において、y 方向に並んでおり、かつ、互いに離間している。各延出部 4 2 1 b は、その先端部分が、平面視において、各ブロック材 2 9 に重なっている。当該先端部分は、図示しない接合材によって、各ブロック材 2 9 に接合されている。先端部分は、延出部 4 2 1 b のうち、x 方向において連結部 4 2 1 a に繋がる側と反対側であって、x 1 方向側の端縁部分である。なお、各延出部 4 2 1 b と各ブロック材 2 9 との接合は、接合材を用いた接合に限らず、レーザ溶接あるいは超音波接合などであってもよい。

[0047] 端子部 4 2 2 は、入力端子 4 2 のうち、樹脂部材 7 から露出した部分である。端子部 4 2 2 は、図 4、図 6 および図 1 0 に示すように、平面視において、樹脂部材 7 から x 2 方向に延びている。端子部 4 2 2 は、平面視矩形形状である。端子部 4 2 2 は、図 4 に示すように、平面視において、入力端子 4 1 の端子部 4 1 2 に重なっている。端子部 4 2 2 は、端子部 4 1 2 に対して、z 2 方向に離間している。端子部 4 2 2 の形状は、端子部 4 1 2 の形状と

同一である。なお、端子部422の表面には、たとえば銀めっきが施されていてもよい。

[0048] 出力端子43は、金属の板状部材である。当該金属は、たとえば銅または銅合金である。出力端子43は、図2、図4、図6、図10および図11に示すように、半導体装置A1においてx1方向寄りに位置する。つまり、出力端子43は、x方向において、入力端子41、42と反対側に配置される。複数の半導体チップ10により電力変換された交流電力（電圧）は、この出力端子43から出力される。

[0049] 出力端子43は、図4および図10に示すように、パッド部431および端子部432を含んでいる。

[0050] パッド部431は、出力端子43のうち、樹脂部材7に覆われた部分である。パッド部431のx2方向側の部分は、櫛歯状となっており、複数の櫛歯部431aを含んでいる。なお、パッド部431は、複数の櫛歯部431aを含まず、平面視において矩形状であってもよい。複数の櫛歯部431aの各々は、導電性基板22Bの主面221Bに導通接合されている。各櫛歯部431aと導電性基板22Bとの接合方法は、各櫛歯部411aと導電性基板22Aとの接合方法と同様である。

[0051] 端子部432は、出力端子43のうち、樹脂部材7から露出した部分である。端子部432は、図2、図3、図4、図6、図7、図10および図11に示すように、樹脂部材7からx1方向に延び出ている。なお、端子部432の表面には、たとえば銀めっきが施されていてもよい。

[0052] 一对のゲート端子44A、44Bは、図1～図7に示すように、y方向において、各導電性基板22A、22Bの隣に位置する。ゲート端子44Aには、複数の半導体チップ10Aを駆動させるためのゲート電圧が印加される。ゲート端子44Bには、複数の半導体チップ10Bを駆動させるためのゲート電圧が印加される。

[0053] 一对のゲート端子44A、44Bはともに、図4および図5に示すように、パッド部441および端子部442を有する。各ゲート端子44A、44

Bにおいて、パッド部441は、樹脂部材7に覆われている。これにより、各ゲート端子44A、44Bは、樹脂部材7に支持されている。なお、パッド部441の表面には、たとえば銀めっきが施されていてもよい。端子部442は、パッド部441に繋がり、かつ、樹脂部材7から露出している。端子部442は、x方向に見て、L字状をなしている。

[0054] 一对の検出端子45A、45Bは、図1～図7に示すように、x方向において一对のゲート端子44A、44Bの隣に位置する。検出端子45Aから、複数の半導体チップ10Aの各半導体素子11の第1電極層121に印加される電圧（ソース電流に対応した電圧）が検出される。検出端子45Bから、複数の半導体チップ10Bの各半導体素子11の第1電極層121に印加される電圧（ソース電流に対応した電圧）が検出される。

[0055] 一对の検出端子45A、45Bはともに、図4および図5に示すように、パッド部451および端子部452を有する。各検出端子45A、45Bにおいて、パッド部451は、樹脂部材7に覆われている。これにより、各検出端子45A、45Bは、樹脂部材7に支持されている。なお、パッド部451の表面には、たとえば銀めっきが施されていてもよい。端子部452は、パッド部451に繋がり、かつ、樹脂部材7から露出している。端子部452は、x方向に見て、L字状をなしている。

[0056] 複数のダミー端子46は、図1～図7に示すように、x方向において一对の検出端子45A、45Bに対して一对のゲート端子44A、44Bとは反対側に位置する。本実施形態においては、ダミー端子46の数は6つである。このうち3つのダミー端子46は、x方向の一方側（x2方向）に位置する。残り3つのダミー端子46は、x方向の他方側（x1方向）に位置する。なお、複数のダミー端子46は、上記した構成に限定されない。また、複数のダミー端子46を備えない構成としてもよい。

[0057] 複数のダミー端子46の各々は、図4および図5に示すように、パッド部461および端子部462を有する。各ダミー端子46において、パッド部461は、樹脂部材7に覆われている。これにより、複数のダミー端子46

は、樹脂部材 7 に支持されている。なお、パッド部 4 6 1 の表面には、たとえば銀めっきが施されていてもよい。端子部 4 6 2 は、パッド部 4 6 1 に繋がりが、かつ、樹脂部材 7 から露出している。端子部 4 6 2 は、x 方向に見て、L 字状をなしている。なお、端子部 4 6 2 の形状は、一对のゲート端子 4 4 A, 4 4 B の各端子部 4 4 2 の形状、および、一对の検出端子 4 5 A, 4 5 B の各端子部 4 5 2 の形状と同一である。

[0058] 一对の側方端子 4 7 A, 4 7 B は、図 4 に示すように、平面視において、樹脂部材 7 の y 1 方向側の端縁部分であり、かつ、樹脂部材 7 の x 方向の各端縁部分に重なっている。側方端子 4 7 A は、導電性基板 2 2 A に接合されており、x 2 方向を向く端面を除いて、樹脂部材 7 に覆われている。側方端子 4 7 B は、導電性基板 2 2 B に接合されており、x 1 方向を向く端面を除いて樹脂部材 7 に覆われている。本実施形態においては、各側方端子 4 7 A, 4 7 B は、平面視において、そのすべてが樹脂部材 7 に重なる。側方端子 4 7 A, 4 7 B はそれぞれ、レーザ光を用いたレーザ溶接によって、導電性基板 2 2 A, 2 2 B にそれぞれ接合されている。なお、側方端子 4 7 A と導電性基板 2 2 A との接合、および、側方端子 4 7 B と導電性基板 2 2 B との接合はそれぞれ、レーザ溶接による接合ではなく、超音波接合であってもよいし、導電性接合材を用いた接合であってもよい。各側方端子 4 7 A, 4 7 B は、一部が平面視において屈曲しており、また、他の一部が z 方向に屈曲している。なお、各側方端子 4 7 A, 4 7 B の構成は、これに限定されず、たとえば、平面視において、樹脂部材 7 からそれぞれ突き出るまで延びていてもよい。また、半導体装置 A 1 は各側方端子 4 7 A, 4 7 B を備えていなくてもよい。

[0059] 一对のゲート端子 4 4 A, 4 4 B、一对の検出端子 4 5 A, 4 5 B および複数のダミー端子 4 6 は、図 1 ～図 7 に示すように、平面視において、x 方向に沿って配列されている。半導体装置 A 1 において、一对のゲート端子 4 4 A, 4 4 B、一对の検出端子 4 5 A, 4 5 B、複数のダミー端子 4 6 および一对の側方端子 4 7 A, 4 7 B は、いずれも同一のリードフレームから形

成される。

[0060] 絶縁板 4 9 は、電気絶縁性を有しており、その構成材料は、たとえば絶縁紙などである。絶縁板 4 9 の一部は、平板であって、図 4、図 6、図 9、図 1 0 および図 1 1 に示すように、z 方向において入力端子 4 1 の端子部 4 1 2 と、入力端子 4 2 の端子部 4 2 2 とに挟まれている。平面視において、入力端子 4 1 は、その全部が絶縁板 4 9 に重なっている。また、平面視において、入力端子 4 2 は、パッド部 4 2 1 の一部と端子部 4 2 2 の全部とが絶縁板 4 9 に重なっている。絶縁板 4 9 により、2 つの入力端子 4 1、4 2 が互いに絶縁されている。絶縁板 4 9 の一部（x 1 方向側の部分）は、樹脂部材 7 に覆われている。

[0061] 絶縁板 4 9 は、図 4 および図 1 0 に示すように、介在部 4 9 1 および延出部 4 9 2 を有する。介在部 4 9 1 は、z 方向において、入力端子 4 1 の端子部 4 1 2 と、入力端子 4 2 の端子部 4 2 2 との間に介在する。介在部 4 9 1 は、その全部が端子部 4 1 2 と端子部 4 2 2 とに挟まれている。延出部 4 9 2 は、介在部 4 9 1 から端子部 4 1 2 および端子部 4 2 2 よりもさらに、x 2 方向に向けて延びている。

[0062] 複数のリード部材 5 の各々は、導電性を有する。各リード部材 5 の構成材料は、たとえば銅を含む金属である。各リード部材 5 は、各金属板 3 1 を介して、半導体チップ 1 0（第 1 電極層 1 2 1）に接合されている。各リード部材 5 は、厚みがたとえば 0. 0 5 ~ 0. 2 mm 程度の帯状金属板を折り曲げることで、形成されうる。複数のリード部材 5 は、図 2、図 4、図 5、図 1 0 および図 1 1 に示すように、複数の第 1 リード 5 1 および複数の第 2 リード 5 2 を含んでいる。

[0063] 複数の第 1 リード 5 1 の各々は、図 2、図 4、図 5 および図 1 1 に示すように、各半導体チップ 1 0 A と、導電性基板 2 2 B とを接続する。各第 1 リード 5 1 は、第 1 接合部 5 1 1、第 2 接合部 5 1 2 および連絡部 5 1 3 を含んでいる。

[0064] 第 1 接合部 5 1 1 は、半導体チップ 1 0 A の第 1 電極層 1 2 1 に接合され

た金属板 3 1 A に接合されている。第 1 接合部 5 1 1 は、金属板 3 1 A に、レーザ溶接によって接合されている。第 1 接合部 5 1 1 は、当該金属板 3 1 を介して、半導体チップ 1 0 A の第 1 電極層 1 2 1 に導通する。第 1 接合部 5 1 1 には、平面視において、複数の溶接痕 8 が形成されている。第 1 接合部 5 1 1 に形成された複数の溶接痕 8 は、平面視において、マトリクス状に配置されている。

[0065] 第 2 接合部 5 1 2 は、導電性基板 2 2 B に接合されている。第 2 接合部 5 1 2 は、導電性基板 2 2 B に、レーザ溶接によって接合されている。このレーザ溶接の手法は、第 1 接合部 5 1 1 におけるレーザ溶接と同じである。第 2 接合部 5 1 2 には、平面視において、複数の溶接痕 8 が形成されている。第 2 接合部 5 1 2 に形成された複数の溶接痕 8 は、平面視において、マトリクス状に配置されている。なお、第 2 接合部 5 1 2 と導電性基板 2 2 B とは、レーザ溶接による接合ではなく、たとえば、銀ペーストやはんだなどの導電性接合材による接合、あるいは、超音波接合などであってもよい。

[0066] 連絡部 5 1 3 は、第 1 接合部 5 1 1 と第 2 接合部 5 1 2 とに繋がる部分である。連絡部 5 1 3 の一部は、z 方向に屈曲している。この連絡部 5 1 3 の屈曲により、z 方向における、第 1 接合部 5 1 1 の位置と第 2 接合部 5 1 2 の位置とを変えている。

[0067] 本実施形態において、第 1 リード 5 1 は、特許請求の範囲に記載の「接続部材」に相当する。この場合、半導体チップ 1 0 A の半導体素子 1 1 が特許請求の範囲に記載の「半導体素子」に相当し、金属板 3 1 A が特許請求の範囲に記載の「電極部材」に相当し、導電性基板 2 2 A が特許請求の範囲に記載の「第 1 導電部材」に相当し、導電性基板 2 2 B が特許請求の範囲に記載の「第 2 導電部材」に相当する。

[0068] 複数の第 2 リード 5 2 の各々は、図 2、図 4、図 5 および図 1 0 に示すように、半導体チップ 1 0 B と、入力端子 4 2 とを接続する。各第 2 リード 5 2 は、第 1 接合部 5 2 1、第 2 接合部 5 2 2 および連絡部 5 2 3 を含んでいる。

- [0069] 第1接合部521は、半導体チップ10Bの第1電極層121に接合された金属板31に接合されている。第1接合部521は、当該金属板31を介して、半導体チップ10Bの第1電極層121に導通する。第1接合部521には、平面視において、複数の溶接痕8が形成されている。第1接合部521に形成された複数の溶接痕8は、平面視において、マトリクス状に配置されている。
- [0070] 第2接合部522は、入力端子42の延出部421bに接合されている。第2接合部522は、延出部421bに、レーザ溶接によって接合されている。このレーザ溶接の手法は、第1接合部511におけるレーザ溶接と同じである。第2接合部522には、平面視において、複数の溶接痕8が形成されている。第2接合部522に形成された複数の溶接痕8は、平面視において、マトリクス状に配置されている。なお、第2接合部522と延出部421b（入力端子42）とは、レーザ溶接による接合ではなく、たとえば、銀ペーストやはんだなどの導電性接合材による接合、あるいは、超音波接合などであってもよい。
- [0071] 連絡部523は、第1接合部521と第2接合部522とに繋がる部分である。連絡部523の一部は、z方向に屈曲している。この連絡部523の屈曲により、z方向における、第1接合部521の位置と第2接合部522の位置とを変えている。
- [0072] 本実施形態において、第2リード52もまた、特許請求の範囲に記載の「接続部材」に相当する。この場合、半導体チップ10Bの半導体素子11が特許請求の範囲に記載の「半導体素子」に相当し、金属板31Bが特許請求の範囲に記載の「電極部材」に相当し、導電性基板22Bが特許請求の範囲に記載の「第1導電部材」に相当し、入力端子42が特許請求の範囲に記載の「第2導電部材」に相当する。
- [0073] 複数のワイヤ部材6の各々は、いわゆるボンディングワイヤである。各ワイヤ部材6は、導電性を有しており、その構成材料は、たとえば、アルミニウム、金あるいは銅のいずれかである。複数のワイヤ部材6は、図4および

図5に示すように、複数のゲートワイヤ61、複数の検出ワイヤ62、一对の第1接続ワイヤ63および一对の第2接続ワイヤ64を含んでいる。

[0074] 複数のゲートワイヤ61の各々は、図4および図5に示すように、その一端が各半導体チップ10の第2電極層122（ゲート電極）に接合され、その他端が一对のゲート層24A、24Bのいずれかに接合されている。複数のゲートワイヤ61には、各半導体チップ10Aの第2電極層122とゲート層24Aとを導通させるものと、各半導体チップ10Bの第2電極層122とゲート層24Bとを導通させるものがある。

[0075] 複数の検出ワイヤ62の各々は、図4および図5に示すように、その一端が各半導体チップ10の第1電極層121（ソース電極）に接合され、その他端が一对の検出層25A、25Bのいずれかに接合されている。複数の検出ワイヤ62には、各半導体チップ10Aの第1電極層121と検出層25Aとを導通させるものと、各半導体チップ10Bの第1電極層121と検出層25Bとを導通させるものがある。

[0076] 一对の第1接続ワイヤ63は、図4および図5に示すように、その一方がゲート層24Aとゲート端子44Aとを接続し、その他方がゲート層24Bとゲート端子44Bとを接続する。一方の第1接続ワイヤ63は、一端がゲート層24Aに接合され、他端がゲート端子44Aのパッド部441に接合されており、これらを導通している。他方の第1接続ワイヤ63は、一端がゲート層24Bに接合され、他端がゲート端子44Bのパッド部441に接合されており、これらを導通している。

[0077] 一对の第2接続ワイヤ64は、図4および図5に示すように、その一方が検出層25Aと検出端子45Aとを接続し、その他方が検出層25Bと検出端子45Bとを接続する。一方の第2接続ワイヤ64は、一端が検出層25Aに接合され、他端が検出端子45Aのパッド部451に接合されており、これらを導通している。他方の第2接続ワイヤ64は、一端が検出層25Bに接合され、他端が検出端子45Bのパッド部451に接合されており、これらを導通している。

[0078] 樹脂部材 7 は、半導体装置 A 1 における半導体封止材である。樹脂部材 7 は、図 1 ～図 4 および図 6 ～図 11 に示すように、複数の半導体チップ 10、支持基板 20（ただし、絶縁基板 21 の裏面 212 を除く。）、複数の金属板 31、複数の端子 40 の一部ずつ、絶縁板 49 の一部、複数のリード部材 5 および複数のワイヤ部材 6 を覆っている。樹脂部材 7 の構成材料は、たとえばエポキシ樹脂である。樹脂部材 7 は、図 1 ～図 4 および図 6 ～図 11 に示すように、樹脂主面 71、樹脂裏面 72 および複数の樹脂側面 731 ～734 を有している。

[0079] 樹脂主面 71 および樹脂裏面 72 は、z 方向において、離間している。樹脂主面 71 は、樹脂部材 7 の上面であり、z 2 方向を向く。樹脂裏面 72 は、樹脂部材 7 の下面であり、z 1 方向を向く。樹脂裏面 72 は、図 7 に示すように、平面視において、絶縁基板 21 の裏面 212 を囲む枠状である。複数の樹脂側面 731 ～734 の各々は、樹脂主面 71 および樹脂裏面 72 の双方に繋がり、かつ、これらに挟まれている。2 つの樹脂側面 731、732 は、x 方向において、離間している。樹脂側面 731 は、x 1 方向を向き、樹脂側面 732 は、x 2 方向を向く。2 つの樹脂側面 733、734 は、y 方向において、離間している。樹脂側面 733 は、y 1 方向を向き、樹脂側面 734 は、y 2 方向を向く。

[0080] 樹脂部材 7 は、図 1、図 6 および図 7 に示すように、各々が樹脂裏面 72 から z 方向に窪んだ複数の凹部 75 を含んでいる。なお、複数の凹部 75 は、形成されていなくてもよい。複数の凹部 75 の各々は、y 方向に延びており、平面視において、樹脂裏面 72 の y 1 方向の端縁から y 2 方向の端縁まで繋がっている。半導体装置 A 1 においては、複数の凹部 75 は、図 7 に示すように、x 方向において、絶縁基板 21 の裏面 212 を挟んで、それぞれ 3 つずつ形成されている。

[0081] 各溶接痕 8 は、後述するレーザ溶接によって形成される。図 13 は、溶接痕 8 を示す平面模式図である。図 14 は、溶接痕 8 を示す断面模式図である。なお、図 14 は、第 1 リード 51 の第 1 接合部 511 と金属板 31 との接

合部分に形成された溶接痕 8 を示しているが、他の部分に形成された溶接痕 8 も次に示す特徴を同様に有する。

[0082] 溶接痕 8 は、図 1 3 に示すように、平面視において、円形状である。溶接痕 8 の z 2 方向を向く上面 8 1 は、波紋状の模様がある。溶接痕 8 の上面 8 1 は、図 1 4 に示すように、複数の山部 8 1 1 と複数の谷部 8 1 2 とが同心円状に互い違いに形成されている。なお、図 1 3 においては、溶接痕 8 の外周縁 8 1 3 や波紋模様（山部 8 1 1 および谷部 8 1 2）が真円である場合を示しているが、レーザ溶接による、多少のゆがみや曲折が生じていてもよい。溶接痕 8 の平面視中央部は、図 1 4 に示すように、山部 8 1 1 であり、 z 2 方向に突き出ている。溶接痕 8 の z 1 方向の端縁（下端 8 2）は、 z 方向に直交する方向に見て、金属板 3 1 に重なる。よって、下端 8 2 は、 z 方向において、主面 3 1 1 と裏面 3 1 2 との間に位置する。

[0083] 次に、レーザ溶接を用いた、各リード部材 5 と各半導体チップ 1 0 との接合方法について説明する。半導体装置 A 1 において、この接合方法は、第 1 リード 5 1 を半導体チップ 1 0 A に接合する時、および、第 2 リード 5 2 を半導体チップ 1 0 B に接合する時に行われる。また、第 1 リード 5 1 を導電性基板 2 2 B に接合する時、および、第 2 リード 5 2 を入力端子 4 2 に接合する時にも行われる。

[0084] まず、各半導体チップ 1 0 の上に、各金属板 3 1 を接合する。金属板 3 1 の接合においては、導電性接合材 3 1 0 を用いて、各半導体チップ 1 0 の第 1 電極層 1 2 1 に各金属板 3 1 を接合する。導電性接合材 3 1 0 は、各半導体チップ 1 0 の第 1 電極層 1 2 1 上に塗布されていてもよいし、各金属板 3 1 にラミネート加工されていてもよい。各金属板 3 1 の接合は、各半導体チップ 1 0 を各導電性基板 2 2 に搭載する前であっても後であってもよい。各金属板 3 1 を接合する工程により、各金属板 3 1 が、各半導体チップ 1 0 の半導体素子 1 1 の第 1 領域 1 1 1 に導通する。また、第 1 電極層 1 2 1 は、半導体素子 1 1 の素子主面 1 1 a の上に形成されているので、各金属板 3 1 は、素子主面 1 1 a の上に配置される。

[0085] 続いて、各リード部材5を各金属板31に接合する。この接合においては、まず、各リード部材5を各金属板31の上に重ねる。そして、平面視において、各リード部材5と各金属板31とが重なった領域において、各リード部材5と各金属板31とをレーザ溶接によって接合する。これにより、各リード部材5と各金属板31とが溶接され、各リード部材5が各金属板31に接合される。

[0086] 以上の第1工程および第2工程を経ることで、各リード部材5を、各金属板31を介して、各半導体チップ10の第1電極層121に接合する。

[0087] 次に、本実施形態にかかるレーザ溶接について説明する。当該レーザ溶接は、たとえば、次に示すレーザ照射装置LD（図15参照）を用いて行われる。また、当該レーザ溶接は、スポット溶接である。

[0088] 図15は、レーザ照射装置LDの一例を示している。レーザ照射装置LDは、図15に示すように、レーザ発振器91A、91B、光ファイバ92A、92B、ダイクロイックミラー93、集光レンズ94、光ファイバ95、コリメーションレンズ96、および、集光レンズ97を備えている。

[0089] レーザ発振器91A、91Bはともに、レーザ光を発生させるものである。レーザ発振器91Aは、第1のレーザ光を発振する。第1のレーザ光は、波長が532nm程度であるグリーンレーザである。レーザ発振器91Bは、第2のレーザ光を発振する。第2のレーザ光は、波長が1064nm程度の赤外レーザである。第2のレーザ光の波長を基本波長としたとき、第1のレーザ光の波長は、第2のレーザ光の半波長である。第1のレーザ光は、マルチモードであり、ビーム伝搬率 M^2 がたとえば1.6～3.5程度である。第2のレーザ光は、マルチモードであり、ビーム伝搬率 M^2 がたとえば2.4～6.0程度である。

[0090] 光ファイバ92Aは、レーザ発振器91Aから発振された第1のレーザ光を伝送するものである。光ファイバ92Aによって伝送された第1のレーザ光は、ダイクロイックミラー93に出射される。光ファイバ92Bは、レーザ発振器91Bから発振された第2のレーザ光を伝送するものである。光フ

ファイバ 92B によって伝送された第 2 のレーザ光は、ダイクロイックミラー 93 に出射される。

[0091] ダイクロイックミラー 93 は、たとえば、特定の波長領域の光を透過し、残りの波長領域を反射するミラーである。ダイクロイックミラー 93 は、第 1 のレーザ光を反射させ、第 2 のレーザ光を透過させる。なお、ダイクロイックミラー 93 は、第 1 のレーザ光を透過させ、第 2 のレーザ光を反射させる構成であってもよい。

[0092] 集光レンズ 94 は、ダイクロイックミラー 93 から入射される各レーザ光を集光するレンズである。光ファイバ 95 は、集光レンズ 94 から入射されたレーザ光を伝送するものである。光ファイバ 95 によって伝送された各レーザ光は、コリメーションレンズ 96 に出射される。コリメーションレンズ 96 は、光ファイバ 95 から入射された各レーザ光をコリメートする（平行光にする）レンズである。集光レンズ 97 は、コリメーションレンズ 96 から入射された各レーザ光を集光するレンズである。集光レンズ 97 によって集光された各レーザ光は、照射対象 99 に照射される。

[0093] レーザ照射装置 LD は、第 1 のレーザ光の焦点が、照射対象 99 の表面 99a と略一致するように調整されている。第 2 のレーザ光の焦点は、表面 99a からやや照射対象 99 の内部に位置する。本実施形態における照射対象 99 は、第 1 リード 51 のうち金属板 31A に重なる部分、第 1 リード 51 のうち導電性基板 22B に重なる部分、第 2 リード 52 のうち金属板 31B に重なる部分、および、第 2 リード 52 のうち入力端子 42 に重なる部分である。また、第 1 のレーザ光のビーム径は、たとえば 0.15～0.25 mm 程度であり、第 2 のレーザ光のビーム径は、たとえば 0.4～0.8 mm 程度である。

[0094] レーザ照射装置 LD は、本実施形態のレーザ溶接において、第 1 のレーザ光および第 2 のレーザ光が図 16 に示す出力波形となるように、調整されている。図 16 は、第 1 のレーザ光および第 2 のレーザ光の各出力波形を示すタイミングチャートである。図 16 において、波形 W1 はレーザ照射装置 L

Dから出射される第1のレーザ光の出力波形を示しており、波形W1'は照射対象99に吸収される第1のレーザ光の出力波形を示している。また、波形W2はレーザ照射装置LDから出射される第2のレーザ光の出力波形を示しており、波形W2'は照射対象99に吸収される第2のレーザ光の出力波形を示している。照射対象99は、先述の通り、たとえばリード部材5である。

[0095] 図16の波形W1および波形W2が示すように、第1のレーザ光および第2のレーザ光の各出力はともに、矩形状のパルス波である。

[0096] レーザ照射装置LDから出射される第1のレーザ光の出力P1（波形W1参照）は、レーザ照射装置LDから出射される第2のレーザ光の出力P2（波形W2参照）より小さい（ $P1 < P2$ ）。たとえば、第1のレーザ光の出力P1は、1.0～1.2kW程度であり、第2のレーザ光の出力P2は、1.5～2.5kW程度である。ただし、レーザ照射装置LDから照射対象99に照射された第1のレーザ光は、すべてが照射対象99に吸収されず、一部が照射対象99で反射する。そのため、照射対象99に吸収される第1のレーザ光の出力（強さ）P1'は、第1のレーザ光の出力P1よりも低下する（波形W1'参照）。たとえば、照射対象99がCuである場合、照射対象99に吸収される第1のレーザ光は、レーザ照射装置LDから出射された第1のレーザ光のおよそ45%程度である。同様に、レーザ照射装置LDから照射対象99に照射された第2のレーザ光は、すべてが照射対象99に吸収されず、一部が照射対象99で反射する。そのため、照射対象99に吸収される第2のレーザ光の出力（強さ）P2'は、第2のレーザ光の出力P2よりも低下する（波形W2'参照）。たとえば、照射対象99がCuである場合、照射対象99に吸収される第2のレーザ光は、レーザ照射装置LDから出射された第2のレーザ光のおよそ10%程度である。本実施形態においては、図16に示すように、照射対象99に吸収される第1のレーザ光の出力（強さ）P1'は、照射対象99に吸収される第2のレーザ光の出力（強さ）P2'よりも大きい（ $P1' > P2'$ ）。

- [0097] 第1のレーザ光の出力時間（照射時間） T_1 は、第2のレーザ光の出力時間（照射時間） T_2 よりも短い（ $T_1 < T_2$ ）。たとえば、第1のレーザ光の出力時間 T_1 は、1.0～1.3ms程度であり、第2のレーザ光の出力時間 T_2 は、5～15ms程度である。
- [0098] 第2のレーザ光は、第1のレーザ光よりも遅れて照射されている。つまり、第2のレーザ光は、第1のレーザ光が照射されてから、所定の遅延時間 T_d 経過後に照射される。たとえば、遅延時間 T_d は、0.1～0.6ms程度である。
- [0099] 第2のレーザ光は、第1のレーザ光が照射されている間に照射される（ $T_1 > T_d$ ）。よって、第1のレーザ光と第2のレーザ光とが同時に照射される期間がある。なお、第2のレーザ光を、第1のレーザ光の照射が終わってから照射してもよい（ $T_1 < T_d$ ）。この場合、図16に示す波形と異なり、第1のレーザ光と第2のレーザ光とが同時に照射される期間はない。
- [0100] 以上のように、図16に示す出力波形の第1のレーザ光および第2のレーザ光を照射すると、まず、第1のレーザ光がリード部材5に照射され、第1のレーザ光が照射された部分において、リード部材5の融解が開始される。これにより、リード部材5の一部が融解した溶融プールができる。この第1のレーザ光の照射の際に、溶融プールの表面に波紋状の模様が形成される。続いて、第1のレーザ光が照射された状態で、第2のレーザ光の照射が開始され、溶融プールが下方に進行する。これにより、溶融プールが、リード部材5から金属板31に達する。このとき、溶融プールは、表面に形成された波紋状の模様を維持したまま、下方への融解が進行する。続いて、第1のレーザ光の照射が停止される。このとき、第1のレーザ光の照射が停止されても、第2のレーザ光の照射によって、融解が継続される。その後、第2のレーザ光の照射が停止されると、溶融プールが冷却されて固化し、融解が終わる。これにより、リード部材5が金属板31に溶接され、この溶接箇所（レーザ光を照射した部分）に溶接痕8が形成される。このとき、溶融プールの表面に形成された波紋状の模様がそのまま、溶接痕8の表面に表れる。

- [0101] 本実施形態においては、レーザ照射装置LDによる上記レーザ溶接によって、第1リード51（第2接合部512）と導電性基板22Bとの接合、および、第2リード52（第2接合部522）と入力端子42（延出部421b）との接合も行う。
- [0102] 第1実施形態にかかる半導体装置A1の作用効果は、次のとおりである。
- [0103] 半導体装置A1によれば、半導体素子11、金属板31およびリード部材5を備えている。半導体素子11は、z方向において素子主面11a側に第1領域111（たとえばソース領域）が形成されている。金属板31は、素子主面11aの上に配置され、第1領域111に導通している。リード部材5は、レーザ溶接によって金属板31に接合されている。この構成によると、リード部材5は、金属板31を介して、半導体素子11の第1領域111に導通している。したがって、リード部材5を金属板31にレーザ溶接することで、リード部材5と半導体素子11の第1領域111とが導通する。つまり、超音波接続することなく、リード部材5と半導体素子11（第1領域111）とを導通させることができる。これにより、超音波接合時の押圧力や振動などが半導体素子11に加わらないので、半導体素子11の損壊を抑制することができる。よって、半導体装置A1は、信頼性を向上させることができる。
- [0104] 半導体装置A1によれば、素子電極12を備えている。素子電極12は、半導体素子11の第1領域111にオーミック接触された第1電極層121を含んでいる。第1電極層121は、半導体チップ10における電極パッドであり、第1電極層121には、導電性接合材310を介して、金属板31が接合されている。この構成によると、導電性接合材310によって金属板31を第1電極層121に接合することで、金属板31と第1電極層121とが導通する。つまり、超音波接続することなく、金属板31と第1電極層121とを導通させることができる。これにより、第1電極層121と金属板31との接合においても、半導体素子11の損壊を抑制できる。よって、半導体装置A1は、信頼性を向上させることができる。

- [0105] 半導体装置A 1によれば、金属板3 1と第1電極層1 2 1とが導電性接合材3 1 0によって接合されており、導電性接合材3 1 0は焼結金属（たとえば焼結銀）である。焼結金属による接合は、はんだを用いた接合よりも、耐熱、耐圧、耐衝撃などの耐久性が高い。この構成によると、導電性接合材3 1 0の損壊あるいは導電性接合材3 1 0の剥がれなどを抑制することができる。したがって、半導体装置A 1は、信頼性を向上させることができる。
- [0106] 半導体装置A 1によれば、第1リード5 1（リード部材5）の第1接合部5 1 1は、金属板3 1 Aにレーザ溶接されており、溶接痕8が形成されている。溶接痕8の下端8 2は、z方向に直交する方向に見て、金属板3 1 Aに重なっている。つまり、溶接痕8が金属板3 1 Aをz方向に貫通していない。なお、第2リード5 2（リード部材5）の第1接合部5 2 1も同様である。この構成によると、リード部材5を金属板3 1にレーザ溶接した際、レーザ光の照射によって形成される溶融プールが金属板3 1を貫通していない。したがって、レーザ溶接時の熱が半導体素子1 1まで伝達されることを抑制できる。よって、レーザ溶接時の熱による、半導体素子1 1の損壊を抑制できるので、半導体装置A 1は、信頼性を向上させることができる。
- [0107] 半導体装置A 1によれば、第1リード5 1（リード部材5）の第1接合部5 1 1には、複数の溶接痕8が形成されている。したがって、第1リード5 1（第1接合部5 1 1）を、金属板3 1 Aに、レーザ溶接するとき、複数箇所にレーザ光を照射している。半導体装置A 1と異なる半導体装置において、第1接合部5 1 1に1つの溶接痕8が形成されている場合、z方向に直交する方向への力が第1リード5 1に加わったとき、第1リード5 1が、1つの溶接痕8を通るz方向の軸を中心に回転する可能性がある。一方、半導体装置A 1によれば、第1接合部5 1 1に複数の溶接痕8が形成されているため、上記回転を抑制することができる。なお、第1リード5 1（リード部材5）の第2接合部5 1 2、第2リード5 2（リード部材5）の第1接合部5 2 1および第2リード5 2（リード部材5）の第2接合部5 2 2も同様である。

- [0108] 半導体装置A1によれば、第1リード51（リード部材5）は、第1接合部511および第2接合部512を含んでいる。第1接合部511および第2接合部512はそれぞれ、複数の溶接痕8が形成されている。したがって、第1接合部511および第2接合部512はともに、レーザ溶接によって接合されている。なお、第2リード52（リード部材5）も同様である。この構成によると、第1接合部511（521）と第2接合部512（522）とで、接合方法を変える必要がないため、半導体装置A1の製造効率の向上を図ることができる。
- [0109] 半導体装置A1によれば、各溶接痕8は、上面81を有しており、上面81は、山部811と谷部812とによって波紋模様が形成されている。また、上面81は、樹脂部材7に接している。この構成によると、各溶接痕8の上面81に凹凸があるため、アンカー効果によって樹脂部材7の接着性を高めることができる。
- [0110] 半導体装置A1によれば、レーザ溶接によって、リード部材5と金属板31とを接合している。そして、レーザ溶接においては、互いに波長の異なる第1のレーザ光と第2のレーザ光とを照射している。したがって、本開示の接合方法によれば、これら2つのレーザ光を用いることで、レーザ光を照射する照射対象（リード部材5）の素材に応じて、吸収、反射、屈折、透過および散乱などを適宜調整することができる。これにより、金属板31のz方向寸法を、各半導体素子11のz方向寸法よりも小さくできる。したがって、リード部材5と第1電極層121との間に金属板31を設ける場合であっても、半導体装置A1のz方向寸法の増加を抑制することができる。
- [0111] 本開示の接合方法によれば、第1のレーザ光の波長は、第2のレーザ光の波長よりも短い。半導体装置A1においては、たとえば、第1のレーザ光は532nm程度のグリーンレーザであり、第2のレーザ光は1064nm程度の赤外光レーザである。本実施形態のレーザ溶接においては、接合対象であるリード部材5および金属板31はともに、構成材料がたとえば銅である。銅のレーザ光の吸収率は、当該レーザ光の波長が短いほど良好である。た

例えば、波長が532nm程度のレーザ光（第1のレーザ光）の吸収率はおよそ45%程度であり、波長が1064nm程度のレーザ光（第2のレーザ光）に対する吸収率はおよそ10%程度である。したがって、本実施形態の接合方法においては、接合対象への吸収率の異なる2つのレーザ光を用いて、レーザ溶接を行うことができる。

[0112] 本開示の接合方法によれば、第1のレーザ光および第2のレーザ光は、図16に示す出力波形となるように、レーザ照射装置LDによって照射される。つまり、第1のレーザ光の出力は、第2のレーザ光の出力よりも大きい。第1のレーザ光の照射時間は、第2のレーザ光の照射時間よりも短い。第1のレーザ光の照射の開始後、遅延時間Td後に第2のレーザ光の照射が開始される。すなわち、第2のレーザ光は、第1のレーザ光よりも遅れて照射される。さらに、第1のレーザ光が照射されているときに、第2のレーザ光を照射させる。第1のレーザ光は、第2のレーザ光と比較して、接合対象（銅）への吸収率が良好であるが、出力調整が難しい。したがって、第1のレーザ光だけでレーザ溶接した場合、溶接時間を短縮させることが可能であるが、溶接痕8が金属板31を貫通する可能性がある。また、第2のレーザ光は、第1のレーザ光と比較して、出力調整が容易であるが、接合対象（銅）への吸収率が低い。したがって、第2のレーザ光だけで、レーザ溶接した場合、溶接痕8が金属板31を貫通することを抑制できるが、溶接時間が長くなる可能性がある。一方、本開示の接合方法によれば、接合対象（銅）への吸収率が高い第1のレーザ光によって、融解を開始して、短時間で溶融プールの状態を安定させる。そして、溶融プールが安定した状態で、第2のレーザ光の照射を開始して、第1のレーザ光の照射を停止する。これにより、第2のレーザ光によって、溶融プールの進行が調整される。したがって、図16に示す出力波形の第1のレーザ光および第2のレーザ光を照射することで、半導体素子11の損壊を抑制しつつ、効率良くレーザ溶接することができる。さらに、第1のレーザ光を第2のレーザ光よりも先に照射することで、スパッタなどの溶接品質の低下を抑制できる。

[0113] 以下に、本開示の他の実施形態にかかる半導体装置および接合方法について説明する。なお、以下の他の実施形態において、第1実施形態と同一あるいは類似の構成要素には、同じ符号を付して、その説明を省略する。

[0114] <第2実施形態>

図17は、第2実施形態にかかる半導体装置を示している。第2実施形態の半導体装置A2は、半導体装置A1と比較して、樹脂部材7の形状が異なる。それ以外については、半導体装置A1と同じである。図17は、半導体装置A2を示す斜視図である。

[0115] 本実施形態の樹脂部材7は、平面視において、y方向の各端縁部分が、x方向にそれぞれ延び出ている。樹脂部材7のうち、x2方向に延び出た部分によって、2つの入力端子41、42および絶縁板49の一部ずつが覆われている。また、樹脂部材7のうち、x1方向に延び出た部分によって、出力端子43の一部が覆われている。

[0116] 半導体装置A2によれば、半導体装置A1と同様に、リード部材5を金属板31にレーザ溶接することで、リード部材5と半導体素子11の第1領域111とを導通させている。したがって、半導体装置A2は、半導体装置A1と同様に、半導体素子11の損壊を抑制することができるので、信頼性を向上させることができる。

[0117] 半導体装置A2によれば、たとえば半導体装置A1において樹脂部材7から突き出た2つの入力端子41、42、出力端子43および絶縁板49の一部ずつを保護することができる。

[0118] <第3実施形態>

図18～図22は、第3実施形態にかかる半導体装置を示している。第3実施形態の半導体装置A3は、複数の半導体チップ10、支持基板20、複数の金属板31、複数の端子40、複数のリード部材5、複数のワイヤ部材6および樹脂部材7を備えている。半導体装置A3において、複数の端子40には、入力端子41、42、出力端子43、一对のゲート端子44A、44B、一对の検出端子45A、45B、複数のダミー端子46および一对の

ソース信号端子48A, 48Bを含んでいる。

[0119] 図18は、半導体装置A3を示す平面図であって、樹脂部材7を想像線（二点鎖線）で示している。図19は、図18の一部を拡大した部分拡大図である。図20は、半導体装置A3を示す正面図であって、樹脂部材7を想像線（二点鎖線）で示している。なお、図20においては、ワイヤ部材6の図示を省略している。図21は、図18のXXI-XXI線に沿う断面図である。図22は、図21の一部を拡大した部分拡大図である。

[0120] 半導体装置A3において、各半導体チップ10は、図18および図19に示すように、絶縁膜13によって絶縁された2つの第1電極層121を含んでいる。そして、各金属板31は、導電性接合材310によって、2つの第1電極層121に跨って接合されている。なお、各半導体チップ10は、半導体装置A1における各半導体チップ10と同様に、1つの第1電極層121を含んだ構成であってもよい。

[0121] 半導体装置A3の支持基板20は、半導体装置A1の支持基板20と比較して、構成が異なる。図20、図21および図22に示すように、絶縁基板26、主面金属層27および裏面金属層28を含んでいる。

[0122] 絶縁基板26は、電気絶縁性を有する。絶縁基板26の構成材料は、絶縁基板21と同様に、セラミックスである。なお、当該構成材料は、セラミックスに限定されず、絶縁樹脂シートなどであってもよい。

[0123] 絶縁基板26は、図20および図21に示すように、主面261および裏面262を有している。主面261および裏面262は、z方向において離間している。主面261は、z2方向を向き、裏面262は、z1方向を向く。

[0124] 主面金属層27は、絶縁基板26の主面261に形成されている。主面金属層27の構成材料は、たとえば銅を含む金属である。なお、当該構成材料は、銅ではなく、アルミニウムなどであってもよい。主面金属層27は、樹脂部材7に覆われている。主面金属層27は、複数の導電体層271A, 271B, 271C、一対のゲート層272A, 272B、一対の検出層27

3 A, 2 7 3 B、一对のソース信号層 2 7 4 A, 2 7 4 B および複数のダミー層 2 7 5 を含んでいる。これらは、互いに離間して配置されている。

[0125] 導電体層 2 7 1 A は、複数の半導体チップ 1 0 A が搭載され、複数の半導体チップ 1 0 A を支持する。導電体層 2 7 1 A は、入力端子 4 1 の一部（パッド部 4 1 1）が接合されている。

[0126] 導電体層 2 7 1 B は、複数の第 2 リード 5 2 の一部（第 2 接合部 5 2 2）が接合されている。導電体層 2 7 1 B は、入力端子 4 2 の一部（パッド部 4 2 1）が接合されている。

[0127] 導電体層 2 7 1 C は、複数の半導体チップ 1 0 B が搭載され、複数の半導体チップ 1 0 B を支持する。導電体層 2 7 1 C は、複数の第 1 リード 5 1 の一部（第 2 接合部 5 1 2）が接合されている。導電体層 2 7 1 C は、出力端子 4 3 の一部（パッド部 4 3 1）が接合されている。

[0128] 一对のゲート層 2 7 2 A, 2 7 2 B は、一对のゲート層 2 4 A, 2 4 B に対応するものである。ゲート層 2 7 2 A は、ワイヤ部材 6（ゲートワイヤ 6 1）を介して、各半導体チップ 1 0 A の第 2 電極層 1 2 2（ゲート電極）に導通する。ゲート層 2 7 2 B は、ワイヤ部材 6（ゲートワイヤ 6 1）を介して、各半導体チップ 1 0 B の第 2 電極層 1 2 2（ゲート電極）に導通する。各ゲート層 2 7 2 A, 2 7 2 B は、x 方向に延びる帯状の部分を有する。この帯状の部分において、複数のゲートワイヤ 6 1 がそれぞれボンディングされている。ゲート層 2 7 2 A には、ゲート端子 4 4 A の一部（パッド部 4 4 1）が直接接合されている。ゲート層 2 7 2 B には、ゲート端子 4 4 B の一部（パッド部 4 4 1）が直接接合されている。

[0129] 一对の検出層 2 7 3 A, 2 7 3 B は、一对の検出層 2 5 A, 2 5 B に対応するものである。検出層 2 7 3 A は、ワイヤ部材 6（検出ワイヤ 6 2）を介して、各半導体チップ 1 0 A の第 1 電極層 1 2 1（ソース電極）に導通する。検出層 2 7 3 B は、ワイヤ部材 6（検出ワイヤ 6 2）を介して、各半導体チップ 1 0 B の第 1 電極層 1 2 1（ソース電極）に導通する。各検出層 2 7 3 A, 2 7 3 B は、x 方向に延びる帯状の部分を有する。この帯状の部分に

において、複数の検出ワイヤ62がそれぞれボンディングされている。検出層273Aには、検出端子45Aの一部（パッド部451）が直接接合されている。検出層273Bには、検出端子45Bの一部（パッド部451）が直接接合されている。

[0130] 一対のソース信号層274A, 274Bはそれぞれ、各半導体チップ10の第1電極層121に導通する。ソース信号層274Aは、ワイヤ部材6（後述するソース信号ワイヤ65）を介して、各半導体チップ10Aの第1電極層121（ソース電極）に導通する。ソース信号層274Bは、ワイヤ部材6（後述するソース信号ワイヤ65）を介して、各半導体チップ10Bの第1電極層121（ソース電極）に導通する。ソース信号層274Aには、ソース信号端子48Aの一部（パッド部481）が直接接合されている。ソース信号層274Bには、ソース信号端子48Bの一部（パッド部481）が直接接合されている。

[0131] 複数のダミー層275は、いずれの半導体チップ10にも導通していない。各ダミー層275には、ダミー端子46の一部（パッド部461）が直接接合されている。

[0132] 裏面金属層28は、絶縁基板26の裏面262に形成されている。裏面金属層28の構成材料は、主面金属層27の構成材料と同じである。裏面金属層28は、z1方向を向く面が樹脂部材7から露出してもよい。なお、当該z1方向を向く面が樹脂部材7に覆われていてもよい。

[0133] 入力端子41は、図18に示すように、パッド部411が導電体層271Aに接合されている。図18に示す態様においては、入力端子41は、樹脂部材7に覆われた部分において一部が屈曲している。導電体層271Aは、各半導体チップ10Aの第3電極層123に導通している。よって、入力端子41は、各半導体チップ10Aの第3電極層123に導通する。

[0134] 入力端子42は、図18に示すように、パッド部421が導電体層271Bに接合されている。図18に示す態様においては、入力端子42は、樹脂部材7に覆われた部分において一部が屈曲している。導電体層271Bは、

第2リード52を介して、各半導体チップ10Bの第1電極層121に導通している。よって、入力端子42は、各半導体チップ10Bの第1電極層121に導通する。

[0135] 出力端子43は、図18に示すように、パッド部431が導電体層271Cに接合されている。図18に示す態様においては、出力端子43は、樹脂部材7に覆われた部分において一部が屈曲している。導電体層271Cは、第1リード51を介して各半導体チップ10Aの第1電極層121に導通するとともに、各半導体チップ10Bの第3電極層123に導通している。よって、出力端子43は、各半導体チップ10Aの第1電極層121および各半導体チップ10Bの第3電極層123に導通する。

[0136] ゲート端子44Aは、そのパッド部441がゲート層272Aに接合されている。ゲート層272Aは、ゲートワイヤ61を介して各半導体チップ10Aの第2電極層122に導通している。よって、ゲート端子44Aは、各半導体チップ10Aの第2電極層122に導通する。ゲート端子44Bは、そのパッド部441がゲート層272Bに接合されている。ゲート層272Bは、ゲートワイヤ61を介して各半導体チップ10Bの第2電極層122に導通している。よって、ゲート端子44Bは、各半導体チップ10Bの第2電極層122に導通する。ゲート端子44A、44Bは、図19に示すように、平面視において、絶縁基板26の中央を基準に対称的に配置されている。

[0137] 検出端子45Aは、そのパッド部451が検出層273Aに接合されている。検出層273Aは、検出ワイヤ62を介して各半導体チップ10Aの第1電極層121に導通している。よって、検出端子45Aは、各半導体チップ10Aの第1電極層121に導通している。検出端子45Bは、そのパッド部451が検出層273Bに接合されている。検出層273Bは、検出ワイヤ62を介して各半導体チップ10Bの第1電極層121に導通している。よって、検出端子45Bは、各半導体チップ10Bの第1電極層121に導通している。検出端子45A、45Bは、図19に示すように、平面視に

において、絶縁基板 26 の中央を基準に対称的に配置されている。

[0138] ダミー端子 46 は、そのパッド部 461 がダミー層 275 に接合されている。ダミー層 275 は、複数の半導体チップ 10A、10B のいずれにも導通していないので、ダミー端子 46 は、複数の半導体チップ 10A、10B のいずれにも導通しない。

[0139] 一对のソース信号端子 48A、48B はそれぞれ、パッド部 481 および端子部 482 を含んでいる。各ソース信号端子 48A、48B において、パッド部 481 は、樹脂部材 7 に覆われている。端子部 482 は、パッド部 481 に繋がり、かつ、樹脂部材 7 から露出している。

[0140] ソース信号端子 48A は、そのパッド部 481 がソース信号層 274A に接合されている。ソース信号層 274A は、ワイヤ部材 6（後述するソース信号ワイヤ 65）を介して各半導体チップ 10A の第 1 電極層 121 に導通している。よって、ソース信号端子 48A は、各半導体チップ 10A の第 1 電極層 121 に導通している。ソース信号端子 48B は、そのパッド部 481 がソース信号層 274B に接合されている。ソース信号層 274B は、ワイヤ部材 6（後述するソース信号ワイヤ 65）を介して各半導体チップ 10B の第 1 電極層 121 に導通している。よって、ソース信号端子 48B は、各半導体チップ 10B の第 1 電極層 121 に導通している。ソース信号端子 48A、48B は、図 19 に示すように、平面視において、絶縁基板 26 の中央を基準に対称的に配置されている。

[0141] 複数の端子 40 において、ゲート端子 44A、検出端子 45A、一部のダミー端子 46 およびソース信号端子 48A は、樹脂側面 734 から突き出ている。これらは、x 方向に見て、互いに重なり合い、かつ、樹脂部材 7 に覆われた部分および樹脂部材 7 から露出した部分のそれぞれにおいて、一部が屈曲している。また、ゲート端子 44B、検出端子 45B、一部のダミー端子 46 およびソース信号端子 48B は、樹脂側面 733 から突き出ている。これらは、x 方向に見て、互いに重なり合い、かつ、樹脂部材 7 に覆われた部分および樹脂部材 7 から露出した部分のそれぞれにおいて、一部が屈曲し

ている。なお、一对のゲート端子44A、44B、一对の検出端子45A、45B、複数のダミー端子46および一对のソース信号端子48A、48Bの形状は、限定されず、たとえば、それぞれが樹脂主面71から突き出た構成であってもよい。

[0142] 複数の第1リード51の各々は、図18、図19および図21に示すように、各半導体チップ10Aと、導電体層271Cとを接続する。各第1リード51において、第1接合部511は、金属板31Aに接合されている。本実施形態においても、第1接合部511は、レーザ溶接によって金属板31Aに接合されており、平面視において、複数の溶接痕8が形成されている。また、各第1リード51において、第2接合部512は、導電体層271Cに接合されている。本実施形態においても、第2接合部512は、レーザ溶接によって導電体層271Cに接合されており、図18および図19に示すように、平面視において、複数の溶接痕8が形成されている。複数の溶接痕8は、平面視においてマトリクス状に配置されている。

[0143] 本実施形態において、第1リード51は、特許請求の範囲に記載の「接続部材」に相当する。この場合、半導体チップ10Aの半導体素子11が特許請求の範囲に記載の「半導体素子」に相当し、金属板31Aが特許請求の範囲に記載の「電極部材」に相当し、導電体層271Aが特許請求の範囲に記載の「第1導電部材」に相当し、導電体層271Cが特許請求の範囲に記載の「第2導電部材」に相当する。

[0144] 複数の第2リード52の各々は、図18および図21に示すように、各半導体チップ10Bと、導電体層271Bとを接続する。各第2リード52において、第1接合部521は、金属板31Bに接合されている。本実施形態においても、第1接合部521は、レーザ溶接によって金属板31Bに接合されており、平面視において、複数の溶接痕8が形成されている。また、各第2リード52において、第2接合部522は、導電体層271Bに接合されている。本実施形態においても、第2接合部522は、レーザ溶接によって導電体層271Bに接合されており、図18に示すように、平面視におい

て、複数の溶接痕 8 が形成されている。複数の溶接痕 8 は、平面視においてマトリクス状に配置されている。

[0145] 本実施形態において、第 2 リード 5 2 もまた、特許請求の範囲に記載の「接続部材」に相当する。この場合、半導体チップ 1 0 B の半導体素子 1 1 が特許請求の範囲に記載の「半導体素子」に相当し、金属板 3 1 B が特許請求の範囲に記載の「電極部材」に相当し、導電体層 2 7 1 C が特許請求の範囲に記載の「第 1 導電部材」に相当し、導電体層 2 7 1 B が特許請求の範囲に記載の「第 2 導電部材」に相当する。

[0146] 半導体装置 A 3 において、複数のワイヤ部材 6 は、複数のゲートワイヤ 6 1、複数の検出ワイヤ 6 2 および複数のソース信号ワイヤ 6 5 を含んでいる。

[0147] 各ゲートワイヤ 6 1 は、その一端が各半導体チップ 1 0 の第 2 電極層 1 2 2（ゲート電極）に接合され、その他端が一对のゲート層 2 7 2 A，2 7 2 B のいずれかに接合されている。複数のゲートワイヤ 6 1 には、各半導体チップ 1 0 A の第 2 電極層 1 2 2（ゲート電極）とゲート層 2 7 2 A とを導通させるものと、各半導体チップ 1 0 B の第 2 電極層 1 2 2（ゲート電極）とゲート層 2 7 2 B とを導通させるものがある。

[0148] 各検出ワイヤ 6 2 は、その一端が各半導体チップ 1 0 の第 1 電極層 1 2 1（ソース電極）に接合され、その他端が一对の検出層 2 7 3 A，2 7 3 B のいずれかに接合されている。複数の検出ワイヤ 6 2 には、各半導体チップ 1 0 A の第 1 電極層 1 2 1（ソース電極）と検出層 2 7 3 A とを導通させるものと、各半導体チップ 1 0 B の第 1 電極層 1 2 1（ソース電極）と検出層 2 7 3 B とを導通させるものがある。

[0149] 複数のソース信号ワイヤ 6 5 はそれぞれ、その一端が複数の半導体チップ 1 0 A，1 0 B のいずれかの第 1 電極層 1 2 1（ソース電極）に接合され、その他端が一对のソース信号層 2 7 4 A，2 7 4 B のいずれかに接合されている。複数のソース信号ワイヤ 6 5 には、いずれかの半導体チップ 1 0 A の第 1 電極層 1 2 1（ソース電極）とソース信号層 2 7 4 A とを導通させるも

のと、いずれかの半導体チップ１０Ｂの第１電極層１２１（ソース電極）とソース信号層２７４Ｂとを導通させるものがある。

[0150] 半導体装置Ａ３によれば、半導体装置Ａ１と同様に、リード部材５を金属板３１にレーザ溶接することで、リード部材５と半導体素子１１の第１領域１１１とを導通させている。したがって、半導体装置Ａ３は、半導体装置Ａ１と同様に、半導体素子１１の損壊を抑制することができるので、信頼性を向上させることができる。

[0151] 半導体装置Ａ３によれば、半導体装置Ａ１と同様に構成された部分において、半導体装置Ａ１と同様の効果を奏することができる。

[0152] <第４実施形態>

図２３は、第４実施形態にかかる半導体装置を示している。第４実施形態の半導体装置Ａ４は、半導体装置Ａ１と比較して、１つの半導体チップ１０を備えたディスクリット部品である点が主に異なる。図２３は、半導体装置Ａ４を示す斜視図であって、樹脂部材７を想像線で示している。

[0153] 半導体装置Ａ４は、半導体チップ１０、金属板３１、リードフレーム３９、リード部材５、ワイヤ部材６および樹脂部材７を備えている。半導体装置Ａ４は、いわゆるリードフレーム構造である。

[0154] リードフレーム３９は、半導体チップ１０を支持するとともに、半導体チップ１０に導通する。リードフレーム３９の一部は、樹脂部材７から露出しており、当該露出した部分は、半導体装置Ａ４の端子として機能する。リードフレーム３９は、第１部３９１および第２部３９２を含んでいる。

[0155] 第１部３９１は、半導体チップ１０を支持する。第１部３９１は、導電性接合材１００を介して、半導体チップ１０が接合されている。第１部３９１は、半導体素子１１の素子裏面１１ｂに対向している。第１部３９１は、半導体チップ１０の第３電極層１２３に導通している。本実施形態においては、第１部３９１が特許請求の範囲に記載の「第１導電部材」に相当する。

[0156] 第２部３９２は、第１部３９１から離間している。第２部３９２には、リード部材５の一部が接合されている。第２部３９２とリード部材５との接合

は、レーザ照射装置LDを用いたレーザ溶接による。よって、当該接合部分には、複数の溶接痕8が形成されている。本実施形態においては、第2部392が特許請求の範囲に記載の「第2導電部材」に相当する。

[0157] 半導体装置A4によれば、半導体装置A1と同様に、リード部材5を金属板31にレーザ溶接することで、リード部材5と半導体素子11の第1領域111とを導通させている。したがって、半導体装置A4は、半導体装置A1と同様に、半導体素子11の損壊を抑制することができるので、信頼性を向上させることができる。

[0158] 半導体装置A4においては、ディスクリット部品である場合を示したが、これに限定されない。半導体装置A4は、リードフレーム構造を用いたLSIなどのICであってもよい。また、リードフレーム39の形状は、図23に示したものに限定されず、周知の半導体パッケージ型に応じて、種々に変更可能である。

[0159] <第5実施形態>

図24は、第5実施形態にかかる半導体装置を示している。第5実施形態の半導体装置A5は、半導体装置A1と比較して、複数の金属板31を備えておらず、リード部材5が第1電極層121に直接接合されている点で異なる。リード部材5と第1電極層121との接合は、レーザ溶接による。図24は、半導体装置A5を示す要部拡大断面図である。図24は、図12に示す半導体装置A1の部分拡大図に対応する。

[0160] 半導体装置A5においては、第1電極層121のz方向寸法が、半導体装置A1の第1電極層121よりも大きい。第1電極層121および第2電極層122はともに、素子主面11aに接しており、第1電極層121のz方向寸法は、第2電極層122のz方向寸法よりも大きい。ゆえに、第1電極層121は、第2電極層122よりもz方向に突き出ている。第1電極層121のz方向寸法は、半導体素子11のz方向寸法よりも小さい。第1電極層121のz方向寸法は、たとえば0.05～0.2mm程度である。

[0161] 半導体装置A5によれば、半導体素子11、第1電極層121およびリー

ド部材5を備えている。半導体素子11は、z方向において素子主面11a側に第1領域111（たとえばソース領域）が形成されている。第1電極層121は、素子主面11aの上に配置され、第1領域111に導通している。リード部材5は、本開示のレーザ溶接によって第1電極層121に接合されている。この構成によると、リード部材5は、第1電極層121を介して、半導体素子11の第1領域111に導通している。したがって、リード部材5を第1電極層121にレーザ溶接することで、リード部材5と半導体素子11の第1領域111とが導通する。つまり、超音波接続することなく、リード部材5と半導体素子11（第1領域111）とを導通させることができる。これにより、超音波接合時の押圧力や振動などが半導体素子11に加わらないので、半導体素子11の損壊を抑制することができる。よって、半導体装置A5は、信頼性を向上させることができる。

[0162] 半導体装置A5によれば、第1電極層121は、第2電極層122よりもz方向に突き出ている。本実施形態においては、第1電極層121の厚みを第2電極層122の厚みよりも大きくしている。これにより、リード部材5を第1電極層121にレーザ溶接する場合であっても、レーザ溶接時の熱による半導体素子11の損壊を抑制できるので、半導体装置A5は、信頼性を向上させることができる。

[0163] 第5実施形態では、半導体装置A1において、金属板31を用いずに、第1電極層121の厚さを大きくし、この第1電極層121にリード部材5を直接レーザ溶接した半導体装置A5を示したが、これに限定されない。第2実施形態ないし第4実施形態、すなわち、半導体装置A2～A4においても、同様に構成してもよい。

[0164] 本開示にかかる半導体装置および接合方法は、上記した実施形態に限定されるものではない。本開示の半導体装置の各部の具体的な構成、および、本開示の接合方法の各工程の具体的な処理は、種々に設計変更自在である。

[0165] 本開示にかかる半導体装置および接合方法は、以下の付記に関する実施形態を含む。

[付記 1]

第 1 方向において互いに離間した素子主面および素子裏面と前記素子主面側に配置された第 1 領域とを有する半導体素子と、

前記第 1 領域に導通し、かつ、前記素子主面上に配置された電極部材と、
前記素子裏面に対向し、かつ、前記半導体素子が接合された第 1 導電部材と、

前記第 1 導電部材と離間して配置された第 2 導電部材と、
前記電極部材および前記第 2 導電部材を導通させる接続部材と、
を備えており、

前記接続部材は、レーザ溶接によって前記電極部材に接合されている、半導体装置。

[付記 2]

前記電極部材は、前記第 1 領域にオーミック接触された第 1 電極層である、
付記 1 に記載の半導体装置。

[付記 3]

前記素子主面上に配置され、前記第 1 電極層と異なる第 2 電極層をさらに備えており、

前記半導体素子は、さらに前記素子主面側に第 2 領域が形成されており、
前記第 2 電極層は、前記第 2 領域にオーミック接触され、
前記第 1 電極層は、前記第 2 電極層よりも前記第 1 方向に突き出ている、
付記 2 に記載の半導体装置。

[付記 4]

前記第 1 領域にオーミック接触された第 1 電極層をさらに備えており、
前記電極部材は、導電性接合材を介して前記第 1 電極層に接合された金属板である、
付記 1 に記載の半導体装置。

[付記 5]

前記導電性接合材は、焼結金属である、
付記 4 に記載の半導体装置。

[付記 6]

前記半導体素子は、M O S F E T である、
付記 2 ないし付記 5 のいずれか一項に記載の半導体装置。

[付記 7]

前記第 1 領域は、ソース領域であり、
前記第 1 電極層は、ソース電極である、
付記 6 に記載の半導体装置。

[付記 8]

前記接続部材は、前記電極部材に接合された第 1 接合部を含んでおり、
前記第 1 接合部には、前記第 1 方向に見て円形状の溶接痕が形成されている、
付記 1 ないし付記 7 のいずれか一項に記載の半導体装置。

[付記 9]

複数の前記溶接痕が形成されており、
前記複数の溶接痕は、前記第 1 方向に見て、マトリクス状に配置されている、
付記 8 に記載の半導体装置。

[付記 10]

前記電極部材は、前記半導体素子よりも、前記第 1 方向の寸法が小さい、
付記 1 ないし付記 9 のいずれか一項に記載の半導体装置。

[付記 11]

前記接続部材は、銅を含む金属からなる、
付記 1 ないし付記 10 のいずれか一項に記載の半導体装置。

[付記 12]

前記素子主面と同じ方向を向く絶縁部材主面を有しており、前記絶縁部材主面が向く方向側において、前記第 1 導電部材および前記第 2 導電部材を支

持する絶縁部材をさらに備えている、

付記 1 ないし付記 1 1 のいずれか一項に記載の半導体装置。

[付記 1 3]

前記半導体素子、前記電極部材、前記接続部材、前記第 1 導電部材、および、前記第 2 導電部材を覆う樹脂部材をさらに備えている、

付記 1 ないし付記 1 2 のいずれか一項に記載の半導体装置。

[付記 1 4]

第 1 方向において互いに離間した素子主面および素子裏面を有する半導体素子に、導電性の接続部材を接合する接合方法であって、

前記半導体素子は、前記素子主面側に配置された第 1 領域を含んでおり、

導電部材を前記素子主面に配置し、前記導電部材を前記第 1 領域に導通させる第 1 工程と、

前記接続部材を前記導電部材に重ねて、前記第 1 方向に見て前記接続部材と前記導電部材とが重なった領域において、前記接続部材と前記導電部材とをレーザ溶接する第 2 工程と、を有しており、

前記レーザ溶接において、互いに波長の異なる第 1 のレーザ光および第 2 のレーザ光を用いる、接合方法。

[付記 1 5]

前記第 1 のレーザ光の波長は、前記第 2 のレーザ光の波長よりも短い、

付記 1 4 に記載の接合方法。

[付記 1 6]

前記第 1 のレーザ光の出力は、前記第 2 のレーザ光の出力よりも大きい、

付記 1 4 または付記 1 5 に記載の接合方法。

[付記 1 7]

前記第 1 のレーザ光の照射時間は、前記第 2 のレーザ光の照射時間よりも短い、

付記 1 4 ないし付記 1 6 のいずれか一項に記載の接合方法。

[付記 1 8]

前記レーザ溶接において、前記第 2 のレーザ光を、前記第 1 のレーザ光よりも、遅れて照射する、

付記 1 4 ないし付記 1 7 のいずれか一項に記載の接合方法。

[付記 1 9]

前記レーザ溶接において、前記第 1 のレーザ光が照射されている時に、前記第 2 のレーザ光の照射を開始する、

付記 1 8 に記載の接合方法。

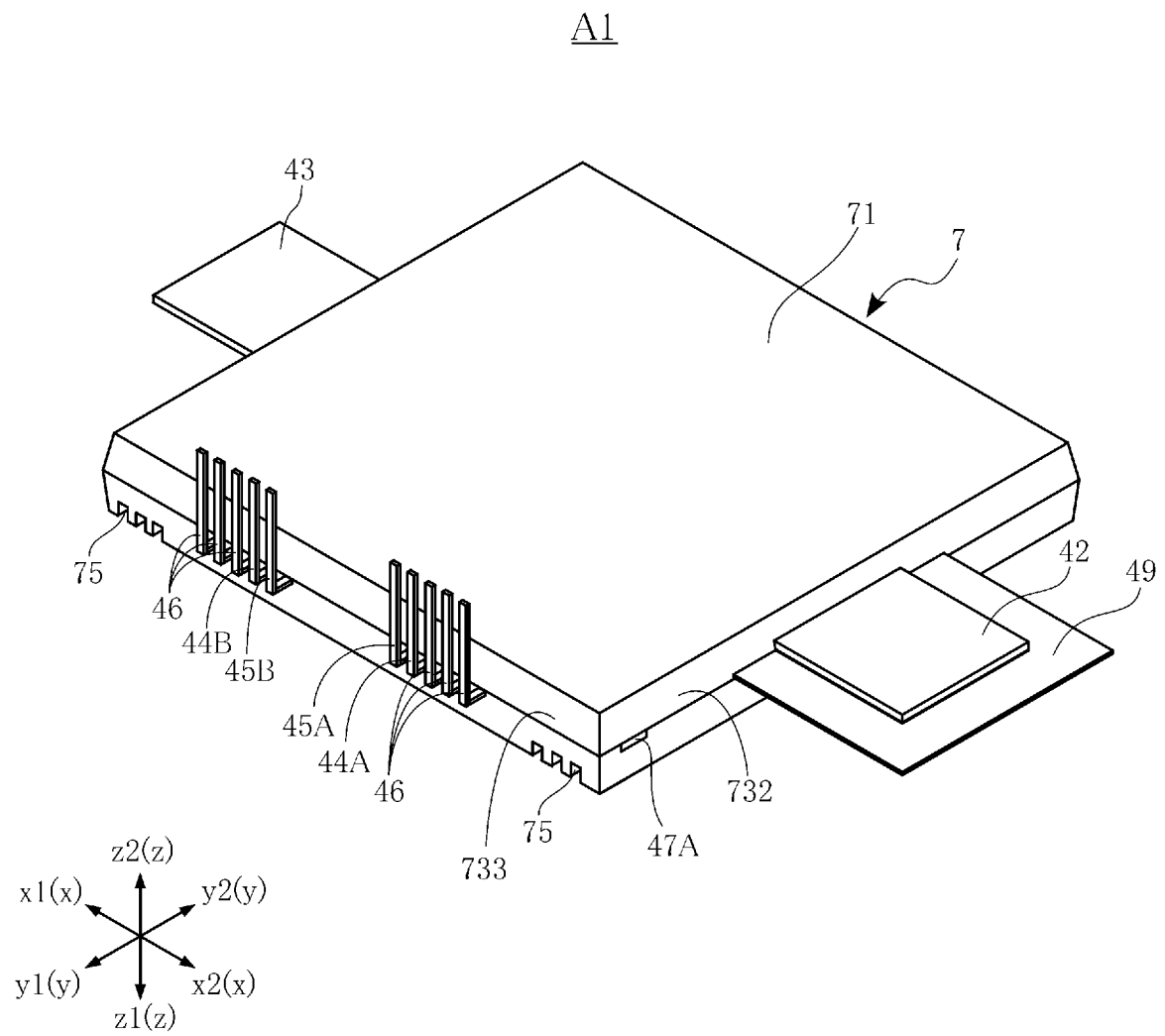
請求の範囲

- [請求項1] 第1方向において互いに離間した素子主面および素子裏面と前記素子主面側に配置された第1領域とを有する半導体素子と、
前記第1領域に導通し、かつ、前記素子主面上に配置された電極部材と、
前記素子裏面に対向し、かつ、前記半導体素子が接合された第1導電部材と、
前記第1導電部材と離間して配置された第2導電部材と、
前記電極部材および前記第2導電部材を導通させる接続部材と、
を備えており、
前記接続部材は、レーザ溶接によって前記電極部材に接合されている、半導体装置。
- [請求項2] 前記電極部材は、前記第1領域にオーミック接触された第1電極層である、
請求項1に記載の半導体装置。
- [請求項3] 前記素子主面上に配置され、前記第1電極層と異なる第2電極層をさらに備えており、
前記半導体素子は、さらに前記素子主面側に第2領域が形成されており、
前記第2電極層は、前記第2領域にオーミック接触され、
前記第1電極層は、前記第2電極層よりも前記第1方向に突き出ている、
請求項2に記載の半導体装置。
- [請求項4] 前記第1領域にオーミック接触された第1電極層をさらに備えており、
前記電極部材は、導電性接合材を介して前記第1電極層に接合された金属板である、
請求項1に記載の半導体装置。

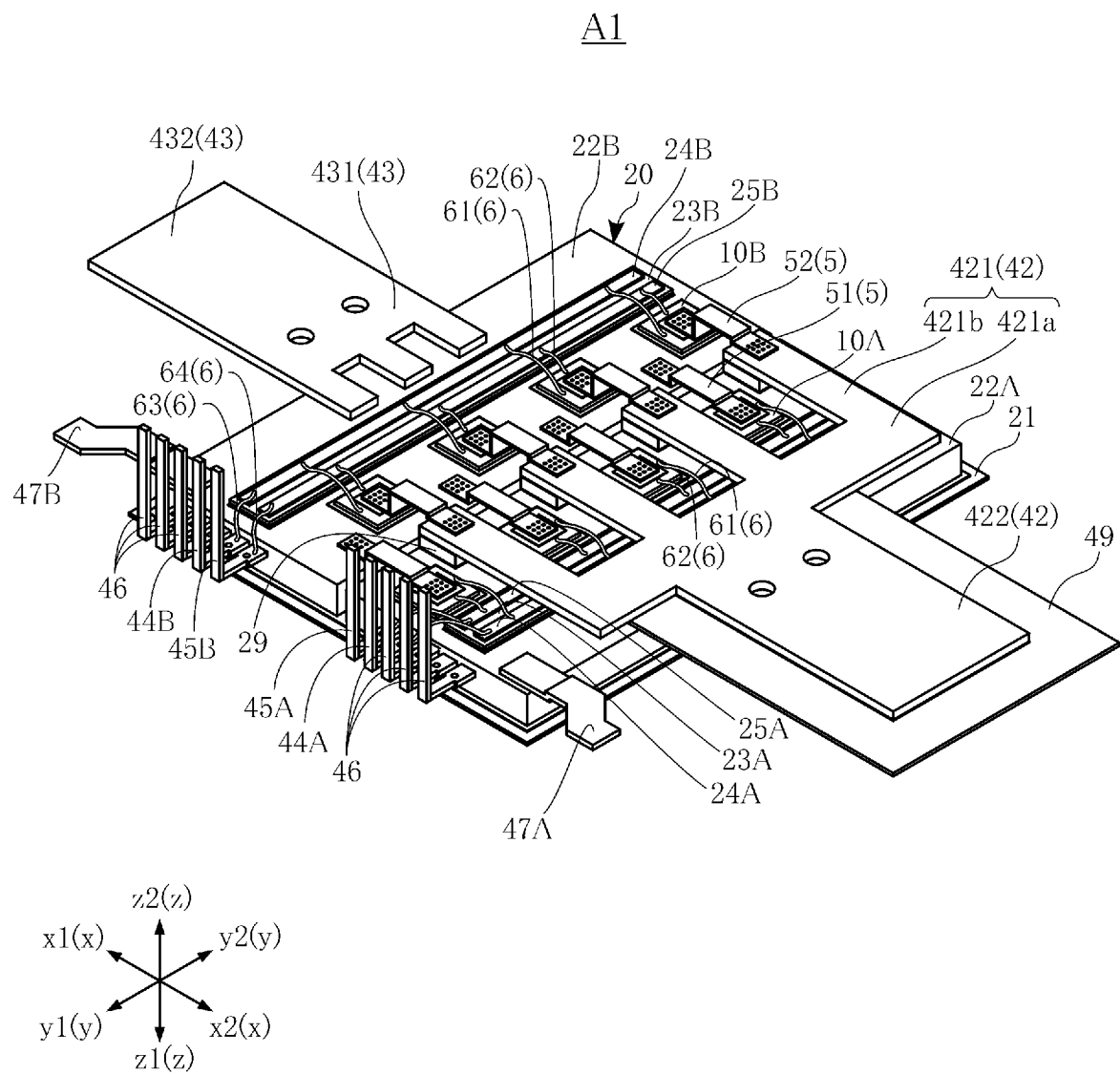
- [請求項5] 前記導電性接合材は、焼結金属である、
請求項4に記載の半導体装置。
- [請求項6] 前記半導体素子は、M O S F E Tである、
請求項2ないし請求項5のいずれか一項に記載の半導体装置。
- [請求項7] 前記第1領域は、ソース領域であり、
前記第1電極層は、ソース電極である、
請求項6に記載の半導体装置。
- [請求項8] 前記接続部材は、前記電極部材に接合された第1接合部を含んでおり、
前記第1接合部には、前記第1方向に見て円形状の溶接痕が形成されている、
請求項1ないし請求項7のいずれか一項に記載の半導体装置。
- [請求項9] 複数の前記溶接痕が形成されており、
前記複数の溶接痕は、前記第1方向に見て、マトリクス状に配置されている、
請求項8に記載の半導体装置。
- [請求項10] 前記電極部材は、前記半導体素子よりも、前記第1方向の寸法が小さい、
請求項1ないし請求項9のいずれか一項に記載の半導体装置。
- [請求項11] 前記接続部材は、銅を含む金属からなる、
請求項1ないし請求項10のいずれか一項に記載の半導体装置。
- [請求項12] 前記素子主面と同じ方向を向く絶縁部材主面を有しており、前記絶縁部材主面が向く方向側において、前記第1導電部材および前記第2導電部材を支持する絶縁部材をさらに備えている、
請求項1ないし請求項11のいずれか一項に記載の半導体装置。
- [請求項13] 前記半導体素子、前記電極部材、前記接続部材、前記第1導電部材、および、前記第2導電部材を覆う樹脂部材をさらに備えている、
請求項1ないし請求項12のいずれか一項に記載の半導体装置。

- [請求項14] 第1方向において互いに離間した素子主面および素子裏面を有する半導体素子に、導電性の接続部材を接合する接合方法であって、
前記半導体素子は、前記素子主面側に配置された第1領域を含んでおり、
導電部材を前記素子主面に配置し、前記導電部材を前記第1領域に導通させる第1工程と、
前記接続部材を前記導電部材に重ねて、前記第1方向に見て前記接続部材と前記導電部材とが重なった領域において、前記接続部材と前記導電部材とをレーザ溶接する第2工程と、を有しており、
前記レーザ溶接において、互いに波長の異なる第1のレーザ光および第2のレーザ光を用いる、接合方法。
- [請求項15] 前記第1のレーザ光の波長は、前記第2のレーザ光の波長よりも短い、
請求項14に記載の接合方法。
- [請求項16] 前記第1のレーザ光の出力は、前記第2のレーザ光の出力よりも大きい、
請求項14または請求項15に記載の接合方法。
- [請求項17] 前記第1のレーザ光の照射時間は、前記第2のレーザ光の照射時間よりも短い、
請求項14ないし請求項16のいずれか一項に記載の接合方法。
- [請求項18] 前記レーザ溶接において、前記第2のレーザ光を、前記第1のレーザ光よりも、遅れて照射する、
請求項14ないし請求項17のいずれか一項に記載の接合方法。
- [請求項19] 前記レーザ溶接において、前記第1のレーザ光が照射されている時に、前記第2のレーザ光の照射を開始する、
請求項18に記載の接合方法。

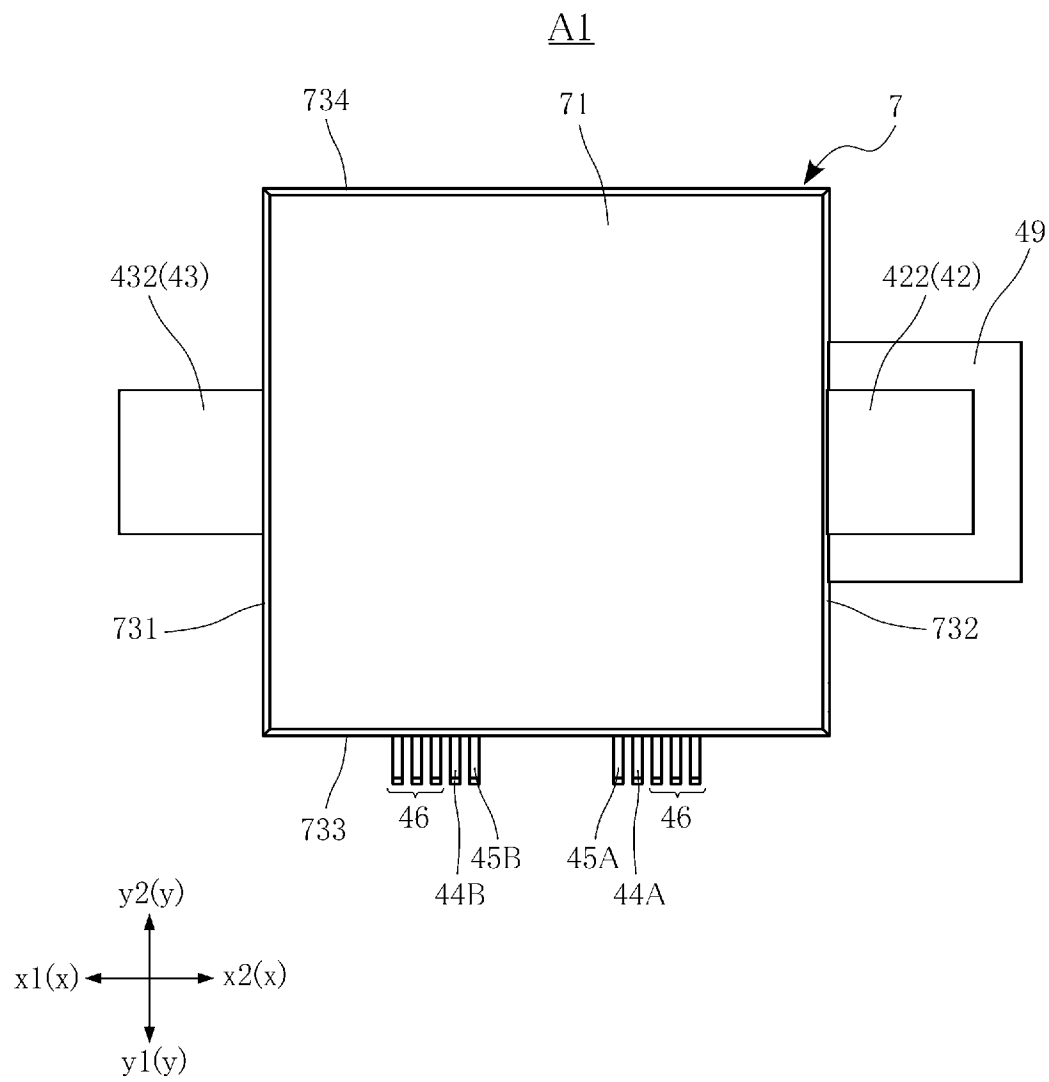
[図1]
FIG.1



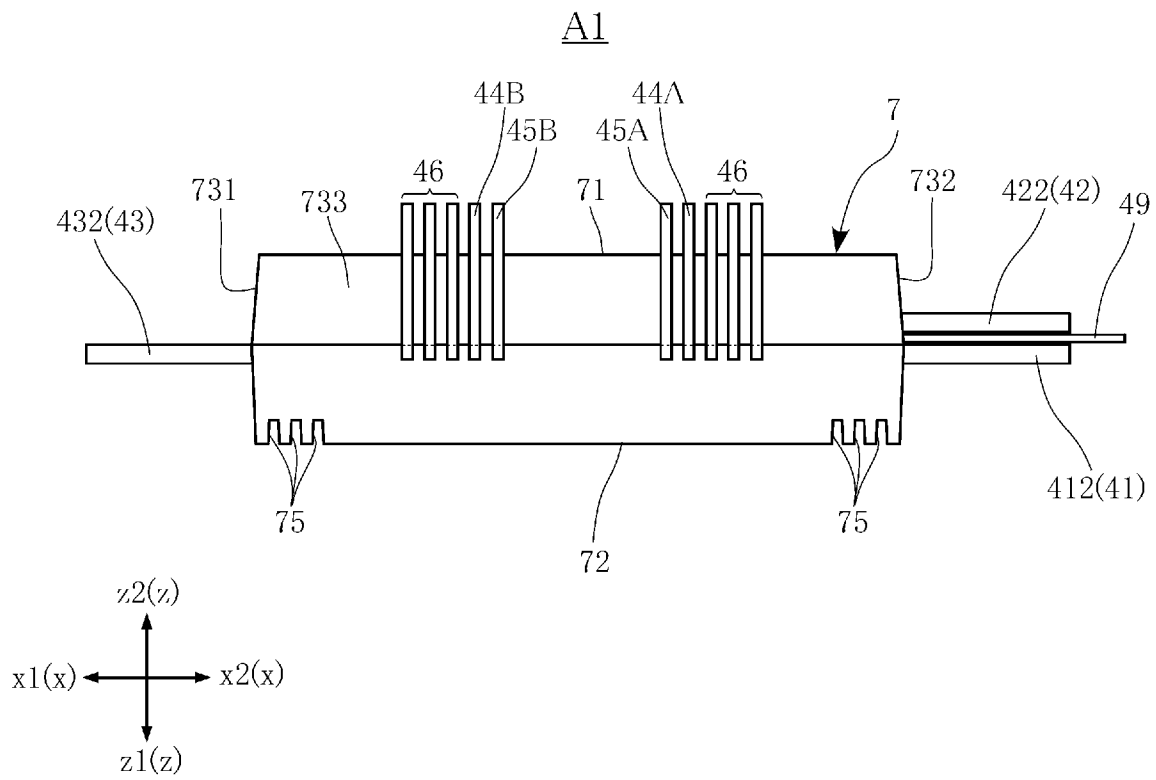
[図2]
FIG.2



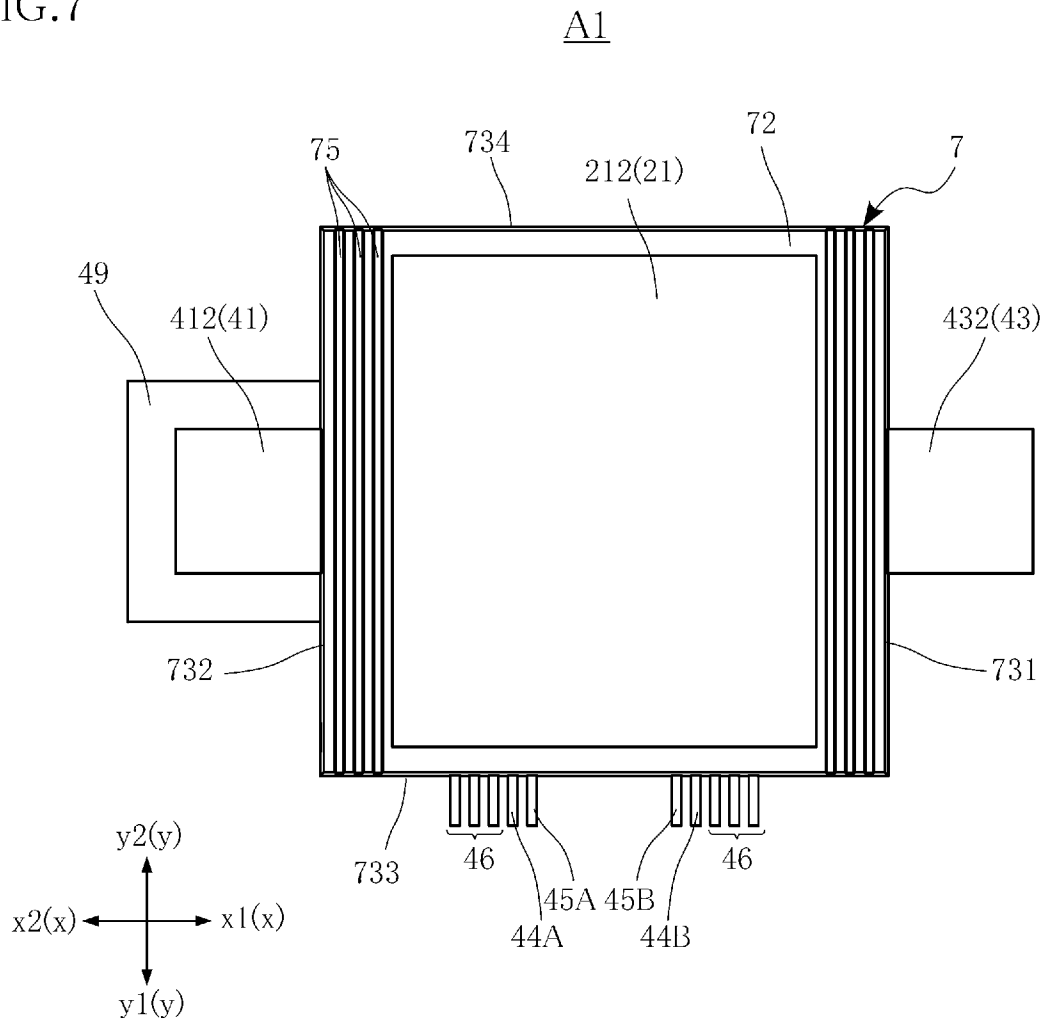
[図3]
FIG.3



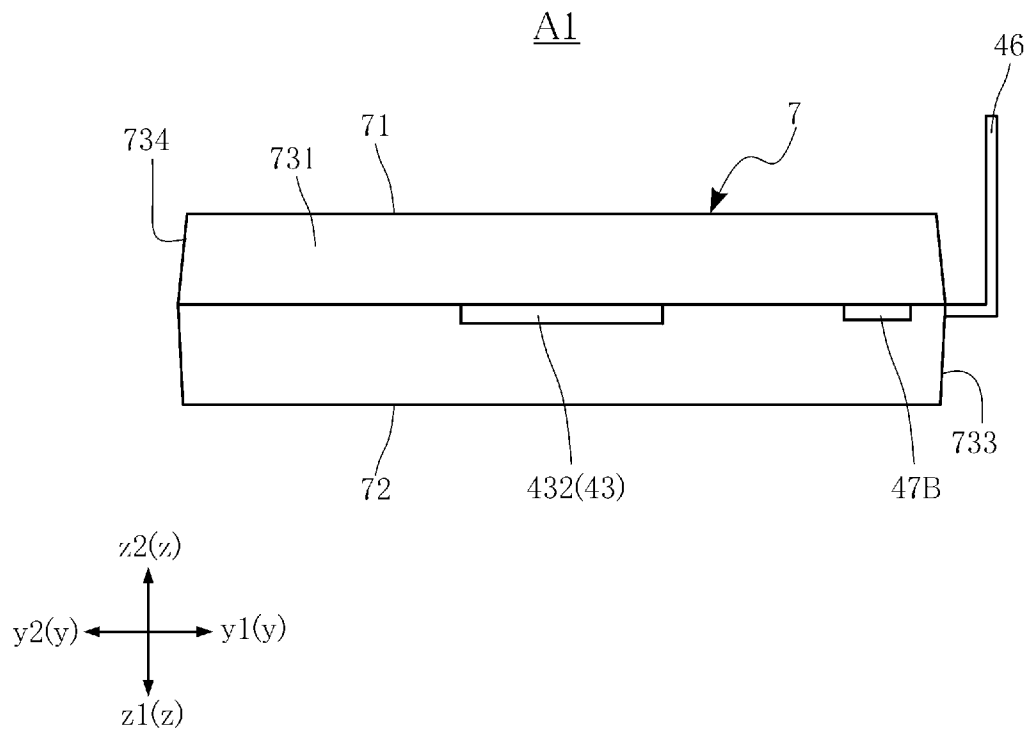
【図6】
FIG.6



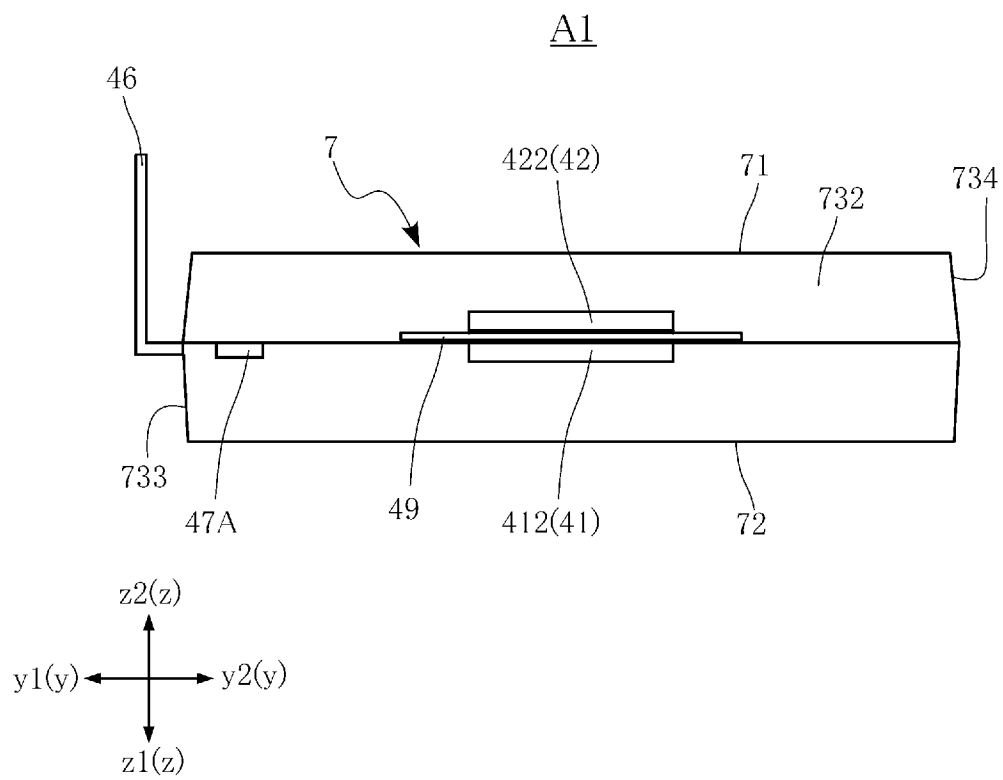
【図7】
FIG.7



【図8】
FIG.8

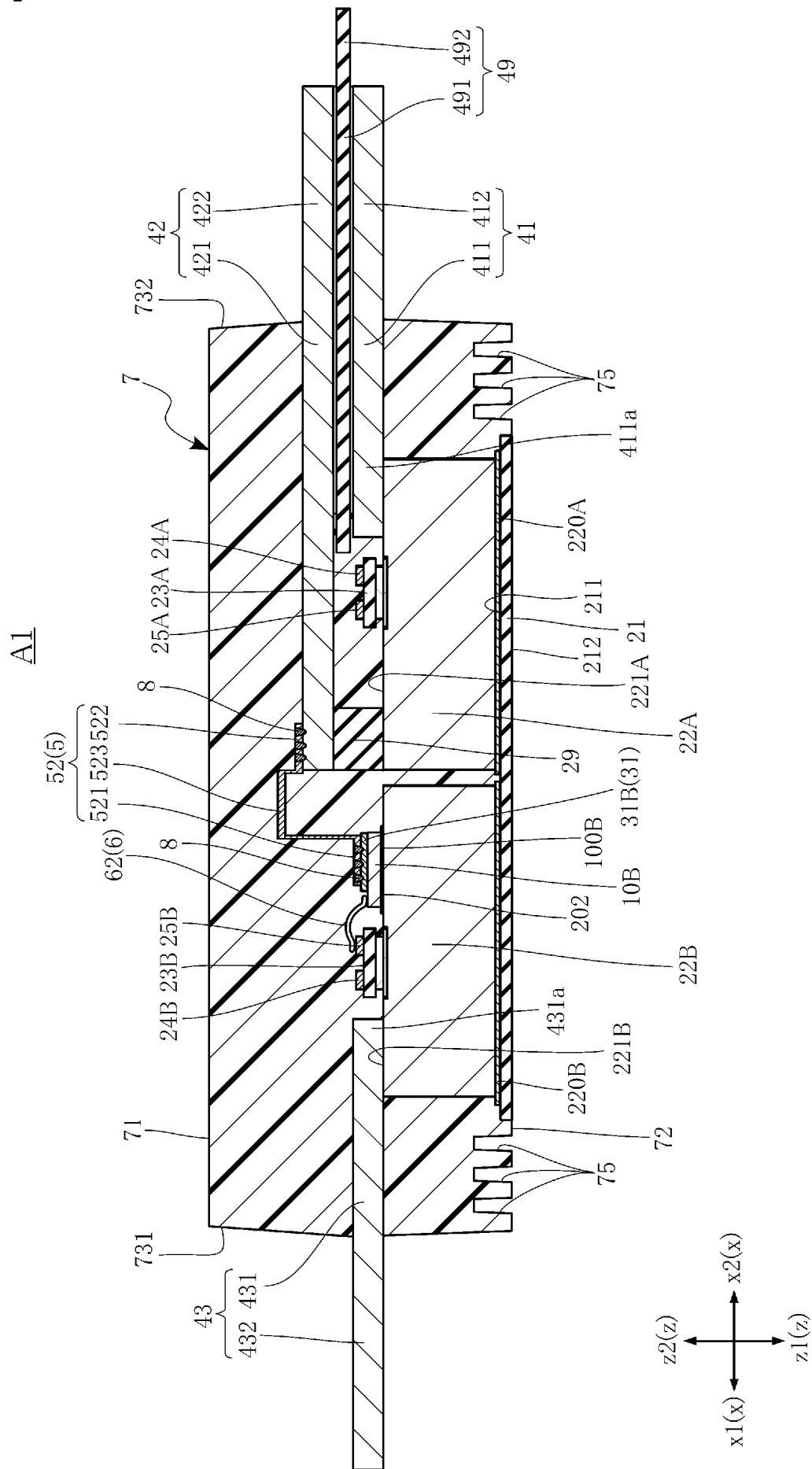


【図9】
FIG.9



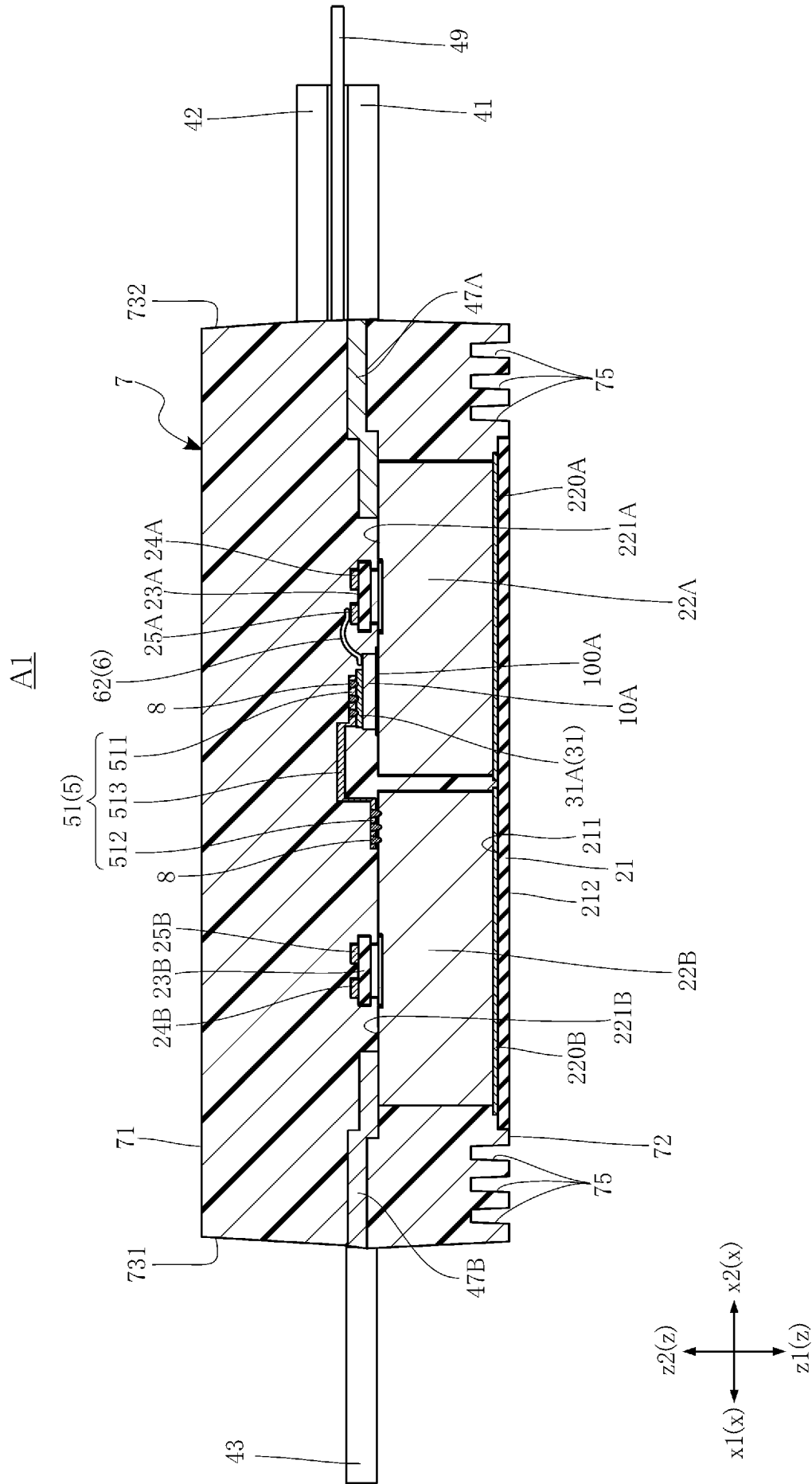
[図10]

FIG.10

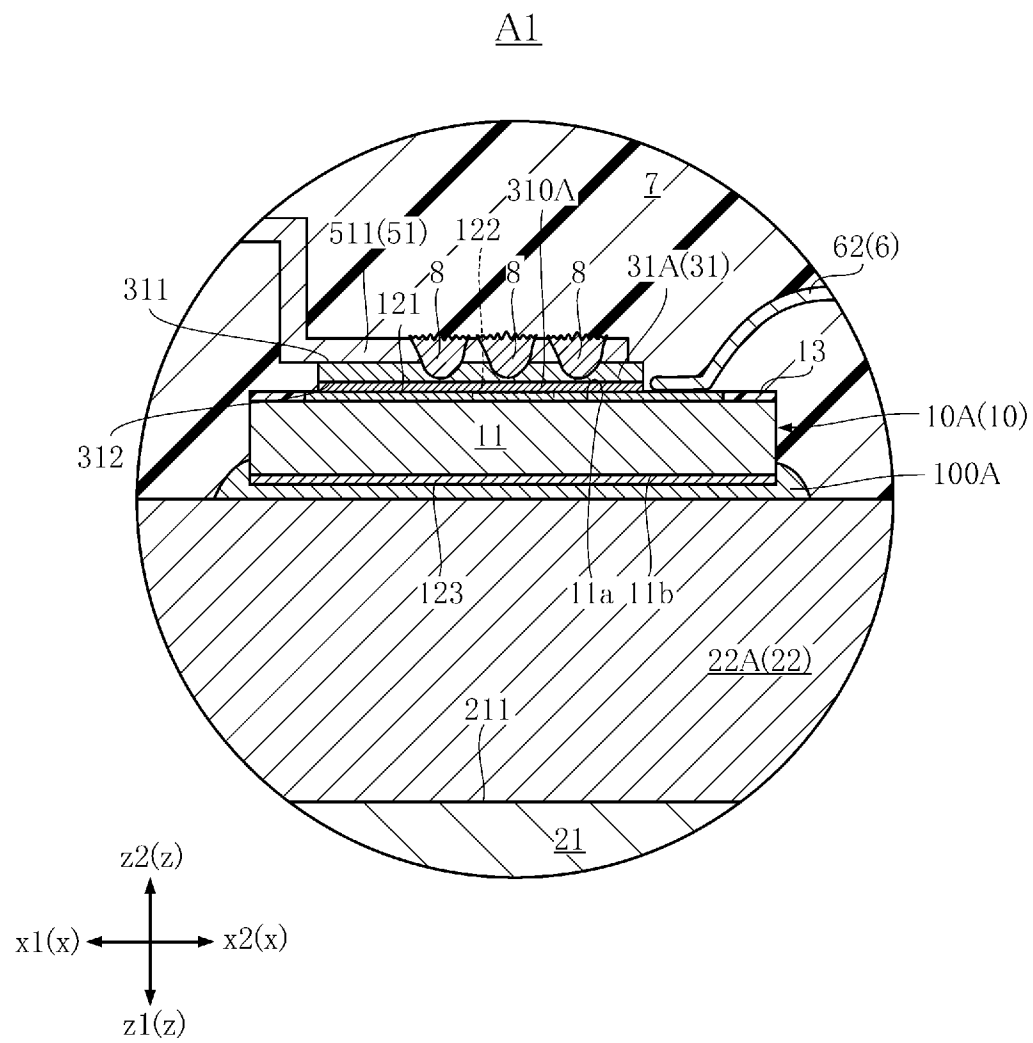


[図11]

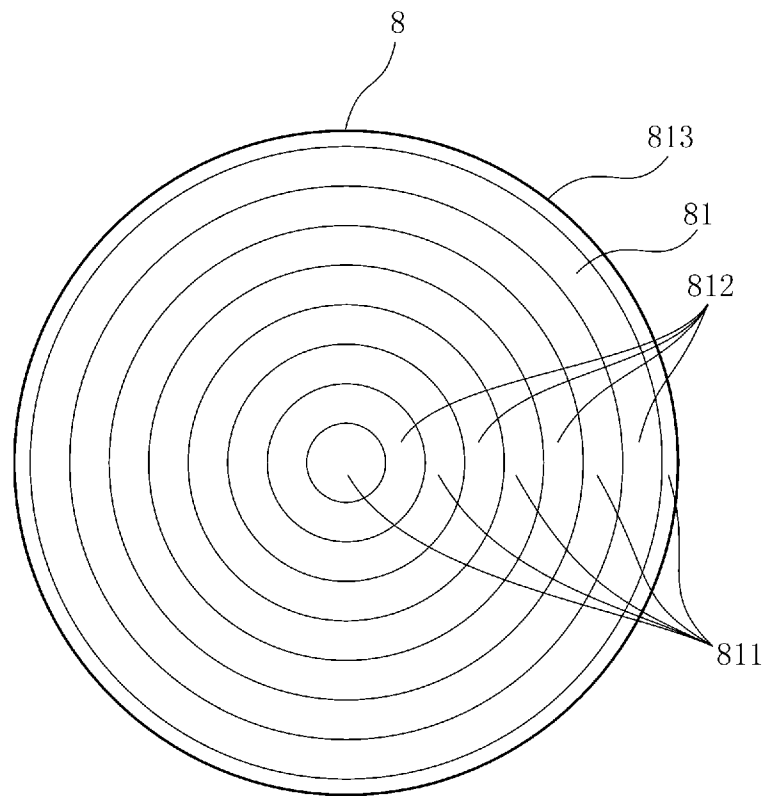
FIG.11



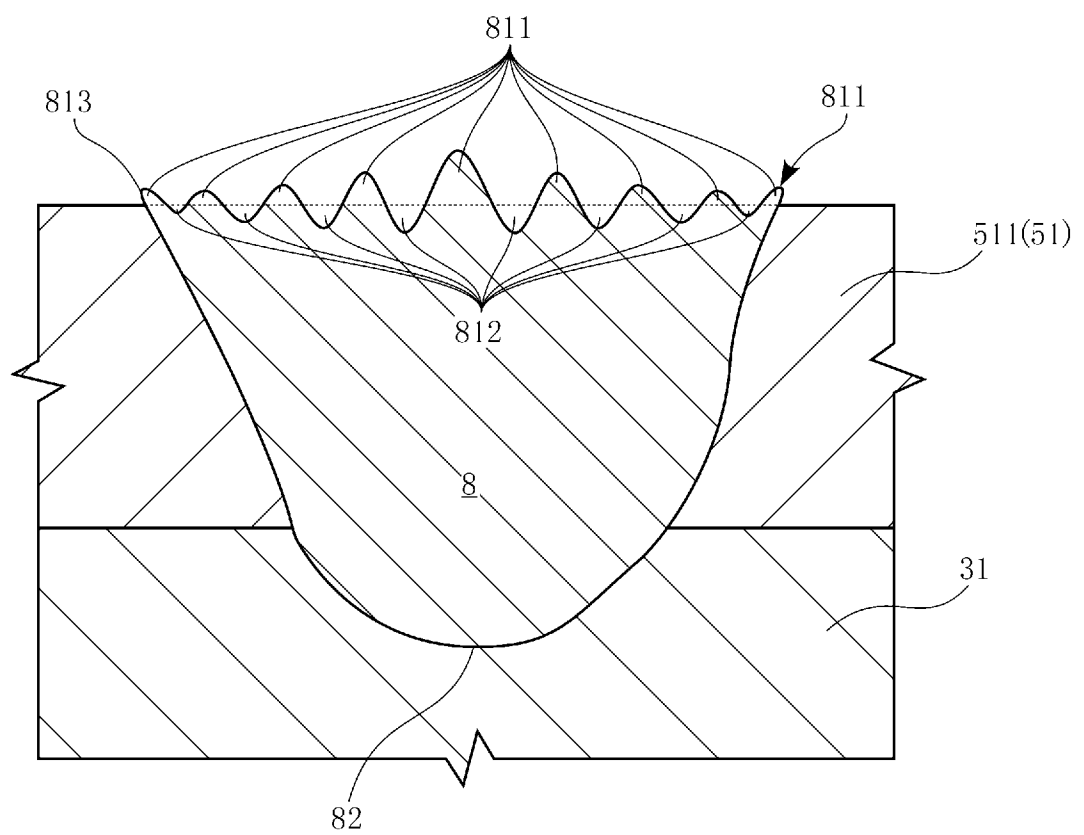
[図12]
FIG.12



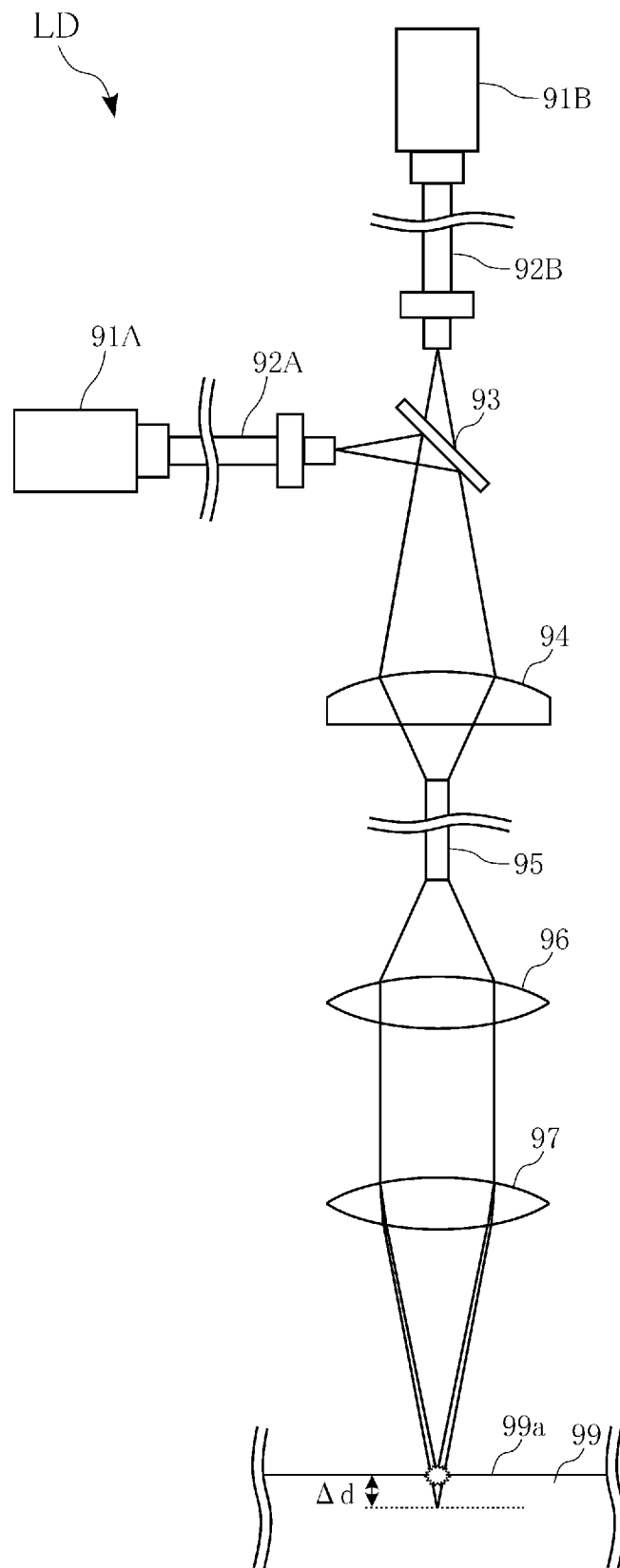
[図13]
FIG.13



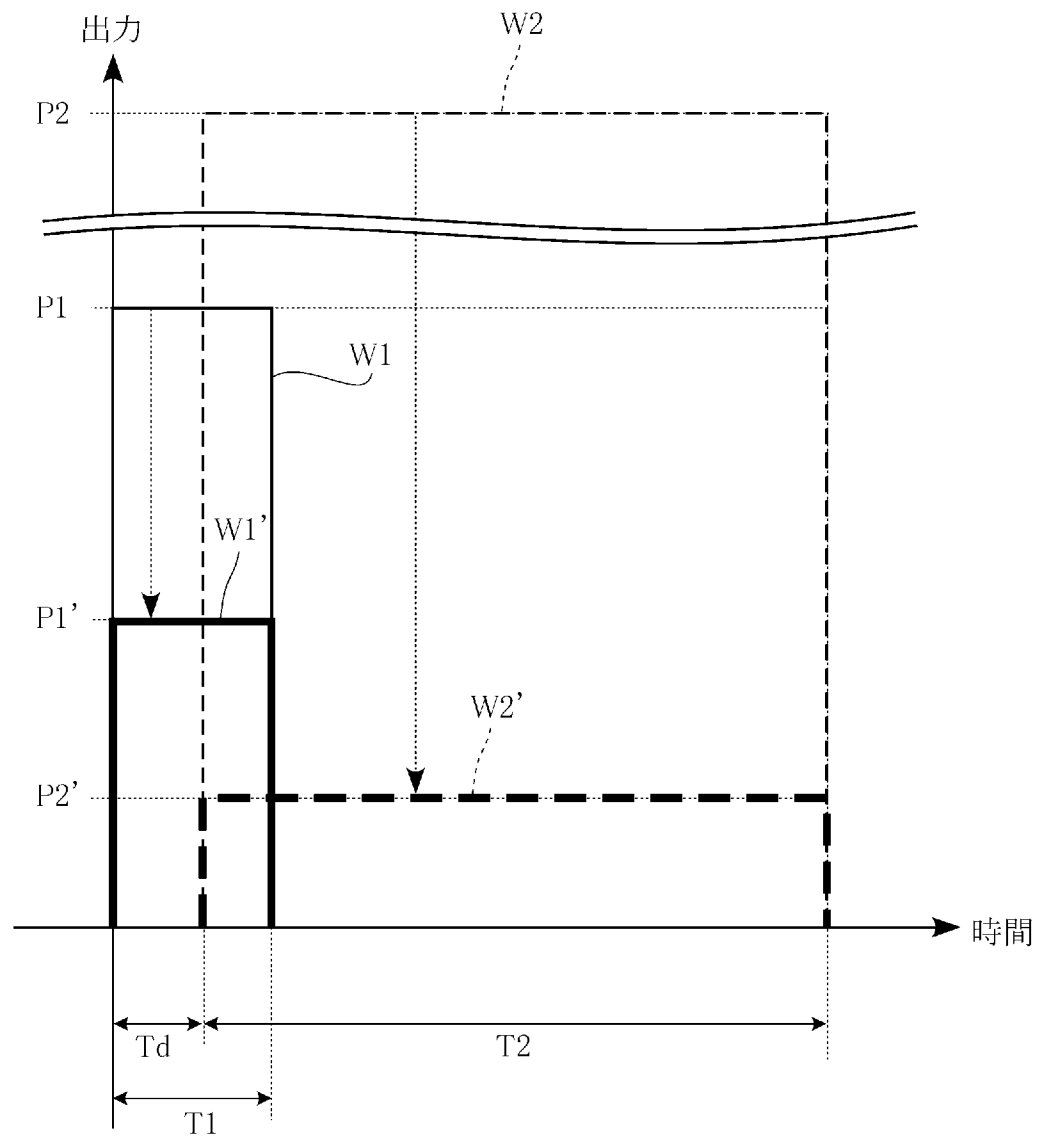
[図14]
FIG.14



[図15]
FIG.15

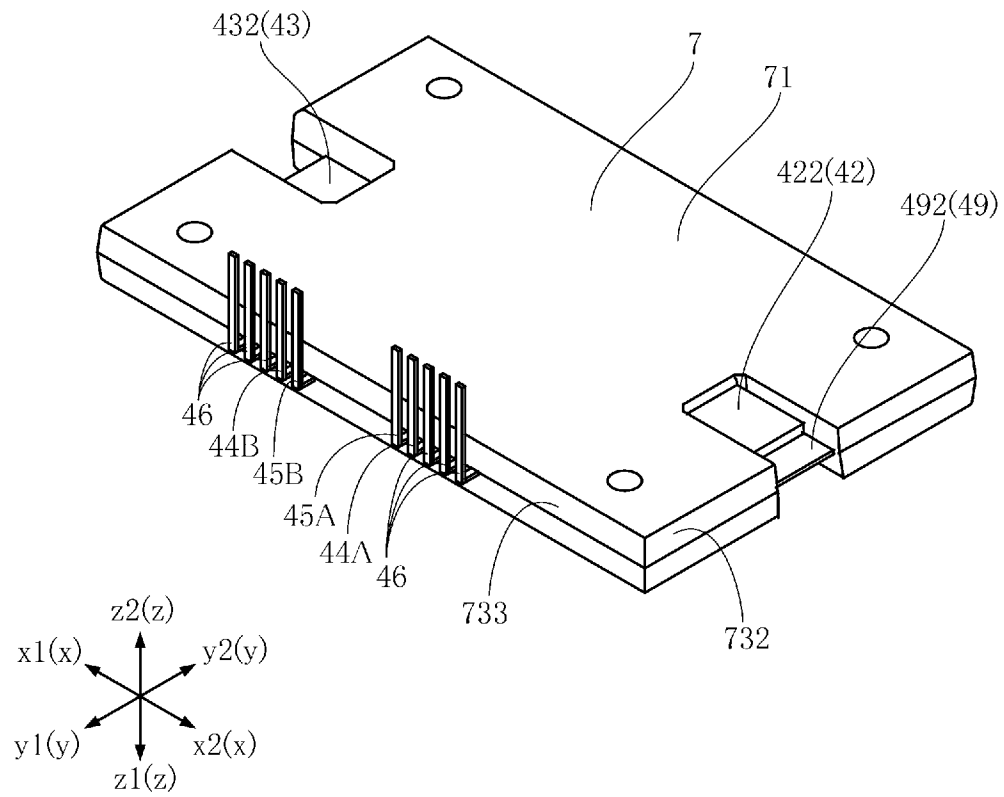


[図16]
FIG.16



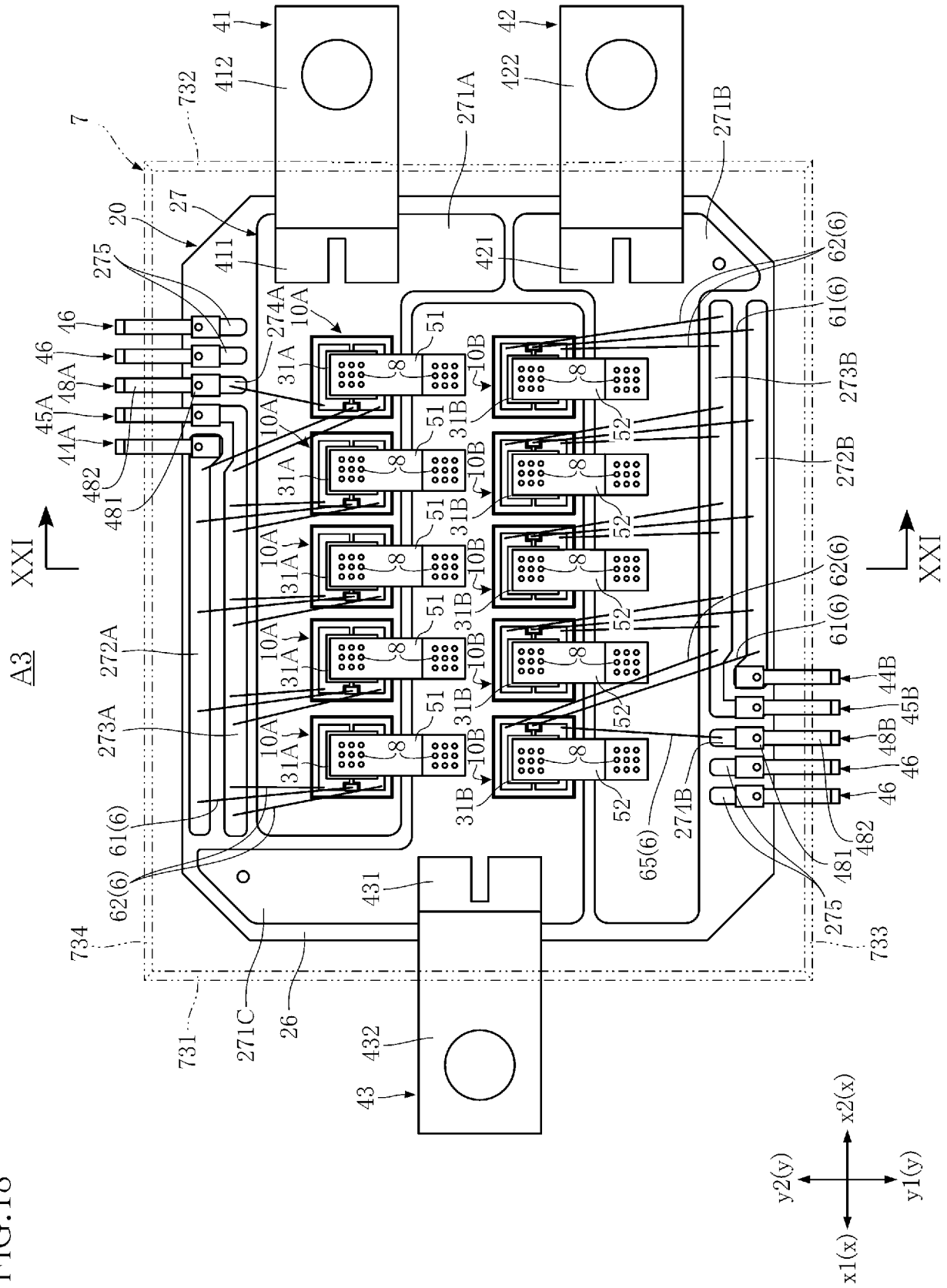
[図17]
FIG.17

A2

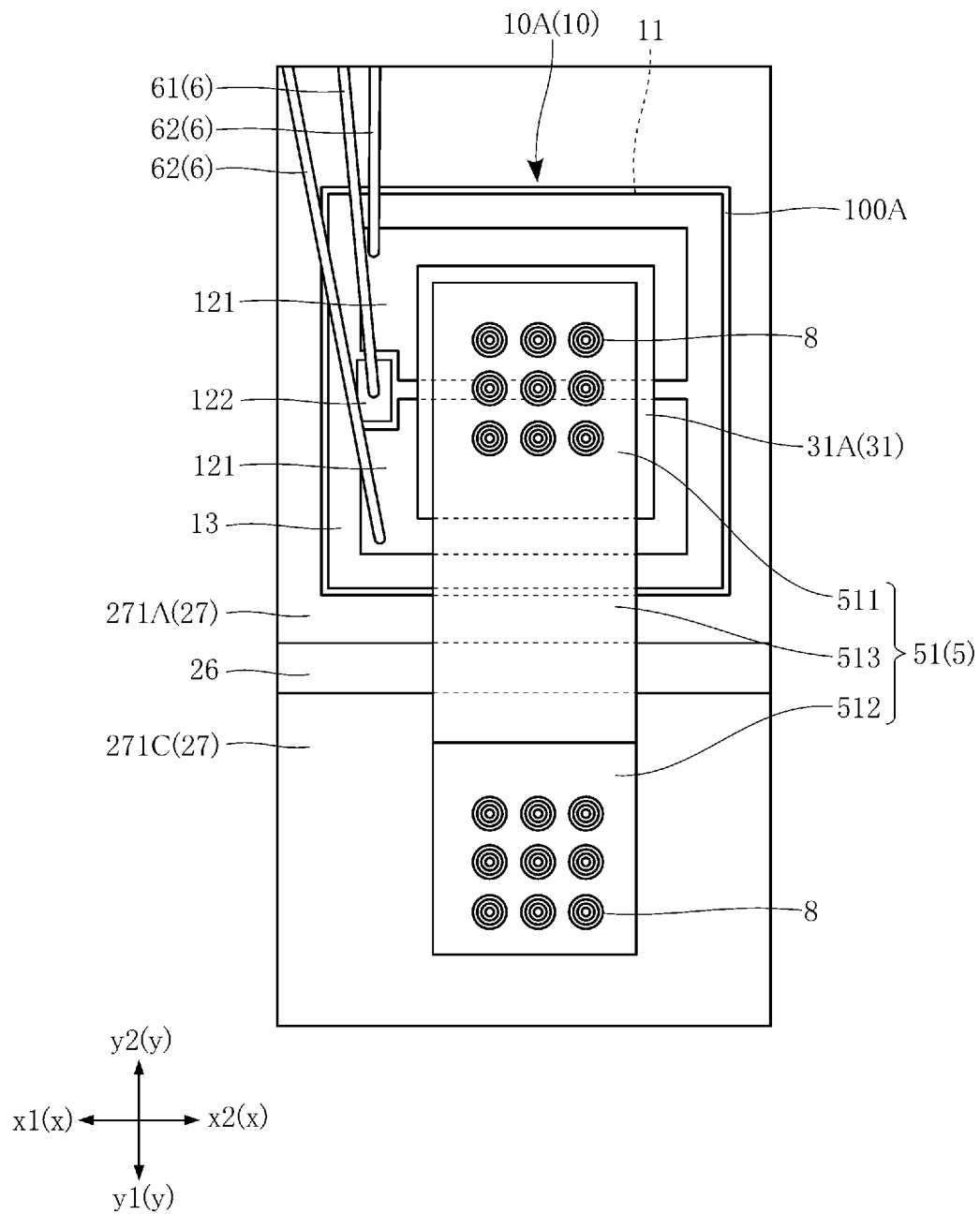


[FIG. 18]

FIG. 18

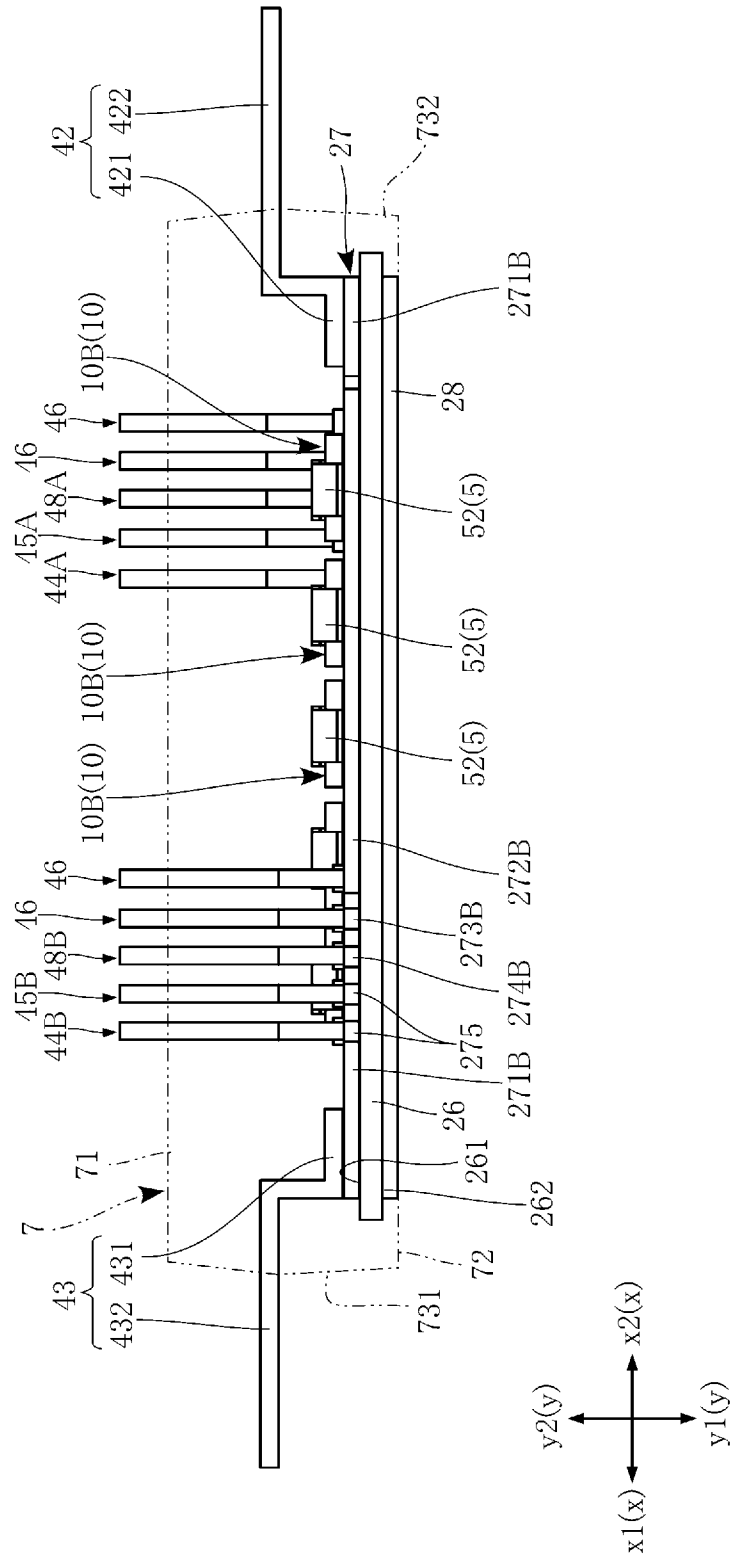


[図19]
FIG.19

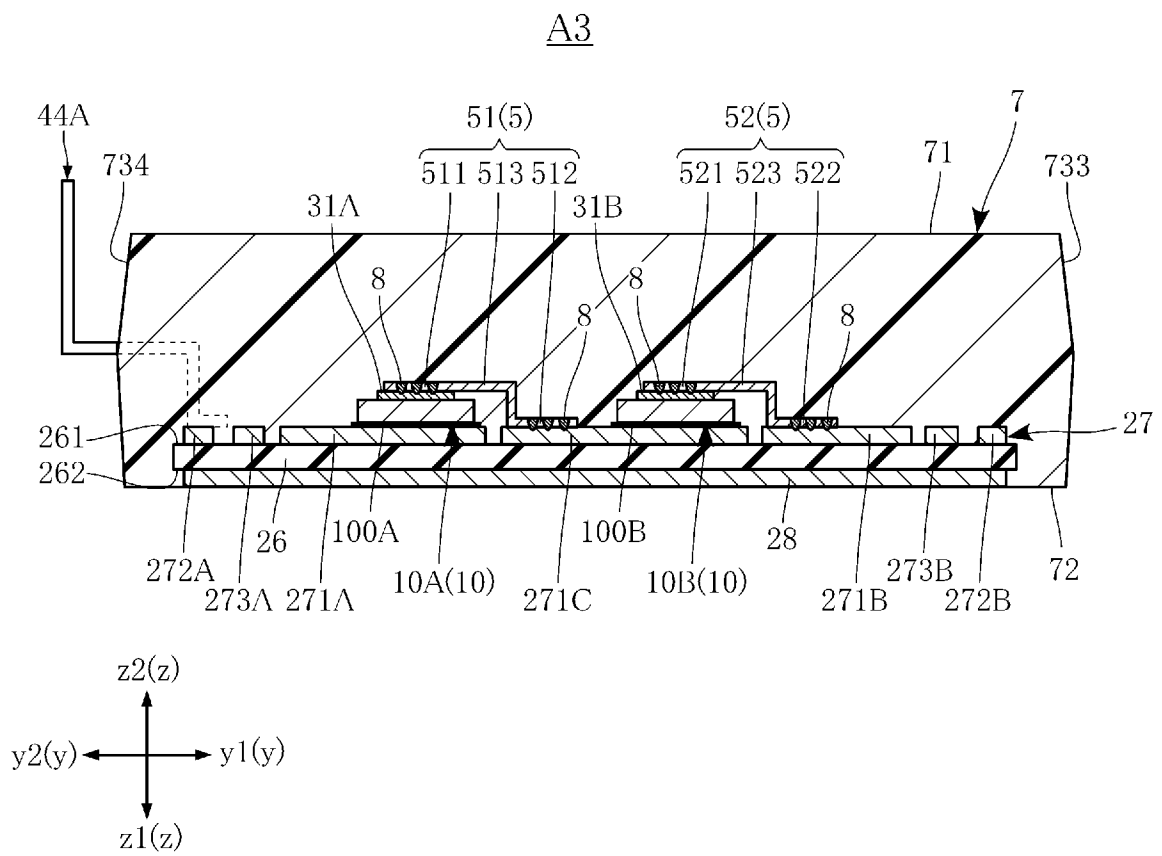


[図20]

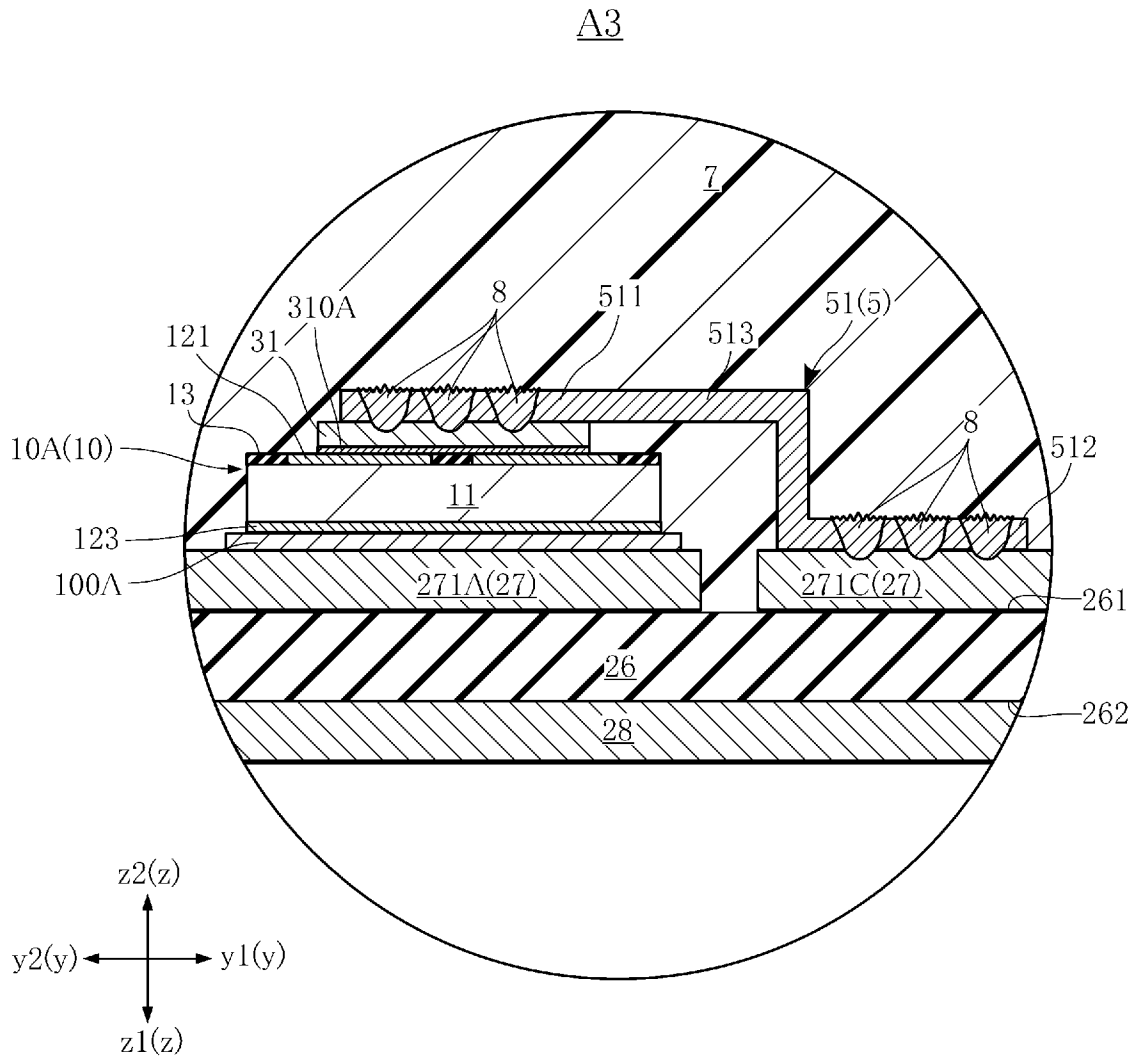
FIG. 20



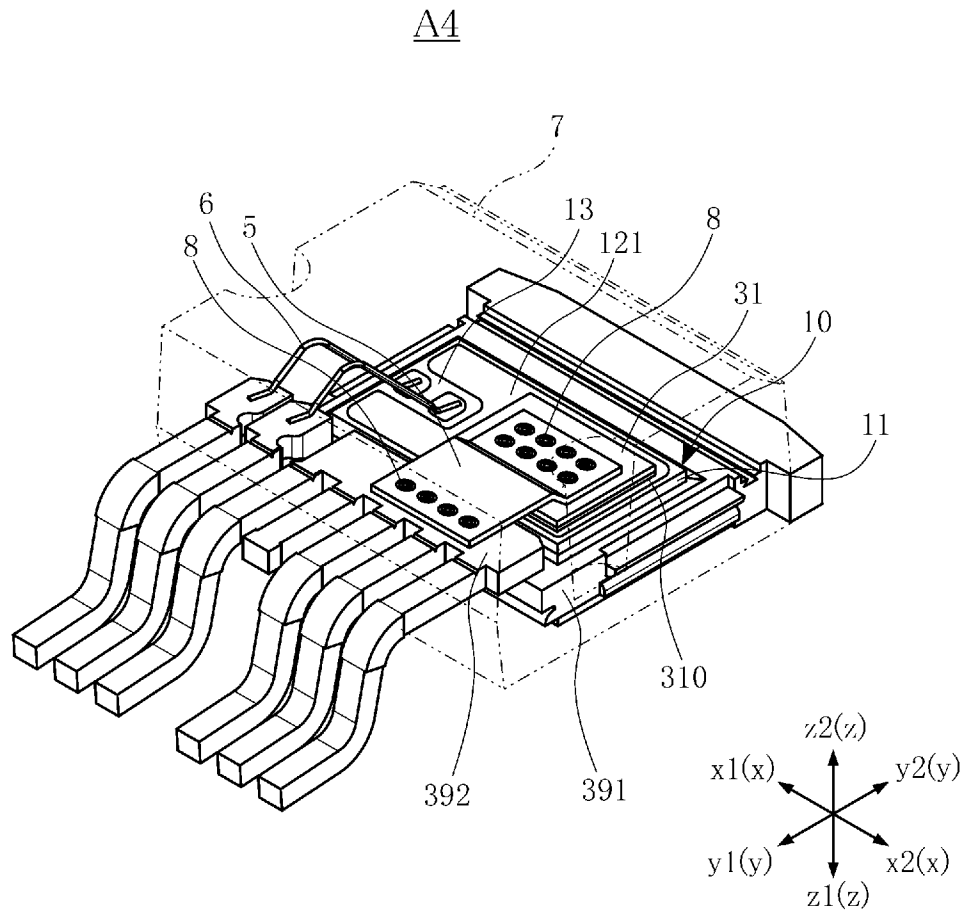
[図21]
FIG.21



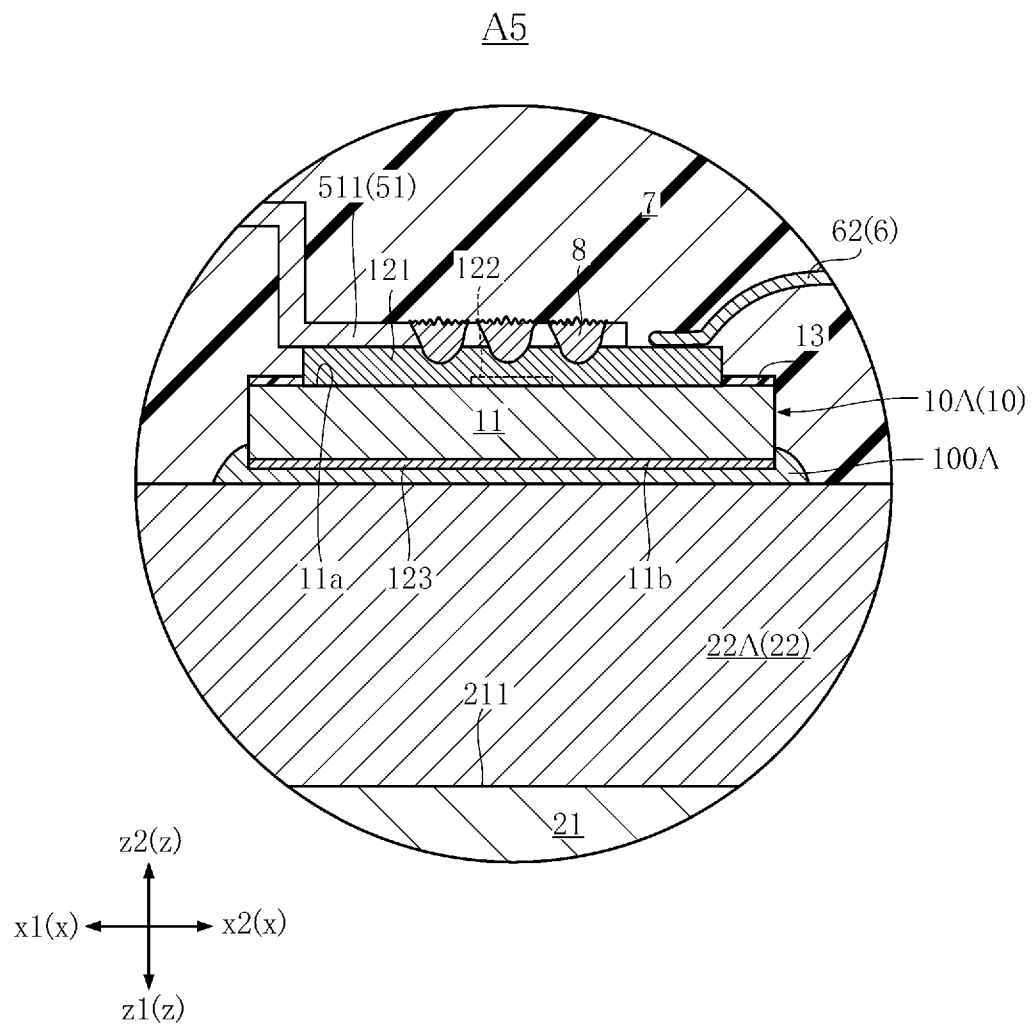
[図22]
FIG.22



[図23]
FIG.23



[図24]
FIG.24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005079

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L23/48(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, B23K26/21(2014.01)i, H01L21/60(2006.01)i

FI: H01L23/4S, B23K26/21N, B23K26/21G, H01L25/04C, H01L23/48G, H01L21/60321E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L23/48, H01L25/07, H01L25/18, B23K26/21, H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-212977 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 18.09.2008 (2008-09-18), paragraphs [0028]-[0041], fig. 2	1-2, 4-5, 8, 10-12
Y		3, 6-19
Y	JP 2009-105266 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 14.05.2009 (2009-05-14), paragraphs [0015]-[0020], fig. 1	3, 6-13
Y	JP 2015-149326 A (ROHM CO., LTD.) 20.08.2015 (2015-08-20), paragraph [0178]	6-13
Y	JP 2008-305902 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 18.12.2008 (2008-12-18), paragraphs [0033]-[0057], fig. 1-5	9-13

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	---

Date of the actual completion of the international search
14.04.2020

Date of mailing of the international search report
21.04.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005079

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-316282 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 29.10.2002 (2002-10-29), paragraphs [0002]-[0044]	14-19
A	JP 2009-105267 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 14.05.2009 (2009-05-14)	1-19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/005079

JP 2008-212977 A	18.09.2008	(Family: none)
JP 2009-105266 A	14.05.2009	(Family: none)
JP 2015-149326 A	20.08.2015	US 2016/0343590 A1 paragraph [0221]
JP 2008-305902 A	18.12.2008	(Family: none)
JP 2002-316282 A	29.10.2002	(Family: none)
JP 2009-105267 A	14.05.2009	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; B23K 26/21(2014.01)i; H01L 21/60(2006.01)i FI: H01L23/48 S; B23K26/21 N; B23K26/21 G; H01L25/04 C; H01L23/48 G; H01L21/60 321E		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/48; H01L25/07; H01L25/18; B23K26/21; H01L21/60		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-212977 A（富士電機デバイステクノロジー株式会社）18.09.2008（2008 - 09 - 18） [0028]-[0041], [図2]	1-2, 4-5, 8, 10-12
Y		3, 6-19
Y	JP 2009-105266 A（富士電機デバイステクノロジー株式会社）14.05.2009（2009 - 05 - 14） [0015]-[0020], [図1]	3, 6-13
Y	JP 2015-149326 A（ローム株式会社）20.08.2015（2015 - 08 - 20） [0178]	6-13
Y	JP 2008-305902 A（富士電機デバイステクノロジー株式会社）18.12.2008（2008 - 12 - 18） [0033]-[0057], [図1]-[図5]	9-13
Y	JP 2002-316282 A（松下電器産業株式会社）29.10.2002（2002 - 10 - 29） [0002]-[0044]	14-19
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.04.2020		国際調査報告の発送日 21.04.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 河合 俊英 5F 3238 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/005079

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-212977	A	18.09.2008	(ファミリーなし)	
JP	2009-105266	A	14.05.2009	(ファミリーなし)	
JP	2015-149326	A	20.08.2015	US 2016/0343590 A1	
				[0221]	
JP	2008-305902	A	18.12.2008	(ファミリーなし)	
JP	2002-316282	A	29.10.2002	(ファミリーなし)	
JP	2009-105267	A	14.05.2009	(ファミリーなし)	