

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96104207

※ 申請日期：96.2.6

※IPC 分類：G06F 1/4 (2006.01)

G06F 13/40 (2006.01)

一、發明名稱：(中文/英文)

電路裝置之動態時序調整

DYNAMIC TIMING ADJUSTMENT IN A CIRCUIT DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 艾尼斯 M 傑拉
JARRAR, ANIS M.
2. 柯林 麥當勞
MACDONALD, COLIN

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 英國 U.K.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年03月08日；11/371,142

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種方法，其包括確定一表示一電路裝置在第一時間之操作速度之第一操作特性(502)。該方法進一步包括在該電路裝置之第一鎖存器之輸入端接收一輸入信號(504)及在該電路裝置之第二鎖存器之輸入端接收一輸出信號(506)。該方法額外包括使一時脈信號延遲第一延遲以提供第一經調整時脈信號(508)及使該時脈信號延遲第二延遲以提供第二經調整時脈信號(510)。在一實施例中，該第一延遲及該第二延遲係基於該第一操作特性(508、510)。該方法進一步包括回應於該第一經調整時脈信號而將輸入信號鎖存於第一鎖存器處(512)及回應於該第二經調整時脈信號而將輸出信號鎖存於第二鎖存器處(514)。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本揭示案大體係關於電路裝置，且更具體言之係關於控制電路裝置之時序關係。

【先前技術】

積體電路裝置之製造過程之變化以及積體電路裝置在操作期間之溫度及電壓(總稱為過程電壓溫度或PVT)之變化通常導致積體電路裝置之邏輯之操作速度的顯著變化。當操作速度改變時，各種邏輯組件之設置時間及保持時間改變，藉此通常要求與積體電路裝置形成介面之其他裝置朝向設置時間及保持時間之最差情形而設計。由於此等時序限制，系統設計者通常被迫建構較為昂貴、複雜且較快之介面裝置。因此，控制積體電路裝置之時序以補償PVT變化之改良技術將係有利的。

【發明內容】

根據本揭示案之一態樣，一方法包括確定一表示一電路裝置之操作速度之操作特性。該方法進一步包括基於該操作特性調整控制該電路裝置之第一邏輯的時序之第一時脈信號之潛時。該方法進一步包括基於該操作特性調整控制該電路裝置之第二邏輯的時序之第二時脈信號之潛時，其中該第二邏輯不同於該第一邏輯。

根據本揭示案之另一態樣，一方法包括確定一表示一電路裝置在第一時間之操作速度之第一操作特性。該方法進一步包括在該電路裝置之第一鎖存器之輸入端接收一輸入

信號及在該電路裝置之第二鎖存器之輸入端接收一輸出信號。該方法額外包括使一時脈信號延遲第一延遲以提供第一經調整時脈信號及使該時脈信號延遲第二延遲以提供第二經調整時脈信號。在一實施例中，該第一延遲及該第二延遲係基於第一操作特性。該方法進一步包括回應於第一經調整時脈信號而將輸入信號鎖存於該第一鎖存器處及回應於第二經調整時脈信號而將輸出信號鎖存於該第二鎖存器處。

根據本揭示案又一態樣，一電路裝置包括具有一用以接收第一信號之輸入端及一輸出端之第一邏輯，及一具有一用以接收第二信號之輸入端及一輸出端之第二邏輯。該電路進一步包括：一第一鎖存器，其具有一可操作地耦接至該第一邏輯的輸出端之輸入端、一用以接收第一時脈信號之時脈輸入端及一回應於該第一時脈信號而提供第一鎖存信號之輸出端；一第二鎖存器，其具有一可操作地耦接至該第二邏輯之輸出端之輸入端、一用以接收第二時脈信號之時脈輸入端及一回應於該第二時脈信號而提供第二鎖存信號之輸出端。該電路亦包括一第一可程式延遲單元，該第一可程式延遲單元具有一用以接收第三時脈信號之輸入端、具有不同延遲之複數個延遲路徑、一用以接收一指示該複數個延遲路徑中之所選延遲路徑之信號的選擇輸入端，及一經由該所選延遲路徑選擇性地耦接至該輸入端之輸出端。該第一可程式延遲單元之輸出端提供第一時脈信號。該電路裝置進一步包括一第二可程式延遲單元，該第

二可程式延遲單元具有一用以接收第三時脈信號之輸入端、具有不同延遲之複數個延遲路徑、一用以接收一指示該複數個延遲路徑中之所選延遲路徑之信號的選擇輸入端，及一經由該所選延遲路徑選擇性地耦接至該輸入端之輸出端。該第二可程式延遲單元之輸出端提供第二時脈信號。該電路裝置額外包括一操作速度監控器，該操作速度監控器具有一耦接至該第一可程式延遲單元之選擇輸入端的第一輸出端及一耦接至該可程式延遲單元之選擇輸入端的第二輸出端。該操作速度監控器用於基於一表示第一邏輯及第二邏輯之操作速度的操作特性表示而經由該第一輸出端提供第一值且經由該第二輸出端提供第二值。

【實施方式】

圖1至圖5說明用於動態調整一積體電路裝置之邏輯組件之間的信號時序關係以補償操作速度之變化的例示性技術。在至少一實施例中，一操作速度監控器用以基於(例如)製造過程、溫度及電壓(亦即，過程電壓溫度或PVT)之變化而確定輸入及輸出邏輯之操作速度的改變。基於一經識別之操作速度(或其改變)，用於控制第一邏輯(例如，輸入邏輯)之時序及用於控制第二邏輯(例如，輸出邏輯)之時序彼此調整且相對於固定輸入或輸出參考時脈而得以調整。此調整經執行以補償操作速度自一經識別之典型或平均操作速度之偏差，或補償自先前量測的操作速度(諸如，自緊接於前的監控週期所量測之操作速度)之偏差。在至少一實施例中，用於輸入邏輯及輸出邏輯之時序藉由

調整用於控制輸入鎖存器(亦稱為擷取鎖存器)及輸出鎖存器(亦稱為發射鎖存器)之時脈信號的有效時脈潛時而得以調整。

為方便論述，將本文中所揭示之在積體電路裝置處之動態時序調整技術在用於將中央處理單元(CPU)耦接至外部記憶體(諸如，隨機存取記憶體(RAM))之外部匯流排介面(EBI)之背景下加以描述。然而，使用本文中提供之準則，熟習此項技術者可在不偏離本揭示案之範疇之情況下將所揭示之技術實施於其他積體電路裝置中。例如，可使用替代實施例來控制至條件邏輯電路之輸入的閘控。在另一實例中，本文中描述之技術可替代性地用於調整電路之時序(例如，藉由降低時脈速率)。此外，本揭示案之技術可用於減少積體電路之電力消耗(例如，藉由降低時脈速率而仍允許滿足某些時脈規格)。可實施所揭示技術之例示性積體電路裝置包括單晶片系統(SOC)、特殊應用積體電路(ASIC)等等。

參看圖1，根據本揭示案之至少一實施例說明實施動態信號時序調整之例示性處理系統100。在所述實例中，處理系統100包括一微控制器，該微控制器具有一經由一外部匯流排介面(EBI)106耦接至一匯流排104之CPU 102。可由CPU 102經由EBI 106存取之複數個組件亦耦接至匯流排104，該複數個組件包括周邊裝置108、周邊裝置110及記憶體112。在操作中，CPU 102將匯流排請求經由EBI 106提交至周邊裝置108及110以及記憶體112。相反地，來自

周邊裝置 108 及 110 以及記憶體 112 之資料及其他信號經由 EBI 106 傳達至 CPU 102。因此，CPU 102 與 EBI 106 之間的信號可包括資料信號 122、位址信號 124 及控制信號 126。時脈信號通常經由鎖相環路(PLL)產生且分派至 CPU 102 及 EBI 106。EBI 106 與匯流排 104 之間的信號可包括資料信號 132、位址信號 134、控制信號 136 及時脈信號 137。

如所說明的，EBI 106 包括用以處理輸入信號之輸入邏輯 142 及用以處理用於輸出之資料的輸出邏輯 146。為控制時序，時脈信號 147 分派至輸入邏輯 142 且時脈信號 148 分派至輸出邏輯 146。在至少一實施例中，時脈信號 147 及 148 包括不同時脈信號 130 之延遲表示。例如，時脈信號 147 及 148 可表示時脈信號 130 之鎖相環路(PLL)同步化表示。此外，時脈信號 147 及 148 可表示時脈信號 130 之乘頻或分頻版本。

歸因於其邏輯組件的物理特性，輸入邏輯 142 及輸出邏輯 146 之操作速度通常回應於 EBI 106 之溫度改變及 EBI 106 處之電壓改變而變化。此外，製造過程的變化可引起 EBI 106 在相同操作電壓及溫度下偏離製造者所期望的或典型的操作速度。同樣，操作溫度或電壓的改變亦可引起 EBI 106 偏離典型的操作速度。因此，在至少一實施例中，提供至輸入邏輯 142 之時脈信號 147 及提供至輸出邏輯 146 之時脈信號 148 各經動態調整以補償操作速度自預定操作速度之偏差。在一實施例中，藉由將潛時引入提供至輸入邏輯 142 及輸出邏輯 146 之時脈信號 147 及 148 之不同表示

以改變其有效頻率來調整時脈信號。對時脈信號之此等調整導致輸入邏輯142及輸出邏輯146之設置時間及保持時間的改變，使得輸入邏輯142之潛時補償輸出邏輯146之潛時，及使得輸出邏輯146之潛時補償輸入邏輯142之潛時。

參看圖2，更詳細地說明根據本揭示案之至少一實施例之圖1之EBI 106。為易於說明，將EBI 106在單一資料輸入端及單一資料輸出端之背景下加以說明。然而，應瞭解，可以相同方式建構多個資料或控制輸入端及輸出端。在所述實例中，EBI 106包括輸入邏輯142、EBI電路201、輸出邏輯146、一資料信號輸入端202(例如，一晶粒座或一封裝引腳)、一資料信號輸出端204、一時脈信號輸入端206、一時脈信號輸出端207、一鎖相環路(PLL)208、可程式延遲單元210及212，及一操作速度監控器214。輸入邏輯142包括輸入信號處理/格式化邏輯216及一擷取鎖存器218。輸出邏輯146包括一發射鎖存器220及輸出信號處理/格式化邏輯222。

輸入邏輯142之輸入信號處理/格式化邏輯216包括一連接至資料信號輸入端202之輸入端及一提供一經處理輸入信號224之輸出端，經處理輸入信號224包括經由資料信號輸入端202接收之資料信號203的經格式化或以其他方式經處理的表示。擷取鎖存器218包括一用以接收該經處理輸入信號224之資料輸入端，一用以接收時脈信號225之鎖存器控制輸入端，及一用以回應於時脈信號225而提供經鎖存輸入信號226之鎖存器輸出端。EBI電路201包括一用以

接收經鎖存輸入信號226之輸入端及一用以提供資料信號227之輸出端。輸出邏輯146之發射鎖存器220包括一用以接收資料信號227之資料輸入端、一用以接收時脈信號228之鎖存器控制輸入端及一用以回應於時脈信號228而提供經鎖存輸出信號229之輸出端。輸出信號處理/格式化邏輯222包括一用以接收經鎖存輸出信號229之輸入端及一耦接至資料信號輸出端204以提供經處理輸出資料信號230之輸出端。

PLL 208包括一耦接至時脈信號輸入端206之輸入端及一提供時脈信號252之輸出端，時脈信號252與經由時脈信號輸入端206在PLL 208之輸入端處所接收的時脈信號251同步化。可程式單元210包括延遲路徑231、232、233及234(延遲路徑231至234)，每一延遲路徑具有一用以接收時脈信號252之輸入端及一提供時脈信號252之延遲表示之輸出端。延遲路徑231至234中之每一者將不同量之潛時引入時脈信號252中。可程式單元210進一步包括一多工器236，多工器236具有複數個輸入端，每一輸入端耦接至延遲路徑231至234中之相應路徑之輸出端，一用以接收多工控制信號238之多工選擇輸入端，及一用以提供時脈信號225之輸出端，其中該時脈信號225係選自由延遲路徑231至234基於多工控制信號238而提供之延遲時脈信號。類似地，可程式單元212包括延遲路徑241、242、243及244(延遲路徑241至244)，每一延遲路徑具有一用以接收時脈信號252至之輸入端及一用以提供時脈信號252之延遲表示之

輸出端。與延遲路徑231至234類似，延遲路徑241至244中之每一者將不同量之潛時引入時脈信號252。在至少一實施例中，延遲路徑241至244中之每一者中之延遲大體等於延遲路徑231至234中相應路徑中之延遲。可程式單元212進一步包括一多工器246，多工器246具有複數個輸入端，每一輸入端耦接至延遲路徑241至244中之相應路徑之輸出端，一用以接收控制多工信號248之多工選擇輸入端，及一用以提供時脈信號228之輸出端，其中該時脈信號228係選自由延遲路徑241至244基於多工控制信號248而提供之延遲時脈信號。

在所說明之實例中，延遲路徑231至234及延遲路徑241至244係建構為串連的不同數目的反相器。然而，熟習此項技術者可在不偏離本揭示案之範疇的情況下利用其他技術來將可變延遲引入時脈信號252。此外，儘管為易於論述而將可程式單元210及212說明為各具有四個延遲路徑，但應瞭解，可適當地利用少於四個或多於四個(例如，64個)之延遲路徑。

操作速度監控器214包括一用以提供多工控制信號238之第一輸出端及一用以提供多工控制信號248之第二輸出端。在至少一實施例中，操作速度監控器214監控EBI 106之至少一操作特性以確定輸入邏輯142及輸出邏輯146之操作速度。基於所確定之操作速度，操作速度控制器214可調整多工控制信號238之值以控制由多工器236選擇哪一延遲時脈信號作為時脈信號225輸出，且藉此動態調整擷取

鎖存器 218 之時序。同樣，操作速度監控器 214 可藉由基於所確定之操作速度調整多工控制信號 248 之值以控制由多工器 246 選擇哪一延遲時脈信號作為時脈信號 228 輸出而動態調整發射鎖存器 220 之時序。

如參看圖 3 更詳細地描述的，操作速度監控器 214 可藉由將由 EBI 106 之時脈產生組件產生的時脈信號與在 EBI 106 處自另一裝置接收之外部時脈信號(例如，時脈信號 251 或 252)之頻率進行比較而確定輸入邏輯 142 及輸出邏輯 146 之相對操作速度。由於時脈產生組件通常在與 EBI 106 之其他組件相同或類似之製造過程下形成，且由於其在與 EBI 106 之其他組件大體相同之溫度及電壓下操作，因此由時脈產生組件產生之時脈信號之頻率通常以與輸入邏輯 142 及輸出邏輯 146 相同之方式而受到 EBI 106 之 PVT 點的影響。因此，由時脈產生組件產生的時脈信號之頻率相對於外部時脈信號之改變可用作輸入邏輯 142 及輸出邏輯 146 之相對操作速度之指示。因此，操作速度監控器 214 可利用內部產生的時脈信號之頻率與外部時脈信號之頻率之比來進行引入時脈信號 225 及時脈信號 228 中之潛時之調整以補償操作速度之變化。為減小或消除由跨晶片裝置變異引入之可變性，可將操作速度監控器 214 置放為緊密地實體鄰近於 EBI 106 之其他組件。

在至少一實施例中，由操作速度監控器 214 對擷取鎖存器 218 之時序的調整及對發射鎖存器 220 之時序的調整係補充性的，以補償所確定之操作速度自預定操作速度(例

如，典型或正常之操作速度)之偏差。例如，當實際操作速度低於典型的操作速度時，操作速度監控器214可控制可程式延遲單元210增加時脈信號225之潛時，以改良輸入邏輯142之設置時間。操作速度監控器214可進一步控制可程式延遲單元212減小時脈信號228之潛時，以改良輸出邏輯146之外部設置時間。相反，當實際操作速度高於典型操作速度時，操作速度監控器214可控制可程式延遲單元210減小時脈信號225之潛時以改良輸入邏輯142之保持時間。操作速度監控器214亦可控制可程式延遲單元212增加時脈信號228之潛時以改良輸出邏輯146之保持時間。在實際操作速度大體等於預定操作速度之情況下，操作速度監控器214可維持時脈信號225及時脈信號228之潛時。

參看圖3，說明根據本揭示案至少一實施例之操作速度監控器214之例示性實施例。在所述實例中，操作速度監控器214包括一環振盪器302、一計數器304、一索引器模組306及一查找表308。

環振盪器302產生且提供PVT時脈信號310。當環振盪器302建構於EBI 106處或建構為緊鄰EBI 106(圖2)時，PVT時脈信號310之頻率視EBI 106操作之PVT點而定。計數器304包括一用以接收由PLL 208(圖2)輸出之時脈信號252之第一輸入端、一用以接收PVT時脈信號310之第二輸入端，及一用以接收重設信號312之第三輸入端。回應於重設信號312之判定，計數器304重設且開始對PVT時脈信號310之時脈循環之數目進行計數，PVT時脈信號310發生於

時脈信號252之預定數目的時脈循環(例如，一百個時脈循環)期間。因此，由計數器304產生的時脈循環計數(時脈比信號314)表示PVT時脈信號310與時脈信號252之頻率之比。

如上文所指出的，PVT時脈信號310之頻率受到EBI 106之PVT點之影響，而時脈信號252之頻率(表示自EBI 106外部之裝置提供之時脈信號251(圖2))大體無關於EBI 106之PVT點。因此，由時脈循環計數表示之時脈比之改變可表示EBI 106歸因於EBI 106之PVT點之改變之PVT的相對改變。例如，假定時脈信號252之頻率為100兆赫(100 MHz)，而PVT時脈信號310之頻率在EBI 106在典型PVT點操作時為1千兆赫(1 GHz)。因此，當EBI 106在典型PVT點操作時由計數器304輸出之時脈比信號314表示約10:1之時脈比。假定EBI 106之PVT點由於溫度增加而改變。此溫度增加導致環振盪器302之操作速度減慢，此導致PVT時脈信號310之頻率減小至(例如)900 MHz。在此情況下，時脈比將變為約9:1，藉此指示EBI 106之操作速度已降至低於典型PVT點。相反，EBI 106之溫度減小導致環振盪器302之操作速度增加，此導致操作速度時脈信號310之頻率增加至(例如1.1 GHz)。在此情況下，時脈比將變為約11:1，藉此指示EBI 106之操作速度已增加至典型PVT點以上。

在所說明之實例中，查找表308包括由索引器模組306基於由時脈比信號314表示之時脈比而編入索引中之複數個

單元210引入信號225(圖2)中之延遲的輸入延遲值320，及一表示待由可程式延遲單元212(圖2)引入信號228(圖2)中之延遲的輸出延遲值322。在至少一實施例中，輸入延遲值320可包括一由索引器模組306作為多工控制信號238輸出以指引多工器236(圖2)選擇延遲路徑231至234中將所指示輸入潛時引入時脈信號225中之一延遲路徑之多工選擇值。同樣，輸出延遲值322包括一由索引器模組306作為多工控制信號248輸出以指引多工器246(圖2)選擇延遲路徑241至244中將所指示輸出潛時引入時脈信號228中之一延遲路徑之多工選擇值。在回應於時脈比信號314而供應多工控制信號238及多工控制信號248之多工選擇值之後，索引器模組306確定重設信號312以重設計數器304以用於下一次監控週期。

參看圖4，說明根據本揭示案至少一實施例之用於動態調整電路裝置之邏輯之間的時序關係之例示性方法400。方法400包括在方塊402確定一表示電路裝置之操作速度的操作特性。如參看圖3所描述的，該操作特性可包括在電路裝置處產生(諸如藉由環振盪器產生)的時脈信號之頻率與外部供應的時脈信號之頻率的比較或比值。

在方塊404處，方法400包括基於該操作特性調整控制該電路裝置之第一邏輯的時序之第一時脈信號的潛時。該第一邏輯可包括(例如)電路裝置的輸入邏輯。在方塊406處，方法400包括基於該操作特性調整控制該電路裝置之第二邏輯的時序之第二時脈信號的潛時。該第二邏輯可包括

(例如)該電路裝置之輸入邏輯。

在至少一實施例中，當操作特性指示操作速度低於一識別值時，在方塊404處調整第一時脈信號之潛時可包括增加第一時脈信號之潛時，且在方塊406處調整第二時脈信號之潛時可包括減小第二時脈信號之潛時。相反，當操作特性指示操作速度高於一識別值時，在方塊404處調整第一時脈信號之潛時可包括減小第一時脈信號之潛時，且在方塊406處調整第二時脈信號之潛時可包括增加第二時脈信號之潛時。該識別值可包括(例如)電路裝置之預定典型或標準化的操作速度或先前確定之操作速度。如參看圖2所描述的，第一時脈信號及第二時脈信號之潛時可使用可程式延遲單元加以調整。注意，對輸入及輸出時脈潛時的調整通常發生於EBI 106閒置(指示無資料傳送在進行中)時。

參看圖5，其說明根據本揭示案至少一實施例之用於動態調整用以控制電路裝置處之鎖存之時脈信號的例示性方法500。方法500包括在方塊502處在第一時間確定一表示電路裝置之操作速度之第一操作特性。在一實施例中，該操作特性係基於在電路裝置處產生的時脈信號之頻率的改變而確定。在方塊504處，方法500包括在電路裝置之第一鎖存器之一輸入端處接收一輸入信號。方法500進一步包括在方塊506處在電路裝置之第二鎖存器之一輸入端處接收一輸出信號。

在方塊508處，方法500包括使一時脈信號延遲第一延遲

在方塊508處，方法500包括使一時脈信號延遲第一延遲以提供第一經調整時脈信號。在方塊510處，方法500包括使該時脈信號延遲第二延遲以提供第二經調整時脈信號。該第一延遲及該第二延遲係基於第一操作特性。在一實施例中，當第一操作特性指示操作速度大於一經識別操作速度時，該第一延遲大於該第二延遲，且當該操作速度小於一經識別操作速度時，該第二延遲大於該第一延遲。此外，當該第一操作特性指示操作速度大體等於該經識別操作速度時，該第一延遲大體等於該第二延遲。經識別之該操作速度可包括電路裝置在第一時間之前的第二時間之第二操作速度。或者，經識別之該操作速度可包括典型或正常操作速度。方法500進一步包括在方塊512處回應於該第一經調整時脈信號而將輸入信號鎖存於第一鎖存器處，及在方塊514處回應於該第二經調整時脈信號而將輸出信號鎖存於第二鎖存器處。

方法500額外包括在方塊516處確定一表示該電路裝置在第一時間後之第二時間的操作速度之第二操作特性。在方塊518處，方法500包括使時脈信號延遲第三延遲以提供第三經調整時脈信號。在方塊520處，方法500包括使時脈信號延遲第四延遲以提供第四經調整時脈信號。第三延遲及第四延遲係基於該第二操作特性。方法500額外包括在方塊522處回應於第三經調整時脈信號而將輸入信號鎖存於第一鎖存器處，及回應於第四經調整時脈信號而將輸出信號鎖存於第二鎖存器處。

EBI中之電路之速度，但可使用替代實施例來調整以任何方式用於任何積體電路中之電路的速度。熟習此項技術者將自考慮本文揭示之說明書及對本文揭示之本揭示案之實踐而瞭解本揭示案之其他實施例、用途及優勢。說明書及圖式應認為僅係例示性的，且因此意欲本揭示案之範疇僅受以下申請專利範圍及其等效物之限制。

【圖式簡單說明】

圖1為說明一根據本揭示案至少一實施例之實施動態輸入及輸出時序調整之積體電路裝置的方塊圖。

圖2為更詳細說明圖1之積體電路裝置之方塊圖。

圖3為說明根據本揭示案至少一實施例之用於動態時序調整之可選速度監控器之方塊圖。

圖4為說明根據本揭示案至少一實施例之用於在積體電路裝置處之動態時序調整的例示性方法之流程圖。

圖5為說明根據本揭示案至少一實施例之用於在積體電路裝置處之動態時序調整的另一例示性方法之流程圖。

不同圖式中之相同參考符號用於指示類似或相同之項目。

【主要元件符號說明】

100	系統
102	CPU
104	匯流排
106	匯流排
108	周邊裝置

108	周 邊 裝 置
110	周 邊 裝 置
112	記 憶 體
142	輸 入 邏 輯
146	輸 出 邏 輯
147	時 脈 信 號
148	時 脈 信 號
201	電 路
202	資 料 信 號 輸 入 端
203	資 料 信 號
204	資 料 信 號 輸 出 端
206	時 脈 信 號 輸 入 端
207	時 脈 信 號 輸 出 端
208	PLL
210	單 元
212	單 元
214	監 控 器
216	邏 輯
218	擷 取 鎖 存 器
220	發 射 鎖 存 器
222	邏 輯
224	輸 入 信 號
225	時 脈 信 號
226	輸 入 信 號

227	資料信號
228	時脈信號
229	輸出信號
230	輸出資料信號
231	延遲路徑
232	延遲路徑
233	延遲路徑
234	延遲路徑
236	多工器
238	多工控制信號
241	延遲路徑
242	延遲路徑
243	延遲路徑
244	延遲路徑
246	多工器
248	多工控制信號
251	時脈信號
252	時脈信號
302	環振盪器
304	計數器
306	索引器模組
308	查找表
310	時脈信號
312	重設信號

314	時脈比信號
316	項
318	索引值
320	輸入延遲值
322	輸出延遲值
400	方法
402	方塊
404	方塊
406	方塊
500	方法
502	方塊
504	方塊
506	方塊
508	方塊
510	方塊
512	方塊
514	方塊
516	方塊
518	方塊
520	方塊
522	方塊

十、申請專利範圍：

103年1月3日修正
對本

1. 一種用於時序調整之方法，其包含：

P1-6

提供經由一匯流排耦接至一處理單元且耦接至一記憶體及至少一周邊裝置之一匯流排介面，該匯流排介面包含一第一鎖存器、一第二鎖存器及一第一邏輯，該第一鎖存器接收一第一信號且提供一第一鎖存信號，該第二鎖存器接收一第二信號且提供一第二鎖存信號，且該第一邏輯接收來自該第一鎖存器之該第一鎖存信號並提供該第二信號至該第二鎖存器；

確定一表示該匯流排介面之一操作速度之操作特性；

基於該操作特性調整一控制該第一鎖存器之一時序之一第一時脈信號之潛時；及

基於該操作特性調整一控制該第二鎖存器之一時序之一第二時脈信號之潛時。

2. 如請求項1之方法，其中確定該操作特性包含：

經由在該匯流排介面處之一環振盪器產生一第三時脈信號；

基於該第三時脈信號之一頻率與一第四時脈信號之一頻率之一比較而確定一時脈比，其中該第一時脈信號及該第二時脈信號係基於該第四時脈信號；且

其中該操作特性係基於該時脈比。

3. 如請求項1之方法，其中當該操作特性指示該操作速度低於一經識別值時，調整該第一時脈信號之該潛時包含增加該第一時脈信號之該潛時，且其中調整該第二時脈

信號之該潛時包含減小該第二時脈信號之該潛時。

4. 如請求項3之方法，其中當該操作特性指示該操作速度高於一經識別值時，調整該第一時脈信號之該潛時包含減小該第一時脈信號之該潛時，且其中調整該第二時脈信號之該潛時包含增加該第二時脈信號之該潛時。
5. 如請求項4之方法，其中該經識別值表示該匯流排介面之一先前確定的操作速度。
6. 如請求項4之方法，其中該經識別值表示該電路裝置在若干預期操作條件下之一操作速度。
7. 如請求項1之方法，其中經由一第一可程式延遲單元調整該第一時脈信號之該潛時，且經由一第二可程式延遲單元調整該第二時脈信號之該潛時。
8. 如請求項1之方法，其中大體同時調整該第一時脈信號之該潛時與該第二時脈信號之該潛時。
9. 一種用於時序調整之方法，其包含：

確定一表示一電路裝置在一第一時間之一操作速度之第一操作特性；

在該電路裝置之一第一鎖存器之一輸入端處接收一輸入信號；

在該電路裝置之一第二鎖存器之一輸入端處接收一輸出信號，該輸出信號係基於該第一鎖存器之一輸出；

使一時脈信號延遲一第一延遲以提供一第一經調整時脈信號，該第一延遲係基於該第一操作特性；

使該時脈信號延遲一第二延遲以提供一第二經調整時

脈信號，該第二延遲係基於該第一操作特性；

回應於該第一經調整時脈信號而將該輸入信號鎖存於該第一鎖存器處；及

回應於該第二經調整時脈信號而將該輸出信號鎖存於該第二鎖存器處。

10. 如請求項9之方法，其進一步包含：

確定一表示該電路裝置在一在該第一時間後之第二時間的操作速度之第二操作特性；

使該時脈信號延遲一第三延遲以提供一第三經調整時脈信號，該第三延遲係基於該第二操作特性；

使該時脈信號延遲一第四延遲以提供一第四經調整時脈信號，該第四延遲係基於該第二操作特性；

回應於該第三經調整時脈信號而將該輸入信號鎖存於該第一鎖存器處；及

回應於該第四經調整時脈信號而將該輸出信號鎖存於該第二鎖存器處。

11. 如請求項9之方法，其中基於在該電路裝置處產生的一時脈信號之一頻率的一改變而確定該操作特性。

12. 如請求項9之方法，其中：

當該第一操作特性指示該操作速度大於一經識別操作速度時，該第一延遲大於該第二延遲；且

當該第一操作特性指示該操作速度小於該經識別操作速度時，該第二延遲大於該第一延遲。

13. 如請求項12之方法，其中該經識別操作速度包含該電路

裝置在一先於該第一時間之第二時間的一第二操作速度。

14. 如請求項12之方法，其中當該第一操作特性指示該操作速度大體等於該識別操作速度時，該第一延遲大體係等於該第二延遲。

15. 一種用於時序調整之系統，其包含：

第一邏輯，其具有一用以接收一第一信號之輸入端及一輸出端；

第二邏輯，其具有一用以接收一第二信號之輸入端及一輸出端；

一第一鎖存器，其具有一可操作地耦接至該第一邏輯之該輸出端之輸入端、一用以接收一第一時脈信號之時脈輸入端，及一回應於該第一時脈信號而提供一第一鎖存信號之輸出端，其中該第二信號係基於該第一鎖存信號；

一第二鎖存器，其具有一可操作地耦接至該第二邏輯之該輸出端之輸入端、一用以接收一第二時脈信號之時脈輸入端，及一回應於該第二時脈信號而提供一第二鎖存信號之輸出端；

一第一可程式延遲單元，其具有一用以接收一第三時脈信號之輸入端、具有不同延遲之複數個延遲路徑、一用以接收一指示該複數個延遲路徑中之一所選延遲路徑之信號的選擇輸入端，及一經由該所選延遲路徑選擇性地耦接至該輸入端之輸出端，其中該第一可程式延遲單

元之該輸出端係用以提供該第一時脈信號；

一第二可程式延遲單元，其具有一用以接收該第三時脈信號之輸入端、具有不同延遲之複數個延遲路徑、一用以接收一指示該複數個延遲路徑中之一所選延遲路徑之信號的選擇輸入端，及一經由該所選延遲路徑選擇性地耦接至該輸入端之輸出端，其中該第二可程式延遲單元之該輸出端係用以提供該第二時脈信號；及

一操作速度監控器，其具有一耦接至該第一可程式延遲單元之該選擇輸入端的第一輸出端及一耦接至該可程式延遲單元之該選擇輸入端的第二輸出端，其中該操作速度監控器係用於基於一表示該第一邏輯及該第二邏輯之一操作速度的操作特性而經由該第一輸出端提供一第一值且經由該第二輸出端提供一第二值。

16. 如請求項15之系統，其中操作速度監控器包含：

一環振盪器，其具有一用以提供一第四時脈信號之輸出端；及

一計數器，其具有一耦接至該環振盪器之該輸出端之第一輸入端、一用以接收該第三時脈信號之第二輸入端，及一用以提供一表示該第四時脈信號之一頻率與該第三時脈信號之一頻率之一比值的計數器值之輸出端，其中該操作特性包含該計數器值。

17. 如請求項16之系統，其進一步包含：

一查找表，其包含以該計數器值作為索引之複數個項，每一項包含一用於經由該操作速度監控器之該第一

輸出端輸出之值，及一用於經由該操作速度監控器之該第二輸出端輸出之值。

18. 如請求項15之系統，其中該第一邏輯之該輸入端包含該電路裝置之一輸入端，且該第二邏輯之該輸出端包含該電路裝置之一輸出端。
19. 如請求項15之系統，其中該電路裝置包含一匯流排介面。
20. 如請求項19之系統，其中該第一邏輯包含該匯流排介面之輸入邏輯，且該第二邏輯包含該匯流排介面之輸出邏輯。

十一、圖式：

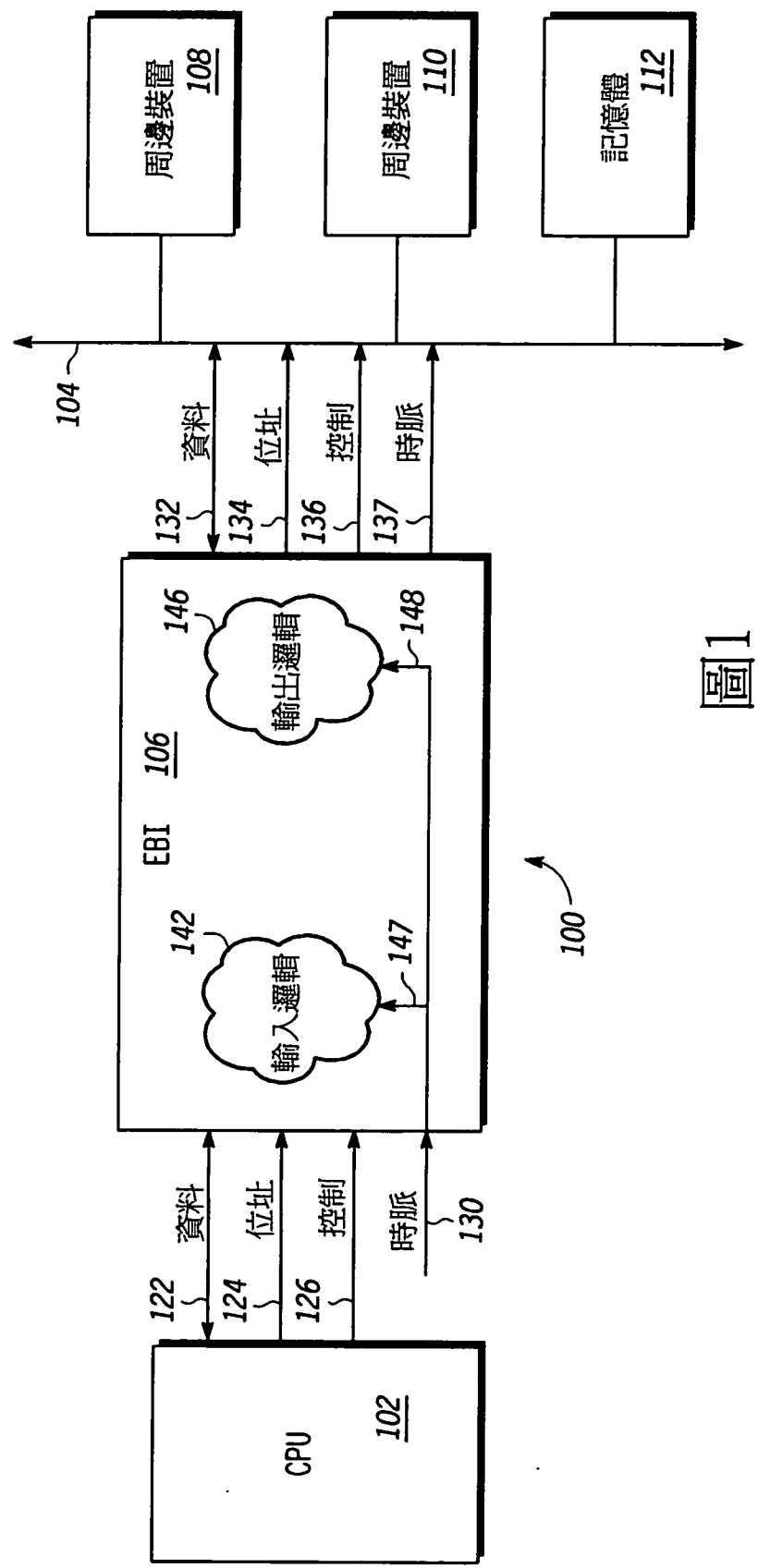


圖1

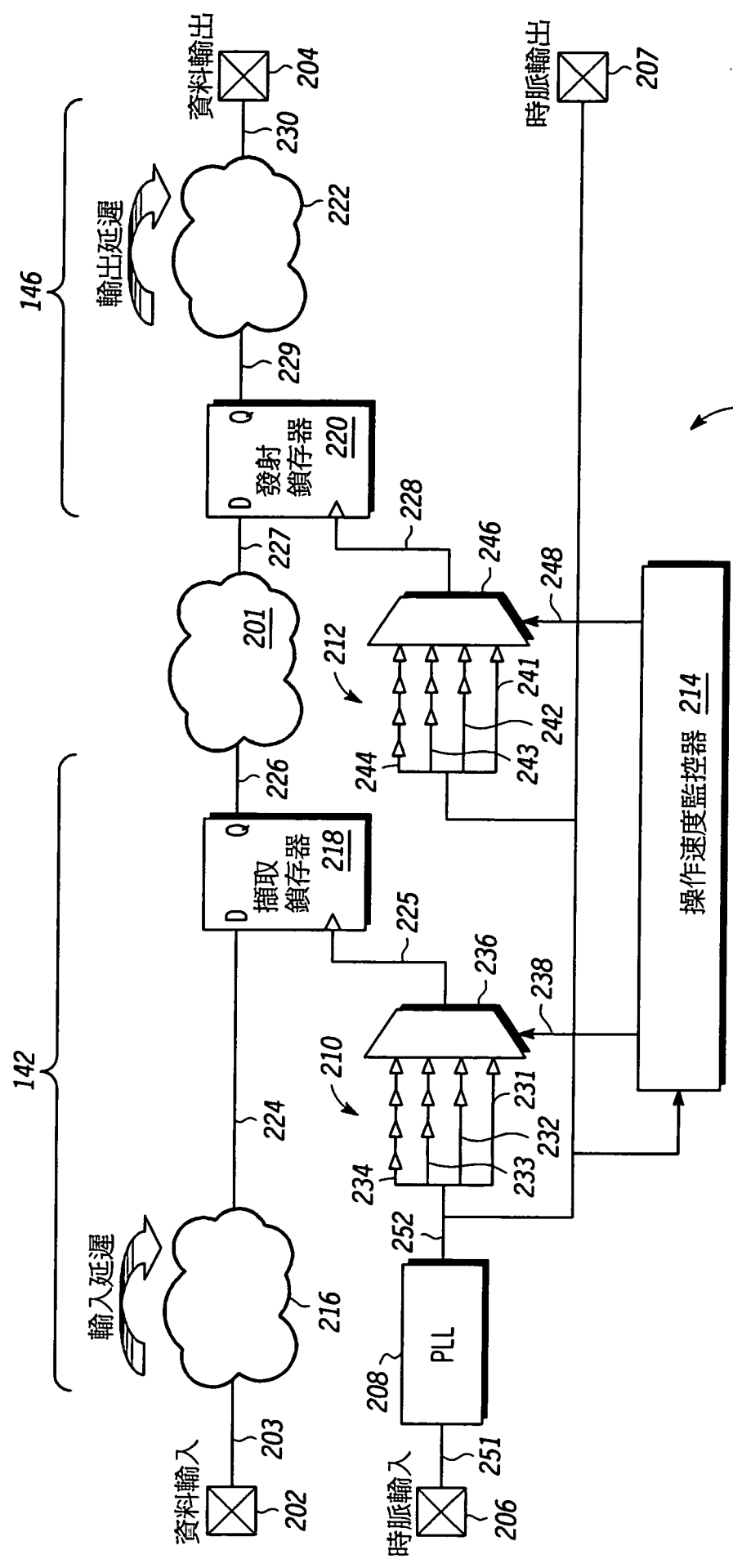


圖2

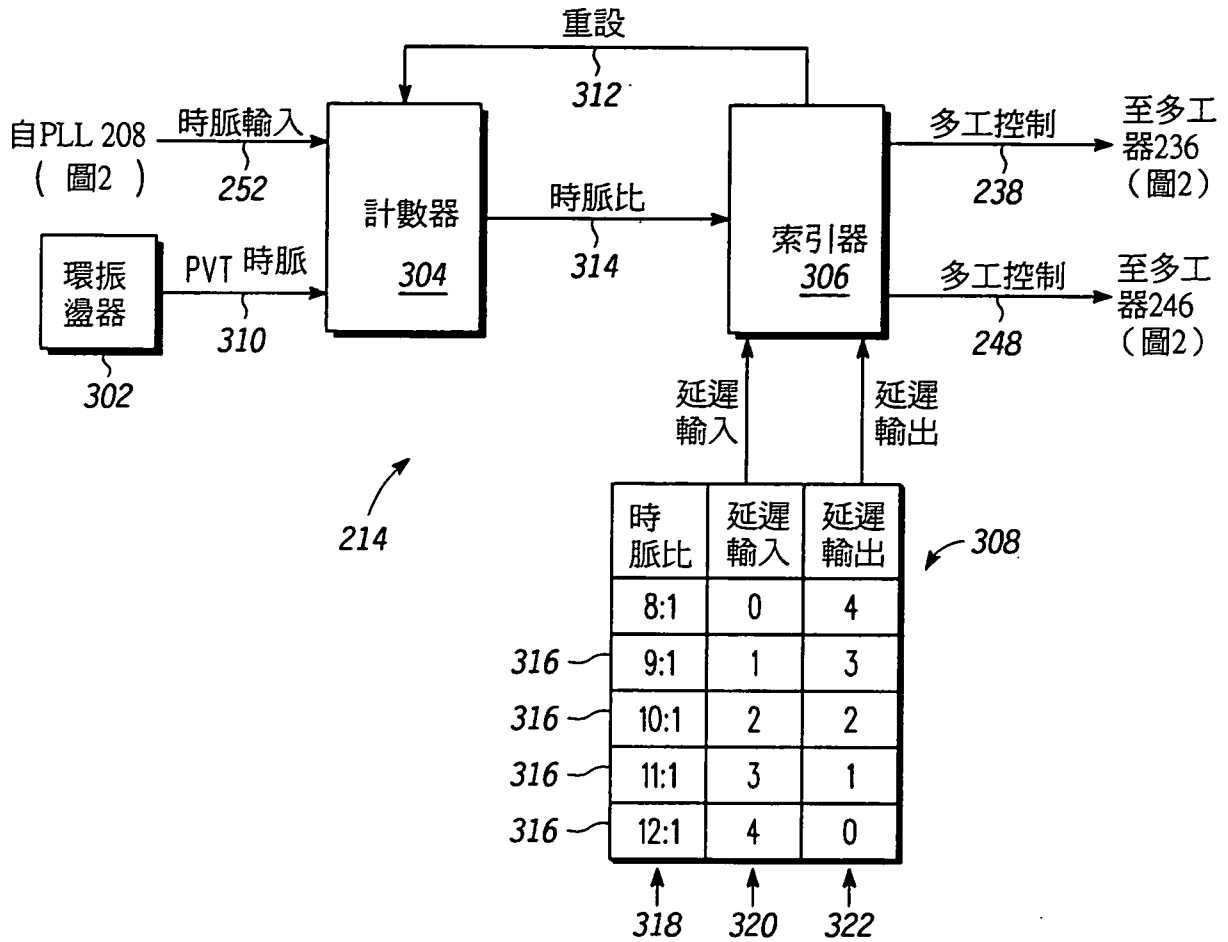


圖3

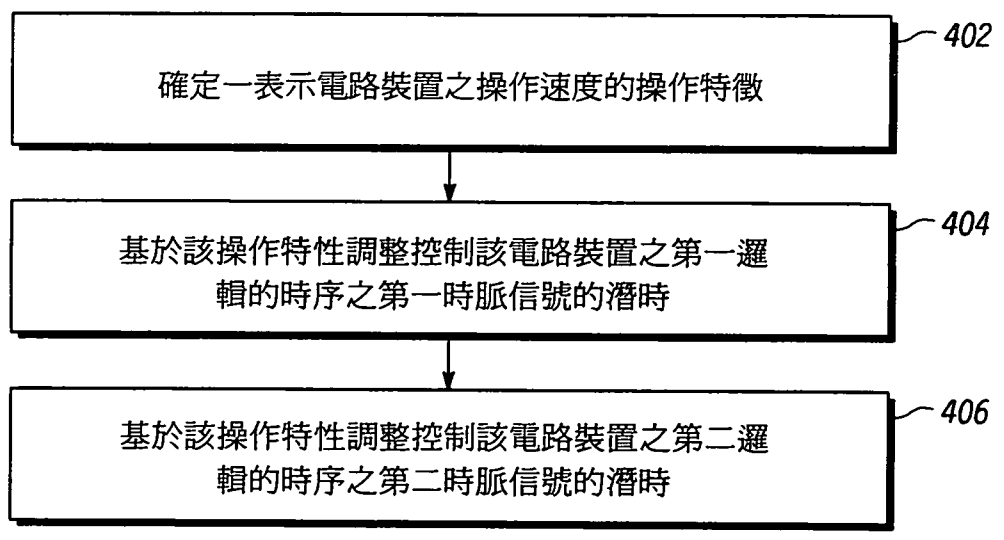


圖4 400

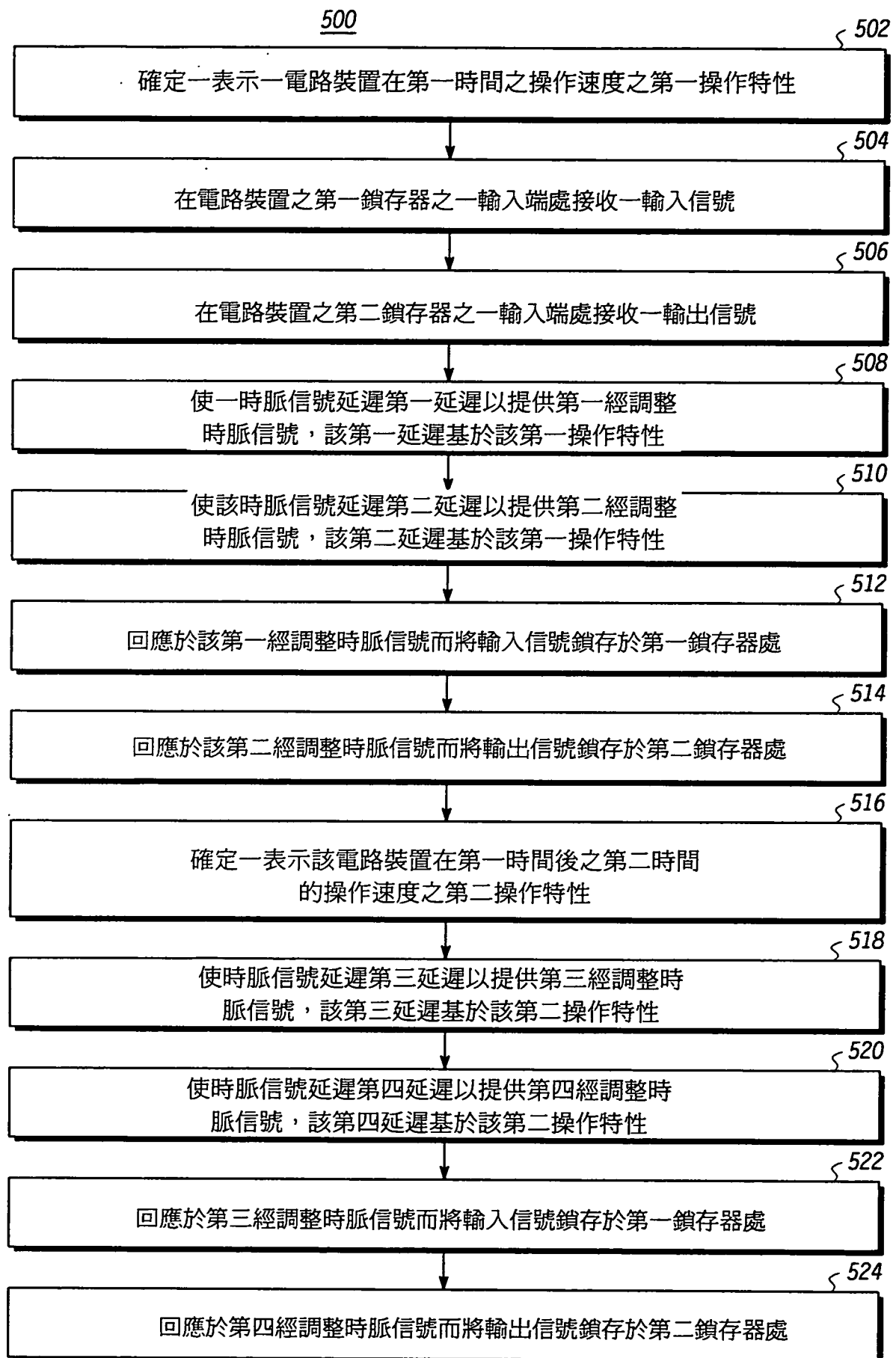


圖5