



(12) 发明专利

(10) 授权公告号 CN 102122693 B

(45) 授权公告日 2015. 01. 07

(21) 申请号 201010226329. 1

W0 2009103266 A2, 2009. 08. 27,

(22) 申请日 2010. 07. 08

CN 101621099 A, 2010. 01. 06,

(30) 优先权数据

审查员 王雪婷

12/684, 797 2010. 01. 08 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 安东尼·J·罗特费尔德

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 姜燕 陈晨

(51) Int. Cl.

H01L 31/18(2006. 01)

H01L 33/24(2010. 01)

(56) 对比文件

US 2009298269 A1, 2009. 12. 03,

JP 2007507896 A, 2007. 03. 29,

CN 101621109 A, 2010. 01. 06,

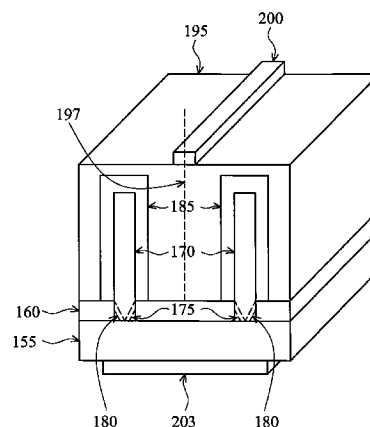
权利要求书2页 说明书29页 附图36页

(54) 发明名称

二极管

(57) 摘要

本发明公开了一种二极管,包括:一基板;一第一介电材料,包括露出该基板的一部的至少一开口;一底二极管材料,包括至少部分地设置于该开口内的一下方区以及延伸至该开口之上的一上方区,该底二极管材料包括晶格不匹配于该基板的一化合物半导体材料;一有源二极管区,邻近于该底二极管材料;以及一顶二极管材料,邻近该有源二极管区。本发明可降低太阳能电池、发光二极管以及其他化合物半导体装置的成本,以及改善发光二极管的汲出效率与内部量子效率。



1. 一种二极管,包括:

一基板;

依序地设置于该基板上的一第一介电材料、一耐火金属及一第二介电材料,包括露出该基板的一部的至少一沟槽;

一间隔物,位于该沟槽内的该第一介电材料、该耐火金属、与该第一介电材料的侧壁上;

一底二极管材料,包括至少部分地设置于该沟槽内并接触该间隔物的一下方区以及延伸至该沟槽之上的一上方区,该底二极管材料包括晶格不匹配于该基板的一化合物半导体材料且该底二极管材料之该上方区具有鳍状物型态且不接触该间隔物;

一有源二极管区,邻近并接触该底二极管材料,并包覆该底二极管材料的该上方区的多个表面;

一顶二极管材料,邻近该有源二极管区,并包覆该有源二极管区的多个表面;

一第一电性接触物,穿透该第二介电材料,其中该电性接触物电性耦接于该耐火金属;以及

一第二电性接触物,邻近该基板未设置有该第一介电材料、该耐火金属及该第二介电材料的一表面。

2. 如权利要求 1 所述的二极管,还包括:

一第三介电材料,邻近该顶二极管材料及该第二介电材料,其中该第一介电材料、该耐火金属及该第二介电材料邻近该底二极管材料的该下方区,而该第三介电材料邻近于该底二极管材料的该上方区的侧壁。

3. 一种二极管,包括:

依序地设置的一第一介电材料、一耐火金属及一第二介电材料,包括至少一沟槽;

一间隔物,位于该沟槽内的该第一介电材料、该耐火金属、与该第一介电材料的侧壁上;

一底二极管材料,包括至少部分地设置于该沟槽内并接触该间隔物的一下方区以及延伸至该沟槽之上的一上方区且该底二极管材料之该上方区具有鳍状物型态且不接触该间隔物;

一有源二极管区,邻近并接触该底二极管材料,并包覆该底二极管材料的该上方区的多个表面;

一顶二极管材料,邻近该有源二极管区,并包覆该有源二极管区的多个表面;

一第三介电材料,邻近该顶二极管材料及该第二介电材料,其中该第一介电材料、该耐火金属及该第二介电材料邻近该底二极管材料的该下方区,而该第三介电材料邻近该底二极管材料的该上方区;以及

一电性接触物,穿透该第三介电材料及该第二介电材料,其中该电性接触物电性耦接于该耐火金属。

4. 如权利要求 1 或 3 所述的二极管,其中该有源发光二极管区包括由该顶二极管材料与该底二极管材料的结所形成的一 p-n 结。

5. 如权利要求 1 或 3 所述的二极管,其中该有源发光二极管区包括不同于该顶二极管材料与该底二极管材料的一材料,而该有源发光二极管区构成了位于该顶二极管材料与该

底二极管材料间的一 p-i-n 结的一本征区。

6. 如权利要求 1 或 3 所述的二极管, 其中该有源发光二极管区包括多重量子阱, 形成于该顶二极管材料与该底二极管材料之间。

7. 如权利要求 1 或 3 所述的二极管, 其中该至少一沟槽具有约为 1 或更多的高度比上宽度的一深宽比, 且该底二极管材料的下方区包括了贯穿差排。

二极管

技术领域

[0001] 本发明涉及由位于硅晶片之上由化合物半导体 (compound semiconductors) 或其他的晶格不相称半导体材料 (lattice-mismatched semiconductors) 所制成的半导体二极管及其制造方法, 尤其涉及如发光二极管 (light emitting diode)、激光、光电压 (photovoltaics) 及其他光电子 (optoelectronic) 用途的光电应用。

背景技术

[0002] 本节中提供了背景资料并介绍了于下文中所描述及 / 或所主张的权利范围所相关的不同观点的相关信息。这些背景资料的陈述并非承认其为公知技术。

[0003] 大部分的芯片制作均应用了具有高品质、大区域、低成本等优点的硅晶片的硅工艺。采用如砷化镓 (gallium arsenide) 与磷化铟 (indium phosphide) 等化合物半导体的装置的商业制作则通常无法具有前述的硅工艺的优点。其通常于由如蓝宝石 (sapphire)、锗 (germanium)、砷化镓 (gallium arsenide) 或碳化硅 (silicon carbide) 等材料所制成的小且昂贵的晶片上进行如发光二极管 (light emitting diode, LED)、多结太阳能电池 (multi-junction solar cell) 及其他化合物半导体装置的制作。

[0004] 于便宜的基板上制造半导体化合物装置的挑战牵涉到极大的经济因素。由于可发射与检测光线, 化合物半导体于通信基础建设中为重要的元件。其为适用于如通过光纤传输信号的激光中、用于接受上述信号的传感器、移动电话内的放大器 (amplifier)、移动电话基地台内的放大器、以及于传输与接收微波信号的电路等应用中的材料。

[0005] 发光二极管通常由设置于蓝宝石 (sapphire) 或碳化硅 (silicon carbide) 材质的晶片上的多个氮化镓 (gallium nitride) 膜层所组成。这些独特基板造成了发光二极管的高成本。直径 4 英寸的蓝宝石晶片的通常价值约 130 美元, 而两英寸的碳化硅晶片则价值约 2000 美元。作为比较之用, 具有四倍于四英寸晶片的使用面积或 16 倍于两英寸晶片的使用面积的八英寸硅晶片的成本则通常低于 100 美元。

[0006] 高效多结太阳能电池 (high-efficiency multi-junction solar cells) 通常包括设置于锗晶片上的如锗、砷化镓及磷化铟的膜层。于发光二极管所用的晶片中, 所使用的锗晶片通常较硅晶片为较小且明显为较昂贵。

[0007] 于硅晶片上制作化合物半导体装置的能力有助于加速其于多种主要工业中的市场成长。

[0008] 目前限制了半导体晶片上的化合物半导体装置的实际制作的两种主要技术障碍分别为晶格常数的不匹配 (mismatch of lattice constants) 与热膨胀系数的不匹配 (mismatch of thermal expansion coefficients) 的情形。

[0009] 晶格不匹配: 于结晶物中, 原子依照规则性周期阵列物而设置 (即公知的晶格)。介于原子之间的距离, 即公知的晶格常数, 通常约为数埃 (1 埃 = 10^{-10} 米)。硅具有较化合物半导体为小的晶格常数。当于硅上成长化合物半导体时, 于介面处出现了如公知的错配差排 (misfit dislocation) 的结晶瑕疵 (crystalline imperfections)。如此的错配差排

造成了如公知贯穿差排 (threading dislocation) 的其他结晶缺陷,其自介面处向上传播。贯穿差排缩减了如激光、太阳能电池、发光二极管等化合物半导体装置的表现与可靠度。

[0010] 热收缩的不匹配:化合物半导体通常于如超过 1000℃ 的高温下成长。当晶片冷却之后,化合物半导体的薄膜较硅晶片的收缩程度为大。其结果为,晶片将弯曲成为内凹状,且施加应力与最终地使得薄膜产生破裂。

[0011] 直到最近,发展出了包括下述三种方法的于硅基板上成长高品质的化合物半导体的最稳固的先前技术,例如渐变缓冲层 (graded buffer layers) 法、晶片连结 (wafer bonding) 法或于岛状物上的选择性成长 (selective growth on mesas) 法等技术。然而,上述技术则还未达成商业上的成功。

[0012] 于渐变缓冲层法中,材料的组成由大体纯硅 (pure silicon) 逐渐地变化成化合物半导体。由于晶格常数也逐渐地随着变化,故晶格缺陷较少形成于介面处。不幸地,这些渐变缓冲层具有相对厚的厚度 (每 4% 的晶格不相称情形具有约 10 微米)。如此厚的缓冲层增加了工艺成本及破裂的可能性。

[0013] 晶片连结法则牵涉到于昂贵基板上成长一装置、接着剥离上述装置并将其接合 (bonding) 于硅晶片上。上述方法并不考虑采用当今硅工艺以作为降低成本的方法。此外,接合通常需要高于 300℃ 的温度。当材料冷却之后,由于相较硅晶片具有更大的收缩情形,故化合物半导体可能破裂。

[0014] 岛状物上的选择性成长法则利用了特定差排的迁移率。此方法是于小区域 (长度约为 10-100 微米) 内沉积化合物半导体材料,进而形成了一短通道,其可供位于此处的移动差排 (mobile dislocation) 可滑动至此区域的边缘并自此装置处而移除。然而,借由上述技术所形成的结构通常具有高密度的贯穿差排 (高于 1 亿 / 每平方公分)。上述技术并无法移除固定差排 (immobilized dislocation),于当晶格不匹配超过了 2% 时其将成为占大多数。

[0015] 近年来已发展出了深宽比捕捉 (aspect ratio trapping) 技术 (由 Park 等人于 APL 90,0521113 (2007) 所揭示,于此以提及方式并入于本文中),其可于硅晶片上沉积高品质的化合物半导体材料、锆或其他的晶格不匹配材料。图 1 显示了此深宽比捕捉技术的原理。于一硅晶片 10 之上沉积如二氧化硅 (SiO_2) 或氮化硅 (SiN_x) 的一介电材料 20 的薄膜层。本领域普通技术人员也可选择如 SiO_xN_y 及如铪 (Hf) 与锆 (Zr) 的硅化物或氧化物等的多种介电材料。

[0016] 于上述介电材料内蚀刻形成一沟槽,接着沉积如锆或化合物半导体的晶格不匹配半导体 30 于沟槽内。如虚线所表示的贯穿差排 40 将向上传播,其通常依照相对于介面呈大体 45 度的一角度向上传播。贯穿差排 40 并不会朝沟槽长度方向而向下传播,其依照垂直于结晶的成长晶面 (faceted growth face) 的一方向而传播,这些晶面引导了差排朝向侧壁,并于这些侧壁处终止。位于沟槽内其侧壁捕捉了贯穿差排的区域可称其为“捕捉区”50。晶格不相称半导体 30 的上方区域,且高于捕捉区 50 的一区域则为一相对无缺陷区 60。

[0017] 深宽比捕捉技术基于下述原因而解决了起因于热膨胀系数的不匹配所造成的破裂问题:(1) 由于外延膜层为薄,故应力为小;(2) 由于深宽比捕捉开口的尺寸为小,故材料可为弹性地调和起因于热膨胀不匹配所造成的应力;以及 (3) 较半导体材料为佳的二氧化硅基座可产生形变以调和上述应力。

发明内容

[0018] 本发明提供了一种二极管,以解决上述公知问题。

[0019] 依据一实施例,本发明提供了一种二极管,包括:

[0020] 一基板;一第一介电材料,包括露出该基板的一部的至少一开口;一底二极管材料,包括至少部分地设置于该开口内的一下方区以及延伸至该开口之上的一上方区,该底二极管材料包括晶格不匹配于该基板的一化合物半导体材料;一有源二极管区,邻近于该底二极管材料;以及一顶二极管材料,邻近该有源二极管区。

[0021] 依据另一实施例,本发明提供了一种二极管,包括:

[0022] 一第一介电材料,包括至少一开口;一底二极管材料,包括至少部分地设置于该开口内的一下方区以及延伸至该开口之上的一上方区;一有源二极管区,邻近于该底二极管材料;一顶二极管材料,邻近该有源二极管区;一第二介电材料,邻近该顶二极管材料,其中该第一介电材料邻近该底二极管材料的该下方区,而该第二介电材料邻近该底二极管材料的该上方区;以及一握持基板,邻近该顶二极管材料。

[0023] 本发明可降低太阳能电池、发光二极管以及其他化合物半导体装置的成本,以及改善发光二极管的汲出效率与内部量子效率。

[0024] 为了让本发明的上述目的、特征及优点能更明显易懂,下文特举一优选实施例,并配合所附的附图,作详细说明如下:

附图说明

[0025] 图 1 显示了深宽比捕捉技术的原理;

[0026] 图 2 显示了依据实施例的半导体二极管的一般结构;

[0027] 图 3 显示了依据第一实施例的二极管,其具有一鳍状物的形状;

[0028] 图 4 与图 5 显示了图 3 所示实施例于制作中的不同阶段;

[0029] 图 6 显示了图 3 所示实施例的一另一实施例;

[0030] 图 7 总结了依据本发明的一实施例的形成图 3 所示实施例的一第一方法;

[0031] 图 8 总结了形成如图 3 所示实施例的一实施例的一第二方法;

[0032] 图 9 与图 10 显示了制造图 3 所示实施例的其他步骤;

[0033] 图 11 总结了形成图 3 所示实施例的一实施例的一第三方法;

[0034] 图 12- 图 15 显示了形成如图 16 所示的实施例的不同阶段;

[0035] 图 16 显示了二极管的一实施例,其具有一圆柱物的形状;

[0036] 图 17 总结了形成图 16 所示实施例的一实施例的一第一方法;

[0037] 图 18 与图 19 显示了形成图 16 所示实施例的另一方法的步骤;

[0038] 图 20 总结了形成图 16 所示实施例的一实施例的另一方法;

[0039] 图 21 显示了图 16 所示实施例的一变化情形,其中具有圆形剖面的圆柱状二极管的阵列于另一实施例中按照六角形阵列设置;

[0040] 图 22 显示了图 21 所示实施例的一俯视图;

[0041] 图 23 与图 24 显示了于制作图 25 所示实施例中的不同阶段;

[0042] 图 25 为二极管的一实施例,其中介电层为透光的而非反光的;

- [0043] 图 26 总结了形成图 25 所示实施例的一实施例的一方法；
- [0044] 图 27 显示了形成图 28 所示另一实施例的步骤；
- [0045] 图 28 为二极管的一实施例，其中硅基板经过移除；
- [0046] 图 29 总结了形成图 28 所示实施例的一方法；
- [0047] 图 30 与图 31 显示了形成图 32 所示实施例的步骤；
- [0048] 图 32 为二极管的一实施例，其中顶电性接触物也作为一反射物之用；
- [0049] 图 33 总结了形成图 32 所示实施例的步骤；
- [0050] 图 34 显示了形成图 35 所示实施例的步骤；
- [0051] 图 35 为二极管的一实施例，其利用了当自一介电层内的一孔洞或沟槽内自然地成长形且具有六角金字塔状的氮化镓与其他 III- 氮化物半导体材料；
- [0052] 图 36 总结了形成图 35 所示实施例的步骤；
- [0053] 图 37 显示了形成图 38 所示实施例的步骤；
- [0054] 图 38 显示了图 35 所示实施例的一变化实施例，其中硅基板经过移除；以及
- [0055] 图 39 总结了形成图 38 所示实施例的一实施例的一方法。
- [0056] 其中，附图标记说明如下：
- [0057] 10 ~ 硅晶片；
- [0058] 20 ~ 介电材料；
- [0059] 30 ~ 晶格不匹配半导体；
- [0060] 40 ~ 贯穿差排；
- [0061] 50 ~ 捕捉区；
- [0062] 60 ~ 无缺陷区；
- [0063] 101 ~ 基板；
- [0064] 102 ~ 底二极管区；
- [0065] 103 ~ 有源二极管区；
- [0066] 104 ~ 顶二极管区；
- [0067] 105、106 ~ 导电接触物；
- [0068] 155 ~ 基板 / 硅基板；
- [0069] 160 ~ 介电材料；
- [0070] 165 ~ 沟槽；
- [0071] 170 ~ 底二极管区；
- [0072] 175 ~ 捕捉区；
- [0073] 180 ~ 贯穿差排；
- [0074] 185 ~ 有源二极管区；
- [0075] 190、195 ~ 顶二极管区；
- [0076] 197 ~ 成长前线的交界；
- [0077] 200 ~ 顶电性接触物；
- [0078] 203 ~ 底电性接触物；
- [0079] 210 ~ 介电材料 / 第一介电层；
- [0080] 215 ~ 第二介电层；

- [0081] 220 ∼沟槽；
- [0082] 250 ∼孔洞；
- [0083] 260 ∼底二极管区；
- [0084] 265 ∼有源二极管区；
- [0085] 270 ∼有源二极管区；
- [0086] 275 ∼连续形态的顶二极管区；
- [0087] 280 ∼顶电性接触物；
- [0088] 285 ∼底电性接触物；
- [0089] 300 ∼孔洞；
- [0090] 350 ∼介电层；
- [0091] 355 ∼沟槽；
- [0092] 365 ∼底二极管区；
- [0093] 375 ∼贯穿差排；
- [0094] 380 ∼有源二极管区；
- [0095] 390 ∼光吸收区；
- [0096] 395 ∼光吸收区；
- [0097] 400 ∼接合缺陷；
- [0098] 410 ∼顶电性接触物；
- [0099] 415 ∼底电性接触物；
- [0100] 430 ∼握持基板；
- [0101] 435、440 ∼接触物；
- [0102] 500 ∼基板；
- [0103] 510 ∼第一层介电材料；
- [0104] 520 ∼耐火金属；
- [0105] 530 ∼第二层介电材料；
- [0106] 550 ∼介电间隔物；
- [0107] 555 ∼捕捉区；
- [0108] 560 ∼贯穿差排；
- [0109] 570 ∼底二极管区；
- [0110] 580 ∼有源二极管区；
- [0111] 590 ∼顶二极管区；
- [0112] 600 ∼贯穿差排；
- [0113] 605 ∼介层开口；
- [0114] 620 ∼适当材料；
- [0115] 630 ∼顶电性接触物；
- [0116] 640 ∼底电性接触物；
- [0117] 700 ∼硅基板；
- [0118] 710 ∼介电材料；
- [0119] 720 ∼孔洞；

[0120] 730 ~ 底二极管区；
[0121] 740 ~ 差排缺陷；
[0122] 750 ~ 捕捉区；
[0123] 760 ~ 有源二极管区；
[0124] 770 ~ 顶二极管区；
[0125] 780 ~ 顶电性接触物；
[0126] 790 ~ 底电性接触物；
[0127] 800 ~ 顶二极管区；
[0128] 810 ~ 握持晶片；
[0129] 820 ~ 顶电性接触物；
[0130] 830 ~ 底电性接触物；
[0131] 900、905、910、915、920、925、930、935、940、950、1000、1005、1010、1015、1020、1025、1030、1035、1040、1100、1105、1110、1115、1120、1125、1130、1135、1140、1200、1205、1210、1215、1220、1225、1230、1235、1240、1300、1305、1310、1315、1320、1325、1330、1335、1340、1400、1405、1410、1415、1420、1425、1430、1435、1440、1445、1450、1500、1505、1510、1515、1520、1525、1530、1535、1540、1545、1550、1555、1560、1565、1570、1575、1580、1600、1605、1610、1615、1620、1625、1630、1700、1705、1710、1715、1720、1725、1730、1735、1740、1745、1750 ~ 步骤。

具体实施方式

[0132] 于以下描述中，通常采用单一的二极管方式以讨论示范的二极管结构，半导体工程师及其他本领域普通技术人员当能理解于多数应用中需使用多个二极管，且其通常整合于单一芯片之上。

[0133] 一般来说，于下文中讨论的半导体二极管具有如图 2 所示的一般结构，其包括：一基板 101、一底二极管区 102、一有源二极管区 103、一顶二极管区 104、位于装置的顶部的导电接触物 105 以及位于装置底部的一导电接触物 106。上述二极管区 102、103 与 104 内则分别由多重膜层所制成。

[0134] 底二极管区 102 与顶二极管区 104 具有相反的掺杂类型 (doping types)。举例来说，当底二极管区 102 显著地为 n 型掺杂时（具有如磷、砷或锑的电子施体），而顶二极管区 104 将显著地为 p 型掺杂（具有如硼或铝的电子受体），反之亦然。于底二极管区 102 与顶二极管 104 内的重度掺杂形成了适用于电流进入与离开装置的低电阻值通道。此顶部区与底部区的一般掺杂程度约介于 10^{17} - 10^{20}cm^{-3} 。而有源区的一般掺杂程度则低于 10^{17}cm^{-3} 。值得注意的是，为了描述方便而采用了“顶 (top)”与“底 (bottom)”以指定区域，而于某些情况中顶区可位于底区之上。举例来说，考虑到形成于基板上的二极管，其具有高于其底部区的一顶部区。当此二极管经倒装芯片接合 (flip-chip bonded) 于一握持晶片后并于移除上述基板之后，上述用于检视二极管的情形通常也随之相反。于此例中，顶区通常将视为位于底区的下方。

[0135] 基底 101 通常为一硅晶片，虽然于不同实施例，包括蓝宝石与碳化硅的其他基板也适用。至少于基板 101 的部分中通常具有相同的掺杂种类（为 n 型或 p 型），而底二极

管区 102 有助于底二极管区 102 与基板 101 之间的良好电性接触关系。

[0136] 有源二极管区 103 的详细结构可依照包括期望应用的多种参数而决定,于一情形中,有源二极管区 103 由顶二极管区 102 与底二极管区 104 的结 (junction) 所形成。于此情形中,较佳地改变接近结的顶部区与底部区的掺杂浓度。于发光二极管 (LED) 内,有源区 103 则可包括经掺杂的膜层与可使得电子与空穴再结合并产生光子的未经掺杂量子阱 (undoped quantum wells) 的多个膜层。于太阳能电池的另一范例中,有源二极管区 103 可包括适度的 n 型掺杂或适度的 p 型掺杂的半导体材料,以吸收入射光子并产生电子-空穴对。

[0137] 对于本领域普通技术人员而言,形成二极管区的材料为公知的。典型的有用半导体材料为:如硅、碳或锗的 IV 族材料,或其合金,如碳化硅或硅锗;II-VI 族化合物(包括二元、三元与四元形态),例如由锌、镁、铍或镉的 II 族材料与如碲、硒或硫的 VI 族材料所形成的化合物,例如为 ZnSe、ZnTe 或 ZnMgTe;以及 III-V 族化合物(包括二元、三元与四元形态),如由如镓、铝或铟的 III 族材料与如砷、磷、锑或氮的 V 族材料所组成的化合物,例如 InP、GaAs、GaN、InAlAs、AlGaN、InAlGaAs 等。本领域普通技术人员可以了解,可参照如能隙、晶格常数、掺杂程度等期望条件而适度选择与处理这些材料。

[0138] 图 3 显示了依据第一实施例的一半导体二极管。图 4 显示了用于图 3 的一基础结构,此基础结构包括了如硅晶片的一基板 155,如发光二极管 (LED) 或太阳能电池等光电应用中基板 155 的表面较佳地具有 (111) 的结晶方向 (crystal orientation),虽然其也可选择 (100) 的其他结晶方向。基板 155 可视其应用的双极管基装置 (diode-based device) 的形态而经过 n 型掺杂或 p 型掺杂。其他的适当基板可包括蓝宝石与碳化硅。

[0139] 为了制备如图 3 所示的双极管,第一步骤为借由化学气相沉积 (CVD) 或其他的适当技术沉积如二氧化硅 (SiO_2) 或氮化硅 (SiN_x) 的一层介电材料 160 于硅基板 155 之上。于装置中当来自介电层的光线反射会形成问题时,则较佳地使用氮化硅,由于其折射率较为接近于常用的半导体材料。上述介电材料的膜层通常为 200-400 纳米,但其厚度可为更厚或更薄。

[0140] 接着借由图案化程序以于介电材料 160 的膜层内形成具有大体垂直的侧壁的一或多个沟槽 165,进而露出了硅基板 155 的表面的一部,如图 4 所示。依据期望应用的选择,沟槽的数量可为 1 或 1 以上,例如是 2、3、4、5、6 或更多。可借由公知光刻技术或反应性离子蚀刻 (reactive ion etch) 技术的示范方法以图案化形成一沟槽。为本领域普通技术人员所了解,基于此处的揭示情形,沟槽可为另一形状的开口,例如为一孔洞 (hole)、一凹口 (recess) 或一环状物 (ring)。沟槽 165 的宽度较佳地相同于或少于介电材料的厚度。如此条件是基于深宽比捕捉 (aspect ration trapping, ART) 技术的原理,即沟槽 165 的高度与沟槽 165 的宽度的比例可大体大于或等于 1 以大体捕捉所有的贯穿差排 (threading dislocations)。关于上述技术的细节则揭示于属于本发明相同受让人的早期专利申请(例如申请中的第 11/436,198 号 US 专利申请 (2006 年 5 月 17 日申请,标题为“LATTICE-MISMATCHED SEMICONDUCTOR STRUCTURE WITH REDUCED DISLOCATION DEFECT DENSITIES AND RELATED METHODS FOR DEVICE FABRICATION”);第 12/180,254 号 US 专利申请 (2008 年 6 月 25 日申请,标题为“LATTICE-MISMATCHED SEMICONDUCTOR STRUCTURE WITH REDUCED DISLOCATION DEFECT DENSITIES AND RELATED METHODS FOR

DEVICE FABRICATION”) ;第 11/436,062 号 US 专利申请 (2006 年 5 月 17 日申请,标题为“LATTICE-MISMATCHED SEMICONDUCTOR STRUCTURE WITH REDUCED DISLOCATION DEFECT DENSITIES AND RELATED METHODS FOR DEVICE FABRICATION”) ;第 60/842,771 号 US 专利临时申请 (2006 年 9 月 7 日申请,标题为“DEFECT REDUCTION OF SELECTIVE Ge EPITAXY IN TRENCHES ON Si(001) SUBSTRATES USING ASPECT RATIO TRAPPING”) ;第 11/852,078 号 US 专利申请案 (2007 年 9 月 7 日申请,标题为“DEFECT REDUCTION USING ASPECT RATIO TRAPPING”),在此以提及方式将其并入于本文中。以及揭示于 Park 等人于 Appl. Phys. Lett. 90,052113(2007) 的文献中,在此以提及方式将其并入于本文中。

[0141] 于某些情形中,较佳地借由标准技术以洁净位于沟槽 165 底部的硅基板 155 的表面,以准备用于底二极管区的外延成长。请参照 Park 等人于 Appl. Phys. Lett. 90,052113(2007) 的文献内的揭示。

[0142] 接着施行另一步骤,成长底二极管区 170,进而形成如图 5 所示结构。底二极管区 170 所应用的半导体材料则依照装置形态而决定。当于太阳能电池 (solar cell) 的应用时,底二极管区 170 可为如 InGaP 的材料。而当于发光二极管 (light emitting diode, LED) 的应用时,底二极管区 170 可为如 GaN、AlN、InN 等材料,或包括上述材料的二元 (binary)、三元 (ternary) 或四元 (quaternary) 化合物。底二极管区 170 也可包括化合物半导体 (compound semiconductor) 材料的其他多种半导体材料,例如由择自由 Ga、In 或 Al 的至少一 III 族元素加上择自由 As、P 或 Sb 的一 V 族元素所形成的二元、三元或四元组成物,其具有适用于如激光 (laser) 或共振穿隧二极管 (resonant tunneling diodes) 的有用特性。

[0143] 于本发明中,可以于外延成长时临场地 (in-situ) 掺杂底二极管区 170,或借由一离子注入而离场地 (ex-situ) 掺杂底二极管区 170 (一般来说,较佳地可掺杂底二极管区、有源二极管区与顶二极管区,且可于外延成长时临场地掺杂或借由离子注入而离场地掺杂)。

[0144] 于图 5 中,底二极管区 170 具有自立鳍状物 (free-standing fin) 的形态。Jinichiro Noborisaka 及其于北海道大学的同事已揭示了成长自立垂直结构的方法,例如借由金属有机气相外延 (metal-organic vapor phase epitaxy) 法所形成的纳米线 (详见 Noborisaka 等人的 Appl. Phys. Lett. 86,213102[2005] 的文献;Noborisaka 等人的 Appl. Phys. Lett. 87,093109[2005]) 的文献),在此以提及方式将其并入于本文中。上述的北海道团队已发现于结构的顶面的结晶相的累积可快于位于结构的侧壁处的结晶相的累积的成长条件。换句话说,如此的成长条件有利于垂直于基板平面的成长,且同时抑制了平行于基板平面的成长。为了建立这些成长条件,上述的北海道团队调整了如气体前驱物的分压 (partial pressure)、气体前驱物内的元素比例以及基板温度等变数。这些方法适用于将底二极管区 170 形成如图 5 所示的自立鳍状物。较佳地,沟槽的侧壁可具有 {110} 的结晶方向以使得后续的外延鳍状物具有 {110} 侧壁,且于前述的 Noborisaka 等人描述的成长条件下,其较为稳定与较为缓慢地成长或不再成长。

[0145] 鳍状物的下方部,即为介电材料 160 的垂直侧壁所环绕的部分,由于其捕捉了如贯穿差排 180 的差排 (dislocations),故可称其为捕捉区 (trapping region) 175。贯穿差排 180 产生于鳍状底二极管区 170 与基板 150 间的介面,且依照约 45 度的角度向上传播。图 5 内采用虚线显示了贯穿差排 180。位于捕捉区 175 上方的底二极管区 170 的部分则相

对没有缺陷(defects)。基于如此的低缺陷区,因而可于高品质、大区域、低成本的硅晶片上制造出高品质的化合物半导体装置。对于某些材料而言,例如 GaN、InN、AlN 或上述材料的三元或四元组成物,差排密度需少于或等于 $10^8/\text{cm}^2$ 以利于装置的应用。而对于如 GaAs 与 InP 的其他材料,通常需要如少于或等于 $10^6/\text{cm}^2$ 的更低的差排密度以利装置的应用。

[0146] 图 6 显示了成长有源二极管区 185 的步骤。有源二极管区 185 的期望结构则依据所应用的装置而定。举例来说,有源二极管区 185 可包括多重量子阱(multiple quantum wells)或经适度掺杂半导体的单一膜层。于成长有源二极管区 185 前,可调整成长条件,使得于底二极管区 170 的侧面累积的结晶相的成长速率于近似相同于底二极管区 170 的顶部累积的结晶相的成长速率。其结果为,可顺应地成长有源二极管区 185 并环绕于底二极管区 170 的外侧。Noborisaka 及其同事已描述了此成长条件(详见 Noborisaka 等人的 Appl. Phys. Lett. 87,093109[2005])的文献)。

[0147] 于本实施例与其他实施例中,有源二极管区 185 与顶二极管区 190 较佳地具有近似相同于底二极管区的晶格常数(lattice constants)。虽然这些晶格常数间并非需要近似相同的。当这些晶格常数具有近似相同的结果为,于这些二极管区间的介面处可形成较少的缺陷。

[0148] 于图 6 内还显示了顶二极管区 190 的成长。顶二极管区 190 所使用的半导体材料则视装置的形态而定。顶二极管区 190 的掺杂形态则可相反于底二极管区 170 的掺杂形态,即当其中的一为 p 型掺杂时,另一将为 n 型掺杂,反之亦然。

[0149] 于图 6 中,顶二极管区 190 的宽度经过限制,使得于相邻的鳍状物之间仍保有一开口。如此的结构适用于太阳能电池的应用,于此情形中较重要地降低或减少顶二极管区 190 吸收入射光(incoming light)的可能性。于顶二极管区 190 内所产生的电子-空穴对(electron-hole pairs)于其抵达有源二极管区 185 之前便再次结合而并不会产生任何的有效电力。可降低或减少顶二极管区 190 内的材料,以于鳍状物之间留下自由空间,并尽量使得顶二极管区 190 可越薄越好。于此情形中,顶二极管区可具有介于如 10-500 纳米的一厚度。

[0150] 当于设计太阳能电池时采用如图 6 所示结构时,可借由保持相邻的有源二极管区 185 的一距离使其少于入射光波长而增加其效率。此策略可避免了入射光进入于有源二极管区 185 之间的自由空间并抵达硅基板 155 处,上述情形将会降低太阳能电池的效率。

[0151] 图 3 中显示了另一方法,即更进一步成长顶二极管区 195 以填满相邻鳍状物之间的整个空间。于此结构中,如接合缺陷(coalescence defects)的结晶缺陷可于成长前线(growth fronts)的交界处 197 形成,其于图 3 中采用虚线示出。由于这些缺陷远离于二极管的有源区,因而可降低或减少对于元件表现的损伤。当继续成长顶二极管区 195 时,较佳地选择有利于平行于基板 155 平面的成长条件并抑制了垂直于硅基板 155 平面的成长。

[0152] 图 3 中也显示了借由标准技术制造顶电性接触物 200 与底电性接触物 203 后的结构。本领域普通技术人员可理解任何适当材料可用于这些电性接触物的制备,例如铜、银、或铝的导电金属的条状物,或如铟锡氧化物(indiumtin oxide)的相对透明导电氧化物的一膜层。于发光二极管应用中,底电性接触物 203 较佳地为如银的一高反射性导电材料,借以反射内部产生的光线并使其自发光二极管内的另一表面出离开。本领域普通技术人员可以理解仍具有许多其他方法以穿透基板 155 而耦接底电性接触物 203 与底二极管区 170,例

如形成接触介层物 (contact vias) 以形成电性连接。单一底电性接触物 203 可作为多重二极管的元件。

[0153] 如图 3 内所示结构的一特征为单一顶二极管区 195 实体接触 (并因而电性接触) 了位于多个二极管内的有源二极管区 185。如此的结构特别有利于发光二极管之用, 由于其可减少或最小化顶电性接触物 200 的区域, 顶电性接触物 200 的区域会阻挡有源二极管区 185 内产生的光线的射出。借由共用的顶二极管区 195 的使用, 各二极管元件并不需要其专属的一项电性接触物 200, 单一顶电性接触物 200 则可作为多重二极管的元件。

[0154] 相较于图 6, 图 3 内共用的顶二极管区 195 内的额外半导体材料并不会劣化发光二极管的表现。顶二极管区 195 通常并不会吸收显著数量的发射光子, 于顶二极管区内的半导体材料的能隙 (band gaps) 较宽于有源二极管区内的半导体材料的能隙。

[0155] 如图 3 与图 6 所示结构相较于公知发光二极管提供了多个表现上的优点。举例来说, 于如单晶硅基板的基板上制造蓝光发光二极管的较佳材料为氮化镓 (gallium nitride)。氮化镓具有一纤维锌矿 (wurtzite) 结晶结构, 其自然地成长有平行于硅基板 155 的 c-平面 (c-plane) 以及垂直于硅基板 155 的 m-平面 (m-plane) 与 a-平面 (a-plane)。于公知发光二极管中, 限制内部量子效率的因素之一为氮化镓的极化 c-平面向半导体二极管。如图 3 与图 6 所示结构则可传送更高的内部量子效率, 基于氮化镓的非极化的 m-平面或 a-平面向二极管。于较佳的发光二极管结构内, 底二极管区 170、有源二极管区 185 及顶二极管区 195 由氮化镓 (gallium nitride) 与氮镓化镓 (indium gallium nitride) 所形成, 氮化镓的 m-平面或 -a 平面的结晶表面形成了底二极管区 170 与有源二极管区 185 间的一介面, 而氮化镓的 m-平面或 a-平面的结晶表面形成了有源二极管区 185 与顶二极管区 195 间的一介面。

[0156] 另外, 如图 3 与图 6 所示结构也适用于采用如 GaAs 与 AlGaAs 的立方材料所制成的发光二极管的应用。

[0157] 以下为依据本发明的实施例的形成底二极管区、有源二极管区与顶二极管区的工艺参数的范例。首先, 提供如公知的基板与经图案化的介电层。采用下述的依据本发明的第一实施例的工艺参数以形成 GaAs 或 AlGaAs 基的二极管的底二极管区、有源二极管区与顶二极管区。

[0158] 于本范例中, 底二极管区可为 GaAs 材质的一柱状物 (pillar) 或一鳍状物 (fin), 其具有大于宽或直径尺寸的一高度 (例如高度为 1 微米, 而宽度为 100 纳米)。前驱物 (precursors) 的成长条件 (例如采用化学气相沉积法, CVD) 如下, 包括了 (i) 压力: 0.1 atm; (ii) 前驱物: 稀释于氢气中的三甲基镓 (trimethylgallium, TMG) 与 20% 的砷化氢 (arsine AsH_3); (iii) 温度: 750°C ; 以及 (iv) 掺质类型: N 型掺杂。为了制备 N 型掺杂的底二极管区, 掺质之一为硅。为了增快垂直的成长情形, 相较于本领域普通技术人员所知悉的 GaAs 成长情形, 于此步骤中的砷化氢的分压 (partial pressure) 可相对较低。举例来说, 砷化氢的分压可低于一般成长情形中的 5-10 倍。由于上述数值为与反应器相关的数值, 故在此并不描述其绝对数值。

[0159] 另外, 于本范例中, 有源二极管区可包括位于底二极管区上的数个膜层, 其分别为第一限制膜层 (first confinement layer)、量子阱膜层 (quantum well layer) 与第二限制膜层 (second confinement layer)。

[0160] 用于载流子限制的一 AlGaAs 膜层（如 15 纳米厚）的成长条件如下，包括：(i) 压力：0.1atm；(ii) 前驱物：稀释于氢气中的三甲基镓（trimethylgallium, TMG）、三甲基铝（trimethylaluminium, TMA）与 20% 的砷化氢（arsine AsH₃）；(iii) 温度：850℃；(iv) 掺质类型：如硅的 N 型掺质。

[0161] 用于发射光线的 GaAs 量子阱膜层（如 10 纳米厚）的成长条件如下，包括：(i) 压力：0.1atm；(ii) 前驱物：稀释于氢气中的三甲基镓（trimethylgallium, TMG）与 20% 的砷化氢（arsine AsH₃）；(iii) 温度：720℃；以及 (iv) 掺质类型：未掺杂。

[0162] 用于载流子限制的一 AlGaAs 膜层（如 15 纳米厚）的成长条件如下，包括：(i) 压力：0.1atm；(ii) 前驱物：稀释于氢气中的三甲基镓（trimethylgallium, TMG）、三甲基铝（trimethylaluminium, TMA）与 20% 的砷化氢（arsine AsH₃）；(iii) 温度：850℃；(iv) 掺质类型：如锌（zinc）的 P 型掺质。

[0163] 于本范例中，顶二极管区（例如 0.5 微米厚）位于有源二极管区上或之上。GaAs 膜层的成长条件如下，包括 (i) 压力：0.1atm；(ii) 前驱物：稀释于氢气中的三甲基镓（trimethylgallium, TMG）与 20% 的砷化氢（arsine AsH₃）；(iii) 温度：720℃；以及 (iv) 掺质类型：如锌的 P 型掺质。

[0164] 如图 3 所示的实施例包括了位于硅基板上由化合物半导体或其他晶格不匹配材料所形成的一半导体二极管，包括：

[0165] 一硅基板 155；一层介电材料 160，覆盖了硅基板 155，此层介电材料内包含了一沟槽 165，其露出了硅基板 155 的表面，此沟槽具有大体垂直的侧壁，且沟槽的高度与宽度间的比例可大于或等于 1；半导体材料的一底二极管区 170，填入于沟槽内且依照一鳍状物的形状而向上延伸；一捕捉区 175，位于底二极管区 170 的最下方部，于该处贯穿差排 180 可为介电材料 160 的侧壁所拦截并终止（例如于经降低的缺陷区处）；半导体材料的一有源二极管区 185，顺应地成长并环绕有源二极管区；以及一顶电性接触物 200；以及一底电性接触物 203。

[0166] 图 7 摘要了形成如图 3 所示实施例的一方法。特别地，其为于硅基板借由化合物半导体或其他晶格不匹配材料形成二极管的制造方法，包括下述步骤。步骤 900 包括了沉积如介电材料 160 的一层介电材料于如硅基板 155 的一硅基板的表面上。步骤 905 包括了形成一沟槽于此层介电材料内以露出硅基板的表面，例如位于介电材料 165 内的沟槽 165，此沟槽具有大体垂直侧壁，且沟槽的高度与宽度的比例可大于或等于 1。步骤 910 包括了选择成长条件，其利于垂直于硅基板平面的成长与抑制平行于硅基板平面的成长。步骤 915 包括了成长一半导体材料以形成底二极管区，例如底二极管区 170，其填满了沟槽并依照鳍状物的形状向上延伸。步骤 920 包括了选择成长条件，使得用于有源二极管区的半导体材料，例如有源二极管区 185，可于接近相等的速率下形成于底二极管区的顶部与侧面上。步骤 925 包括了成长一半导体材料，顺应地环绕底二极管区的顶部与侧面以形成一有源二极管区，例如有源二极管区 185。步骤 930 包括了成长一半导体材料，顺应地环绕有源二极管区的顶部与侧面以形成一顶二极管区，例如顶二极管区 195。步骤 935 包括了形成一顶电性接触物，例如顶电性接触物 200，于顶二极管区的表面。步骤 940 包括了形成一底电性接触物，例如底电性接触物 203，于硅基板的底部上。

[0167] 如图 8 所示的另一实施例中，步骤 950 包括了继续成长顶二极管区，使得形成于相

邻的二极管上的顶二极管区相接合,进而形成了单一顶二极管区,其连结了多重二极管。

[0168] 于又一实施例中,考虑到如 Noborisaks 及其同事所描述的用于成长自立垂直结构的技术的依方法恐无法适用于所有条件。举例来说,当硅基板具有 (100) 结晶表面时,上述方法通常无法成长形成一自立垂直结构。

[0169] 如图 9 所示,上述方法适用于采用经掺杂硅基板 155。形成介电材料 210 的第一膜层于硅基板 155 的表面上。于部分实施例中,第一介电层 210 的较佳材料为氮化硅。此第一介电层 210 需足够厚,以于其内形成沟槽后可捕捉缺陷,如第一介电层 210 的厚度可等于或大于沟槽的宽度。

[0170] 于第一介电层 210 上可成长一第二介电层 215。于部分实施例中,此第二介电层适用的较佳材料为二氧化硅。

[0171] 经过图案化所形成的沟槽 220 具有穿透第一介电层 210 与第二介电层 215 的大体垂直的侧壁,进而露出了硅基板 155 表面的一部。可施行一选择性的步骤,以洁净化位于沟槽 220 底部的硅基板 155 的表面,例如为借由前述的洁净方法。

[0172] 如图 10 所示,可成长一半导体材料以填入沟槽内而形成一底部二极管区 170。由于硅与底二极管区的半导体材料间的晶格不匹配情形,于介于硅基板 155 与底二极管区 170 的介面处可能形成错配差排 (misfit dislocation)。贯穿差排可依照一角度而向上传播并为第一介电层 210 的侧壁所拦截以及于捕捉区 175 内终止。高于捕捉区 175 的底二极管区 170 的片段可相对地不具有缺陷,因而适用于高效装置。于此方法中,可于硅基板上的制作出化合物半导体装置。

[0173] 采用使用氢氟酸与水的湿蚀刻的一工艺以移除第二介电层 215。上述工艺可选择性地移除第二介电层 215 的二氧化硅材料而不会攻击第一介电层 210 的氮化硅材质或底二极管区所可能包括的任何半导体材料。所得到的结构如图 5 所示。因此,上述方法描述了制造了具有鳍状物的形状的底二极管区的一不同方式。

[0174] 上述方法继续如图 3 与图 6 所示与所述工艺:形成有源二极管区 185、顶二极管区 190、顶电性接触物 200 与底电性接触物 203。

[0175] 图 11 摘要了上述方法,其至少部分显示于图 9 与图 10 的所示情形内,包括下列步骤。步骤 1000 包括了沉积如第一介电层 210 的第一层介电材料于如硅基板 155 的一硅基板的表面上。步骤 1005 包括了沉积如第二介电层 215 的一第二层介电材料于第一层介电材料的表面上,第二层介电材料与第一层介电材料之间具有不同特性。步骤 1010 包括了形成如沟槽 220 的一沟槽于第一层介电材料与第二层介电材料之内,以露出硅基板表面,此沟槽具有大体垂直侧壁,且沟槽的高度与宽度的比例可大于或等于 1 (如位于第一层介电材料内)。步骤 1015 包括成长一半导体材料于沟槽内以形成底二极管区,例如底二极管区 170。步骤 1020 包括了选择性地移除第二层介电材料的剩余部分。步骤 1025 包括成长一半导体材料,顺应地环绕底二极管区的顶部与侧面以形成有源二极管区,例如有源二极管区 185。步骤 1030 包括了成长一半导体材料,顺应地环绕有源二极管区的顶部与侧面以形成一顶二极管区,例如顶二极管区 195。步骤 1035 包括形成一顶电性接触物于顶二极管区的表面,例如顶电性接触物 200。步骤 1040 包括形成一底电性接触物于硅基板的底部上,例如底电性接触物 203。

[0176] 图 12 显示了另一实施例,其中半导体二极管设置为一圆柱物 (column) 的形状而

非一鳍状物的形状。如二氧化硅或氮化硅的一层介电材料 160 则形成于经适当掺杂硅基板 155 的表面上。

[0177] 借由标准光刻或蚀刻技术于介电材料 160 内形成具有大体垂直的侧壁的多个孔洞 250。为了确保孔洞 250 可大体捕捉所有的贯穿差排,孔洞 250 的深度与直径的比例较佳地大于或等于 1。这些孔洞露出了硅基板 155 表面。

[0178] 成长条件(例如压力、前驱物气体组成与基板温度等)经过选择,如于先前 Noborisaka 文献所记载般,其利于垂直于硅基板 155 平面的成长并抑制平行于硅基板 155 平面的成长。可成长经适当掺杂半导体材料并使得填满孔洞而形成高于孔洞的自立圆柱物,进而制造出底二极管区 260,如图 13 所示。

[0179] 再次地,由于硅与半导体二极管材料间的晶格不匹配情形,可能于底二极管区 260 与硅基板 155 的介面处产生错配差排(misfit dislocation)。贯穿差排可依照一角度向上传播,因而为介电层 160 内的孔洞的圆滑侧壁所拦截并终止。捕捉区可仍大体位于介电层的孔洞 250 内,而贯穿差排可于其内起使与终止,故于图 13 内并看不到捕捉区。于图 13 内看到的底二极管区 260 的整个区域位于高于捕捉区之上。此底二极管区 260 的上方区域可相对地不具有结晶缺陷,因而适用于高效装置的制作。

[0180] 对于特殊因素,底二极管区 260 的圆柱物具有非常小的直径,其较佳地低于 100 纳米,底二极管区 260 内的半导体材料可经历了完整的弹性放松(elastic relaxation)而不会形成任何的晶格不匹配缺陷。于此情形中,便不会有为介电层侧壁所捕捉的任何贯穿差排,且二极管内并不会包含一“捕捉区”。

[0181] 上述成长条件可经过调整,使得用于有源二极管区 265 的材料可依照大体相同的速率而成长于底二极管区 260 的顶部与侧面之上。半导体材料顺应地成长于底二极管区 260 的顶部与侧面之上,以形成如图 14 所示的有源二极管区 265。

[0182] 如图 15 所示,半导体材料顺应地成长于有源二极管区 265 的顶部与侧面之上,以形成顶二极管区 270。可成长不连续的顶二极管区 270,使得半导体二极管具有如图 15 所示的自立圆柱物的形态,形成如图 16 所示的具有连续形态的顶二极管区 275。

[0183] 于顶二极管区 275 的露出表面上成长一顶电性接触物 280,以及于硅基板 155 的下方成长一底电性接触物 285,如图 16 所示。

[0184] 如图 16 所示的二极管可包括:

[0185] 一硅基板 155;一介电层 160,其包括露出了硅基板表面的一孔洞 250,孔洞 250 具有大体垂直的侧壁,且孔洞 250 的深度与直径的比例可大于 1;半导体材料的底二极管区 260,填入于孔洞内并依照一圆柱物的形状向上延伸;一捕捉区,位于底二极管区 260 的最下方片段内的,于该处贯穿差排可为位于介电材料 160 内孔洞的圆滑侧壁所拦截并终止;半导体材料的有源二极管区 265,顺应地成长并环绕底二极管区 260;顶二极管区 275,顺应地成长并环绕有源二极管区 265;顶电性接触物 280;及底电性接触物 285。

[0186] 以下方法为解说方法用于制造如图 16 所示的实施例的两种方法。

[0187] 图 17 摘要了一方法,其包括了下述步骤。于步骤 1100 包括沉积如介电材料 160 的一层介电材料于如硅基板 155 的一硅基板表面之上。步骤 1105 包括了形成如孔洞 250 的一孔洞于介电材料的膜层内,以露出硅基板的表面,孔洞具有大体垂直的侧壁且孔洞的深度与直径的比例可大于或等于 1。步骤 1110 包括了选择成长条件,其利于垂直于硅基板平

面的成长并抑制水平于硅基板平面的成长。步骤 1115 包括了成长一半导体材料以形成底二极管区,例如底二极管区 260,其填满了孔洞并依照圆柱物的形状向上延伸。步骤 1120 包括选择成长条件,使得半导体材料用于有源二极管区,例如有源二极管区 265,可于接近相同的速率下成长于底二极管区的顶部与侧面之上。步骤 1125 包括成长一半导体材料,顺应地环绕底二极管区的顶部与侧面,以形成一有源二极管区,如有源二极管区 265。步骤 1130 包括成长一半导体材料,顺应地环绕有源二极管区的顶部与侧面,以形成一顶二极管区,如顶二极管区 275。步骤 1135 包括了形成一顶电性接触物,例如顶电性接触物 280,于顶二极管区的表面。步骤 1140 包括形成一底电性接触物,例如底电性接触物 285,于硅基板的底部上。

[0188] 另一方法则并不依靠成长具有圆柱物的形状的自立底二极管区的能力。其起使于使用经适当掺杂的硅基板 155,例如图 18 所示。于硅基板 155 表面之上成长如氮化硅的第一介电层 210。

[0189] 成长一第二介电层 215 于第一介电层 210 上。于部分实施例中,用于第二介电层 215 的较佳材料为二氧化硅。

[0190] 形成具有大体垂直的侧壁的孔洞 300,其穿透第一介电层 210 与第二介电层 215,进而露出硅基板 155 的表面。可以如标准光刻或反应性离子蚀刻工艺的不同技术以形成孔洞 300。

[0191] 第一介电层 210 的厚度可大于或等于孔洞 300 的直径。于如此的情形下,第一介电层 210 的圆滑侧壁 (curved sidewalls) 可大体捕捉所有的差排缺陷。

[0192] 位于孔洞 300 底部的硅基板 155 的表面可经过前述洁净方法的清洁。

[0193] 如图 19 所示,利用一半导体材料以填入于孔洞 300 以得到底二极管区 260。

[0194] 错配差排 (misfit dislocation) 可能发生于底二极管区 260 与硅基板 155 的介面处。贯穿差排可依照一角度而向上传播,进而为第一介电层 210 的圆滑侧壁所拦截并终止于捕捉区内,其仍大体位于经填满孔洞 300 的底部,故因此于图 19 内为看不到的。高于捕捉区之上的底二极管区 310 的整个区域相对地不具有结晶缺陷,因而适用于高效装置的制作。

[0195] 借由如采用氢氟酸与水的湿蚀刻的一程序以移除第二介电材料 215 的剩余部分 (如二氧化硅层)。上述程序可选择性地移除第二介电层 215 (如二氧化硅材料) 而不会攻击其他的第一介电层 210 (例如氮化硅材料) 或包括底二极管区 260 的其他半导体材料。

[0196] 最终结构如图 13 所示。上述程序可继续相对于图 14- 图 16 所示情形的前述方法:

[0197] 如图 14 所示,形成一有源二极管区 265;如图 15 或图 16 所示,形成顶二极管区 270 或 275;以及如图 16 所示,形成顶电性接触物 280 与底电性接触物 285。

[0198] 图 20 摘要了前述方法,其包括下述步骤。步骤 1200 中包括了沉积如第一介电层 210 的一第一层介电材料,于如硅基板 155 的硅基板的表面上。步骤 1205 包括沉积如第二介电层 215 的一第二层介电材料于第一介电层的表面上。步骤 1210 包括形成如孔洞 300 的一孔洞于第一层介电材料与第二层介电材料内以露出硅基板的表面,此孔洞具有大体垂直侧壁,孔洞 (300) 的深度与直径的比例可大于或等于 1。步骤 1215 包括成长一半导体材料于孔洞内以形成底二极管区,如底二极管区 260。步骤 1220 包括选择性移除了第二层介

电材料的剩余部分。步骤 1225 包括成长一半导体材料,顺应地环绕底二极管区的顶部与侧面以形成一有源二极管区,例如有源二极管区 265。步骤 1230 包括成长一半导体材料,顺应地环绕有源二极管区的顶部与侧面以形成一顶二极管区,例如顶二极管区 270 或 275。步骤 1235 包括形成如顶电性接触物 280 的一顶电性接触物于顶二极管区的表面上。步骤 1240 包括形成如底电性接触物 285 的一底电性接触物于硅基板的底部上。

[0199] 于圆形孔洞 250 内沉积部分半导体材料并接着形成自立的底二极管区 260 时,其表现出独特行为。特别地,自立圆柱物可成长至圆形孔洞之外,以形成六角柱状物,例如具有六边形的剖面情形而非圆形的剖面情形(如图 13 所示的元件 260、如图 14 所示的元件 265 与如图 15 所示的元件 270)。在此,半导体二极管内元件的标记与图 12 至图 16 所示情形为相同的,除了这些柱状物将如前所述般具有六边形的剖面。

[0200] 可较佳地使用六角柱状物以增加半导体二极管的集结密度(packing density),其借由将六角柱状物依照六边形阵列设置而非依照方形阵列设置。图 21 显示了数个二极管,在此仅显示了其内的顶二极管区 270,且这些顶二极管区 270 依照一六边形阵列设置而非依照一方形阵列设置(请注意图 21,其内柱状物仍具有一圆形剖面而非一六边形剖面)。由孔洞 250 所形成的六边形阵列形成于介电材料 160 内,其并非依照一方形阵列形成。

[0201] 请参照图 22,显示了一六边形阵列的俯视情形,显示了半导体二极管按照六边形阵列设置的紧密集结情形。于图 22 内的六边形构件为具有六边形剖面的顶二极管区 270。介于六边形构件间的这些区域为介电材料 160 的露出部分。另一实施例包括了如前述的数个二极管,与其他二极管依照六边形阵列设置且具有六边形剖面,以达成紧密的集结情形。

[0202] 如图 3 所示的二极管结构适用于发光二极管以及其他光电装置。然而,于多重结太阳能电池(multi-junction solar cells)中,来自于介电层 160 的光线反射将降低转换效率(conversion efficiency)。举例来说,假设基板 155 包括了为了捕捉相对低能量的光子(photons)的一 p-n 结。这些相对低能量的光子将会入射于结构的顶面,穿透顶二极管区并(依照其路径)可能也穿透了有源二极管区 185 与底二极管区 170,接着抵达了介电层 160 处。这些光子的部分将为介电层 160 所反射,并穿透了这些构件 170、185 与 195 并自装置的顶面离开。由于太阳能电池并不会吸收上述部分的光子,故其于程序中将造成损失。

[0203] 图 25 显示了装置结构的一实施例。此结构可提供具有一缩减厚度(如少于 20 纳米的厚度)的一介电层,其够薄而使得光子可穿透其而非为其反射。为了建造此结构,首先提供如图 23 内所示的硅基板。当制作包括硅层内这些结的一多重结太阳能电池时,硅基板 155 可经过适当掺杂。介电层 350 可成长于硅基板 155 之上并够薄,以大体使得所有入射光可穿透。沟槽 335 形成于介电层之内。

[0204] 于反应器中的沉积条件经过调整,以如前所述般利于垂直的成长并抑制水平的成长。如图 24 所示,底二极管区 365 依照自立的鳍状物的形状而形成。

[0205] 于反应器中的沉积条件经过调整,以使得垂直成长与水平成长的速率为近似相同的。如图 25 所示,半导体材料可顺应地形成并环绕底二极管区 365 的顶部与侧面,以形成有源二极管区。

[0206] 由于介电层为极薄,沟槽 335 的深宽比(高度与宽度间的比例)将少于 1。其结果为,介电层 350 的侧壁并无法大体捕捉所有的贯穿差排 375。这些贯穿差排 375 可继续延伸进入有源二极管区 380 内。值得注意的是,当电子-空穴对接触了贯穿差排 375 时,其将再

结合并因而降低了太阳能电池的效率。然而,上述结构并不考虑上述不良效应,此于光子可于其抵达贯穿差排 375 处之前穿透了位于二极管的上方部内的主要的光吸收区 390。相较于贯穿差排 375 所占区域,由于主要的光吸收区 390 相对为大,故可吸收大多数光子。于贯穿差排 375 处的电子空穴对的再结合可因而视为次要效应 (secondary effect) 而不会显著降低太阳能电池的效率。

[0207] 半导体材料顺应地成长于有源二极管区 380 的顶部与侧面以形成顶二极管区 395。同样地,接合缺陷 400 可出现于顶二极管区 395 内且位于相邻鳍状物接合处的成长前线处。

[0208] 形成顶电性接触物 410 于顶二极管区 395 的顶面,以及形成底电性接触物 415 于硅基底 155 的底部。于一太阳能电池中,接合缺陷 400 的影响可借由于其上覆盖顶电性接触物 400 而得到缓和。

[0209] 如图 25 所示实施例为由形成于硅基板上的化合物半导体或其他晶格不匹配半导体材料所形成的二极管,其包括:

[0210] 一硅基板 155;一层介电材料 350 覆盖了硅基板,此层介电层包含露出硅基板 155 表面的一沟槽 355 且具有少于 20 纳米的一厚度;半导体材料的一底二极管区 365,填入于沟槽 355 内并依照一鳍状物的形状向上延伸;半导体材料的一有源二极管区 380,顺应地成长并环绕底二极管区 365;半导体材料的一顶二极管区 395,顺应地成长并环绕有源二极管区 380;一顶电性接触物 410;与一底电性接触物 415。

[0211] 图 26 示出了制造如图 25 所示的实施例的一方法。此方法包括了下述步骤。步骤 1300 包括了沉积如介电材料 350 的一层介电材料于如硅基板 155 的一硅基板的表面上,其具有少于或等于 20 纳米的厚度。步骤 1305 包括形成如沟槽 355 的一沟槽于此层介电材料内,以露出硅基板 155 的表面,此沟槽具有大体垂直侧壁。步骤 1310 包括选择成长条件,其利于垂直于基板平面的成长与抑制平行于基板平面的成长。步骤 1315 包括成长半导体材料以形成一底二极管区,例如底二极管区 365,其填满了上述沟槽并依照鳍状物的形状向上延伸。步骤 1320 包括选择成长条件,使得如有源二极管区 380 的有源二极管区的半导体材料可于接近相同速率下成长于底二极管区的顶部与侧面上。步骤 1325 包括成长一半导体材料,顺应地环绕底二极管区的顶部与侧面以形成一有源二极管区。步骤 1330 包括形成一半导体材料,顺应地环绕有源区的顶部与侧面以形成一顶二极管区,例如顶二极管区 395。步骤 1335 包括形成如顶电性接触物 410 的一顶电性接触物于顶二极管区的表面上。步骤 1340 包括形成如底电性接触物 415 的一底电性接触物于硅基底的底部上。

[0212] 于部分应用中,硅基板的存在将劣化了装置表现。举例来说,对于发光二极管所发出的特定波长范围内的光线而言,硅可能会吸收此光线。于一解说用的装置结构中,可如图 28 所示般移除硅基底。如图 27 内所示,于此工艺中用于制造如此装置的步骤相同如图 3 所示结构,仅简单地于形成电性接触物 200 与 203 的前将图 3 所示结构反置。

[0213] 如图 28 所示,结合一握持基板或表面 430 与顶二极管区 195。握持基板 430 可为发光二极管的封装夹具 (packaging fixture) 的一部。在此,可能需要借由如化学机械研磨的适当技术以平坦化顶二极管区 190、195 的表面,借以牢靠地接合于握持晶片 430。

[0214] 握持基板 430 可为导电的,或者其内包含了用于顶二极管区 195 的导电元件以作为接触物之用。接合方法为公知的,其包括了倒装芯片接合方法的使用,即将发光二极管的

顶部接合于发光二极管封装物的一部的表面上。

[0215] 接着借由如研磨、采用如氢氧化四甲铵 (Tetramethyl ammoniumHydroxide, TMAH) 的化学品的蚀刻或激光剥落的一或多个方法, 以移除此起使用的硅基板 155, 上述所有的移除方法对于本领域普通技术人员为公知的。

[0216] 接触物 435 与 440 使用反射性材料也有助于光线于依照最期望的方向而远离发光二极管。

[0217] 如图 28 所示的实施例为由化合物半导体或其他的晶格不匹配半导体材料所制成的二极管, 其包括:

[0218] 包括一沟槽 165 的一层介电材料 160, 此沟槽具有大体垂直侧壁, 且沟槽的高度与宽度的比例可大于或等于 1; 半导体材料的鳍状底二极管区 170, 填入于沟槽内; 一捕捉区 175, 位于底二极管区 170 内, 其中贯穿差排 180 可为沟槽 165 的侧壁所拦截并终止; 半导体材料的有源二极管区 185, 顺应地成长并环绕底二极管区 170; 半导体材料的顶二极管区 195, 顺应地成长并覆盖有源二极管区; 一握持基板 430; 一顶电性接触物 435; 以及一底电性接触物 440。

[0219] 图 29 显示了制造如图 28 的实施例的一方法。此方法包括了下述步骤。步骤 1400 包括沉积如介电材料 160 的一层介电材料于如硅基底 155 的一硅基底的表面上。步骤 1405 包括了形成了如沟槽 165 的一沟槽于介电材料的膜层内以露出硅基底的表面, 此沟槽具有大体垂直侧壁, 且沟槽的高度与宽度的比例可大于或等于 1。步骤 1410 包括了选择成长条件, 其利于垂直于硅基板平面的成长与抑制水平于硅基板平面的成长。步骤 1415 包括了成长一半导体材料以形成一底二极管区, 例如底二极管区 170, 其填入于沟槽内并按照一鳍状物形状向上延伸。步骤 1420 包括了选择成长条件, 以使得用于如有源二极管 185 的有源区的半导体材料可于接近相等速率下成长于底二极管区的顶部与侧面之上。步骤 1425 包括了成长一半导体材料, 顺应地环绕底二极管区的顶部与侧面以形成一有源二极管区。步骤 1430 包括了成长一半导体材料, 顺应地环绕有源二极管区的顶部与侧面以形成一顶二极管区, 例如顶二极管区 190。步骤 1435 包括接合如握持基板 430 的一握持基板与顶二极管区的表面。步骤 1440 包括了借由一化学或机械程序以移除硅基板。步骤 1445 包括了形成一顶电性接触物于介电层的露出表面上, 例如顶电性接触物 435。步骤 1450 包括了形成一底电性接触物于握持基板的露出表面上, 例如底电性接触物 440。

[0220] 形成如图 28 所示的实施例的另一方法为借由如图 11 所述方法而非如图 7 所示方法以形成如图 9 所示的鳍状物结构。

[0221] 降低或减少硅基板的光线吸收的另一方法为借由为于硅基板之上形成一反射物 (reflector)。如图 32 所示实施例中显示了一种方法, 其显示了具有也可作为顶电性接触物的一反射物的一发光二极管。

[0222] 为了建造此结构, 提供如具 (111) 结晶表面的硅所形成的一基板 500, 其依照二极管的形态而经 p 型或 n 型掺杂, 如图 30 所示。接着可沉积或成长如氮化硅的第一层介电材料 510, 如钨的一层耐火金属 520, 以及一第二层介电材料 530。可选择如钨的一耐火层 / 材料或耐火金属 520, 由于此膜层 520 可承受后续膜层的成长温度而不会融化。

[0223] 借由光刻及或反应性离子蚀刻以于此结构内形成一沟槽。

[0224] 可借由公知方法于沟槽侧壁之上形成介电间隔物 550。于间隔物工艺中, 所有露出

表面（第二层介电材料 530 的侧壁、耐火金属 520、第一层介电材料 510 及位于沟槽底部的硅基板 500 露出表面）顺应地涂布有一层介电材料，例如二氧化硅。接着将上述介电材料置于一快速的各向异性离子蚀刻中，其选择性地移除了涂布水平表面上二氧化硅但留下了涂布于垂直表面上的未反应的二氧化硅。如此可形成了介电间隔物 550。其并不会露出金属。

[0225] 选择性地，位于沟槽底部的硅基板 500 的露出表面可借由前述方法而经过洁净。

[0226] 接着选择成长条件，其有利于垂直于硅基板 500 平面的成长与抑制平行于硅基板 500 平面的成长，如前述的 Noborisaka 及其同事的文献中所记载。半导体材料成长并填入于沟槽内，以形成按照鳍状物的形状向上延伸的一自立底二极管区 570。半导体材料的成长可采用金属有机化学气相沉积 (MOCVD) 所施行。由于半导体材料用于底二极管区并不允许于介电间隔物 550 或第二介电材料层 530 之处聚集 (nucleate)，故此成长步骤的工艺裕度（例如温度与压力的条件）为狭窄的。

[0227] 贯穿差排 560 可依照相对于介于底二极管区 570 与硅基板 500 的介面如 45 度的一角度向上传播，因而为介电间隔物 550 所拦截并于一捕捉区 555 内终止。为了大体捕捉所有的贯穿差排，捕捉区的深宽比（介电间隔物 550 的高度与沟槽的宽度介于间隔物之间的比例）较佳地需大于或等于 1。

[0228] 接着选择成长条件，使得用于有源二极管区 580 的半导体材料可按照大体相同的速率成长于鳍状物的顶部与侧面。可顺应地成长此半导体材料并环绕底二极管区的顶部与侧面，以形成一有源二极管区 580。

[0229] 当使用金属有机化学气相沉积法时，接着自如金属有机化学气相沉积反应器的反应器内移出上述试样，并接着借由一湿蚀刻法以移除结构中的第二层介电材料 530。举例来说，当介电材料为氮化硅时，接着可采用热磷酸作为一良好的蚀刻剂。

[0230] 接着将此结构置回反应器中，并选择成长条件，使得用于顶二极管区 590 的半导体材料可如图 31 所示般不仅依照大体相同速率成长于底二极管区的顶部与侧面之上，也可同时将其涂布于耐火金属 520 的表面上。接着借由成长一半导体材料，以形成顺应地涂布并环绕有源二极管区 580 的顶部与侧面（并不需要继续成长顶二极管区 590 使得顶二极管区邻近二极管的接合如图 3 所示，由于耐火金属 520 的膜层可作为一电性接触至顶二极管区 590) 上的顶二极管区 590。同时地，上述半导体材料的水平膜层也形成并涂布于耐火金属 520 表面之上。

[0231] 选择性地，可利用如二氧化硅的一第三层介电材料 600 以覆盖顶二极管区 590 与半导体材料 595 的水平膜层。

[0232] 可采用标准技术，以形成穿透第三层介电材料 600 及穿透半导体材料 595 的水平膜层，如图 31 所示。为了得到最佳结果，介层开口 605 可选择性地远离这些二极管的元件膜层 570、580 与 590。

[0233] 最后，借由沉积如钨插栓或其他适当的公知材料的一适当材料 620 以填满介层开口 605 填满，并作为一顶电性接触物 630，如图 32 所示。此外，也形成一底电性接触物 640。

[0234] 于附图的实施例中，图 32 所示结构作为发光二极管，耐火金属层 520 不仅作为一顶电性接触物，且也作为反射物。二极管内所产生的部分光线会向下传播而朝向硅基板 500。这些光线的大部分将入射至耐火金属层 520 处。举例来说，当耐火金属层 520 使用如

钨的材料时,其可反射所有的光线并使其向上。反射光线可离开结构并贡献于发光二极管的亮度。于二极管内仅小部分的产生光线可能通过位于硅基板 500 内的捕捉区 555,其可被吸收并于工艺中形成损失。

[0235] 如图 32 所示的实施例的另一范例为形成一孔洞以取代前述的第一沟槽内,并于其内依照圆柱物而非鳍状物的形状成长二极管。

[0236] 图 32 所示实施例为由化合物半导体或其他的晶格不匹配半导体材料所形成的二极管,可包括:

[0237] 一硅基板 500;一层介电材料 510,覆盖了硅基板 500;一层耐火金属 520,覆盖了介电材料;半导体材料的一水平膜层 595,覆盖了耐火金属 520;一第一沟槽,穿透了半导体材料 595、耐火金属 520 与介电材料 510 并露出了硅基板 500 的表面,第一沟槽具有大体垂直侧壁,且第一沟槽的高度与宽度的比例大于或等于 1;介电间隔物 550,覆盖了第一沟槽的侧壁;半导体材料的底二极管区 570 填入于第一沟槽内,并依照鳍状物的形状向上延伸;一捕捉区 555,位于底二极管区 570 的最底片段,于该处贯穿差排可为介电间隔物 550 所拦截并终止;半导体落的一有源二极管区 580,顺应地成长并环绕底二极管区 570;半导体材料的一项二极管区 590,顺应地成长并环绕有源二极管区 580 并接触了半导体材料 595 的水平膜层;一厚层介电材料 600,覆盖了顶二极管区 590 与半导体材料 595 的水平膜层;一第二沟槽,穿透了此厚层介电材料 600 与半导体材料 595 的水平膜层,进而露出了耐火金属 520 的表面;一金属插栓或导电物 620,填入了第二沟槽内并实体接触了耐火金属 520 的膜层;顶电性接触物 630,实体接触了金属插栓 620;以及底电性接触物 640,实体接触了硅基板 500。

[0238] 图 33 显示了图 32 所示实施例的一制造方法。此方法包括了下列步骤。步骤 1500 包括了沉积如介电材料 510 的一层介电材料于硅基板 500 的硅基板的表面上。步骤 1505 包括了沉积如耐火金属 520 的一层耐火金属于第一层介电材料上。步骤 1510 包括了沉积如介电材料 530 的一第二层介电材料于耐火金属之上。步骤 1515 包括了形成一第一沟槽,其穿透第二层介电材料、耐火金属与第一介电材料,以露出硅基板的表面,第一沟槽具有大体垂直侧壁,且第一沟槽的高度与宽度的比例大于或等于 1。步骤 1520 包括形成一第三层介电材料以涂布所有露出表面(第二层介电材料、第一沟槽的侧壁、与位于第一沟槽底部的硅基板的表面)。步骤 1525 包括了蚀刻去除第三层介电材料的水平表面,进而留下了如间隔物 550 的介电间隔物于第一沟槽的侧壁上。步骤 1530 包括了选择成长条件,其(i)有利于垂直于硅基板的表面上的成长;(ii)抑制平行于第二基板的平面的成长;(iii)不允许半导体材料集结于第一介电材料或介电间隔物之上。步骤 1535 包括成长一半导体材料以形成一底二极管区,如底二极管区 570,其填入第一沟槽内并依照一鳍状物的形状向上延伸。步骤 1540 包括借由一选择性湿蚀刻以移除第二层介电材料。步骤 1545 包括选择成长条件,使得用于有源二极管区的半导体材料可依照大体相同的速率而成长于底二极管区的顶部与侧面之上。步骤 1550 包括成长一半导体材料,顺应地环绕底二极管区的顶部与侧面,以形成一有源二极管区,例如有源二极管区 580。步骤 1555 包括了选择成长条件,用于顶二极管区的使得半导体材料,例如顶二极管区 590 的,可(i)依照近似相同的速率成长于有源二极管区的顶部与侧面之上,以及(ii)涂布于耐火金属的表面上。步骤 1560 包括了成长一半导体材料,顺应地环绕有源二极管区的顶部与侧面以形成一项二极管区,且同时成

长一半导体材料的水平膜层,如半导体材料 595 的水平膜层,其涂布于耐火金属的表面上。步骤 1565 包括使用了如介电材料 600 的一第三层介电材料以涂布于顶二极管区与半导体材料的水平膜层之上。步骤 1570 包括形成如介层开口 605 的一介层开口,其穿透了第三层介电材料与半导体材料的水平膜层。步骤 1575 包括了借由沉积如金属插栓或导体 620 的一金属插栓以填满介层开口,其接触了耐火金属膜层并形成一顶电性接触物,如顶电性接触物 630。步骤 1580 中包括了成长一底电性接触物于硅基板的底部上,例如底电性接触物 640。

[0239] 图 35 显示了用于发光二极管的未来可能的主流但不一定的另一实施例,其利用了当于介电层内的孔洞或沟槽内成长氮化镓的优点,其可自然地具有如六边形金字塔(six-sided pyramid)形状的结晶表面的结果。为了制作此实施例,如图 34 所示,首先提供一硅基板 700。沉积一层介电材料 710。于介电材料内借由一光刻工艺及或一蚀刻工艺以形成一孔洞 720,进而露出硅基板表面的一部。在此建议,位于孔洞底部的硅基板 700 的表面可借由前述方法的经过洁净。

[0240] 如图 35 所示,接着成长一半导体材料以形成底二极管区 730。(于此实施例中,所有半导体材料可为 III-氮化物材料,例如氮化镓)。底二极管区 730 的半导体材料填满了孔洞 720 并依照六边形金字塔形状自然地向上成长至孔洞之上。

[0241] 于其他实施例中,孔洞 720 的深度与直径的比例较佳地大于或等于 1 以使得此结构可捕捉差排缺陷。差排缺陷 740 可形成于底二极管区 730 与硅基板 700 的介面处。这些差排缺陷可依照一角度向上传播,而为介电层 710 的侧壁所拦截并于捕捉区 750 内终止,使得于底二极管区 730 的上方部内形成了相对无缺陷的氮化镓材料。

[0242] 接着顺应地形成一半导体材料于金字塔形状的底二极管区 730 之上以形成一有源二极管区 760。

[0243] 接着顺应地形成一半导体材料于金字塔形状的有源二极管区 760 之上以形成一顶二极管区 770。在此建议,可依照位于相邻二极管上的顶二极管区 770 相结合的一种方式成长顶二极管区 770 的半导体材料。此方法的优点在于可使用单一条状的金属以作为提供电流用于多重二极管的顶电性接触物 780,而电流可通过顶二极管区 770 而自一二极管流通至另一二极管。

[0244] 最后,形成顶电性接触物 780 与底电性接触物 790。顶电性接触物可为如金属的条状物或如铟锡氧化物的透明导电物的单一膜层。由于顶电性接触物阻挡了由装置所发出的光线,故较佳地可降低或减少顶电性接触物 780 所使用的区域面积。即使为“透明接触物”,其通常并非为 100%透光的。

[0245] 如图 35 所示的结构提供了不同优点。相较于本发明中所讨论的其他实施例,由于氮化镓可按照六边型金字塔形状自然地成长,故其成长情形为较为简单。p-n 二极管的表面区域可大于硅基板 700 的表面区域。上述优点极为重要,由于其增加了装置所占据区域内的每单位面积的光子输出量(photon output)。底二极管区并不限定为如前述实施例所示的窄的柱状物或鳍状物。于当窄的底二极管区于高电流操作下可能导致了不良的串联电组的情形时,上述实施情形将成为不同于其他实施例的一优点。位于介于底二极管区 730 与有源二极管区 760 间介面处以及位于有源二极管区 760 与顶二极管区 770 间介面处的氮化镓的结晶表面为半极化平面(semi-polar planes),其意味着发光二极管的内部量子效率可

大于当其结晶表面位于极化 c- 平面的介面处的表现。

[0246] 于另一结构中,如图 35 所示的实施例可借由于介电层内的深宽比捕捉开口而非如图所示的孔洞或沟槽而形成。

[0247] 接下来为依据本发明的实施例的用于形成底二极管区、有源二极管区与顶二极管区的工艺参数的范例。首先基板与图案化的介电层提供。依据如图 35 所示实施例的用于形成 GaN 与 InGaN- 基发光二极管的底二极管区、有源二极管区与顶二极管区的成长条件的工艺参数(如采用化学气相沉积法)如下文所述。于本范例中,底二极管区可包括两个膜层。第一 GaN 膜层的成长条件作为一低温缓冲物(如 30nm 厚)包括(i)压力:100Torr;(ii)前驱物:稀释于氢气中的三甲基镓(trimethylgallium, TMG)与氨气(NH₃);(iii)温度:530℃(iv)掺杂种类:如硅的 N 型掺杂。而一第二 GaN 膜层的成长条件作为一高温缓冲物(如 500nm 厚)包括:(i)压力:100Torr;(ii)前驱物:稀释于氢气中的三甲基镓(trimethylgallium, TMG)与氨气(NH₃);(iii)温度:1030℃;及(iv)掺杂种类:如硅的 N 型掺杂。于本范例中,有源二极管区可具有两个膜层。成长条件用于第一 InGaN 膜层作为一量子阱用于发射(如 2nm 厚),包括:(i)压力:100Torr;(ii)前驱物:稀释于氮气中的三甲基镓(trimethylgallium, TMG)、三甲基铝(trimethylaluminum, TMI)、氨气;(iii)温度:740℃;以及(iv)掺杂种类:未经掺杂。一第二层的 GaN 作为阻挡层用于载流子限制的(如 15nm 厚)的成长条件包括:(i)压力:100Torr;(ii)前驱物:稀释于氢气中的三甲基镓(trimethylgallium, TMG)、NH₃;(iii)温度:860℃;及(iv)掺杂种类:如硅的 N 型掺杂。于本范例中,顶二极管位于有源二极管之上。成长条件用于一层 GaN(如 100nm 厚),包括:(i)压力:100Torr;(ii)前驱物:稀释于氮气中的三甲基镓(trimethylgallium, TMG)与氨气;(iii)温度:950℃;以及(iv)掺杂类型:如镁的 P 型掺杂。顶二极管区可作为一 p 接触层。

[0248] 图 35 所示的实施例为使用 III- 氮化物(III-nitride)半导体材料的一半导体二极管,例如为位于硅基板上的氮化镓,其包括:

[0249] 一硅基板 700;一介电层 710,包括露出了硅基板表面的一孔洞 720,孔洞 720 具有大体垂直侧壁,且孔洞 720 的深度与直径的比例可大于 1;半导体材料的底二极管区 730,填入于孔洞内并依照六边型金字塔形状向上延伸;捕捉区 750,位于底二极管区 730 的最底片段内,而贯穿差排 740 可为介电材料 710 的弯曲侧壁所拦截并终止;半导体材料的有源二极管区 760,顺应地成长环绕底二极管区 730;半导体材料的顶二极管区 770,顺应地成长于有源二极管区 760;底电性接触物 780;以及底电性接触物 790。

[0250] 图 36 显示了如图 35 所示实施例的一制造方法。其关于于一硅基板上形成由 III- 氮化物半导体所制成的一发光二极管,包括下列步骤。步骤 1600 包括沉积如半导体材料 710 的一层半导体材料于如硅基板 700 的一硅基板的表面上。步骤 1605 包括形成如孔洞 720 的一孔洞于此层介电材料内以露出硅基板的表面,此孔洞具有大体垂直侧壁,而孔洞的深度与直径的比例可大于或等于 1。步骤 1610 包括成长 III- 氮化物半导体材料,以形成一底二极管区,例如底二极管区 730,其填满了孔洞并依照六边型金字塔形状向上延伸。步骤 1615 包括形成一 III- 族半导体材料,顺应地环绕底二极管区的顶部与侧面以形成有源二极管区,如有源二极管区 760。步骤 1620 包括成长一 III- 氮化物半导体材料,顺应地环绕有源二极管区的顶部与侧面以形成一顶二极管区,例如顶二极管区 770。步骤 1625 包括

形成一顶电性接触物于顶二极管区 770 之上,例如顶电性接触物 780。步骤 1630 包括了形成一底电性接触物位于硅基板的底部上,例如底电性接触物 790,。

[0251] 如图 38 所示实施例为图 35 所示实施例的一变化情形,其移除了硅基板以消除吸收由发光二极管所产生的光线的可能性。首先提供如图 34 所示结构。接着成长半导体材料以形成底二极管区,如图 37 所示。底二极管区 730 的半导体材料填满了孔洞 710 并依照六边形金字塔形状成长。

[0252] III-氮化物半导体材料可顺应地形成于底二极管区 730 的顶部与侧面,以形成有源二极管区 760。

[0253] III-氮化物半导体材料可顺应地形成于有源二极管 760 的顶部与侧面以形成顶二极管区 780。于此情形中,顶二极管区将持续成长直至来自于相邻二极管的成长前线相接合。选择性步骤为平坦化顶二极管区 800 的表面,其较佳地依照结晶表面品质而决定。

[0254] 将上述结构反置,并结合一握持晶片 810 于顶二极管区 800 的表面(其中现在位于结构的底部),如图 38 所示。握持基板 810 可为发光二极管封装夹具的一部。于部分实施例中,握持基板 810 为导电的,而于其他实施情形中,其内包含了用于顶二极管区 800 的导电元件以作为接触物之用。

[0255] 接着借由如研磨、采用如氢氧化四甲铵(Tetramethyl ammoniumHydroxide,TMAH)的化学品的蚀刻或激光剥落的一或多个方法,以移除此起使的硅基板 700。

[0256] 接着形成顶电性接触物 820 与底电性接触物 830,以形成如图 38 所示的完整结构。

[0257] 图 38 的实施可具有相同于图 35 所示实施例的优点,且由于其并不包括可吸收内部产生光线的硅基板 700,故其额外地具有较佳汲光效率(extractionefficiency)。

[0258] 图 38 所示实施例可包括由 III-氮化物半导体材料所制成的一半导体二极管,例如位于一硅基板上的氮化镓材料,其包括:

[0259] 一层介电材料 710,包括一孔洞 720,此孔洞 720 具有大体垂直侧壁,而孔洞 720 的深度与直径的比例可大于或等于 1;半导体材料的底二极管区 730,填入于孔洞 720 内并依照六边形金字塔形状形成;捕捉区 750,位于底二极管区 730 之内,其中贯穿差排 740 可为孔洞的侧壁所拦截并终止;半导体材料的有源二极管区 760,顺应地成长环绕底二极管区 730;半导体材料的顶二极管区 800,顺应地成长环绕有源二极管区;握持基板 810;顶电性接触物 820 以及底电性接触物 830。

[0260] 图 39 显示了如图 38 所示实施例的一制造方法。其为于硅基板上由 III-氮化物半导体所制成的发光二极管的方法,包括下述步骤:

[0261] 步骤 1700 包括沉积如半导体材料 710 的一层半导体材料于如硅基板 700 的一硅基板的表面上。步骤 1705 包括了形成如孔洞 720 的一孔洞于此层介电材料内,以露出硅基板的表面,此孔洞具有大体垂直侧壁,而孔洞的深度与直径的比例可大于或等于 1。步骤 1710 包括成长 III-氮化物半导体材料以形成一底二极管区,例如底二极管区 730,其填满了孔洞并依照六边型金字塔形状向上延伸。步骤 1715 包括形成一 III-族半导体材料,顺应地环绕底二极管区的顶部与侧面以形成有源二极管区,如有源二极管区 760。步骤 1720 包括了成长一 III-氮化物半导体材料,顺应地环绕有源二极管区的顶部与侧面以形成一顶二极管区,例如顶二极管区 800。步骤 1725 包括持续成长顶二极管区直至相邻二极管上的成长前线相接合。步骤 1730 包括平坦化顶二极管区的表面。步骤 1735 包括连结如握持基

板 810 的一握持基板与顶二极管区的表面。步骤 1740 包括借由一化学或机械工艺以移除硅基板。步骤 1745 包括了形成一顶电性接触物于介电材料的露出表面之上,例如顶电性接触物 820。步骤 1750 包括形成一底电性接触物于硅基板的底部上,例如底电性接触物 830。

[0262] 本发明的实施例提供了借由深宽比捕捉技术而沉积于硅基板上的化合物半导体或其他晶格不匹配半导体所制成的新颖且有用的二极管结构。上述半导体二极管适用于太阳能电池、发光二极管、共振穿隧二极管、半导体激光与其他装置的为基础结构。

[0263] 本发明的一目的在于降低太阳能电池、发光二极管以及其他化合物半导体装置的成本,其借由将其形成于高品质、大面积、低成本的硅晶片上而非较小较贵的基板上所达成。

[0264] 本发明的另一目的在于改善发光二极管的汲出效率与内部量子效率,其借由采用 III-氮化物半导体的非极化平面所达成。

[0265] 因此,本发明的一实施例关于一种二极管,包括:

[0266] 一基板;一介电材料,包括露出该基板的一部的一开口,该开口具有至少为 1 的深宽比;一底二极管材料,包括至少部分地设置于该开口内的一下方区以及延伸至高于该开口上的一上方区,该底二极管材料包括晶格不匹配于该基板的一化合物半导体材料;一项二极管材料,邻近于该底二极管材料的该上方区;以及一有源二极管区,位于该项二极管材料与该底二极管材料之间,该有源二极管区包括了延伸远离该基板的该顶面的一表面。

[0267] 上述基板择自由硅、蓝宝石与碳化硅所组成的族群。上述基板为具有一结晶方向为 (111) 或 (100) 的一单晶硅晶片。上述介电材料包括二氧化硅或氮化硅。上述半导体材料包括了择自实质上由一 III-V 族化合物、一 II-VI 族化合物、一 IV 族合金所组成族群的一材料。

[0268] 上述二极管包括由上述顶二极管材料与上述底二极管材料的结所形成的一 p-n 结。上述有源二极管区包括不同于上述顶二极管材料与上述底二极管材料的一材料,而上述有源二极管材料构成了位于上述顶二极管材料与上述底二极管材料间的一 p-i-n 结的一本征区。上述有源二极管区包括多重量子阱,形成于上述顶二极管材料与上述底二极管材料之间。

[0269] 上述开口具有位于两轴向上至少为 1 的深宽比的一沟槽或一孔洞。

[0270] 上述底二极管材料包括一 n 型掺杂质,而上述顶二极管材料包括一 p 型掺杂质。

[0271] 上述底二极管材料的上方区可为高于开口的一鳍状物。上述底二极管材料的上方区可为高于开口的一柱状物。

[0272] 上述二极管还包括形成于顶二极管区上的一接触物。上述接触物可包括一透明导体。此二极管可还包括邻近于基板的一第二接触物。

[0273] 本发明的另一实施例关于一种二极管,包括:

[0274] 一基板;一介电材料,包括露出该基板的一部的一开口,该开口具有至少为 1 的深宽比;一底二极管材料,包括至少部分地设置于该开口内的一下方区以及延伸至高于该开口上的一上方区,该下方区包括了多个错配差排其终止于该上方区内,该底二极管材料包括晶格不匹配于该基板的一化合物半导体材料;一项二极管材料,邻近于该底二极管材料的该上方区;以及一有源二极管区,位于该项二极管材料与该底二极管材料之间,该有源二极管区包括了延伸远离该基板的该顶面的一表面。

[0275] 上述有源二极管区包括由该顶二极管材料与该底二极管材料的结所形成的一 p-n 结。上述有源二极管区包括不同于该顶二极管材料与该底二极管材料的一材料,而上述有源二极管区构成了位于上述顶二极管材料与上述底二极管材料间的一 p-i-n 结的一本征区。上述有源二极管区包括多重量子阱,形成于上述顶二极管材料与上述底二极管材料之间。

[0276] 此基板择自由硅、蓝宝石与碳化硅所组成的族群。此基板为具有一结晶方向为 (111) 或 (100) 的一单晶硅晶片。此介电材料包括二氧化硅或氮化硅。上述半导体材料包括了择自实质上由一 III-V 族化合物、一 II-VI 族化合物、一 IV 族合金所组成族群的一材料。

[0277] 上述开口为位于两轴向上的具有至少为 1 的深宽比一沟槽或一孔洞。

[0278] 上述底二极管材料包括一 n 型掺杂质,而上述顶二极管材料包括一 p 型掺杂质。上述底二极管材料的上方区可为高于开口的一鳍状物。上述底二极管材料的上方区可为高于开口的一柱状物。

[0279] 上述二极管还包括形成于顶二极管区上的一接触物。此接触物可包括一透明导体。此二极管可还包括邻近于基板的一第二接触物。

[0280] 本发明的另一实施例关于一种二极管,包括:

[0281] 一基板;具有不超过 20 纳米厚度的一介电材料,位于该基板上,包括露出该基板的一部的一开口,该开口具有至少为 1 的深宽比;一底二极管材料,包括至少部分地设置于该开口内的一下方区以及延伸至高于该开口的一上方区,该底二极管材料包括晶格不匹配于该基板的一化合物半导体材料;一顶二极管材料,邻近于该底二极管材料的该上方区;以及一有源二极管区,位于该顶二极管材料与该底二极管材料之间,该有源二极管区包括了延伸远离该基板的该顶面的一表面。

[0282] 上述有源二极管区包括由上述顶二极管材料与上述底二极管材料的结所形成的一 p-n 结。上述有源二极管区包括不同于上述顶二极管材料与上述底二极管材料的一材料,而上述有源二极管区构成了位于上述顶二极管材料与上述底二极管材料间的一 p-i-n 结的一本征区。上述有源二极管区包括多重量子阱,形成于上述顶二极管材料与上述底二极管材料之间。

[0283] 上述基板择自由硅、蓝宝石与碳化硅所组成的族群。上述基板为具有一结晶方向为 (111) 或 (100) 的一单晶硅晶片。上述介电材料包括二氧化硅或氮化硅。上述半导体材料包括了择自实质上由一 III-V 族化合物、一 II-VI 族化合物、一 IV 族合金所组成族群的一材料。

[0284] 上述开口为位于两轴向上具有至少为 1 的深宽比的一沟槽或一孔洞。

[0285] 上述底二极管材料包括一 n 型掺杂质,而上述顶二极管材料包括一 p 型掺杂质。底二极管材料的上方区可为高于开口的一鳍状物。底二极管材料的上方区可为高于开口的一柱状物。

[0286] 上述二极管还包括形成于顶二极管区上的一接触物。此接触物可包括一透明导体。此二极管可还包括邻近于基板的一第二接触物。

[0287] 本发明的另一实施例关于一种二极管,包括:

[0288] 一基板;一介电材料,包括分别露出该基板的一部的多个开口;多个底二极管片

段,分别包括至少部分地设置于所述多个开口的一内的一下方区以及延伸至高于所述多个开口的一上的一上方区,所述多个底二极管片段包括晶格不匹配于该基板的一化合物半导体材料;连续的一项二极管片段,邻近于所述多个底二极管片段的所述上方区;以及多个有源二极管区,分别位于所述多个顶二极管片段与该底二极管片段之间,所述多个有源二极管区分别包括了延伸远离该基板的该顶面的一表面。

[0289] 上述有源二极管区包括由上述顶二极管片段与上述底二极管电段的结所形成的一 p-n 结。上述有源二极管区包括不同于上述顶二极管片段与上述底二极管电段的一材料,而该有源二极管区构成了位于上述顶二极管片段与上述底二极管电段间的一 p-i-n 结的一本征区。上述有源二极管区包括多重量子阱,形成于上述顶二极管片段与上述底二极管片段之间。

[0290] 上述基板择自由硅、蓝宝石与碳化硅所组成的族群。上述基板为具有一结晶方向为 (111) 或 (100) 的一单晶硅晶片。上述介电材料包括二氧化硅或氮化硅。上述半导体材料包括了择自实质上由一 III-V 族化合物、一 II-VI 族化合物、一 IV 族合金所组成族群的一材料。

[0291] 上述开口为位于两轴向上具有至少为 1 的深宽比的一沟槽或一孔洞。

[0292] 上述底二极管材料包括一 n 型掺杂质,而上述顶二极管材料包括一 p 型掺杂质。上述底二极管材料的上方区可为高于开口的一鳍状物。上述底二极管材料的上方区可为高于开口的一柱状物。

[0293] 上述二极管还包括形成于顶二极管区上的一接触物。此接触物可包括一透明导体。此二极管可还包括邻近于基板的一第二接触物。

[0294] 本发明的另一实施例关于一种二极管,包括:

[0295] 一基板;一底二极管材料,晶格不匹配于该基板,延伸于该顶面之上且包括具有横跨该顶面的一宽度与高于该顶面的一高度的一底二极管片段;一项二极管材料,邻近于该底二极管材料;以及一有源二极管区,位于该顶二极管材料与该底二极管材料之间,该有源二极管区包括了延伸远离该基板的该顶面的一表面。

[0296] 上述有源二极管区包括由上述顶二极管材料与上述底二极管材料的结所形成的一 p-n 结。上述有源二极管区包括不同于上述顶二极管材料与上述底二极管材料的一材料,而上述有源二极管区构成了位于上述顶二极管材料与上述底二极管材料间的一 p-i-n 结的一本征区。上述有源二极管区包括多重量子阱,形成于上述顶二极管材料与上述底二极管材料之间。

[0297] 上述基板择自由硅、蓝宝石与碳化硅所组成的族群。上述基板为具有一结晶方向为 (111) 或 (100) 的一单晶硅晶片。上述介电材料包括二氧化硅或氮化硅。上述半导体材料包括了择自实质上由一 III-V 族化合物、一 II-VI 族化合物、一 IV 族合金所组成族群的一材料。

[0298] 上述开口为位于两轴向上的具有至少为 1 的深宽比的一沟槽或一孔洞。

[0299] 上述底二极管材料包括一 n 型掺杂质,而上述顶二极管材料包括一 p 型掺杂质。底二极管材料的上方区可为高于开口的一鳍状物。底二极管材料的上方区可为高于开口的一柱状物。

[0300] 上述二极管还包括形成于顶二极管区上的一接触物。此接触物可包括一透明导

体。此二极管可还包括邻近于基板的一第二接触物。

[0301] 本发明的另一实施例关于一种二极管的制造方法,包括:

[0302] 沉积一层介电材料于一基板之上;形成第一与第二开口于该介电材料内以露出该基板的一部,所述开口分别具有至少为 1 的一深宽比;成长晶格不匹配于该基板的化合物半导体材料于该第一开口内并高于该第一开口,以形成一第一底二极管区;成长晶格不匹配于该基板的化合物半导体材料于该第二开口内并高于该第二开口,以形成一第二底二极管区;形成一第一有源二极管区,邻近该第一底二极管区;形成一第二有源二极管区,邻近该第二底二极管区;形成一第一顶二极管区,邻近该第一有源二极管区;以及形成一第二顶二极管区,邻近该第二有源二极管区。

[0303] 上述第一与第二有源二极管区包括多重量子阱。

[0304] 上述基板择自由硅、蓝宝石与碳化硅所组成的族群。上述基板为具有一结晶方向为 (111) 或 (100) 的一单晶硅晶片。上述介电材料包括二氧化硅或氮化硅。

[0305] 上述半导体材料包括了择自实质上由一 III-V 族化合物、一 II-VI 族化合物、一 IV 族合金所组成族群的一材料。

[0306] 本发明的另一实施例关于一种二极管,包括:

[0307] 一基板、一介电材料位于该基板上,介电材料包括数个开口的阵列;多个底二极管片段形成于所述开口的阵列之上与其内,各底二极管片段包括至少自该介电材料延伸远离的一侧壁,所述多个底二极管片段包括晶格不匹配于基板的一半导体材料;多个顶二极管片段邻近于所述多个底二极管片段;以及多个有源二极管区,位于所述多个顶二极管片段与所述多个底二极管片段之间,所述多个有源二极管区分别包括自该基板的该顶面延伸远离一表面。

[0308] 上述开口具有至少为 0.5、1、2、或比 3 大的一深宽比。上述底二极管片段可包括延伸大体垂直向上且高于介电材料的至少一侧壁。上述底二极管区可具有一六边形剖面。上述开口可依照六边形阵列排列。顶二极管片段可形成为一单一连续材料膜层。二极管可为一发光二极管。

[0309] 本发明的另一实施例关于一种二极管,包括:

[0310] 一基板;一第一介电层,位于该基板之上;一层耐火金属,位于该第一介电层之上;一开口,穿透该第一介电层与该层耐火金属,该开口具有介电侧壁;一底二极管区,包括晶格不匹配于基板的化合物半导体,该底二极管区设置于开口内并高出该开口;一顶二极管区,邻近该底二极管区;以及一有源二极管区。设置于该顶二极管区与该底二极管区的一部之间。

[0311] 该开口具有至少为 1 的一深宽比,且可为一沟槽。上述二极管可还包括一第二介电层,覆盖至少该顶二极管区的一部。上述二极管可还包括一第二开口,延伸穿透该第二介电层与一第一接触物,与包括一金属插栓的第一接触物,该金属插栓填满了该第二开口并接触了耐火金属膜层。二极管可还包括一第二接触物,位于该基板的底部。

[0312] 本发明的另一实施例关于一种二极管的制造方法,包括:

[0313] 沉积第一层介电材料于一基板上;沉积一层耐火金属于第一层介电材料之上;沉积一第二层介电材料于该层耐火金属之上;形成由延伸穿透第一层介电材料、该层耐火金属与该第二层介电材料的侧壁所定义而成的一开口,以露出该基板的一表面;形成一层介

电材料于开口的侧壁上 ; 借由成长晶格不匹配于基板的一化合物半导体于开口内并高出开口以形成一底二极管区 ; 形成一有源二极管区邻近该底二极管区的一部 ; 以及形成一顶二极管区邻近该有源二极管区。

[0314] 此方法还包括 : 沉积一第三层介电材料于顶二极管区上 , 其顺应地覆盖有源二极管区与该耐火金属 ; 形成一介层开口 , 其穿透第三层介电材料与覆盖耐火金属的该顶二极管区的一部 ; 于介层开口内填入一金属插栓 , 使得金属插栓接触耐火金属的膜层 ; 以及形成一顶电性接触物。

[0315] 本发明的另一实施例关于一种二极管 , 包括 :

[0316] 一基板 ; 一介电层 , 位于该基板之上 ; 该介电层包括具有至少为 1 的深宽比的一开口 ; 一底二极管区 , 设置于该开口内及其上 , 该底二极管区包括具有六边行结晶晶格的一化合物材料 ; 该底二极管区包括由化合半导体材料的非极化平面所定义形成的侧壁 ; 一顶二极管区 , 邻近于底二极管区 ; 以及一有源二极管区 , 位于该顶二极管区与该底二极管区之间。

[0317] 上述基板可为具有一立方晶格 (cubic lattice) 的结晶基板。上述非极化平面可为一 a - 平面或为一 m - 平面。上述开口可为一沟槽或一孔洞。

[0318] 本发明的另一实施例关于一种二极管 , 包括 :

[0319] 一基板 ; 一介电层 , 位于该基板之上 , 包括一开口、不匹配于基板的一半导体材料晶格 , 设置于该开口内 ; 以及包括金字塔形 p - n 结的一金字塔二极管 , 设置于该开口之上。

[0320] 上述金字塔二极管可还包括一顶二极管材料、一有源二极管材料与一底二极管材料。上述金字塔二极管可具有大于约 3 微米的一高度 , 或可具有大于约 5 微米的一高度。上述金字塔二极管可包括具有一厚度少于约 2 微米的一顶电性接触物 , 或具有一厚度少于约 0.5 微米的一顶接触膜层。上述金字塔二极管可包括一底接触膜层。

[0321] 上述二极管可还包括多重金字塔二极管 , 具有相接合的各别顶二极管材料。此二极管可还包括一透明顶接触层。此二极管可还包括一握持基板。

[0322] 此基板择自由硅、蓝宝石与碳化硅所组成的族群。该半导体材料包括了择自实质上由一 III-V 族化合物、一 II-VI 族化合物、一 IV 族合金所组成族群的一材料。

[0323] 本发明的另一实施例关于一种二极管的制造方法 , 包括 :

[0324] 提供一基板 ; 提供一介电材料具有一开口具有一深宽比大于 1 的位于该基板上 ; 形成晶格不匹配于该基板的一化合物半导体材料于该开口内 ; 形成包括一 p - n 结的二极管于该开口之上 ; 形成于该二极管之上具有大体平坦表面的一介电材料 ; 接合一握持基板与该大体平坦表面 ; 以及移除该基板。

[0325] 上述开口可为一沟槽或一孔洞。上述二极管可包括一顶二极管区、一底二极管区与一有源二极管区。上述二极管可包括数个顶二极管区、数个底二极管区与数个有源二极管区。这些顶二极管区可接合在一起。

[0326] 本发明的另一实施例关于一种二极管 , 包括 :

[0327] 一基板 ; 一介电层 , 位于该基板之上 , 包括数个开口的阵列物 , 这些开口具有少于 100 纳米的一宽度 ; 包括晶格不匹配于该基板的一半导体材料的数个纳米结构 , 设置于这些开口的阵列内与其上 ; 这些纳米结构具有至少延伸高于介电层上的 100 纳米的一大体均匀高度 ; 以及数个二极管接合物 , 形成于这些纳米结构之上 , 这些二极管接合包括使用纳米

结构的侧壁的有源区。

[0328] 上述纳米结构可为鳍状物或柱状物的形态。纳米结构的宽度可择自由 5 纳米、10 纳米、20 纳米或 50 纳米所组成的族群。纳米结构的高度可择自由 100 纳米、200 纳米、500 纳米与 1000 纳米所组成的族群。

[0329] 本发明的另一实施例关于一种二极管,包括:

[0330] 一第一二极管材料,包括一大体平坦底面与具有数个凹穴的一顶面;一第二二极管材料,包括多个平坦顶面与延伸进入于位于第一二极管材料内的所述凹穴内的一底面;以及一有源二极管区,位于该第一二极管材料与该第二二极管材料之间。

[0331] 此二极管还包括一基板,其具有邻近该第一二极管材料的底面或该第二二极管材料的顶面的一大体平坦表面。

[0332] 上述有源二极管区可包括借由第一二极管材料与第二二极管材料的介面所形成的一 p-n 介面。有源二极管区可包括不同于该第一二极管材料与第二二极管材料的材料,而该有源二极管区构成了位于该顶二极管材料与该底二极管材料间的一 p-i-n 结的一本征区。该有源二极管区包括多重量子阱,形成于该顶二极管材料与该底二极管材料之间。该有源发光二极管区包括多重量子阱。

[0333] 第一二极管材料可包括一 III-V 族材料。第一二极管材料可包括氮化镓。这些凹穴可包括一极化氮化镓 (polar GaN) 表面。

[0334] 这些凹穴可定义为具有至少为 1 的深宽比的沟槽或定义孔洞。这些凹穴的表面区域可超过第一二极管材料的底面的表面区域。这些凹穴的表面区域可至少为第一二极管材料的底面的表面区域的 150%,或可为至少为第一二极管材料的底面的表面区域的 200%。

[0335] 本发明的实施例提供了基于控制来自于沟槽方向的成长所形成的“鳍状物”设置形态的方法、结构或装置。可以理解的是本领域普通技术人员基于此处的解说,沟槽可为另一形状的开口,例如为孔洞 (hole)、凹口 (recess)、正方物 (square) 或环状物 (ring),举例来说,其可形成其他的三维 (3-D) 半导体结构或装置。

[0336] 本发明的应用提供了可用于或借由外延成长或相似情形所形成的多个方法、结构或装置。举例来说示范的适当外延成长系统可为单一晶片或多晶片的批次反应器。也可使用不同化学气相沉积技术。于制造应用中的常用于体积外延 (volume epitaxy) 的适当的化学气相沉积系统包括如由德国 Aixtron 提供的 Aixtron 2600 多晶片系统;由应用材料所产制的 EPI CENTURA 单芯片外延反应器;或由荷兰 ASM 国际所产制的 EPSILON 单晶片多重腔体系统。

[0337] 于说明书中关于“一实施例”、“一实施例”、“示范性的实施例”、“另一实施例”等描述意谓着于本发明的至少一实施例中所包括的一特定构件、结构或特性。于说明书内不同处的上述描述的出现并非指同一实施例。另外,当于任一实施例描述了相关的一特殊构件、结构、特性时,可以理解的是本领域普通技术人员可了解如此的特征、结构或特性也可用于其他的实施例。另外,为了方便了解,特定方法步骤可采用分隔步骤表现,然而这些分隔步骤依照其表现并不会限制其顺序。此即为部分步骤可依照其他顺序、或同时的施行。此外,示范性图表显示了依据本发明的实施例不同方法。可于此描述如此的示范性方法的实施例并提供了对应的装置实施例,然而这些方法实施例并未用于限制本发明。

[0338] 虽然本发明示出了并描述了的部分实施例,可以理解的是本领域普通技术人员可

依照本发明的精神与原则而针对这些实施例进行变更。前述的实施例便视为所有方面的图示情形而非于此用于限制本发明。本发明的范畴因此依照申请中的权利要求所限定,而非前述的描述。于本说明书中,“较佳地”的描述意谓着“较佳地,但非用以加以限制”。权利要求内的描述依照本发明的概念而采用其最大解释范围。举例来说,“耦接于”及“连接”等描述采用以解说直接与非直接连接与耦合情形。于另一范例中,“具有”与“包括”,其相似描述可与“包括”相同(即上述描述均视为开放性描述),仅“由...组成”与“实质上由...组成”可视为“封闭型”描述。

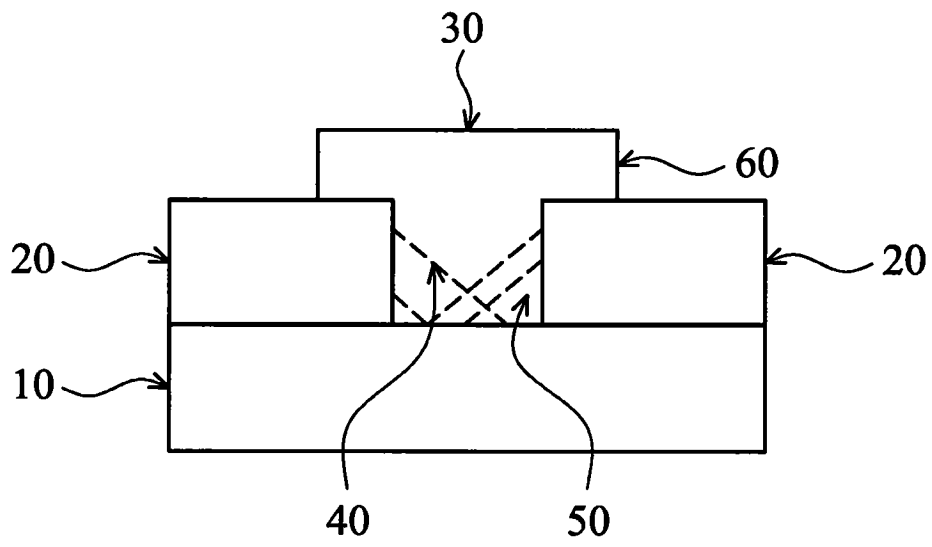


图 1

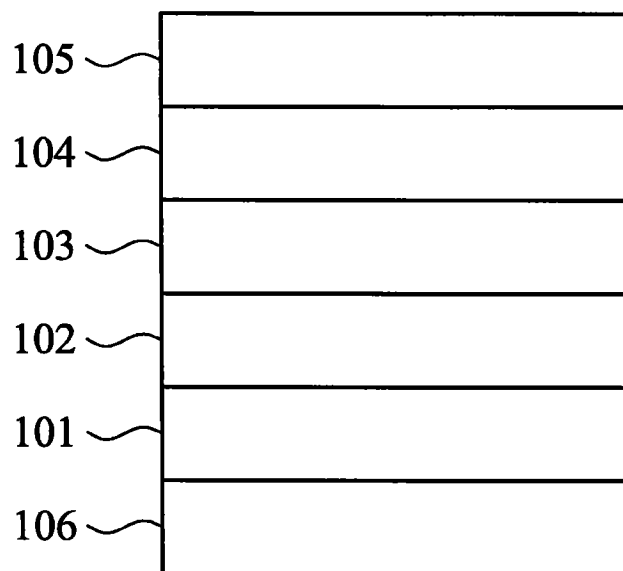


图 2

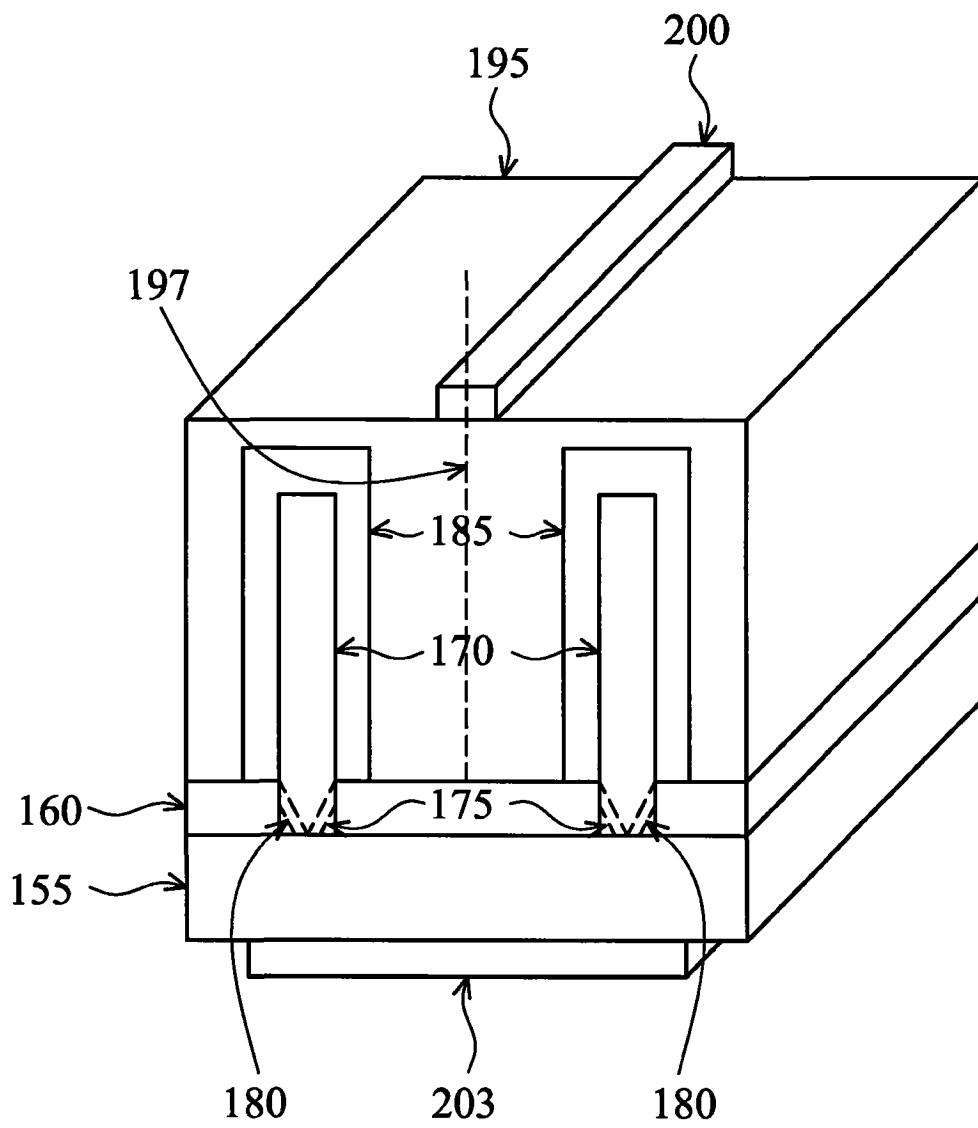


图 3

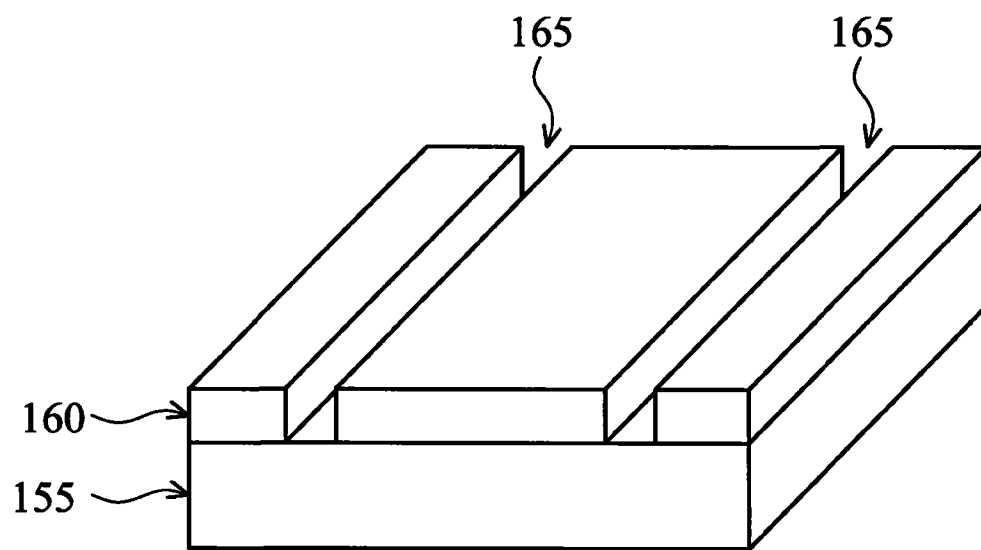


图 4

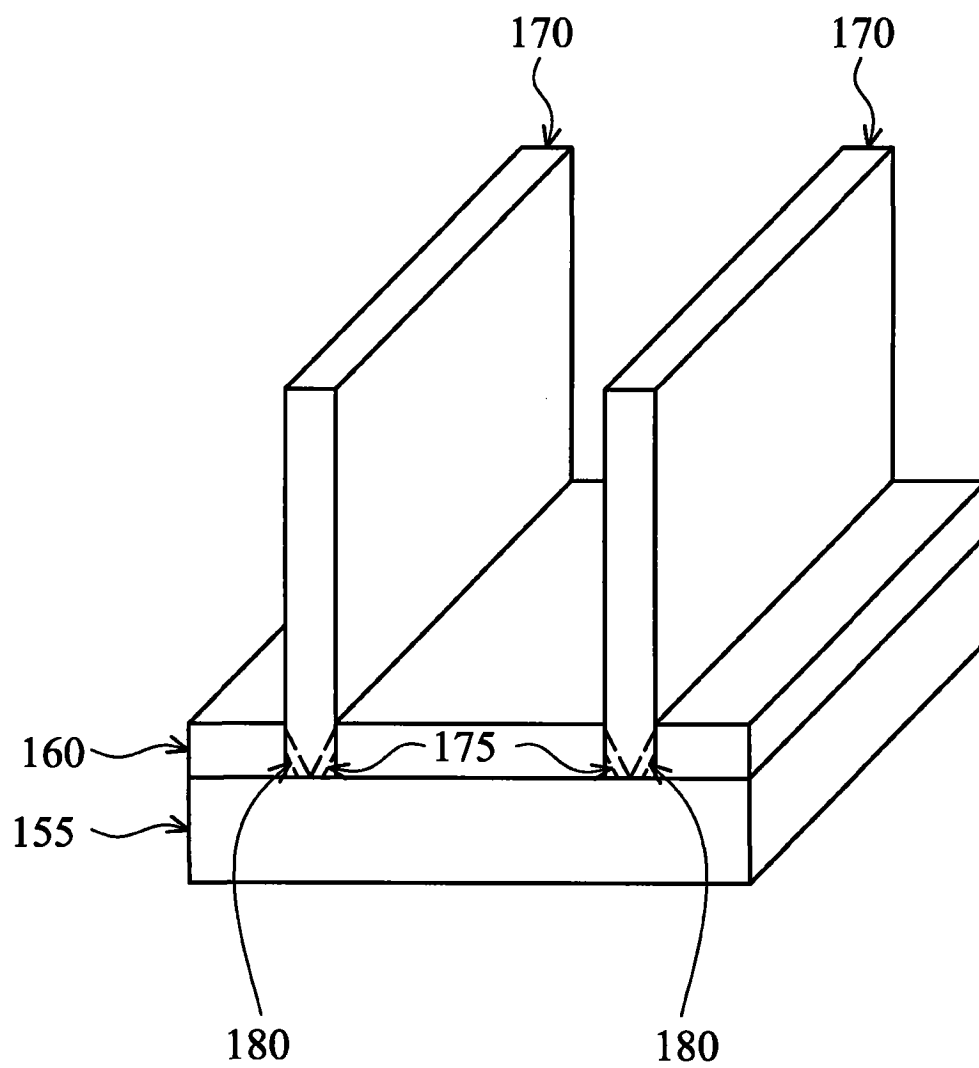


图 5

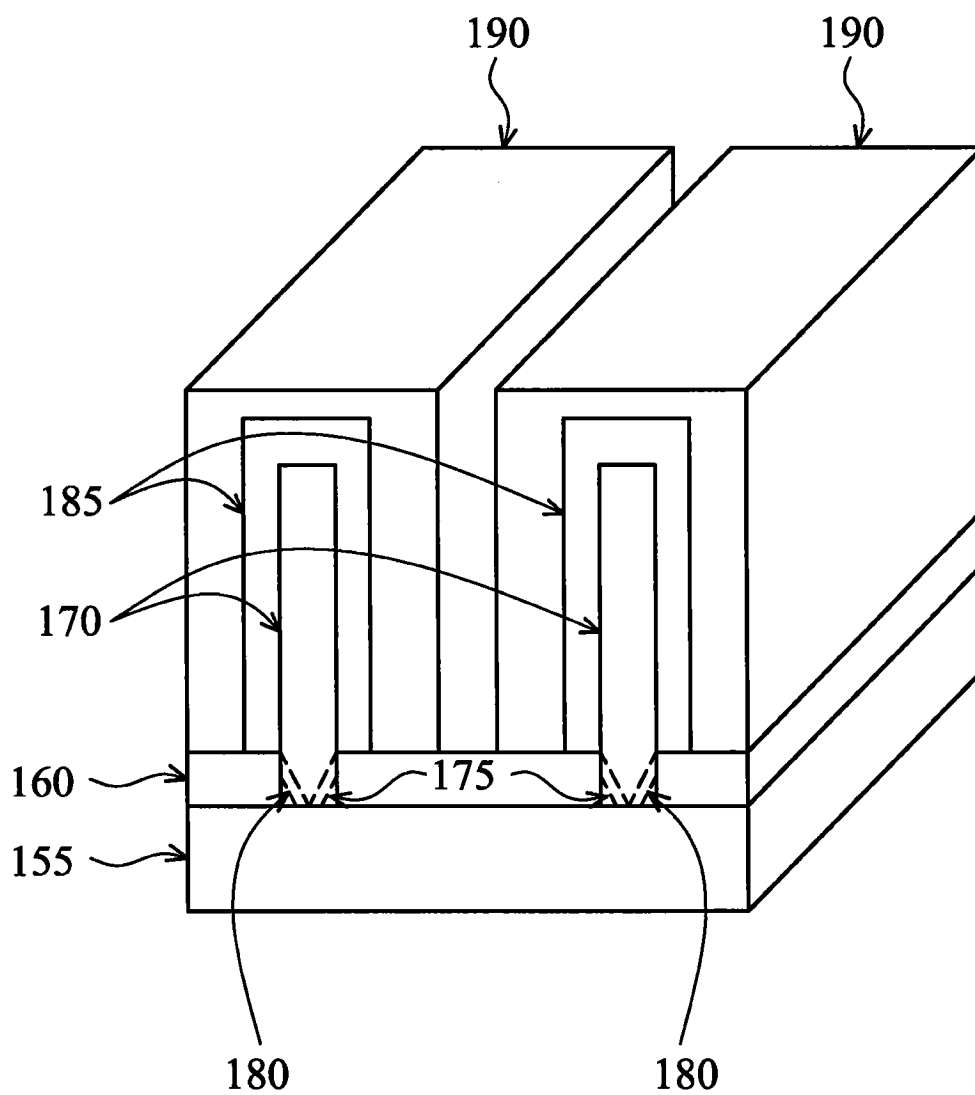


图 6

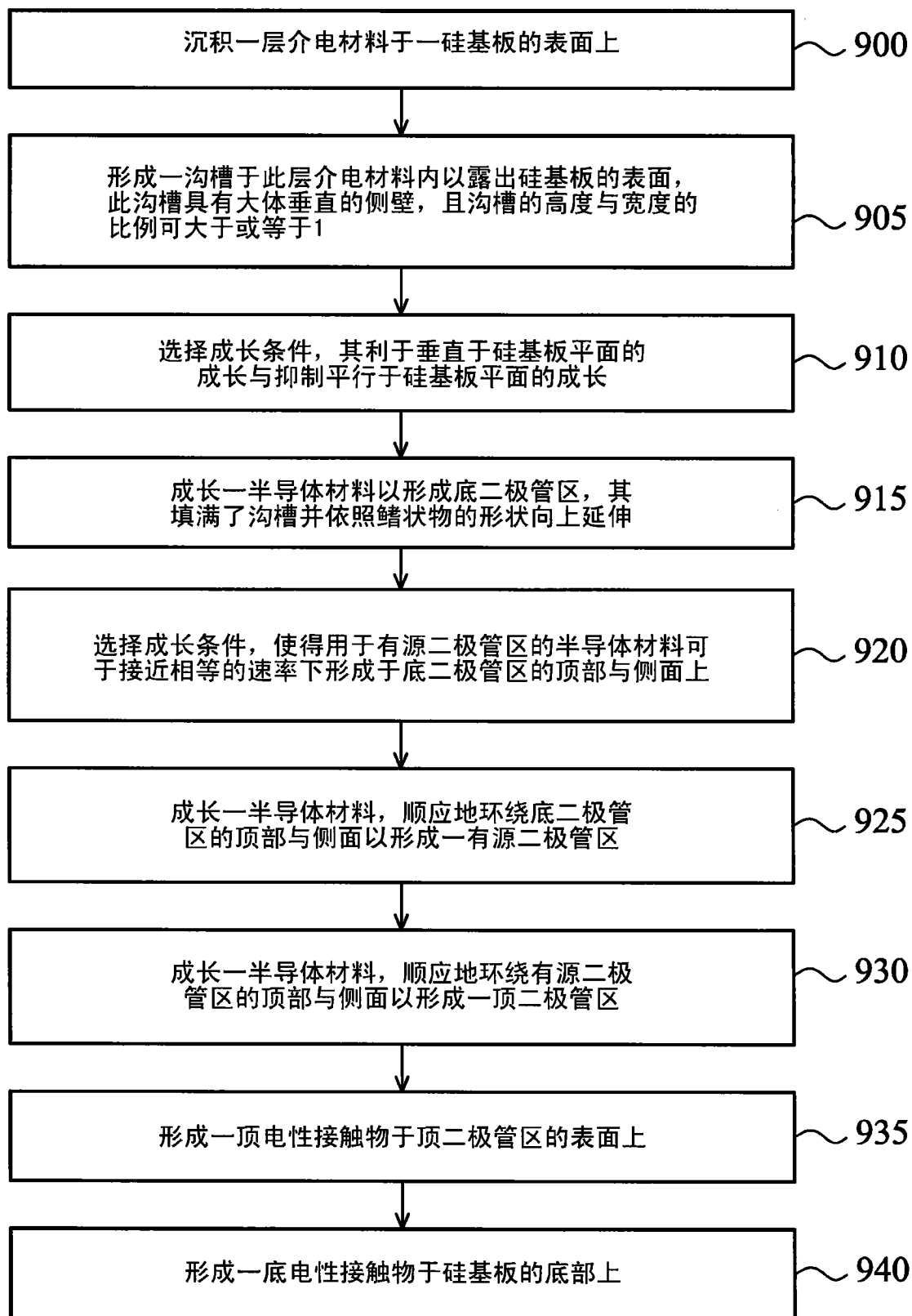


图 7

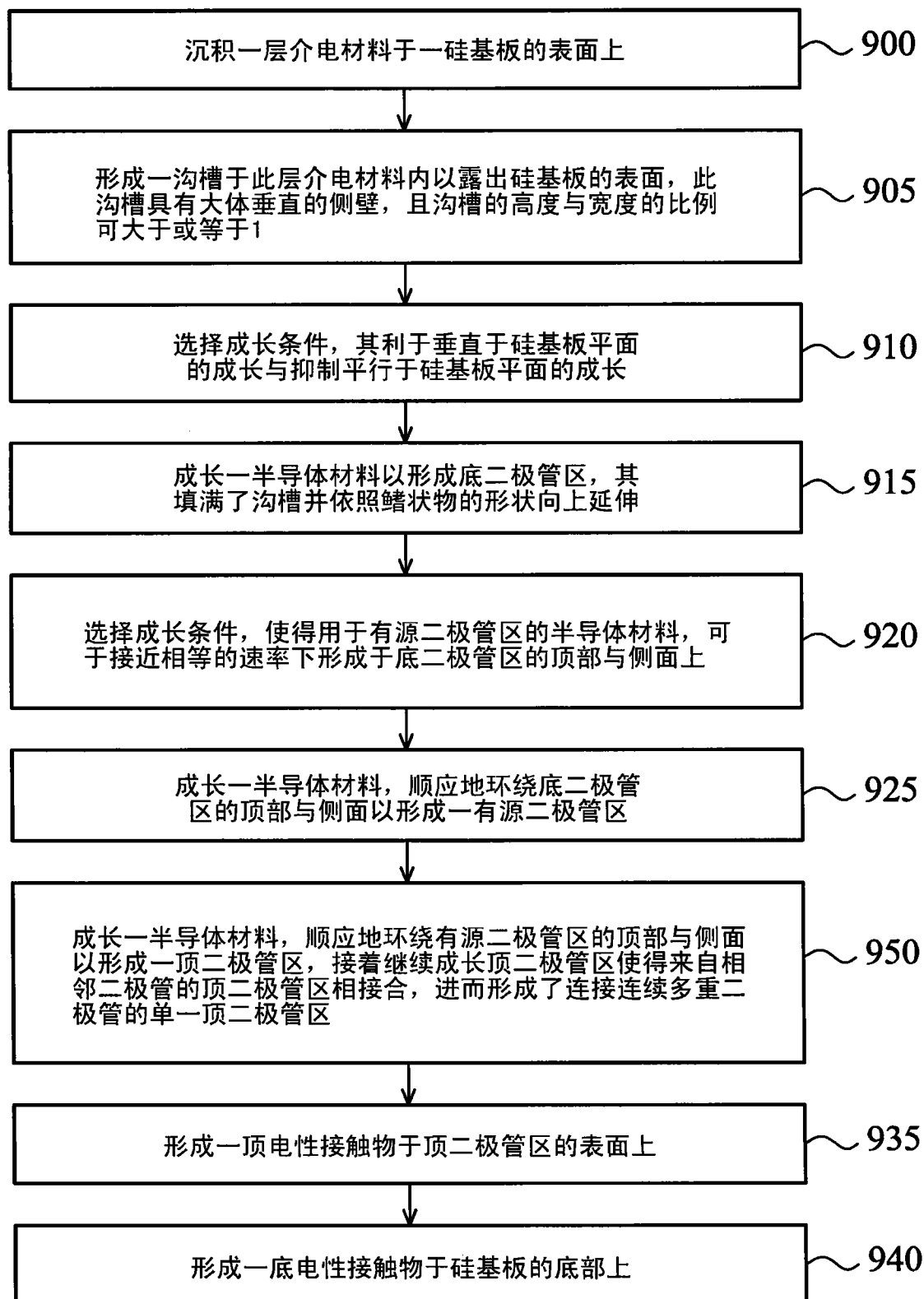


图 8

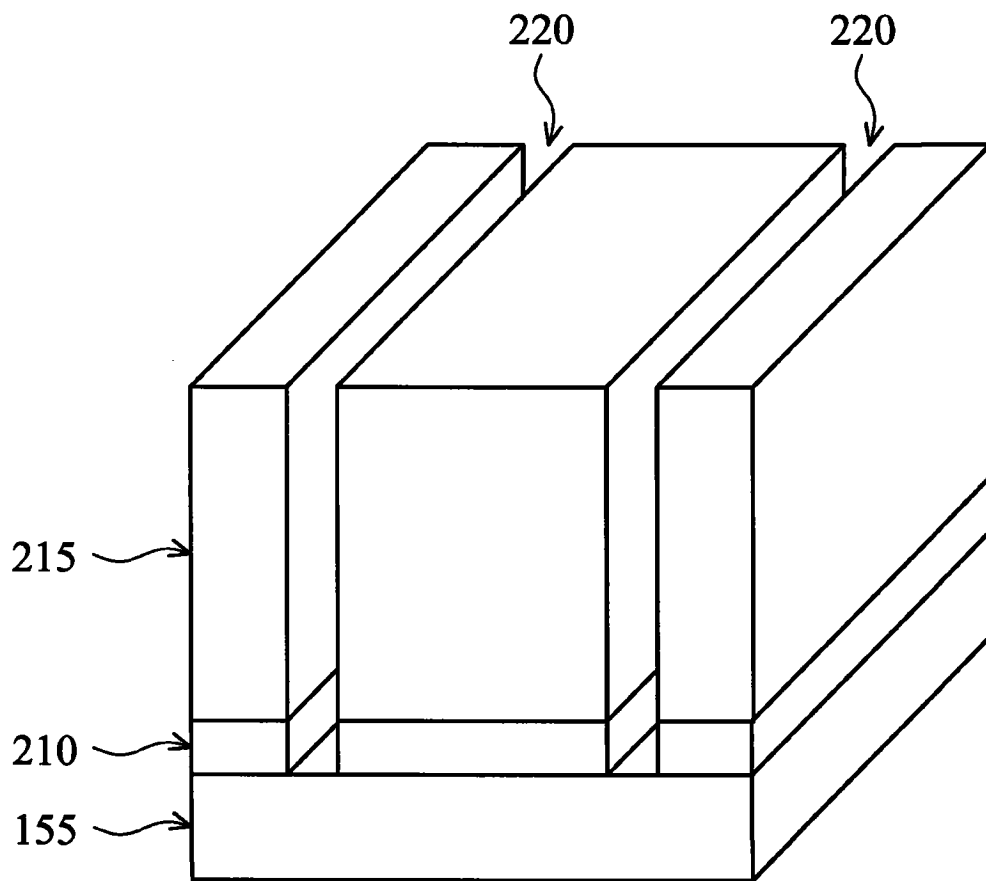


图 9

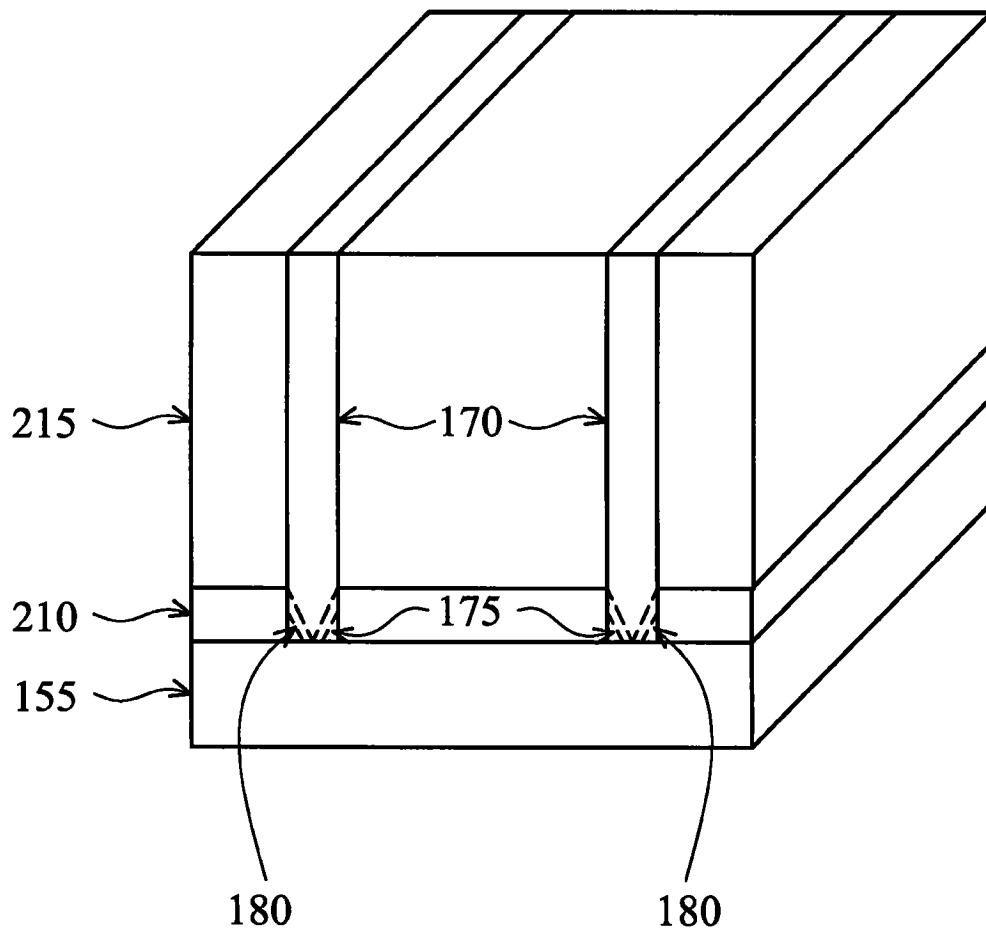


图 10

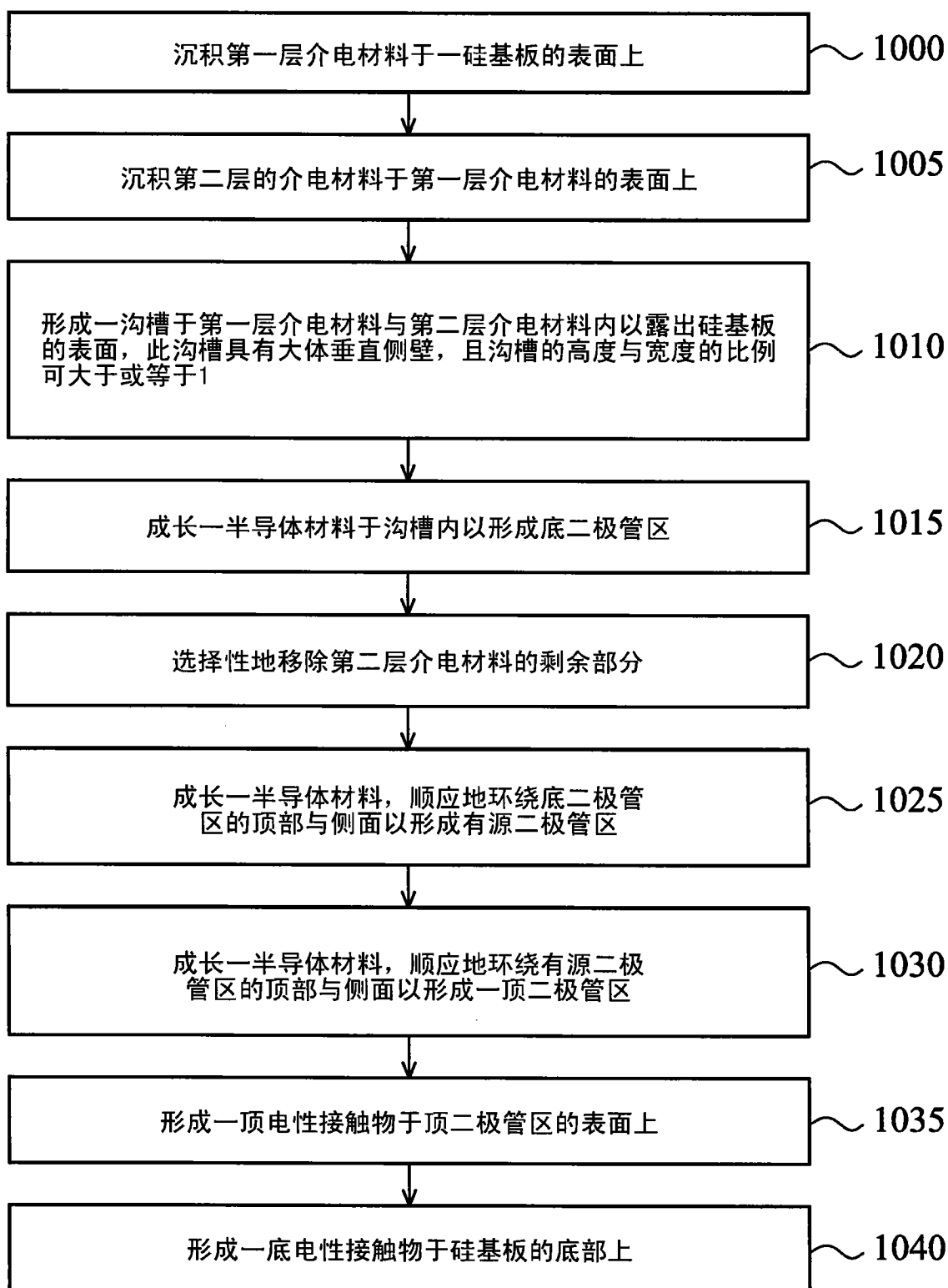


图 11

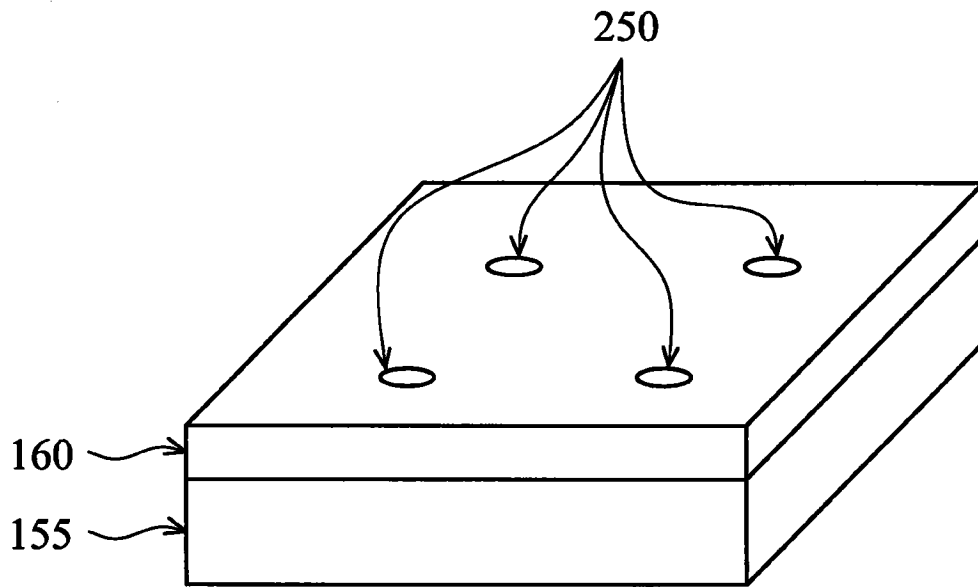


图 12

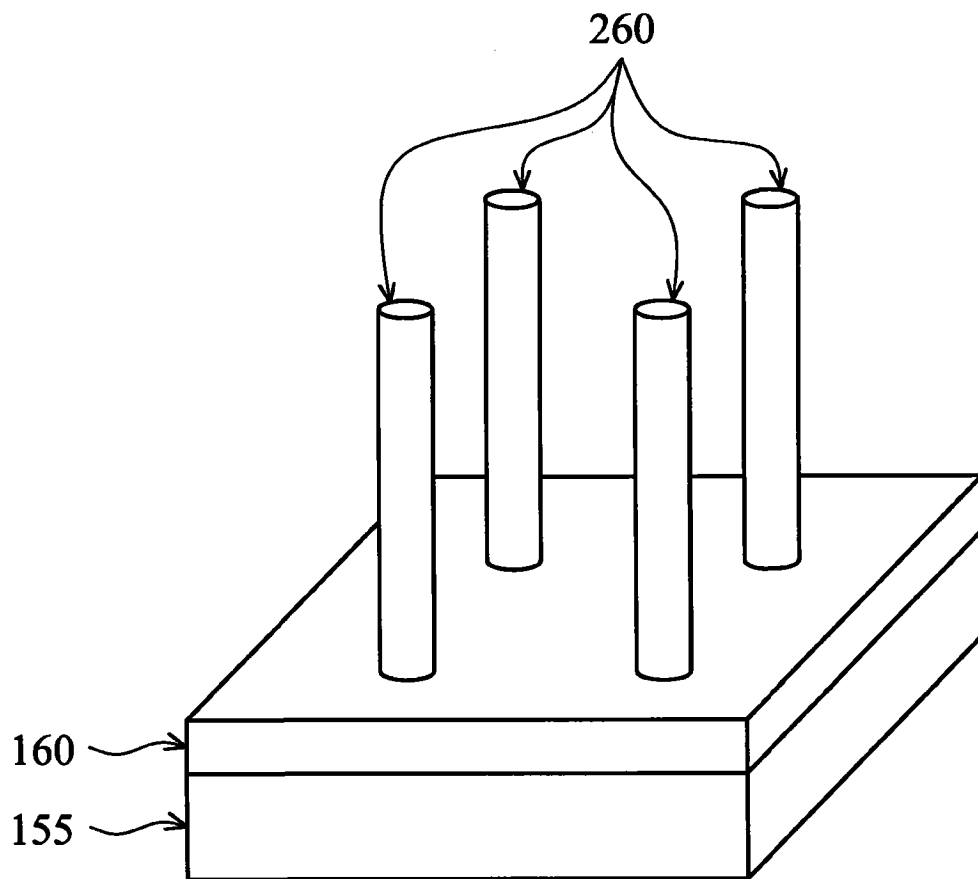


图 13

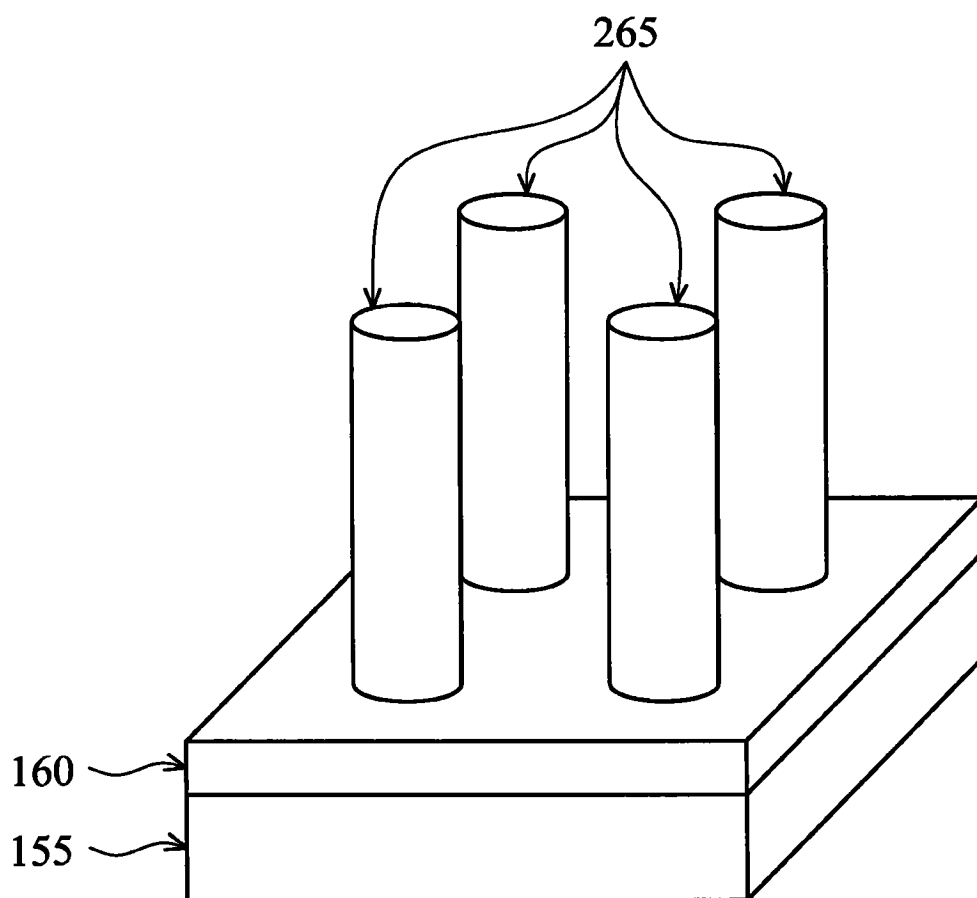


图 14

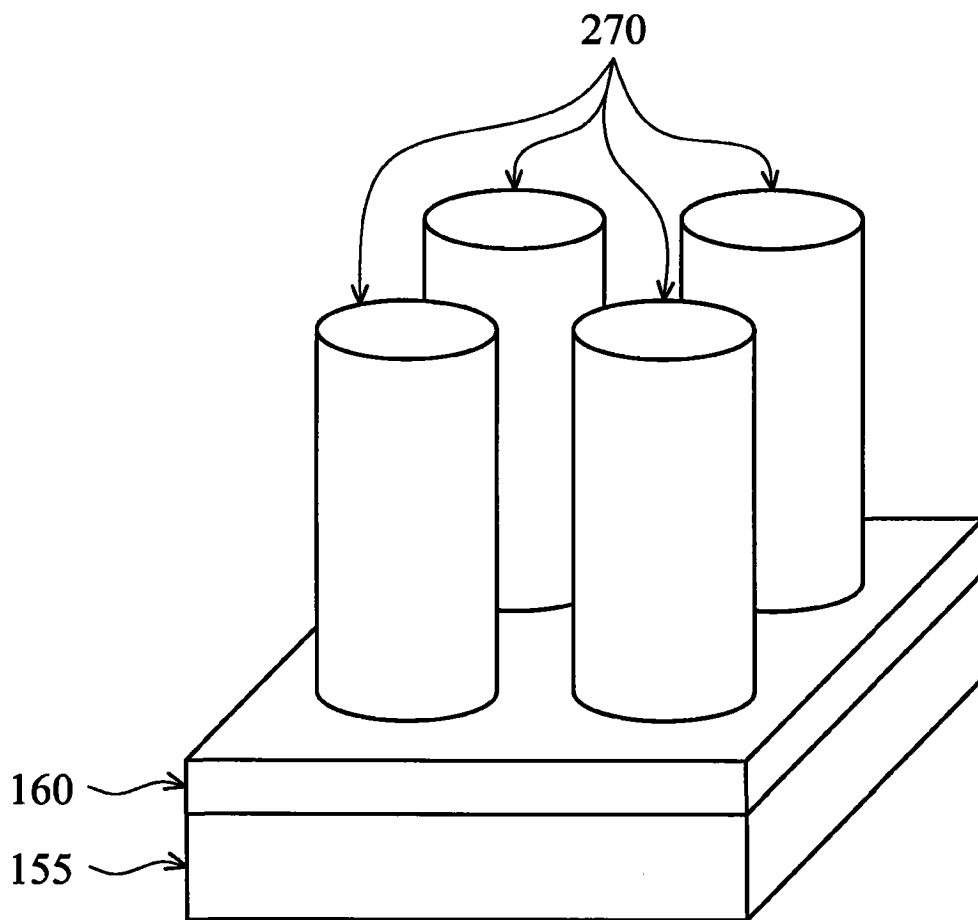


图 15

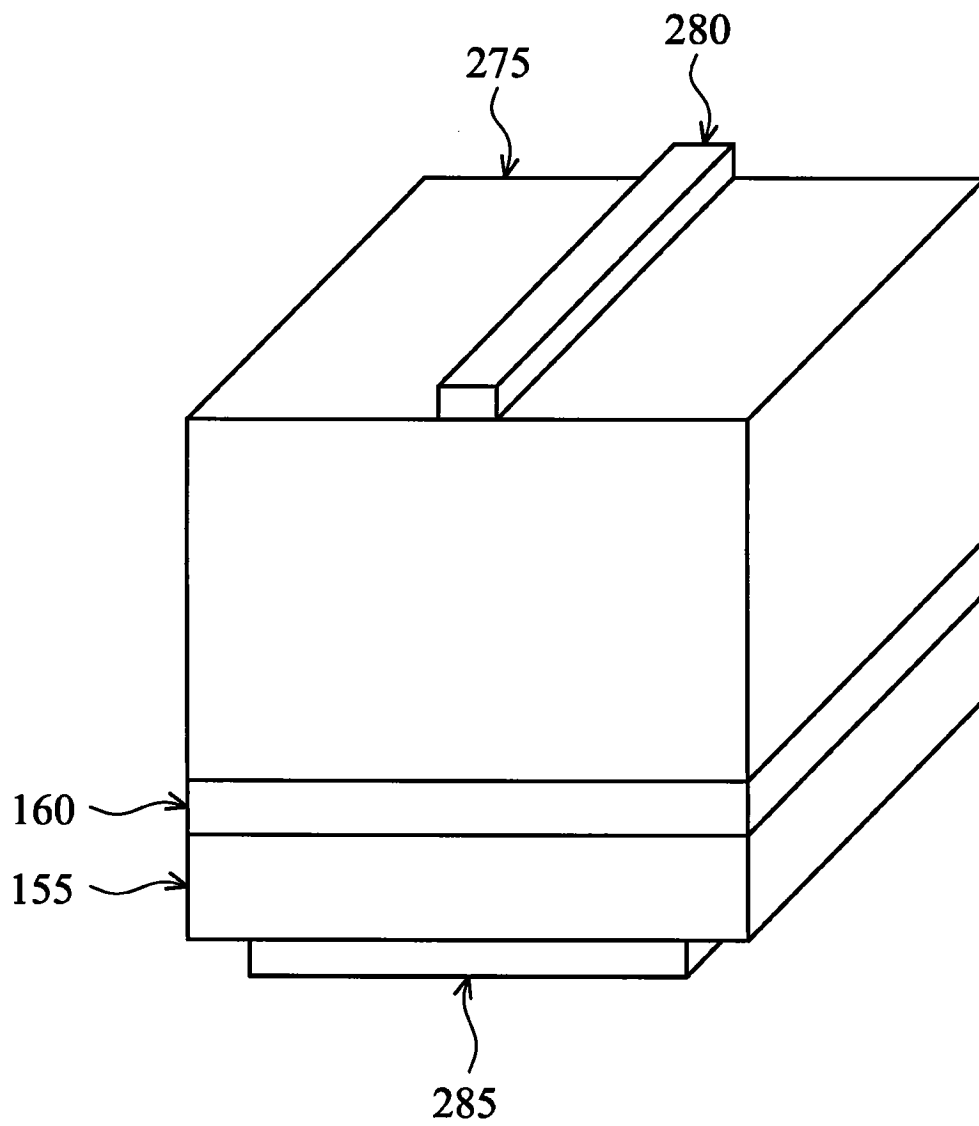


图 16

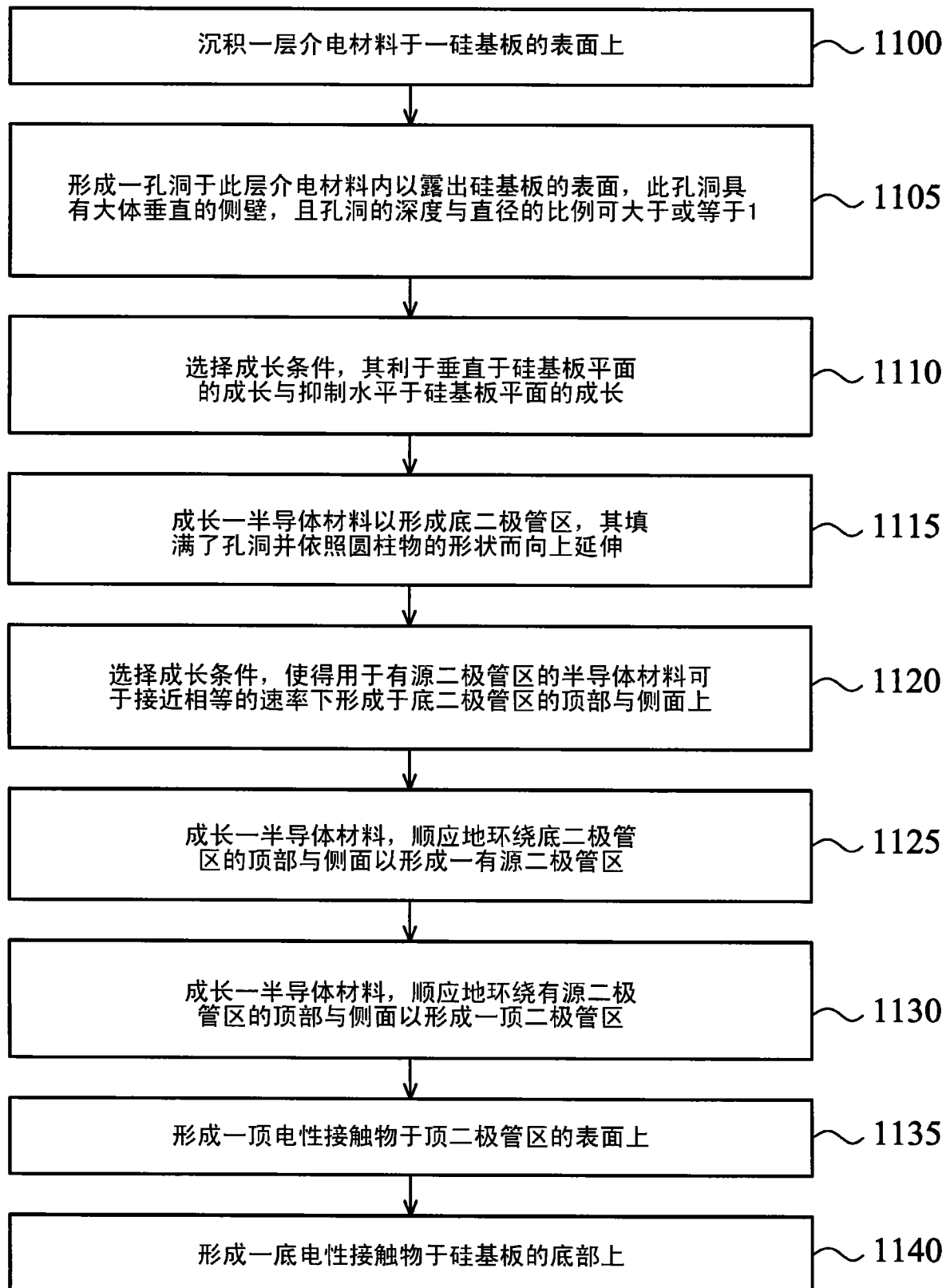


图 17

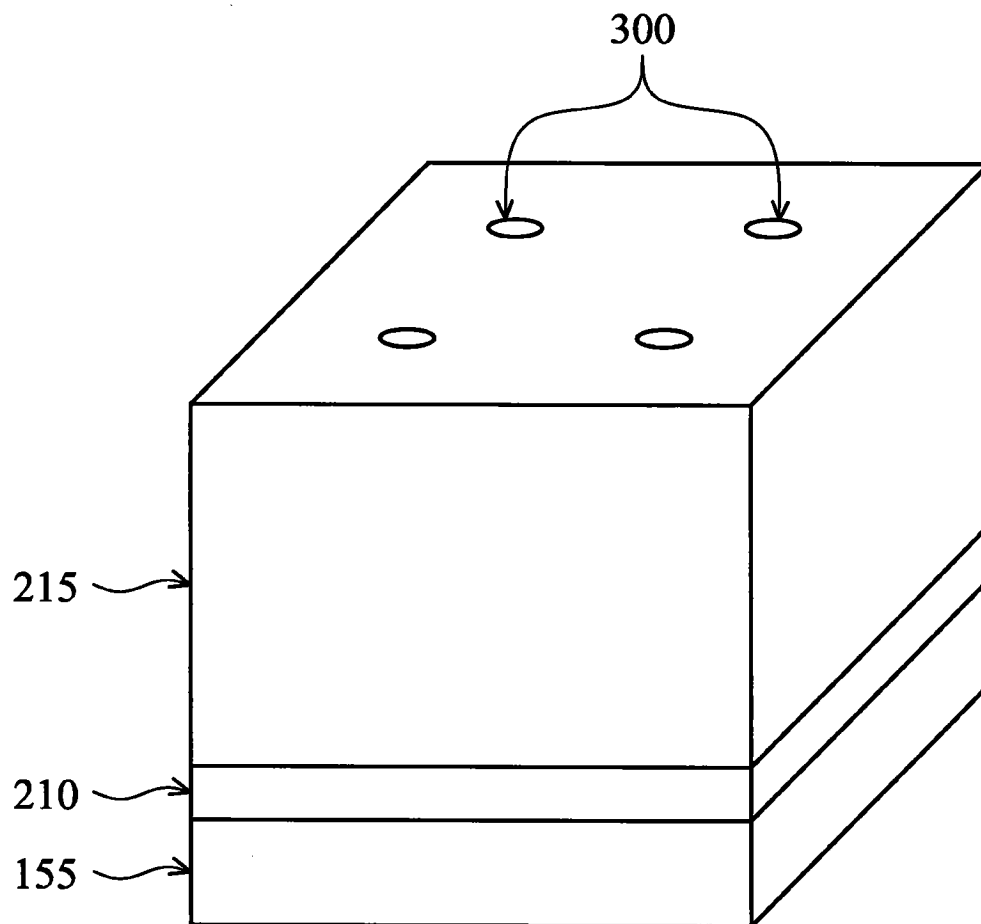


图 18

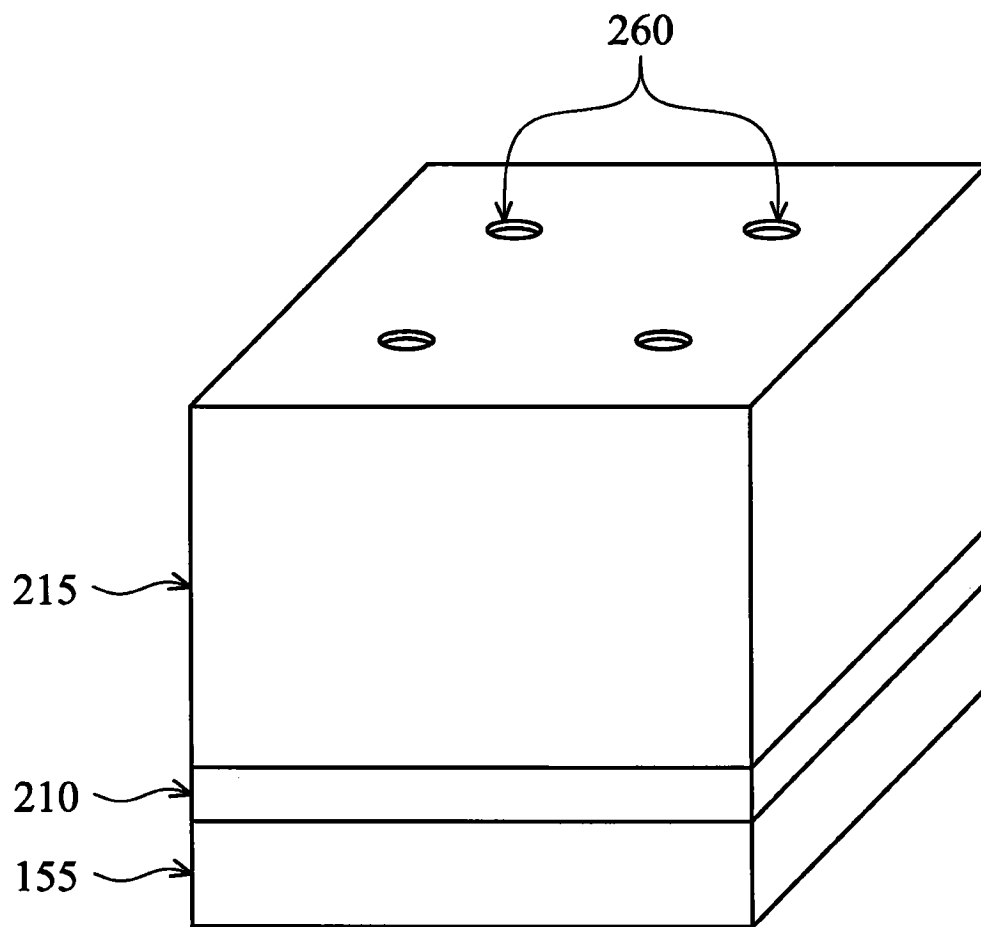


图 19

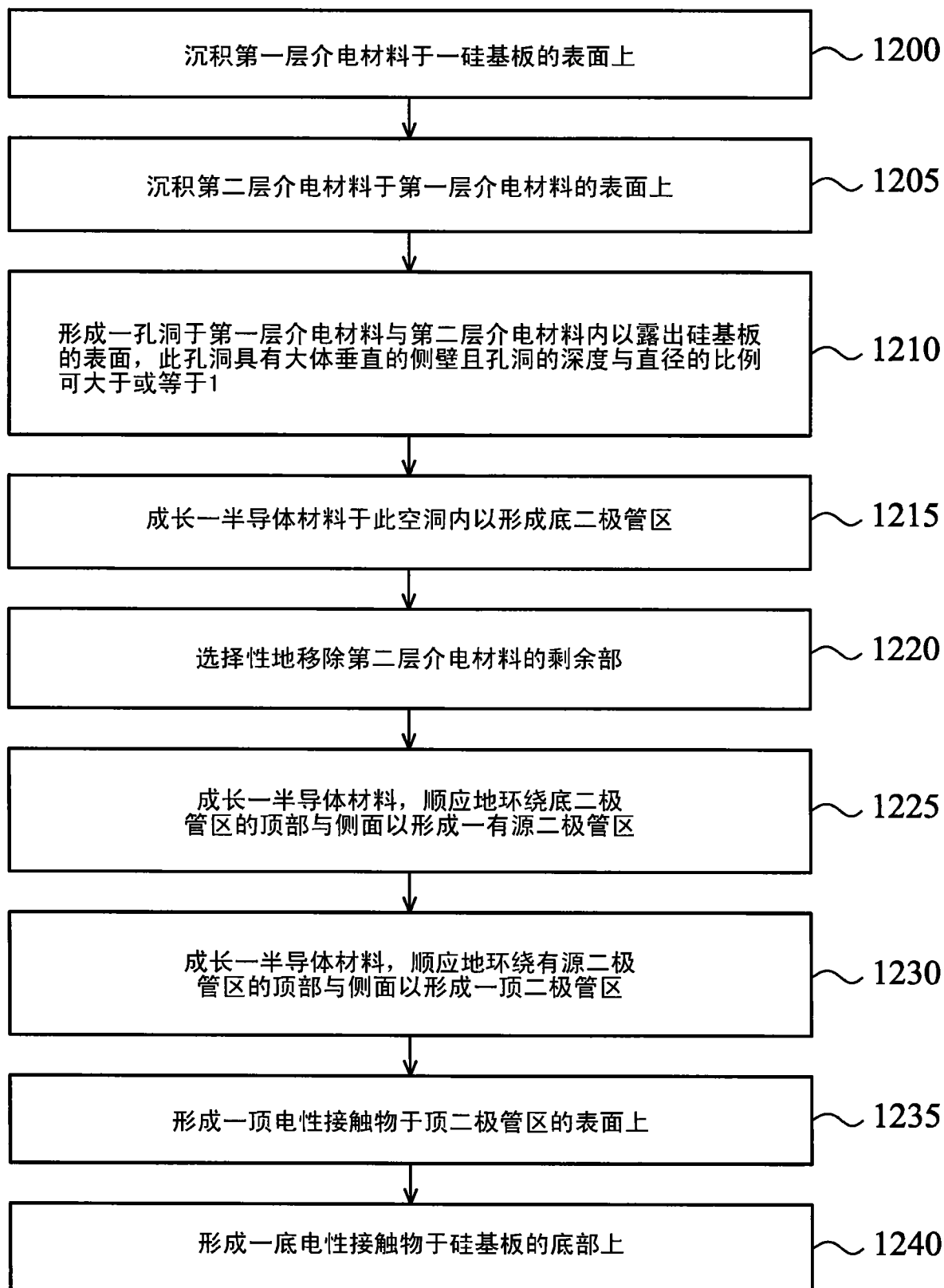


图 20

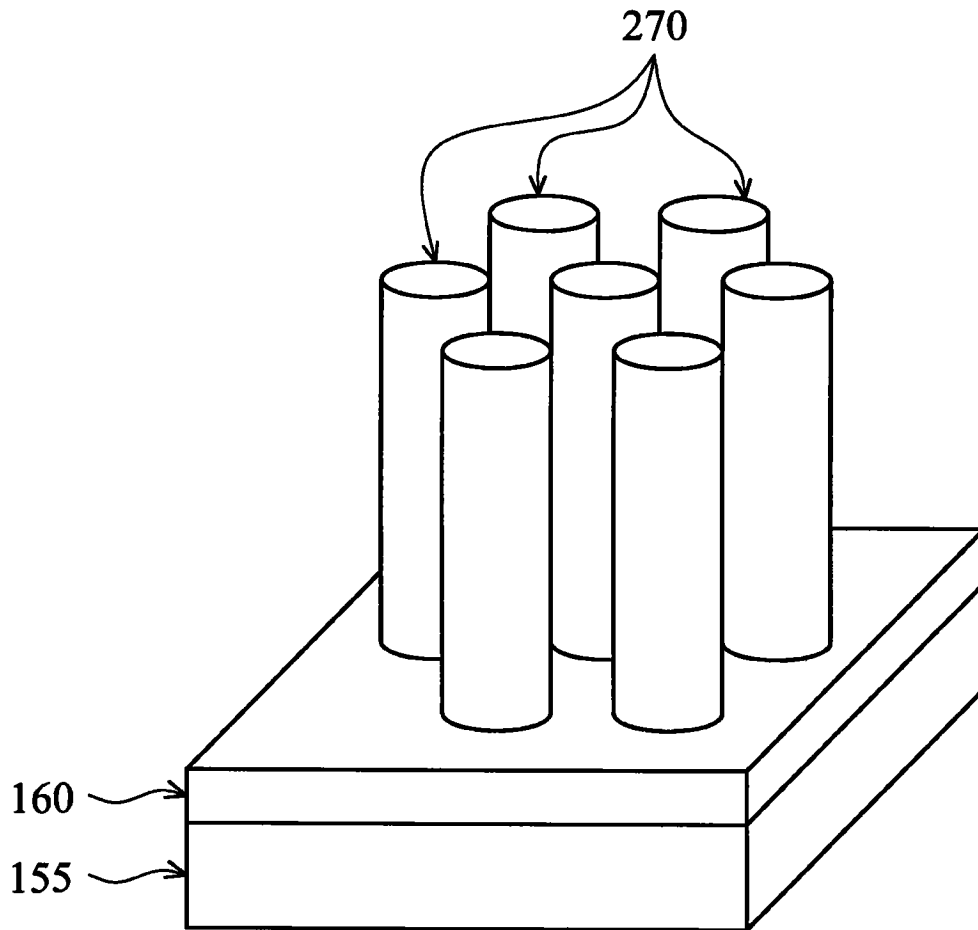


图 21

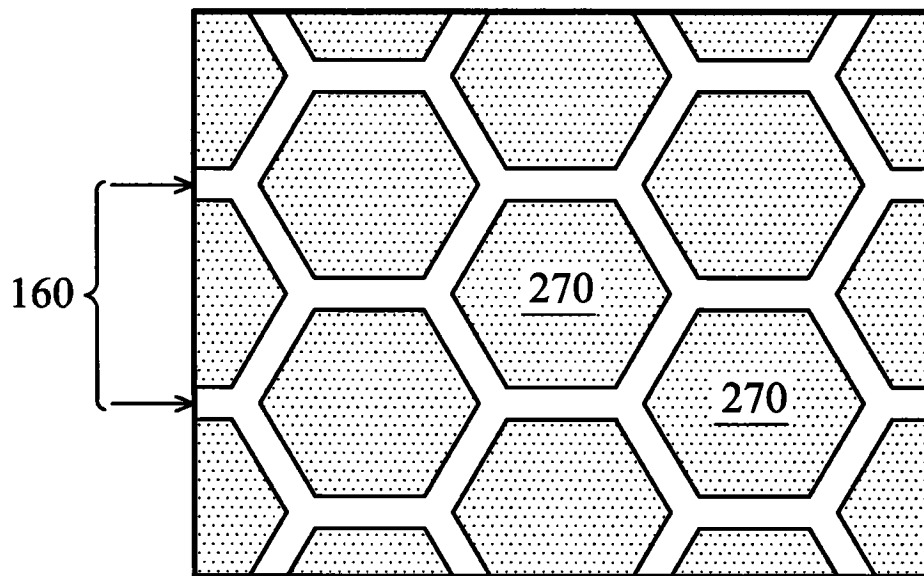


图 22

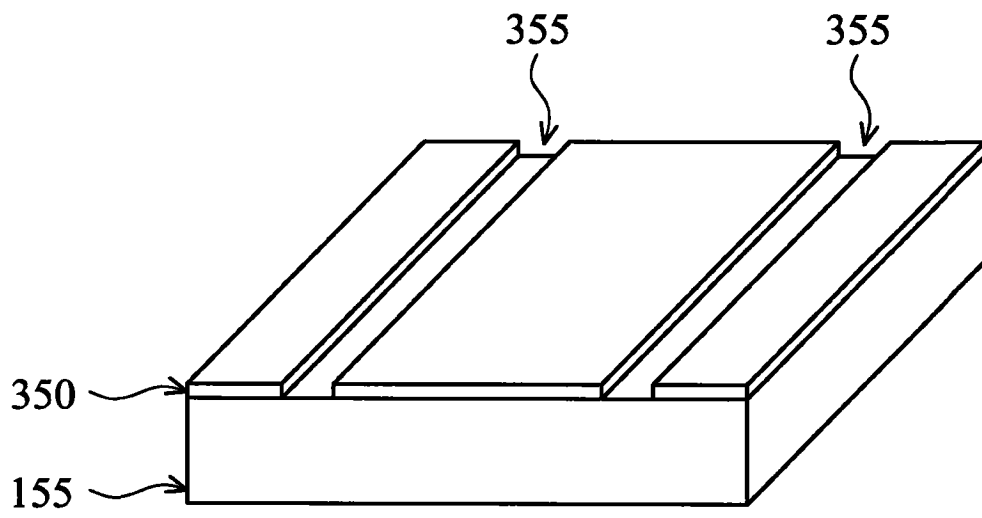


图 23

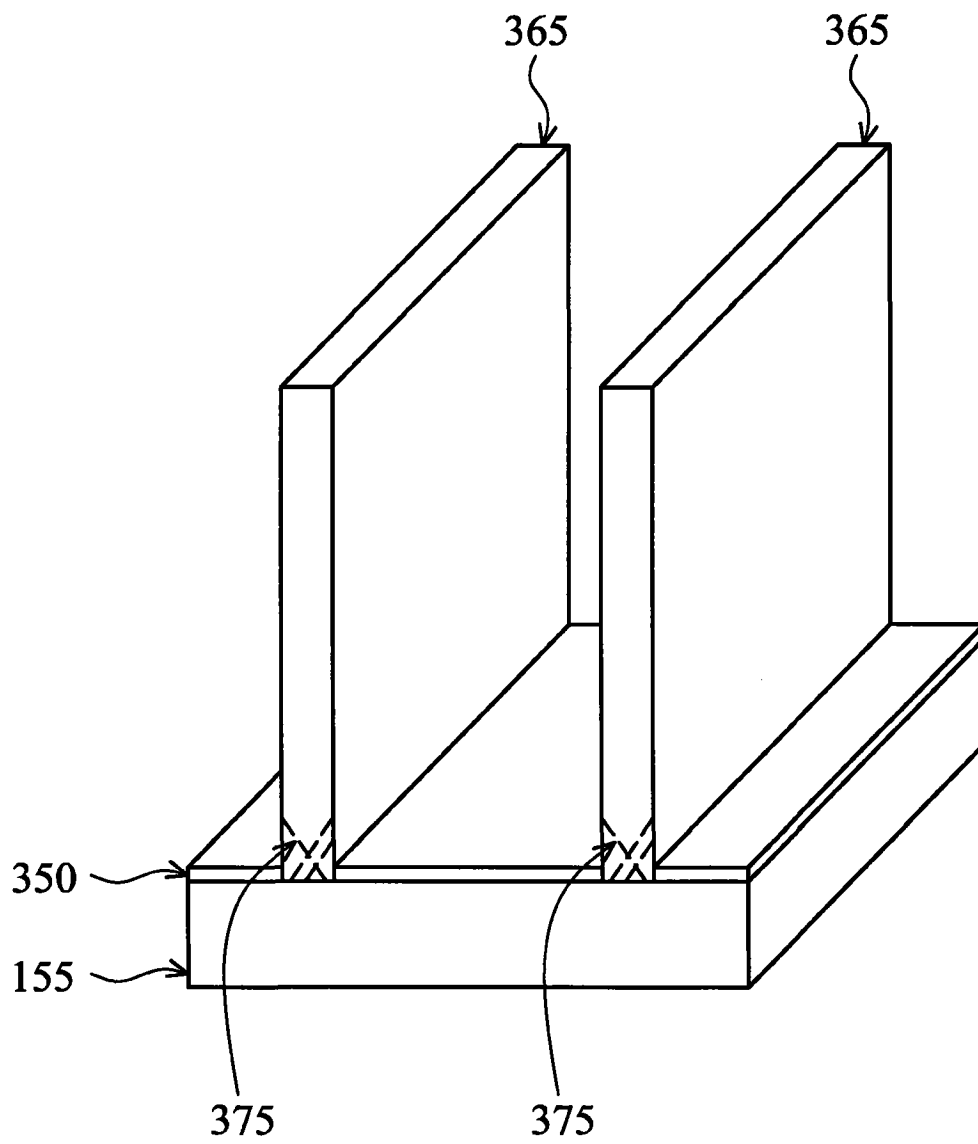


图 24

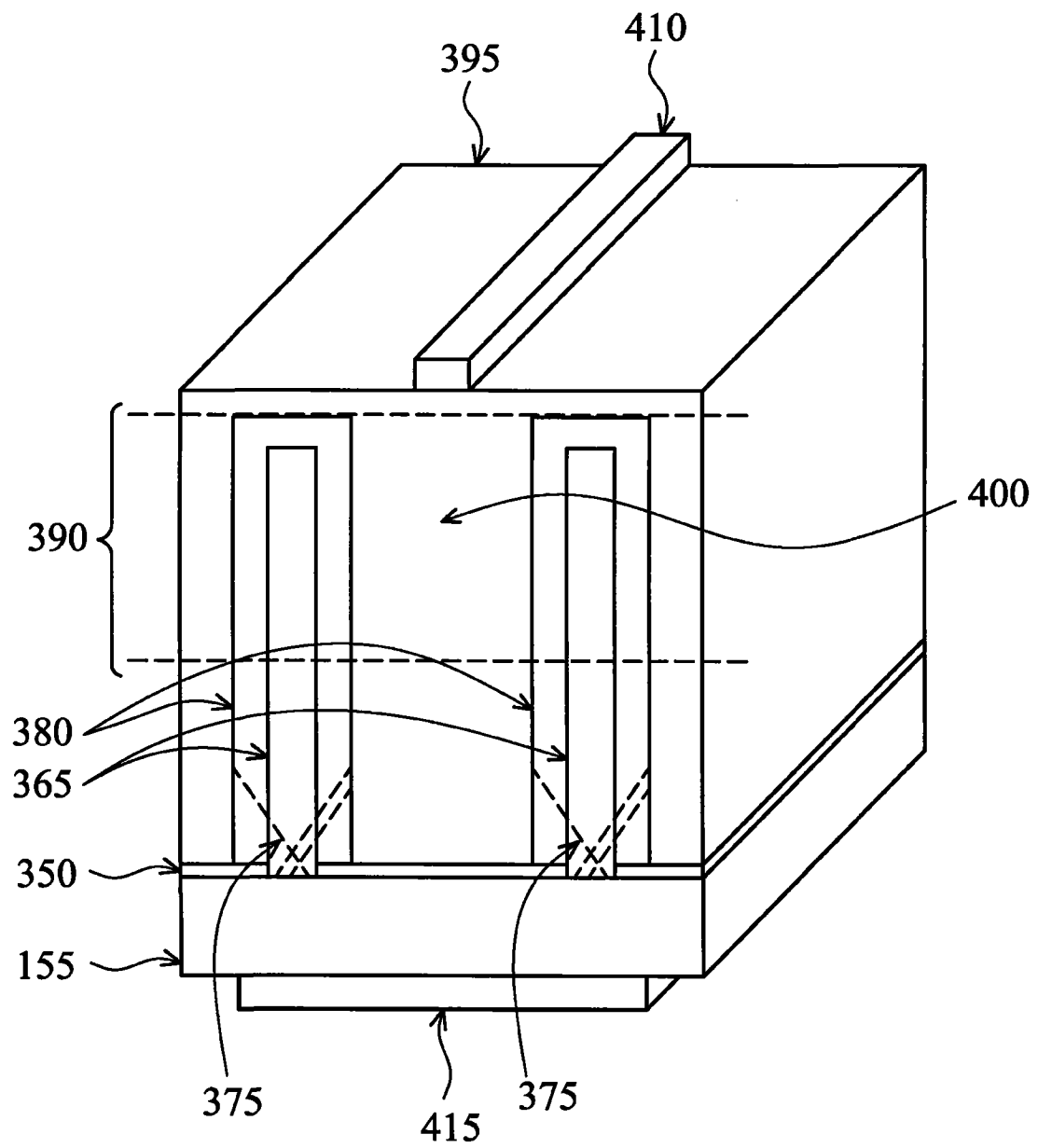


图 25

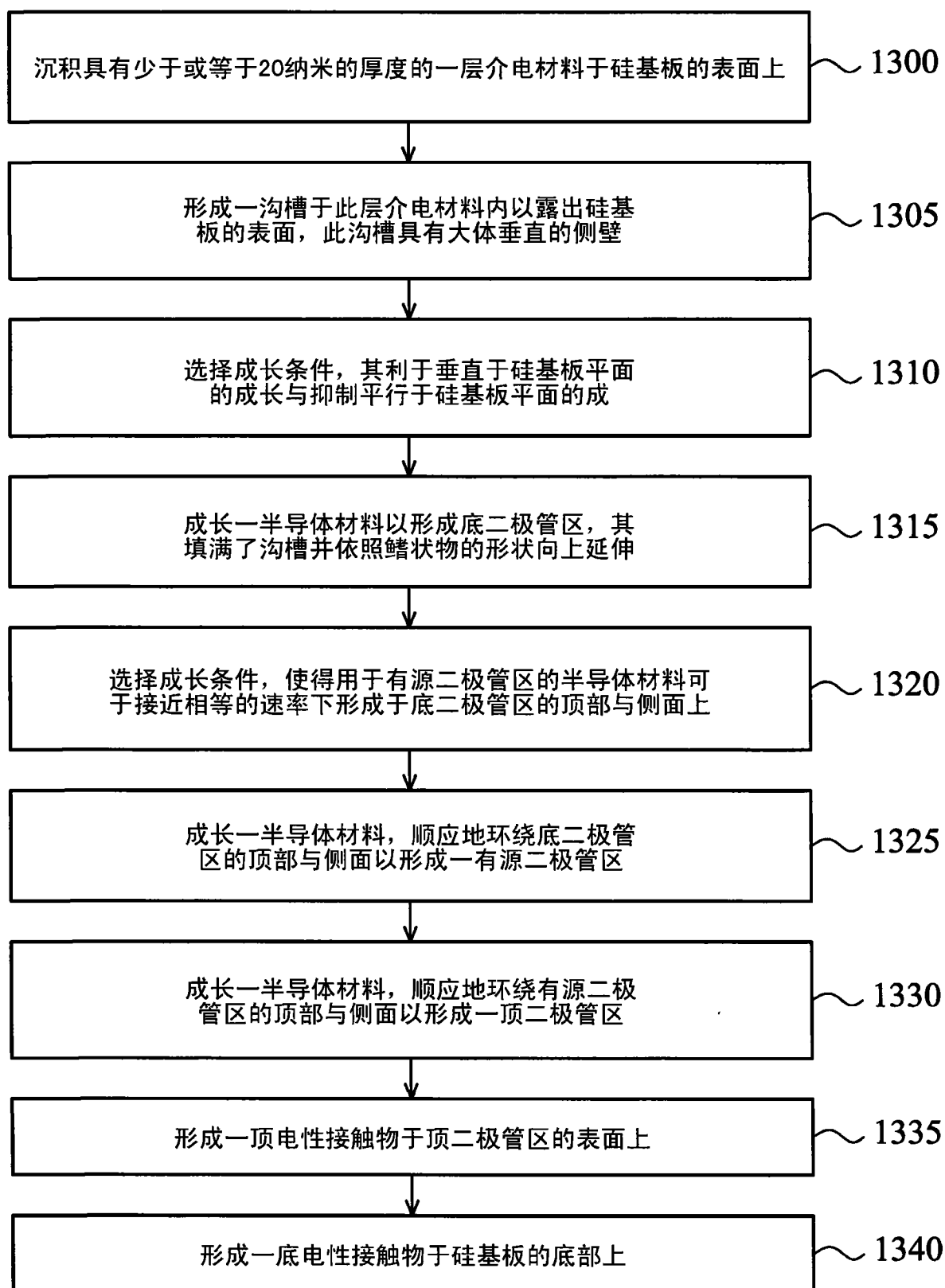


图 26

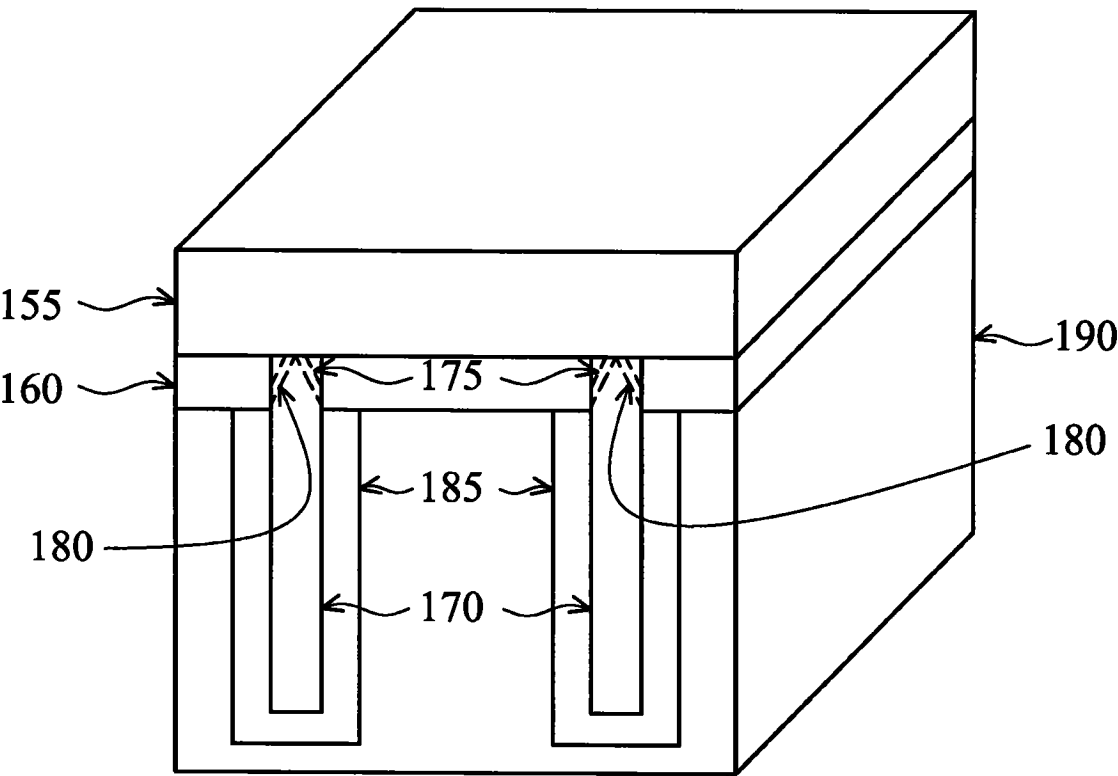


图 27

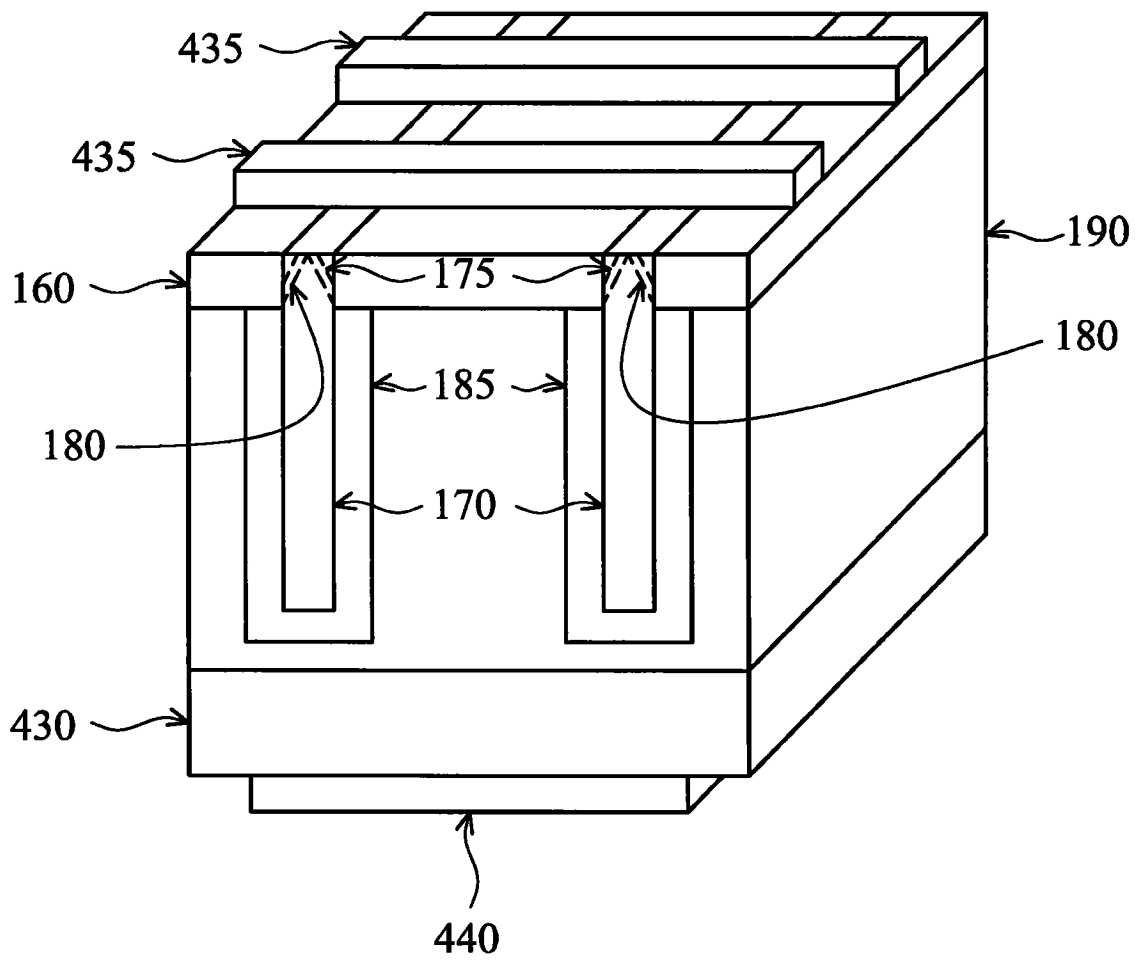


图 28

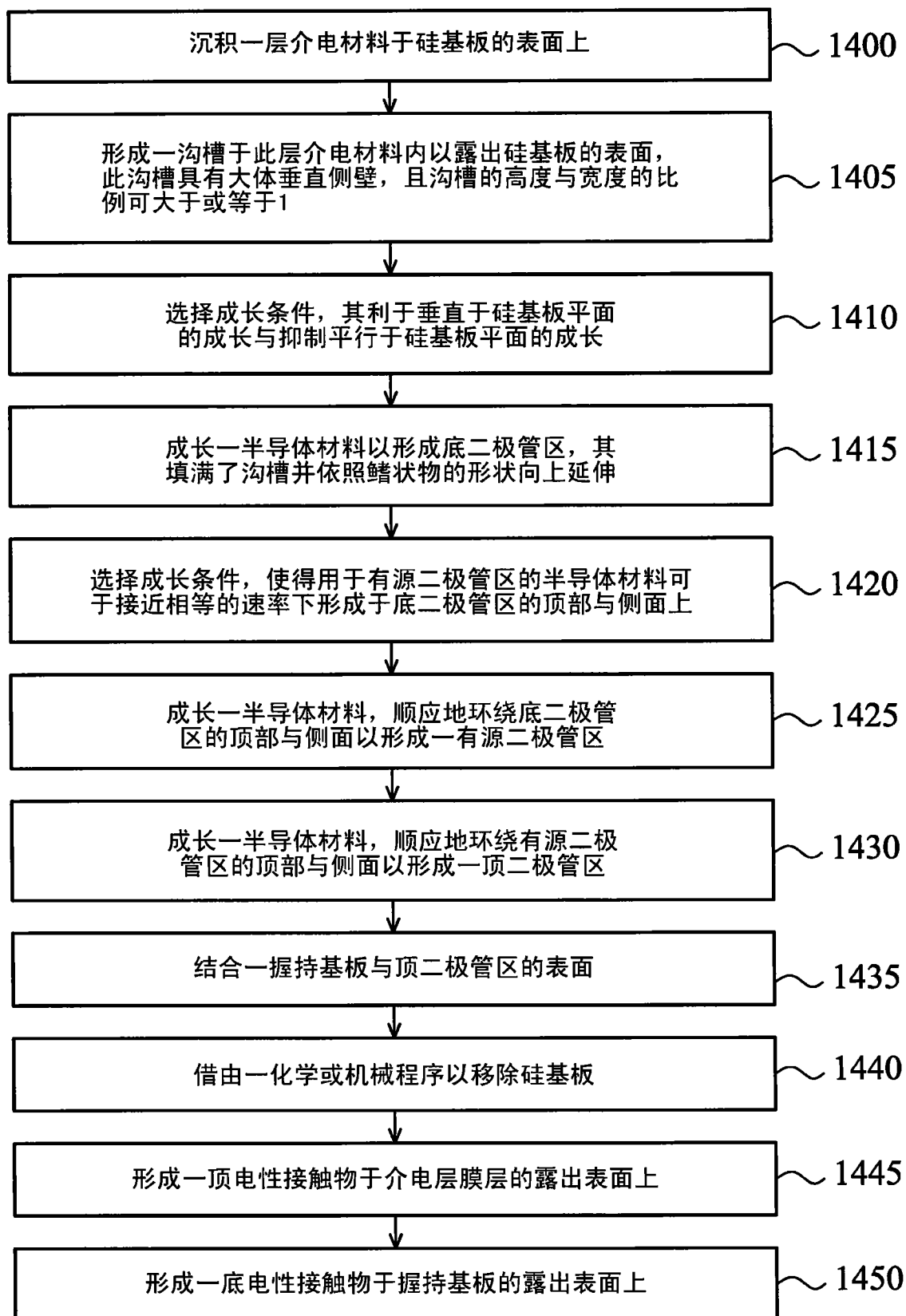


图 29

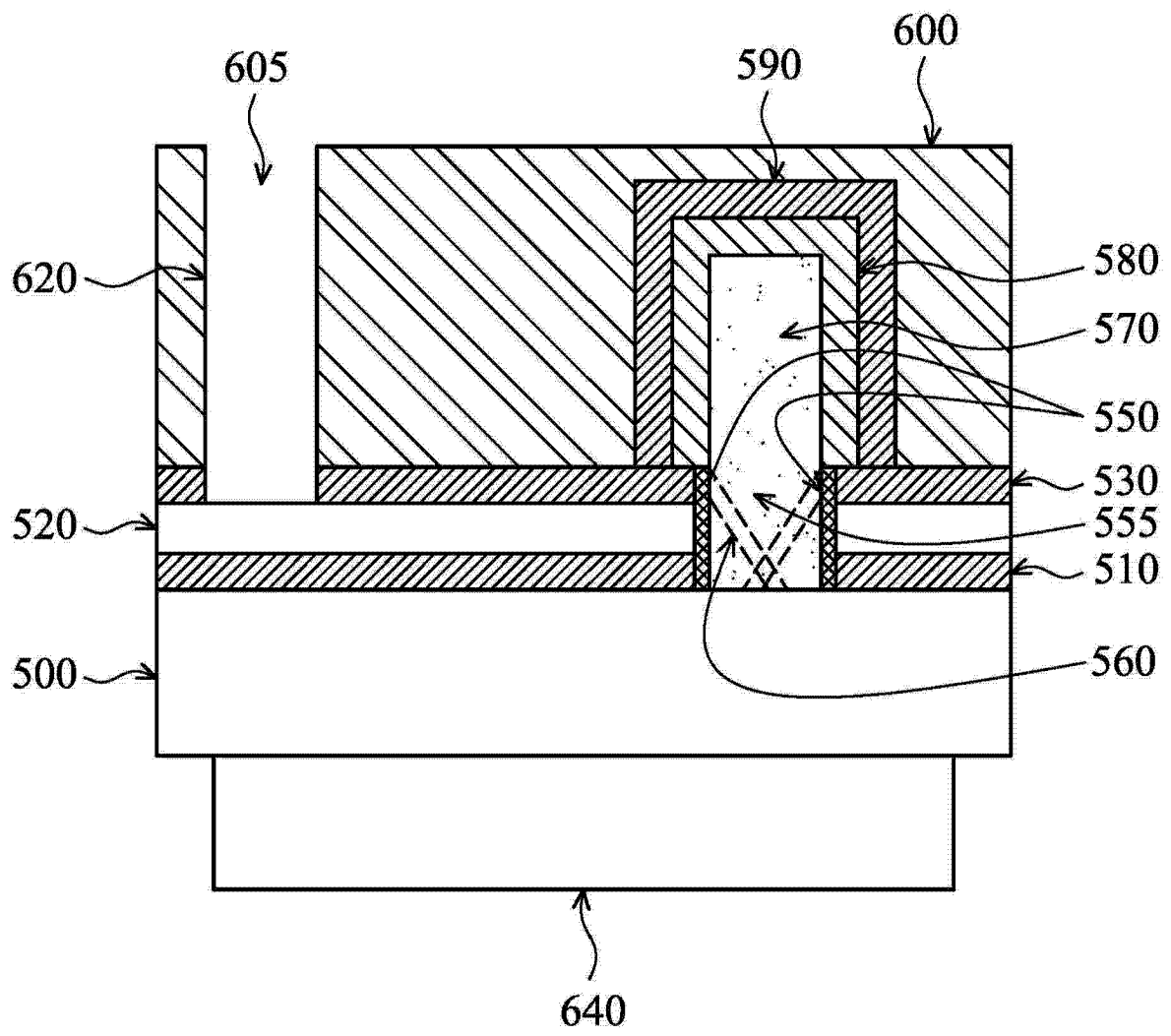


图 31

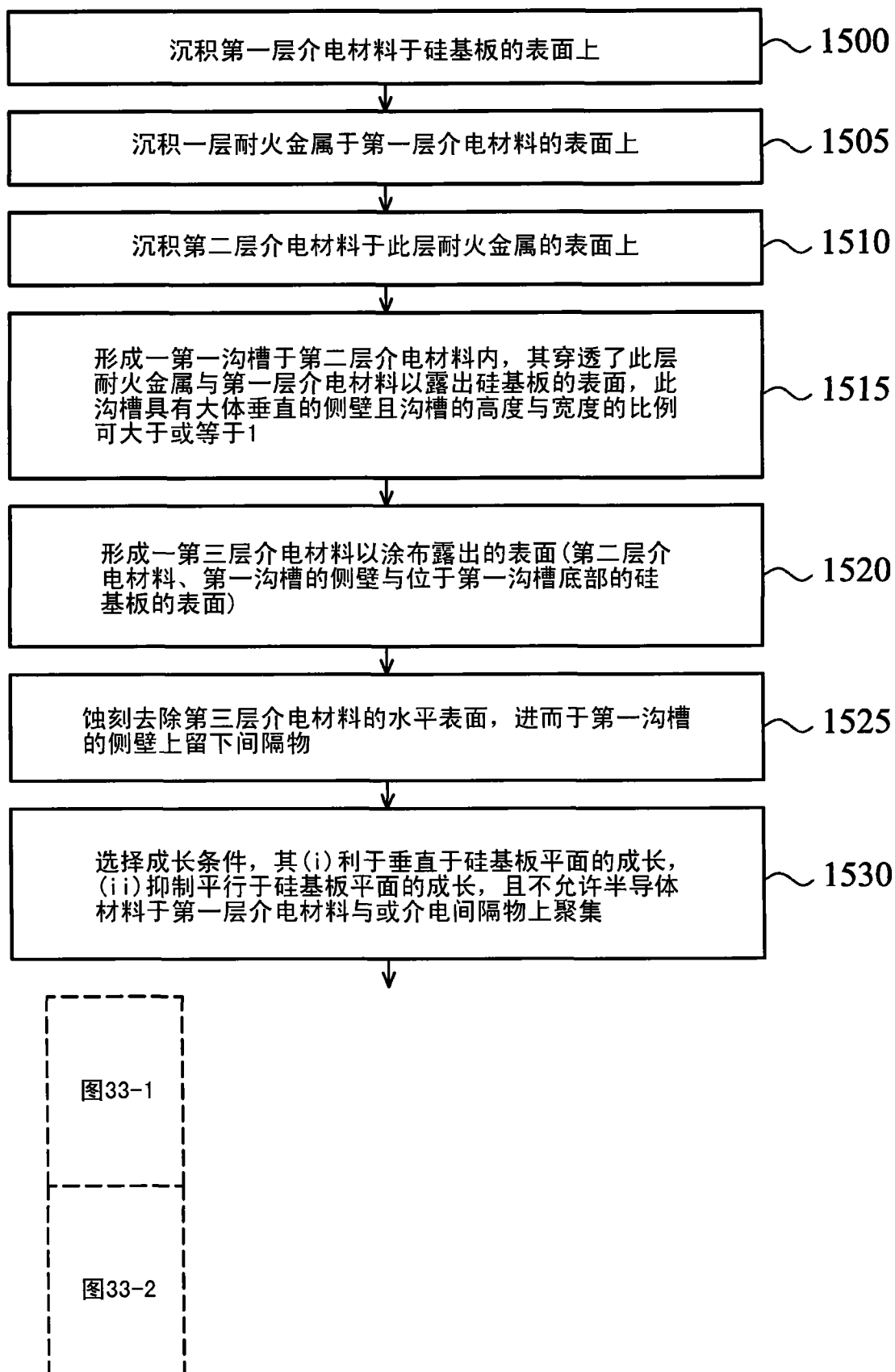


图 33-1

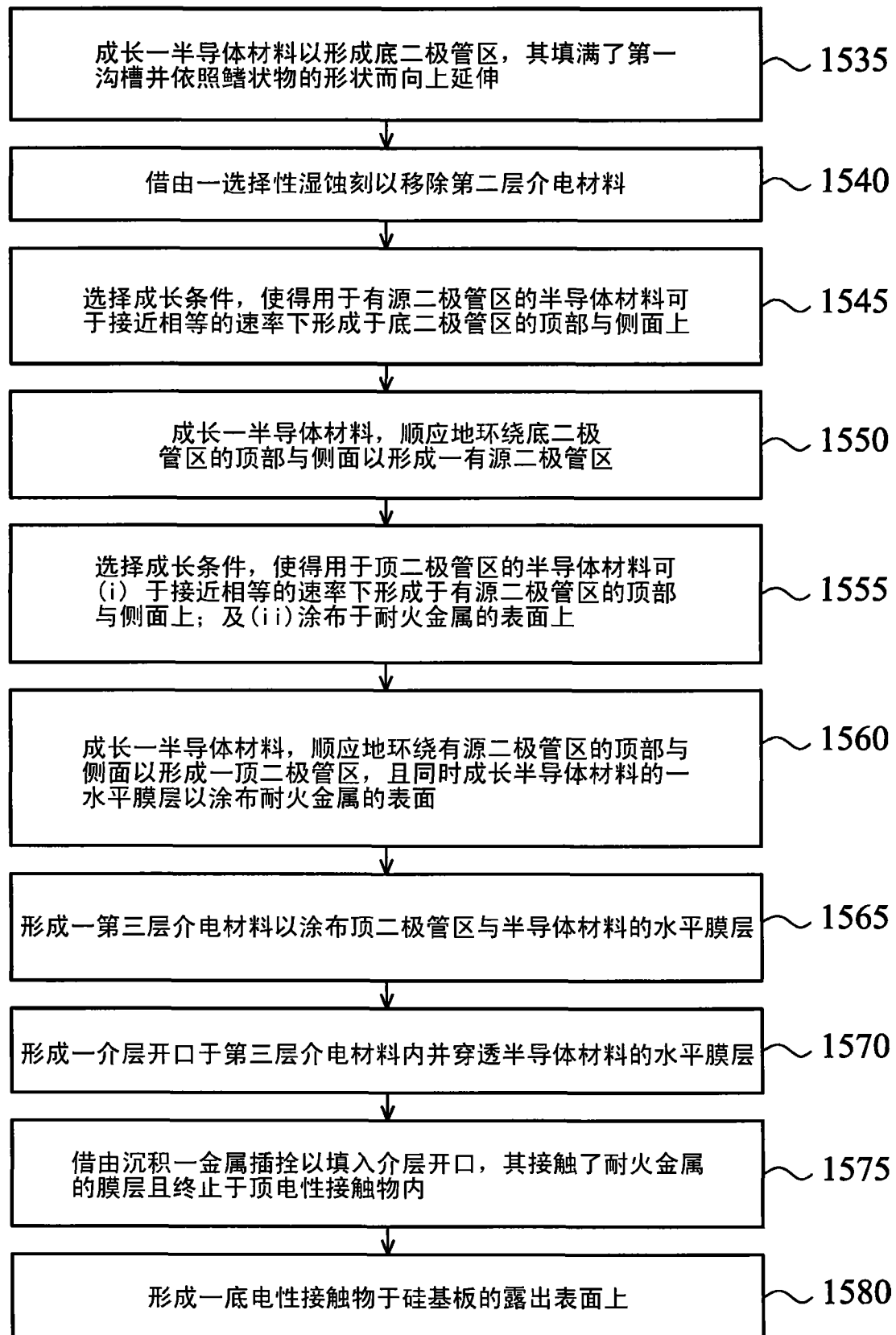


图 33-2

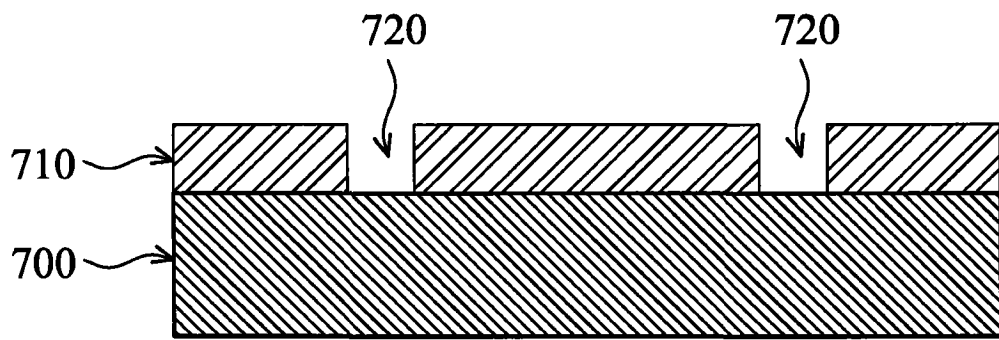


图 34

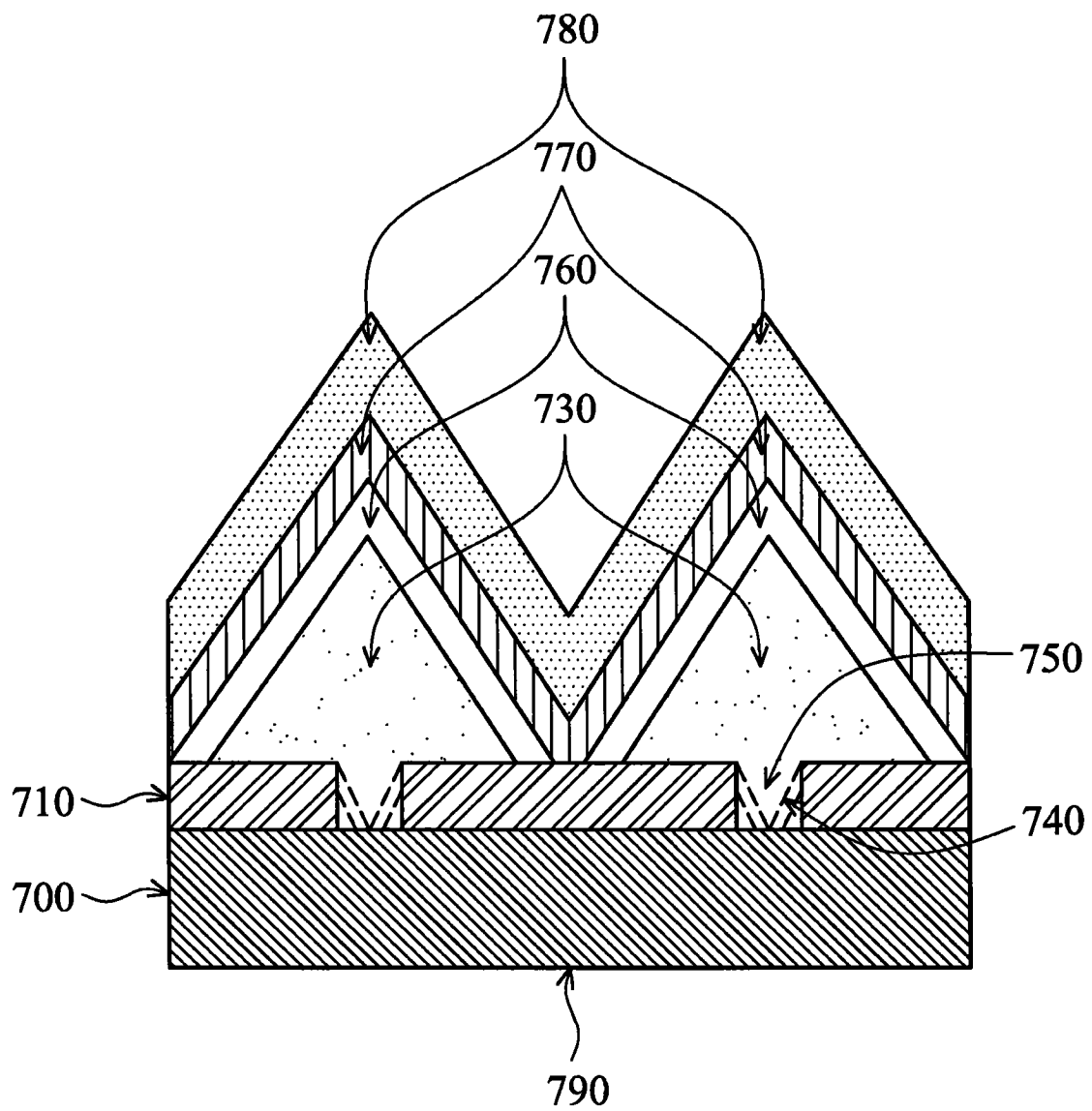


图 35

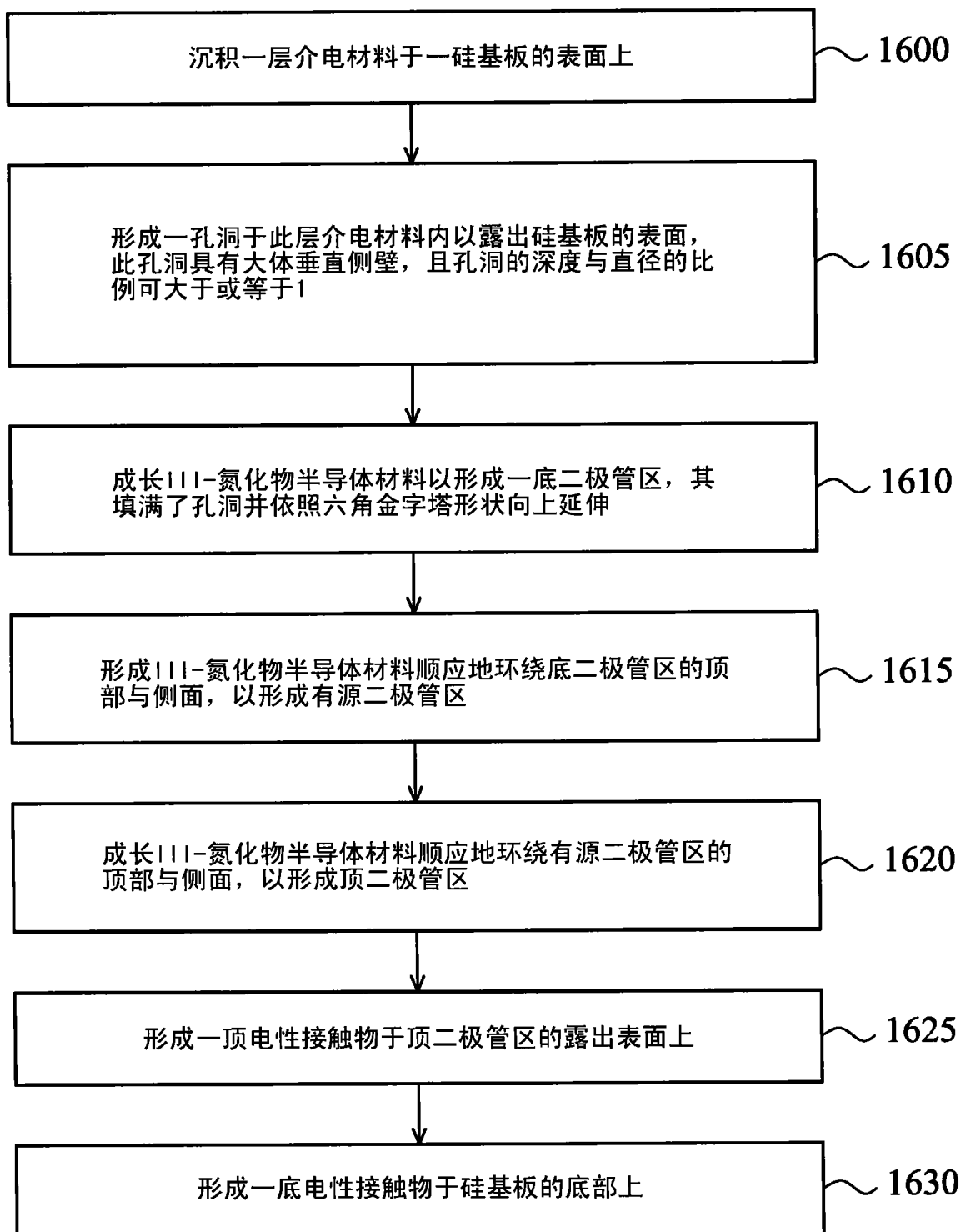


图 36

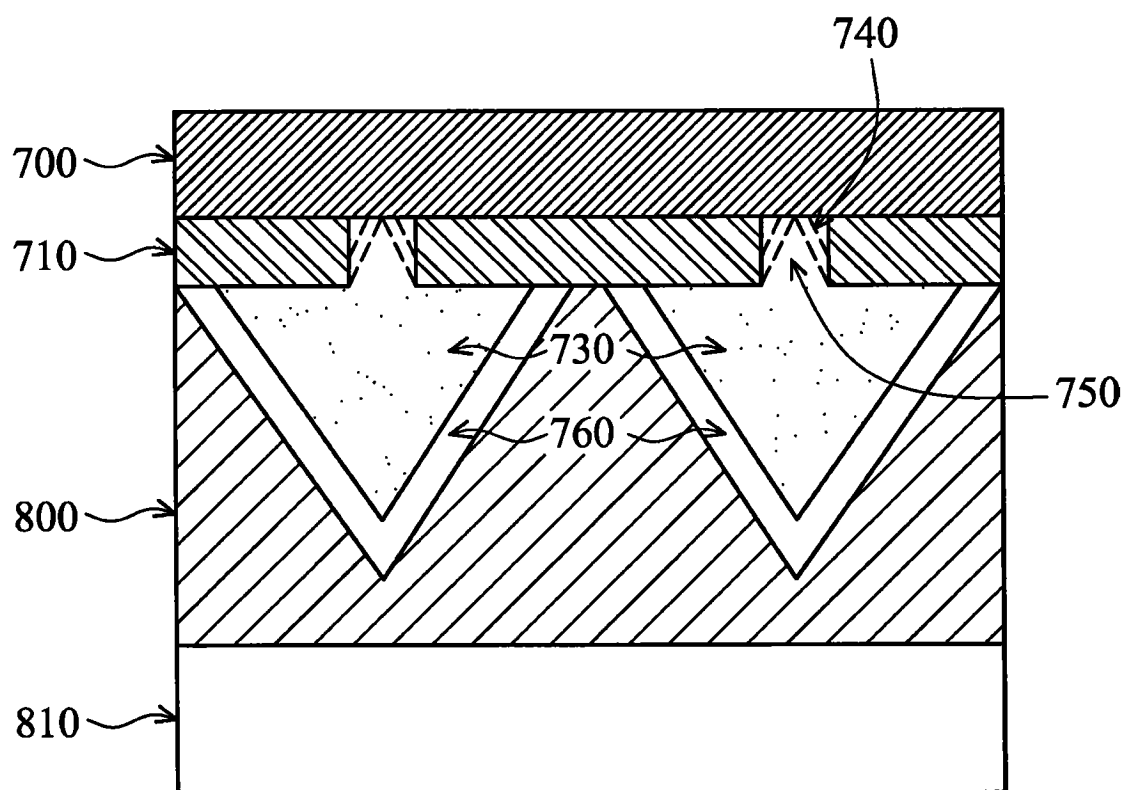


图 37

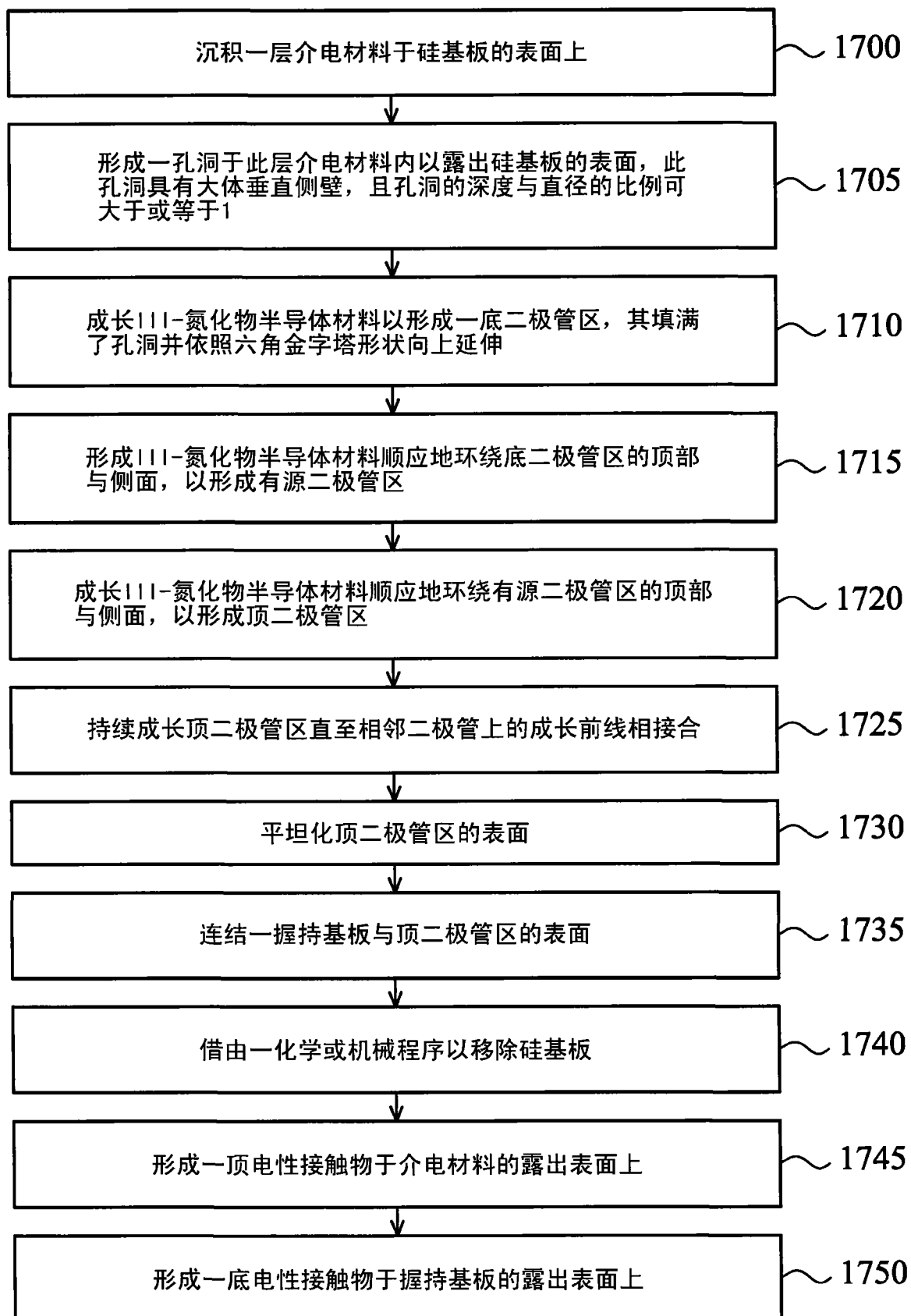


图 39