(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3699401号
(P3699401)
(45)発行日　平成17年9月28日(2005.9.28)　(24)登録日　平成17年7月15日(2005.7.15)

(51)Int.Cl.[7]	F I		
G11C 17/14	G11C	17/06	B
G11C 17/06	G11C	17/06	D

請求項の数 17　(全 9 頁)

(21)出願番号	特願2002-1556(P2002-1556)
(22)出願日	平成14年1月8日(2002.1.8)
(65)公開番号	特開2002-216490(P2002-216490A)
(43)公開日	平成14年8月2日(2002.8.2)
審査請求日	平成15年5月12日(2003.5.12)
(31)優先権主張番号	09/758875
(32)優先日	平成13年1月10日(2001.1.10)
(33)優先権主張国	米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
ＨＥＷＬＥＴＴ－ＰＡＣＫＡＲＤ　ＣＯＭＰＡＮＹ
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　３０００
(74)代理人　100087642
弁理士　古谷　聡
(74)代理人　100063897
弁理士　古谷　馨
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100121061
弁理士　西山　清春

最終頁に続く

(54)【発明の名称】不連続性に基づくメモリセルのセンシング

(57)【特許請求の範囲】

【請求項１】

メモリセルアレイ（10）におけるメモリセル（12）を読み取る方法であって、

メモリセル（12）にアドレス指定するステップと、

ある値の範囲にわたる入力信号を前記アドレス指定されたメモリセル（12）に加えるステップと、及び

加えられた入力信号値に対して検知された電気的応答における不連続性に基づいて、メモリセル（12）の状態を読み取るステップとからなる、方法。

【請求項２】

レール電圧値を含む、加えられた入力信号値の範囲にわたって検知された電気的応答における不連続性に基づいて、前記メモリセル（12）の状態が読み取られる、請求項１の方法。

【請求項３】

前記レール電圧値の１つまたは複数のダイオード降下電圧に匹敵する、加えられた入力信号値の範囲にわたって検知される電気的応答における不連続性に基づいて、前記メモリセル（12）の状態が読み取られる、請求項２の方法。

【請求項４】

前記メモリセル（12）の状態が、前記検知された電気的応答の方向における不連続性に基づいて読み取られる、請求項１の方法。

【請求項５】

前記メモリセル（12）の状態が、前記検知された電気的応答の勾配における不連続性に基づいて読み取られる、請求項１の方法。
【請求項６】
前記メモリセル（12）の状態が、加えられた入力信号に対する電気的応答における不連続性の有無に基づいて読み取られる、請求項１の方法。
【請求項７】
前記メモリセル（12）の状態が、読み取り期間内において複数回にわたって読み取られる、請求項１の方法。
【請求項８】
耐ノイズ性プロセスが、複数のメモリセル読み取りに適用される、請求項７の方法。
【請求項９】
加えられた行信号に対する電気的応答が検知され、加えられた列信号に対する電気的応答が検知される、請求項１の方法。
【請求項１０】
メモリセルアレイ（10）におけるメモリセル（12）を読み取るためのシステムであって、メモリセル（12）にアドレス指定し、ある値の範囲にわたる入力信号を前記メモリセル（12）に加えて、加えられた入力信号値に対して検知された電気的応答における不連続性に基づいて、メモリセル（12）の状態を読み取るように構成された制御回路（34）を備える、システム。
【請求項１１】
レール電圧値を含む、加えられた入力信号値の範囲にわたって検知された電気的応答における不連続性に基づいて、前記メモリセル（12）の状態が読み取られる、請求項１０のシステム。
【請求項１２】
前記レール電圧値の１つまたは複数のダイオード降下電圧に匹敵する、加えられた入力信号値の範囲にわたって検知される電気的応答における不連続性に基づいて、前記メモリセル（12）の状態が読み取られる、請求項１１のシステム。
【請求項１３】
前記メモリセル（12）の状態が、前記検知された電気的応答の方向における不連続性に基づいて読み取られる、請求項１０のシステム。
【請求項１４】
前記メモリセル（12）の状態が、前記検知された電気的応答の勾配における不連続性に基づいて読み取られる、請求項１０のシステム。
【請求項１５】
前記メモリセル（12）の状態が、加えられた入力信号に対する電気的応答における不連続性の有無に基づいて読み取られる、請求項１０のシステム。
【請求項１６】
前記メモリセル（12）の状態が、読み取り期間内において複数回にわたって読み取られる、請求項１０のシステム。
【請求項１７】
耐ノイズ性プロセスが、複数のメモリセル読み取りに適用される、請求項１６システム。
【発明の詳細な説明】
【０００１】
【発明が属する技術分野】
本発明は、メモリセルアレイにおいてメモリセルをセンシング（検知）するためのシステム及び方法に関する。
【０００２】
【従来の技術及び発明が解決しようとする課題】
一般に、メモリシステムには、個別にアクセス可能なセルのアレイに構成された複数のメモリ素子が含まれる。さまざまな用途に、多種多様なメモリシステムが利用可能である。

例えば、内容の保持に連続的な電源を必要とする揮発性メモリ（例えば、ダイナミックランダムアクセスメモリ）によって、大記憶容量が提供され、マイクロプロセッサベースの用途に関する汎用プログラミングオプションが提供される。内容の保持に連続的な電源を必要としない不揮発性メモリ（例えば、読み取り専用メモリ及びプログラマブル論理アレイ）によって、比較的小さい記憶容量、及び制限されたプログラミングオプションが提供される。

【０００３】

不揮発性メモリは、一般に、２つの態様の１つで情報を格納する。すなわち、不揮発性メモリは、電荷を蓄積するか、または固有の物理的構造を記憶することが可能である。電荷を蓄積する不揮発性メモリは、比較的小さい電流を利用して、メモリ素子位置に電荷を蓄積する。一方、構造変化メモリは、一般に、大電流を利用して、メモリ素子（例えば、ヒューズまたはカルコゲナイドメモリ素子）の物理的構造を変化させる。電荷蓄積及び構造変化不揮発性メモリの両方とも、アクセスデバイス（例えば、アクセストランジスタまたはアクセスダイオード）は、一般に、関連するメモリ素子に対する個別アクセスを提供する。読み取り操作中、読み取られるべき特定のメモリセルに関連したアクセスデバイスを除いて、メモリアレイ内のアクセスデバイスの全ては、ターンオフされる。ダイオードをベースにしたメモリシステムの場合、検知されないメモリ素子に対応するダイオードの累積的逆バイアス電流によって、読み取られるメモリセルに加えられる信号に対して検知される応答のＳ／Ｎ比が大幅に低下し、セルのメモリ状態を正確に判定するのが困難になる可能性がある。

【０００４】

【課題を解決するための手段】

本発明は、メモリセルの状態をいっそう正確に判定できるようにする新規のメモリセル読み取り方式（システム及び方法）を特徴とする。

【０００５】

一態様において、本発明はメモリセル読み取り方式を特徴とし、この場合、メモリセルがアドレス指定され、ある値の範囲にわたる入力信号が、アドレス指定されたメモリセルに加えられ、メモリセルの状態が、加えられた入力信号値に対して検知された電気的応答における不連続性に基づいて読み取られる。

【０００６】

本発明の実施態様には、下記の特徴の１つ以上を含むことが可能である。

【０００７】

レール電圧値を含む、加えられた入力信号の値の範囲（例えば、レール電圧値の１つ以上のダイオード電圧降下の範囲内）にわたって検知された電気的応答における不連続性に基づいて、メモリセルの状態は、読み取られるのが好ましい。

【０００８】

メモリセルの状態は、検知された電気的応答の方向における不連続性に基づいて読み取ることが可能である。メモリセルの状態は、検知された電気的応答の勾配における不連続性に基づいて読み取ることも可能である。メモリセルの状態は、加えられた入力信号に対する電気的応答における不連続性の有無に基づいて読み取ることが可能である。

【０００９】

メモリセルの状態は、読み取り期間内に複数の回数にわたって読み取り可能である。耐ノイズ性プロセスは、複数のメモリセルの読み取りに適用することが可能である。一実施態様において、耐ノイズ性プロセスには、統合及びダンププロセスが含まれる。実施態様によっては、加えられた行信号に対する電気的応答が検知されるものもあれば、加えられた列信号に対する電気的応答が検知されるものもある。コモンモード除去耐ノイズ性プロセスは、加えられた行信号及び列信号に対して検知された電気的応答に適用することが可能である。

【００１０】

本発明の利点の中には、以下のものがある。

【００１１】
本発明によれば、ダイオードベースのメモリシステムに容易に適用可能なメモリセル読み取りアプローチが提供される。一般に、本発明は、ノイズに対して比較的影響を受けない。例えば、本発明は、ダイオードベースのメモリシステムの特徴である逆バイアス漏れ電流によって生じるノイズの影響を比較的受けない。本発明は、また、デジタル処理装置によって容易に処理することが可能なデジタルセンス信号を提供するように構成することも可能である。
【００１２】
本発明の他の特徴及び利点については、図面及び特許請求の範囲を含めて、下記の説明から明らかになるであろう。
【００１３】
【発明の実施の形態】
以下の説明では、同様の参照番号を用いて、同様の構成要素が識別される。さらに、図面は、例示的な実施態様の主たる特徴を図解的な態様で例示することを意図している。図面は、実際の実施態様の全ての特徴を表すことを意図したものではなく、あるいは描かれた構成要素の相対的寸法を表すことを意図したものでもなく、一定の縮尺で描かれてはいない。
【００１４】
図１を参照すると、一実施態様において、メモリセルアレイ１０には、複数の行及び複数の列に配置された複数のメモリセル１２が含まれる。各メモリセル１２には、それぞれの行ライン１８、２０、２２、２４とそれぞれの列ライン２６、２８、３０、３２との間に直列に結合されたメモリ素子１４及びアクセスダイオード１６が含まれる。実施態様によっては、メモリ素子１４及びアクセスダイオード１６は、同じ材料構造を有することができる。この実施態様の場合、メモリ素子１４は、構造変化デバイス（例えば、ヒューズ）である。一般に、メモリ素子１４は、デバイスが一方の記憶状態にある場合に、行ラインまたは列ライン、あるいは両方で検知される電気的応答に不連続性を生じ、デバイスがもう一方の記憶状態にある場合に、同様の電気的応答の不連続性を生じない、任意の構造変化デバイスを含むことが可能である。図１に示すように、各アクセスダイオードのカソードは、列ライン２６～３２に結合され、各アクセスダイオードのアノードは、それぞれのメモリ素子に結合される。各メモリ素子は、さらに、それぞれのアクセスダイオードと行ライン１８～２４との間に結合される。従って、メモリセル両端間の電圧は、その間にメモリセルが結合されている、行ラインと列ラインに印加される電圧によって決まる。他の実施態様では、アクセスダイオード及びメモリ素子の位置を逆にすることも可能である。制御回路３４は、メモリセルアレイ１０内の１つ以上のメモリセル１２に対するアドレス指定（または選択）、情報のプログラミング、及び情報の読み取りを行うように構成される。
【００１５】
動作時、制御回路３４は、１つ以上の選択されたメモリセル１２を介して、選択されたセル内のヒューズを溶断するのに十分な電流を供給し、それによって、選択されたセルの電流経路を遮断することで、メモリセルアレイ１０にプログラムすることが可能である。従って、本実施態様の場合、メモリセルは、２つの状態の一方、すなわち、溶断状態か、又は非溶断状態にすることが可能である。詳細に後述するように、メモリセル１２の内容（または状態）を読み取るため、制御回路３４は、対応する行ラインまたは対応する列ライン、あるいは両方にセンス電圧を印加し、印加されたセンス電圧に対する電気的応答を検知する。検知した電気的応答に不連続性が検出される場合、メモリ素子が、溶断していると判定され、そうでなければ、メモリ素子は、溶断していないと判定される。
【００１６】
図２、図３Ａ、及び図３Ｂを参照すると、一実施態様において、制御回路３４が、センス抵抗器３６及びセンスダイオード３８を介して、行ライン１８に対してセンス電圧（$V_{Sense,\ Row}$）を印加する。センス電圧は、正のレール電圧（＋V_{Rail}）を超える、及びそれ

未満のある値の範囲（±△）にわたって印加される。一実施態様において、センス電圧は、正のレール電圧の１つ以上のダイオード電圧降下に匹敵する値の範囲に及ぶのが好ましい。一実施態様において、印加されたセンス電圧は、正のレール電圧の１ボルト以内の値範囲（すなわち、△＝１ボルト）に及ぶ。制御回路３４は、例えば、センス抵抗器３６を介して流れる電流をモニタすることによって、メモリセル１２の応答を検出する。メモリ素子１４が溶断していなければ、印加されたセンス電圧が正のレール電圧に近い値の場合、センスダイオード３８に逆バイアスがかかる（図３Ａを参照されたい）。結果として、センス抵抗器３６を流れる電流（$I_{Sense,\ Row}$）は、負であり、且つ正のレール電圧に近い印加されたセンス電圧に関する勾配変化（△Ｉ／△Ｖ）が比較的小さい、逆バイアスのかかったセンスダイオード３８の電流に対応する。しかし、メモリ素子１４が溶断している場合、印加されたセンス電圧の大きさが、正のレール電圧よりも、１つのダイオード電圧降下分だけ小さい場合（$+V_{TH}$）、センスダイオード３８には順バイアスがかかる（図３Ｂを参照されたい）。このメモリ状態において、印加されたセンス電圧の大きさが、正のレール電圧の大きさよりも、１つのダイオード電圧降下分だけ大きい場合（$+V_{TH}$）、センスダイオード３８には逆バイアスがかかる。結果として、印加されたセンス電圧が$+V_{TH}$未満の大きさから$+V_{TH}$を超える大きさまで変化する場合、センス抵抗器３６を流れる電流（$I_{Sense,\ Row}$）は、方向（正から負への）、及び勾配（△Ｉ／△Ｖが比較的大きい値から比較的小さい値に変化する）における不連続性により特徴付けられる。場合によっては、方向における不連続性は、他の非選択メモリ素子における逆バイアス電流の蓄積によってマスキングされる可能性もある。こうした場合、メモリ素子の状態は、全センス電流における不連続性の有無を検出することによって判定することが可能である。

【００１７】

図２、図４Ａ、及び図４Ｂに示すように、制御回路３４が、センス抵抗器４０及びセンスダイオード４２を介して、列ライン３０に対してセンス電圧（$V_{Sense,\ Column}$）を印加する。センス電圧は、負のレール電圧（$-V_{Rail}$）を超える、及びそれ未満のある値の範囲（±△）にわたって印加される。一実施態様では、センス電圧は、負のレール電圧の１つ以上のダイオード電圧降下に匹敵する値の範囲に及ぶのが好ましい。一実施態様において、印加されたセンス電圧は、負のレール電圧の１ボルト以内の値範囲（すなわち、△＝１ボルト）に及ぶ。制御回路３４は、センス抵抗器４０を介して流れる電流をモニタすることによって、メモリセル１２の応答を検出する。メモリ素子１４が溶断していなければ、印加されたセンス電圧が負のレール電圧に近い値の場合、センスダイオード４２に逆バイアスがかかる（図４Ａを参照されたい）。結果として、センス抵抗器４０を流れる電流（$I_{Sense,\ Column}$）は、負であり、且つ負のレール電圧に近い印加されたセンス電圧に関する勾配変化（△Ｉ／△Ｖ）が比較的小さい、逆バイアスのかかったセンスダイオード４２の電流に対応する。しかし、メモリ素子１４が溶断している場合、印加されたセンス電圧の大きさが、負のレール電圧よりも、１つのダイオード電圧降下分だけ小さい場合（$-V_{TH}$）、センスダイオード４２には順バイアスがかかる（図４Ｂを参照されたい）。このメモリ状態において、印加されたセンス電圧の大きさが、負のレール電圧の大きさよりも、１つのダイオード電圧降下分だけ大きい場合（$-V_{TH}$）、センスダイオード４２には逆バイアスがかかる。結果として、印加されたセンス電圧が$-V_{TH}$未満の大きさから$-V_{TH}$を超える大きさまで変化する場合、センス抵抗器４０を流れる電流（$I_{Sense,\ Column}$）は、方向（負から正への）、及び勾配（△Ｉ／△Ｖが比較的大きい値から比較的小さい値に変化する）における不連続性により特徴付けられる。センスダイオード３８に関連して上述のように、場合によっては、方向における不連続性は、他の非選択メモリ素子における逆バイアス電流の蓄積によってマスキングされる可能性もある。こうした場合、メモリ素子の状態は、全センス電流における勾配の不連続性の有無を検出することによって判定することが可能である。

【００１８】

図５を参照すると、一実施態様において、メモリセル１２は、制御回路３４によって下記のように読み取られることが可能である。制御回路３４が、メモリセル１２に対してある

値の範囲にわたる入力信号を加える（ステップ５０）。入力信号は、行ライン１８または列ライン３０、あるいは両方に加えられることが可能である。制御回路３４が、加えられた入力信号の値の範囲にわたって電気的応答を検知する（ステップ５２）。電気的応答は、メモリセル１２に対して入力信号（または複数の入力信号）を加えるライン（または複数のライン）において検知される。読み取り期間が満了していない場合（ステップ５４）、メモリセル１２が再度読み取られる（ステップ５０、５２）。読み取り期間が終了後（ステップ５４）、メモリセルの読み取りに耐ノイズ性処理が施される（ステップ５６）。耐ノイズ性処理は、デジタル及びアナログ（例えば、統合及びダンプ）処理技法を含めて、１つ以上の従来の信号処理技法を含むことが可能である。行ライン１８と列ライン３０の両方からの電気的応答が検知される場合、検知された電気的応答に対して従来のコモンモード除去を組み合わせることによって、制御回路３４のメモリセルの読み取り精度を改善することが可能である。

【００１９】

図６を参照すると、一実施態様において、上述のメモリセル読み取りアプローチは、複数のメモリセル６０から形成された追記型メモリセルアレイに関連して利用することが可能である。各メモリセル６０には、メモリ素子１４及びアクセスダイオード１６以外に、１つ以上の行アドレスライン６２と、１つ以上の列アドレスライン６４が含まれる。この実施態様では、行アドレスライン６２に印加される電圧が高（＋V_{Rail}）で、列アドレスライン６４に印加される電圧が低（－V_{Rail}）（すなわち、導通している行または列アドレスダイオードがない）場合に限って、メモリセル６０が選択される。選択されたメモリセル６０の状態は、上述のように、対応する行ラインまたは対応する列ライン、あるいは両方にセンス電圧を印加し、印加されたセンス電圧に対する電気的応答を検知することによって読み取られることが可能である。すなわち、検知された電気応答に不連続性が検出されると、メモリ素子は溶断していると判定され、そうでなければ、メモリ素子は元のままであると判定される。上述の耐ノイズ性処理技法を、検知された電気的応答に適用して、制御回路３４のメモリセル読み取り精度を向上させることも可能である。

【００２０】

上述の実施態様のそれぞれにおいて、制御回路３４は、読み取られるメモリセルに加えられたセンス信号に対する電気的応答において検出される不連続性の有無に基づいて、メモリセルの状態を表すデジタル出力信号を生成するように構成可能である。制御回路３４からのデジタル出力信号は、後続の信号処理装置によって容易に処理可能である。

【００２１】

本明細書に記載のシステム及び方法は、特定のハードウェアまたはソフトウェア構成に制限されるものではなく、任意の計算または処理環境において実施可能である。メモリセル読み取りプロセス及び耐ノイズ性プロセスは、高水準手続き形言語またはオブジェクト指向プログラミング言語で実施されるのが好ましいが、プログラムは、所望の場合、アセンブリ言語または機械語で実施することも可能である。いずれにせよ、プログラミング言語は、コンパイルされた言語または解釈された言語とすることが可能である。

【００２２】

他の実施態様は、特許請求の範囲内にある。例えば、上述のメモリセル読み取りの実施態様は、構造変化素子が一方のメモリ状態にある場合に、検知される電気的応答に不連続性を生じ、構造変化素子がもう一方のメモリ状態にある場合に、同様の不連続性を生じない構造変化素子を含む、任意の従来のダイオードベースメモリに利用することが可能である。

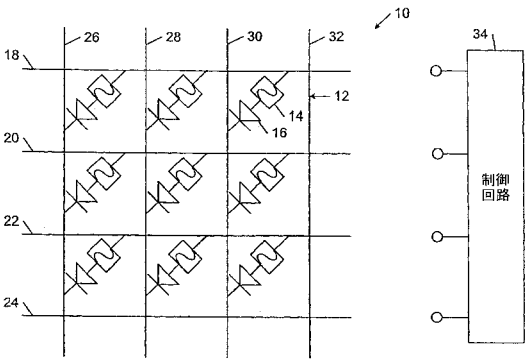
【００２３】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

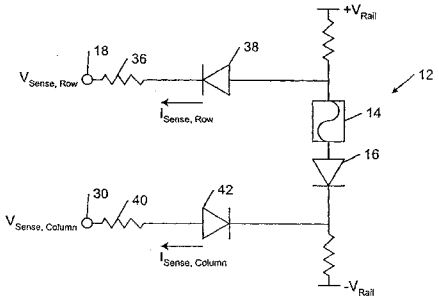
１．メモリセルアレイ（10）におけるメモリセル（12）を読み取る方法であって、
メモリセル（12）にアドレス指定するステップと、
ある値の範囲にわたる入力信号を前記アドレス指定されたメモリセル（12）に加えるステ

ップと、及び
加えられた入力信号値に対して検知された電気的応答における不連続性に基づいて、メモリセル（12）の状態を読み取るステップとからなる、方法。
２．メモリセルアレイ（10）におけるメモリセル（12）を読み取るためのシステムであって、
メモリセル（12）にアドレス指定し、ある値の範囲にわたる入力信号を前記メモリセル（12）に加えて、加えられた入力信号値に対して検知された電気的応答における不連続性に基づいて、メモリセル（12）の状態を読み取るように構成された制御回路（34）を含む、システム。
３．レール電圧値を含む、加えられた入力信号値の範囲にわたって検知された電気的応答における不連続性に基づいて、前記メモリセル（12）の状態が読み取られる、上記１または２に記載の内容。
４．前記レール電圧値の１つ以上のダイオード降下電圧に匹敵する、加えられた入力信号値の範囲にわたって検知される電気的応答における不連続性に基づいて、前記メモリセル（12）の状態が読み取られる、上記３に記載の内容。
５．前記メモリセル（12）の状態が、前記検知された電気的応答の方向における不連続性に基づいて読み取られる、上記１または２に記載の内容。
６．前記メモリセル（12）の状態が、前記検知された電気的応答の勾配における不連続性に基づいて読み取られる、上記１または２に記載の内容。
７．前記メモリセル（12）の状態が、加えられた入力信号に対する電気的応答における不連続性の有無に基づいて読み取られる、上記１または２に記載の内容。
８．前記メモリセル（12）の状態が、読み取り期間内において複数回にわたって読み取られる、上記１または２に記載の内容。
９．耐ノイズ性プロセスが、複数のメモリセル読み取りに適用される、上記８に記載の内容。
１０．加えられた行信号に対する電気的応答が検知され、加えられた列信号に対する電気的応答が検知される、上記１に記載の方法。
【００２４】
【発明の効果】
本発明により、メモリセルの状態をいっそう正確に判定できるようにする新規のメモリセル読み取り方式が提供される。
【図面の簡単な説明】
【図１】メモリセルアレイの一部に関する回路図である。
【図２】図１のメモリセルアレイの行ラインと列ラインの間に結合されたメモリセルの回路図である。
【図３Ａ】メモリセルが溶断していない場合に、図２のメモリセルに加えられた行ライン信号に対して検知された電気的応答の略グラフである。
【図３Ｂ】メモリセルが溶断している場合に、図２のメモリセルに加えられた行ライン信号に対して検知された電気的応答の略グラフである。
【図４Ａ】メモリセルが溶断していない場合に、図２のメモリセルに加えられた列ライン信号に対して検知された電気的応答の略グラフである。
【図４Ｂ】メモリセルが溶断している場合に、図２のメモリセルに加えられた列ライン信号に対して検知された電気的応答の略グラフである。
【図５】図２のメモリセルの読み取り方法を図表化したものである。
【図６】代替のメモリセルアレイの行ラインと列ラインとの間に結合されたメモリセルの回路図である。
【符号の説明】
10　メモリセルアレイ
12　メモリセル
34　制御回路

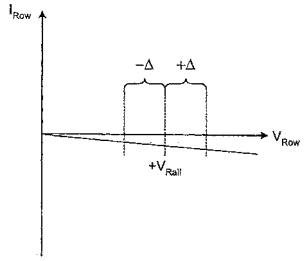
【図１】



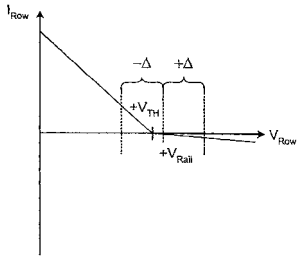
【図２】



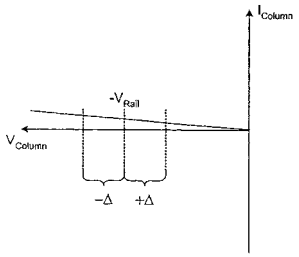
【図３Ａ】



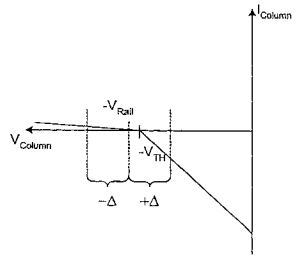
【図３Ｂ】



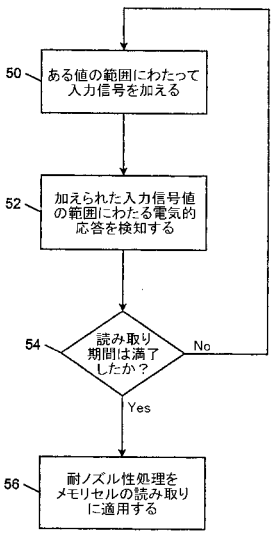
【図４Ａ】



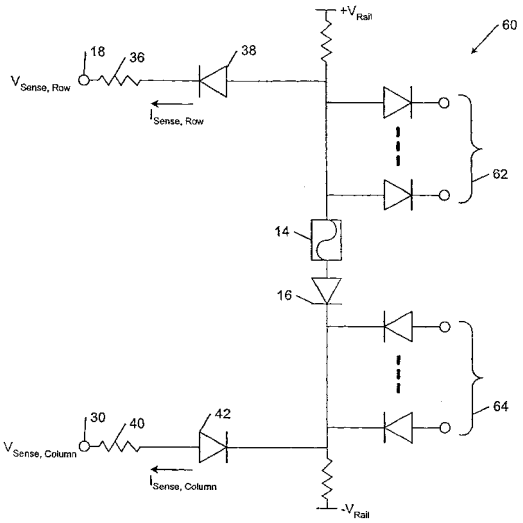
【図４Ｂ】



【図５】



【図６】



フロントページの続き

(72)発明者　ジョシュ・エヌ・ホーガン
アメリカ合衆国カリフォルニア州９４０２２，ロスアルトス，キングウッド・ウェイ・６２０

審査官　小松　正

(56)参考文献　特開昭５６－１６９２８８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 17/14-17/18