(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年7 月9 日 (09.07.2009)

PCT

(10) 国際公開番号
WO 2009/084137 A1

(51) 国際特許分類:
H01L 21/02 (2006.01) *H01L 27/12* (2006.01)
H01L 21/329 (2006.01) *H01L 29/732* (2006.01)
H01L 21/331 (2006.01) *H01L 29/786* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2008/002659

(22) 国際出願日: 2008 年9 月25 日 (25.09.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2007-336332
2007 年12 月27 日 (27.12.2007) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 福島康守 (FUKUSHIMA, Yasumori). 冨安一秀 (TOMIYASU, Kazuhide). 高藤裕 (TAKAFUJI, Yutaka). 多田憲史 (TADA, Kenshi). 竹井美智子 (TAKEI, Michiko).

(74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町２丁目５番７号 大阪丸紅ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

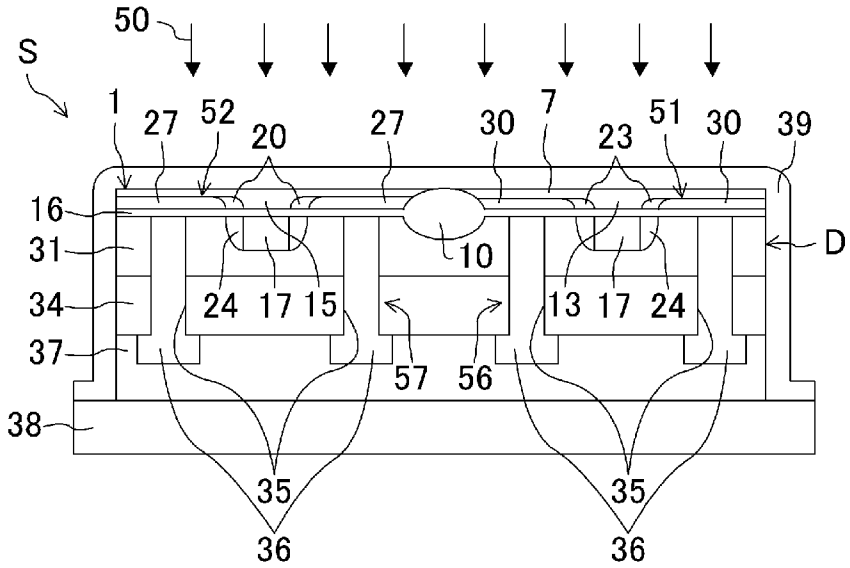
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) **発明の名称:** 半導体装置及びその製造方法

[図22]



(57) **Abstract:** Disclosed is a method for manufacturing a semiconductor device, which comprises a device section-forming step wherein a device section is formed on a base layer, a release layer-forming step wherein a release layer is formed in the base layer, a bonding step wherein the base layer provided with the device section is bonded to a substrate, a separation step wherein a part of the base layer is separated and removed along the releasing layer in the thickness direction by heating the base layer bonded to the substrate, and an ion implantation step following the separation step wherein a p-type impurity element is ion implanted into the base layer for adjusting the impurity concentration in a p-type region of the device.

[続葉有]

WO 2009/084137 A1

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: 基体層にデバイス部を形成するデバイス部形成工程と、基体層に剥離層を形成する剥離層形成工程と、デバイス部が形成された基体層を基板に貼り付ける貼付工程と、基板に貼り付けられた基体層を加熱することにより、基体層の深さ方向の一部を剥離層に沿って分離除去する分離工程とを有し、さらに、分離工程の後に行われ、素子のＰ型領域の不純物濃度を調整するために、基体層にＰ型不純物元素をイオン注入するイオン注入工程を含む。

明　細　書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、例えば液晶表示装置等に適用される半導体装置、及びその製造方法に関するものである。

背景技術

[0002] 近年、液晶表示装置は、例えば携帯電話器等のモバイル機器や所謂液晶テレビ等の薄型の表示装置として、需要が非常に高まっている。このような液晶表示装置は、一対の基板によって液晶層が狭持された構成を有しており、その一方の基板は、ガラス基板上に複数のＴＦＴ（Thin-Film Transistor）が形成された半導体装置を構成している。

[0003] ところで、従来より、絶縁層の表面に単結晶シリコン層が形成されたシリコン基板であるＳＯＩ（Silicon on Insulator）が知られている。ＳＯＩ基板上にトランジスタ等のデバイスを形成することにより、寄生容量を低減すると共に絶縁抵抗を高くできる。すなわち、デバイスの高性能化や高集積化を図ることができる。上記絶縁層は、例えばシリコン酸化膜（SiO_2）により形成されている。

[0004] 上記ＳＯＩ基板は、デバイスの動作速度を高めると共に寄生容量をさらに低減する観点から、単結晶シリコン層の膜厚を薄くすることが望ましい。一般に、ＳＯＩ基板の形成方法としては、機械研磨や化学的機械研磨（Chemical Mechanical Polishing：ＣＭＰ）や、ポーラスシリコンを利用した方法等、種々の方法が知られている。例えば水素注入による方法の例として、半導体基板の内部に水素を注入し、これは別の他の基板に貼り合わせた後に、熱処理を行うことによって半導体基板を水素注入層に沿って分離し、別基板上に転写するスマートカット法がブルエル（Bruel）によって提案されている（非特許文献１及び非特許文献２等を参照）。

[0005] この技術によって、絶縁層の表面に単結晶シリコン層が形成されたシリコ

ン基板であるＳＯＩ基板を形成できる。このような基板構造上にトランジスタ等のデバイスを形成することで、寄生容量を低減できると共に絶縁抵抗を高くできるため、デバイスの高性能化や高集積化を図ることができる。

非特許文献1：Electronics Letters,Vol.31,No.14,1995,pp.1201

非特許文献2：JJAP,Vol.36(1997)pp.1636

非特許文献3：Applied Physics Letters, 43(2),15 July 1983 "Deactivation of the boron acceptor in silicon by hydrogen",

非特許文献4：Journal of Applied Physics, 75(7), 1 April 1994 "Hydrogen introduction and hydrogen-enhanced thermal donor formation"

発明の開示

発明が解決しようとする課題

[0006] 本発明者らは、ＭＯＳトランジスタ等の半導体素子の少なくとも一部を形成した半導体基板に対し、水素注入層を形成して半導体基板の一部を分離することにより、半導体素子を他の基板上に薄膜化して製造できることを見出した。そして、上記他の基板を透明基板とすることによって、半導体層が薄膜化された半導体装置を、液晶表示装置に適用することが可能となる。

[0007] ところが、本発明者らが鋭意研究を重ねた結果、他の基板上に薄膜化して形成したＮＭＯＳトランジスタ及びＰＭＯＳトランジスタは、しきい値電圧が負電圧方向に１Ｖ程度以上大きくシフトしてしまうということが分かった。このようなしきい値電圧の変動によって、上記ＮＭＯＳトランジスタ及びＰＭＯＳトランジスタのしきい値やドレイン電流値等のバランスが崩れてしまうため、これらのＮＭＯＳトランジスタ及びＰＭＯＳトランジスタによって構成されるＣＭＯＳ回路等が、正常に動作できなくなるという問題がある。

[0008] しきい値電圧が負電圧方向にシフトする原因としては、次のようなことが考えられる。まず、しきい値制御のためにＮＭＯＳトランジスタ及びＰＭＯＳトランジスタのチャネル領域に導入したホウ素等のＰ型不純物元素の一部は、半導体基板を分離するために注入した水素と結合することによって不活

性化されるため、元々のＰ型不純物元素としての働きを失ってしまうことが考えられる。また、シリコン基板の内部に存在する酸素原子に水素が関与して、サーマルドナーが形成されるために、チャネル領域がＮ型化してしまうこと等が考えられる（非特許文献３及び４参照）。その結果、実際のしきい値電圧が狙いのしきい値電圧よりも負電圧方向にシフトするものと予想される。

[0009] このような水素との結合によるＰ型不純物元素の不活性化、及びサーマルドナーによるチャネル領域のＮ型化を考慮して、チャネル形成領域に対するホウ素等のＰ型不純物の注入量を予め多くしておくことによって、最終的に電気的にアクセプタとして機能するＰ型不純物濃度を適正に調整することが考えられる。

[0010] しかし、その場合であっても、Ｐ型不純物元素の不活性化の量と、サーマルドナーによるＮ型化の量とを、それぞれ正確に且つ再現性よく制御する必要がある。本発明者らが実験等により得た知見によれば、トランジスタをガラス基板へ薄膜化して形成した後に行う熱処理温度が６００℃程度の場合には、そのトランジスタの当初にイオン注入したＰ型不純物元素のうち、実効的に機能しているＰ型不純物の割合は全体の１～２割程度であった。

[0011] 上記熱処理温度をさらに高温（７００℃以上）にすれば、実効的なＰ型不純物の割合を高めることは可能であるが、ガラス基板の歪点（その温度以下では歪が発生しない温度）が６００～７００℃程度であることを考えると、熱処理温度を上げることは困難である。

[0012] 従って、上述の方法では、実効的なＰ型不純物元素の割合は比較的小さく、ばらつきを伴うものであることから、トランジスタのしきい値を精度良く、且つ再現性も含めて制御することには難しい面がある。また、多量の不純物元素をトランジスタのチャネル内に導入することになるため、不純物元素による不純物散乱に起因して移動度の低下を招く問題もある。

[0013] 本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、基体層に形成した素子を他の基板上に薄膜化して形成すると共に、そ

のＰ型領域の不純物濃度を、精度良く且つ再現性良く適正化しようとすることにある。

課題を解決するための手段

[0014] 上記の目的を達成するために、本発明に係る半導体装置の製造方法は、基体層に素子の少なくとも一部を含むデバイス部を形成するデバイス部形成工程と、前記基体層に対し、剥離用物質をイオン注入して剥離層を形成する剥離層形成工程と、前記デバイス部が形成された基体層を基板に貼り付ける貼付工程と、前記基板に貼り付けられた前記基体層を加熱することにより、該基体層の前記デバイス部が形成されていない前記基体層の深さ方向の一部を前記剥離層に沿って分離除去する分離工程とを有する半導体装置の製造方法であって、前記分離工程の後に行われ、前記素子のＰ型領域の不純物濃度を調整するために、前記基体層にＰ型不純物元素をイオン注入するイオン注入工程を含む。

[0015] 前記分離工程の後に行われ、前記基体層を加熱して該基体層から前記剥離用物質を除去する熱処理工程を含むことが好ましい。

[0016] 前記基体層における分離除去された側を覆う絶縁膜を形成する絶縁膜形成工程を含み、前記イオン注入工程では、前記絶縁膜を介して前記基体層に前記Ｐ型不純物元素をイオン注入するようにしてもよい。

[0017] 前記分離工程の後に行われ、前記基体層を加熱して該基体層から前記剥離用物質を除去する熱処理工程と、熱処理された前記基体層に対し、該基体層における分離除去された側を覆う絶縁膜を形成する絶縁膜形成工程を含み、前記イオン注入工程では、前記絶縁膜を介して前記基体層に前記Ｐ型不純物元素をイオン注入することが好ましい。

[0018] 前記Ｐ型不純物元素はホウ素であることが好ましい。

[0019] 前記基板は、ガラス基板又は単結晶シリコン半導体基板であってもよい。

[0020] 前記基体層は、単結晶シリコン半導体、IV族半導体、II－VI族化合物半導体、III－V族化合物半導体、IV－IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも１つ

を含むことが好ましい。

[0021] 前記剥離用物質は、水素又は不活性元素であることが好ましい。

[0022] 前記素子は、ＭＯＳトランジスタ、バイポーラトランジスタ、及びダイオードの少なくとも１つであってもよい。

[0023] 前記素子は、ＭＯＳトランジスタであり、前記Ｐ型領域は、ＭＯＳトランジスタのチャネル領域であってもよい。

[0024] 前記素子は、バイポーラトランジスタであり、前記Ｐ型領域は、バイポーラトランジスタのベース領域であってもよい。

[0025] 前記素子は、ＰＮ接合ダイオードであり、前記Ｐ型領域は、ＰＮ接合ダイオードのＰ型領域であってもよい。

[0026] また、本発明に係る半導体装置は、水素を含む剥離層に沿って一部が分離除去され、素子の少なくとも一部を含むデバイス部が形成された基体層が、基板に貼り合わせて構成された半導体装置であって、前記基体層は、Ｐ型不純物元素を含んでおり、該基体層に含まれるＰ型不純物元素のうち電気的に活性であるＰ型不純物元素の割合が８０％以上且つ１００％以下である領域を有している。

[0027] また、本発明に係る半導体装置は、水素を含む剥離層に沿って一部が分離除去され、素子の少なくとも一部を含むデバイス部が形成された基体層が、基板に貼り合わせて構成された半導体装置であって、前記基体層の表面と、該基体層が設けられていない領域における前記基板の表面との双方に連続して形成された絶縁層を備え、前記基体層及び前記絶縁層は、Ｐ型不純物元素を含んでおり、前記基体層及び前記絶縁層に含まれるＰ型不純物元素の濃度分布は、前記基体層及び前記絶縁層の界面において連続している。

[0028] 前記Ｐ型不純物元素の濃度は、$5\times10^{16}cm^{-3}$以上且つ$1\times10^{18}cm^{-3}$であることが好ましい。

[0029] 電気的に活性な前記Ｐ型不純物元素のキャリア濃度は、$5\times10^{16}cm^{-3}$以上且つ$1\times10^{18}cm^{-3}$であることが好ましい。

[0030] 前記Ｐ型不純物元素は、ホウ素であることが好ましい。

[0031] 前記基板は、ガラス基板又は単結晶シリコン半導体基板であってもよい。

[0032] 前記基体層は、単結晶シリコン半導体、IV族半導体、II－VI族化合物半導体、III－V族化合物半導体、IV－IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも１つを含むことが好ましい。

[0033] 前記素子は、ＭＯＳトランジスタ、バイポーラトランジスタ、及びダイオードの少なくとも１つであってもよい。

[0034] 前記素子は、ＭＯＳトランジスタであり、前記Ｐ型領域は、ＭＯＳトランジスタのチャネル領域であってもよい。

[0035] 前記素子は、バイポーラトランジスタであり、前記Ｐ型領域は、バイポーラトランジスタのベース領域であってもよい。

[0036] 前記素子は、ＰＮ接合ダイオードであり、前記Ｐ型領域は、ＰＮ接合ダイオードのＰ型領域であってもよい。

[0037] －作用－

本願の発明者らは、デバイス部を含む基体層を他の基板に貼り付けた後に、その一部を剥離層に沿って分離除去して形成される半導体装置について、鋭意研究を重ねることにより、実験から以下の知見を得た。

[0038] すなわち、半導体層等の基体層に導入された剥離用物質である水素の一部は、ホウ素等のＰ型不純物元素とペアを形成してその不純物元素を不活性化させる。一方、基体層に導入された他の水素は、当該基体層を他の基板に薄膜化して形成した後に６００℃以下の温度で熱処理することによって、基体層から除去することができる。その後、改めて基体層にイオン注入されたホウ素等のＰ型不純物元素は、水素によるＮ型化の影響を受けずに、全て電気的にＰ型不純物として機能することが可能となる。

[0039] したがって、デバイス部を含む基体層を他の基板に薄膜化して形成した後に、６００℃以下の温度で熱処理して基体層に含まれている水素を除去する。その後、改めてトランジスタのしきい値を制御するためのホウ素等のＰ型不純物をイオン注入することにより、当該Ｐ型不純物元素の水素によるＮ型

化の結果である活性化率のゆらぎの影響を受けることなく、トランジスタのしきい値電圧を精度良く、再現性も含めて制御することが可能となる。さらに、多量の不純物元素をトランジスタのチャネル領域に導入する必要も無くなるため、不純物元素による不純物散乱を起因とする移動度低下の問題も生じない。

[0040] 本発明に係る半導体装置の製造方法は、上記知見に基づいてなされたものであり、当該半導体装置を製造する場合には、まず、デバイス部形成工程を行う。この工程では、基体層に素子の少なくとも一部を含むデバイス部を形成する。

[0041] デバイス部に含まれる素子としては、例えば、ＭＯＳトランジスタ、バイポーラトランジスタ、及びダイオードの少なくとも１つを適用することが可能である。基体層は、例えば、単結晶シリコン半導体、IV族半導体、II－VI族化合物半導体、III－V族化合物半導体、IV－IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも１つを含むことが可能である。

[0042] 次に、剥離層形成工程を行って、基体層に対し、剥離用物質をイオン注入して剥離層を形成する。剥離用物質としては、例えば水素又は不活性元素を適用することができる。

[0043] 次に、貼付工程を行って、デバイス部が形成された基体層を基板に貼り付ける。基板には、ガラス基板又は単結晶シリコン半導体基板を適用することが可能である。例えばガラス基板を上記基板に適用した場合には、その基板が透明になることから、当該半導体装置を液晶表示装置等の表示装置に適用することが可能となる。

[0044] 次に、分離工程を行って、基板に貼り付けられた基体層を加熱することにより、基体層のデバイス部が形成されていない基体層の深さ方向の一部を剥離層に沿って分離除去する。そのことにより、基体層を薄膜化する。その結果、デバイスの動作速度を高めると共に寄生容量を低減することが可能となる。このとき、基体層が加熱されることから、上記剥離層の分離除去と同時

に、基体層に含まれている剥離用物質を基体層から除去することが可能になる。

[0045] その後、イオン注入工程を行って、素子のＰ型領域の不純物濃度を調整するために、基体層にＰ型不純物元素をイオン注入する。Ｐ型不純物元素としては、Ｐ型不純物元素を適用することが可能である。このとき、上記分離工程において剥離用物質が基体層から除去されているため、Ｐ型不純物元素の不活性化を抑制して、そのＰ型不純物元素としての機能を維持することが可能になる。その結果、素子のＰ型領域の不純物濃度を、精度良く且つ再現性良く適正化することが可能となる。また、基体層へのＰ型不純物元素の注入量を低減することが可能になるため、不純物散乱による移動度の低下も抑制される。

[0046] また、このようにして製造された半導体装置は、基体層に含まれるＰ型不純物元素のうち電気的に活性であるＰ型不純物元素の割合が８０％以上且つ１００％以下である領域を有することが可能になる。

[0047] ところで、上記分離工程の後に、別途、熱処理工程を行って、基体層を加熱して基体層から剥離用物質を除去するようにしてもよい。そのようにすれば、基体層から剥離用物質を確実に除去することが可能になる。

[0048] また、上記分離工程の後に、絶縁膜形成工程を行って、基体層における分離除去された側を覆う絶縁膜を形成し、続いて、イオン注入工程を行って、その絶縁膜を介して基体層にＰ型不純物元素をイオン注入するようにしてもよい。したがって、このようにして製造された半導体装置では、基体層及び絶縁層に含まれるＰ型不純物元素の濃度分布は、基体層及び絶縁層の界面において連続した分布となる。

[0049] また、分離工程の後に熱処理工程を行い、その後に、絶縁膜形成工程により形成した絶縁膜を介して基体層にＰ型不純物元素をイオン注入してもよい。

発明の効果

[0050] 本発明によれば、基体層を加熱した後に、素子のＰ型領域の不純物濃度を

調整するためのＰ型不純物元素を、その基体層にイオン注入するようにしたので、加熱によって基体層に含まれる剥離用物質を除去することができる結果、上記Ｐ型不純物元素の不活性化を抑制して、そのＰ型不純物元素としての機能を維持することができる。すなわち、素子のＰ型領域の不純物濃度を、精度良く且つ再現性良く適正化することができる。さらに、Ｐ型不純物元素の機能を維持しながらも基体層へのＰ型不純物元素の注入量を低減できるため、不純物散乱による移動度の低下も抑制することができる。

図面の簡単な説明

[0051] [図1]図１は、半導体装置の要部構造を模式的に示す断面図である。

[図2]図２は、シリコン基板に形成された熱酸化膜を示す断面図である。

[図3]図３は、リンをイオン注入する工程を示す断面図である。

[図4]図４は、熱酸化膜、Ｎウェル領域が形成された状態を示す断面図である。

[図5]図５は、パターニングされた熱酸化膜及び窒化珪素膜を示す断面図である。

[図6]図６は、ＬＯＣＯＳ酸化膜が形成された状態を示す断面図である。

[図7]図７は、酸化膜が形成された状態を示す断面図である。

[図8]図８は、Ｎウェル領域にホウ素をイオン注入する工程を示す断面図である。

[図9]図９は、ホウ素をイオン注入する工程を示す断面図である。

[図10]図１０は、ゲート酸化膜が形成された状態を示す断面図である。

[図11]図１１は、ゲート電極が形成された状態を示す断面図である。

[図12]図１２は、低濃度不純物領域を形成する工程を示す断面図である。

[図13]図１３は、Ｎウェル領域に低濃度不純物領域を形成する工程を示す断面図である。

[図14]図１４は、サイドウォールが形成された状態を示す断面図である。

[図15]図１５は、高濃度不純物領域を形成する工程を示す断面図である。

[図16]図１６は、Ｎウェル領域に高濃度不純物領域を形成する工程を示す断

面図である。

[図17]図１７は、平坦化膜が形成された状態を示す断面図である。

[図18]図１８は、剥離層が形成された状態を示す断面図である。

[図19]図１９は、ソース電極及びドレイン電極が形成された状態を示す断面図である。

[図20]図２０は、ガラス基板に貼り付けられたデバイス部を示す断面図である。

[図21]図２１は、シリコン基板の一部が分離された状態を示す拡大断面図である。

[図22]図２２は、酸化膜を介してイオン注入される状態を示す断面図である。

[図23]図２３は、ガラス基板上の電気素子に接続されたデバイス部を示す断面図である。

[図24]図２４は、半導体装置の要部を示す平面図である。

符号の説明

[0052]

Ｓ	半導体装置
Ｄ	デバイス部
１	シリコン基板（基体層）
４	Ｎ型不純物元素
１０	ＬＯＣＯＳ酸化膜
１３，１５	チャネル領域
１６	ゲート酸化膜
１７	ゲート電極
１９	Ｎ型不純物元素
２０	Ｎ型低濃度不純物領域
２２	Ｐ型不純物元素
２３	Ｐ型低濃度不純物領域
２６	Ｎ型不純物元素

２７　　Ｎ型高濃度不純物領域

２９　　Ｐ型不純物元素

３０　　Ｐ型高濃度不純物領域

３２　　剥離用物質

３３　　剥離層

３８　　ガラス基板（基板）

３９　　酸化膜

４０　　層間絶縁膜

４３　　不純物元素

４５　　不純物元素

５０　　Ｐ型不純物元素、ホウ素

５１　　第１の活性領域

５２　　第２の活性領域

５６　　ＰＭＯＳトランジスタ

５７　　ＮＭＯＳトランジスタ

発明を実施するための最良の形態

[0053] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

[0054] 《発明の実施形態１》

図１～図２２、図２４は、本発明の実施形態１を示している。図１は、半導体装置Ｓの要部構造を模式的に示す断面図である。図２～図２２は、半導体装置Ｓの各製造工程を示す断面図である。図２４は、半導体装置Ｓの要部を示す平面図である。

[0055] 半導体装置Ｓは、例えば、図示は省略するが、液晶表示装置の表示パネルを構成するガラス基板３８に直接に形成され、例えば、表示パネルの複数の画素を駆動制御するドライバ回路、電源回路、クロック生成回路、入出力回路、及びメモリ回路等の各種機能回路として適用されている。

[0056] ここで、液晶表示装置は、図示を省略するが、複数のＴＦＴ（トランジス

タ）が形成されたＴＦＴ基板と、ＴＦＴ基板に対向して設けられた対向基板と、ＴＦＴ基板及び対向基板の間に設けられた液晶層とを備えている。対向基板は、ガラス基板上に例えばＩＴＯ等からなる共通電極やカラーフィルタ等が形成されている。一方、ＴＦＴ基板には、上記ガラス基板３８上に複数のＴＦＴや画素電極等が形成されている。

[0057] 図１に示すように、半導体装置Ｓは、ガラス基板３８と、ガラス基板３８上の基体層１に高密度且つ高精度に形成されたデバイス部Ｄとを備えている。デバイス部Ｄには、素子であるトランジスタ５６，５７が含まれており、トランジスタ５６，５７は平坦化膜３７によって覆われている。そうして、デバイス部Ｄは、平坦化膜３７を介してガラス基板３８に自己接合によって貼り付けられている。言い換えれば、基体層１は、デバイス部Ｄと共にガラス基板３８に貼り付けられている。

[0058] 尚、半導体装置Ｓを透過表示を行う液晶表示装置に適用する場合には、基板３８はガラス基板３８等の透明基板が好ましいが、それ以外の表示装置等に適用する場合には、基板３８は単結晶シリコン半導体基板等の他の基板を適用することができる。

[0059] デバイス部Ｄは、図１及び図２４に示すように、半導体素子であるＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６を有している。これらの各トランジスタ５６，５７同士の間を電気的に分離する素子分離領域として、図１に示すように、素子分離用膜であるＬＯＣＯＳ酸化膜１０が形成されている。

[0060] ここで、図１で右側のＰＭＯＳトランジスタ５６は、図２４におけるＡ－Ａ断面を模式的に示している。一方、図１で左側のＮＭＯＳトランジスタ５７は、図２４におけるＢ－Ｂ断面を模式的に示している。

[0061] 尚、図１及び図２４では、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６を１つずつ示しているが、形成するデバイスはこれらに限るものではなく、あらゆる半導体デバイスについて適用できる。また、その個数も１個から数百万個レベルまで制限はない。また、デバイス部Ｄには素子の少

なくとも一部を含むように形成しておくことが可能である。

[0062] 基体層１は、図１で右側のＮウェル領域７に形成された第１の活性領域５１と、図１で左側の領域に形成された第２の活性領域５２とを有している。第１の活性領域５１はＰＭＯＳトランジスタ５６を構成する一方、第２の活性領域５２はＮＭＯＳトランジスタ５７を構成する。

[0063] 上記第１及び第２の活性領域５１，５２は、チャネル領域１３，１５の左右両外側にそれぞれ形成された低濃度不純物領域２３，２０と、その低濃度不純物領域２３，２０の外側に形成された高濃度不純物領域３０，２７とによって構成されたＬＤＤ（Lightly Doped Drain）構造をそれぞれ有している。

[0064] すなわち、第１の活性領域５１には、チャネル領域１３が形成されると共に、その左右両側に配置されたＰ型低濃度不純物領域２３と、そのＰ型低濃度不純物領域２３の外側にそれぞれ配置されたＰ型高濃度不純物領域３０とが形成されている。一方、第２の活性領域５２には、チャネル領域１５が形成されると共に、その左右両側に配置されたＮ型低濃度不純物領域２０と、そのＮ型低濃度不純物領域２０の外側にそれぞれ配置されたＮ型高濃度不純物領域２７とが形成されている。

[0065] 基体層１は、例えば単結晶シリコン半導体等の半導体層である。尚、基体層１は、単結晶シリコン半導体層以外に、IV族半導体、II－VI族化合物半導体、III－V族化合物半導体、IV－IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも１つを含むように構成することが可能である。

[0066] 基体層１の一部は、後述するように、水素等の剥離用物質がイオン注入されることにより形成された剥離層に沿って分離除去されている。そうして、基体層１はその一部が加熱処理によって分離除去されることにより薄膜化されている。

[0067] 図１に示すように、ガラス基板３８の表面には絶縁膜である平坦化膜３７が積層されている。この平坦化膜３７にはさらに層間絶縁膜３４及び平坦化

膜３１が積層されている。平坦化膜３１の上には、ゲート酸化膜１６及びＬＯＣＯＳ酸化膜１０が形成されている。ゲート酸化膜１６の上には、上記第１の活性領域５１及び第２の活性領域５２が形成された基体層１が積層されている。基体層１の表面は、ＬＯＣＯＳ酸化膜１０と共に、絶縁層である酸化膜３９によって覆われている。酸化膜３９は、デバイス部Ｄの表面を構成する基体層１の表面と、この基体層１が設けられていない領域におけるガラス基板３８の表面との双方に連続して形成されている。さらに、酸化膜３９は、層間絶縁膜４０によって覆われている。

[0068] また、平坦化膜３１とゲート酸化膜１６との間には、例えばポリシリコン等からなるゲート電極１７及びサイドウォール２４が形成されている。ゲート電極１７は、ゲート酸化膜１６を介してチャネル領域１３，１５に対向している。一方、サイドウォール２４は、ゲート電極１７の側方に配置され、ゲート酸化膜１６を介して低濃度不純物領域２０，２３に対向している。

[0069] 平坦化膜３１及び層間絶縁膜３４には、各高濃度不純物領域２７，３０と上下に重なる位置において、コンタクトホール３５が貫通形成されている。コンタクトホール３５には、メタル電極であるソース電極３６及びドレイン電極３６がそれぞれ形成されている。

[0070] このように、本実施形態１の半導体装置Ｓは、ＣＭＯＳ構造を有している。すなわち、図２４に示すように、入力電圧が印加される金属配線３６ｉは、コンタクトホール３５ｇを介してＮＭＯＳトランジスタ５７のゲート電極１７ｎ及びＰＭＯＳトランジスタ５６のゲート電極１７ｐにそれぞれ電気的に接続されている。また、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６のドレイン領域は、出力電圧が取り出される金属配線３６ｏにそれぞれ電気的に接続されている。

[0071] そして、基体層１は、ＮＭＯＳトランジスタ５７のチャネル領域１５あるいはＰＭＯＳトランジスタ５６のチャネル領域１３内に、Ｐ型不純物元素であるホウ素を含んでおり、その基体層１に含まれるホウ素のうち電気的に活性であるホウ素の割合が８０％以上且つ１００％以下である領域を有してい

る。特に、基体層１におけるホウ素の濃度は、５×１０^{16}ｃｍ$^{-3}$以上且つ１×１０^{18}ｃｍ$^{-3}$になっている。また、電気的に活性なＰ型不純物元素（例えばホウ素等）のキャリア濃度が、５×１０^{16}ｃｍ$^{-3}$以上且つ１×１０^{18}ｃｍ$^{-3}$であるようにしてもよい。

[0072] さらに、ホウ素は、基体層１だけでなく酸化膜３９にも含まれており、その基体層１及び酸化膜３９に含まれるホウ素の濃度分布は、基体層１及び酸化膜３９の界面において連続している。

[0073] －製造方法－

次に、上記半導体装置Ｓの製造方法について説明する。

[0074] まず、デバイス部形成工程では、例えば単結晶シリコン半導体層である基体層１に、素子であるＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６の少なくとも一部を含むデバイス部Ｄを形成する。すなわち、図２に示すように、ウェハであるシリコン基板１（基体層１に相当する）に対し、３０ｎｍ程度の厚みの熱酸化膜２を形成する。熱酸化膜２は、後にイオン注入を行う工程においてシリコン基板１の表面の汚染を防ぐことを目的とするものであるが、必ずしも必須ではない。

[0075] ここで、基体層１として、単結晶シリコン半導体からなるシリコン基板１を例に挙げて説明しているが、本発明はこれに限らず他の半導体等を含む材料によって構成することが可能である。すなわち、基体層１は、単結晶シリコン半導体、IV族半導体、II－VI族化合物半導体、III－V族化合物半導体、IV－IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも１つを含むように構成することができる。

[0076] 次に、図３に示すように、第２の活性領域５２となる領域にレジストマスク３を形成した状態で、第１の活性領域５１となる領域にＮ型不純物元素４（例えばリン等）をイオン注入する。リン元素をイオン注入する場合、その注入エネルギーを５０～１５０ＫｅＶ程度に設定すると共に、ドーズ量を１×１０^{12}～１×１０^{13}ｃｍ$^{-2}$程度とする。

[0077] このとき、後工程において、ガラス基板３８に貼り合わされた基体層１のシリコン薄膜に含まれる水素を除去した後に、ホウ素等のＰ型不純物をシリコン薄膜の全面に亘ってＮウェル領域７にも注入する場合には、Ｐ型不純物元素によって打ち消される相当分を考慮して、Ｎ型不純物元素の注入量を追加して設定する。

[0078] その後、図４に示すように、熱酸化膜２を除去した後、酸化雰囲気中で９００～１０００°程度の熱処理をすることによって、３０ｎｍ程度の厚みの熱酸化膜６を形成すると共に、Ｎウェル領域７に注入された不純物元素を拡散させ、Ｎウェル領域７を形成する。

[0079] 次に、熱酸化膜６の表面にＣＶＤ等により２００ｎｍ程度の厚みの窒化珪素膜９を形成した後、図５に示すように、窒化珪素膜９及び熱酸化膜６のパターニングを行う。そうして、これら窒化珪素膜９及び熱酸化膜６が残された領域には、後にＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６が形成される。

[0080] 続いて、図６に示すように、酸素雰囲気中で９００～１０００°程度の熱処理を行うことによりＬＯＣＯＳ酸化を行う。そうして、２００～５００ｎｍ程度の厚みであって例えば３５０ｎｍのＬＯＣＯＳ酸化膜１０を形成する。ＬＯＣＯＳ酸化膜１０は、上記窒化珪素膜９及び熱酸化膜６から露出している領域に形成される。尚、ＬＯＣＯＳ酸化は素子分離のための方法であるが、例えばＳＴＩ（Shallow Trench Isolation）等のＬＯＣＯＳ酸化以外の方法によって素子分離を行ってもよい。

[0081] 次に、窒化珪素膜９及び熱酸化膜６を一旦除去した後に、酸素雰囲気中で１０００℃程度の熱処理を行って、図７に示すように、シリコン基板１の表面に２０ｎｍ程度の厚みの熱酸化膜１１を形成する。

[0082] 次に、図８に示すように、ＰＭＯＳトランジスタ５６の形成領域が開口するようにレジスト１２を形成する。続いて、ＰＭＯＳトランジスタ５６のしきい値電圧を設定するための不純物元素４３を、イオン注入によってＮウェル領域７に導入する。

[0083] このとき、注入する不純物元素４３がリンなどのＮ型不純物元素であれば注入を行うが、上記不純物元素４３がホウ素等のＰ型不純物元素である場合には、この時点で注入を行わず、図８に示される本工程を省略する。Ｎ型あるいはＰ型不純物元素のどちらを注入するかについては、ゲート電極材料及びその導電型によって適宜選択する。

[0084] 例えば、ゲート電極にＮ＋ポリシリコンを適用したＰＭＯＳトランジスタの場合には、ゲート電極の仕事関数を考慮して、一般にしきい値電圧設定のためにホウ素を注入するので、本工程は省略することになる。一方、ゲート電極にＰ＋ポリシリコンを用いる場合には、リンを1×10^{12}～1×10^{13} cm^{-2}程度のドーズ量で、１０～５０ＫｅＶ程度のエネルギーによってイオン注入を行う。ドーズ量は、制御目標値となるしきい値電圧に応じて調整する。

[0085] 次に、図９に示すように、ＮＭＯＳトランジスタ５７の領域が開口するようにレジスト１４を形成する。続いて、ＮＭＯＳトランジスタ５７のしきい値電圧を設定するための不純物元素４５をイオン注入によりシリコン基板１に導入する。

[0086] このとき、ＰＭＯＳトランジスタの場合と同様に、注入する不純物元素がリンなどのＮ型不純物であれば注入を行うが、上記不純物元素４５がホウ素等のＰ型不純物元素である場合には、この時点で注入を行わず、図９に示される本工程を省略する。

[0087] 例えば、ゲート電極にＮ＋ポリシリコンを適用したＮＭＯＳトランジスタの場合には、ゲート電極の仕事関数を考慮して、一般にしきい値電圧設定のためにホウ素を注入するので、この工程は省略することになる。一方、ゲート電極にＰ＋ポリシリコンを適用した場合には、リンを1×10^{12}～1×10^{13} cm^{-2}程度のドーズ量で、１０～５０ＫｅＶ程度のエネルギーによってイオン注入を行う。ドーズ量は、制御目標値となるしきい値電圧に応じて調整する。

[0088] その後、図１０に示すように、レジスト１４及び熱酸化膜１１を一旦除去

した後に、酸素雰囲気中で１０００℃程度の熱処理を行う。そのことにより、Ｎウェル領域７を含むシリコン基板１の表面に１０～２０ｎｍ程度の厚みのゲート酸化膜１６を形成する。

[0089] その後、図１１に示すように、ゲート酸化膜１６の上に、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６のゲート電極１７を形成する。すなわち、ゲート電極１７はＣＶＤ等により３００ｎｍ程度の厚みのポリシリコン層をゲート酸化膜１６の上に堆積させた後、リン等のＮ不純物元素を拡散等によってゲート電極１７の内部に導入してＮ＋ポリシリコン層とする。続いて、そのＮ＋ポリシリコン層をフォトリソグラフィによりパターニングしてゲート電極１７を形成する。

[0090] 続いて、図１２に示すように、ＮＭＯＳトランジスタ５７を形成する領域（図１２で右側の領域）で開口するようにレジスト１８を形成し、ゲート電極１７をマスクとして、Ｎ型不純物元素１９をイオン注入する。そうして、シリコン基板１にＮ型低濃度不純物領域２０を形成する。Ｎ型不純物元素１９には例えばリンを適用する。リンを注入する場合には、1×10^{13}～$1\times10^{14}cm^{-2}$程度のドーズ量で、１０～５０ＫｅＶ程度のエネルギーによってイオン注入を行う。

[0091] 次に、図１３に示すように、ＰＭＯＳトランジスタ５６を形成する領域（図１４で左側の領域）で開口するようにレジスト２１を形成し、ゲート電極１７をマスクとして、Ｐ型不純物元素２２をイオン注入する。そうして、Ｐ型低濃度不純物領域２３を形成する。

[0092] 既に述べたように、ホウ素等のＰ型不純物元素の一部が水素とペアを作ることによってその不純物元素が不活性化されるため、本来のＰ型不純物元素としての働きを失ってしまう。また、シリコン基板１内に存在する酸素原子に水素が関与することによって、サーマルドナーが形成される結果、上記Ｐ型不純物元素がＮ型化されてしまう。したがって、実効的に機能するＰ型不純物元素の割合を考慮して、Ｐ型不純物のドーズ量を設定する。Ｐ型不純物は、例えばホウ素元素とし、そのイオン注入条件は、例えば、ボロン（BF_2

$^{+}$）を注入する場合には、５×１０^{12}～５×１０^{14}ｃｍ$^{-2}$程度のドーズ量で、１０～５０ＫｅＶ程度のエネルギーによってイオン注入を行う。

[0093] 尚、ホウ素は熱拡散係数が比較的大きいため、後工程においてＰＭＯＳトランジスタ５６のＰ型高濃度不純物領域を形成する際に注入されたホウ素の熱拡散のみによって、ＰＭＯＳトランジスタ５６のＰ型低濃度不純物領域を形成できる場合がある。したがって、必ずしもＰ型低濃度不純物領域を形成するためのイオン注入を行わなくてもよい。

[0094] 上記Ｐ型低濃度不純物領域２３の形成工程は、ゲート電極１７をマスクとして行うため、ゲート電極１７の形成後のこの時点で行う必要がある。また、このときに導入したＰ型不純物元素２２は、ＰＭＯＳトランジスタのしきい値電圧には直接影響を与えないため、しきい値電圧の精度、再現性に直接悪影響を及ぼすことは無い。

[0095] 次に、ゲート酸化膜１６及びＬＯＣＯＳ酸化膜１０等を覆うようにＣＶＤ等によりSiO_2膜を形成する。その後、前記SiO_2膜に対して異方性ドライエッチングを行うことにより、図１４に示すように、ゲート電極１７の両側壁にSiO_2からなるサイドウォール２４を形成する。

[0096] 次に、図１５に示すように、ＮＭＯＳトランジスタ５７を形成する領域で開口するようにレジスト２５を形成し、ゲート電極１７及びサイドウォール２４をマスクとして、リン等のＮ型不純物元素２６をシリコン基板１にイオン注入する。そうして、Ｎ型低濃度不純物領域２０の両外側にＮ型高濃度不純物領域２７を形成する。

[0097] 続いて、図１６に示すように、ＰＭＯＳトランジスタ５６を形成する領域で開口するようにレジスト２８を形成し、ゲート電極１７及びサイドウォール２４をマスクとして、ホウ素等のＰ型不純物元素２９をシリコン基板１にイオン注入する。そうして、Ｐ型低濃度不純物領域２３の両外側にＰ型高濃度不純物領域３０を形成する。その後、不純物元素がイオン注入された領域に熱処理を行って、その不純物元素の活性化を行う。熱処理としては例えば９００℃で１０分間の熱処理を行う。

[0098] その後、図１７に示すように、ゲート電極１７及びサイドウォール２４等を覆うようにSiO_2等の絶縁膜を形成した後に、これをＣＭＰ等により平坦化して厚さ６００ｎｍ程度の平坦化膜３１を形成する。

[0099] 次に、剥離層形成工程を行う。剥離層形成工程では、図１８に示すように、シリコン基板１に対し、平坦化膜３１を介して剥離用物質３２をイオン注入して剥離層３３を形成する。剥離用物質３２には、水素を適用する。尚、水素の代わりに、若しくは水素に加えて、ＨｅやＮｅ等の不活性元素を適用することも可能である。イオン注入の条件としては、例えば剥離用物質３２が水素の場合、ドーズ量を約2×10^{16}～$1\times10^{17}cm^{-2}$とし、注入エネルギーを約１００～２００ＫｅＶ程度とする。

[0100] その後、図１９に示すように、平坦化膜３１の表面に層間絶縁膜３４を形成する。続いて、平坦化膜３１及び層間絶縁膜３４にコンタクトホール３５を形成し、コンタクトホール３５の底で高濃度不純物領域２７，３０を露出させる。その後、コンタクトホール３５の内部にメタル材料を充填して、図１９に示すように、メタル電極であるソース電極３６及びドレイン電極３６を形成する。

[0101] また、図示していないゲート電極１７の別の場所において、ゲート電極１７に対しても同様に、コンタクトホール３５を形成し、内部にメタル材料を充填して、ゲート電極１７に電圧を印加するためのメタル電極を形成する。尚、剥離用物質３２のイオン注入前に形成する平坦化膜３１を比較的厚く形成することにより、層間絶縁膜３４を形成しないでコンタクトホール３５、ソース電極３６及びドレイン電極３６を形成するようにしてもよい。

[0102] 次に、図２０に示すように、上記ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６を覆うように平坦化膜３７を形成する。すなわち、まず、層間絶縁膜３４の上に、ＣＶＤ等により絶縁膜を堆積させて形成する。次に、その絶縁膜をＣＭＰ法等によって研磨して表面を平坦化する。

[0103] 以上のようにして、シリコン基板１である基体層１に、素子であるＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６の少なくとも一部を含む

デバイス部Ｄを形成するデバイス部形成工程を行う。

[0104] その後、貼付工程を行う。貼付工程では、デバイス部Ｄが形成されたシリコン基板１（基体層１）を基板３８に貼り付ける。基板３８には例えばガラス基板３８を適用する。すなわち、平坦化膜３７の表面と、ガラス基板３８の表面とをそれぞれＳＣ１洗浄する。ＳＣ１洗浄液は、アンモニア、過酸化水素、及び水からなり、対象物の表面を親水性にするために行うものである。その後、図２０に示すように、デバイス部Ｄをガラス基板３８に位置合わせして、ファンデルワールス力による自己接合により、平坦化膜３７の表面において互いに貼り合わせる。

[0105] 次に、分離工程を行う。分離工程では、図２１に示すように、ガラス基板３８に貼り付けられたシリコン基板１（基体層１）を４００～６００℃程度に加熱することにより、そのシリコン基板１（基体層１）の深さ方向の一部（つまり、剥離層３３を介してゲート電極１７とは反対側の部分であって、デバイス部Ｄが形成されていない一部）を、剥離層３３に沿って分離除去する。その結果、ガラス基板３８上にＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６が移される。

[0106] その後、剥離層３３をエッチング等により取り除いた後、ＬＯＣＯＳ酸化膜１０が露出するまで基体層１（Ｎウェル領域７を含む）をエッチングやＣＭＰ等により薄膜化して、素子分離を行う。尚、ＬＯＣＯＳ酸化膜１０が露出するまで基体層１をエッチングする工程は必ずしも必須ではない。

[0107] その後、熱処理工程を行って、基体層１を加熱して基体層１から剥離用物質である水素を除去する。すなわち、４００～６００℃の温度で熱処理を３０分～４時間程度行うことにより、基体層１内の水素を除去する。

[0108] 次に、絶縁膜形成工程を行って、図２２に示すように、基体層１における分離除去された側を覆う絶縁膜である酸化膜３９を形成する。酸化膜３９は、ＣＶＤ等により１０～１００ｎｍ程度の厚みに形成する。また、酸化膜３９は、デバイス部Ｄの側面を含む表面と、デバイス部Ｄが設けられていないガラス基板３８の表面とに亘って形成されている。

[0109] その後、イオン注入工程を行って、図２２に示すように、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６のＰ型領域の不純物濃度を調整して、そのしきい値電圧を適切に設定するために、基体層１にＰ型不純物元素であるホウ素５０を、酸化膜３９を介してイオン注入する。すなわち、ホウ素５０は、基体層１におけるゲート電極１７と反対側から導入されることとなる。

[0110] これによって、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６のしきい値電圧を調整する。ホウ素５０の注入条件としては、例えば、ドーズ量を1×10^{12}～$1\times10^{13}cm^{-2}$とし、注入エネルギーを２０～１００ＫｅＶ程度とする。

[0111] このようにして製造された半導体装置Ｓは、基体層１に含まれるホウ素のうち電気的に活性であるホウ素の割合が８０％以上且つ１００％以下である領域を有することとなる。また、基体層１及び酸化膜３９に含まれるホウ素の濃度分布は、基体層１及び酸化膜３９の界面において連続した分布となる。

[0112] 次に、図１に示すように、酸化膜３９の表面に層間絶縁膜４０を形成する。その後、注入した不純物元素を活性化させるために、５００～６００℃程度で３０分～４時間程度の熱処理、あるいはガラス基板３８に悪影響を与えないように６００～７００℃で短時間（１０分以下）の熱処理を行う。以上のようにして、半導体装置Ｓを製造する。

[0113] －実施形態１の効果－

したがって、この実施形態１によると、基体層１を加熱した後に、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６におけるＰ型領域の不純物濃度を調整してしきい値電圧を適切に設定するためのホウ素５０を、基体層１にイオン注入するようにしたので、予め分離工程及び熱処理工程で行った加熱処理によって基体層１に含まれる水素を除去することができる。その結果、基体層１に導入したホウ素５０の水素による不活性化を抑制して、そのホウ素５０のＰ型不純物元素としての機能を維持することができる。すな

わち、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６のしきい値電圧を、精度良く且つ再現性良く適正化することができる。さらに、Ｐ型不純物元素の機能を維持しながらも基体層１へのホウ素５０の注入量を低減できるため、不純物散乱による移動度の低下も抑制することができる。

[0114] そうして、製造された半導体装置Ｓについて、ＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６の動作速度を高めると共に寄生容量を低減できる。

[0115] さらに、分離工程における加熱処理だけでなく、熱処理工程をさらに行うようにしたので、基体層１を十分に加熱して、その基体層１から確実に水素を除去することができる。

[0116] 《その他の実施形態》

上記実施形態１では、基体層１を加熱処理する熱処理工程を、分離工程とは別個に行うようにしたが、上記熱処理工程を省略して、基体層１から水素を除去するための熱処理を、先の分離工程における基体層１の熱処理と兼ねるようにしてもよい。そのことにより、工程数を短縮して、コストの低減を図ることができる。

[0117] また、上記実施形態１ではガラス基板３８にデバイス部Ｄを貼り合わせる例について説明したが、断面図である図２３に示すように、そのガラス基板３８に予め形成した電気素子４２に対し、ガラス基板３８に貼り付けたデバイス部ＤのＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６を電気的に接続するようにしてもよい。

[0118] すなわち、能動素子や受動素子等の電気素子４２が予め形成されたガラス基板３８に対し、上記貼付工程においてデバイス部Ｄを貼り付ける。その後、上記熱処理工程を行う。次に、ガラス基板３８上のデバイス部Ｄ及び電気素子４２を覆うように、酸化膜３９を形成した後に、上記イオン注入工程を行う。次に、層間絶縁膜４０を上記酸化膜３９を覆うように形成する。その後、デバイス部Ｄにコンタクトホール４６を形成し、そのコンタクトホール４６の底でソース電極３６及びドレイン電極３６を露出させる。一方、デバ

イス部Ｄの側方には、電気素子４２が露出するように、酸化膜３９及び層間絶縁膜４０にコンタクトホール４７を形成する。そうして、コンタクトホール４６，４７を介して電気素子４２と、ソース電極３６又はドレイン電極３６とを接続するように、メタル配線４１をパターン形成する。このようにして、半導体装置Ｓを製造してもよい。

[0119] また、上記実施形態１では、素子としてＭＯＳトランジスタを例に挙げて説明したが、本発明はこれに限定されない。すなわち、素子には、ＭＯＳトランジスタ、バイポーラトランジスタ、及びダイオードの少なくとも１つを同様に適用することができる。

[0120] 例えば、素子がＭＯＳトランジスタである場合には、Ｐ型領域が、ＭＯＳトランジスタのチャネル領域として本発明を適用できる。また、素子がバイポーラトランジスタである場合には、Ｐ型領域が、バイポーラトランジスタのベース領域として本発明を適用することができる。また、素子がＰＮ接合ダイオードである場合には、Ｐ型領域が、ＰＮ接合ダイオードのＰ型領域として本発明を同様に適用できる。

[0121] また、実施形態１においては、例えば単結晶シリコン半導体層である基体層１に、素子であるＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６の少なくとも一部を含むデバイス部Ｄを形成するデバイス形成工程において、ホウ素等のＰ型不純物元素のイオン注入工程を基本的に省略する方法を説明した。

[0122] しかし、デバイス部形成工程でホウ素等のＰ型不純物元素のイオン注入工程を行い、ガラス基板３８に貼り付け、分離除去した後にＮＭＯＳトランジスタ５７及びＰＭＯＳトランジスタ５６のしきい値電圧を設定するために、基体層１にＰ型不純物元素であるホウ素５０を、酸化膜３９を介してイオン注入するようにしてもよい。

[0123] この場合、前述のように、デバイス部形成工程でイオン注入を行う場合には、水素との結合によるＰ型不純物元素の不活性化、及びサーマルドナーによるチャネル領域のＮ型化を考慮して、チャネル形成領域に対するホウ素等

のＰ型不純物の注入量を予め多くしておくことによって、最終的に電気的にアクセプタとして機能するＰ型不純物濃度を適正に調整することが必要である。ところが、ガラス基板３８に貼り付け、分離除去した後のイオン注入によって最終的にしきい値電圧を調整することができるので、デバイス部形成工程においてのみＰ型不純物元素のイオン注入を行う場合に比べて、制御性良くＰ型不純物濃度を設定することが可能となる。

[0124] また、例えば、平面的に微細な素子寸法を持つＭＯＳトランジスタのチャネル領域内の、ソース領域およびドレイン領域の低濃度不純物領域に接する部位に、所謂短チャネル効果抑制のためにＰ型不純物元素をゲート電極をマスクにして斜め方向からイオン注入する場合（Ｈａｌｏ注入）、分離除去後のイオン注入では不可能であるため、デバイス形成工程、および貼り付けして薄膜分離した後の工程の両方の工程において、Ｐ型不純物元素を導入することが好ましい。

産業上の利用可能性

[0125] 以上説明したように、本発明は、例えば液晶表示装置等に適用される半導体装置、及びその製造方法について有用であり、特に、基体層に形成した素子を他の基板上に薄膜化して形成すると共に、そのＰ型領域の不純物濃度を、精度良く且つ再現性良く適正化する場合に適している。

請求の範囲

[1] 基体層に素子の少なくとも一部を含むデバイス部を形成するデバイス部形成工程と、

前記基体層に対し、剥離用物質をイオン注入して剥離層を形成する剥離層形成工程と、

前記デバイス部が形成された基体層を基板に貼り付ける貼付工程と、

前記基板に貼り付けられた前記基体層を加熱することにより、該基体層の前記デバイス部が形成されていない前記基体層の深さ方向の一部を前記剥離層に沿って分離除去する分離工程とを有する半導体装置の製造方法であって、

前記分離工程の後に行われ、前記素子のＰ型領域の不純物濃度を調整するために、前記基体層にＰ型不純物元素をイオン注入するイオン注入工程を含む

ことを特徴とする半導体装置の製造方法。

[2] 請求項１に記載された半導体装置の製造方法において、

前記分離工程の後に行われ、前記基体層を加熱して該基体層から前記剥離用物質を除去する熱処理工程を含む

ことを特徴とする半導体装置の製造方法。

[3] 請求項１に記載された半導体装置の製造方法において、

前記基体層における分離除去された側を覆う絶縁膜を形成する絶縁膜形成工程を含み、

前記イオン注入工程では、前記絶縁膜を介して前記基体層に前記Ｐ型不純物元素をイオン注入する

ことを特徴とする半導体装置の製造方法。

[4] 請求項１に記載された半導体装置の製造方法において、

前記分離工程の後に行われ、前記基体層を加熱して該基体層から前記剥離用物質を除去する熱処理工程と、

熱処理された前記基体層に対し、該基体層における分離除去された側を覆

う絶縁膜を形成する絶縁膜形成工程を含み、

前記イオン注入工程では、前記絶縁膜を介して前記基体層に前記Ｐ型不純物元素をイオン注入する

ことを特徴とする半導体装置の製造方法。

[5] 請求項１に記載された半導体装置の製造方法において、

前記Ｐ型不純物元素はホウ素である

ことを特徴とする半導体装置の製造方法。

[6] 請求項１に記載された半導体装置の製造方法において、

前記基板は、ガラス基板又は単結晶シリコン半導体基板である

ことを特徴とする半導体装置の製造方法。

[7] 請求項１に記載された半導体装置の製造方法において、

前記基体層は、単結晶シリコン半導体、IV族半導体、II－VI族化合物半導体、III－V族化合物半導体、IV－IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも１つを含む

ことを特徴とする半導体装置の製造方法。

[8] 請求項１に記載された半導体装置の製造方法において、

前記剥離用物質は、水素又は不活性元素である

ことを特徴とする半導体装置の製造方法。

[9] 請求項１に記載された半導体装置の製造方法において、

前記素子は、ＭＯＳトランジスタ、バイポーラトランジスタ、及びダイオードの少なくとも１つである

ことを特徴とする半導体装置の製造方法。

[10] 請求項１に記載された半導体装置の製造方法において、

前記素子は、ＭＯＳトランジスタであり、

前記Ｐ型領域は、ＭＯＳトランジスタのチャネル領域である

ことを特徴とする半導体装置の製造方法。

[11] 請求項１に記載された半導体装置の製造方法において、

前記素子は、バイポーラトランジスタであり、

前記Ｐ型領域は、バイポーラトランジスタのベース領域である

ことを特徴とする半導体装置の製造方法。

[12] 請求項１に記載された半導体装置の製造方法において、

前記素子は、ＰＮ接合ダイオードであり、

前記Ｐ型領域は、ＰＮ接合ダイオードのＰ型領域である

ことを特徴とする半導体装置の製造方法。

[13] 水素を含む剥離層に沿って一部が分離除去され、素子の少なくとも一部を含むデバイス部が形成された基体層が、基板に貼り合わせて構成された半導体装置であって、

前記基体層は、Ｐ型不純物元素を含んでおり、該基体層に含まれるＰ型不純物元素のうち電気的に活性であるＰ型不純物元素の割合が８０％以上且つ１００％以下である領域を有している

ことを特徴とする半導体装置。

[14] 水素を含む剥離層に沿って一部が分離除去され、素子の少なくとも一部を含むデバイス部が形成された基体層が、基板に貼り合わせて構成された半導体装置であって、

前記基体層の表面と、該基体層が設けられていない領域における前記基板の表面との双方に連続して形成された絶縁層を備え、

前記基体層及び前記絶縁層は、Ｐ型不純物元素を含んでおり、

前記基体層及び前記絶縁層に含まれるＰ型不純物元素の濃度分布は、前記基体層及び前記絶縁層の界面において連続している

ことを特徴とする半導体装置。

[15] 請求項１３又は１４に記載された半導体装置において、

前記Ｐ型不純物元素の濃度は、$5\times10^{16}cm^{-3}$以上且つ$1\times10^{18}cm^{-3}$である

ことを特徴とする半導体装置。

[16] 請求項１４に記載された半導体装置において、

電気的に活性な前記Ｐ型不純物元素のキャリア濃度は、５×１０^{16}ｃｍ$^{-3}$以上且つ１×１０^{18}ｃｍ$^{-3}$である

ことを特徴とする半導体装置。

[17] 請求項１３又は１４に記載された半導体装置において、

前記Ｐ型不純物元素は、ホウ素である

ことを特徴とする半導体装置。

[18] 請求項１３又は１４に記載された半導体装置において、

前記基板は、ガラス基板又は単結晶シリコン半導体基板である

ことを特徴とする半導体装置。

[19] 請求項１３又は１４に記載された半導体装置において、

前記基体層は、単結晶シリコン半導体、IV族半導体、II－VI族化合物半導体、III－V族化合物半導体、IV－IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも１つを含む

ことを特徴とする半導体装置。

[20] 請求項１３又は１４に記載された半導体装置において、

前記素子は、ＭＯＳトランジスタ、バイポーラトランジスタ、及びダイオードの少なくとも１つである

ことを特徴とする半導体装置。

[21] 請求項１３又は１４に記載された半導体装置の製造方法において、

前記素子は、ＭＯＳトランジスタであり、

前記Ｐ型領域は、ＭＯＳトランジスタのチャネル領域である

ことを特徴とする半導体装置。

[22] 請求項１３又は１４に記載された半導体装置の製造方法において、

前記素子は、バイポーラトランジスタであり、

前記Ｐ型領域は、バイポーラトランジスタのベース領域である

ことを特徴とする半導体装置。

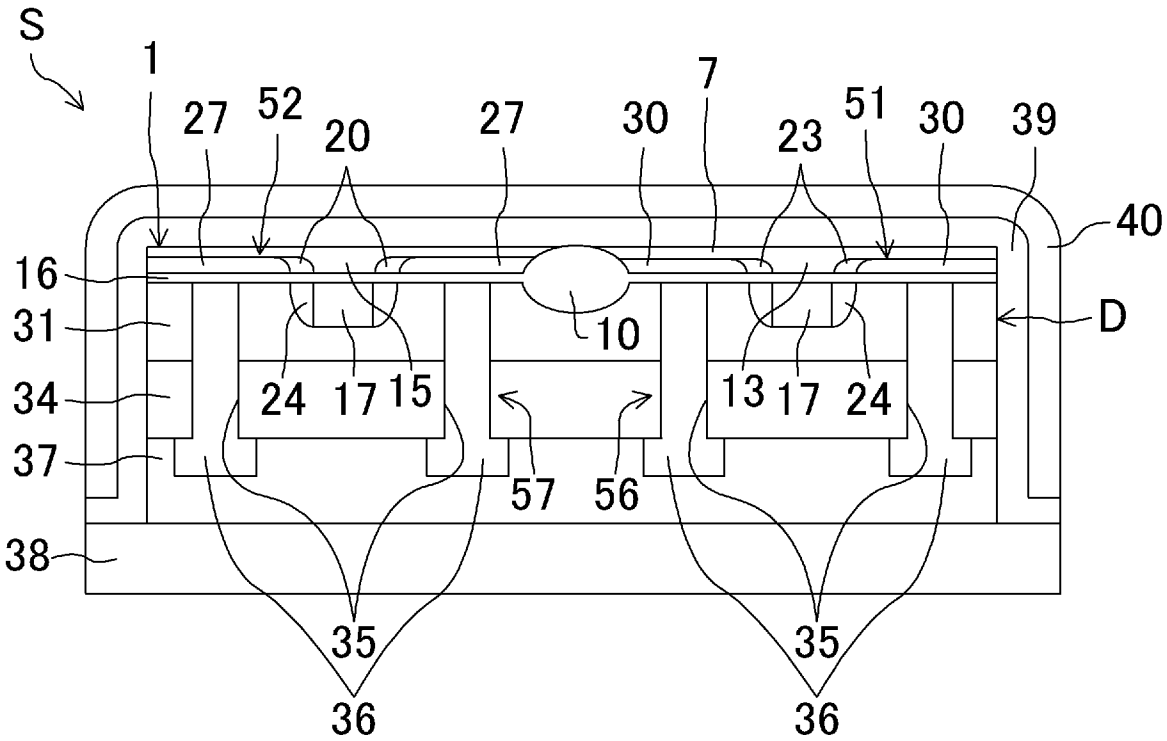
[23] 請求項１３又は１４に記載された半導体装置の製造方法において、

前記素子は、ＰＮ接合ダイオードであり、

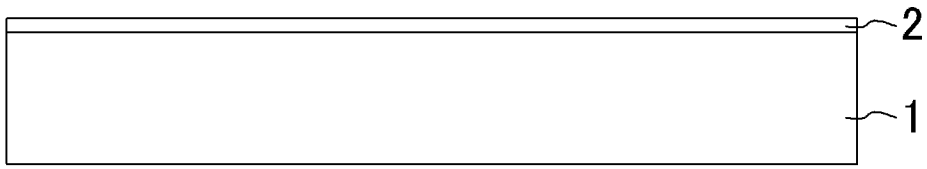
前記Ｐ型領域は、ＰＮ接合ダイオードのＰ型領域である

ことを特徴とする半導体装置。

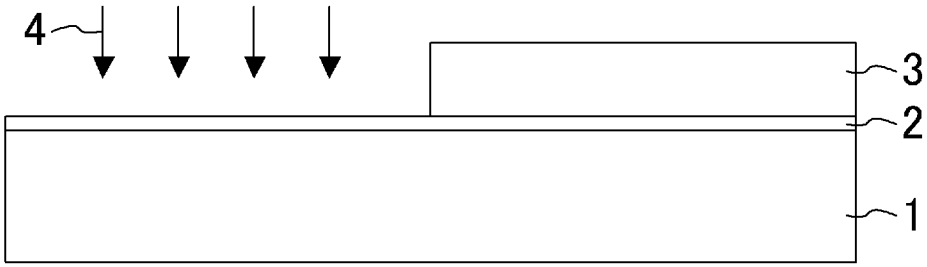
[図1]


S
1
27
52
20
27
30
7
23
51
30
39
40
16
31
34
37
38
10
D
24
17
15
13
17
24
57
56
35
36
35
36

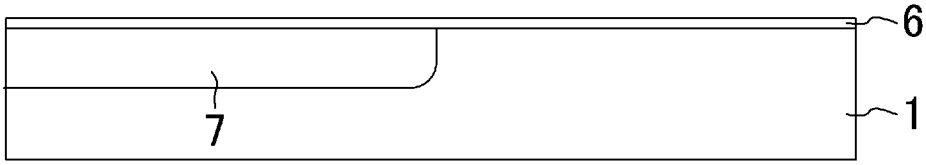
[図2]


2
1

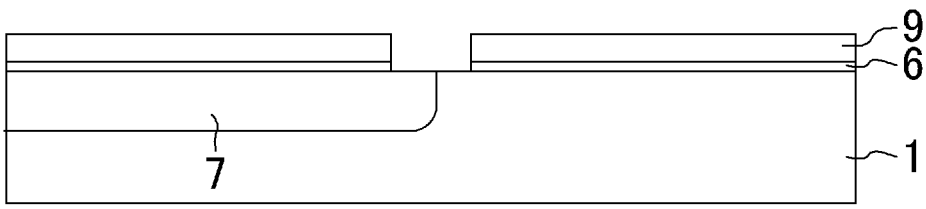
[図3]


4
3
2
1

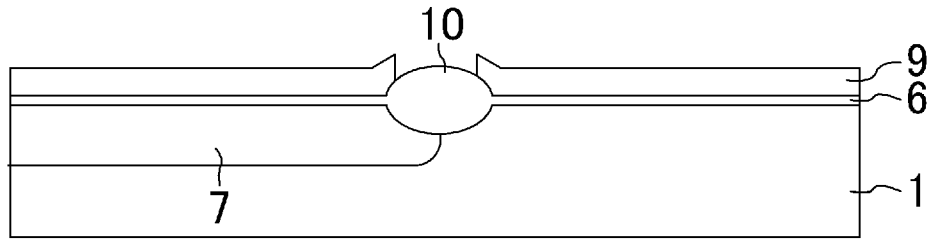
[図4]


6
7
1

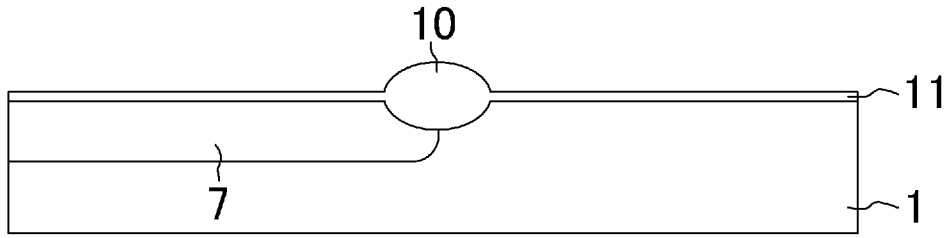
[図5]


9
6
7
1

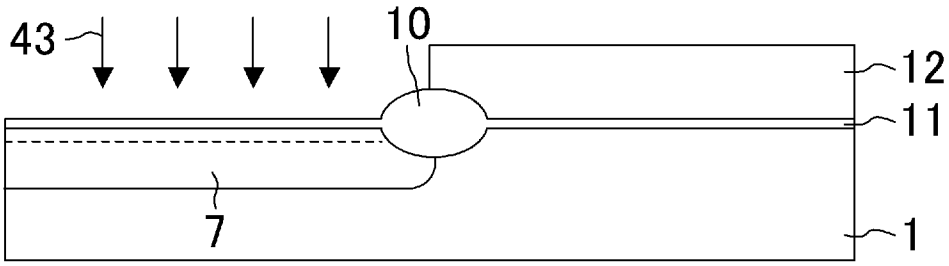
[図6]



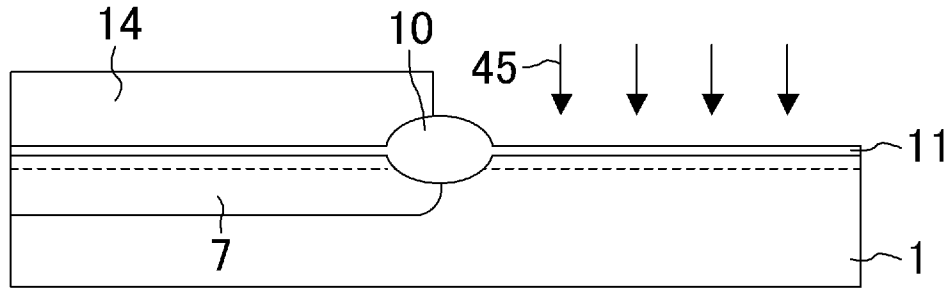
[図7]



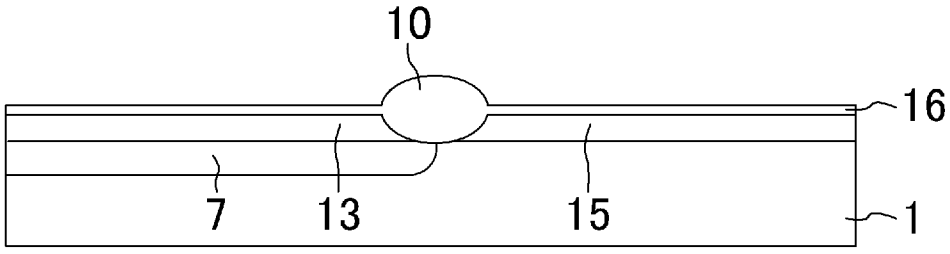
[図8]



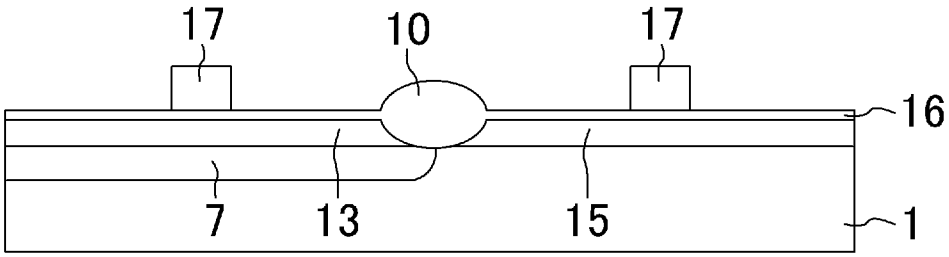
[図9]



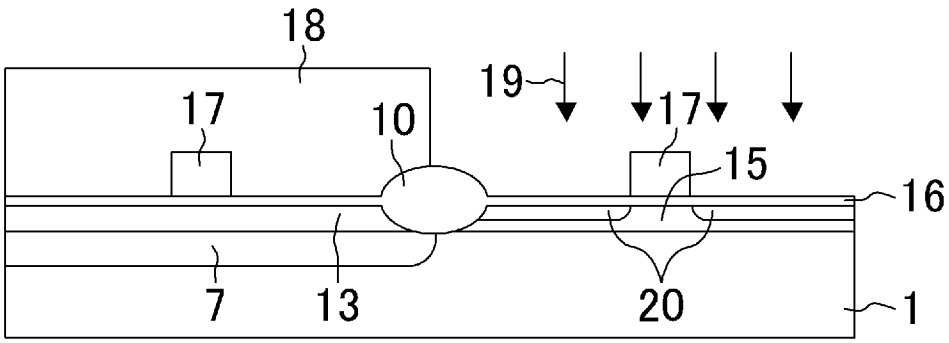
[図10]



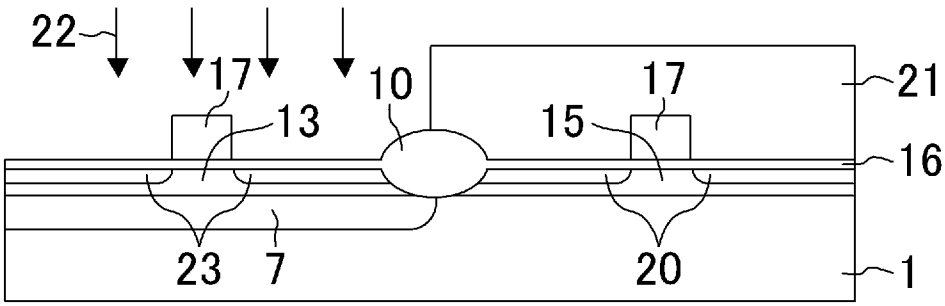
[図11]



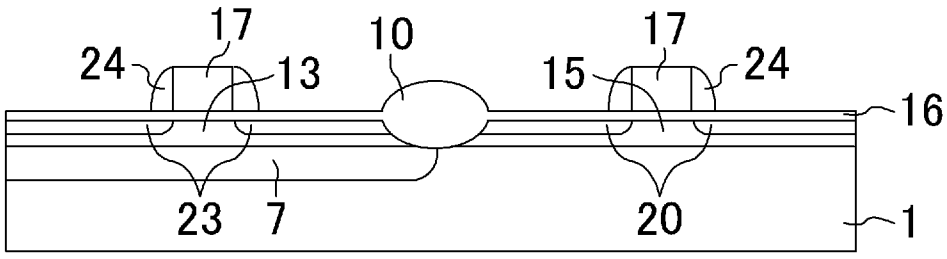
[図12]



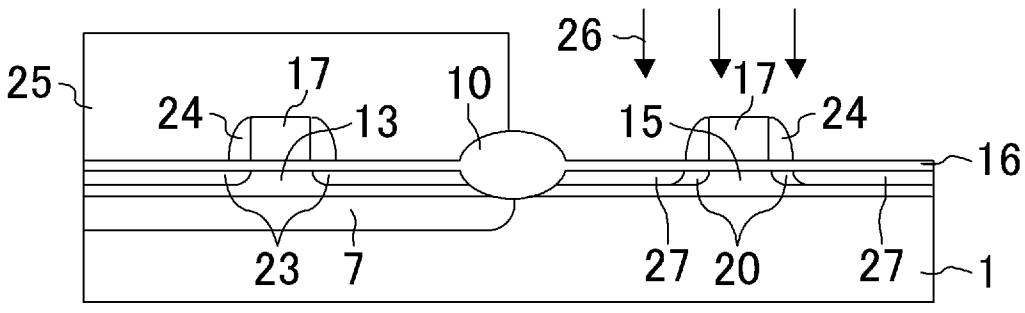
[図13]



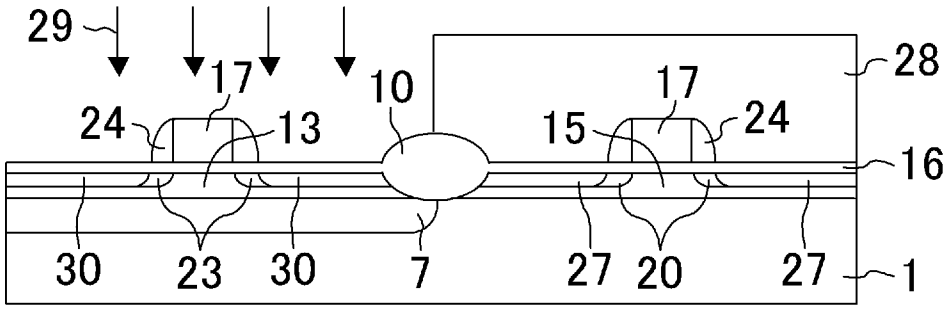
[図14]



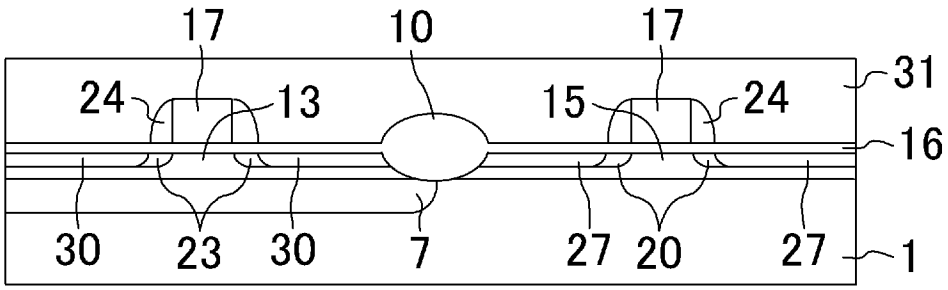
[図15]



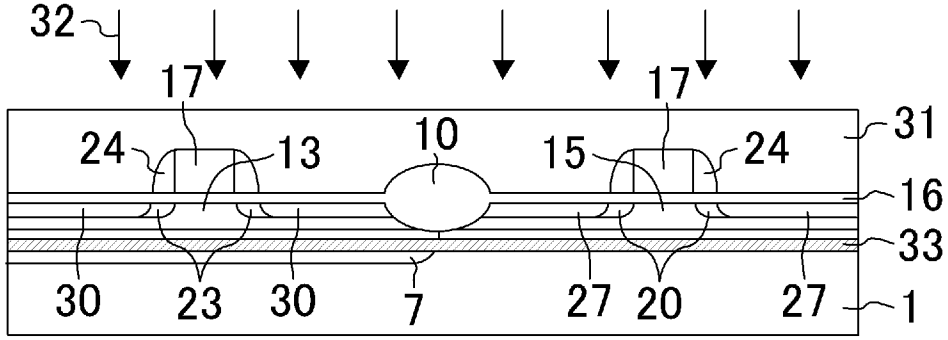
[図16]



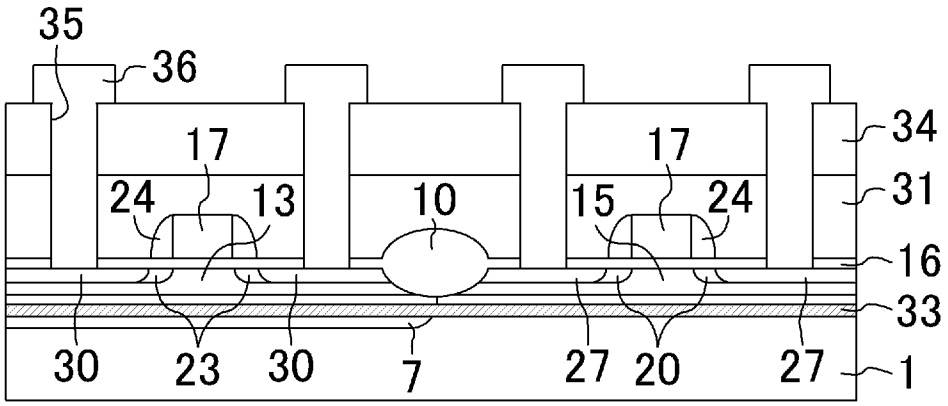
[図17]



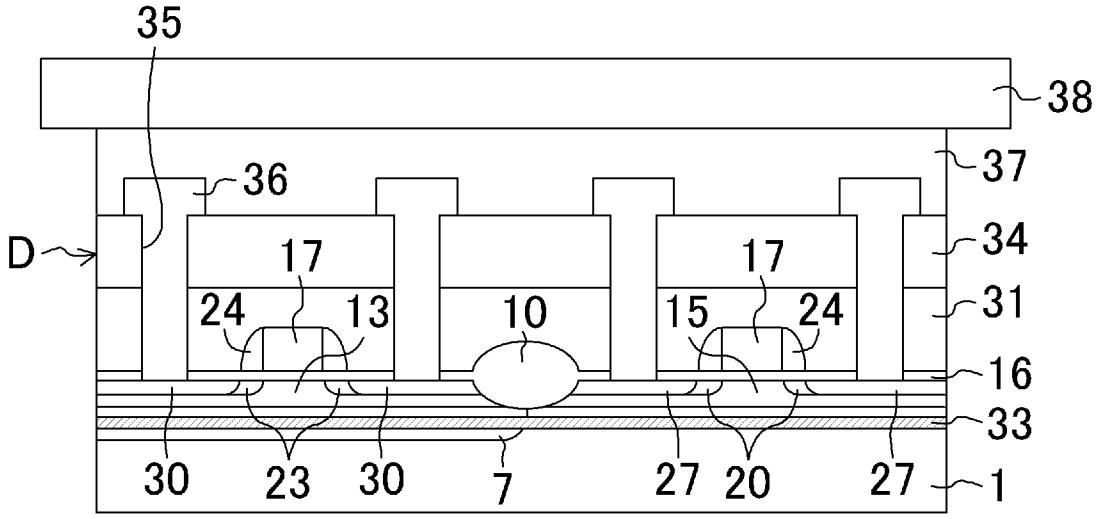
[図18]



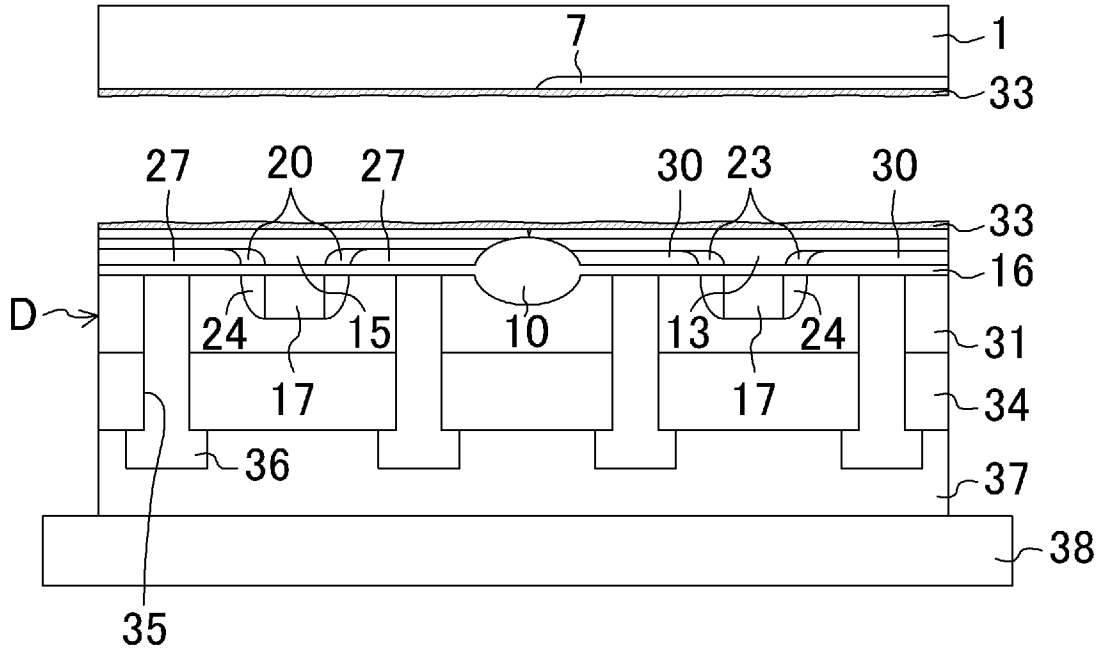
[図19]



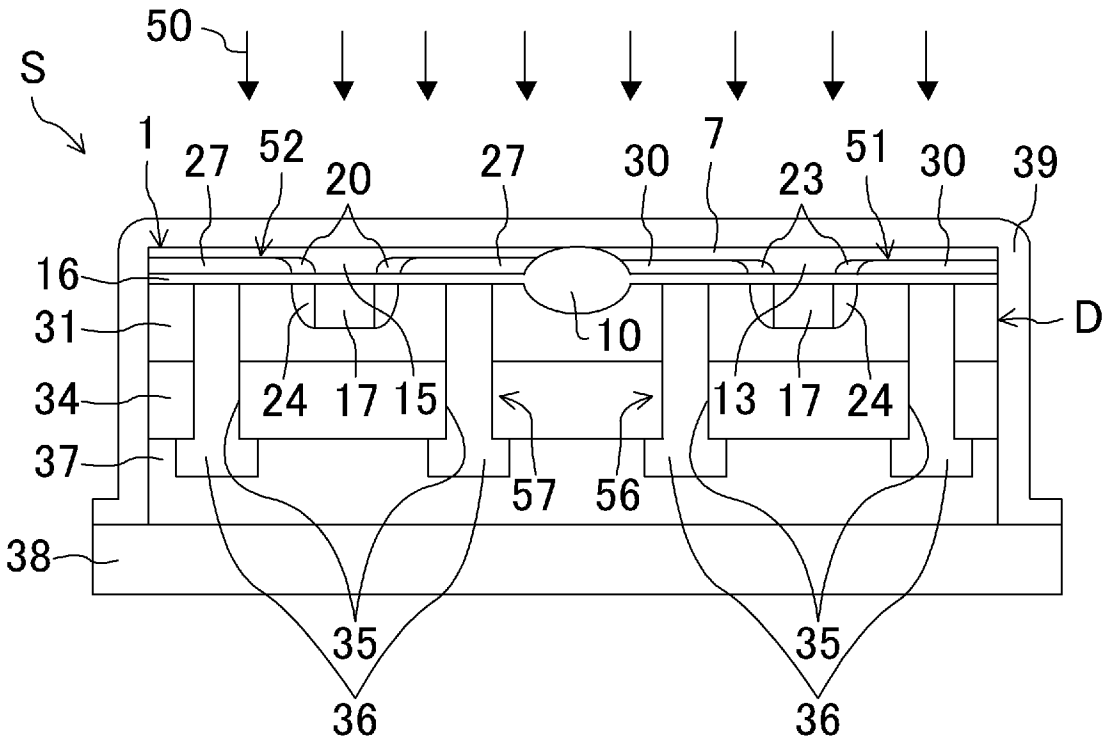
[図20]


35
38
36
37
D
17
17
34
24
13
10
15
24
31
16
33
30
23
30
7
27
20
27
1

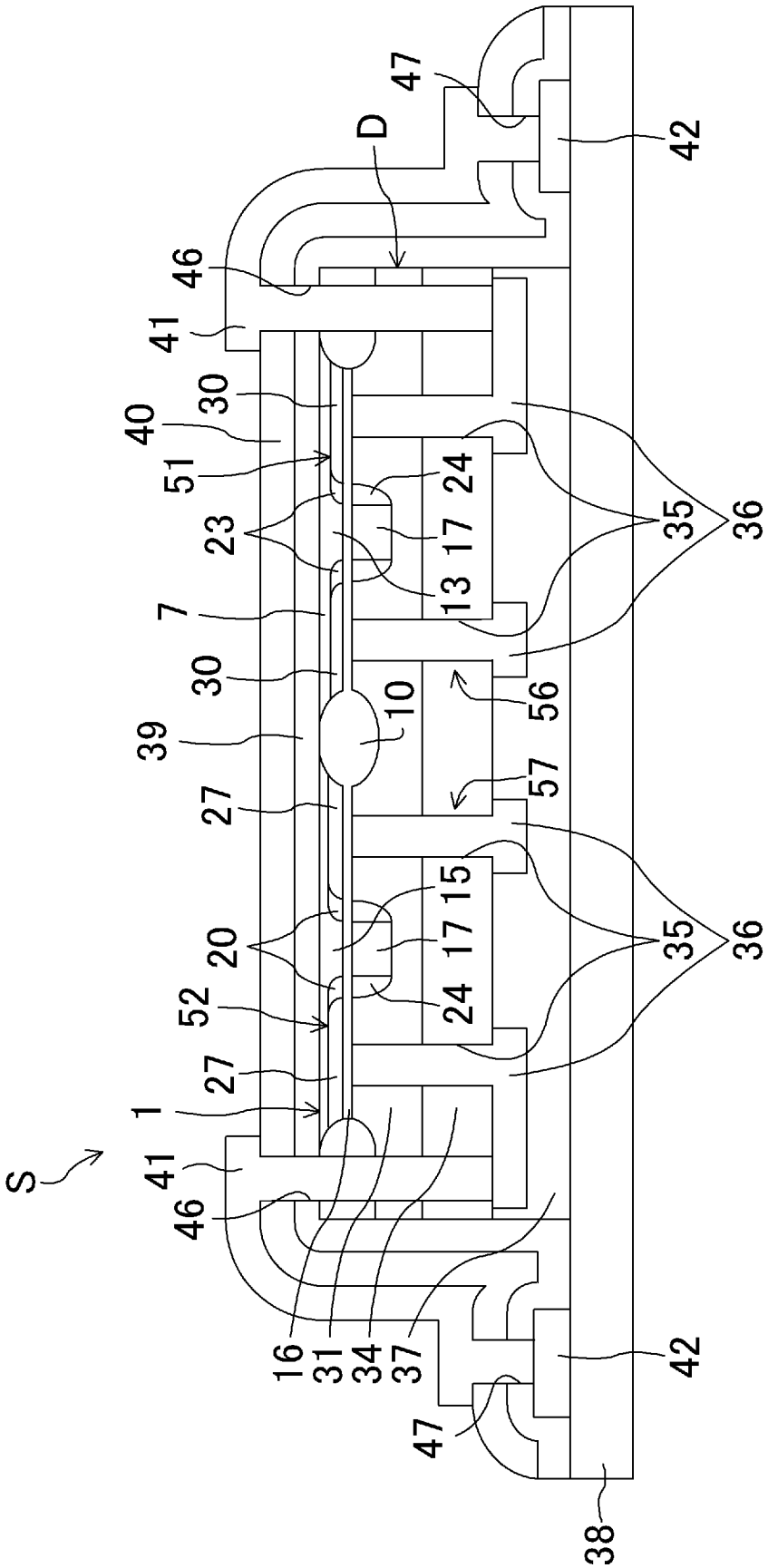
[図21]


7
1
33
27
20
27
30
23
30
33
16
D
24
15
10
13
24
31
17
17
34
36
37
38
35

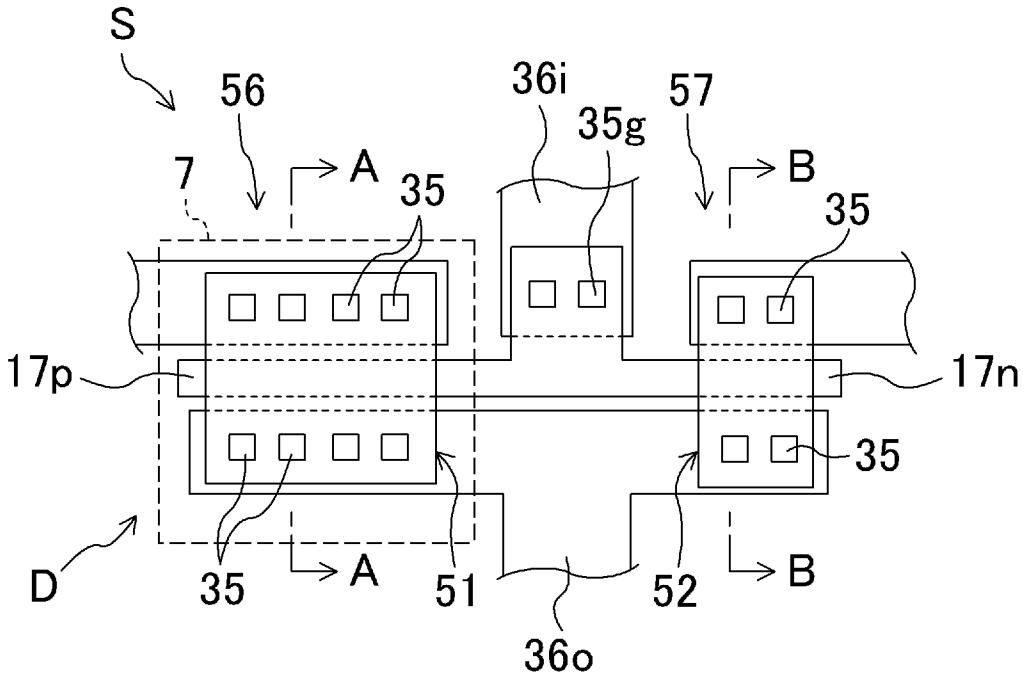
[図22]


50
S
1
27
52
20
27
30
7
23
51
30
39
16
31
34
37
38
D
10
24
17
15
13
17
24
57
56
35
36
35
36

[図23]


S
1
7
10
13
15
16
17
20
23
24
27
30
31
34
35
36
37
38
39
40
41
42
46
47
51
52
56
57
D

[図24]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/002659

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/02(2006.01)i, *H01L21/329*(2006.01)i, *H01L21/331*(2006.01)i, *H01L21/336*(2006.01)i, *H01L27/12*(2006.01)i, *H01L29/732*(2006.01)i, *H01L29/786*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/02, H01L21/329, H01L21/331, H01L21/336, H01L27/12, H01L29/732, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-5245 A (Sharp Corp.), 05 January, 2006 (05.01.06), Par. Nos. [0111] to [0139] & US 2005/0282019 A1 & KR 10-2006-0049202 A	1-13,15, 17-23
X	JP 7-161947 A (Fujitsu Ltd.), 23 June, 1995 (23.06.95), Par. Nos. [0016] to [0025] (Family: none)	13-21
X	JP 2007-234628 A (Sharp Corp.), 13 September, 2007 (13.09.07), Par. Nos. [0038] to [0070] (Family: none)	1-9,13-20

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 November, 2008 (11.11.08)	25 November, 2008 (25.11.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／００２６５９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/02(2006.01)i, H01L21/329(2006.01)i, H01L21/331(2006.01)i, H01L21/336(2006.01)i, H01L27/12(2006.01)i, H01L29/732(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/02, H01L21/329, H01L21/331, H01L21/336, H01L27/12, H01L29/732, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 2006-5245 A（シャープ株式会社）2006.01.05, 段落 0111-0139 & US 2005/0282019 A1 & KR 10-2006-0049202 A	1-13,15, 17-23
X	JP 7-161947 A（富士通株式会社）1995.06.23, 段落 0016-0025（ファミリーなし）	13-21
X	JP 2007-234628 A（シャープ株式会社）2007.09.13, 段落 0038-0070（ファミリーなし）	1-9,13-20

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １１．１１．２００８	国際調査報告の発送日 ２５．１１．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　２９３４ 綿引　隆 電話番号　０３－３５８１－１１０１　内線　３４６２