(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/60

(45) 공고일자 2001년11월15일
(11) 등록번호 10-0313826
(24) 등록일자 2001년10월24일

(21) 출원번호 10-1999-0010808
(22) 출원일자 1999년03월29일

(65) 공개번호 특1999-0078363
(43) 공개일자 1999년10월25일

(30) 우선권주장 98-87003 1998년03월31일 일본(JP)

(73) 특허권자
후지쯔 가부시끼가이샤
아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자
다까시마아끼라
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부시키가이샤내
다니구찌후미히꼬
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부시키가이샤내
히가시야마도시히사
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부시키가이샤내

(74) 대리인
문기상
문두현

심사관 : 송원선

(54) 반도체 장치

요약

본 발명은 반도체 칩을 탑재하는 기판으로서 가요성을 갖는 기판을 사용한 반도체 장치에 관한 것이며, 칩 수축 및 반도체 장치의 소형화에 대응하는 것을 과제로 한다.

테이프(22)와, 전극 패드(25A)가 형성된 반도체 칩(24)과, 반도체 칩(24)과 와이어(34)에 의해 전기적으로 접속되는 본딩 패드(32A,32B)와, 테이프(22)의 이면(22b)에 격자 형상으로 배열 설치된 땜납볼(26)과, 테이프(22)의 표면(22a) 상에 땜납볼(26)과 전기적으로 접속되도록 배설된 전극 패턴(30)을 구비하는 반도체 장치에 있어서, 본딩 패드(32A,32B)와 전극 패턴(30)을 배선 패턴(33)에 의해 전기적으로 접속함과 동시에, 인접하여 배설된 한 쌍의 전극 패턴(30)의 열의 사이(제1 열과 제2 열 사이 및 제2 열과 제3 열 사이)에 본딩 패드(32A,32B)를 분산시켜서 배열 설치한다.

대표도
도 1

색인어
반도체, 본딩 패드

명세서

도면의 간단한 설명

도1은 본 발명의 제1 실시예인 반도체 장치의 요부 측단면도.

도2는 본 발명의 제1 실시예인 반도체 장치의 봉지(封止) 수지를 제거한 상태의 평면도.

도3은 본 발명의 제2 실시예인 반도체 장치의 요부 측단면도.

도4는 본 발명의 제2 실시예인 반도체 장치의 봉지 수지를 제거한 상태의 평면도.

도5는 본 발명의 제3 실시예인 반도체 장치의 요부 측단면도.

도6은 본 발명의 제3 실시예인 반도체 장치의 봉지 수지를 제거한 상태의 평면도.

도7은 본 발명의 제4 실시예인 반도체 장치의 요부 측단면도.

도8은 본 발명의 제4 실시예인 반도체 장치의 봉지 수지를 제거한 상태의 평면도.

도9는 본 발명의 제5 실시예인 반도체 장치의 요부 측단면도.

도10은 본 발명의 제6 실시예인 반도체 장치의 요부 측단면도.

도11은 종래의 일 실시예인 반도체 장치의 측단면도.

도12는 종래의 일 실시예인 반도체 장치에 마련되는 테이프의 평면도.

도13은 종래의 일 실시예인 반도체 장치의 봉지 수지를 제거한 상태의 평면도.

[부호의 설명]

20A 20F 반도체 장치

22 테이프(tape)

22a 상면

22b 하면

24 반도체 칩(chip)

25A A1열 전극 패드(pad)

25B 지그재그 형상 전극 패드

26 땜납볼(ball)

28 봉지 수지

30 전극 패턴(pattern)

32A,32B 본딩 패드(bonding pad)

32C 지그재그 형상 본딩 패드

33 배선 패턴

34,34A,34B 와이어(wire)

38 방열용 볼범프(ball bump)

40 방열용 랜드(land)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것이며, 특히 반도체 칩을 탑재하는 기판으로서 가요성을 갖는 테이프 형상의 기판을 사용한 반도체 장치 및 그 제조방법에 관한 것이다.

근년에 고집적화, 고속화 및 고전력화에 대응할 수 있고, 더욱이 저원가의 패키지 구조를 갖는 반도체 장치가 요구되고 있다.

이들 요구에 대처하기 위해 미세 피치화된 FBGA(Fine Pitch Ball Grid Array) 형의 패키지 구조가 개발되고, 각종의 전자 기기에 사용되어 주목되게 되었다. 또한, FBGA 패키지 중에서도, 기판으로서 테이프를 사용함으로써, 더욱 미세 피치화를 도모한 패키지 구조가 주목되어 있다.

도11은 종래의 FBGA 형의 패키지 구조를 갖는 반도체 장치(1)를 나타내고 있다. 상기 도면에 나타나는 반도체 장치(l)는 대략 테이프(2), 반도체 칩(4), 땜납볼(6), 및 봉지 수지(8) 등에 의해 구성되어 있다.

테이프(2)는 예컨대 폴리이미드 수지로 형성되어 있고, 도12에 나타낸 바와 같이, 그 표면(2a)에는 전극 패턴(10), 본딩 패드(12)가 형성됨과 동시에 반도체 칩(4)이 탑재된다. 전극 패턴(10) 및 본딩 패드(12)는 테이프(2)에 동막을 형성한 뒤, 에칭(etching) 등에 의해 소정의 패턴으로 형성한 것 이다. 또 전극 패턴(10)과 본딩 패드(12)는 배선 패턴(13)에 의해 전기적으로 접속되어 있다.

또, 도13에 나타낸 바와 같이, 반도체 칩(4)에 형성된 전극 패드(5)와 본딩 패드(12) 간에는 와이어(14)가 배설되어 있다. 이에 따라, 반도체 칩(4)과 전극 패턴(10)은 와이어(14), 본딩 패드(12) 및 배선 패턴(13)을 거쳐서 전기적으로 접속된 구성으로 되어 있다.

또한, 테이프(2)의 전극 패턴(10)과 대향하는 위치에는 테이프(2)를 관통하는 구멍(16)이 형성되어 있다. 이 구멍(16)은 예컨대 테이프(2)에 대하여 레이저 가공을 실시함으로써 형성된다.

한편, 테이프(2)의 이면(2b)에는 땜납볼(6)이 배설되어 있다. 이 땜납볼(6)은 상기한 구멍(16)의 형성 위치에 배설되어 있고, 이 구멍(16)을 거쳐서 전극 패턴(10)에 접합된 구성으로 되어 있다. 즉, 땜납볼(6)은 전극 패턴(10)에 접합함으로써, 테이프(2)에 고정된 구성으로 되어 있다.

이 땜납볼(6)을 전극 패턴(10)에 접합하는 방법에서는, 우선 전극 패턴(10), 구멍(16)이 형성된 테이프(2)를 뒤집은 뒤, 구형(球型)의 땜납볼(6)을 구멍(16)의 상부에 재치(載置)한다. 다음에, 가열처리를 함으로써 땜납볼(6)을 용융하여 그 일부를 구멍(16)내에 유입시킨다.

이어서, 냉각 처리를 함으로써 땜납을 경화시켜서, 땜납볼(6)을 전극 패턴(10)에 고착시킨다. 이상의 처리를 실시함으로써, 땜납볼(6)은 전극 패턴(10)에 접합되고 있었다. 또한, 땜납볼(6)의 구멍(16)으로부터 돌출한 부분은 용융 시에 발생하는 표면 장력에 의해 자연적으로 구형으로 형성된다.

상기한 바와 같이, 반도체 장치를 기판으로서 테이프(2)를 사용한 FBGA 구조로 함으로써, 땜납볼(6)의 미세 피치화를 꾀할 수 있기 때문에, 반도체 칩(4)의 고밀도화 및 반도체 장치의 소형화에 대응할 수 있다.

발명이 이루고자 하는 기술적 과제

여기서, 종래의 FBGA 구조의 반도체 장치의 전극 패턴(10) 및 본딩 패드(12)의 형성 위치에 주목한다.

일반적으로 땜납볼(6)은 격자 형상으로 배열 설치되어 있으며, 도11 도13에 나타낸 예에서는, 테이프(2)의 외주 테두리로부터 안쪽으로 향하여 4열의 땜납볼(6)이 배열 설치된 구성으로 되어 있다. 따라서, 땜납볼(6)의 형성 위치와 대응하여 배설시키는 전극 패턴(10)도 격자 형상으로 4열 배설된 구성으로 되어있다.

이에 대하여, 와이어(14)가 접속되는 본딩 패드(12)는 종래에는 본딩 패드(12)의 열 수에 관계 없이 항상 1렬로 형성되어 있었다. 구체적으로는 도12에 나타낸 예에서는, 전극 패턴(10)의 제1 열과 제2 열 간의 위치에 1렬로 집약적으로 형성된 구성으로 되어 있었다. 따라서, 전극 패턴(l0)과 본딩 패드(12)를 접속하는 배선 패턴(13)은 전극 패턴(10) 사이를 꿰매서 배선된 구성으로 되어 있었다.

그런데, 칩 축소(반도체 칩(4)의 소형화)가 급속히 진전함에 따라, 전극 패드(5)의 패드 피치는 좁아 (예컨대, 100㎛ 90㎛)지는 경향에 있고, 이에 따라 인접한 와이어(14)의 거리도 짧아져서, 와이어 플로우 등에 의해 와이어 단락이 발생할 우려가 있는 문제점이 있었다.

또한, 상기의 칩 축소에 따르는 다핀화 및 반도체 장치(1)에 대한 소형화의 요구에 대응하기 위해, 근년에는 땜납볼(6) 및 전극 패턴(10)을 반도체 칩(4)의 하부에도 배설하는 구조가 채용되게 되었다. 이와 같이, 전극 패턴(10)이 반도체 칩(4)에 근접한 구성에서는, 본딩 패드(12)와 전극 패드(10)가 이간하여 버리는 경우가 생기고, 따라서 테이프(2) 상에 형성되는 배선 패턴(13)의 수가 증대한다.

그런데, 인접하는 전극 패턴(10)의 이간 거리는 미세화에 의해 작게 설정되어 있고, 따라서 배선 패턴(13)은 미세화하여 테이프(2) 상으로의 패터닝이 곤란하고, 또 배선 패턴(13)이 미세화하여 그 형성시의 수율이 저하해 버리는 문제점이 발생한다.

본 발명은 상기의 점을 감안하여 된 것으로서, 칩 수축 및 반도체 장치의 소형화에 대응할 수 있는 반도체 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기의 과제는 하기의 수단을 강구함으로써 해결할 수 있다.

청구항1 기재의 발명에서는,

테이프 형상의 기판과,

상기 테이프 형상의 기판의 표면에 탑재됨과 동시에, 전극 패드가 형성된 반도체 칩과,

상기 테이프 형상의 기판의 표면에 형성됨과 동시에, 상기 반도체 칩과 와이어에 의해 전기적으로 접속되는 본딩 패드와,

상기 테이프 형상의 기판의 이면에 격자 형상으로 배열 설치된 볼범프와,

상기 테이프 형상의 기판의 표면 상의 상기 볼범프의 형성 위치에 대응하도록 배열 설치되어 있고, 상기 테이프 형상의 기판에 형성된 구멍을 거쳐서 상기 볼범프와 전기적으로 접속한 전극 패턴을 구비하는 반도체 장치에 있어서,

상기 본딩 패드와 상기 전극 패턴을 배선 패턴에 의해 전기적으로 접속함과 동시에,

인접하여 배설된 한 쌍의 상기 전극 패턴의 열 사이에, 상기 본딩 패드를 분산시켜서 배열 설치한 것을 특징으로 하는 것이다.

또한, 청구항2 기재의 발명에서는,

상기 청구항1 기재의 반도체 장치에 있어서,

상기 반도체 칩에 형성한 상기 전극 패드를 지그재그 형상으로 배설한 것을 특징으로 하는 것이다.

또한, 청구항3 기재의 발명에서는,

상기 청구항1 또는 2 기재의 반도체 장치에 있어서,

인접하는 상기 와이어 사이에서 와이어 높이를 다르게 한 구성으로 한 것을 특징으로 하는 것이다.

또한, 청구항4 기재의 발명에서는,

테이프 형상의 기판과,

상기 테이프 형상의 기판의 표면에 탑재됨과 동시에, 전극 패드가 형성된 반도체 칩과,

상기 테이프 형상의 기판의 표면에 형성됨과 동시에,

상기 반도체 칩과 와이어에 의해 전기적으로 접속되는 본딩 패드와,

상기 테이프 형상의 기판의 이면에 격자 형상으로 배열 설치된 볼범프와,

상기 테이프 형상의 기판의 표면 상의 상기 볼범프의 형성 위치에 대응하도록 배열 설치되어 있고, 상기 테이프 형상의 기판에 형성된 구멍을 거쳐서 상기 볼범프와 전기적으로 접속한 전극 패턴을 구비하는 반도체 장치에 있어서,

상기 본딩 패드와 상기 전극 패턴을 전기적으로 접속함과 동시에, 인접하여 배설된 한 쌍의 상기 전극 패턴의 열 사이에, 상기 본딩 패드를 지그재그 형상으로 배설한 것을 특징으로 하는 것이다.

또한, 청구항5 기재의 발명에서는,

상기 청구항3 기재의 반도체 장치에 있어서,

상기 반도체 칩에 형성한 상기 전극 패드를 지그재그 형상으로 배설함과 동시에, 인접하는 상기 와이어 사이에서 와이어 높이를 다르게 한 구성으로 한 것을 특징으로 하는 것이다.

또한, 청구항6 기재의 발명에서는,

테이프 형상의 기판과,

상기 테이프 형상의 기판의 표면에 탑재됨과 동시에, 전극 패드가 형성된 반도체 칩과, 상기 테이프 형상의 기판의 표면에 형성됨과 동시에, 상기 반도체칩과 와이어에 의해 전기적으로 접속되는 본딩패드와,

상기 테이프 형상의 기판의 이면에 격자 형상으로 배열 설치된 볼범프와,

상기 테이프 형상의 기판의 표면 상의 상기 볼범프의 형성 위치에 대응하도록 배열 설치되어 있고, 상기 테이프 형상의 기판에 형성된 구멍을 거쳐서 상기 볼범프와 전기적으로 접속한 전극 패턴을 구비하는 반도체 장치에 있어서,

상기 전극 패드와 상기 전극 패턴을 와이어에 의해 전기적으로 접속한 것을 특징으로 하는 것이다.

또한, 청구항7 기재의 발명에서는,

상기 청구항1에 기재된 반도체 장치에 있어서,

상기 테이프 형상의 기판의 상기 반도체 칩의 탑재 위치에 대응하는 이면에 방열용 볼범프를 형성하고, 상기 방열용 볼범프를 상기 반도체 칩에 열적으로 접속한 구성으로 한 것을 특징으로 하는 것이다.

상기한 각 수단은 다음과 같이 작용한다.

청구항1 기재의 발명에 의하면,

본딩 패드와 전극 패턴을 전기적으로 접속함과 동시에, 인접하여 배설된 한 쌍의 전극 패턴의 열 사이에, 본딩 패드를 분산시켜서 배열함으로써, 각 본딩 패드의 배설 피치에 여유를 갖게 하는 것이 가능해지고, 배선 패턴의 배선 폭 및 패턴 형상에 자유도를 갖게 할 수 있다. 이에 따라, 칩 수축 및 반도체 장치의 소형화에 대응하면서, 반도체 장치의 수율의 향상을 꾀할 수 있다.

또한, 청구항2 기재의 발명에 의하면,

반도체 칩에 형성한 전극 패드를 지그재그 형상으로 배설함으로써, 전극 패드의 실질적인 배설 피치가 넓어져서, 반도체 칩측의 와이어의 본딩 위치에 여유를 갖게 할 수 있다. 이에 따라, 반도체 칩의 전극 수가 증대하여도 확실하게 와이어 본딩을 할 수 있다.

또한, 청구항3 기재의 발명에 의하면,

인접하는 와이어 사이에서 와이어 높이를 다르게 한 구성으로 함으로써, 인접하는 와이어는 그 고저 차에 의해 서로 와이어 단락을 방지할 수 있다.

또한, 청구항4 기재의 발명에 의하면,

본딩 패드와 전극 패턴을 전기적으로 접속함과 동시에, 인접하여 배설된 한 쌍의 전극 패턴의 열 사이에 본딩 패드를 지그재그 형상으로 배설함으로써, 본딩 패드의 실질적인 배설 피치가 넓어져서, 테이프 형상의 기판측의 와이어의 본딩 위치에 여유를 갖게 할 수 있다. 이에 따라, 본딩 패드 수가 증대하여도 확실하게 와이어 본딩을 할 수 있다.

또한, 청구항5 기재의 발명에 의하면,

반도체 칩에 형성한 전극 패드를 지그재그 형상으로 배설함과 동시에, 인접하는 와이어 사이에서 와이어 높이를 다르게 한 구성으로 함으로써, 반도체 칩측에서도 전극 수의 증대에 대응할 수 있고, 또한 와이어 간의 와이어 단락의 발생을 방지할 수 있다.

또한, 청구항6 기재의 발명에 의하면,

전극 패드와 전극 패턴을 와이어에 의해 전기적으로 접속함으로써, 본딩 패드는 불필요하게되어, 테이프 형상의 기판측의 와이어의 본딩 위치에 더욱 여유를 갖게 할 수 있어, 배선 패턴의 배선 폭 및 패턴 형상에 더욱 자유도를 갖게 할 수 있다.

또한, 청구항7 기재의 발명에 의하면,

테이프 형상의 기판의 반도체 칩의 탑재 위치에 대응하는 이면에 방열용 볼범프를 형성하고, 이 방열용 볼범프를 반도체 칩에 열적으로 접속한 구성으로 함으로써, 반도체 칩에서 발생한 열은 방열용 볼범프를 거쳐서 외부로 방열할 수 있고, 따라서 방열 효율의 향상을 꾀할 수 있다.

[실시예]

다음에, 본 발명의 실시의 형태에 대하여 도면과 함께 설명한다.

도1 및 도2는 본 발명의 제1 실시예인 반도체 장치(20A)를 설명하기 위한 도면이다. 도1은 반도체 장치(20A)의 요부를 확대하여 나타낸 측단면도이고, 도2는 봉지 수지(28)을 제거한 상태의 평면도이다.

각 도면에 나타낸 바와 같이, 본 실시예에 관한반도체 장치(20A)는 FBGA 형의 패키지 구조를 가지며 미세 피치화가 도모되고 있다. 이 반도체 장치(20A)는 대략 테이프(22)(테이프 형상의 기판), 반도체 칩(24), 땜납볼(26)(볼범프) 및 봉지 수지(28) 등으로 구성되어 있다.

테이프(22)는 예컨대 폴리이미드 수지로 형성된 평판상의 기판이고, 그 표면(22a)에는 반도체 칩(24), 봉지 수지(28), 전극 패턴(30) 및 본딩 패드(32A,32B) 등이 배설되어 있다. 또, 테이프(22)의 이면에는 땜납볼(26)이 배설되어 있다.

전극 패턴(30) 및 본딩 패드(32A,32B)는 동막 상에 금 도금을 실시한 구성으로 되고 있고, 더욱 그 상부에 땜납 및 금과의 접합성이 양호한 금속이 피막되어 있다.

전극 패턴(30)의 형성 위치는 후술하는 땜납볼(26)의 배설 위치와 대향하는 위치에 선정되어 있다. 또, 전극 패턴(30)과 본딩 패드(32A,32B)는 테이프(22)의 표면(22a)에 전극 패턴(30) 및 본딩 패드(32A,32B)와 일체적으로 형성된 배선 패턴(33)(도2참조)에 의해, 전기적으로 접속된 구성으로 되어 있다.

한편, 반도체 칩(24)은 접착제(23)에 의해 테이프(22)에 고정되어 있고, 이 반도체 칩(24)에 형성되어 있는 전극 패드(25A)와 본딩 패드(32A,32B) 간에는 금 선으로 되는 와이어(34)가 배설되어 있다. 본 실시예에서는, 전극 패드(25A)가 칩 외주를 따라서 1렬로 배설된 반도체 칩(24)을 예로 들고있다(이하, 전극 패드(25A)를 1렬형 전극 패드(25A)라함).

이 와이어(34)는 와이어 본딩 장치를 사용하여 배설된다. 이에 따라, 반도체 칩(24)은 와이어(24), 본딩 패드(32A,32B) 및 배선 패턴(33)을 거쳐서 전극 패턴(30)에 전기적으로 접속된 구성으로 된다.

또, 테이프(22)의 전극 패턴(30)과 대향하는 위치에는 테이프(22)를 이면(22b)으로부터 표면(22a)으로 관통하는 구멍(36)이 형성되어 있다. 이 구멍(36)은 예컨대 테이프(22)에 대하여 레이저 가공을 실시함으로써 형성된다.

땜납볼(26)은 상기와 같이 테이프(22)의 이면(22b)에 배설되어 있고, 반도체 장치(20A)의 외부 접속 단자로서 기능하는 것이다. 상기와 같이, 땜납볼(26)은 구멍(36)의 형성 위치, 즉 전극 패턴(30)의 형성 위치에 배설되어 있다. 이 땜납볼(26)은 테이프(22)의 이면으로부터 돌출한 구형의 볼부와, 구멍(36)내에 위치하는 기둥 형상부를 갖는 구성으로 되어 있다.

이어서, 상기 구성으로 된 반도체 장치(20A)의 제조방법에 대해서 간단히 설명한다.

반도체 장치(20A)를 제조하기 위해서는 테이프(22)를 준비한다. 이 테이프(22)는 제조 공정 개시 전에는 그 표면(22a) 및 이면(22b)에 아무 것도 형성되어 있지 않다. 이 테이프(22)에는 우선 패턴 형성 공정이 실시되고, 도금 등의 법을 사용하여 테이프(22)의 표면(22a) 및 이면(22b)에 동막을 형성한다. 그 뒤에, 포토리소그라피 기술, 에칭 기술을 사용하여, 테이프(22)의 표면(22a)에 소정의 패턴 형상의 전극 패턴(30), 본딩 패드(32A,32B) 및 배선 패턴(33)을 형성한다.

상기와 같이, 패턴 형성 공정에서는, 테이프(22)의 표면(22a)에 일괄적으로 전극 패턴(30), 본딩 패드(32A,32B) 및 배선 패턴(33)을 형성하기 때문에, 후술하는 바와 같이 본딩 패드(32A,32B)를 복수 열(본 실시예에서는, 2열)로 분산시켜서 형성하여도, 새로운 제조공정은 불필요하여 제품 원가가 상승해버리는 일은 없다.

상기의 패턴 형성 공정이 종료하면, 이어서 구멍 형성 공정이 실시되어 테이프(22)를 레이저 가공기에 장착하고, 레이저 광을 사용하여 구멍(36)을 형성한다. 이 구멍 형성 공정이 종료하면, 이어서 테이프(22)의 표면(22a)에 접착제(23)를 사용하여 반도체 칩(24)을 탑재함과 동시에, 이 반도체 칩(24)과 본딩 패드(32A,32B)와 사이에 와이어(34)를 배설하는 소자 탑재 공정이 실시된다. 이 와이어(34)의 배설은 와이어 본딩 장치를 사용하여 실시된다.

이어서, 봉지 공정이 실시되어, 테이프(22)의 표면(22a)의 상부에는 반도체 칩(24), 전극 패턴(30), 본딩 패드(32A,32B) 및 와이어(34)를 피복하여 봉지 수지(28)가 배설된다. 이 봉지 수지(28)는 주지의 몰드(mold) 기술을 사용하여 형성된다.

이 봉지 공정이 종료하면, 이어서 범프 배설 공정이 실시되어, 구형의 땜납볼(26)을 구멍(36)을 거쳐서 전극 패턴(30)에 전기적으로 접속한다. 구체적으로는 테이프(22)를 뒤집은 뒤, 구형의 땜납볼(26)을 구멍(36)의 상부에 재치한다. 다음에, 가열 처리를 실시하여 땜납볼(26)을 용융하여, 그 일부를 구멍(36)내에 유입시시킴으로써 기둥 형상부를 형성하고, 그 후 냉각 처리를 한다.

상기의 처리를 실시함으로써, 구멍(36)내에 유입한 땜납은 전극 패턴(30)과 접합되어, 전기적 및 기계적으로 접속된 구성이 된다. 또, 땜납볼(26)의 테이프(22)로부터 돌출한 부분은 땜납이 용융함으로써 발생하는 표면 장력에 의해 자연스럽게 구형상으로 형성되어 구형상 부분이 형성된다. 이상 설명한 일련의 처리를 실시함으로써, 도1 및 도2에 나타낸 반도체 장치(20A)가 제조된다.

이어서, 본 실시예의 요부가 되는 본딩 패드(32A,32B)의 구조에 대해서, 도11 도13에 나타낸 종래 구성의 반도체 장치와 비교하면서 이하에 설명한다.

도12 및 도13에 나타낸 바와 같이, 종래의 반도체 장치(1)에서는, 본딩 패드(12)가 1렬(도시되는 예에서는, 8개의 본딩 패드(12)가 1렬)로 집약되어 전극 패턴(10)의 각 열 사이에 배설된 구성으로 되어 있었다.

이에 반하여, 본 실시예에서는, 인접하여 배설된 한 쌍의 전극 패턴(30)의 열 사이에, 본딩 패드(32A,32B)를 분산시켜서 배열 설치한 구성으로 되어 있다.

즉, 도2에 나타낸 예에서는, 합계 8개 존재하는 본딩 패드를 각각 4개씩 1렬을 이루는 본딩 패드(32A,32B)에 분산시켜서, 전극 패턴(30)의 제1 열과 제2 열 사이에 분산된 제1 본딩 패드(32A)의 열을 배설하고, 전극 패턴(30)의 제2 열과 제3 열 사이에 분산된 제2 본딩 패드(32B)의 열을 배설한 구성으로 하고 있다.

이와 같이, 한 쌍의 전극 패턴(30)의 열 사이에, 본딩 패드(32A,32B)를 분산시켜서 배열함으로써, 각 본딩 패드(32A, 32B)의 배설 피치에 여유를 갖게 할 수 있다. 즉, 도면 중에 화살표 P1으로 나타낸 본딩 패드(32A,32B)의 배설 피치를 길게 할 수 있다.

또, 인접한 전극 패턴(30) 사이에 배설되는 배선 패턴(33)의 수를 적게 할 수 있다. 구체적으로는 도12에 나타낸 바와 같이, 종래에서는, 최고로 한 쌍의 인접하는 전극 패턴(10) 사이에 2개 배설되어 있던 배선 패턴(13)을 본 실시예에서는, 한 쌍의 전극 패턴(30) 사이에 1개의 배선 패턴(33)을 배설함으로써, 모든 전극 패턴(30)과 본딩 패드(32A,32B)를 전기적으로 접속할 수 있다.

따라서, 본 실시예의 구성으로 함으로써, 배선 패턴(30)의 배선 폭 및 패턴 형상에 자유도를 갖게 할 수 있어, 칩 수축 및 반도체 장치(20A)의 소형화에 대응할 수 있고, 또한 반도체 장치(20A)(배선 패턴(30))의 수율의 향상을 꾀할 수 있다.

이어서, 본 발명의 제2 실시예에 관해서 설명한다.

도3 및 도4는 본 발명의 제2 실시예인 반도체 장치(20B)를 나타내고 있다. 도3은 반도체 장치(20B)의 요부를 확대하여 나타낸 측단면도이고, 도4는 봉지 수지(28)를 제거한 상태의 평면도이다.

그리고, 도3 및 도4에서, 먼저 도1 및 도2를 사용하여 설명한 제1 실시예에 관한 반도체 장치(20A)와 동일 구성에는 동일부호를 붙이고 그 설명을 생략한다. 또, 이하 설명하는 각 실시예에서도 동일하다.

상기한 제1 실시예에 관한반도체 장치(20A)에서는, 반도체 칩(24)에 형성된 전극 패드가 칩 외주를 따라서 1렬로 배설된 1렬형 전극 패드(25A)를 사용한 구성으로 되어 있었다. 또, 제1 실시예에서는, 1렬형 전극 패드(25A)와 본딩 패드(32A,32B)를 접속하는 와이어(34)의 높이는 모두 동일한 높이를 갖는 구성으로 되어 있었다.

이에 반하여, 본 실시예에 관한반도체 장치(20B)에서는, 반도체 칩(24)에 형성되는 전극 패드(25B)를 지그재그 형상으로 배설(이하, 이 전극 패드(25B)를 지그재그 형상 전극 패드(25B)라 함)함과 동시에, 와이어(34A,34B)의 높이를 다르게 하여, 높은 와이어(34A)와 낮은 와이어(34B)가 교대로 배설되도록 구성한 것을 특징으로 하는 것이다.

이와 같이, 반도체 칩(24)에 형성되는 전극 패드를 지그재그 형상 전극 패드(25B)로 함으로써, 제1 실시예와 같은 1렬형 전극 패드(25A)에 비해, 인접하는 지그재그 형상 전극 패드(25B)의 실질적인 배설 피치(도4에 화살표 P2로 나타냄)를 넓게 할 수 있고, 따라서 반도체 칩측의 와이어(34A,34B)의 본딩 위치에 여유를 갖게 할 수 있다. 이에 따라, 반도체 칩(24)의 전극 수가 증대하여도 확실하게 와이어 본딩을 할 수 있다.

또, 높은 와이어(34A)와 낮은 와이어(34B)를 교대로 배설하여, 인접하는 와이어(34A,34B) 사이에서 높이를 다르게 함으로써, 인접하는 와이어(34A,34B)는 그 고저 차에 의해 서로 와이어 단락을 방지할 수 있다. 따라서, 반도체 칩(24)의 전극 수가 증대하여도, 칩측에서 와이어(34A,34B)의 와이어 단락이 발생하지 않기 때문에, 반도체 칩(24)의 칩 수축에 충분히 대응할 수가 있다.

이어서, 본 발명의 제3 실시예에 관해서 설명한다.

도5 및 도6은 본 발명의 제3 실시예인 반도체 장치(20C)를 나타내고 있다. 도5는 반도체 장치(20C)의 요부를 확대하여 나타낸 측단면도이고, 도6은 봉지 수지(28)를 제거한 상태의 평면도이다.

상기한 제2 실시예에 관한반도체 장치(20B)에서는, 반도체 칩(24)에 마련되는 전극 패드를 지그재그 형상 전극 패드(25B)로 하였지만, 본 실시예에 관한반도체 장치(20C)에서는, 본딩 패드(32C)를 지그재그 형상(이하, 이 본딩 패드(32C)를 지그재그 형상 본딩 패드(32C)라 함)으로 배설하는 것을 특징으로 하는 것이다.

구체적으로 본 실시예에서는, 전극 패턴(30)의 제1 열과 제2 열 사이에 지그재그 형상 본딩 패드(32C)를 배설한 구성으로 하고 있다. 또, 와이어(34A,34)는 제2 실시예와 같이 높이를 다르게 하여, 와이어 단락의 발생을 방지한 구성으로 하고 있다.

이와 같이, 전극 패턴(30)의 제1 열과 제2 열 사이에 지그재그 형상 본딩 패드(32C)를 배설함으로써, 종래와 같이 본딩 패드(12)를 일렬로 배열 설치한 구성(도12 및 도13참조)에 비해, 지그재그 형상 본딩 패드(32C)의 실질적인 배설 피치(도면 중, 화살표 P3으로 나타냄)를 넓힐 수 있다.

이에 따라, 전극 패턴(30)의 제1 열과 제2 열 사이에 모든 본딩 패드(32C)를 배설한 구성으로 하여도 테이프(22)측의 와이어(34A,34B)의 본딩 위치에 여유를 갖게 할 수 있다. 이에 따라, 본딩 패드 수가 증대하여도 확실하게 와이어 본딩을 할 수 있다.

그리고, 본 실시예에서는, 전극 패턴(30)의 제1 열과 제2 열 사이에 지그재그 형상 본딩 패드(32C)를 배설한 구성을 나타내었지만, 다른 열 사이에 지그재그 형상 본딩 패드(32C)를 배설하는 구성으로 하여도 좋다.

이어서, 본 발명의 제4 실시예에 관해서 설명한다.

도7 및 도8은 본 발명의 제4 실시예인 반도체 장치(20D)를 나타내고 있다. 도7은 반도체 장치(20D)의 요부를 확대하여 나타낸 측단면도이고, 도8은 봉지 수지(28)를 제거한 상태의 평면도이다.

상기한 각 실시예에서는, 반도체 칩(24)에 형성된 전극 패드(25A,25B)와 땜납볼(26)을 전기적으로 접속하기 위해서, 전극 패턴(30)과 전기적으로 접속한 본딩 패드(32A 32C)를 테이프(22) 상에 마련하여, 이 본딩 패드(32A 32C)와 전극 패드(25A,25B) 간에 와이어(34,34A,34B)를 배설하는 구성으로 하고 있었다.

이에 반하여, 본 실시예에 관한반도체 장치(20D)에서는, 전극 패드(25A)와 전극 패턴(30)을 직접 와이어(34)에 의해 전기적으로 접속한 것을 특징으로 하는 것이다. 이 구성으로 함으로써, 본딩 패드(32A 32C)는 불필요하게 되어, 테이프(22) 상의 와이어(34)의 본딩 위치에 더욱 여유를 갖게 할 수 있다. 따라서, 배선 패턴(30)의 배선 폭 및 패턴 형상에 더욱 자유도를 갖게 할 수 있어, 전극 수의 증대 및 칩 수축에 확실히 대응할 수 있다.

또한, 본딩 패드(32A 32C)는 반드시 전부 없앨 필요는 없고, 와이어(34)의 배선 배치, 또 배선 패턴(30)의 패턴 배치 등에 따라, 도8에 나타낸 바와 같이직접전극 패턴(30)에 와이어(34)를 접속하는 구성과, 본딩 패드(32A,32B)에 와이어(34)를 접속하는 구성이 혼재하는 구성으로 해도 좋다.

이어서, 본 발명의 제5 실시예에 관해서 설명한다.

도9는 본 발명의 제5 실시예인 반도체 장치(20E)의 요부를 확대하여 나타낸 측단면도이다. 본 실시예에 관한반도체 장치(20E)는 제1 실시예의 반도체 장치(20A)와 유사한 구성을 갖지만, 제1 실시예에 관한반도체 장치(20A)에서 높은 와이어(34A)와 낮은 와이어(34B)를 교대로 배설하여, 인접하는 와이어(34A,34B) 사이에서 높이를 다르게 한 구성으로 한 것을 특징으로 하는 것이다.

따라서, 본 실시예의 구성으로 함으로써, 인접하는 와이어(34A,34B)는 그 고저 차에 의해 서로 와이어 단락하는 것이 방지된다. 이에 따라, 반도체 칩(24)의 전극 수가 증대하여도, 칩측에서 와이어(34A,34B)의 와이어 단락은 발생하지 않기때문에, 반도체 칩(24)의 칩 수축에 충분히 대응할 수가 있다.

이어서, 본 발명의 제6 실시예에 관해서 설명한다.

도10은 본 발명의 제6 실시예인 반도체 장치(20F)의 요부를 확대하여 나타낸 측단면도이다.

본 실시예에 관한반도체 장치(20F)는 테이프(22)의 반도체 칩(24)의 탑재 위치에 대응하는 이면(22b)에 방열용 볼범프(38)를 형성한 것을 특징으로 하는 것이다. 이 방열용 볼범프(38)는 땜납볼(26)과 마찬가지로 형성하여도 좋고, 또 동(Cu) 등의 방열 특성이 양호한 다른 재질에 의해 형성하여도 좋다.

또, 반도체 칩(24)의 하부 위치에는 동박 등으로 형성된 방열용 랜드(40)가 배설되어 있으며, 이 방열용 랜드(40)는 방열용 볼범프(38)와 열적으로 접속된 구성으로 되어 있다. 또, 방열용 랜드(40)는 반도체 칩(24)과 근접 배설되어 있고, 따라서 방열용 볼범프(38)는 반도체 칩(24)과 열적으로 접속된 구성으로 되어 있다.

본 실시예와 같이, 방열용 볼범프(38)와 반도체 칩(24)을 열적으로 접속한 구성으로 함으로써, 반도체 칩(24)에서 발생한 열은 방열용 랜드(40) 및 방열용 볼범프(38)를 거쳐서 외부로 방열되고, 따라서 방열 효율의 향상을 꾀할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 다음에 설명하는 여러가지 효과를 실현할 수 있다.

청구항1 기재의 발명에 의하면, 본딩 패드의 배설 피치에 여유를 갖게 할 수 있어, 배선 패턴의 배선 폭 및 패턴 형상에 자유도를 갖게 할 수 있고, 따라서 칩 수축 및 반도체 장치의 소형화에 대응하면서 반도체 장치의 수율의 향상을 꾀할 수 있다.

또, 청구항2 기재의 발명에 의하면, 전극 패드의 실질적인 배설 피치가 넓어져서 반도체 칩측의 와이어의 본딩 위치에 여유를 갖게 할 수 있고, 따라서 반도체 칩이 다핀화하여도 확실하게 와이어 본딩을 할 수 있다.

또, 청구항3 기재의 발명에 의하면, 인접하는 와이어는 그 고저 차에 의해 서로 와이어 단락을 방지할 수 있다.

또, 청구항4 기재의 발명에 의하면, 본딩 패드의 실질적인 배설 피치가 넓어져서 테이프 형상의 기판측의 와이어의 본딩 위치에 여유를 갖게 할 수 있고, 따라서 본딩 패드 수가 증대하여도 확실하게 와이어 본딩을 하는 것이 가능하다.

또, 청구항5 기재의 발명에 의하면, 반도체 칩측에서도 다핀화에 대응할 수 있고, 또한 와이어 간의 와이어 단락의 발생을 방지할 수 있다.

또, 청구항6 기재의 발명에 의하면, 본딩 패드는 불필요하게 되어 테이프 형상의 기판측의 와이어의 본딩 위치에 더욱 여유를 갖게 할 수 있어, 배선 패턴의 배선 폭 및 패턴 형상에 더욱 자유도를 갖게 할 수 있다.

또, 청구항7 기재의 발명에 의하면, 반도체 칩에서 발생한 열은 방열용 볼범프를 거쳐서 외부로 방열할 수 있고, 따라서 방열 효율의 향상을 꾀할 수 있다.

(57) 청구의 범위

청구항 1.

테이프 형상의 기판과,

상기 테이프 형상의 기판의 표면에 탑재됨과 동시에, 전극 패드가 형성된 반도체 칩과,

상기 테이프 형상의 기판의 표면에 형성됨과 동시에, 상기 반도체 칩과 와이어에 의해 전기적으로 접속되는 본딩 패드와,

상기 테이프 형상의 기판의 이면에 격자 형상으로 배열 설치된 볼범프와,

상기 테이프 형상의 기판의 표면 상의 상기 볼범프의 형성 위치에 대응하도록 배열 설치되어 있고, 상기 테이프 형상의 기판에 형성된 구멍을 거쳐서 상기 볼범프와 전기적으로 접속한 전극 패턴을 구비하는 반도체 장치에 있어서,

상기 본딩 패드와 상기 전극 패턴을 배선 패턴에 의해 전기적으로 접속함과 동시에,

인접하여 배설된 한 쌍의 상기 전극 패턴의 열 사이에, 상기 본딩 패드를 분산시켜서 배열 설치한 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 반도체 칩에 형성한 상기 전극 패드를 지그재그 형상으로 배설한 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항 또는 제2항에 있어서,

인접하는 상기 와이어 사이에서 와이어 높이를 다르게 한 구성으로 한 것을 특징으로 하는 반도체 장치.

청구항 4.

테이프 형상의 기판과,

상기 테이프 형상의 기판의 표면에 탑재됨과 동시에, 전극 패드가 형성된 반도체 칩과,

상기 테이프 형상의 기판의 표면에 형성됨과 동시에, 상기 반도체 칩과 와이어에 의해 전기적으로 접속되는 본딩 패드와,

상기 테이프 형상의 기판의 이면에 격자 형상으로 배열 설치된 볼범프와,

상기 테이프 형상의 기판의 표면 상의 상기 볼범프의 형성 위치에 대응하도록 배열 설치되어 있고, 상기 테이프 형상의 기판에 형성된 구멍을 거쳐서 상기 볼범프와 전기적으로 접속한 전극 패턴을 구비하는 반도체 장치에 있어서,

상기 본딩 패드와 상기 전극 패턴을 전기적으로 접속함과 동시에,

인접하여 배설된 한 쌍의 상기 전극 패턴의 열 사이에 상기 본딩 패드를 지그재그 형상으로 배설한 것을 특징으로 하는 반도체 장치.

청구항 5.

제3항에 있어서,

상기 반도체 칩에 형성한 상기 전극 패드를 지그재그 형상으로 배설함과 동시에, 인접하는 상기 와이어 사이에서 와이어 높이를 다르게 한 구성으로 한 것을 특징으로 하는 반도체 장치.

청구항 6.

테이프 형상의 기판과,

상기 테이프 형상의 기판의 표면에 탑재됨과 동시에, 전극 패드가 형성된 반도체 칩과,

상기 테이프 형상의 기판의 표면에 형성됨과 동시에, 상기 반도체칩과 와이어에 의해 전기적으로 접속되는 본딩패드와,

상기 테이프 형상의 기판의 이면에 격자 형상으로 배열 설치된 볼범프와,

상기 테이프 형상의 기판의 표면 상의 상기 볼범프의 형성 위치에 대응하도록 배열 설치되어 있고, 상기 테이프 형상의 기판에 형성된 구멍을 거쳐서 상기 볼범프와 전기적으로 접속한 전극 패턴을 구비하는 반도체 장치에 있어서,

상기 전극 패드와 상기 전극 패턴을 와이어에 의해 전기적으로 접속한 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항에 있어서,

상기 테이프 형상의 기판의 상기 반도체 칩의 탑재 위치에 대응하는 이면에 방열용 볼범프를 형성하고, 상기 방열용 볼범프를 상기 반도체 칩에 열적으로 접속한 구성으로 한 것을 특징으로 하는 반도체 장치.

청구항 8.

제4항에 있어서,

상기 테이프 형상의 기판의 상기 반도체 칩의 탑재 위치에 대응하는 이면에 방열용 볼범프를 형성하고, 상기 방열용 볼범프를 상기 반도체 칩에 열적으로 접속한 구성으로 한 것을 특징으로 하는 반도체 장치.

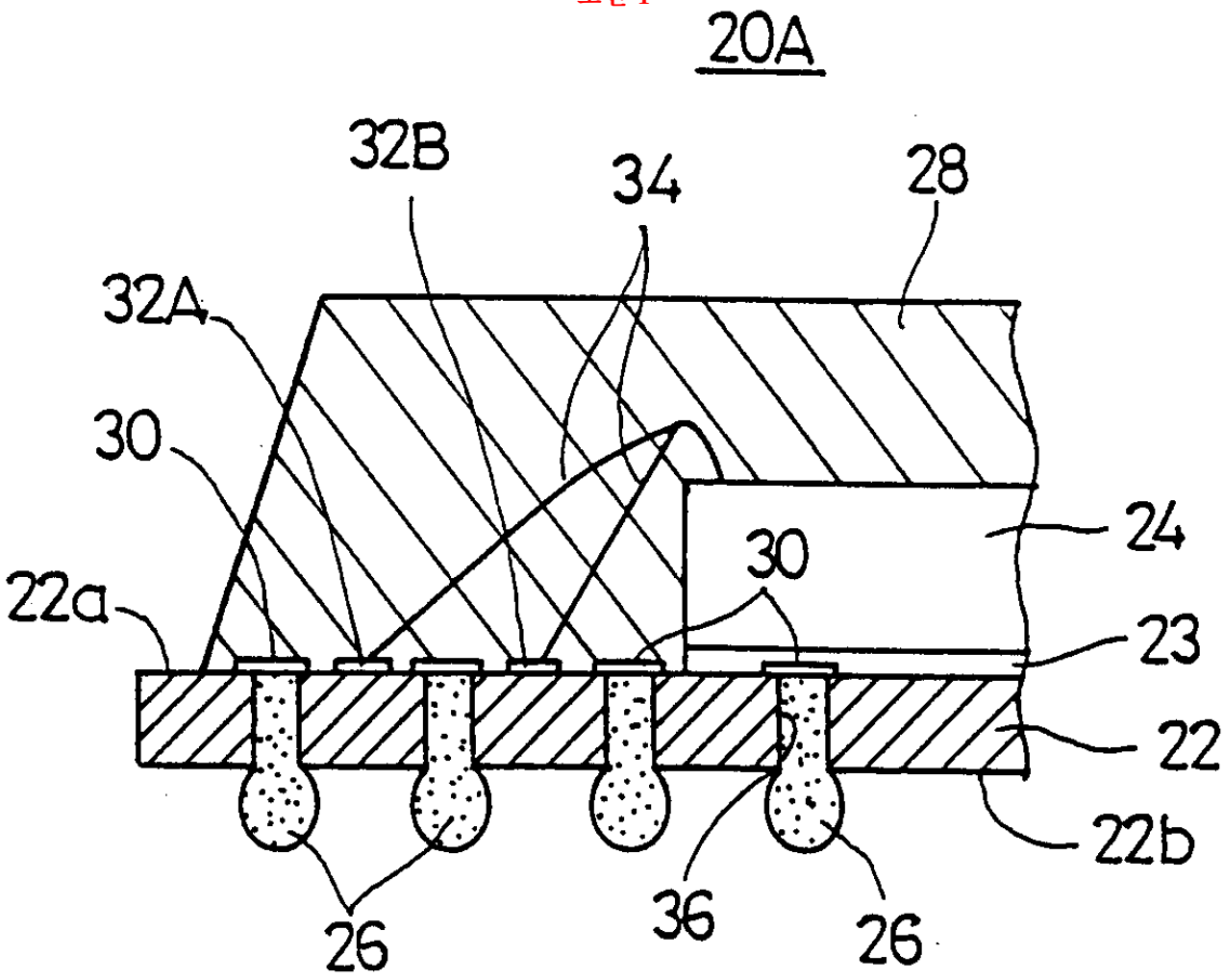
청구항 9.

제6항에 있어서,

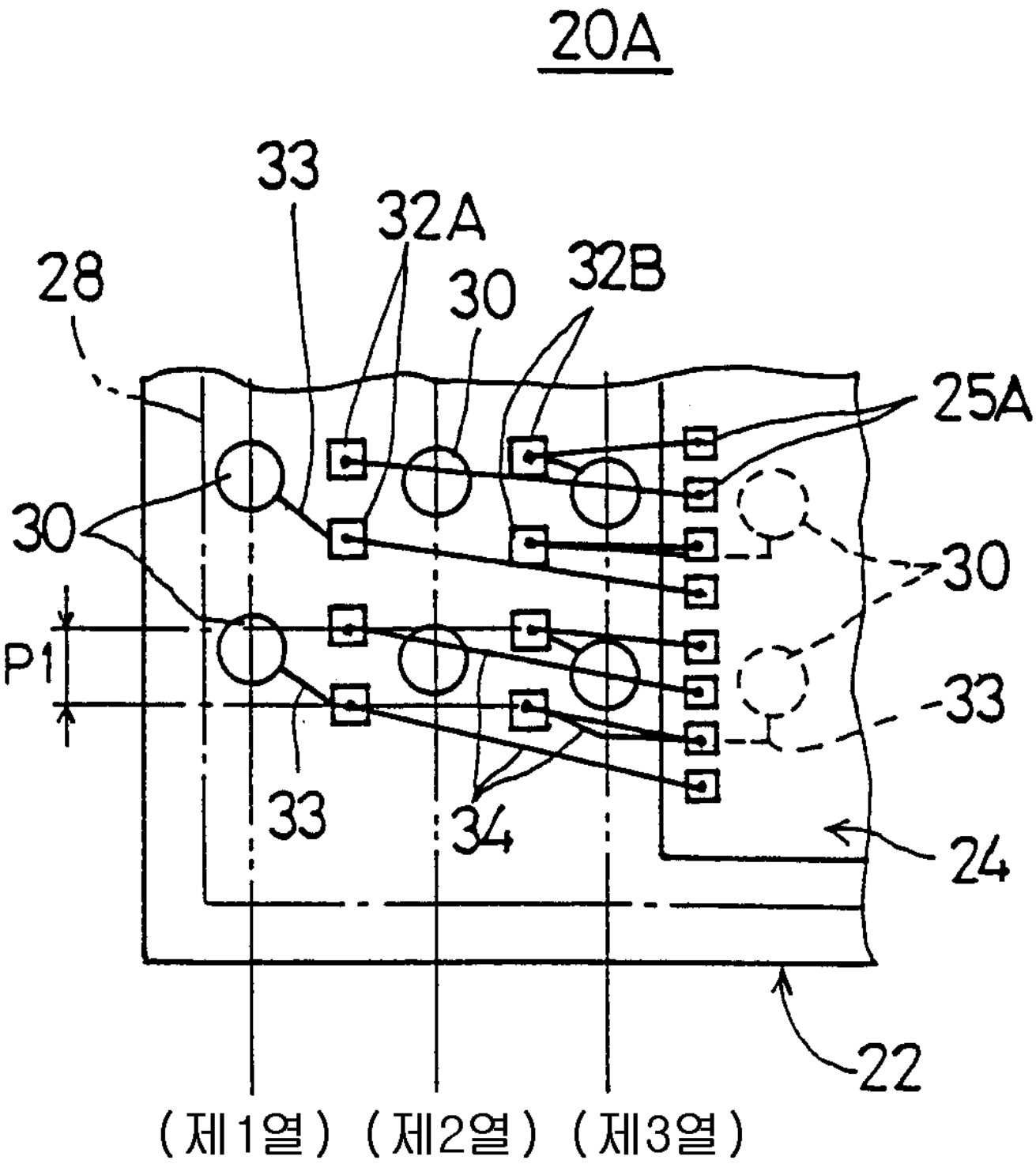
상기 테이프 형상의 기판의 상기 반도체 칩의 탑재 위치에 대응하는 이면에 방열용 볼범프를 형성하고, 상기 방열용 볼범프를 상기 반도체 칩에 열적으로 접속한 구성으로 한 것을 특징으로 하는 반도체 장치.

도면

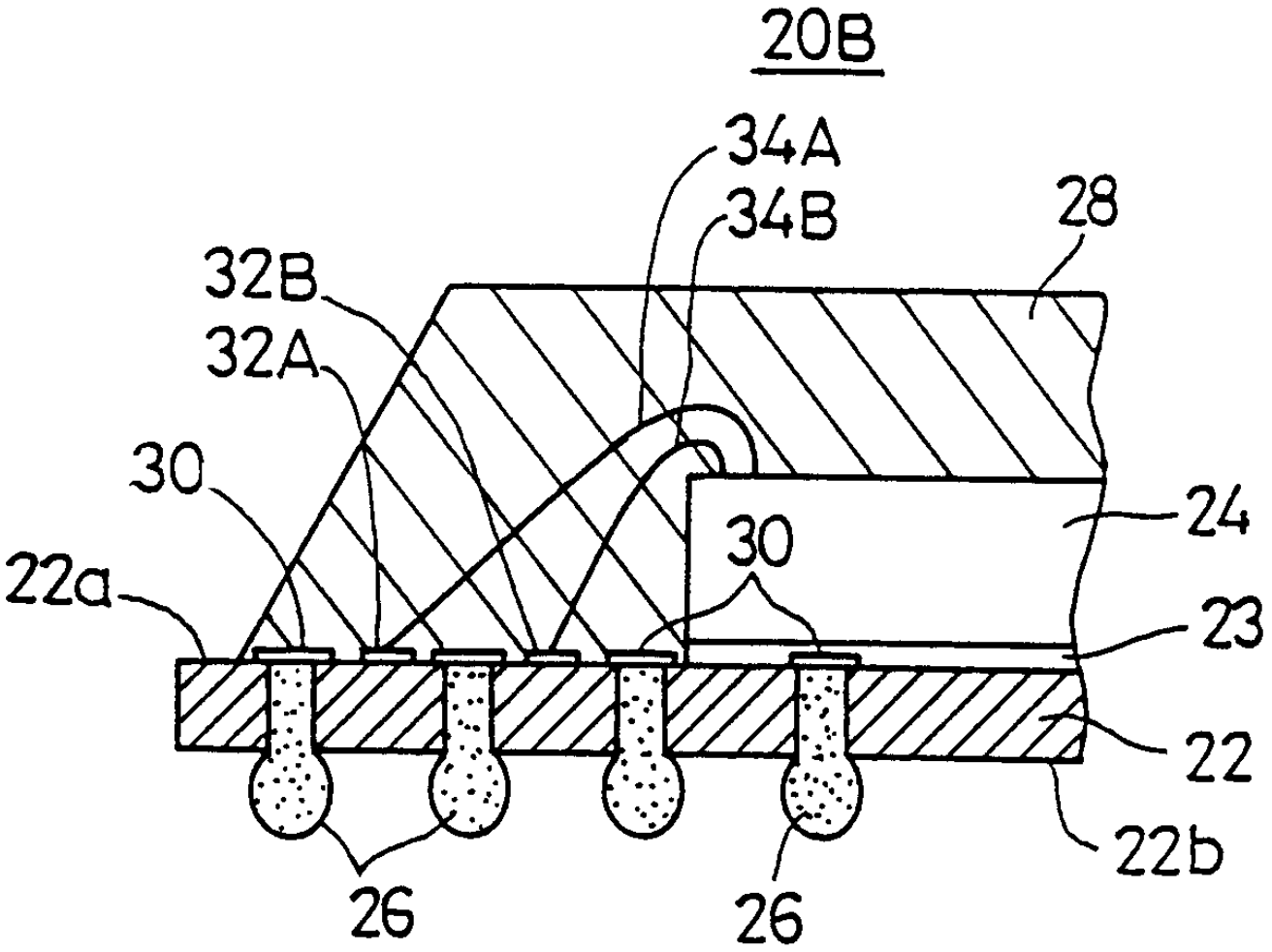
도면 1



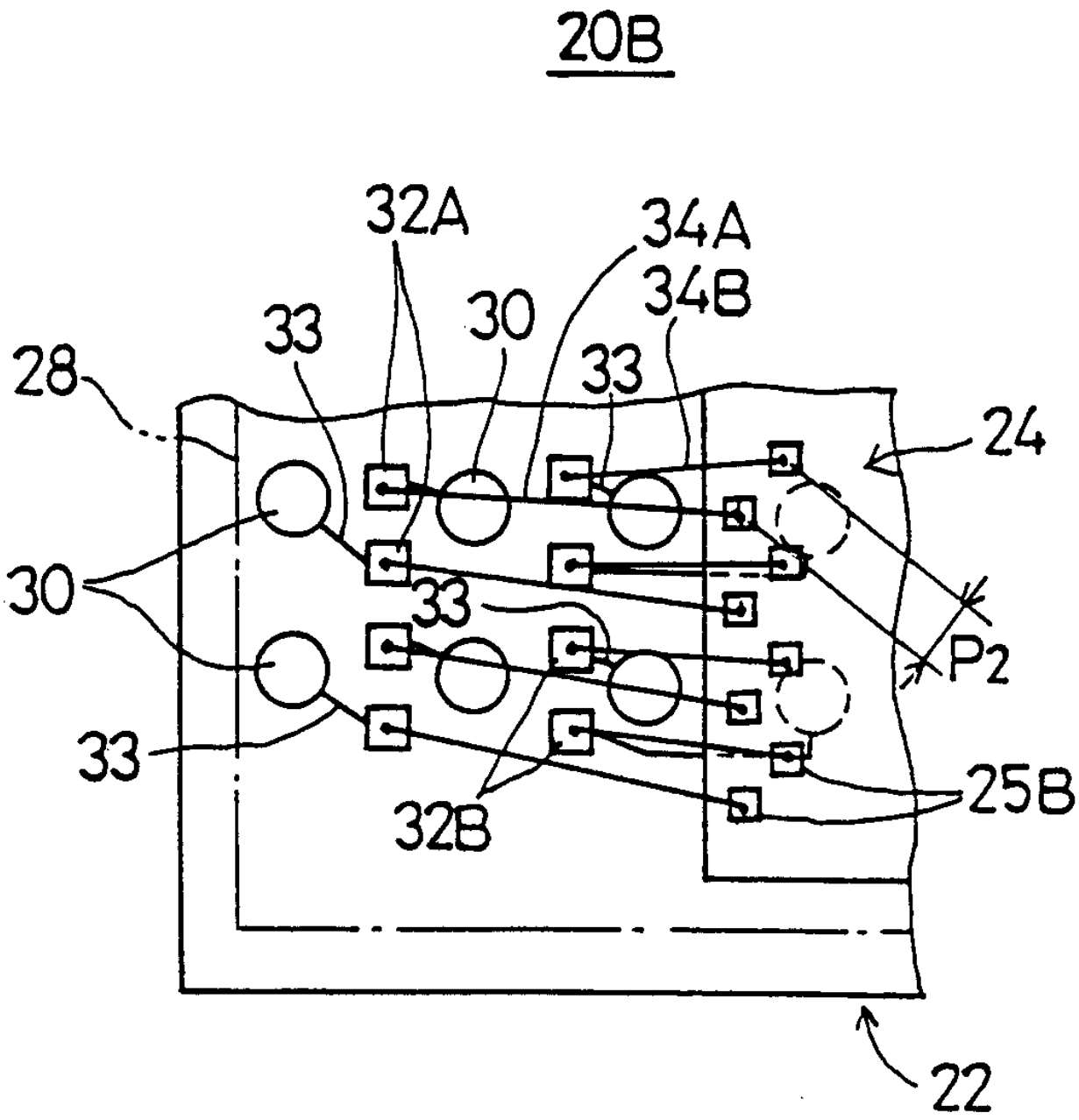
도면 2



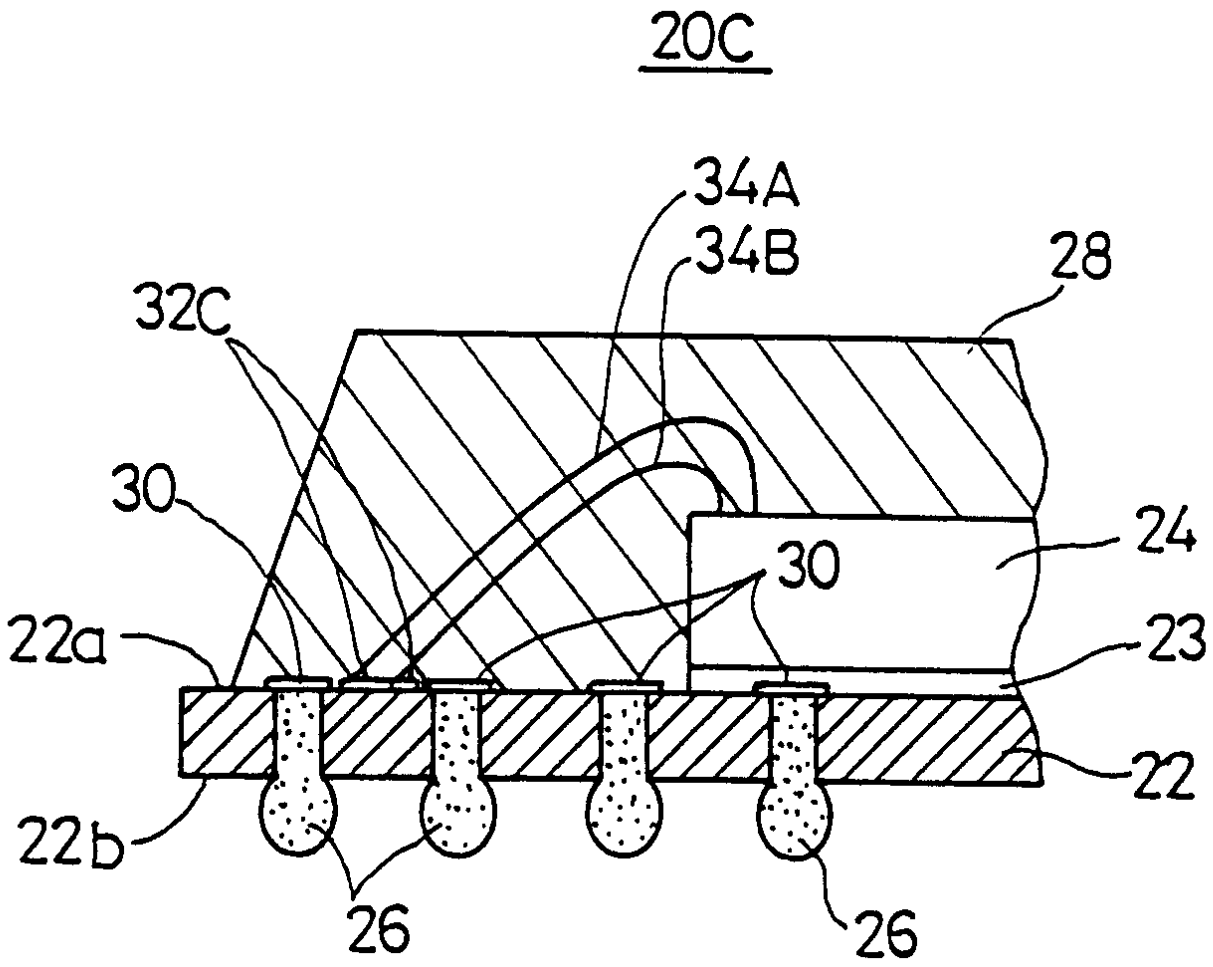
도면 3



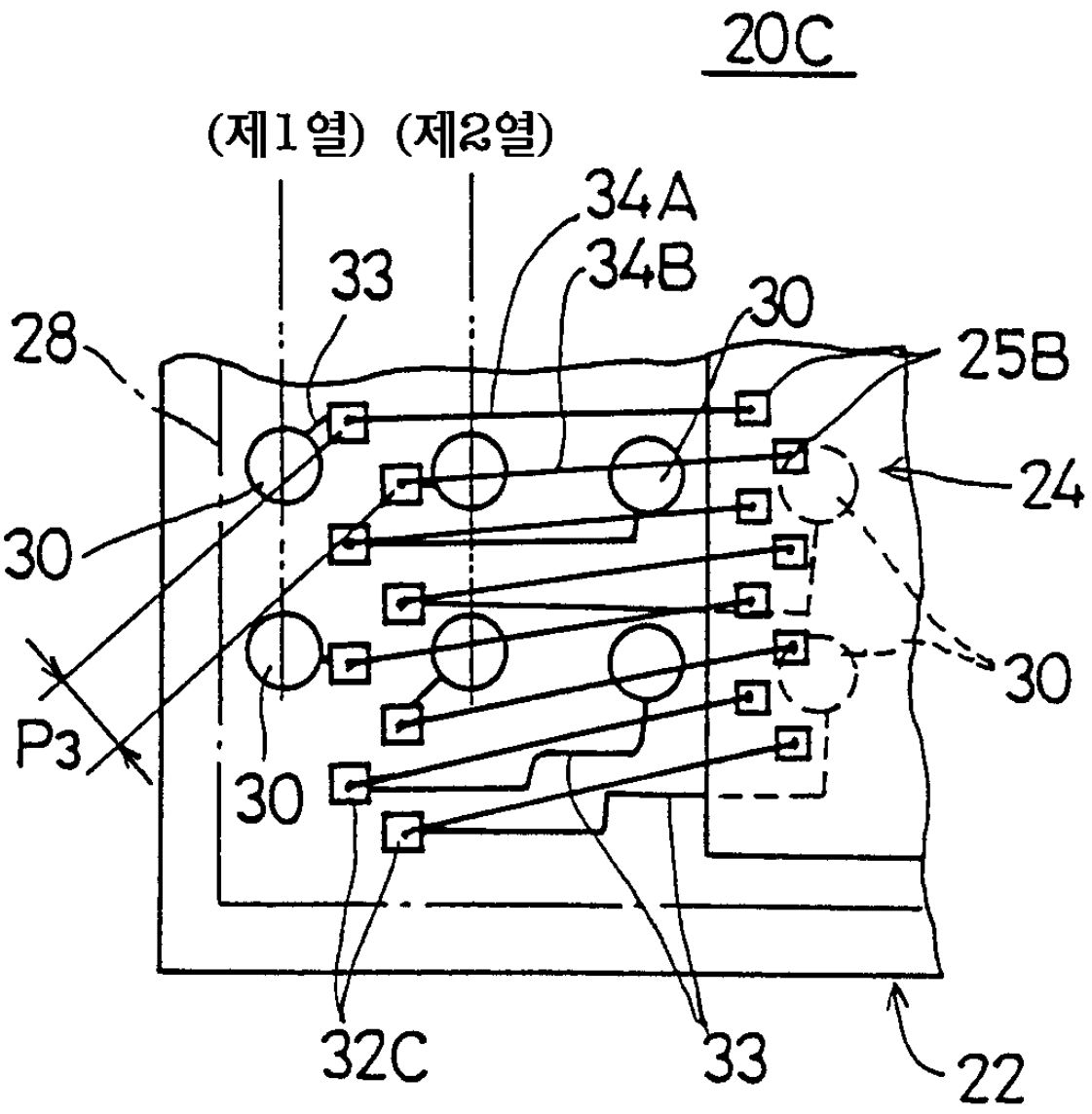
도면 4



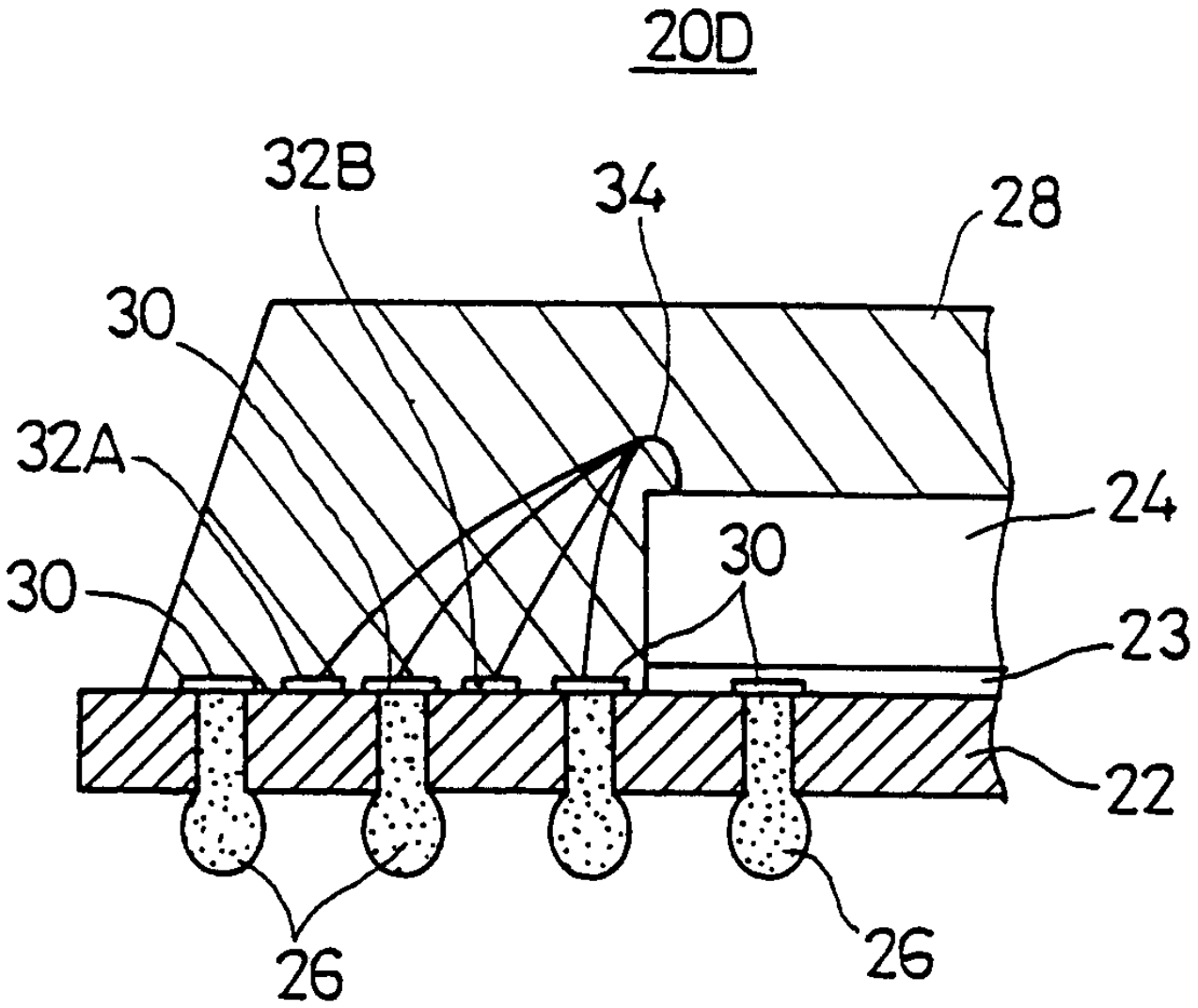
도면 5



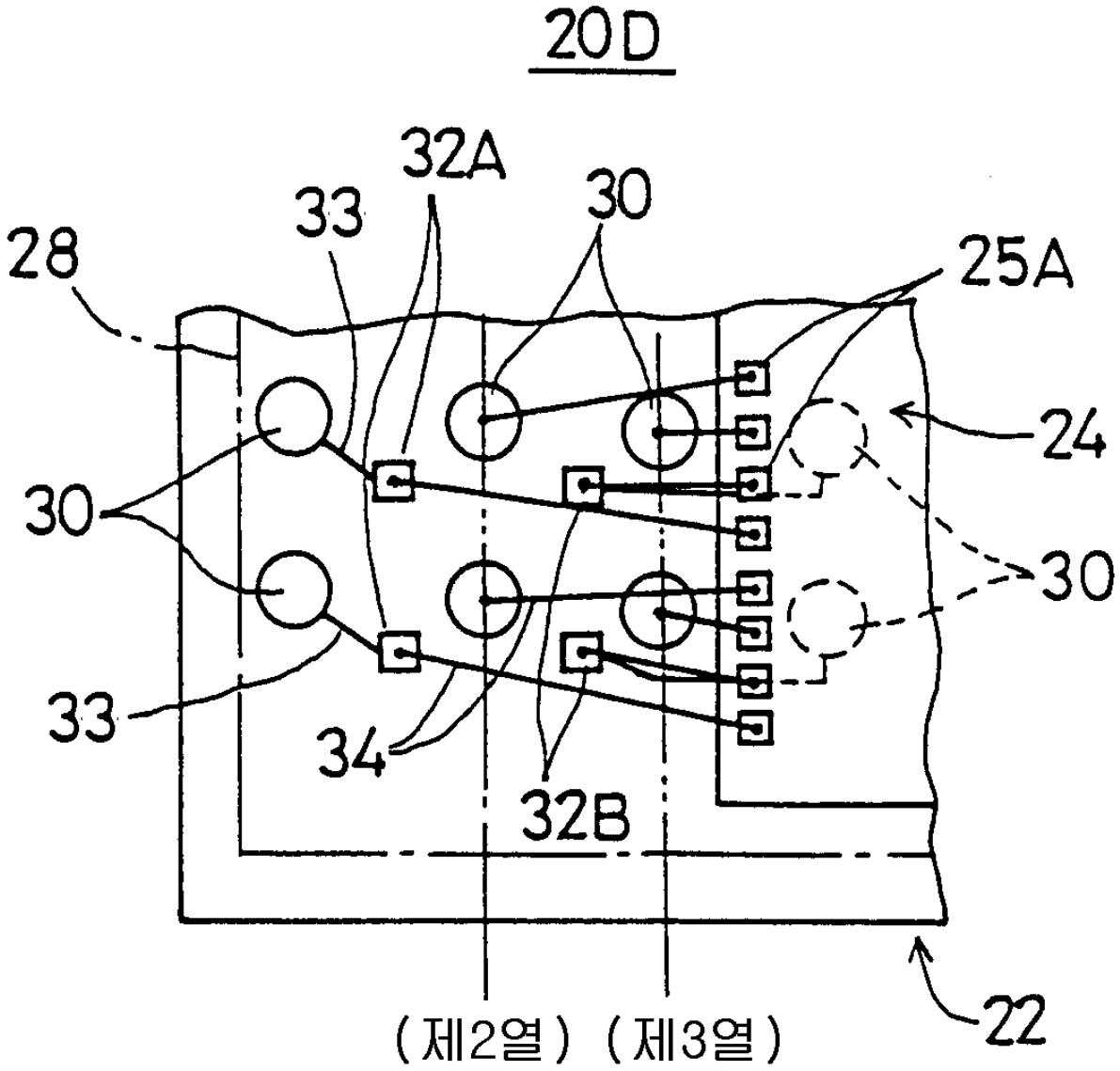
도면 6



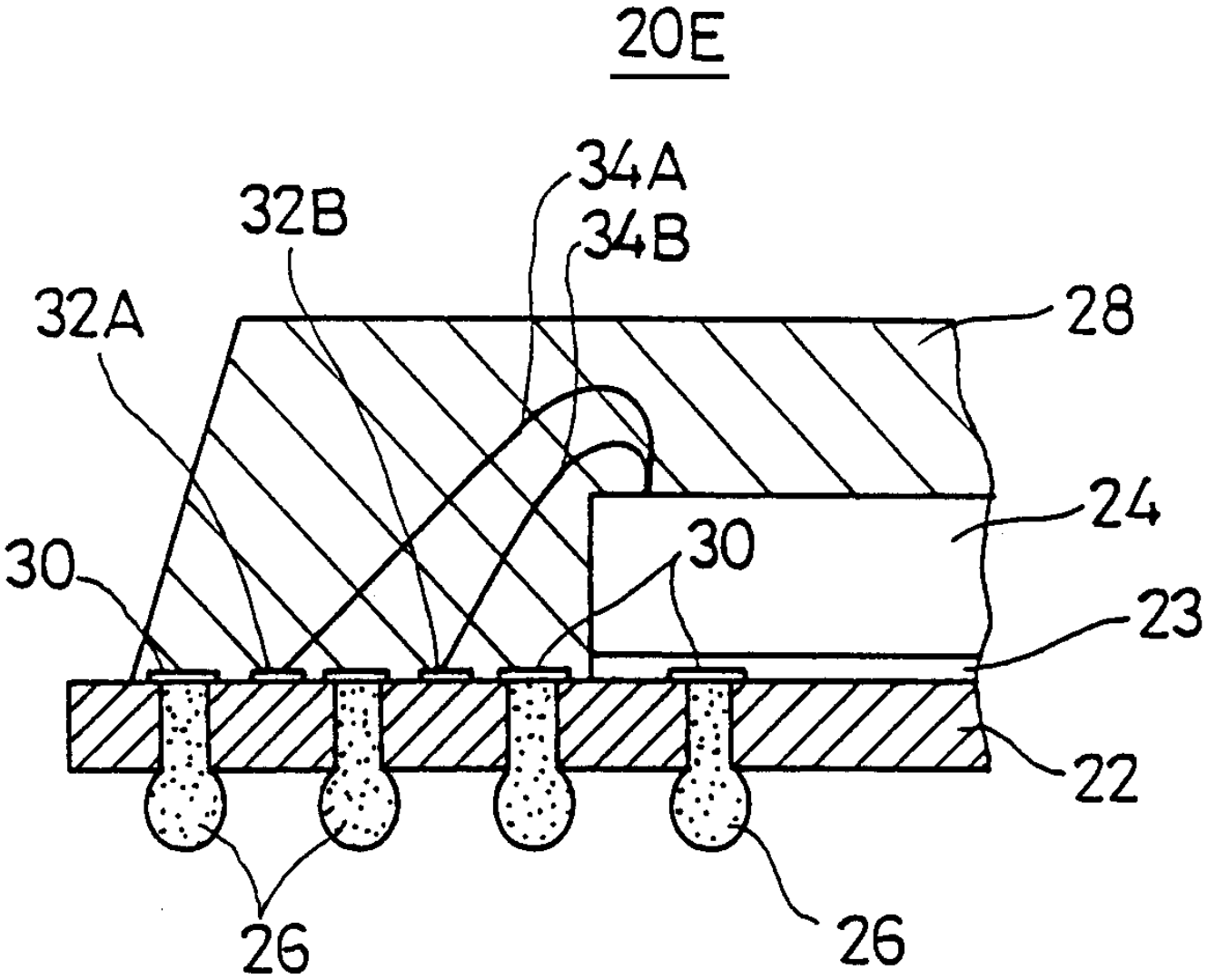
도면 7



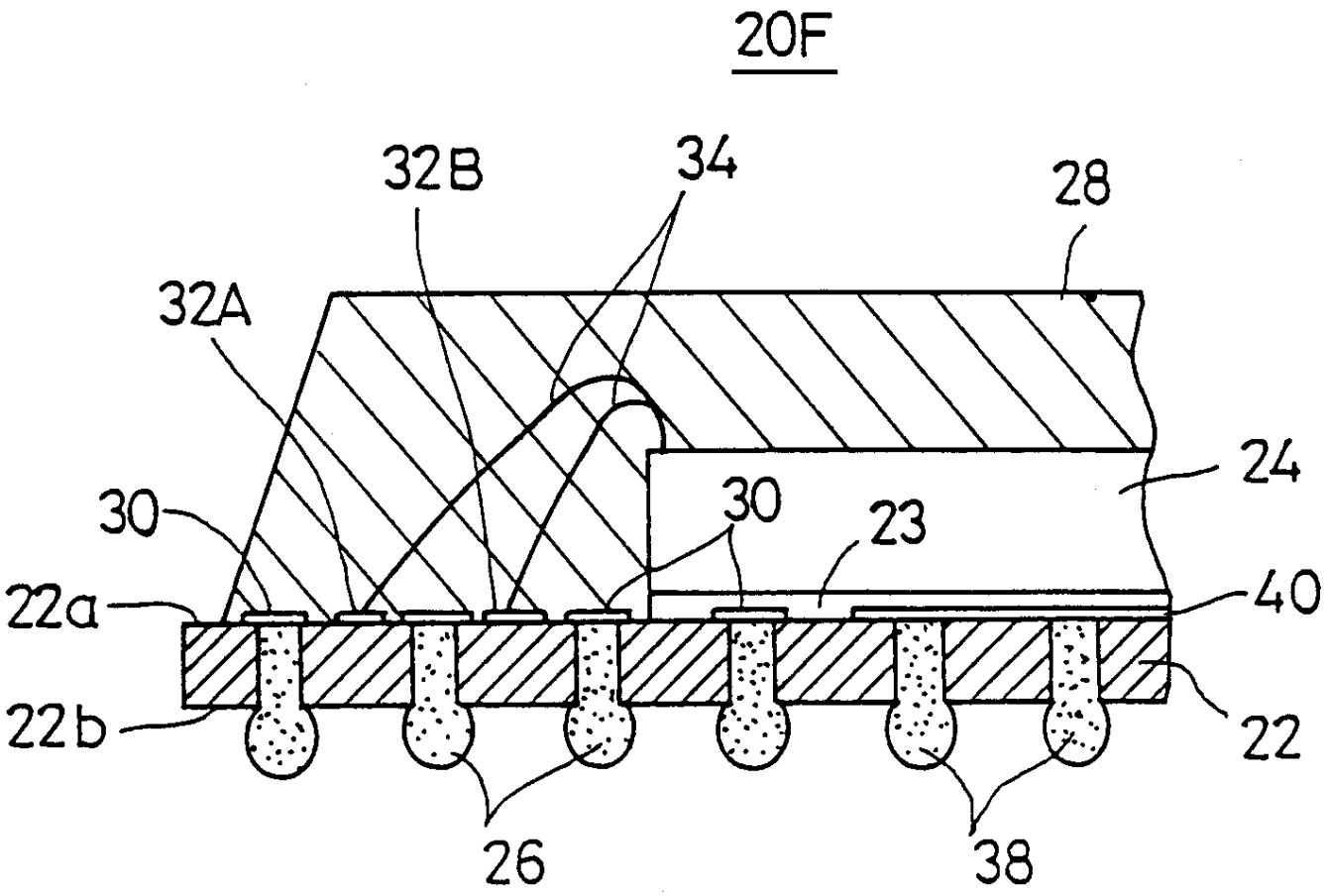
도면 8



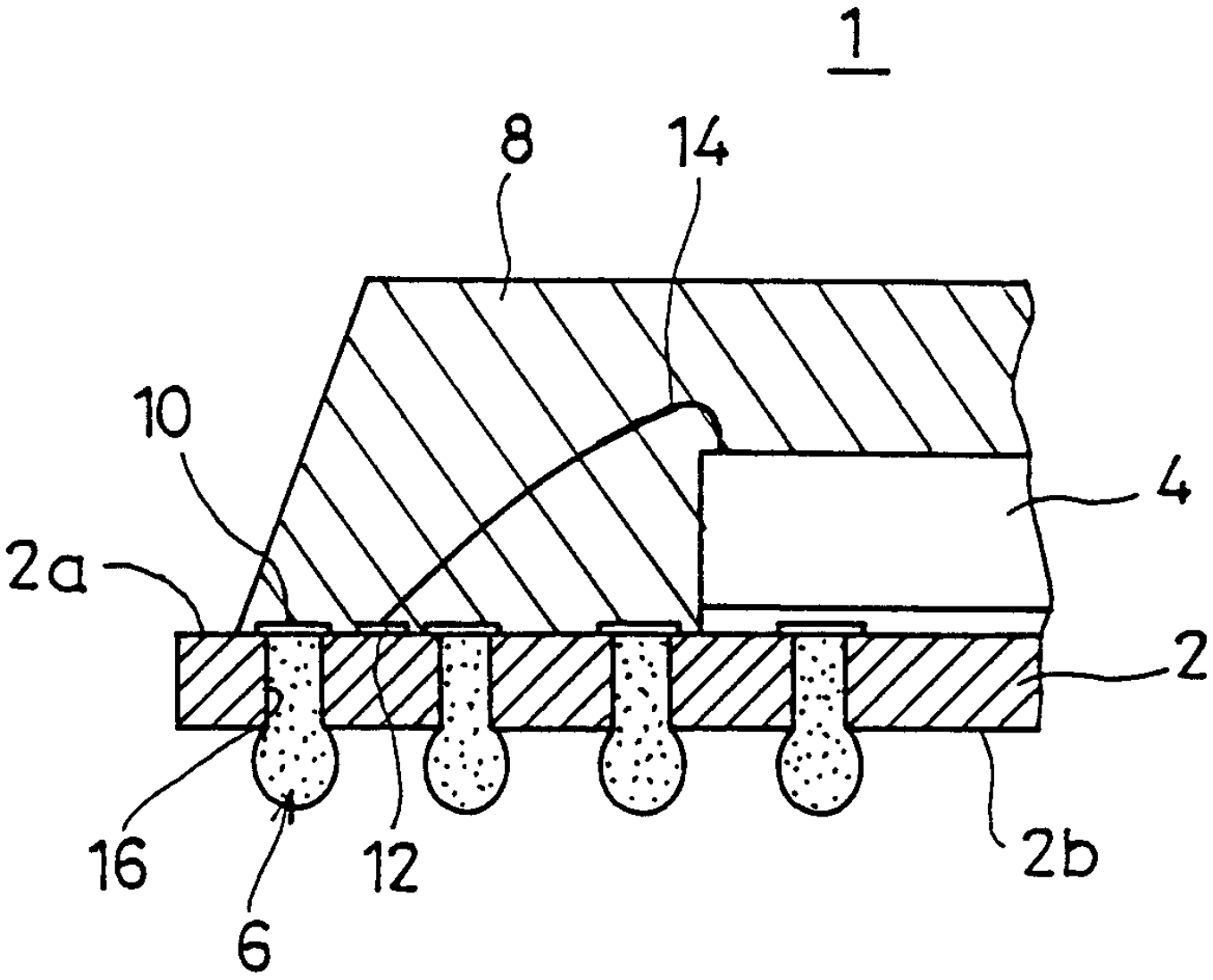
도면 9



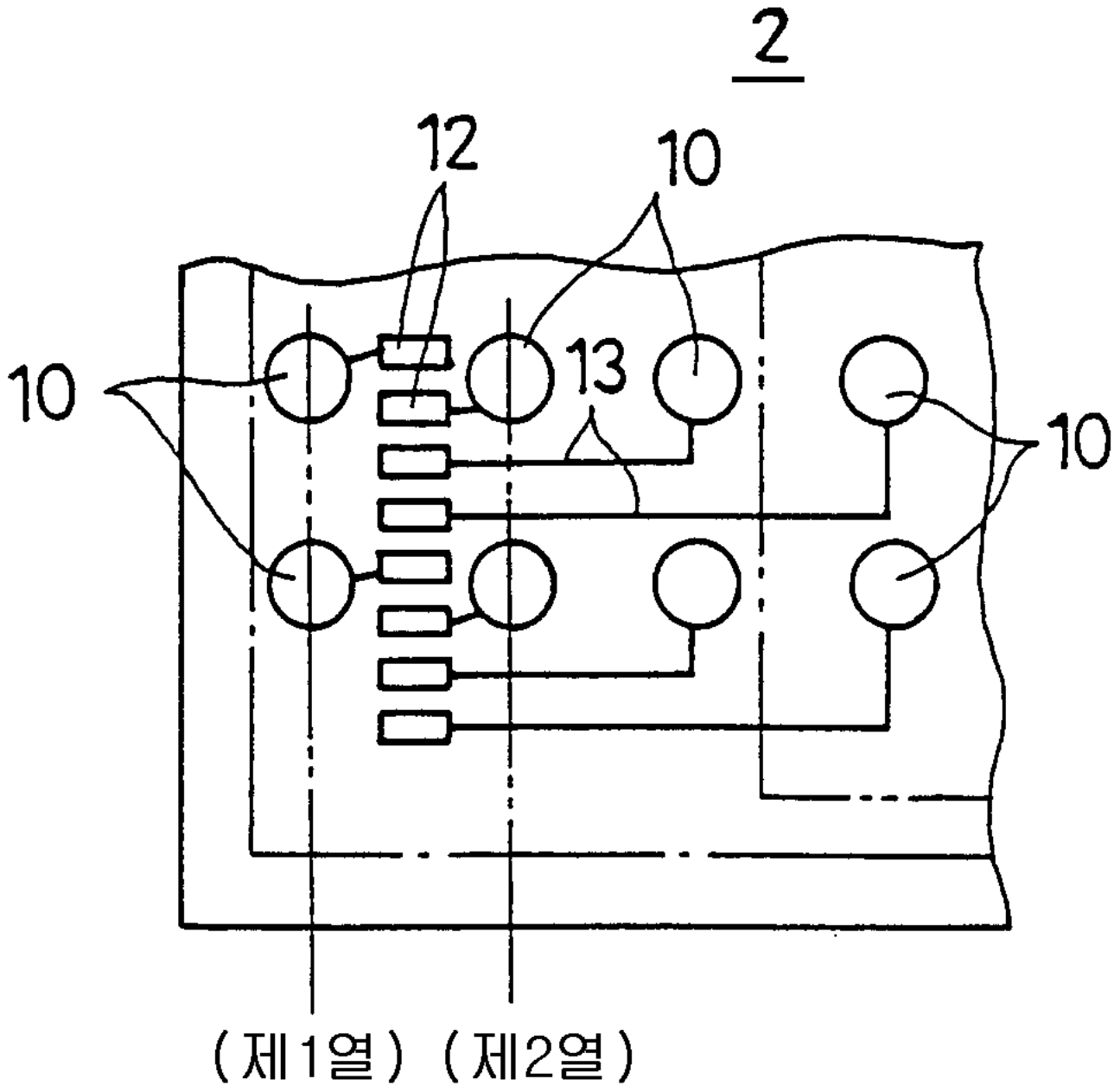
도면 10



도면 11



도면 12



도면 13

