(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4871255号
(P4871255)

(45)発行日　平成24年2月8日(2012.2.8)　(24)登録日　平成23年11月25日(2011.11.25)

(51)Int.Cl.		F I		
H01L 21/8247	(2006.01)	H01L	29/78	371
H01L 29/788	(2006.01)	H01L	27/10	434
H01L 29/792	(2006.01)	G03G	15/04	111
H01L 27/115	(2006.01)	H01L	29/06	601N
G03G 15/04	(2006.01)	H01L	29/06	601D

請求項の数 40　(全 41 頁)　最終頁に続く

(21)出願番号	特願2007-502948 (P2007-502948)
(86)(22)出願日	平成17年3月9日 (2005.3.9)
(65)公表番号	特表2007-528616 (P2007-528616A)
(43)公表日	平成19年10月11日 (2007.10.11)
(86)国際出願番号	PCT/US2005/007709
(87)国際公開番号	WO2005/089165
(87)国際公開日	平成17年9月29日 (2005.9.29)
審査請求日	平成20年2月12日 (2008.2.12)
(31)優先権主張番号	10/796,413
(32)優先日	平成16年3月10日 (2004.3.10)
(33)優先権主張国	米国(US)
(31)優先権主張番号	10/962,972
(32)優先日	平成16年10月12日 (2004.10.12)
(33)優先権主張国	米国(US)

(73)特許権者　505082822
ナノシス・インク.
アメリカ合衆国　カリフォルニア州　９４３０４　パロ　アルト　ハノヴァー　ストリート　２６２５
(74)代理人　100078282
弁理士　山本　秀策
(74)代理人　100062409
弁理士　安村　高明
(74)代理人　100113413
弁理士　森下　夏樹

最終頁に続く

(54)【発明の名称】ナノ対応可能なメモリデバイスおよび異方性電荷運搬アレイ

(57)【特許請求の範囲】

【請求項１】

（ａ）基板と、

（ｂ）該基板のソース領域と、

（ｃ）該基板のドレイン領域と、

（ｄ）該ソース領域と該ドレイン領域との間のチャネル領域と、

（ｅ）該チャネル領域の上方の一集団のナノエレメントを備えている電荷格納層であって、該ナノエレメントは、該基板上に膜状に溶液から堆積されたコロイド状金属ナノエレメントを含み、各ナノエレメントは、金属コアと、該コアを取り囲むシェルとを備え、該シェルは、酸化層を含む、電荷格納層と、

（ｆ）該基板と該電荷格納層との間に堆積された誘電体層と、

（ｇ）窒素を含有するバリア層であって、該誘電体層上かつ該電荷格納層に隣接して堆積または形成されたバリア層と、

（ｈ）該電荷格納層の上方または下方に形成されたゲートコンタクトと

を備える、メモリデバイス。

【請求項２】

各ナノエレメントは、１つ以上の表面官能基を含む、請求項１に記載のメモリデバイス。

【請求項３】

前記ゲートコンタクトは、複数の金属ナノ粒子からの除去を容易にするために高い仕事

関数の金属から作成される、請求項２に記載のメモリデバイス。
【請求項４】
前記ゲートコンタクトは、複数の金属ナノ粒子からの除去を容易にするためにｐドープされたポリシリコンから作成される、請求項２に記載のメモリデバイス。
【請求項５】
前記金属ナノエレメントは、ルテニウムから作成される、請求項１に記載のメモリデバイス。
【請求項６】
前記金属ナノエレメントは、金と、パラジウムと、イリジウムと、白金と、ルテニウムと、コバルトと、鉄白金合金と、ニッケルとを含む群より選択される金属から作成される、請求項１に記載のメモリデバイス。
【請求項７】
前記バリア層は、窒化ケイ素を含有する、請求項６に記載のメモリデバイス。
【請求項８】
前記バリア層は、酸窒化ケイ素を含有する、請求項１に記載のメモリデバイス。
【請求項９】
（ａ）基板と、
（ｂ）該基板のソース領域と、
（ｃ）該基板のドレイン領域と、
（ｄ）該ソース領域と該ドレイン領域との間のチャネル領域と、
（ｅ）該チャネル領域の上方の電荷格納領域であって、該電荷格納領域は、成長後に該電荷格納領域に堆積された一集団のナノエレメントを備えており、該ナノエレメントは、ルテニウムまたはイリジウムから作成され、各ナノエレメントは、コアと、該コアを取り囲むシェルとを備え、該シェルは、酸化層を含む、電荷格納領域と、
（ｆ）該基板と該電荷格納領域との間に堆積された誘電体層と、
（ｇ）該一集団のナノエレメントの上方または下方に形成されたゲートコンタクトと
を備える、メモリデバイス。
【請求項１０】
前記ナノエレメントは、金と、パラジウムと、イリジウムと、白金と、ルテニウムと、コバルトと、鉄白金合金と、ニッケルとを含む群より選択される金属から作成される実質的に球状のナノエレメントまたは量子ドットを含む、請求項９に記載のメモリデバイス。
【請求項１１】
前記ナノエレメントは、ルテニウムを含有する、請求項９に記載のメモリデバイス。
【請求項１２】
前記電荷格納領域に隣接して前記誘電体層上に堆積または形成された窒化物層をさらに備える、請求項９に記載のメモリデバイス。
【請求項１３】
前記窒化物層は、窒化ケイ素を含有する、請求項１２に記載のメモリデバイス。
【請求項１４】
（ａ）基板と、
（ｂ）該基板のソース領域と、
（ｃ）該基板のドレイン領域と、
（ｄ）該ソース領域と該ドレイン領域との間のチャネル領域と、
（ｅ）該チャネル領域の上方の一集団のナノエレメントを備えている電荷格納層であって、該ナノエレメントは、金属材料から作成され、各ナノエレメントは、金属コアと、該コアを取り囲むシェルとを備え、該シェルは、酸化層を含む、電荷格納層と、
（ｆ）該基板と該電荷格納層との間に堆積された第１の誘電体層と、
（ｇ）該電荷格納層の上方または下方に形成されたゲートコンタクトであって、Ｗ／ＴｉＮと、ＴｉＮと、Ｍｏと、ＴａＮと、$TaSi_xN$とを含む群より選択される少なくとも１つの金属から作成されるゲートコンタクトと、

（ｈ）該電荷格納層と該ゲートコンタクトとの間に堆積された第２の誘電体層と
を備える、メモリデバイス。
【請求項１５】
前記一集団のナノエレメントは、複数の金属ナノ粒子を含む、請求項１４に記載のメモリデバイス。
【請求項１６】
前記金属ナノエレメントは、ルテニウムまたはパラジウムから作成される、請求項１４に記載のメモリデバイス。
【請求項１７】
前記金属ナノエレメントは、金と、パラジウムと、イリジウムと、白金と、ルテニウムと、コバルトと、鉄白金合金と、ニッケルとを含む群より選択される金属から作成される、請求項１４に記載のメモリデバイス。
【請求項１８】
前記第１の誘電体層と直接接触し、かつ前記電荷格納層に隣接して堆積または形成されたバリア層をさらに備える、請求項１４に記載のメモリデバイス。
【請求項１９】
前記バリア層は、窒素含有化合物を含有する、請求項１８に記載のメモリデバイス。
【請求項２０】
前記窒素含有化合物は、窒化ケイ素を含む、請求項１９に記載のメモリデバイス。
【請求項２１】
前記窒素含有化合物は、酸窒化ケイ素を含む、請求項１９に記載のメモリデバイス。
【請求項２２】
前記バリア層は、アルミナを含有する、請求項１８に記載のメモリデバイス。
【請求項２３】
前記ゲートコンタクトは、ＴａＮまたはＴｉＮを含有する、請求項１４に記載のメモリデバイス。
【請求項２４】
メモリデバイスを製造する方法であって、
該方法は、
（ａ）基板内にソース領域とドレイン領域とを形成することにより、該ソース領域と該ドレイン領域との間にチャネル領域を規定することと、
（ｂ）少なくとも該基板の該チャネル領域の上方において、該基板上にトンネル誘電体層を形成することと、
（ｃ）窒素含有化合物を含有するバリア層であって、該トンネル誘電体層の上に横たわるバリア層を堆積または形成することと、
（ｄ）一集団の金属量子ドットを含む溶液を膜として該バリア層上に堆積することであって、各金属量子ドットが、金属コアおよびシェルを有するように形成され、該シェルは、各量子ドットの該コアを取り囲み、各量子ドットが、各ドットの該金属コアの周囲の酸化層として該シェルを形成するように酸化される、ことと
を包含する、方法。
【請求項２５】
前記バリア層は、窒化ケイ素を含有する、請求項２４に記載の方法。
【請求項２６】
前記バリア層は、酸窒化ケイ素を含有する、請求項２４に記載の方法。
【請求項２７】
前記バリア層は、アルミナを含有する、請求項２４に記載の方法。
【請求項２８】
前記金属量子ドットの上方にゲートコンタクトを形成することをさらに包含する、請求項２４に記載の方法。
【請求項２９】

前記金属量子ドットは、ルテニウムを含有する、請求項２４に記載の方法。
【請求項３０】
前記金属量子ドットは、イリジウムから作成される、請求項２４に記載の方法。
【請求項３１】
基板上に膜状に溶液から堆積される一集団の金属量子ドットを備えているメモリデバイスの電荷格納層を形成することと、
窒素含有化合物を含有するバリア層を該基板と該金属量子ドットとの間に形成することと
を包含し、
（ａ）各金属量子ドットが、金属コアおよびシェルを有するように形成され、該シェルは、各量子ドットの該コアを取り囲み、各量子ドットが、各ドットの該金属コアの周囲の酸化層として該シェルを形成するように酸化される、方法。
【請求項３２】
前記バリア層は、窒化ケイ素を含有する、請求項３１に記載の方法。
【請求項３３】
前記バリア層は、酸窒化ケイ素を含有する、請求項３１に記載の方法。
【請求項３４】
前記バリア層は、アルミナを含有する、請求項３１に記載の方法。
【請求項３５】
前記金属量子ドットの上に横たわるゲートコンタクトを形成することをさらに包含する、請求項３１に記載の方法。
【請求項３６】
前記金属量子ドットは、パラジウムを含有する、請求項３１に記載の方法。
【請求項３７】
前記金属量子ドットは、ルテニウムから作成される、請求項３１に記載の方法。
【請求項３８】
トンネル誘電体層は、二酸化ケイ素を含有し、前記バリア層を堆積または形成することは、二酸化ケイ素層を窒化することを包含する、請求項３１に記載の方法。
【請求項３９】
トンネル誘電体層は、二酸化ケイ素を含有し、前記バリア層を堆積または形成することは、二酸化ケイ素層上に前記窒素含有化合物を堆積することを包含する、請求項３１に記載の方法。
【請求項４０】
前記一集団の金属量子ドットを備えている前記溶液を膜として前記バリア層上に堆積することは、該溶液を該バリア層上でスピンキャストすることを包含する、請求項３１に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
（発明の背景）
本発明は、メモリデバイスに関する。より詳細には、ナノ対応可能なメモリデバイスおよび電荷運搬アレイに関する。
【背景技術】
【０００２】
産業界において、低コストの電子製品の開発、特に、低コストで大面積の電子デバイスの開発に、関心が持たれている。このような大面積の電子デバイスが利用可能になれば、民間アプリケーションから軍事アプリケーションに至る様々な技術分野で大変革が起こり得る。このようなデバイスのアプリケーションの例には、アクティブマトリックス液晶ディスプレイ（ＬＣＤ）用および他のタイプのマトリックスディスプレイ用駆動回路網、スマートライブラリ、クレジットカード、スマート価格・在庫管理タグ用の無線周波数識別

タグ、セキュリティ検査／監視システム、あるいは、高速道路交通監視システム、大面積センサアレイなどを含む。

【０００３】

したがって、高性能な導電性または半導体材料およびデバイス、ならびに、低コストで高性能な電子デバイスおよびコンポーネントの製造方法およびシステムが、必要とされている。

【０００４】

さらに、低い処理温度を要するプラスチックおよび他の基板に適用され得る高性能なＴＦＴも必要とされている。

【０００５】

また、高性能ＴＦＴとして使用され得るナノスケールの半導体デバイスを製造するための拡張性ある生産方法も必要とされている。

【０００６】

さらに、改善された持続性の長い不揮発性メモリデバイス、および、高解像度を有する印刷機器も必要とされている。

【発明の開示】

【課題を解決するための手段】

【０００７】

（発明の簡単な説明）

ナノ対応可能なメモリデバイスおよび異方性電荷運搬アレイに対する方法、システムおよび装置が記載される。本発明の実施形態に従うと、ナノエレメントは、空間的電荷ストレージの改善、方向性電荷移動の改善制御、および、横への電荷移動の低減を提供するための様々な方法を提供するように構成される。本発明のこれら特徴は、様々なデバイス、プロセス、構造などに適用され、これらのメリットを提供する。

【０００８】

本発明の第一の局面においては、改善メモリデバイスが記載される。メモリデバイスは、ソース領域、ドレイン領域およびチャネル領域を有する基板上に作成される。ナノエレメントの薄膜が、基板上でチャネル領域に形成される。ゲートコンタクトは、ナノエレメントの薄膜上に形成される。例示的な局面において、メモリデバイスは、フローティングゲートメモリデバイスである。ナノエレメントは、メモリデバイスにおける横への電荷移動を減らし、それゆえに、持続性の長いメモリストレージ、および、他の優れた性能を提供する。

【０００９】

さらなる局面において、メモリデバイスは、シングルステートあるいはマルチステートのメモリデバイスであり得る。マルチステートメモリデバイスの局面において、ナノエレメントは、ナノエレメントの薄膜の中に存在する。このナノエレメントは、複数の異なる電荷注入電圧を有し、メモリデバイスに対して、マルチステートを提供する。

【００１０】

本発明の別の実施形態においては、電子の選択個数を用いて、メモリデバイスをプログラミングする方法が開示される。このメモリデバイスは、複数の離散的なエネルギレベルを有する１つ以上の量子ドットまたは分子を備え、本方法は、複数の電子で、各ドットまたは分子の複数の離散的なエネルギレベルの少なくとも一部分を満たすステップと、次いで、この１つ以上の量子ドットまたは分子上に、電子が選択個数残るまで、この１つ以上の量子ドットまたは分子の１つ以上の離散的なエネルギレベルから、１つずつ個々の電子を除去するステップとを包含する。この電子を除去するステップは、例えば、メモリデバイスのチャネル領域とゲートコンタクトとの間に、複数の電圧準位を印加するステップを包含し、印加電圧準位は、１つ以上の離散的なエネルギレベルから、１個ずつ個々の電子を除去するのに十分である。また、この除去するステップは、メモリデバイスのチャネル領域とゲートコンタクトとの間に、閾値電圧準位を印加するステップを包含し、この印加電圧準位は、１つ以上の量子ドットまたは分子上に、電子が選択個数残るまでの時間にわ

たり、１つ以上の離散的なエネルギレベルから、１個ずつ個々の電子を除去するのに十分である。

【００１１】

複数の離散的なエネルギレベルを有する１つ以上の量子ドットまたは分子を備えるメモリデバイスの消去および保持時間を制御する方法も、さらに開示される。本方法は、一般的に、メモリデバイスの消去および保持時間を制御するために、メモリデバイスの少なくとも第一の状態と第二の状態との間の１つ以上の量子ドットまたは分子それぞれの上に格納された電子の平均個数を選択的に変化させるステップを包含する。例えば、第一の状態にあるメモリデバイスは、例えば、１ドット当たり約７個～１０個の電子を用いて、各ドットをプログラミングすることによって、主として、高速消去・短保持時間のデバイスとして動作され得る。第一の状態にあるメモリデバイスは、書き込み／読み出し／消去動作において、例えば、１ドット当たり格納された７個～１０個の電子の間となるように、各ドット上の電子数を制御することによって動作され得る。第二の状態にあるメモリデバイスは、例えば、１ドット当たり約０個～３個の電子を用いて、各ドットをプログラミングすることによって、主として、低速消去・長保持時間のデバイスとして動作され得る。例えば、第二の状態にあるデバイスは、書き込み／読み出し／消去動作において、例えば、１ドット当たり格納された０個～３個の電子の間となるように、各ドット上の電子数を制御することによって動作され得る。ドット上のこのような異なる電荷状態の欠如（ａｂｓｅｎｃｅ）の存在は、シングルステートデバイス（あるいは、マルチビットデバイス用のマルチステート）に対するロジックの１または０を示すために使用され得る。これは、所定のゲート電圧でトランジスタの出力を測定することによって見出される。

【００１２】

本発明の別の局面においては、改善された印刷機器について記載される。この印刷機器は、複数の導電性ナノエレメントを含むマトリックスを含む電荷拡散層を含み、このナノエレメントは、電荷拡散層の第一の表面と第二の表面との間で異方導電性である。電極が、この電荷拡散層の第二の表面と接続される。

【００１３】

さらなる局面において、光伝導層が、電荷拡散層と電極との間に結合される。光学素子（ｏｐｔｉｃｓ）が、光伝導層に光を導くように構成される。ここで、この光は、印刷されるべき対象物の潜像を規定する。

【００１４】

代替的な局面においては、ナノエレメントが光伝導性であり、光伝導層は必要とされない。光学素子が、光伝導性のナノエレメントに光を導くように構成される。ここで、この光は、印刷されるべき対象物の潜像を規定する。

【００１５】

さらなる局面においては、コーティング層が電荷拡散層上に形成される。コーティング層は、一片の紙のような目標印刷表面を受け取る。代替的に、この電荷拡散層の第一の表面は、目標印刷表面を直接受け取るように構成（例えば、研磨、硬化など）され、コーティング層は必要でなくなる。

【００１６】

このように、本発明の局面に従うと、ナノワイヤ、ナノロッド、ナノ粒子、ナノリボン、およびナノチューブの構成および薄膜は、様々な新たな将来性を可能とする。局面において、これらは、単結晶基板からガラスおよびプラスチック基板へのマイクロ電子機器の移動、デバイスレベルでのマクロ電子機器、マイクロ電子機器およびナノ電子機器の融合、および、単一基板上への異なる半導体材料の統合を含む。本発明のこれらの局面は、フラットパネルディスプレイからイメージセンサアレイに至るまでの既存のアプリケーションの幅広い分野に影響を与え、計算、ストレージおよび通信用のユニバーサルにフレキシブルで、ウェアラブルで、使い捨て可能なメモリデバイス、フラッシュメモリデバイスおよび他の種類のメモリデバイス、印刷機器などの新たな分野全体で利用可能である。

【００１７】

これらおよび他の目的、利点および特徴は、本発明の以下の詳細な説明から、容易に明らかにされる。上記の目的、利点および／または特徴はその一つずつが、その他とは独立に、特許性を付与され得る。

【発明を実施するための最良の形態】

【００１８】

本明細書に組み込まれ、本明細書の一部をなす添付図面は、本発明を示し、記載内容と相まって本発明の原理を明らかにし、さらに、当業者が本発明を利用できるようにするために一助となる。

【００１９】

本発明は、添付図面を参照しながら、以下に記載される。図面において、同じ参照番号は、同一または機能的に同じエレメントを示す。さらに、参照番号の一番左の数字は、その参照番号が初めて表れる図面を識別する。

【００２０】

（発明の詳細な説明）

本明細書に図示され、記載される特定のインプリメンテーションは、本発明の例示であり、本発明の範囲を一切限定するためのものではないことが理解されるべきである。実際のところ、簡略化のために、従来の電子工学、製造、半導体デバイス、ならびに、ナノワイヤ（ＮＷ）、ナノロッド、ナノチューブおよびナノリボンの技術およびシステムの他の機能的な局面（ならびに、システムの個々の動作コンポーネントのコンポーネント）は、本明細書においては、詳細に記載され得ない。さらに、簡略化のために、本発明は、ナノワイヤおよび半導体トランジスタデバイスに関して、記載されることが多い。さらに、ナノワイヤの本数およびナノワイヤの間隔は、議論される特定のインプリメンテーションに対して提供されるものであって、これらインプリメンテーションは限定されることは意図されず、ナノワイヤの本数および間隔は、その幅広い範囲でも、また使用され得る。ナノワイヤに関して言及されることが多いが、本明細書で記載される技術は、また、ナノロッド、ナノチューブおよびナノリボンにおいても適用可能であることが、理解されるべきである。さらに、本明細書で記載される製造技術は、任意の半導体デバイスタイプおよび他の電子コンポーネントタイプを製造するために使用され得ることも理解されるべきである。さらに、本技術は、電気システム、光学システム、消費者用電子機器、産業用電子機器、無線システム、宇宙向けアプリケーション、あるいは、任意の他のアプリケーションへの適用にも適している。

【００２１】

「ナノワイヤ」という用語は、本明細書で使用されるとき、任意の細長い導電性または半導体材料（あるいは本明細書で記載される他の材料）を一般に意味し、少なくとも一断面の寸法が、５００ｎｍ未満で、好ましくは１００ｎｍ未満であり、アスペクト比（長さ対幅）が、１０より大きく、好ましくは５０より大きく、さらに好ましくは１００より大きい。このようなナノワイヤの例には、国際公開第０２／１７３６２号、同第０２／４８７０１号、および、同０１／０３２０８号パンフレットに記載されているような半導体ナノワイヤ、および、このような寸法からなる他の細長い導電性構造または半導体構造を含む。

【００２２】

「ナノロッド」という用語は、本明細書で使用されるとき、ナノワイヤに類似する任意の細長い導電性または半導体材料（あるいは本明細書で記載される他の材料）を一般に意味するが、ナノワイヤより小さいアスペクト比（長さ対幅）を有する。２本以上のナノロッドは、その長手軸に沿って一緒に結合され得ることに留意すべきである。そして、結合されたナノロッドは、コンタクトまたは電極のような任意の２つ以上の点の間をずっとスパンできるようにするためである。代替的に、２本以上のナノロッドは、その長手軸に沿って、２本以上のナノロッドの両端間に小さなギャップが存在するようにして、一緒に結合されないが、実質的に整列（ａｌｉｇｎ）し得る。この場合、電子は、この小さなギャップを通過する（ｔｒａｖｅｒｓｅ）ために、１本のナノロッドから他のナノロッドへと

飛ぶ（ｈｏｐ）ことで、１本のナノロッドから他のナノロッドに流れ得る。電子が電極間を移動できるような経路を、２本以上のナノロッドが形成するように、これらナノロッドは、実質的に整列し得る。

【００２３】

「ナノ粒子」という用語は、本明細書で使用されるとき、ナノロッド／ナノワイヤに類似する任意の導電性または半導体材料（あるいは本明細書で記載される他の材料）を一般に意味するが、ナノロッドより小さいアスペクト比（長さ対幅）を有する。そのアスペクト比には、１：１も含む。２個以上のナノ粒子は、一緒に結合され得ることに留意すべきである。そして、結合されたナノ粒子は、コンタクトまたは電極のような任意の２つ以上の点の間をずっとスパンできるようにするためである。代替的に、２個以上のナノ粒子の間に小さなギャップが存在するようにして、これらナノ粒子は一緒に結合されないが、実質的に整列し得る。この場合、電子は、この小さなギャップを通過するために、１個のナノ粒子から他のナノ粒子へと飛ぶことで、１個のナノ粒子から他のナノ粒子に流れ得る。電子が電極間を移動できるような経路を、２個以上のナノ粒子が形成するように、これらナノ粒子は、（例えば、化学的に、電荷／電界によってなど）実質的に整列し得る。「ナノ粒子」は「量子ドット」とも称され得ることに留意すべきである。

【００２４】

本明細書に記載される例のインプリメンテーションは、主として、ＣｄＳおよびＳｉを使用するが、ナノワイヤおよびナノリボンに対して、他の種類の材料も使用され得る。例えば、Ｓｉ、Ｇｅ、Ｓｎ、Ｓｅ、Ｔｅ、Ｂ、Ｃ（ダイヤモンドを含む）Ｐ、Ｂ－Ｃ、Ｂ－Ｐ（ＢＰ６）、Ｂ－Ｓｉ、Ｓｉ－Ｃ、Ｓｉ－Ｇｅ、Ｓｉ－ＳｎおよびＧｅ－Ｓｎ、ＳｉＣ、ＢＮ／ＢＰ／ＢＡｓ、ＡｌＮ／ＡｌＰ／ＡｌＡｓ／ＡｌＳｂ、ＧａＮ／ＧａＰ／ＧａＡｓ／ＧａＳｂ、ＩｎＮ／ＩｎＰ／ＩｎＡｓ／ＩｎＳｂ、ＢＮ／ＢＰ／ＢＡｓ、ＡｌＮ／ＡｌＰ／ＡｌＡｓ／ＡｌＳｂ、ＧａＮ／ＧａＰ／ＧａＡｓ／ＧａＳｂ、ＩｎＮ／ＩｎＰ／ＩｎＡｓ／ＩｎＳｂ、ＺｎＯ／ＺｎＳ／ＺｎＳｅ／ＺｎＴｅ、ＣｄＳ／ＣｄＳｅ／ＣｄＴｅ、ＨｇＳ／ＨｇＳｅ／ＨｇＴｅ、ＢｅＳ／ＢｅＳｅ／ＢｅＴｅ／ＭｇＳ／ＭｇＳｅ、ＧｅＳ、ＧｅＳｅ、ＧｅＴｅ、ＳｎＳ、ＳｎＳｅ、ＳｎＴｅ、ＰｂＯ、ＰｂＳ、ＰｂＳｅ、ＰｂＴｅ、ＣｕＦ、ＣｕＣｌ、ＣｕＢｒ、ＣｕＩ、ＡｇＦ、ＡｇＣｌ、ＡｇＢｒ、ＡｇＩ、ＢｅＳｉＮ２、ＣａＣＮ２、ＺｎＧｅＰ２、ＣｄＳｎＡｓ２、ＺｎＳｎＳｂ２、ＣｕＧｅＰ３、ＣｕＳｉ２Ｐ３、（Ｃｕ，Ａｇ）（Ａｌ，Ｇａ，Ｉｎ，Ｔｌ，Ｆｅ）（Ｓ，Ｓｅ，Ｔｅ）２、Ｓｉ３Ｎ４、Ｇｅ３Ｎ４、Ａｌ２Ｏ３、（Ａｌ，Ｇａ，Ｉｎ）２（Ｓ，Ｓｅ，Ｔｅ）３、Ａｌ２ＣＯ、および、このような半導体の２つ以上の適切な組み合わせから選択される半導体材料からなる半導体ナノワイヤまたはナノリボンを含む。

【００２５】

特定の局面においては、半導体は、周期律表のＩＩＩ族からのｐ型ドーパント、周期律表のＶ族からのｎ型ドーパント、Ｂ、ＡｌおよびＩｎからなるグループから選択されるｐ型ドーパント、Ｐ、ＡｓおよびＳｂからなるグループから選択されるｎ型ドーパント、周期律表のＩＩ族からのｐ型ドーパント、Ｍｇ、Ｚｎ、ＣｄおよびＨｇからなるグループから選択されるｐ型ドーパント、周期律表のＩＶ族からのｐ型ドーパント、ＣおよびＳｉからなるグループから選択されるｐ型ドーパント、あるいは、Ｓｉ、Ｇｅ、Ｓｎ、Ｓ、ＳｅおよびＴｅからなるグループから選択されるｎ型ドーパント、以上のグループからなるドーパントを含み得る。

【００２６】

追加として、ナノワイヤまたはナノリボンは、カーボンナノチューブ、または、導電性または半導体有機高分子材料（例えば、ペンタセン（ｐｅｎｔａｃｅｎｅ）および遷移金属酸化物）から形成されるナノチューブを含み得る。

【００２７】

それゆえ、例示的な目的のために、本明細書全体を通して、「ナノワイヤ」という用語は言及されるが、本明細書での記述は、ナノチューブの使用（例えば、ナノワイヤのような構造で、その構造を介して軸方向に形成された中空チューブを有する構造）も、また含

むことを意図している。本明細書で記載される特性および利点を提供するために、ナノチューブは単独あるいはナノワイヤと組み合わせて、ナノワイヤに対して本明細書で記載されるようなナノチューブの組み合わせ／薄膜として形成され得る。

【００２８】

さらに、本発明のナノワイヤの薄膜は、半導体ナノワイヤおよび／またはナノチューブ、および／またはナノロッド、および／またはナノリボン、および／または異なる組成および／または構造的特性からなるこれら任意の組み合わせを組み込んだ「不均一」な膜であり得ることが示される。例えば、「不均一な膜」は、直径および長さが異なるナノワイヤ／ナノチューブ、および、異なる特性を有する不均一構造のナノワイヤおよび／またはナノチューブを含み得る。

【００２９】

本発明のコンテキストにおいて、詳細な記述の中心は、半導体基板上のナノワイヤ、ナノロッド、ナノチューブまたはナノリボンの薄膜の使用に関する。しかしながら、ナノ構造が取り付けられ得る基板は、均一な基板（例えば、シリコンまたは他の半導体材料、ガラス、石英、重合体の固体材料などのウェハ）、固体材料の大きな堅固なシート（例えば、ガラス、石英、ポリカーボネートやポリエチレンなどのようなプラスチック）を含むが、これらに限定されない任意の材料を備え得るし、あるいは、追加エレメント（例えば、構造的、成分的なエレメントなど）を備え得る。ポリオレフィン、ポリアミドなどのようなプラスチックのロールのようにフレキシブルな基板、透明な基板、あるいは、これら特徴の組み合わせも使用され得る。例えば、基板は、最終的に所望のデバイスの一部となる他の回路または構造的なエレメントを含み得る。このようなエレメントの特定の例としては、電気的コンタクト、ナノワイヤまたは他のナノスケールの導電性エレメントを含む他のワイヤまたは導電経路のような電気回路エレメント、光学および／または光電気エレメント（例えば、レーザ、ＬＥＤなど）、および、構造的エレメント（例えば、マイクロカンチレバ、ピット、ウェル、ポストなど）を含む。

【００３０】

実質的に「整列」または「配向」は、ナノワイヤの集合（ｃｏｌｌｅｃｔｉｏｎ）または集団（ｐｏｐｕｌａｔｉｏｎ）におけるナノワイヤの過半数の長手軸が、単一の方向の３０度以内に配向されることを意味する。過半数とは、ナノワイヤの数が５０％を上回ることと考えられ得るが、様々な実施形態においては、そのように配向されている過半数は、ナノワイヤの６０％、７５％、８０％、９０％あるいは他の割合のことも考えられ得る。特定の好ましい局面において、ナノワイヤの過半数は、所望の方向の１０度以内に配向される。追加の実施形態においては、ナノワイヤの過半数は、所望の方向の他の数値角度または角度範囲内に配向され得る。

【００３１】

本明細書で使用される空間的記載（例えば、「上に」、「下に」、「上向きに」、「下向きに」、「上部」、「下部」など）は、単に説明の目的に過ぎないこと、および、本発明のデバイスは、任意の方向または方法で空間的に整列され得ることが、理解されるべきである。

【００３２】

Ｉ．ナノ対応可能な電化運搬アレイの実施形態

本発明の実施形態に従うと、空間的電荷ストレージおよび／または制御された方向への電荷移動を可能とするために、ナノ材料／ナノエレメント（例えば、ナノワイヤ、ナノロッド、ナノ粒子など）は、異方導電性を提供するような方法で、成長および／または堆積される。一実施形態において、ナノエレメントが材料内に存在することで、横への電荷移動がほとんどないか、全くない材料の中に空間的電荷ストレージを可能とする。さらなる実施形態において、ナノエレメントが材料内に存在することで、１つ以上の所望の方向に導電性があるが、他の方向に導電性がほとんどないか、全くない材料を提供する。これは、フローティングゲートメモリデバイス（低電圧向け改善ゲート構造、保持改善、および、潜在的なストレージ容量増加を伴う）、複写機／レーザプリンタ（解像度／感度および

コストの改善）、および、他のアプリケーションを含む電荷ベースの多数のアプリケーションにおいて、メリットをもたらし得る。説明の目的のために、本発明のこれら局面を使用する印刷機器およびフローティングゲートメモリデバイスの実施形態の例が、以下に、さらに詳細に記載される。しかしながら、本発明の空間的電荷ストレージおよび／または方向性電荷移動の局面は、数多くのさらなるアプリケーションに適用可能であることも理解されるべきである。これらのさらなるアプリケーションも、また、本発明の範囲と精神の中に含まれる。

【００３３】

（ａ．印刷機器の実施形態）

上述のように、本発明の空間的電荷ストレージの強化、方向性電荷移動、および、近接電荷移動低減の局面は、印刷におけるアプリケーションに対しては適用可能である。このような印刷機器／アプリケーションの例となる実施形態が、この小節に記載される。

【００３４】

典型的な印刷機器は、光源および光学コンポーネント（「光学素子（ｏｐｔｉｃｓ）」）を含む。光学素子は、文書および／または図面のような印刷／複写されるべき対象の潜像を含む光源からの光を、現像ユニットに導く。現像ユニットは、典型的に感光性部分を含み、一般的にドラム、ベルトまたはプレートとして形成される。潜像を含む光は、現像ユニットの帯電された感光性部分の表面上に静電潜像を形成するために使用される。トナーが、トナーカートリッジから供給され、静電潜像に付加され、その結果、潜像がトナーの予備画像（ｐｒｅｌｉｍｉｎａｒｙ　ｉｍａｇｅ）として形成される。印刷用紙は、感光性表面の上に（典型的にはローラによって）移動し、トナーの予備画像が、印刷用紙に転写される。

【００３５】

図７は、複写機またはレーザプリンタのような印刷機器用の現像ユニット７００の一部分の断面図を示す。現像ユニット７００は、従来型プリンタの現像ユニットであり、本発明の空間的電荷ストレージ強化および／または近接電荷移動低減の局面を含まない。図７に示すように、現像ユニット７００は、材料または層のスタックとして形成される。現像ユニット７００は、電極７０２、光伝導体層７０４、電荷拡散層７０６およびコーティング層７０８を含む。光伝導体層７０４は、電極７０２と電荷拡散層７０６の下部表面７１２との間に結合される。コーティング層７０８は、電荷拡散層７０６の上部表面７１０上に形成される。

【００３６】

電極７０２は、アルミニウムのような金属から典型的には製造される。電位差は、電極７０２と上部表面７１０／コーティング層７０８との間で維持される。例えば、電位差は、１００ボルトを含む任意の印加可能な値であり得る。

【００３７】

図８は、現像ユニット７００の動作例を示す。図８の例において、印刷像は、紙に印刷されることが望まれている。印刷機器の光学コンポーネント（「光学素子」）が、光伝導体層７０４に、印刷潜像を定義する光８０２を導く。印刷パターンの明および暗のエリアに対応する異なる伝導度の層８０６が、光伝導体層７０４の中に形成される。これら伝導度の差は、光伝導体層７０４から電荷拡散層７０６に移動して、潜像を表す電荷を生じる。例えば、電荷８０４は、図８に（破線の矢印として）示され、移動する電荷の少なくとも一部を表す。電荷８０４は、電荷拡散層７０６を介する経路８０８内を、外側層または表面（例えば、コーティング層７０８）に移動する。

【００３８】

トナーまたは他の印刷材料は、コーティング層７０８に付与される。トナーは、コーティング層７０８の帯電したエリア（例えば、電荷８０４によって帯電したエリア８１０）に付着する。紙のシートまたは他の対象物の印刷表面は、トナーを受け取るために、コーティング層７０８に付与され得る。トナーは、トナーが付着するコーティング層７０８のエリア（例えば、エリア８１０）に対応する対象物の印刷表面のエリア内で受け取られる

。結果として得られる印刷像の解像度は、電荷拡散層７０６内における電荷の横への拡散（すなわち、図８に示す光８０２の方向に垂直な方向への拡散）によって、決定される。この電荷８０４の横への拡散は、電荷８０４がコーティング層７０８に近づくにつれ、経路８０８の幅が増えていくことで示される。電荷の横拡散が多く生じれば生じるほど、その結果得られる印刷対象物で可能な解像度は低下する。

【００３９】

本発明の実施形態は、現像ユニット７００と比べたときの解像度改善を可能とする。図９は、本発明の実施形態の例に従う印刷機器用の現像ユニット９００の一部分の断面図である。図９に示すように、現像ユニット９００は、図７の現像ユニット７００に概ね類似している。しかしながら、現像ユニット９００は、ナノエレメント９２０を含む電荷拡散層９０２を含む。このナノエレメント９２０は、解像度向上のために、電荷８０４の横拡散の減少を提供する。

【００４０】

光伝導体層７０４は、電極７０２と電荷拡散層９０２の下部表面９１２との間で結合される。コーティング層７０８は、電荷拡散層９０２の上部表面９１０上に形成される。図９に示すように、ナノエレメント９２０は、電荷拡散層９０２内で、上部表面９１０と下部表面９１２との間に電気伝導性を提供するように構成される。

【００４１】

図１０は、現像ユニット９００の動作例を示す。図１０に示すように、光８０２は、光伝導体層７０４に向かって導かれる。光８０２は、任意の適切な光源（例えば、レーザ、１つ以上の発光ダイオード（ＬＥＤ）、液晶ダイオードアレイまたは他の光源）によって生成され得ることに留意すべきである。任意のタイプの光学素子（１つ以上のレンズ、プリズムおよび／またはミラーを含む）が、必要に応じて、光伝導体層７０４に向かって光８０２を導くために使用される。デジタル光処理（ＬＤＰ）（例えば、デジタルマイクロミラーデバイス（ＤＭＤ）を含む）が使用され得る。

【００４２】

図１０に示すように、電荷８０４は、経路１００２の幅内でコーティング層７０８に、電荷拡散層９０２を介して移動する。経路１００２は、図８に示す経路８０８に比べ、電荷８０４の横拡散が少ないことを示す。トナーは、コーティング層７０８の帯電したエリア（例えば、エリア１００４）に付着する。こうして、現像ユニット９００によって生成された印刷画像は、従来の現像ユニット７００によって生成された印刷画像よりも、さらに高い可能な解像度を有する。

【００４３】

電荷拡散層９０２は、ナノエレメント９２０を含む。ナノエレメント９２０は、電荷拡散層９０２を介して、電荷を上部表面９１０のエリアに移動させるために、上部表面９１０と下部表面９１２との間で、異方性（例えば、一方向）の電気伝導性があるように構成される。その結果、電荷拡散層９０２は、異方導電性を有し、電荷の横への流れをほとんど、あるいは、全く有しない。ナノエレメント９２０の異方性の性質は、現像ユニット９００の解像度強化を提供する。なぜなら、電荷は横方向に拡がらず、上部表面９１０と下部表面９１２との間で、垂直方向にしか拡がらないからである。

【００４４】

図１１は、電荷拡散層９０２の一部分の断面図をさらに詳細に示し、本発明の実施形態に従う複数のナノエレメントの例を示す。図１１の例に示すように、ナノエレメントは、ナノワイヤ１１０２である。ナノワイヤ１１０２は、非電気伝導性（すなわち、電気的絶縁）マトリックス１１０４の中に保たれる。ナノワイヤ１１０２は、電荷拡散層９０２を介して、上部表面９１０のエリアに電荷を移動するために、上部表面９１０と下部表面９１２との間で、異方導電性となるように、マトリックス１１０４の中に構成される。ナノワイヤ１１０２は、その長さ方向に沿って、それぞれ伝導性であるため、その長さ方向のそれぞれに沿って、電荷を移動できる。さらに、ナノワイヤ１１０２は、互いに平行であり、他のナノワイヤ１１０２と接触していない（あるいは、接触するナノワイヤ１１０２

の量は無視可能または許容可能な量である）ために、電荷拡散層９０２内で、電荷が横方向に移動または拡散する容量はほとんどないか、あるいは、全くない。

【００４５】

図１２は、例となる実施形態に従う電荷拡散層９０２の一部分の例となる平面図を示す。図１２に示すように、ナノワイヤ１１０２は、均一な導電性ナノワイヤ（例えば、金属性または単結晶タイプのナノワイヤ）である。

【００４６】

図１３は、別の例となる実施形態に従う電荷拡散層９０２の一部分の例となる平面図を示す。図１３に示すように、ナノワイヤ１１０２のそれぞれは、コア１３０２、および、取り巻くシェル１３０４を有し、以下に記載するように、図３に示すナノワイヤ３１０、図４に示すナノワイヤ４２０と類似している。コア１３０２およびシェル１３０４は、ナノワイヤ１１０２の異なるドーピングされた領域でもあり得るし、あるいは、異なる材料でもあり得る。

【００４７】

一実施形態においては、シェル１３０４は、ナノワイヤ１１０２に対する電気的絶縁外側層となり得る。このような実施形態において、ナノワイヤ１１０２は、異方導電性を依然保持しながら、近接のナノワイヤ１１０２が互いに接触するように稠密充填され得る。例えば、図１４は、電荷拡散層９０２の断面図を示す。ここで、ナノワイヤ１１０２は稠密充填され、図１３に示すシェル１３０４と同様に、電気的絶縁外側層を有する。このような実施形態において、電荷拡散層９０２内のナノワイヤ１１０２の密度によって、比較的多量の電荷が、下部表面９１２から上部表面９１０に導かれる。さらに、ナノワイヤ１１０２は、電気的絶縁外側層を有するので、電荷拡散層９０２内で、横への電荷の拡がりは、ほとんどないか、あるいは、全くない。

【００４８】

任意のナノエレメントのタイプ、または、その組み合わせは、異方導電性を提供するために、電荷拡散層９０２内に存在し得ることに留意すべきである。例えば、図１５は、例となる電荷拡散層９０２の一部分をさらに詳細に示す断面図であり、本発明の実施形態に従う例となる複数のナノエレメントを示す。図１５の例に示すように、ナノエレメントは、ナノロッド１５０２である。ナノロッド１５０２は、電荷の横への拡散がほとんどないか、全くないまま、電荷拡散層９０２にわたって異方導電性を提供するように構成されている。図１５に示すように、ナノロッド１５０２の層またはスタックは、上部表面９１０と下部表面９１２との間に電気的接続を形成するために、使用される。例えば、３つのナノロッド１５０２ａ、１５０２ｂおよび１５０２ｃは、上部表面９１０下部表面９１２との間に単一の電気的経路を形成するために、連続的な接触または緊密的な配置である。さらに、ナノロッド１５０２は、均一であり得て、および／または、図１２および図１３のナノワイヤ１１０２と類似したコア／シェル構造を有し得るし、代替的に、図１４のナノワイヤ１１０２と類似した稠密でもあり得る。多数のナノロッド１５０２は、図１５の電荷拡散層９０２の表面間で電気的接続を形成するために使用されるが、ナノロッド１５０２の単一層（ｓｉｎｇｌｅ　ｌａｙｅｒ）も代替的に使用され得ることは、理解されるべきである。

【００４９】

他の例として、図１６は、例となる電荷拡散層９０２の一部分をさらに詳細に示す断面図であり、本発明の実施形態に従い、ナノエレメントとしてのナノ粒子１６０２を示す。ナノ粒子１６０２は、電荷の横への拡散がほとんどないか、全くないまま、電荷拡散層９０２にわたって異方導電性を提供するように構成される。図１６に示すように、ナノ粒子１６０２の層またはスタックは、上部表面９１０と下部表面９１２との間に電気的接続を形成するために使用される。例えば、４つのナノ粒子１６０２ａ、１６０２ｂ、１６０２ｃおよび１６０２ｄは、上部表面９１０と下部表面９１２との間に単一の電気的経路を形成するために、直列に接触または緊密的な配置である。さらに、ナノ粒子１６０２は、均一であり得て、および／または、図１２および図１３のナノワイヤ１１０２と類似したコ

ア／シェル構造を有し得るし、代替的に、図１４のナノワイヤ１１０２と類似した稠密充填でもあり得る。多数のナノ粒子１６０２が、図１６の電荷拡散層９０２の表面間で電気的接続を形成するために使用されるが、ナノ粒子１６０２の単一層も代替的に使用され得ることは、理解されるべきである。

【００５０】

電荷拡散層９０２は、任意のナノエレメントの堆積または成長技術を含む様々な方法によって形成され得る。例えば、ナノワイヤまたはナノロッドの場合、ナノワイヤまたはナノロッドは、高い導電性の所望の方向に成長され得るし、あるいは、ナノワイヤ／ナノロッドは、成長後またはその他の形成後に所望の方向に、堆積または配列され得る。

【００５１】

実施形態において、マトリックス１１０４は、液体状態で適用され得る。次いで、ナノエレメントがそのエネルギを最小限にする方向に配向するように、適切な電界が、所望の導電性の方向に印加され得る。これは、ナノエレメントの単一層、あるいは、図１５および図１６に示されるようなエレメントのスタック／層を含み得る。マトリックス１１０４は、次いで、電荷拡散層９０２を形成するために、硬化（ｃｕｒｅ）、凝固（ｆｒｏｚｅｎ）、架橋結合（ｃｒｏｓｓ－ｌｉｎｋ）、あるいは、固体化され得る。

【００５２】

ナノエレメントは、導電性材料から成長され得ること、あるいは、ナノエレメント材料は、ナノエレメントの成長／形成後に導電性になるためにドーピングされ得ることに留意すべきである。ナノエレメントは、金属（例えば、銀または亜鉛）、金属／合金の組み合わせ、半導体（有機伝導体または半導体を含む）、および／または、本明細書のどこかに記載されたか、記載なくとも当業者には周知である任意の他の材料を含む様々な材料から製造され得る。

【００５３】

マトリックス１１０４は、ガラス、プラスチック、高分子、エポキシまたは他の絶縁材料のような任意の絶縁材料であり得る。マトリックス１１０４に適した材料、および、ナノワイヤを含む複合材料の形成を含むナノエレメント／マトリックスの組み合わせの形成に対するさらなる詳細な記述は、米国特許出願第６０／４９１，９７９号（発明の名称「Ｓｙｓｔｅｍ ａｎｄ Ｐｒｏｃｅｓｓ ｆｏｒ Ｐｒｏｄｕｃｉｎｇ Ｎａｎｏｗｉｒｅ Ｃｏｍｐｏｓｉｔｅｓ ａｎｄ Ｅｌｅｃｔｒｏｎｉｃ Ｓｕｂｓｔｒａｔｅｓ Ｔｈｅｒｅｆｒｏｍ」、２００３年８月４日出願）を参照のこと。

【００５４】

図１７Ａは、本発明の別の例となる実施形態に従う現像ユニット１７００の一部分の断面図を示す。図１７Ａに示すように、現像ユニット１７００は、図９の現像ユニット９００に、概ね類似している。しかしながら、現像ユニット１７００は、光伝導体層７０４を必要としない。その代わりに、電荷拡散層１７０２のナノエレメント９２０は、光伝導性である。光８０２を受光すると、光伝導性ナノエレメント９２０は、電荷８０４を生成する。さらに、光伝導性ナノエレメント９２０は、電荷８０４を上部表面９１０に移動させる。このようにして、電荷拡散層１７０２は、電荷拡散層９０２および光伝導体層７０４の双方の機能を実行する。

【００５５】

現像ユニット１７００を含む印刷機器は、白黒プリンタとして動作し得る。代替的に、光伝導性ナノエレメントは、カラー印刷機器（例えば、カラー複写機またはレーザプリンタ）での使用のために、１つ以上の色（すなわち、波長）に対してチューニングされ得る。

【００５６】

図１７Ｂは、本発明の別の例となる実施形態に従う現像ユニット１７５０の一部分の断面図を示す。図１７Ｂに示すように、現像ユニット１７５０は、図９の現像ユニット９００に、概ね類似している。しかしながら、現像ユニット１７５０は、コーティング層７０８を必要としない。その代わりに、電荷拡散層１７５２の上部表面１７６０が、コーティ

ング層として機能する。例えば、電荷拡散層１７５２の上部表面１７６０は、コーティング層７０８と同様に、平滑に硬くなるように、研磨および／または他の処理をされ得る。このようにして、印刷機器の動作中に、上部表面１７６０は、紙または他の対象物の印刷表面を連続的に受けるのに十分耐えられる。

【００５７】

図１８は、本発明の別の例となる実施形態に従う現像ユニット１８００の一部分の断面図を示す。図１８に示すように、現像ユニット１８００は、図９の現像ユニット９００に、概ね類似している。しかしながら、現像ユニット１８００は、下部から（すなわち、電極１８０２を介して）光８０２を受け取り得る。図１８の実施形態において、電極１８０２は、光８０２の周波数に対して透明な材料から製造される。例えば、電極１８０２は、インジウムスズ酸化物（ＩＴＯ）または他の透明導電体から製造され得る。

【００５８】

図１９は、本発明の実施形態の例に従う印刷機器の現像ユニットを製造する例となるステップを提供する流れ図１９００を示す。他の構造的および動作的な実施形態は、以下の記述に基づいて、当業者には明らかになる。図１９に示すステップは、示された順番に必ずしも行われる必要はない。図１９のステップは以下に詳細に記載される。

【００５９】

流れ図１９００は、ステップ１９０２から始まる。ステップ１９０２で、電荷拡散層が形成され、この電荷拡散層は、異方導電性である複数の電気伝導性ナノエレメントを含むマトリックスを含む。例えば、電荷拡散層は、図９に示す電荷拡散層９０２（あるいは、図１７Ａおよび図１７Ｂに示す電荷拡散層１７０２、１７５２）であり、これはナノエレメント９２０を有する。別の例において、図１１に示すように、複数の電気伝導性ナノエレメント（ナノワイヤ１１０２）は、マトリックス１１０４の中に形成されて、示される。ナノワイヤ１１０２は、電荷拡散層９０２の第一の表面９１０と第二の表面９１２との間で、異方導電性である。ナノエレメントは、代替的に、例えば、ナノロッドまたはナノ粒子でもあり得ることに留意すべきである。

【００６０】

ステップ１９０４で、電極が、電荷拡散層の第二の表面に結合される。例えば、図９に示すように、電荷拡散層７０６は、電極７０２とともに、スタック内に形成される。一実施形態において、光伝導体層（例えば、光伝導体層７０４）は、図９に示すように、電荷拡散層９０２の下部表面９１２と電極７０２との間に結合され得るが、ナノエレメントが光伝導体層のときは、光伝導体層は不要であることに、留意すべきである。

【００６１】

ステップ１９０６で、印刷機器の動作中に、電極と電荷拡散層の第一の表面との間に、電位差を形成するために、電源が電極に結合される。例えば、上述のように、電荷移動を生じさせるため、電極７０２と電荷拡散層９０２（あるいは、図１７Ａに示す電荷拡散層１７０２、および、図１７Ｂに示す電荷拡散層１７５２）との間に、電位は存在する。電位差を形成するために、任意の適切な電源が、印刷機器によって使用され得る。

【００６２】

ステップ１９０８で、光学素子は、潜像を定義するために、光を生成するように、構成される。その結果として、生成された光は光伝導体層で受光される。代替的に、光学素子は、潜像を定義する光を生成し、生成された光が電荷拡散層で受光されるように構成され得る（例えば、光伝導体層が存在しないとき）ことに留意すべきである。

【００６３】

さらなる実施形態においては、流れ図１９００は、コーティング層が、電荷拡散層の上部表面に形成されるステップを含み得る。例えば、コーティング層は、図９に示すコーティング層７０８であり得る。代替的に、電荷拡散層の上部表面は、研磨され得るか、あるいは、他の処理をされ得る。こうして、コーティング層は必要でなくなる。

【００６４】

（ｂ．ナノ対応可能なメモリデバイスの実施形態）

本発明の実施形態は、ナノエレメント（例えば、ナノワイヤ、ナノロッド、ナノ粒子など）を含むメモリデバイスに対する以下の小節で提供される。以下に記載のように、また、上述のように、ナノエレメントは、横への電荷移動がほとんどないか、あるいは、全くない空間的電荷ストレージを提供する。さらに、ナノエレメントは、マルチステートメモリデバイスのような強化メモリデバイスの創出を可能とする。これらの実施形態は、例示的な目的のために提供され、限定するためのものではない。本明細書に記載の実施形態は、任意の方法で組み合わされ得る。本発明の動作的および構造的な追加の実施形態は、本明細書における記載から当業者には明らかである。これらの追加の実施形態は、本発明の範囲および精神の中に含まれる。

【００６５】

（ｉ．近接電荷移動を低減するメモリデバイスの実施形態）

ナノ材料／ナノエレメントは、近接電荷移動（ａｄｊａｃｅｎｔ　ｃｈａｒｇｅ　ｔｒａｎｓｆｅｒ）を最小限にしながらも、空間的電荷ストレージを可能とすることを目的として、異方導電性を提供するための方法で、成長および／または堆積される。このナノエレメントの使用は、フローティングゲートメモリデバイスのような電荷ベースの多数のアプリケーションでメリットにもたらし得る。フローティングゲートメモリデバイスのタイプの一例は、フラッシュメモリとして知られる消去可能プログラマブルデバイスである。

【００６６】

従来のフローティングゲートメモリセルまたは構造は、適切な期間にわたり、メモリ構造のソース、ドレインおよび制御ゲートのノードに適切な電圧を印加することによって、プログラムされる。このことが原因となり、電子はチャネル領域からフローティングゲートへと、トンネルするか、または注入され、こうして、フローティングゲートは「帯電」される。フローティングゲート上に格納された電荷は、メモリトランジスタをロジックの「１」または「０」に設定する。メモリ構造が、促進型（ｅｎｈａｎｃｅｍｅｎｔ）または空乏型（ｄｅｐｌｅｔｉｏｎ）トランジスタ構造を有するかどうかに依存して、フローティングゲートが中性であるか、または電子（負の電荷）を含むとき、メモリセルは、読み出し動作中に、導電するか、または導電しない。フローティングゲートが中性であるか、または負の電荷を有しないとき、メモリセルは、読み出し動作中に導電する。導電状態または非導電状態は、適切なロジックのレベルとして、出力される。「消去」とは、電子をフローティングゲートから移動することである。「プログラミング」とは、電子をフローティングゲート上に移動することである。

【００６７】

本発明の空間的電荷ストレージの局面は、フローティングゲートメモリデバイスを強化するために使用され得る。例えば、図２０は、本発明の実施形態の例に従うフローティングゲートメモリデバイス２０００の概念的ブロック図を示す。フローティングゲートメモリデバイス２０００は、トランジスタ構成に概ね類似して構成され、ソース領域２００２、チャネル領域２００４、および、ドレイン領域２００６を有する。さらに、フローティングゲートデバイス２０００は、ゲートコンタクト２００８、および、ナノエレメントの薄膜２０１０を含む。ナノエレメントの薄膜２０１０は、チャネル領域２００４上に形成される。ゲートコンタクト２００８は、ナノエレメントの薄膜２０１０上に形成される。

【００６８】

フローティングゲートメモリデバイス２０００は、上述したように、一般的に、従来のフローティングゲートメモリのように動作する。しかしながら、フローティングゲートメモリデバイス２０００は、ナノエレメントの薄膜２０１０を含む。ナノエレメントの薄膜２０１０は、フローティングゲート構造に対する複数の電荷ストレージエレメントとして機能する。換言すれば、メモリデバイス２０００が、プログラムされるときは、電子はナノエレメントの薄膜２０１０に移動され、ナノエレメントの薄膜２０１０によって格納される。ナノエレメントの薄膜２０１０のナノエレメントは、一部の電荷を格納する。こうして、ナノエレメントの薄膜２０１０は、効率的な空間的電荷ストレージが可能となる。さらに、ナノエレメントの薄膜２０１０は、従来のフローティングゲートメモリデバイス

に比べて、近接電荷移動を低減する。

【００６９】

近接電荷移動は、フローティングゲートメモリデバイスにおいては、望ましくないことである。これは、十分な電荷が自発的にフローティングゲートメモリデバイスのフローティングゲートから外に移動すると、フローティングゲートメモリデバイスは、そのプログラムされた状態を失い得るからである。ナノエレメントの薄膜２０１０のナノエレメントは、このような電荷移動を低減するように構成される。

【００７０】

さらに、従来のフローティングゲートメモリデバイスにおいて、フローティングゲートのエリアは、典型的には、単一の連続的領域である。このような構成においては、連続的領域の一点が破壊され、電荷を失い始めたら、全領域がその電荷を失い、その結果、フローティングゲートメモリは、自身のプログラムされた状態を失い得る。しかしながら、本発明の実施形態は、この問題からの何らかの保護を提供する。ナノエレメントの薄膜２０１０のナノエレメントは、それぞれ個々に電荷を格納し、互いに絶縁されているので、たとえ１つのナノエレメントが電荷を失ったとしても、これがナノエレメントの薄膜２０１０に残りのナノエレメントに影響を与えることは少ない。こうして、本発明に従うナノエレメントの薄膜２０１０を組み込んだフローティングゲートメモリデバイスは、従来のフローティングゲートメモリデバイスよりも、かなり長い時間にわたって、一定にプログラムされた状態をより保ちやすい。

【００７１】

図２１は、本発明の実施形態の例に従うフローティングゲートメモリデバイス２１００の詳細な断面図を示す。図２１に示すように、フローティングゲートメモリデバイス２１００は、基板２１０２の上に形成される。フローティングゲートメモリデバイス２１００は、ソース領域２００２、チャネル領域２００４、ドレイン領域２００６、ゲートコンタクト２００８、ナノエレメントの薄膜２０１０、ソースコンタクト２１０４、ドレインコンタクト２１０６、第一の絶縁層２１０８、および、第二の絶縁層２１１０を含む。

【００７２】

本実施形態において、基板２１０２は、半導体タイプの基板であり、少なくともチャネル領域２００４に、Ｐ型またはＮ型のいずれかの接続性を有するように形成される。ゲートコンタクト２００８、ソースコンタクト２１０４、および、ドレインコンタクト２１０６は、メモリデバイス２１００に電気的接続性を提供する。ソースコンタクト２１０４は、ソース領域２００２と接触して形成される。ドレインコンタクト２１０６は、ドレイン領域２００６と接触して形成される。ソース領域２００２およびドレイン領域２００６は、典型的には、基板２１０２のドーピングされた領域であり、チャネル領域２００４の接続性とは異なる接続性を有するようになっている。

【００７３】

図２１に示すように、ソースコンタクト２１０４は、接地電位のような電位と結合される。ドレインコンタクト２１０６は、別の信号と結合される。ソース領域２００２およびドレイン領域２００６は、相互変更可能であり、その相互接続は逆もあり得ることに留意すべきである。

【００７４】

第一の絶縁層２１０８および第二の絶縁層２１１０は、本明細書に記載の、あるいは、記載されなくとも周知の任意の絶縁材料であり得る。第一の絶縁層２１０８および第二の絶縁層２１１０は、それぞれオプションとして存在する。例えば、図２２は、本発明の実施形態に従う第一の絶縁層２１１０を含まないフローティングゲートメモリデバイス２４００の断面図を示す。他の実施形態においては、第一の絶縁層２１０８および第二の絶縁層２１１０は、実際には単一の構造であって、その中にナノエレメントの薄膜２０１０が形成される。第一の絶縁層２１０８および第二の絶縁層２１１０の絶縁材料は、ナノエレメントをしかるべき場所に保持し、ナノエレメントを互いに電気的に絶縁された状態に保ち、および／または、チャネル領域から適切な間隔を提供するために使用され得る。

【００７５】
図２３および図２４は、本発明の実施形態に従うナノエレメントの薄膜２０１０に対する例となる平面図を示す。図２３は、ナノエレメントとして、複数のナノ粒子２３０２を有するナノエレメントの薄膜２０１０を示す。図２３に示すように、ナノ粒子２３０２は、ナノ粒子２３０２の少なくとも一部が互いに接触するように、ナノエレメントの薄膜２０１０に稠密に詰まっている。こうして、このような実施形態においては、ナノエレメントの薄膜２０１０のナノエレメントは、ナノエレメントを互いから絶縁されて保つために、絶縁シェル層を有し得るが、これは必要とされない。例えば、ナノエレメント間での横への電荷移動を低減するために、ナノエレメントを互いから絶縁されて保つことが望まれ得る。例えば、図２５は、本発明の実施形態に従う絶縁シェル２５０４によって取り囲まれたコア２５０２を有する例となるナノ粒子２３０２である。絶縁シェル２５０４は、ナノ粒子２３０２を他のナノ粒子から絶縁し、ナノエレメントの薄膜内での横への電荷移動を低減または除去できる。
【００７６】
図２４は、稠密に詰まっていない複数のナノ粒子２４０２を有するナノエレメントの薄膜２０１０を示し、これは、ナノ粒子２４０２のサブモノレーヤ（ｓｕｂ－ｍｏｎｏｌａｙｅｒ）を形成すると考えられ得る。図２４に示すように、ナノ粒子２４０２で、互いに接触しているものがあったとしても、それはわずかである。このように、本実施形態において、絶縁シェル層は、ナノ粒子２４０２に対して必要とされない（しかしながら、必要に応じて存在してもよい）。これは、ナノ粒子２４０２が互いに接触していないか、あるいは、互いに接触しているナノ粒子２４０２が統計的に許容可能な小さな数であるかのいずれかのためであり、その結果として、横への電荷移動は、許容可能なほど少ない。
【００７７】
図２６～図２９は、本発明の実施形態に従うナノエレメントの薄膜２０１０のさらなる例の平面図を示す。図２６～図２８に示すように、ナノエレメントの薄膜は、整列されたナノエレメントを有して形成され得る。例えば、図２６は、ナノエレメントの薄膜２０１０用に、整列されたナノロッド２６０２の稠密に詰まったモノレーヤを示す。図２７は、ナノエレメントの薄膜２０１０用に、整列されたナノワイヤ２７０２の稠密に詰まったモノレーヤを示す。図２８は、稠密に詰まり、実質的に整列されたナノエレメントの混合物または組み合わせを含むナノエレメントの薄膜２０１０を示す。図２８に示すように、ナノエレメントの薄膜２０１０は、ナノワイヤ２８０２、ナノロッド２８０４、および、ナノ粒子２８０６の混合物を含み得る。ナノエレメントの薄膜２０１０は、任意の１つ以上のナノエレメントのタイプ（絶縁シェル層を有するか、あるいは有しないか、および、整列された様式で構成されるか、あるいは整列しない様式で構成されるか）を含み得る。例えば、図２９は、複数の整列していないナノロッド２９０２を含むナノエレメントの薄膜２０１０を示す。
【００７８】
本発明に従うメモリデバイスは、従来の半導体デバイス製造技術を使用して、製造され得る。例えば、ナノエレメントの薄膜に対するコーティング／パターニングステップは、現在のＣＭＯＳ製造プロセスに組み込まれ得る。コーティングプロセスは、事前に混合されたナノエレメントの溶液をベースとし得る。
【００７９】
図３０は、本発明の実施形態の例に従うフローティングゲートメモリデバイスを製造する例となるステップを提供する流れ図３０００を示す。図示の目的のために、流れ図３０００のステップは、図３１～図３４に関して記載される。これらステップは、本発明の実施形態に従う例となるフローティングゲートメモリデバイスの製造の様々なステージを示す。以下の議論に基づいて、他の構造上および動作上の実施形態も、当業者には明らかである。図３０に示すステップは、必ずしも、示された順番で行われる必要はない。図３０のステップは、以下に詳細に記載される。
【００８０】

流れ図３０００は、ステップ３００２で始まる。ステップ３００２で、ソース領域およびドレイン領域が、基板上に形成される。例えば、図３１は、Ｐ型基板３１０２の例を示す。ソース領域３１０４およびドレイン領域３１０６は、このＰ型基板３１０２に形成され、これらは、高ドープされたＮ型領域（Ｎ＋）である。基板３１０２は、代替的に、Ｎ型基板であり、ソース領域およびドレイン領域３１０６は、Ｐ型領域になり得ることに留意されるべきである。任意の従来のドーピング技術が、ステップ３００２に対して、使用され得る。

【００８１】

ステップ３００４で、誘電体層が基板上に形成される。例えば、図３１は、基板３１０２上に形成された誘電体層３１０８の例を示す。ステップ３００４は、オプションである。誘電体層３１０８は、局所的な方法で堆積され得る。あるいは、誘電体層は、基板３１０２上にコーティングされ、続いて、基板３１０２の所望のエリアを覆うようにパターニングされ得る。

【００８２】

ステップ３００６で、ナノエレメントの薄膜が、チャネル領域上（ｏｎ）／チャネル領域より上（ａｂｏｖｅ）の基板上に形成される。例えば、図３２は、基板３１０２のチャネル領域３２０４に近接する誘電体層３１０８上に形成されたナノエレメントの薄膜３２０２（上述したナノエレメントの薄膜２０１０に類似）を示す。誘電体層３１０８が存在しないとき、ナノエレメントの薄膜３２０２は、基板３１０２に直接形成される。ステップ３００６は、チャネル領域内の基板上に、複数のナノ粒子、ナノロッド、ナノワイヤ、他のナノエレメント、あるいは、任意のこれらの組み合わせを堆積することを含み得る。ナノエレメントの薄膜３２０２は、局所的方法で堆積され得るし、あるいは、ナノワイヤの薄膜は、誘電体層３１０８／基板３１０２上にコーティングされ、続いて、所望のエリアを覆うようにパターニングされ得る。

【００８３】

ステップ３００８で、誘電体層が、ナノエレメントの薄膜上に形成される。例えば、図３３は、基板３１０２上に形成された例となる誘電体層３３０２を示す。ステップ３００８は、オプションである。誘電体層は、局所的方法で堆積され得るし、あるいは、ナノエレメントの薄膜３２０２／基板３１０２上にコーティングされ、続いて、所望のエリアを覆うようにパターニングされ得る。

【００８４】

ステップ３０１０で、ゲートコンタクトが、ナノエレメントの薄膜上に形成される。例えば、図３４は、ナノエレメントの薄膜３２０２上に形成されたゲートコンタクト３４０２を示す。ソースコンタクトおよびドレインコンタクトも、また、ステップ３０１０の間に形成されることも、これらコンタクトは別の時間に形成されることもあり得ることに留意すべきである。このように、図３４に示すように、メモリデバイス３４００は、本発明の実施形態に従って、形成される。メモリデバイス３４００は、Ｎ型金属酸化物半導体（ＮＭＯＳ）デバイスが形成されたものとして示されているが、代替的に、Ｐ型金属酸化物半導体（ＰＭＯＳ）デバイスとしても形成され得る。

【００８５】

実施形態において、流れ図３０００は、各ナノエレメントが、単結晶ナノエレメントとして形成されるステップ、コアおよびシェル構造を有して形成されるステップ、あるいは、任意の他のナノエレメント構造タイプを有して形成されるステップを含み得ることに留意すべきである。

【００８６】

別の実施形態において、流れ図３０００は、各ナノエレメントが処理されるステップを含み得る。例えば、図３５は、本発明の実施形態に従う表面処理３５０４を組み入れて、処理された例となるナノ粒子３５０２を示す。例えば、表面処理３５０４は、ナノ粒子３５０２の表面上での官能基形成、および／または、ナノ粒子３５０２の表面への官能基付着（すなわち、表面の官能基）を含み得る。これに関するさらなる詳細は、例えば、同時

係属の米国特許出願第６０／５７８，２３６号（発明の名称「Ｐｏｓｔ－Ｄｅｐｏｓｉｔｉｏｎ Ｅｎｃａｐｓｕｌａｔｉｏｎ ｏｆ Ｎａｎｏｃｒｙｓｔａｌｓ： Ｃｏｍｐｏｓｉｔｉｏｎｓ， Ｄｅｖｉｃｅｓ ａｎｄ Ｓｙｓｔｅｍｓ Ｉｎｃｏｒｐｏｒａｔｉｎｇ Ｓａｍｅ」、２００４年6月8日出願）に記載されている。図３５の例となる実施形態において、表面処理３５０４は、ナノ粒子３５０２上に形成された複数のテール（ｔａｉｌ）３５０６を含む。各テールは、第一の端３５０８（「ヘッド」としても公知）および第二の端３５１０を有する。第一の端３５０８は、ナノエレメントに化学的に引き付けられるように構成される。こうして、表面処理３５０４が、ナノエレメントに適用されたとき、テール３５０６の第一の端３５０８は、ナノ粒子３５０２のようなナノエレメントに付着する。第二の端３５１０は、ナノエレメントに付着するように構成されず、こうして、第一の端３５０８が付着しているナノエレメントから遠ざかる方向に伸びる。

【００８７】

ナノエレメントは、テール３５０６とともに様々な方法で処理され得る。これら方法には、テール３５０６とともに溶液中で混合する、テール３５０６を含む溶液とともにスプレイさせる、あるいは、ナノエレメント上に直接テール３５０６を成長させるなどを含む。実施形態において、表面処理３５０４のテール３５０６は、ポリマまたは有機材料（炭素を含む）から形成される。テール３５０６は、当業者に周知の任意の方法で形成され得る。

【００８８】

表面処理３５０４は、ナノエレメントが互いの距離を維持し、横への電荷移動の可能性を低減するために使用され得る。例えば、図３６は、ナノエレメントの薄膜内の複数のナノ粒子３５０２ａ～３５０２ｃを示す。ナノ粒子３５０２ａ～３５０２ｃのそれぞれは、それぞれ表面処理３５０４ａ～３５０４ｃを有する。図３６に示すように、ナノ粒子３５０２ａの表面処理３５０４ａとおよびナノ粒子３５０２ｂの表面処理３５０４ｂは、ほぼ２つのテール３５０６の長さ分の距離（すなわち、ナノ粒子３５０２ａに付着したテール長さおよびナノ粒子３５０２ｂに付着したテール長さ）だけ離して、ナノ粒子３５０２ａおよび３５０２ｂを保つ。

【００８９】

さらに、テール３５０６の第二の端３５１０は、液体に溶解するように構成されている。このようなテール３５０６を組み込んだ表面処理３５０４がナノエレメント上に形成され得ることは、結果として、ナノエレメントをより容易に溶液に溶解しやすくする。溶解されたナノエレメントを含む溶液は、次いで、基板３１０２に適用され得る。それは、例えば、ナノエレメントの薄膜を形成するためである。

【００９０】

ナノエレメントの薄膜として、不揮発性メモリトランジスタ用に量子ドットを使用して、本出願の発明者は、ナノメートルサイズのコロイド状金属ナノ粒子（例えば、パラジウム（Ｐｄ）、イリジウム（Ｉｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、ルテニウム、（Ｒｕ）、コバルト、（Ｃｏ）、タングステン（Ｗ）、テルル（Ｔｅ）鉄白金合金（ＦｅＰｔ）など）が、半導体材料よりも魅力的である（ａｔｔｒａｃｔｉｖｅ）ことを発見した。なぜなら、これらコロイド状金属ナノ粒子は、とりわけ、多くの半導体に比べ、より高い仕事関数（例えば、約４．５ｅＶ以上）を有するからである。これは、多数の電子ストレージ、より高い融点（より高いサーマルバジェット可能）、より長い保持時間、および、表面状態（ｓｕｒｆａｃｅ ｓｔａｔｅ）がないことで、有利である。例えば、単分散コロイド状金属ナノ粒子（例えば、パラジウム、ニッケル、白金などから製造）の新たな合成、および、この合成に使用される関連界面活性剤（またはリガンド）交換反応については、共有特許出願代理人整理番号第０１－００６５００号（発明の名称「Ｐｒｏｃｅｓｓ ｆｏｒ Ｇｒｏｕｐ １０ Ｍｅｔａｌ Ｎａｎｏｓｔｒｕｃｔｕｒｅ Ｓｙｎｔｈｅｓｉｓ ａｎｄ Ｃｏｍｐｏｓｉｔｉｏｎｓ Ｍａｄｅ Ｕｓｉｎｇ Ｓａｍｅ」、２００４年１２月１６日出願）に記載されている。しかしながら、パラジウムのようなコロイド状金属量子ドットを使用する上での潜在的な問題の一つは、トンネル誘電

体層を介して、下にあるシリコンチャネルの表面への金属原子の拡散の可能性である。これによって、デバイスのリーク電流および他のデバイスパラメータを悪化し得る。

【００９１】

図４５は、金属量子ドット３２０２’の金属マイグレーションに対する改善バリアを提供するために、トンネル誘電体層の表面を改変する一つの技術を示す。ここでは、金属マイグレーションバリア層３１１０が、トンネル誘電体層３１０８’の上に形成されている。バリア層は、例えば、窒化物（Si_3N_4）または酸窒化ケイ素（SiO_xN_y）のような窒素含有化合物、あるいは、アルミナ（Al_2O_3）のような任意の適切なバリア層を含み得る。このようなバリア層は、金属マイグレーションの影響を最低限にし得るように、トンネル誘電体層の表面構造を変化する。バリア層が、窒素化合物から製造される場合、窒素含有層は、二酸化ケイ素トンネル誘電体層を窒化することによって、あるいは、化学気相蒸着（ＣＶＤ）（例えば、低圧ＣＶＤ（ＬＰＣＶＤ）または超高真空ＣＶＤ（ＵＨＶＣＶＤ））プロセスによる二酸化ケイ素層の最上部に堆積することによって形成され得て、窒素含有層は、トンネル誘電体層３１０８’と直接接触し得る。バリア層のＵＨＶＣＶＤは、ＬＰＣＶＤより、よりよく制御可能である。なぜなら、ＵＨＶＣＶＤは、一般に、より緩慢に起こり、それゆえ、成長速度は、より緻密に調整され得る。窒素含有層は、シラン（あるいは、ジクロロシランまたはジシランのような他のシリコン源の前駆体）およびアンモニア（あるいは、プラズマイオン化された窒素、N_2OまたはＮＯのような他の窒素種）のような気体の反応からの堆積の結果、あるいは、アンモニアのような反応気体（あるいは、プラズマイオン化された窒素、N_2OまたはＮＯのような他の窒素種）に対する表面反応の結果であり得る。ジクロロシランおよびアンモニアガスは、幾分かの不活性ガスおよび酸素含有ガスの共通の流れ（ｃｏ－ｆｌｏｗ）と組み合わされて、窒素含有層の成長のために使用され得る。一度、薄い窒素含有バリア層３１１０が、トンネル誘電体層３１０８’の表面に形成されると、下にあるトンネル誘電体層３１０８’への窒素の通り抜けは、一般的に妨げられる。こうして、リークの原因となり得るトンネル誘電体層３１０８’の汚染が避けられる。

【００９２】

窒化物構造内に含まれるキャリアトラップが、形成される半導体デバイスの電荷ストレージの局面を支配しないことを確保するために、バリア層３１１０の厚さは、制限されることが好ましい。一実施形態において、バリア層に対する所望の厚さは、１０オングストローム未満であり得る。他の実施形態において、所望の厚さは、５オングストローム以下であり得る。トンネル誘電体層とバリア層との相対的厚さは、電気的性能および金属マイグレーションバリア機能を最適化するように、適合され得る。トンネル誘電体層３１０８’を概ね均一に確実に覆うために、バリア層の厚さが、少なくともそのように要求される。酸窒化ケイ素がバリア層として使用された場合、酸窒化ケイ素内の窒素濃度は、例えば、約５％を上回り得る。酸窒化ケイ素に含まれる窒素濃度の割合は、金属量子ドットからの金属マイグレーションに対する窒素層のバリア機能と、窒素濃度によるトラップ含有との間のトレードオフが調節されるように、制御され得る。

【００９３】

窒化物構造内に含まれるキャリアトラップが、形成される半導体デバイスの電荷ストレージの局面を支配しないことを確保するために、バリア層３１１０の厚さは、制限されることが好ましい。一実施形態において、バリア層に対する所望の厚さは、１０オングストローム未満であり得る。他の実施形態において、所望の厚さは、５オングストローム以下であり得る。トンネル誘電体層とバリア層との相対的厚さは、電気的性能および金属マイグレーションバリア機能を最適化するように、適合され得る。トンネル誘電体層３１０８’を概ね均一に確実に覆うために、バリア層の厚さが、少なくともそのように要求される。酸窒化ケイ素がバリア層として使用された場合、酸窒化ケイ素内の窒素濃度は、例えば、約５％を上回り得る。酸窒化ケイ素に含まれる窒素濃度の割合は、金属量子ドットからの金属マイグレーションに対する窒素層のバリア機能と、窒素濃度によるトラップ含有との間のトレードオフが調節されるように、制御され得る。

【００９４】
高い仕事関数のコロイド状金属ドット（例えば、パラジウム金属ドット）からの消去を容易にするために、高い仕事関数の金属（例えば、約４．０ｅＶを超える仕事関数を有する金属、約４．５ｅＶを超える仕事関数を有する金属、約５．０ｅＶを超える仕事関数を有する金属）またはｐ＋のポリシリコンを、制御ゲート材料として使用すると、金属ゲートの低いゲート抵抗率、望ましい仕事関数設定、および、ゲート誘電体の電気的厚さ低減によるメリットがあり得る。幾つかの金属ゲート電極が、例えば、Ｗ／ＴｉＮ、Ｍｏ、Ｔａ、ＴａＮ、ＴｉＮ、および、$TaSi_xN_y$のように、使用され得る。金属ゲートは、適切な仕事関数と、下にある薄い制御ゲート誘電体（特に、Al_2O_3，HfO_2，ZrO_2のような高Ｋ誘電体およびそのケイ酸塩）に対する熱的および化学的に必要とされる安定性とを有しなくてはならない。

【００９５】
（ｉｉ．ナノ対応可能なマルチステートメモリデバイスの実施形態）
本発明の実施形態は、ナノ対応可能なマルチステートメモリデバイスに関する本節で提供される。これら実施形態は、説明の目的のために提供されるものであり、限定するためのものではない。本発明の追加の動作上および構造上の実施形態は、本明細書の記述から、当業者には明らかである。これら追加の実施形態も、本発明の範囲と精神の中に含まれる。

【００９６】
メモリデバイスは、任意の数のメモリセルを有し得る。従来の単ビットメモリセルにおいて、メモリセルは、２つの情報ストレージ状態の一方（「オン」状態または「オフ」状態のいずれか）を担う。「オン」または「オフ」のバイナリ状態は、１ビットの情報を定義する。その結果、ｎビットのデータを格納できる従来のメモリデバイスは、（ｎ）個の個別のメモリセルを必要とする。

【００９７】
セル当たり単ビットのメモリデバイスを使用して格納され得るビット数は、メモリセルの数に依存する。このように、メモリ容量を増やすためには、より多くのメモリセルを含むより大きなダイサイズが必要とされるか、あるいは、より小さなメモリセルを形成するために改善されたフォトリソグラフィ技術の利用が必要とされる。メモリセルを小さくすると、単一のダイの所定面積内に置かれるメモリセルをより多くすることができる。

【００９８】
単ビットメモリに対する代替は、２データビット以上を格納できるマルチビットまたはマルチステートのメモリセルである。マルチビットまたはマルチステートのフラッシュメモリセルは、多数の固有（ｄｉｓｔｉｎｃｔ）閾値電圧レベルV_{t1-n}を有するメモリセルを形成することによって製造される。それぞれの固有閾値電圧レベルV_{t1-n}は、データビットのセットの値に対応する。ここで、ビット数は、マルチステートのメモリセル内に格納され得るデータの量を表す。このように、バイナリデータの多数のビットは、同じメモリセル内に格納され得る。

【００９９】
マルチステートメモリセル内に格納され得る各バイナリデータ値は、閾値電圧の値または値の範囲に対応する。この値または値の範囲にわたって、マルチステートメモリセルが電流を導く。マルチステートメモリセルの多数の閾値電圧レベルは、互いに十分な量離れているので、マルチステートメモリセルのレベルは、曖昧でない方法で、プログラムまたは消去され得る。メモリセルの中にプログラムされたデータと、セルの閾値電圧レベルとの間の特定の関係は、マルチステートメモリセルに対して適用されたデータ符号化スキームに依存する。

【０１００】
マルチステートメモリセルをプログラムするにあたり、フローティングゲート内に十分な電荷を格納して、マルチステートメモリセルの閾値電圧を所望のレベルに移動するために、プログラミング電圧が十分な時間にわたって、印加される。このレベルは、マルチス

テートメモリセルの状態を表し、マルチステートメモリセル内にプログラムされるデータ符号化に対応する。

【０１０１】

本発明の実施形態に従うと、ナノエレメントは、マルチステートメモリセル／デバイスに対して、多数の閾値電圧を提供するために使用される。本発明の実施形態の例において、マルチステートメモリセルは、ナノエレメント（例えば、ナノワイヤ、ナノロッド、量子ドット／ナノ粒子など）を含むフローティングゲートを有する。ナノエレメントは、複数の固有の電子注入閾値電圧（トラップ深さ）を有するように形成される。

【０１０２】

ナノエレメントは、異なる電子注入閾値電圧を有するように様々な方法で形成され得る。

例えば、実施形態において、ナノエレメントは、（本明細書の他の箇所に記載されたような）コア／シェル構造を有するように形成され、この構造は、異なる閾値電圧に対応する異なるシェル厚さを有する。例えば、図３７～図３９は、本発明の実施形態の例に従って、異なる電荷注入閾値電圧に対応する異なるシェル厚さの様々なナノエレメントの断面図を示す。図３７～図３９に示す異なるシェル厚さは、例示的な目的のために示されており、実際のシェル厚さを必ずしも表していない。

【０１０３】

図３７は、コア３７０４と、コア３７０４を取り囲むシェル３７０６とを有する第一のナノエレメント３７０２を示す。図３８は、コア３８０４と、コア３８０４を取り囲むシェル３８０６とを有する第二のナノエレメント３８０２を示す。図３９は、コア３９０４と、コア３９０４を取り囲むシェル３９０６を有する第三のナノエレメント３９０２を示す。シェル３７０６は、第一のシェル厚さ３７０８を有する。シェル３８０６は、第二のシェル厚さ３８０８を有する。シェル３９０６は、第三のシェル厚さ３９０８を有する。図３７～図３９に示すように、第二の厚さ３８０８は、第一の厚さ３７０８より厚く、第三の厚さ３９０８は、第二の厚さ３８０８より厚い。このように、第二のナノエレメント３８０２は、シェル３８０６の厚さを乗り越えるためには、第一のナノエレメント３７０２よりも大きな充電電圧を必要とする。第三のナノエレメント３９０２は、シェル３９０６の厚さを乗り越えるためには、第二のナノエレメント３８０２よりも大きな充電電圧を必要とする。異なるシェル厚さは、異なるデータ状態に対して、異なる閾値電圧を有するマルチステートメモリデバイスを提供するために使用され得る。

【０１０４】

実施形態において、マルチステートメモリデバイスは、シングルステートメモリデバイスに対して、上記に記載されたのと同様にして製造され得る。例えば、図４０は、本発明の実施形態に従うマルチステートメモリデバイス４０００の例を示す。マルチステートメモリデバイス４０００は、図３４に示すメモリデバイス３４００と、概ね類似している。しかしながら、図４０に示すように、マルチステートメモリデバイス４０００は、３タイプのナノエレメントを含むナノエレメントの薄膜４００２を含む。これら３タイプのナノエレメントは、異なる電荷注入閾値電圧を有する。マルチステートメモリデバイス４０００は、このように、４つの状態のメモリセル（すなわち、２ビットメモリセル）として構成される。任意の数の状態／ビットを有するマルチステートメモリデバイスが、本発明に従って、形成され得ることに留意すべきである。

【０１０５】

図４０に示すように、ナノエレメントの薄膜４００２は、ナノエレメントのタイプの混合物を含む。この混合物は、複数の第一のナノエレメント３７０２、複数の第二のナノエレメント３８０２、および、複数の第三のナノエレメント３９０２をほぼ均等な割合で含む。上述のように、第一、第二および第三のナノエレメント３７０２、３８０２および３９０２は、固有の電子注入電圧値を確立するように、それぞれ形成される。例えば、それぞれの注入電圧値は、Ｖ１、Ｖ２およびＶ３であって、Ｖ１＜Ｖ２＜Ｖ３である。

【０１０６】

マルチステートメモリデバイス４０００の状態は、ナノエレメントの薄膜４００２がどのように帯電されているかに依存する。ナノエレメントの薄膜４００２は、以下の４つの状態に従って帯電され得る。状態１は、ナノエレメントが帯電されておらず、状態２は、ナノエレメントの３分の１（第一のナノエレメント３７０２）が帯電されており、状態３は、ナノエレメントの３分の２（第一および第二のナノエレメント３７０２および３８０２）が帯電されており、状態４は、ナノエレメントの全て（第一、第二および第三のナノエレメント３７０２、３８０２および３９０２）が帯電されている。図４１は、マルチステートメモリデバイス４０００をプログラムするために、ゲートコンタクト３４０２に付与された入力信号のプロット４１００を示す。入力信号は、マルチステートメモリデバイス４０００を状態２～４の３つの帯電レベルにプログラムするために、電荷注入電圧Ｖ１、Ｖ２およびＶ３を乗り越えなくてはならない。

【０１０７】

図４２は、図４０のマルチステートメモリデバイス４０００を介して測定された電流のプロット４２００で、そのデバイスが様々な状態で読み出されたものを示す。マルチステートメモリデバイス４０００が読み出されるとき、最大電流が測定されるのは、粒子が全く帯電されていないとき（状態１）であり、測定される電流レベルは、状態２～４のそれぞれに対して低下する。状態４は、最低の電流レベルを有し、全てのナノエレメント３７０２、３８０２および３８０４は帯電される。このように、マルチステートメモリデバイス４０００は、４つの可能な読み出し状態を示す。

【０１０８】

本発明の別の実施形態において、ナノエレメントは、マルチステートメモリセルを形成するために、異なる電子注入閾値電圧を有するように形成される。マルチステートメモリセルは、量子ドットのようなナノエレメントを含むフローティングゲートを有する。このナノエレメントは、「クーロン閉塞」現象を利用され得るように形成される。クーロン閉塞によって、固有の電子注入電圧（トラップ深さ）は、各ナノエレメント上に異なる数の電子を注入するために使用される。上述と似たような方法で、これは、多数の状態を形成するために使用され得る。

【０１０９】

熱揺らぎエネルギは、以下のように、

熱揺らぎエネルギ＝$k_b T$、

で計算され得る。ここで、

k_b＝ボルツマン定数＝１．３８×１０$^{-23}$Ｊ／Ｋ（８．６２×１０$^{-5}$ｅＶ／Ｋ）、

Ｔ＝動作温度であり、

室温のとき、$k_b T$＝４．１４４×１０$^{-21}$Ｊ（０．０２５９ｅＶ）

となる。

【０１１０】

量子ドットのようなナノエレメントの中に、１つの追加の電子を加えるためのクーロン電荷エネルギは、以下のように、

$E_c = e^2 / C$

で計算され得る。ここで、

Ｃ＝ナノエレメントの総容量、

ｅ＝電子の電荷

である。

【０１１１】

量子ドットのようなナノエレメントの中に１つの追加電子を加えるためのクーロン電荷エネルギE_cが、熱揺らぎ$k_b T$より大きいとき、ナノエレメントの中／を介して流れ得る電流は、ナノエレメント上の電子の数に劇的に依存する。この場合、追加電子が、Ｎ個の電子を有するナノエレメントに加えられたとき、エネルギは、クーロン電荷エネルギ（E_c）（離散的な量子エネルギが大きな場合、ゼロ次元のレベル間隔を加える）分、増加

する。こうして、クーロン閉塞として知られる閉塞が、ナノエレメントの中／を介して流れる電流の流れ（あるいは、電荷注入）の中で生じる。

【０１１２】

クーロン閉塞現象は、マルチビットメモリデバイスに対して利用され得る。このデバイスにおいて、固有の電子注入電圧（トラップ深さ）は、各ナノエレメント上に異なる数の電子を注入するために必要とされる。例えば、図４３は、マルチステートメモリデバイスの例における閾値電圧対電荷注入のプロットを示す。図４３に示すように、閾値電圧Ｖ０、Ｖ１、Ｖ２またはＶ３がマルチステートメモリデバイスのゲート端子に印加されたとき、０個、１個、２個または３個の電子は、ナノエレメントの中に、それぞれ注入される。このように、これは、異なる閾値電圧に対して異なる電荷状態を有するマルチステートメモリデバイスに対応する。

【０１１３】

このようなマルチビットまたはマルチステートメモリデバイスは、ナノエレメントが、そのサイズに対応して異なる容量値（例えば、Ｃ１＞Ｃ２＞Ｃ３）を有するようにして、異なるサイズのナノエレメントを使用することによっても、また実現され得る。それゆえ、各ナノエレメントは、異なる電荷エネルギ（例えば、Ｅｃ１＜Ｅｃ２＜Ｅｃ３）を有し、これらナノエレメントの中に電子を注入するために、それぞれ固有の注入電圧を必要とする。例えば、電圧Ｖ０が印加されたとき、ナノエレメントに注入される電子はない。電圧Ｖ１が印加されたとき、電子は、最も低い電荷エネルギＥｃ１を有する最大のナノエレメントの中にのみ注入され得る。電圧Ｖ２が印加されたとき、電子は、電荷エネルギＥｃ２を有する次に最大のナノエレメントの中に注入される。注入電圧をさらにＶ３まで増やすと、電子は、電荷エネルギＥｃ３を有する次に最大のナノエレメントの中に注入される。このように、マルチビットのメモリデバイスは、動作され得る。

【０１１４】

さらに、ナノエレメントが、量子ドットのように、十分に小さいときには、量子閉じ込め効果は、離散的なエネルギ状態（例えば、Ｅ１、Ｅ２またはＥ３）に導き得る。例えば、図４４は、マルチビットメモリに対する離散的なエネルギレベルを示すエネルギ図を示す。図４４において、黒い点は、満たされた状態を示す。その結果、固有の注入電圧Ｖ１、Ｖ２またはＶ３は、離散的なエネルギレベルＥ１、Ｅ２またはＥ３上に電荷を注入するために使用され得るので、マルチビットメモリに対する多数の離散的な電荷状態に導く。ナノエレメントにおいて、量子閉じ込めまたは電荷エネルギによる離散的なエネルギ状態は、セル当たりマルチビット（例えば、２ビット）のメモリデバイス内に、多数の帯電状態を生成するために、また一緒に結合もされ得ることに留意すべきである。

【０１１５】

しかしながら、上記で議論されたセル当たりマルチビットのメモリデバイスを製造するためには、トンネル誘電体層が非常に薄いことを必要とし、その結果、限られた保持時間となり得る（例えば、フローティングゲートからチャネルへの電子のトンネリングが早まる）。これは、なぜなら、実用的な書き込み速度に対するプログラミング電圧の場合、非常に薄いトンネルバリア層（例えば、約１ｎｍ未満）に対してのみ、チャネルのフェルミエネルギレベルが、量子ドットの離散的なエネルギレベルを超えるためである。こうして、量子ドット上への電子のトンネリングは、一度に１個ずつとなる。チャネルのフェルミエネルギが、量子ドット上の次の空（ｅｍｐｔｙ）状態より低いとき、既にドット上にある電子の反発力によって、電子は効率的に「ブロック」される。チャネルのフェルミエネルギレベルが、量子ドットの次の空（ｅｍｐｔｙ）であるエネルギレベルのフェルミエネルギレベルより高くなって初めて、電子がドット上に入ることを許される。こうして、量子ドット上への電子注入に対する制御を提供する。この上述された技術は、クーロン閉塞現象と呼ばれる。

【０１１６】

より長い保持時間を有するマルチステートメモリを達成するためには、トンネル誘電体層は、より厚く、例えば、約３～５ｎｍ以上のオーダーである必要がある。しかしながら

、このような通常厚さのトンネルバリアに対して、チャネルのフェルミエネルギは、実用的な書き込み速度用のプログラミング電圧（例えば、ドットの離散的なエネルギレベルの個別の帯電を防ぐ）に対する量子ドットの離散的なエネルギレベルの全てのエネルギより高い。この場合、所定の注入電圧を印加すると、電子が、例えば、一度、チャネルのフェルミエネルギレベルが乗り越えられて、均衡状態にある所定の量子ドットの離散的なエネルギ状態の全てをトンネリングする。しかしながら、トンネリング速度は、ドット上に既にある電子の数に依存する。電子が多ければ多いほど、当然、トンネリング速度は遅くなる。異なる離散的なエネルギ状態に対するトンネリング速度は、約１～１０（または、それ以上）のファクタで変わり得る。この速度差を利用して、量子ドット上に置く電子の数を制御することが可能である。それは、例えば、注入電圧の印加またはプログラミング時間を制御することによって、あるいは、その双方の組み合わせを制御することによって行われる。

【０１１７】

代替的に、また、特に、量子ドット４６１０の各離散的なエネルギレベル４６００～４６０６は、図４６Ａ～図４６Ｄに示されるように、異なる有効エネルギバリア４６１２を「見る」ので、量子ドット４６１０の離散的なエネルギレベル４６０２、４６０４および４６０６を満たす電子（図４６Ａ～図４６Ｄに、黒丸で表示）は、離散的なエネルギレベルに由来するエネルギバリア４６１２による各離散的なエネルギレベルから、一度に１個ずつ（図４６Ｂ～図４６Ｄに示すように）ドットから取り出され得る（例えば、ゲート領域とチャネル領域との間における印加電圧準位を変化させて）。こうして、この結果、マルチステートメモリは、プログラミング動作の間、量子ドット上の電子の数を正確に制御できる。換言すれば、選択個数の電子を有するメモリデバイスのプログラミングは、各ドットまたは分子の複数の離散的なエネルギレベルの少なくとも一部（または全部）を複数の電子で満たすことによって、次いで、所望の数の電子が、その量子ドットまたは分子上に残るまで、１つ以上の離散的なエネルギレベルから、一度に１個ずつ個々の電子を除去することによって可能となる。メモリデバイスをプログラミング（および／または放電）するこの新たな方法は、量子化されたエネルギレベルを有する量子ドット（例えば、シリコンのような半導体材料から作成された量子ドット）を含む多数の離散的なエネルギ状態を含む任意の構造、フェロセンのような離散的な分子エネルギレベルを有する分子、および、白金およびタングステンのような異なる離散的なエネルギレベルを有する他の材料の組み合わせに適用可能である。

【０１１８】

上記の原理を用いると、デバイスの保持および消去時間を制御するために（例えば、必要に応じて、高速または低速の消去および保持時間を得るために）、異なる平均電子数を用いて、単ビットまたはマルチビットのメモリデバイスを動作することも、また可能である。上述のように、量子ドットメモリにおいて、トンネル酸化物の厚さを厚くすると、格納された電荷に対する保持時間は長くなるが、その格納された電荷を消去することも、また困難になる。つまり、保持時間と書き込み／消去サイクルの速度との間のトレードオフがある。よりアーカイブ化されるメモリ用に、厚い酸化物は、製造中に作成され得るが、これらメモリには、長い消去時間を要する。情報をアーカイブ化するにあたって、消去時間が長いことは問題ではない。なぜなら、このメモリは、頻繁に再利用されないからである。例えば、デジタルカメラのメモリのように、それほどアーカイブ化されないメモリに対しては、保持時間が非常に長いことは必要ではなく、メモリは頻繁に再利用されるので、このアプリケーションにおいては、薄い酸化物が作成され得る。

【０１１９】

所定の量子ドット上の平均電子数（Ｎ）を制御することによって、メモリデバイスの保持および消去時間は、デバイスの動作時に制御された方法で変化され得る。そのためには、製造時にトンネル酸化物の厚さを配線（ｈａｒｄ－ｗｉｒｅ）する必要がない。例えば、コロイド状金属ドットのシステムにおいて、チャネル領域（典型的にはＳｉ）と金属量子ドット（例えば、Ｓｉより高い仕事関数を有するＰｄ）との間の仕事関数の差があるた

めに、格納された電子は、同じドットに、さらなる電子が追加されるのを完全にはブロックできない（例えば、通常のトンネル酸化物の厚さに対し、チャネルのフェルミエネルギは、量子ドットの離散的エネルギレベルの全てのエネルギより高いために）。しかしながら、格納された電子は、消去サイクルの間、ドットから電子を除去する速度に実質的な影響を与える。なぜなら、より高いエネルギレベルに位置する電子は、より低いエネルギレベルに留まるこれら電子より、チャネルをトンネル通過するためのより低い有効トンネルバリア高さを有するからである。

【０１２０】

ドット上に多数（例えば、５～１０個またはそれ以上）の電子がある場合、消去の間に、最高のエネルギレベルにある電子は素早く放出され、引き続く電子は、所定の消去電圧に対して、次第に、より遅く放出される。これは、段々と、より低いエネルギレベルに格納される電子に対して、有効トンネルバリア高さが増加するためである。本出願の発明者は、これら原理を用いて、低速消去・長保持時間メモリ、または、高速消去・短保持時間デバイスとして、量子ドットメモリデバイスを動作する方法を発見した。なぜなら、量子ドットに少数の電子を加えること、および／または、量子ドットから少数の電子を減らすことは、上述のように、ほぼ１個の電子の精度でもって制御され得るので、適度に厚いトンネル酸化物（例えば、約３～５ｎｍで、例えば、４ｎｍ）を用いると、メモリデバイスは、各ドット上に少数の電子（例えば、第一の状態において、１ドット当たり約０～３個の電子）を格納することによって、長保持時間・低速消去のメモリとして、使用され得る。この状態において、メモリデバイスは、書き込み／読み出し／消去のサイクルの間、１ドット当たり０～３個の間の電子で動作され得る
（例えば、単ビットデバイス向けのデバイスのロジック「１」の状態か、あるいは、ドット上の０個、１個、２個および３個の電子にそれぞれ対応する２ビットメモリデバイスの状態「０」、「１」、「２」および「３」であり得る）。高速消去・短保持時間のデバイスに対して、メモリは、より多くの電子の数を有する第二の状態で、例えば、１ドット当たり約７～１０個（あるいは、それ以上）の数の電子をより多く用いて、各ドットをプログラミングすることによって、動作され得る。このメモリデバイスは、この状態において、次いで、書き込み／読み出し／消去のサイクルの間、１ドット当たりに格納された７～１０個の電子の数を制御することによって動作され得る（例えば、単ビットデバイス向けのデバイスのロジック「１」の状態か、あるいは、７個、８個、９個および１０個の電子を用いて、２ビットメモリデバイス向けのロジック「０」、「１」、「２」および「３」それぞれの状態であり得る）。ドット上にこれら異なる電荷状態の欠如が存在することは、シングルステートデバイスに対するロジック１または０（またはマルチビットデバイス用のマルチステート）を示すのに使用され得る。これは、所定のゲート電圧でトランジスタの出力を測定することで見出される。１ドット／分子当たりに格納される電子の数は、特定の量子ドット（または他の分子）に対する量子ドット（または分子）構造のサイズに依存し得るので、上述されたような、長保持時間・低速消去のデバイスあるいは高速消去・短保持時間のデバイスのいずれかを達成するために、メモリデバイスは、個々の状態それぞれに格納される電子の数は、本明細書に記された数よりも多くても、あるいは、少なくても動作され得ることは、理解されるべきである。

【０１２１】

スプリットゲートセルおよびマルチゲート三次元セルを含むマルチステートメモリセルの他の従来式タイプとは異なり、本発明のマルチステートメモリデバイスは、動作するための追加の通信ラインを一切必要としない。さらに、任意の数の状態が可能である。実施形態において、ナノエレメントの薄膜４００２は、同一の材料から、（例えば、上述のように、容量に対応して異なるシェル厚さあるいは異なるサイズを有するコアーシェル構造によって）異なる電荷注入閾値を有するように製造されるナノエレメントを含むことも、あるいは、固有の電荷注入閾値レベルをそれぞれが有する異なる材料から製造されるナノエレメントを含むことも可能である。本発明のマルチステートメモリデバイスは、シングルステートメモリデバイス用にも、上述のように製造され得る。例えば、これらデバイス

は、ナノワイヤの薄膜に対するコーティング／パターニングのステップを従来のＣＭＯＳ製造技術に挿入して、利用することで製造され得る。ナノワイヤの薄膜は、異なる電荷注入閾値レベルを有するナノエレメントの所望の混合物を用いて、堆積される。

【０１２２】

（ＩＩ．本発明のアプリケーション）

多数の電子デバイスおよびシステムは、本発明の実施形態に従うナノエレメントの薄膜を用いる半導体デバイスまたは他のタイプのデバイスに組み込まれ得る。本発明に対する一部の例となるアプリケーションは、説明の目的のために、本明細書の以下または他箇所に記載されるが、限定するためのものではない。本明細書に記載されたアプリケーションは、整列または非整列されたナノワイヤの薄膜を含み得るし、また、複合材料または非複合材料からなるナノワイヤの薄膜を含み得る。

【０１２３】

本発明の半導体デバイス（または他のタイプのデバイス）は、他の電子回路の信号に結合され得るし、および／または、他の電子回路に組み込まれ得る。本発明の半導体デバイスは、任意の基板タイプ（集積回路、ウェハ、小さな基板および大きな基板を含む）の中または上に形成され得る。この基板は、引き続き、より小さな基板に分離またはダイシングされ得る。さらに、大きな基板（すなわち、従来の半導体ウェハよりも実質的に大きな基板）上で、本発明に従って、その基板上に形成された半導体デバイスは、相互接続され得る。

【０１２４】

本発明は、単一の半導体デバイスが必要とするアプリケーション、および、多数の半導体デバイスへのアプリケーションに組み込まれ得る。例えば、本発明は、複数の半導体デバイスが形成される大面積のマクロ電子基板に、特に適用可能である。このような電子デバイスには、アクティブマトリックスの液晶ディスプレイ（ＬＣＤ）、有機ＬＥＤディスプレイ、フィールドエミッションディスプレイ用のディスプレイ駆動回路を含み得る。他のアクティブディスプレイは、ナノワイヤ高分子、量子ドット高分子複合材料（複合材料は、エミッタおよびアクティブな駆動マトリックスの双方として機能し得る）から形成され得る。本発明は、スマートライブラリ、クレジットカード、大面積アレイセンサおよび無線周波数識別（ＲＦＩＤ）タグ（スマートカード、スマート在庫管理タグなどを含む）にも、また適用可能である。

【０１２５】

本発明は、デジタルおよびアナログ回路のアプリケーションにも、また適用可能である。特に、本発明は、大面積基板上の超大規模集積を必要とするアプリケーションに適用可能である。例えば、本発明のナノワイヤの薄膜の実施形態は、ロジック回路、メモリ回路、プロセッサ、増幅器、および、他のデジタルおよびアナログ回路において、インプリメントされ得る。

【０１２６】

したがって、軍需財および消費財の幅広い範囲が、本発明のナノワイヤの薄膜の実施形態を組み込み得る。例えば、このような財には、パソコン、ワークステーション、サーバ、ネットワーク構築デバイス、ＰＤＡ（個人向けデジタル端末）やパームパイロット（ｐａｌｍ　ｐｉｌｏｔｓ）のような携帯電子機器、電話（例えば、携帯および標準）、ラジオ、テレビ、電子ゲームおよびゲームシステム、ホームセキュリティシステム、自動車、飛行機、船舶、その他の家庭用および商業用電気製品などを含み得る。

【０１２７】

（ａ．ナノエレメントの薄膜／マトリックスの実施形態）

本発明は、システムおよび機器の性能を向上するために、システムおよび機器でナノエレメントを使用することに向けられる。例えば、本発明は、半導体デバイスにナノエレメントを使用することに向けられる。本発明に従うと、多数のナノエレメントは、移動度の高い薄膜の中に形成される。ナノエレメントの薄膜は、電子機器に使用され、機器の性能および製造性（ｍａｎｕｆａｃｔｕｒａｂｉｌｉｔｙ）を向上する。代替的に、多数のナ

ノエレメントは、マトリックスまたは複合材の中に形成される。この小節は、本発明で使用され得るナノエレメントの薄膜／マトリックスについて、一部の追加例を記載する。この小節において、ナノワイヤは、説明の目的のために言及されることが多い。しかしながら、本発明は、任意のナノエレメントのタイプの使用、あるいはナノエレメントのタイプの組み合わせた使用にも向けられることは、理解されるべきである。

【０１２８】

図１は、本発明の実施形態の例に従うナノワイヤの薄膜１００の近接図を示す。半導体ナノワイヤの薄膜１００は、従来の電子デバイスにおいて、単純で安価な製造プロセスを可能としながら、そのデバイスの挙動の改善を達成するために使用され得る。

【０１２９】

上述のように、ナノエレメントは、半導体基板のような基板上に形成され得る。さらに、ナノエレメントの薄膜の使用を介して、本発明は、特に、フレキシブルな基板にも、フレキシブルでない基板にも、高性能で低コストなデバイスを作成するのに、特に適している。

【０１３０】

図１に示すように、ナノワイヤの薄膜１００は、近接して一緒に位置する複数の個々のナノワイヤを含む。ナノワイヤの薄膜１００は、単一のナノワイヤの厚さと等しいか、それ以上の様々な厚さを有し得る。図１の例において、ナノワイヤの薄膜１００のナノワイヤは、その長軸が、実質的に互いに平行であるように整列される。代替的な実施形態において、ナノワイヤの薄膜１００のナノワイヤは、整列されず、その代わりに、ランダムに、あるいはランダムでなく、互いに異なる方向に配向され得ることに留意すべきである。代替的な実施形態において、ナノワイヤの薄膜１００のナノワイヤは、高い移動度が全ての方向に提供されるように、等方性に配向され得る。ナノワイヤの薄膜１００のナノワイヤは、特定の用途によって必要とされる性能を強化するために、電子の流れの方向に関連する任意の方法によって整列され得る。

【０１３１】

実施形態において、ナノワイヤのマトリックスまたは薄膜１００は、非対称な移動度を有するように形成され得る。例えば、これは、ナノワイヤの薄膜１００のナノワイヤを非対称に整列させること、および／または、特定の方法でナノワイヤをドーピングすることによって達成され得る。このような非対称な移動度は、第一の方向への移動度が、第二の方向への移動度より、かなり大きいことで生じ得る。例えば、非対称な移動度は、第一の方向が、第二の方向より１０倍、１００倍、１０００倍および１００００倍のオーダーで大きくなるように形成され得るし、あるいは、これらの値の中間の比率、より大きい比率、または小さい比率で、任意の非対称な移動度を有するように形成され得る。

【０１３２】

ナノワイヤの薄膜１００のナノワイヤは、性能を改善するために、様々な方法で、ドーピングされ得る。ナノワイヤは、デバイスに組み込む前あるいは後に、ドーピングされ得る。さらに、ナノワイヤは、その長軸の部分に沿って、異なるようにドーピングされ得るし、ナノワイヤの薄膜１００内の他のナノワイヤとは異なるようにドーピングされ得る。個々のナノワイヤに対する、および、ナノワイヤの薄膜／マトリックスに対する、ドーピングのスキームの一部の例が、以下に提供される。しかしながら、ナノワイヤ、および、ナノワイヤの薄膜および／またはマトリックスは、追加的な方法で、本明細書に記載した方法の任意の組み合わせでドーピングされ得ることは、本明細書の教示から、当業者には明らかである。

【０１３３】

図２は、ナノワイヤ２００を示し、これは均一にドーピングされた単結晶ナノワイヤである。このような単結晶ナノワイヤは、かなりよく制御された方法で、ｐ型またはｎ型のいずれかの半導体の中に、ドーピングされ得る。ナノワイヤ２００のようにドーピングされたナノワイヤは改善された電子特性を示す。例えば、このようなナノワイヤは、代替的な単結晶材料に匹敵するキャリア移動度レベルを有するようにドーピングされ得る。さら

に、動作の特定の理論に拘束されることなく、ナノワイヤチャネル内側を通過する電子波の一次元的な性質、および散乱の可能性低減のために、このようなナノワイヤは、バルクの単結晶材料よりも高い移動度すらも達成可能であり得る。単一のｐ型Ｓｉ（シリコン）ナノワイヤにおいて、１５００ｃｍ^2／Ｖ・ｓまでのキャリア移動度レベルが観察され、また、ｎ型のＩｎＰナノワイヤにおいて、４０００ｃｍ^2／Ｖ・ｓまでのキャリア移動度レベルが観察された。

【０１３４】

図３は、コアーシェル構造に従って、ドーピングされたナノワイヤ３１０を示す。図３に示すように、ナノワイヤ３１０は、ドーピングされた表面層３０２を有する。表面層３０２は、様々な厚さレベル（ナノワイヤ３１０の表面上に分子モノレーヤのみであることを含む）を有し得る。このような表面ドーピングは、ナノワイヤの導電チャネルから不純物を分離し得るので、不純物関連の散乱発生を抑制し得る。こうして、キャリア移動度の大いなる向上に導き得る。例えば、ナノワイヤが、コアーシェル構造に従ってドーピングされたとき、「弾道（ｂａｌｌｉｓｔｉｃ）」輸送が、ナノワイヤ内側で達成され得る。「弾道」輸送とは、電気キャリアが、本質的に無抵抗なナノワイヤを介して輸送されることである。ナノワイヤのドーピングに関するさらなる詳細は、以下に提供される。

【０１３５】

図４は、ナノワイヤ４２０を示す。ナノワイヤ４２０は、コアーシェル構造の別のタイプに従って、均一にドーピングされ、誘電体材料層４０４によってコーティングされる。誘電体材料層４０４は、Si_2OまたはSi_3N_4のような様々な誘電体材料から選択され得る。誘電体材料層４０４を使用することで、本明細書の他箇所に記載したように、半導体デバイス２００の製造が単純化され得る。誘電体材料層４０４は、さらに以下に記載されるように、ナノワイヤ４２０上に形成され得る。

【０１３６】

図５は、ナノワイヤ５３０を示す。ナノワイヤ５３０は、図３に示すコアーシェル構造に従って、ドーピングされた表面層３０２によってドーピングされ、図４に示すように、誘電体材料層４０４によってもコーティングされている。

【０１３７】

シェルは、ナノワイヤの端を露出した状態で残して、ナノワイヤを取り囲むように形成され得る。代替的に、シェルは、ナノワイヤを完全に覆うようにも形成され得た後、ナノワイヤの端を覆うシェルは、その端を露出するために、（例えば、リソグラフィおよびエッチングなどによって）除去され得る。これは、例えば、シェルが絶縁性（例えば、誘電体材料層４０４）であるとき、有用である。また、シェルが露出した端を使用して、ナノワイヤの導電性コアとの電気的コンタクトを作ることが望ましい。例えば、図６は、コアーシェル構造を有するナノワイヤ６００を示す。ナノワイヤ６００は、シェル６０４によって覆われていない部分を有するコア６０２の第一の端６１０および第二の端６２０を有する。

【０１３８】

これら材料で製造されたナノワイヤの集合は、高性能の電子機器用のブロックを作成するのに有用である。実質的に同じ方向に配向されたナノワイヤの集合は、高い移動度の値を有する。さらに、ナノワイヤは、溶液の中でフレキシブルに処理され得るので、安価な製造を可能とする。ナノワイヤの集合は、ナノワイヤの薄膜を達成するために、溶液から任意のタイプの基板上に容易にアセンブリされ得る。

【０１３９】

ナノワイヤは、高分子／有機半導体材料のような材料と組み合わされたとき、高性能の複合材料を作成するためにも、また使用され得ることに留意すべきである。これら材料は、任意のタイプの基板上に、フレキシブルにスピンキャスト（ｓｐｉｎ－ｃａｓｔ）され得る。ナノワイヤ／高分子複合材は、純粋な高分子材料よりも、優れた特性を提供し得る。

【０１４０】

上述のように、ナノワイヤの集合または薄膜は、実質的に互いに平行になるように整列され得ることも、あるいは、整列されずに残され得ることも、または、ランダムに残され得ることもある。整列されないナノワイヤの集合または薄膜は、ポリシリコン材料に匹敵するか、または、それに勝る電子特性を提供し、典型的には、１～１０ｃｍ^2／Ｖ・ｓの範囲の移動度の値を有する。

【０１４１】

整列されたナノワイヤの集合または薄膜は、単結晶材料に匹敵するか、またはそれに勝る性能を有する材料を提供する。さらに、整列された弾道ナノワイヤ（例えば、図３に示すコア－シェルナノワイヤ）を含むナノワイヤの集合または薄膜は、単結晶材料に比較して、劇的に改善された性能を提供し得る。

【０１４２】

整列および非整列された複合材料および非複合材料のナノワイヤの薄膜は、本発明の様々な方法に従って製造され得る。これらのタイプのナノワイヤの薄膜のアセンブリおよび製造に対する実施形態の例は、以下に提供される。

【０１４３】

ランダムに配向されたナノワイヤの薄膜は、様々な方法で入手され得る。例えば、ナノワイヤは、適切な溶液の中に分散され得る。次いで、ナノワイヤは、スピンキャスト、滴下乾燥（ｄｒｏｐ－ａｎｄ－ｄｒｙ）、フラッド乾燥（ｆｌｏｏｄ－ａｎｄ－ｄｒｙ）、または浸漬乾燥（ｄｉｐ－ａｎｄ－ｄｒｙ）のアプローチを用いて、所望の基板上に堆積され得る。これらのプロセスは、高いカバー率を確保するために、複数回実行され得る。ランダムに配向されたナノワイヤの薄膜／高分子複合材料は、同様の方法で製造され得るが、ナノワイヤを分散する溶液が高分子溶液であることを除く。

【０１４４】

整列されたナノワイヤの薄膜は、様々な方法で入手され得る。例えば、整列されたナノワイヤの薄膜は、以下の技術を使用して、製造され得る。すなわち、（ａ）ラングミュアーブロジェット膜配列、（ｂ）流体流れのアプローチで、例えば、２００２年９月１０日出願の米国特許出願番号第１０／２３９，０００号（代理人整理番号第０１－０００５４０号）に記載され、本明細書にて、その全体を参考として援用するアプローチ、および（ｃ）機械的剪断力の適用である。例えば、機械的剪断力が利用され得るのは、第一の表面と第二の表面との間に、ナノワイヤを置くこと、次いで、第一の表面と第二の表面とを相対する方向に動かして、ナノワイヤを整列することによってである。整列されたナノワイヤの薄膜／高分子複合材料は、これらの技術を利用し、次いで、形成されたナノワイヤの薄膜の上に、所望の高分子をスピンキャストすることで、入手され得る。例えば、ナノワイヤは、液体高分子溶液の中に堆積され得る。次いで、整列は、これらまたは他の整列プロセスの一つに従って実行され得る。こうして、整列されたナノワイヤは、次いで、硬化（例えば、ＵＶ硬化、架橋結合など）され得る。また、整列されたナノワイヤの薄膜／高分子複合材料は、ランダムに配向されたナノワイヤの薄膜／高分子複合材料を機械的に引き伸ばすことによっても、入手され得る。

【０１４５】

誘電体層は、図４に示すような誘電体材料層４０４のように、ナノワイヤ上に形成され得る。誘電体層は、ナノワイヤを酸化することによって、あるいは、誘電体層を他の方法で形成することによって、形成され得る。例えば、他の非酸化物の高誘電率材料も使用され得る。これら材料には、窒化ケイ素、Ta_2O_5、TiO_2、ZrO_2、HfO_2、Al_2O_3などを含む。ナノワイヤの窒化は、ナノワイヤの酸化に利用されるプロセスと同様のプロセスで達成され得る。これら材料は、化学気相蒸着（ＣＶＤ）、溶液相オーバーコーティング（ｓｏｌｕｔｉｏｎ　ｐｈａｓｅ　ｏｖｅｒ－ｃｏａｔｉｎｇ）、あるいは、基板上に、適切な前駆体を単なるスピンコーティングすることによって、ナノワイヤに付加され得る。他の既知の技術も使用され得る。

【０１４６】

一部の実施形態において、ナノエレメントの薄膜の２層以上が、所定のエリア内で基板

に付加され得ることに留意すべきである。多数の層は、より大きな導電性を可能とし、個々の半導体デバイスの電気的特性を改善するために使用され得る。多数の層は、互いに同様なことも、異なることもあり得る。例えば、異なる方向に整列され、異なるドーピングをされ、および／または、異なる絶縁をされたナノワイヤを有するナノエレメントの２層以上の薄膜は、特定の半導体デバイスで使用され得る。特定の半導体デバイスのコンタクトエリアは、ナノワイヤの多層薄膜の任意の１つ以上の層と結合され得る。ナノワイヤの薄膜は、必要に応じて、ナノワイヤのモノレーヤ、ナノワイヤのサブモノレーヤ、および、ナノワイヤのモノレーヤを上回る層として、形成され得ることに留意すべきである。

【０１４７】

（ＩＩＩ結論）

本発明の様々な実施形態が上述されてきたが、上述の実施形態は、例として紹介されたに過ぎず、限定のためでないことは、理解されるべきである。本発明の精神および範囲から逸脱することなく、形式および詳細において様々な変更がなされ得ることは、当業者には明らかである。このように、本発明の幅および範囲は、上述の例示的な実施形態のいずれによっても限定されるべきではなく、以下の請求項およびその均等物に従ってのみ、規定されるべきである。

【図面の簡単な説明】

【０１４８】

【図１】図１は、本発明の実施形態の例に従うナノワイヤの薄膜の一部分を示す。

【図２】図２は、本発明の実施形態の例に従うドーピング／コーティングされたナノワイヤを示す。

【図３】図３は、本発明の実施形態の例に従うドーピング／コーティングされたナノワイヤを示す。

【図４】図４は、本発明の実施形態の例に従うドーピング／コーティングされたナノワイヤを示す。

【図５】図５は、本発明の実施形態の例に従うドーピング／コーティングされたナノワイヤを示す。

【図６】図６は、本発明の実施形態の例に従うドーピング／コーティングされたナノワイヤを示す。

【図７】図７は、印刷機器用の現像ユニットの一部分の断面図を示す。

【図８】図８は、図７の現像ユニットの動作例を示す。

【図９】図９は、印刷機器用の現像ユニットの一部分の断面図を示す。

【図１０】図１０は、本発明の実施形態の例に従う図９の現像ユニットの動作例を示す。

【図１１】図１１は、本発明の実施形態に従うナノエレメントとして複数のナノワイヤを有する電荷拡散層の一部分の断面図を示す。

【図１２】図１２は、本発明の実施形態の例に従う電荷拡散層の一部分の例となる平面図を示す。

【図１３】図１３は、本発明の実施形態の例に従う電荷拡散層の一部分の例となる平面図を示す。

【図１４】図１４は、本発明の実施形態の例に従うナノワイヤ１１０２が稠密に充填された電荷拡散層の断面図を示す。

【図１５】図１５は、本発明の実施形態に従うナノエレメントとして複数のナノロッドを有する電荷拡散層の一部分の断面図を示す。

【図１６】図１６は、本発明の実施形態に従うナノエレメントとして、複数のナノワイヤを有する電荷拡散層の一部分の断面図を示す。

【図１７】図１７Ａおよび図１７Ｂは、本発明の実施形態の例に従う印刷機器の現像ユニットの断面図を示す。

【図１８】図１８は、本発明の実施形態の例に従う印刷機器の現像ユニットの断面図を示す。

【図１９】図１９は、本発明の実施形態の例に従う印刷機器の現像ユニットを製造する例

となるステップを提供する流れ図を示す。
【図２０】図２０は、本発明の実施形態の例に従うフローティングゲートメモリデバイスのブロック図を示す。
【図２１】図２１は、本発明の実施形態の例に従うフローティングゲートメモリデバイスの詳細な断面図を示す。
【図２２】図２２は、本発明の実施形態の例に従うフローティングゲートメモリデバイスの詳細な断面図を示す。
【図２３】図２３は、本発明の実施形態に従うナノエレメントの薄膜の例の平面図フを示す。
【図２４】図２４は、本発明の実施形態に従うナノエレメントの薄膜の例の平面図フを示す。
【図２５】図２５は、本発明の実施形態に従う絶縁シェルによって取り囲まれたコアを有するナノ粒子の例を示す。
【図２６】図２６は、本発明の実施形態に従うナノエレメントの薄膜の例の平面図を示す。
【図２７】図２７は、本発明の実施形態に従うナノエレメントの薄膜の例の平面図を示す。
【図２８】図２８は、本発明の実施形態に従う例となるナノエレメントの薄膜の平面図を示す。
【図２９】図２９は、本発明の実施形態に従う例となるナノエレメントの薄膜の平面図を示す。
【図３０】図３０は、本発明の実施形態に従う例となるフローティングゲートメモリデバイスを製造する例となるステップを提供する流れ図を示す。
【図３１】図３１は、本発明の実施形態に従う例となるフローティングゲートメモリデバイスの製造のステージを示す。
【図３２】図３２は、本発明の実施形態に従う例となるフローティングゲートメモリデバイスの製造のステージを示す。
【図３３】図３３は、本発明の実施形態に従う例となるフローティングゲートメモリデバイスの製造のステージを示す。例となる
【図３４】図３４は、本発明の実施形態に従う例となるフローティングゲートメモリデバイスの製造のステージを示す。
【図３５】図３５は、本発明の実施形態に従う表面処理を組み入れて処理された例となるナノ粒子を示す。
【図３６】図３６は、本発明の実施形態に従うナノエレメントの薄膜内の処理された複数のナノ粒子を示す。
【図３７】図３７～３９は、本発明の実施形態の例に従い、異なる電荷注入閾値電圧に対応する異なるシェル厚さを有する様々なナノエレメントの断面図を示す。
【図３８】図３７～３９は、本発明の実施形態の例に従い、異なる電荷注入閾値電圧に対応する異なるシェル厚さを有する様々なナノエレメントの断面図を示す。
【図３９】図３７～３９は、本発明の実施形態の例に従い、異なる電荷注入閾値電圧に対応する異なるシェル厚さを有する様々なナノエレメントの断面図を示す。
【図４０】図４０は、本発明の実施形態に従うマルチステートメモリデバイスの例を示す。
【図４１】図４１は、本発明の実施形態の例に従う図４０のマルチステートメモリデバイスをプログラミングするために付与された入力信号のプロットを示す。
【図４２】図４２は、図４０のマルチステートメモリデバイスを介して測定された電流を、様々な状態で読み込んだプロットを示す。
【図４３】図４３は、本発明の実施形態の例に従うマルチステートメモリデバイスの例における閾値電圧対電荷注入のプロットを示す。
【図４４】図４４は、本発明の実施形態の例に従うマルチビットメモリに対する離散的な

エネルギレベルを示すエネルギ図を示す。
【図４５】図４５は、金属マイグレーションバリア層を含む本発明の代替的な実施形態に従うフローティングゲートメモリデバイスを示す。
【図４６】図４６Ａは、本発明の代替的な実施形態に従うマルチステートメモリデバイスの例を示す。図４６Ｂは、図４６Ａの量子ドットの最高の離散的なエネルギレベルからの単一電子の放出を示す。図４６Ｃは、図４６Ａの量子ドットの中間の離散的なエネルギレベルからの電子の放出を示す。図４６Ｄは、図４６Ａの量子ドットの最低の離散的なエネルギレベルからの電子の放出を示す。

【図１】

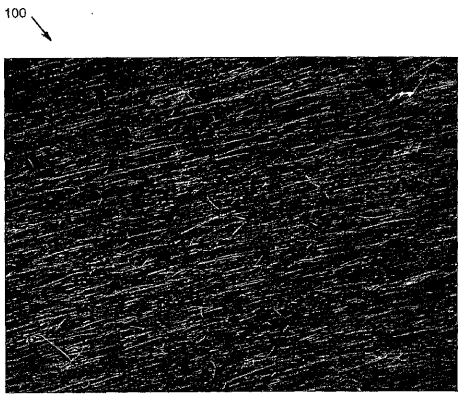

FIG. 1

【図２】

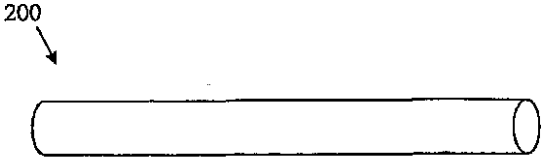

FIG. 2

【図３】

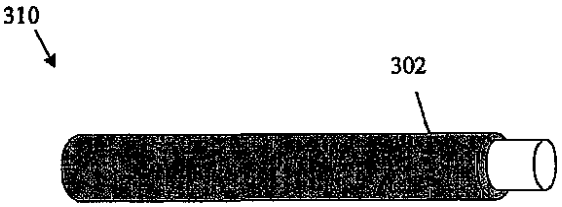

FIG. 3

【図４】



FIG. 4

【図５】

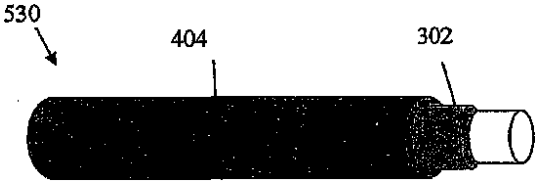

FIG. 5

【図６】



FIG. 6

【図７】

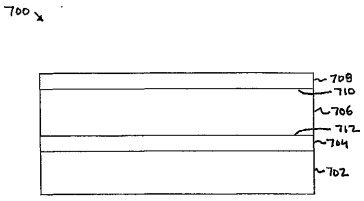

FIG. 7

【図８】

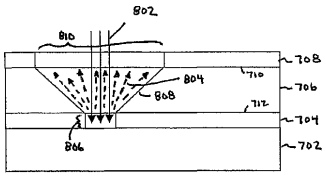

FIG. 8

【図９】

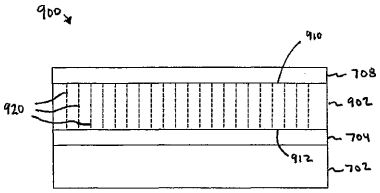

FIG. 9

【図１０】

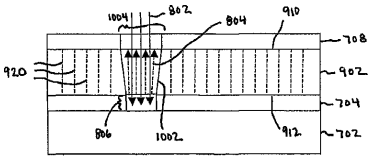

FIG. 10

【図１１】

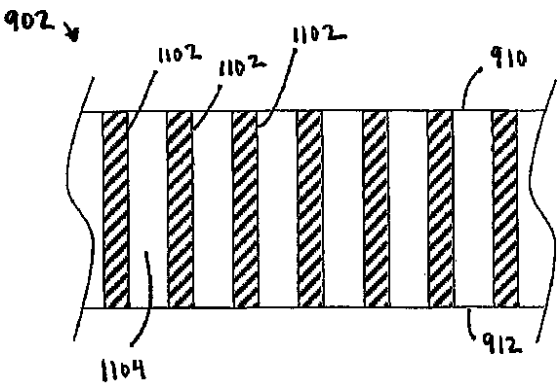

FIG. 11

【図１２】

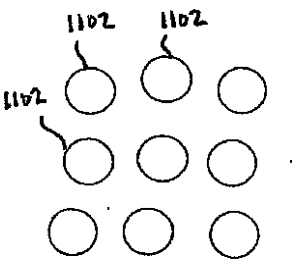

FIG. 12

【図１３】

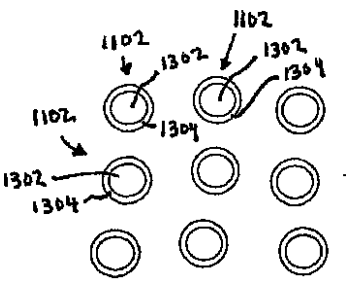

FIG. 13

【図１４】

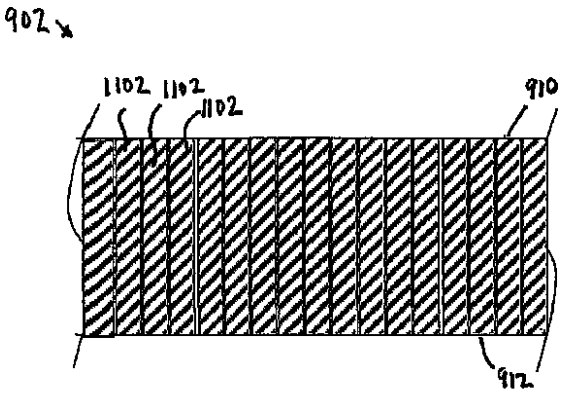

FIG. 14

【図１５】

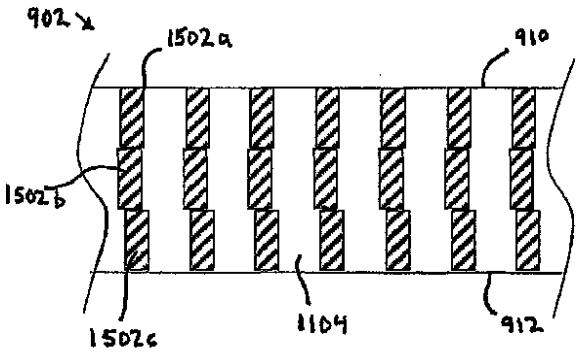

FIG. 15

【図１６】

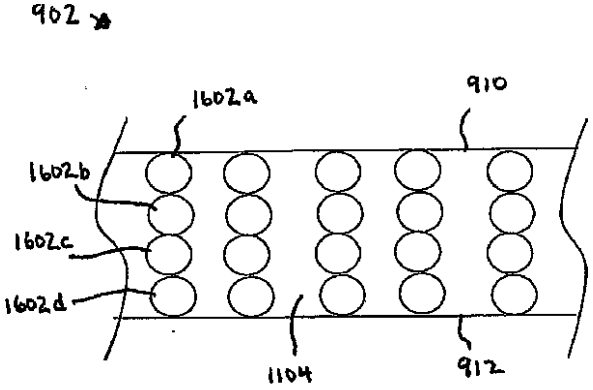

FIG. 16

【図１７Ａ】

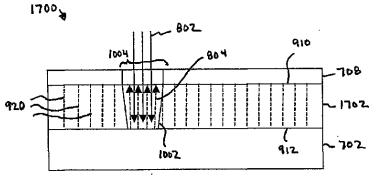

FIG. 17A

【図１７Ｂ】

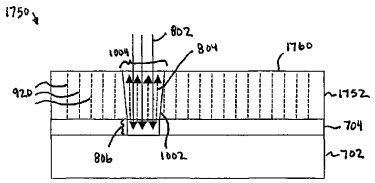

FIG. 17B

【図１８】

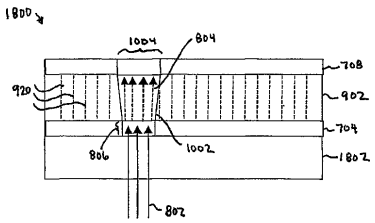

FIG. 18

【図１９】

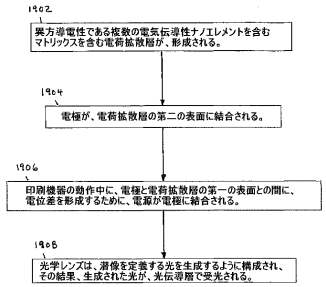

FIG. 19

【図２０】

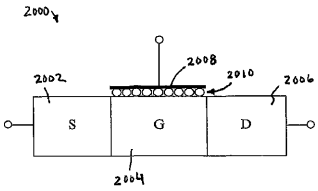

FIG. 20

【図２１】

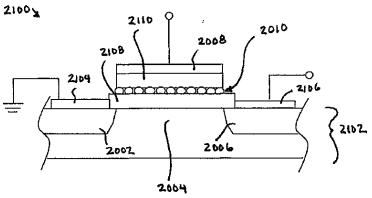

FIG. 21

【図２２】

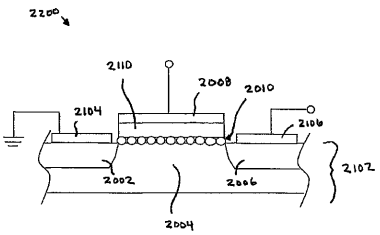

FIG. 22

【図２３】

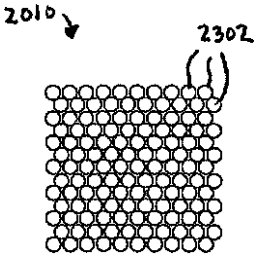

FIG. 23

【図２４】

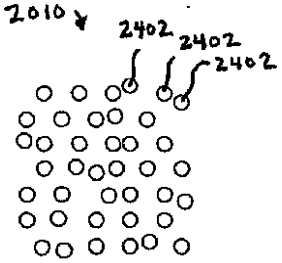

FIG. 24

【図２５】

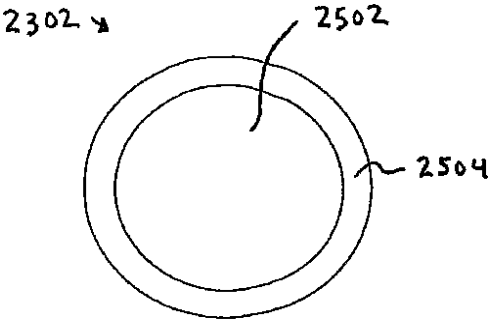

FIG. 25

【図２６】

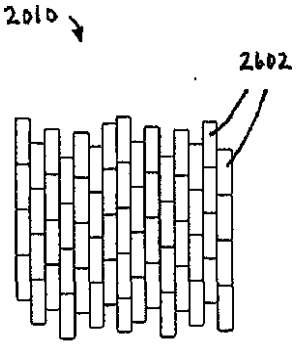

FIG. 26

【図２７】

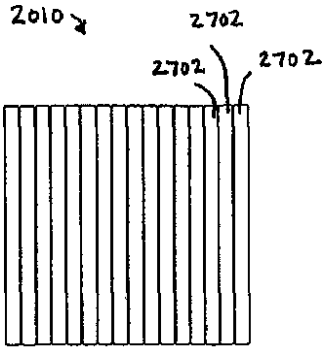

FIG. 27

【図２８】

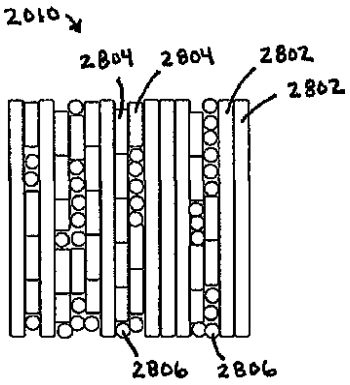

FIG. 28

【図２９】

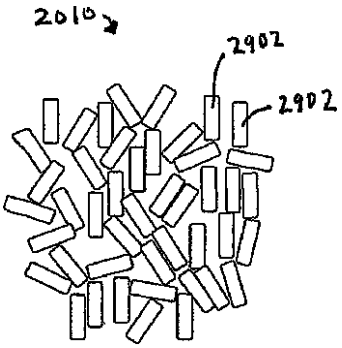

FIG. 29

【図３０】

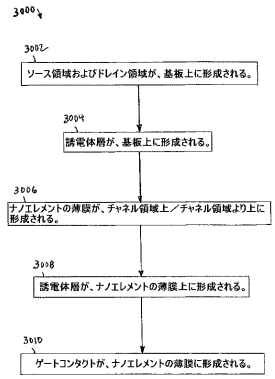

FIG. 30

【図３１】

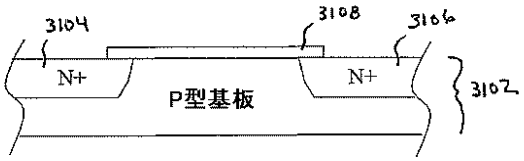

FIG. 31

【図３２】

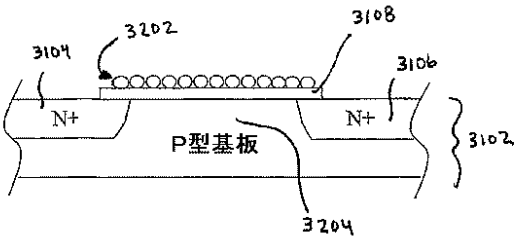

FIG. 32

【図３３】

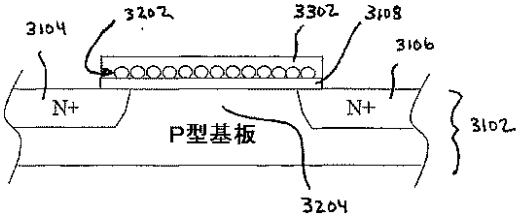

FIG. 33

【図３４】

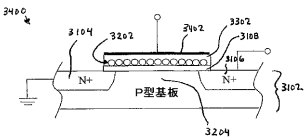

FIG. 34

【図３５】

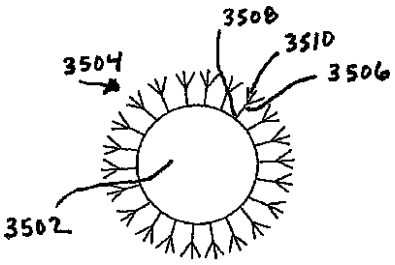

FIG. 35

【図３６】

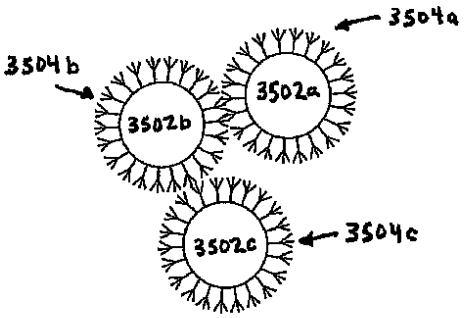

FIG. 36

【図３７】

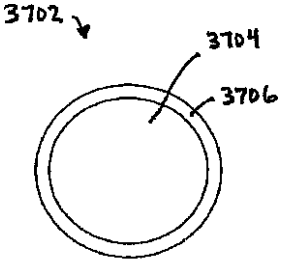

FIG. 37

【図３８】

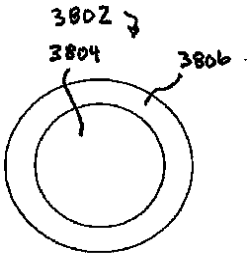

FIG. 38

【図３９】

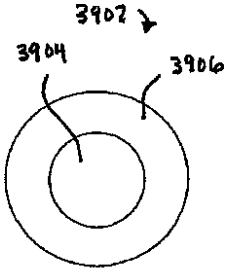

FIG. 39

【図４０】

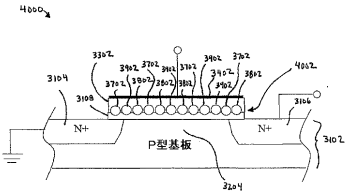

FIG. 40

【図４１】

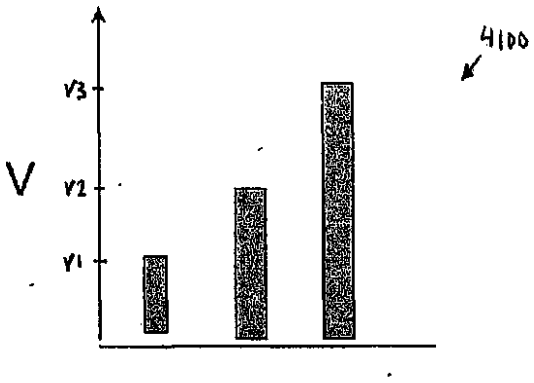

FIG. 41

【図４２】

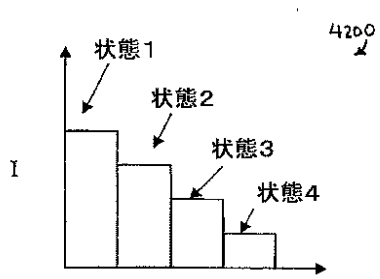

FIG. 42

【図４３】

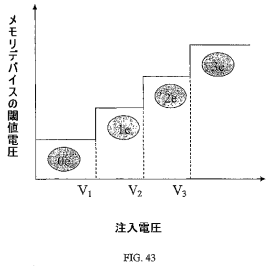

FIG. 43

【図４４】

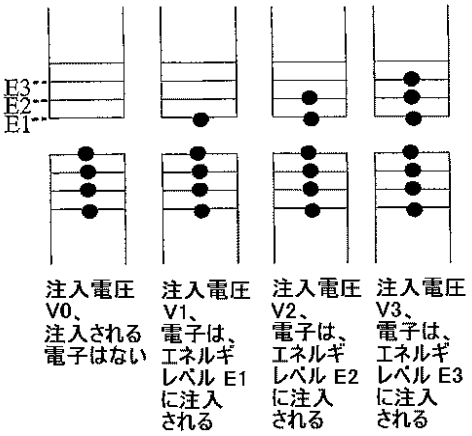

FIG. 44

【図４５】

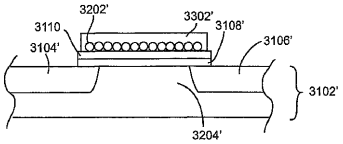

FIG. 45

【図４６】

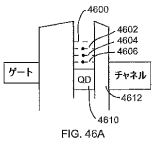

FIG. 46A

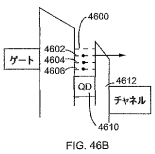

FIG. 46B

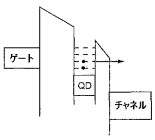

FIG. 46C

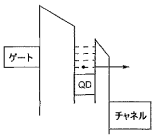

FIG. 46D

フロントページの続き

(51)Int.Cl. ＦＩ
Ｈ０１Ｌ 29/06 (2006.01)

(31)優先権主張番号 11/018,572
(32)優先日 平成16年12月21日(2004.12.21)
(33)優先権主張国 米国(US)

(72)発明者 デゥアン, シャンフォン
アメリカ合衆国 カリフォルニア ９４０４０, マウンテン ビュー, デール アベニュー １２００, アパートメント １３１
(72)発明者 チョウ, カルビン ワイ. エイチ.
アメリカ合衆国 カリフォルニア ９４０２８, ポルトラ バレー, ミノカ ロード ４５５
(72)発明者 ヒールド, デイビッド エル.
アメリカ合衆国 カリフォルニア ９３４６４, ソルバン, バラード キャニオン ロード ９７６
(72)発明者 ニウ, チュンミン
アメリカ合衆国 カリフォルニア ９４３０６, パロ アルト, ロマ ベルデ アベニュー ４５０
(72)発明者 パース, ジェイ. ウォーラス
アメリカ合衆国 カリフォルニア ９４３０６, パロ アルト, ロス ロベルス アベニュー ７５４
(72)発明者 ストゥンボ, デイビッド ピー.
アメリカ合衆国 カリフォルニア ９４００２, ベルモント, ６ティーエイチ アベニュー １５６１

審査官 河合 俊英

(56)参考文献 特開平１１－１８６４２１（ＪＰ，Ａ）
特開２００１－１１８８１０（ＪＰ，Ａ）
特開２００３－１６８６０６（ＪＰ，Ａ）
特開平１１－２３３７５２（ＪＰ，Ａ）
特開２００２－０５０７６２（ＪＰ，Ａ）
特開２００４－０５５９６９（ＪＰ，Ａ）
特開平０７－３０２８４８（ＪＰ，Ａ）
特開２０００－０４９２４５（ＪＰ，Ａ）
特開２００１－３１３３４２（ＪＰ，Ａ）
特表２００６－５１９４９１（ＪＰ，Ａ）
特開平１０－２６１７９６（ＪＰ，Ａ）
特開２００４－２８１４９８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/8247
G03G 15/04
H01L 27/115
H01L 29/06
H01L 29/788
H01L 29/792