



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212450

(11) (B1)

(51) Int. Cl.³

H 03 K 3/35

(22) Přihlášeno 01 06 78
(21) (PV 3571-78)

(40) Zveřejněno 31 08 81

(45) Vydáno 15 07 84

(75)
Autor vynálezu

MIKULEC JINDŘICH ing., PRAHA

(54) Zapojení generátoru znaků pro zobrazovací jednotku

1

Vynález se týká zapojení generátoru znaků pro zobrazovací jednotku, který sestává ze dvou registrů se vstupními signály pro zvolení znaku, zatěžovacích odporů, invertorů a hradel se signály odpovídajícími lince zobrazení a z osmi rychlých pamětí organizovaných do 256 čtyřbitových slov.

Většina dosud známých zapojení se týká generátoru znaků realizovaného reprogramovatelnými pamětmi MOS a patřičnou kombinační sítí. Tyto paměti nevyhovují svou dlouhou vybavovací dobou zejména novým požadavkům na rychlost. Při dané volbě řídicích signálů a obvodových funkcí adresovacích a výběrových obvodů vychází značně složitá kombinační síť. To přináší zvýšené materiální a výrobní náklady, složitější oživování osazených destiček a jejich servis. Větší počet obvodů vede i k celkové menší spolehlivosti celého zařízení.

Uvedené nevýhody se odstraní zapojením generátoru znaků pro zobrazovací jednotku podle vynálezu, které sestává ze dvou registrů se vstupními signály pro zvolení znaku, zatěžovacích odporů, invertorů a hradel se signály odpovídajícími lince zobrazení a z osmi rychlých pamětí organizovaných do 256 čtyřbitových jednotek.

Podstata vynálezu spočívá v tom, že výstupy prvního registru jsou připojeny na čtvrté až sedmé adresovací vstupy všech osmi pamětí a první výstup druhého registru je připojen na osmé adresovací vstupy pamětí, zatímco třetí výstup druhého registru je připojen ke vstupu prvního invertoru a současně na první vstup druhého, čtvrtého a devátého hradla a čtvrtý výstup druhého registru je připojen ke vstupu druhého invertoru a současně na druhý vstup čtvrtého hradla, přičemž výstup prvního invertoru je připojen k prvnímu vstupu prvního hradla a výstup druhého invertoru je připojen ke druhému vstupu prvního hradla a současně ke druhému vstupu druhého hradla. Svorky pro volbu linky zobrazení jsou připojeny ke vstupům třetího až šestého invertoru, přičemž vstup třetího invertoru je připojen

212450

k prvnímu adresovacímu vstupu prvních šesti pamětí a výstup třetího invertoru je připojen na první adresovací vstup sedmé a osmé paměti. Vstup čtvrtého invertoru je spojen s prvním vstupem pátého hradla a zároveň s prvním vstupem třináctého hradla, výstup čtvrtého invertoru je spojen s druhým adresovacím vstupem prvních šesti pamětí a zároveň s prvním vstupem desátého hradla a čtrnáctého hradla. Vstup pátého invertoru je spojen s druhým vstupem pátého hradla a zároveň s prvním vstupem dvanáctého hradla, výstup pátého invertoru je spojen s třetím vstupem jedenáctého hradla a zároveň s třetím vstupem čtrnáctého hradla. Vstup šestého invertoru je spojen s druhým vstupem čtrnáctého hradla, výstup šestého invertoru je připojen k druhým vstupům dvanáctého hradla a třináctého hradla a zároveň k prvnímu vstupu šestého hradla, na jehož druhý vstup je připojen výstup pátého hradla, přičemž výstup šestého hradla je připojen na třetí adresovací vstup prvních šesti pamětí, zatímco na druhý adresovací vstup sedmé a osmé paměti je připojen přes osmý invertor výstup osmého hradla, na jehož první vstup je připojen výstup třetího hradla a na jehož druhý vstup spojený s druhými vstupy devátého a desátého hradla je přes desátý invertor připojena svorka indikace diakritického znaménka. Na třetí adresovací vstup sedmé a osmé paměti je přes devátý invertor připojen výstup devátého hradla. Na první vstup pro volbu pamětí prvních šesti pamětí je připojen výstup sedmého hradla, k jehož prvnímu vstupu spojenému s prvním vstupem jedenáctého hradla je přes sedmý invertor připojena svorka zákazu zobrazení a k jehož druhému vstupu je připojen výstup patnáctého hradla, jehož vstupy jsou připojeny k výstupům dvanáctého až čtrnáctého hradla, zatímco výstup patnáctého hradla je připojen na první vstup pro volbu pamětí sedmé a osmé paměti. Ke druhému vstupu pro volbu pamětí první a druhé paměti je připojen výstup prvního hradla společně s prvním vstupem třetího hradla. Ke druhému vstupu pro volbu pamětí třetí a čtvrté paměti je připojen výstup druhého hradla. Ke druhému vstupu pro volbu pamětí páté a šesté paměti je připojen výstup čtvrtého hradla společně s druhým vstupem třetího hradla a ke druhému vstupu pro volbu pamětí sedmé a osmé paměti je připojen výstup jedenáctého hradla, k jehož druhému vstupu je připojen výstup desátého hradla. První čtyři výstupy generátoru znaků jsou spojeny s výstupy lichých pamětí společně s prvními čtyřmi odpory, zatímco další tři výstupy generátoru znaků jsou spojeny s výstupy sudých pamětí společně s dalšími třemi odpory a opačné konce všech sedmi odporů jsou připojeny na zdroj kladného napětí společně s osmým odporem, jehož druhý vývod je připojen ke vstupům pro volbu režimu obou registrů. Hodinové vstupy obou registrů jsou spojeny se zdrojem hodinových pulsů a na vstupy obou registrů jsou připojeny svorky pro zvolení znaku.

Výhodou zapojení podle vynálezu je dosažení požadované funkce pamětmi TTL. Volbou nových obvodových funkcí a reorganizací vstupních řídicích signálů byl snížen počet integrovaných obvodů v logické kombinační síti, což kromě snížení materiálových a výrobních nákladů znamená i zvýšení spolehlivosti a zjednodušení servisu.

Zapojení generátoru znaků pro zobrazovací jednotku bude dále blíže popsáno podle přiloženého výkresu.

Základem generátoru znaků jsou rychlé paměti, například SN 74 S 387, označené na schématu ROM1 až ROM8. Tyto paměti jsou organizovány do 256 čtyřbitových slov. Zobrazované písmeno má rastr 7 x 9 bodů, vzdálenost mezi písmeny jsou 2 body. Adresovací a výběrové obvody plní tyto funkce: a) adresace prvních tří adresových bitů pamětí podle linky zobrazení; b) adresace zbylých pěti bitů podle zvoleného znaku; c) výběr dvojice pamětí podle druhu znaků a linky zobrazení; d) zákaz zobrazení v některých speciálních případech.

Vstupními signály zapojení jsou čtyři signály L1 až L4 dávající informaci o lince zobrazení a osm signálů P1 až P8 pro zvolení znaku. Těchto osm vstupních signálů P1 až P8 pro zvolení znaku je přivedeno na vstupní svorky A, B, C, D prvního a druhého registru RG1, RG2. V okamžiku náběžné hrany hodinového impulsu ze zdroje H se vstupní signály P1 až P8 pro zvolení znaku přepíší najednou na výstupy A, B, C, D obou registrů RG1, RG2. Přitom prvních pět signálů P1 až P5 slouží k přímému adresování všech osmi pamětí ROM1 až ROM8, šestý vstupní signál P6 rozlišuje velká a malá písmena, sedmý a osmý vstupní signál P7, P8 určují, zda jde o číslice, latinskou abecedu nebo ruskou abecedu.

Výstupy 1 až 4 všech pamětí ROM1 až ROM8 jsou zapojeny paralelně na společné zatěžovací odpory R1 až R7, čímž se realizuje logický součet sobě odpovídajících výstupů. Volba jednotlivých pamětí ROM1 až ROM8 se realizuje vstupy CS1, CS2. Má-li být zvolena určitá paměť, musí být logický součet vstupů CS1, CS2, pro volbu pamětí roven nule. Není-li tato podmínka u některé z pamětí splněna, je na všech jejích výstupech logická jednička.

V první a druhé paměti ROM1, ROM2 je uloženo prvních osm linek znaků číslic, ve třetí a čtvrté paměti ROM3, ROM4 je uloženo prvních osm linek znaků latinské abecedy, v páté a šesté paměti ROM5, ROM6 je uloženo prvních osm linek znaků ruské abecedy, v sedmé a osmé paměti ROM7, ROM8 jsou poslední deváté řádky všech znaků a diakritická znaménka.

Pro signály přivedené na první a druhý vstup CS1, CS2 pro volbu pamětí platí funkce:

$$CS1 = L3.L4 + L2.L4 + L2.L3.L4 + ZK \text{ pro prvou až šestou paměť } ROM1 \text{ až } ROM6, \quad (1)$$

$$CS2 = P7 + P8 \text{ pro první dvě paměti } ROM1, ROM2 \quad (2)$$

$$CS2 = \overline{P7} + P8 \text{ pro další dvě paměti } ROM3, ROM4 \quad (3)$$

$$CS2 = \overline{P7} + \overline{P8} \text{ pro pátou a šestou paměť } ROM5, ROM6 \quad (4)$$

$$CS1 = L3.L4 + L2.L4 + L2.L3.L4 \text{ pro sedmou a osmou paměť } ROM7, ROM8 \quad (5)$$

$$CS2 = L2.DZ + L3 + ZK \text{ pro sedmou a osmou paměť } ROM7, ROM8. \quad (6)$$

Signál pro zákaz zobrazení ZK zakazuje zobrazení a při jeho výskytu jsou výstupy všech pamětí ROM1 až ROM8 v logické jedničce, signál DZ indikuje výskyt diakritického znaménka.

Funkce (1) je realizována sedmým hradlem H7, dvanáctým až patnáctým hradlem H12 až H15 a sedmým invertorem I7, přičemž negované hodnoty vstupních signálů L1 až L4 odpovídajících linek zobrazení jsou odebrány na výstupech třetího až šestého invertoru I3 až I6. Druhá funkce (2) je realizována prvním hradlem H1, třetí funkce (3) druhým hradlem H2 a funkce (4) čtvrtým hradlem H4. Pátá funkce (5) je realizována dvanáctým až patnáctým hradlem H12 až H15 a funkce (6) desátým hradlem H10, jedenáctým hradlem H11, sedmým invertorem I7 a desátým invertorem I10.

Vstupní signály L1 až L4 odpovídající lince zobrazení slouží dále k adresování prvních tří adresovacích bitů první až šesté paměti ROM1 až ROM6. Pro transformaci čísla linky na příslušnou adresu platí vztahy:

$$A0 = L1 \quad (7)$$

$$A1 = L2 \quad (8)$$

$$A2 = L2.L3 + L4 \quad (9),$$

přičemž vztah (9) je realizován pátým hradlem H5 a šestým hradlem H6

Pro adresaci prvních tří adresních bitů sedmé a osmé paměti ROM7, ROM8 platí vztahy:

$$A0 = L1 \quad (10)$$

$$A1 = P7.P8.DZ + \overline{P7.P8.DZ} \quad (11)$$

$$A2 = P7.DZ \quad (12)$$

přičemž vztah (11) je realizován prvním hradlem H1, třetím a čtvrtým hradlem H3, H4, osmým hradlem H8, osmým invertorem I8, desátým invertorem I10 a vztah (12) je realizován devátým hradlem H9 a desátým invertorem I9.

Signály z výstupů V1 až V7 generátoru znaků se dále vedou do registrů, kde se převádějí na sled bodů. Tyto obvody již nejsou předmětem vynálezu, a proto již nejsou zakresleny. Rovněž nejsou zakresleny další obvody, kterými jsou zatěžovány výstupy A, B, C, D obou registrů RG1, RG2.

PŘEDMĚT VYNÁLEZU

Zapojení generátoru znaků pro zobrazovací jednotku, který sestává ze dvou registrů se vstupními signály pro zvolení znaku, zatěžovacích odporů, invertorů a hradel se signály odpovídajícími lince zobrazení a z osmi rychlých pamětí organizovaných do 256 čtyřbitových slov, vyznačené tím, že výstupy (A, B, C, D) prvního registru (RG1) jsou připojeny na čtvrté až sedmé adresovací vstupy (A3, A4, A5, A6) všech osmi pamětí (ROM1 až ROM8) a první výstup (A) druhého registru (RG2) je připojen na osmé adresovací vstupy (A7) pamětí (ROM1 až ROM8), zatímco třetí výstup (C) druhého registru je připojen jen ke vstupu invertoru (I1) a současně na první vstup druhého, čtvrtého a devátého hradla (H2, H4, H9) a čtvrtý výstup (D) druhého registru (RG2) je připojen ke vstupu druhého invertoru (I2) a současně na druhý vstup čtvrtého hradla (H4) přičemž výstup prvního invertoru (I1) je připojen k prvnímu vstupu prvního hradla (H1) a výstup druhého invertoru (I2) je připojen ke druhému vstupu prvního hradla (H1) a současně ke druhému vstupu druhého hradla (H2), svorky pro volbu linky zobrazení jsou připojeny ke vstupům třetího až šestého invertoru (I3 až I6), přičemž vstup třetího invertoru (I3) je připojen k prvnímu adresovacímu vstupu (A0) prvních šesti pamětí (ROM1 až ROM6) a výstup třetího invertoru (I3) je připojen na první adresovací vstup (A0) sedmé a osmé paměti (ROM7, ROM8), vstup čtvrtého invertoru (I4) je spojen s prvním vstupem pátého hradla (H5) a zároveň s prvním vstupem třináctého hradla (H13), výstup čtvrtého invertoru (I4) je spojen s druhým adresovacím vstupem (A1) prvních šesti pamětí (ROM1 až ROM6) a zároveň s prvním vstupem desátého hradla (H10) a čtrnáctého hradla (H14), vstup pátého invertoru (I5) je spojen s druhým vstupem pátého hradla (H5) a zároveň s prvním vstupem dvanáctého hradla (H12), výstup pátého invertoru (I5) je spojen se třetím vstupem jedenáctého hradla (H11) a zároveň se třetím vstupem čtrnáctého hradla (H14), vstup šestého invertoru (I6) je spojen se druhým vstupem čtrnáctého hradla (H14), výstup šestého invertoru (I6) je připojen ke druhým vstupům dvanáctého hradla (H12) a třináctého hradla (H13) a zároveň k prvnímu vstupu šestého hradla (H6), na jehož druhý vstup je připojen výstup pátého hradla (H5), přičemž výstup šestého hradla (H6) je připojen na třetí adresovací vstup (A2) prvních šesti pamětí (ROM1 až ROM6), zatímco na druhý adresovací vstup (A1) sedmé a osmé paměti (ROM7, ROM8) je připojen přes osmý invertor (I8) výstup osmého hradla (H8), na jehož první vstup je připojen výstup třetího hradla (H3) a na jehož druhý vstup spojený se druhými vstupy devátého a desátého hradla (H9, H10) je přes desátý invertor (I10) připojena svorka indikace diakritického znaménka, na třetí adresovací vstup (A2) sedmé a osmé paměti (ROM7, ROM8) je přes devátý invertor (I9) připojen výstup devátého hradla (H9), na první vstup pro volbu pamětí (CS1) prvních šesti pamětí (ROM1 až ROM6) je připojen výstup sedmého hradla (H7), k jehož prvnímu vstupu spojenému s prvním vstupem jedenáctého hradla (H11) je přes sedmý invertor (I7) připojena svorka zákazu zobrazení a k jehož druhému vstupu je připojen výstup patnáctého hradla (H15), jehož vstupy jsou připojeny k výstupům dvanáctého až čtrnáctého hradla (H12, H13, H14), zatímco výstup patnáctého hradla (H15) je připojen na první vstup pro volbu pamětí (CS1) sedmé a osmé paměti (ROM7, ROM8), ke druhému vstupu pro volbu pamětí (CS2) první a druhé paměti (ROM1, ROM2) je připojen výstup prvního hradla (H1) společně s prvním vstupem třetího hradla (H3), ke druhému vstupu pro volbu pamětí (CS2) třetí a čtvrté paměti (ROM3, ROM4) je připojen výstup druhého hradla (H2), ke druhému vstupu pro volbu pamětí (CS2) páté a šesté paměti (ROM5, ROM6) je připojen výstup čtvrtého hradla (H4) společně s druhým vstupem třetího hradla (H3) a ke druhému vstupu pro volbu pamětí (CS2) sedmé a osmé paměti (ROM7, ROM8) je připojen výstup jedenáctého hradla (H11), k jehož druhému vstupu je připojen výstup desátého hradla (H10), přičemž první čtyři výstupy (V1 až V4) generátoru znaků jsou spojeny s výstupy (1 až 4) lichých pamětí (ROM1, ROM3, ROM5, ROM7)

společně s prvními čtyřmi odpory (R1 až R4), zatímco další tři výstupy (V5, V6, V7) generátoru znaků jsou spojeny s výstupy (1, 2, 3) sudých pamětí (ROM2, ROM4, ROM6, ROM8) společně s dalšími třemi odpory (R5, R6, R7) a opačné konce všech sedmi odporů (R1 až R7) jsou připojeny na zdroj kladného napětí společně s osmým odporem (R8), jehož druhý vývod je připojen ke vstupům pro volbu režimu (MC) obou registrů (RG1, RG2), hodinové vstupy (C1, C2) obou registrů (RG1, RG2) jsou spojeny se zdrojem (H) hodinových pulsů a na vstupy (A, B, C, D) obou registrů (RG1, RG2) jsou připojeny svorky pro zvolení znaku.

1 list výkresů

