

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
2. Oktober 2008 (02.10.2008)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2008/116880 A1

(51) Internationale Patentklassifikation:

H01L 21/8238 (2006.01) *H01L 27/092* (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2008/053565

(22) Internationales Anmeldedatum:

26. März 2008 (26.03.2008)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

10 2007 016 089.7 26. März 2007 (26.03.2007) DE

10 2007 034 800.4 23. Juli 2007 (23.07.2007) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **X-FAB SEMICONDUCTOR FOUNDRIES
AG** [DE/DE]; Haarbergstrasse 67, 99097 Erfurt (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **ELLMERS, Christoph**
[DE/DE]; c/o X-FAB Dresden GmbH & Co.KG, Gren-
zstrasse 28, 01109 Dresden (DE). **UHLIG, Thomas**

[DE/DE]; c/o X-FAB Dresden GmbH & Co.KG, Grenzs-
trasse 28, 01109 Dresden (DE). **FÜRNHAMMER, Felix**
[DE/DE]; c/o X-FAB Dresden GmbH & Co.KG, Gren-
zstrasse 28, 01109 Dresden (DE). **STOISIEK, Michael**
[DE/DE]; c/o Universität Erlangen-Nürnberg, Cauerstr.
6, 91058 Erlangen (DE). **GROSS, Michael** [DE/DE];
c/o Universität Erlangen-Nürnberg, Cauerstr. 6, 91058
Erlangen (DE).

(74) Anwalt: **EISENFÜHR, SPEISER + PARTNER**; Anna-
Louisa-Karsch-Strasse 2, 10178 Berlin (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY,
BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ,
LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK,
MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG,

[Fortsetzung auf der nächsten Seite]

(54) Title: MASK-SAVING PRODUCTION OF COMPLEMENTARY LATERAL HIGH-VOLTAGE TRANSISTORS WITH A
RESURF STRUCTURE

(54) Bezeichnung: MASKENSPARENDE HERSTELLUNG KOMPLEMENTÄRER LATERALER HOCHVOLTTRANSISTO-
REN MIT RESURF-STRUKTUR

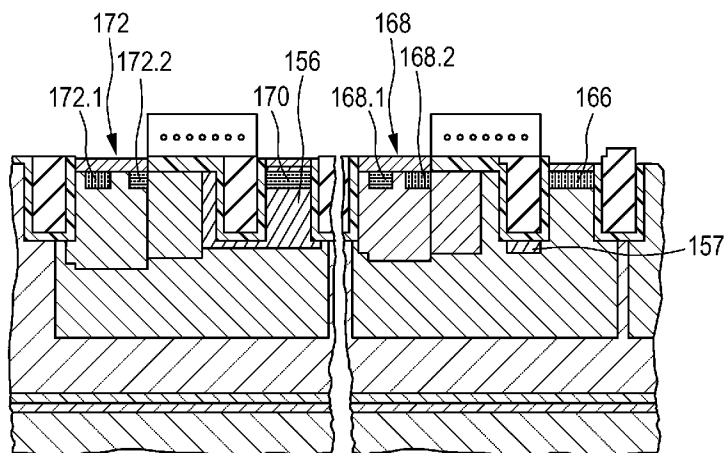


FIG. 15

(57) Abstract: The invention relates to a method for the production of a first lateral high-voltage MOS transistor and a second lateral high-voltage MOS transistor complimentary thereto on a substrate, wherein the first and second lateral high-voltage MOS transistors each have a conductivity type opposite a drift region, comprising the steps of providing a substrate of a first conductivity type comprising a first active region for the first lateral high-voltage MOS transistor and a second active region for the second lateral high-voltage MOS transistor, and the producing at least one first doping region of the first conductivity type in the first active region and, on the other hand, in the second active region, a drain extension region of the first conductivity type extending from the substrate surface to the interior of the substrate, which allows a simultaneous implantation of doping material in the first and second active regions through respective mask openings of one and the same mask.

[Fortsetzung auf der nächsten Seite]

WO 2008/116880 A1



PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) Bestimmungsstaaten (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,

Erklärung gemäß Regel 4.17:

— *Erfindererklärung (Regel 4.17 Ziffer iv)*

Veröffentlicht:

— *mit internationalem Recherchenbericht*

(57) Zusammenfassung: Verfahren zur Herstellung eines ersten lateralen Hochvolt-MOS-Transistors und eines zweiten, zum ersten komplementären lateralen Hochvolt-MOS-Transistors auf einem Substrat, wobei der erste und zweite laterale Hochvolt-MOS-Transistor jeweils ein Driftgebiet entgegengesetzten Leitfähigkeitstyps aufweist, mit den Schritten des Bereitstellens eines Substrats eines ersten Leitfähigkeitstyps mit einem ersten aktiven Gebiet für den ersten lateralen Hochvolt-MOS-Transistor und einem zweiten aktiven Gebiet für den zweiten lateralen Hochvolt-MOS-Transistor, und des Herstellens mindestens eines ersten Dotierungsgebiets des ersten Leitfähigkeitstyps im ersten aktiven Gebiet und andererseits im zweiten aktiven Gebiet eines sich von der Substratoberfläche zum Substratinneren erstreckenden Drain-Extension-Gebiets des ersten Leitfähigkeitstyps, was ein gleichzeitiges Implantieren von Dotierstoff durch jeweilige Maskenöffnungen ein und derselben Maske in das erste und zweite aktive Gebiet umfasst.

Maskensparende Herstellung komplementärer lateraler Hochvolttransistoren
mit RESURF-Struktur

Die Erfindung betrifft ein Verfahren zur Herstellung eines ersten lateralen Hochvolt-MOS-Transistors und eines komplementären zweiten lateralen Hochvolt-MOS-Transistors auf einem Substrat.

Laterale Hochvolt-MOS-Transistoren mit einem n-leitfähigen Kanal werden typischerweise auf p-leitfähigen Wafern in Form eines DMOS-Transistors hergestellt, bei dem eine Topologie der Dotierungszonen der eines "doppelt diffundierten" (engl. double diffused MOS, kurz DMOS-)Transistors entspricht, wobei ein Drain-Gebiet vom gleichen Leitfähigkeitstyp ist wie eine Wannendotierung, nämlich vom n-Leitfähigkeitstyp. Laterale Hochvolt-MOS-Transistoren mit einem p-leitfähigen Kanal, also zum eben genannten Typ komplementäre laterale Hochvolt-MOS-Transistoren, werden auf p-leitfähigen Wafern typischerweise in Form eines Drain-Extension-Transistors hergestellt, bei dem Drain- und Driftgebiete vom umgekehrten Leitfähigkeitstyp sind wie die hier ebenfalls vorhandene n-Wanne. Beide Transistortypen werden im Rahmen dieser Anmeldung unter dem Begriff lateraler Hochvolt-MOS-Transistor zusammengefasst.

Bei lateralen DMOS (LDMOS)-Transistoren für Anwendungen unter hohen elektrischen Spannungen ist es aus der US 2003/0193067 A1 (Fig. 2) bekannt, eine sogenannte Double-RESURF-Struktur zu verwenden. RESURF ist eine Abkürzung des englischen Begriffs reduced surface field, reduziertes Oberflächenfeld.

5 Eine Double-RESURF-Struktur enthält oberhalb und unterhalb eines Drift-Gebietes oder eines Drain-Extension-Gebiets eines LDMOS-Transistors ein Dotierungsgebiet mit einem zum Driftgebiet bzw. Drain-Extension-Gebiet entgegengesetzten Leitfähigkeitstyp. Ist beispielsweise das Driftgebiet n-leitfähig, so ist das darunter liegende Substratgebiet und das in die Driftzone eingebrachte
10 Dotierungsgebiet der Double-RESURF-Struktur p-leitfähig. Die p-Dotierungsgebiete haben typischerweise eine Dotierstoffkonzentration in gleicher Größenordnung wie das Driftgebiet, jedoch in vertikaler Richtung integriert jeweils maximal ca. $1 \cdot 10^{12} \text{ cm}^{-2}$ Gesamtdotierung.

Mit der Double- RESURF-Struktur wird bei Anlegen einer Spannung an die Drain-
15 Elektrode des lateralen Hochvolt-MOS-Transistors eine Verarmungszone erzeugt, die entlang der Grenze zwischen dem Driftgebiet und einem darunter liegenden Substratgebiet entgegengesetzter Leitfähigkeit verläuft. Eine weitere Verarmungszone entsteht zwischen dem unter der Oberfläche der Driftregion eingebrachten Dotierungsgebiet und der Driftregion selbst.

20 Auf diese Weise wird eine vollständige Verarmung des Driftgebiets an Ladungsträgern durch diese zwei in Sperrrichtung gepolten p-n-Übergänge erzeugt, was eine gewünschte Erhöhung der Durchbruchspannung des lateralen Hochvolt-MOS-Transistors bewirkt. Gleichzeitig kann durch das Einbringen des Dotierungsgebiets in das Driftgebiet die Ladungsträgerkonzentration im Driftgebiet
25 erhöht werden, was den On-Widerstand R_{ON} des lateralen Hochvolt-MOS-Transistors reduziert. Denn für die Höhe der Durchbruchsspannung im Sperrfall ist allein die integrierte Nettodotierung des Driftgebietes und der darin eingebrachten Dotierungsgebiete entscheidend. Für diese Zwecke kompensiert das eingebrachte Dotierungsgebiet jedoch die Dotierstoffkonzentration des Driftgebiets. Es können also relativ hohe Dotierstoffkonzentrationen im Driftgebiet ver-
30

wendet werden, was im Ergebnis seine Leitfähigkeit erhöht und damit R_{ON} verringert, ohne die Durchbruchsspannung zu reduzieren. Das Verfahren kann auf die Einbringung von mehreren übereinanderliegenden, voneinander getrennten p-Zonen in die Driftzone sinngemäß erweitert werden und wird dann als Multi-
5 RESURF-Struktur oder Superjunction-Struktur bezeichnet.

Die Herstellung solcher Multiple-RESURF-Strukturen gemeinsam mit anderen Bauelementen, insbesondere komplementären Hochvolt-MOS-Transistoren, ist jedoch aufwändig und erfordert im Vergleich mit einfachen lateralen Hochvolt-MOS-Transistoren ohne Multiple-RESURF-Struktur zusätzliche Maskenschritte
10 zur Einbringung der Dotierungsgebiete in das Driftgebiet.

Das der vorliegenden Erfindung zugrunde liegende technische Problem ist es, ein Verfahren zur Herstellung eines ersten lateralen Hochvolt-MOS-Transistors und eines dazu komplementären, zweiten lateralen Hochvolt-MOS-Transistors auf einem Substrat anzugeben, mit dem eine Double- oder Multiple-RESURF-
15 Struktur mit besonders geringem Aufwand hergestellt werden kann.

Gemäß der Erfindung umfasst ein Verfahren zur Herstellung eines ersten lateralen Hochvolt-MOS-Transistors und eines zweiten, zum ersten komplementären lateralen Hochvolt-MOS-Transistors auf einem Substrat, wobei der erste und zweite laterale Hochvolt-MOS-Transistor jeweils ein Driftgebiet entgegengesetz-
20 ten Leitfähigkeitstyps aufweist, folgende Schritte:

- Bereitstellen eines Substrats eines ersten Leitfähigkeitstyps mit einem ersten aktiven Gebiet des zweiten Leitfähigkeitstyps für den ersten lateralen Hochvolt-MOS-Transistor und einem zweiten aktiven Gebiet des zweiten Leitfähigkeitstyps für den zweiten lateralen Hochvolt-MOS-Transistor,
- 25 - Herstellen einerseits mindestens eines ersten Dotierungsgebiets des ersten Leitfähigkeitstyps im ersten aktiven Gebiet und andererseits eines sich von der Substratoberfläche zum Substratinneren erstreckenden Drain-Extension-Gebiets des ersten Leitfähigkeitstyps im zweiten aktiven Gebiet, was

ein gleichzeitiges Implantieren von Dotierstoff durch jeweilige Maskenöffnungen ein und derselben Maske in das erste und zweite aktive Gebiet umfasst.

Bei dem erfindungsgemäßen Herstellungsverfahren wird ein Implantationsschritt
5 zur Herstellung eines Drain-Extension-Gebiets im zweiten aktiven Gebiet für den zweiten lateralen Hochvolt-MOS-Transistor zur gleichzeitigen Herstellung eines ersten Dotierungsgebiets für eine Double-RESURF-Struktur im ersten lateralen Hochvolt-MOS-Transistor benutzt. Überraschenderweise gelingt es, unter identischen Implantationsbedingungen sowohl das Drain-Extension-Gebiet des zweiten
10 lateralen Hochvolt-MOS-Transistors als auch das erste Dotierungsgebiet für die Double-RESURF-Struktur des ersten lateralen Hochvolt-MOS-Transistors in ein und demselben Implantationsschritt herzustellen. Entsprechend werden nur jeweilige Maskenöffnungen in ein und derselben Maske im Bereich des ersten und zweiten aktiven Gebiets benötigt. Auf diese Weise kann eine integrierte
15 Schaltung, die komplementäre laterale Hochvolt-MOS-Transistoren, also laterale Hochvolt-MOS-Transistoren unterschiedlichen Leitfähigkeitstyps enthält, besonders einfach und kostengünstig hergestellt werden.

Nachfolgend werden Ausführungsbeispiele des erfindungsgemäßen Verfahrens beschrieben. Die Ausführungsbeispiele können miteinander kombiniert werden,
20 wenn dies nicht ausdrücklich anders angegeben ist.

Das Bereitstellen des Substrats umfasst vorzugsweise das Herstellen der ersten und aktiven Gebiete vom zweiten Leitfähigkeitstyp, der dem Leitfähigkeitstyp des Substrats entgegengesetzt ist. Dies kann mit einer maskierten Implantation tiefer Wannengebiete innerhalb der aktiven Gebiete erreicht werden. Die Wannengebiete
25 bewirken eine elektrische Isolation der lateralen Hochvolt-Transistoren vom Substrat. Beispielsweise ist der zweite Leitfähigkeitstyp die n-Leitfähigkeit, während der erste Leitfähigkeitstyp, den das Substrat aufweist, die p-Leitfähigkeit ist.

Bei einem hierzu alternativen Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird ein Substrat vom n-Leitfähigkeitstyp bereitgestellt und sind die Wannenengebiete dementsprechend p-leitfähig.

Bei einem Ausführungsbeispiel des erfindungsgemäßen Verfahrens werden eine
5 Vielzahl erster Dotierungsgebiete, die einen lateralen Abstand voneinander haben, hergestellt.

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens werden vor dem Implantierschritt die folgenden Schritte ausgeführt:

- Ganzflächiges Abscheiden einer Maskenschicht auf dem Substrat;
- 10 - Herstellen mindestens einer ersten Maskenöffnung für die Implantation des ersten Dotierungsgebietes im ersten aktiven Gebiet und einer zweiten Maskenöffnung für die Implantation des Drain-Extension-Gebiets im zweiten aktiven Gebiet.

Bei einem weiteren Ausführungsbeispiel beinhaltet das Bereitstellen des Substrats ein Herstellen eines teilweise oder komplett mit einem elektrisch isolierenden Material gefüllten Grabens entweder nur im ersten aktiven Gebiet oder sowohl im ersten als auch im zweiten aktiven Gebiet im lateralen Bereich eines jeweiligen zukünftigen Drift-Gebietes des dort entstehenden lateralen Hochvolt-MOS-Transistors.
15

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens erfolgt das Implantieren des Dotierstoffs in das mindestens eine erste Dotierungsgebiet durch mindestens eine erste Maskenöffnung, die, im Querschnitt des entstehenden ersten DMOS-Transistors betrachtet, eine laterale Beschränkung des ersten Dotierungsgebiets auf maximal die laterale Erstreckung des Grabens erzwingt. Die Zuordnung des Implantationsgebietes zur Grabenstruktur kann
20 selbstjustierend bezüglich der Grabenbegrenzung erfolgen, z.B. indem die Grabenätzmaske gleichzeitig zur Maskierung der Driftzonenimplantation benutzt
25

wird. In einer Ausführungsform dieses Ausführungsbeispiels entsteht so nach der Herstellung des Grabens durch die maskierte Implantation das erste Dotierungsgebiet im ersten aktiven Gebiet und/oder das Drain-Extension-Gebiet im zweiten aktiven Gebiet mit einer lateralen Erstreckung, die zumindest teilweise mit dem
5 aufgefülltem Graben (wo vorhanden) überlappt oder sogar eine zu ihm identisch ist.

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens umfasst das Bereitstellen des Substrats ein Herstellen des Grabens in Shallow-Trench-Technologie oder, alternativ, in LOCOS-Technologie. Der gefüllte Graben
10 kann auch als Feldisolationsgebiet fungieren. Er wird vorzugsweise zugleich mit Feldisolationsgebieten hergestellt, die die ersten und aktiven Gebiete begrenzen.

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens bildet das Herstellen des ersten Dotierungsgebiets einen Teilschritt eines übergeordneten Schritts des Herstellens einer Double-RESURF-Struktur im ersten
15 lateralen Hochvolt-MOS-Transistor.

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens werden nach dem Herstellen des ersten Dotierungsgebiets im ersten lateralen Hochvolt-MOS-Transistor und des Drain-Extension-Gebiets im zweiten lateralen Hochvolt-MOS-Transistor Source- und Drain-Gebiete im jeweiligen DMOS-Transistor hergestellt.
20

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird vor dem Herstellen des ersten Dotierungsgebiets eine Gateisolationsschicht hergestellt, die lateral entweder teilweise oder ganz mit dem Graben überlappt.

Nachfolgend wird ein Ausführungsbeispiel eines erfindungsgemäßen Herstellungsverfahrens anhand der beigefügten Figuren erläutert.
25

Es zeigen:

Figur 1 bis Figur 15 Querschnittsansichten eines Wafers mit einem lateralen N-DMOS-Transistor, der eine Double-RESURF-Struktur aufweist, und einem lateralen P-DEMOS(**P-Drain-Extension MOS**-Transistor)-Transistor in unterschiedlichen Herstellungsphasen.

5

Figur 16 eine Querschnittsansicht eines Wafers mit einem lateralen n-Kanal-Hochvolt-(NDMOS)-Transistor und einem lateralen p-Kanal-Hochvolt-(PDEMOS)-Transistor.

Die Figuren 1 bis 16 zeigen hergestellte Strukturen in einer rein schematischen Darstellung. Insbesondere sind die Figuren nicht dazu gedacht, tatsächlichen lateralen Erstreckungen und Tiefenerstreckungen und Grenzen der jeweiligen Strukturelemente so wiederzugeben, wie sie beispielsweise in elektronenmikroskopischen Querschnittsaufnahmen sichtbar gemacht werden könnten.

10

Beispielsweise sind die in den Figuren dargestellten Feldisolationsgebiete rein schematisch dargestellt. Ihre dargestellte laterale Erstreckung ist der graphischen Einfachheit halber reduziert dargestellt. Sie können relativ zu anderen Strukturelementen eine wesentlich größere laterale Erstreckung aufweisen als sie hier dargestellt ist. Diese Gestaltungsdetails sind dem Fachmann jedoch bekannt, so dass hier zur Vermittlung der wesentlichen Informationen nicht auf eine gezielt realitätsnahe, sondern auf eine komprimierte graphische Darstellung zurückgegriffen wird.

15

20

In den Figuren 1 bis 15 ist in der linken Hälfte einer jeweiligen Figur ein Stadium der Herstellung eines P-DEMOS-Transistors für Hochvolt-Anwendungen, und in der rechten Hälfte ein Stadium der Herstellung eines N-DMOS-Transistors für Hochvolt-Anwendungen dargestellt. Eine zwischen den Strukturen des P-DEMOS-Transistors und des N-DMOS-Transistors vertikal verlaufende, geschlängelte Linie deutet an, dass die beiden Transistoren nicht in unmittelbarer Nachbarschaft zueinander entstehen müssen. Diese zusammenhängende Darstellung ist in den Figuren 1 bis 15 nur der Einfachheit halber gewählt.

25

Im folgenden werden anhand der Figuren 1 bis 15 verschiedene Herstellungsphasen eines Wafers mit einem lateralen NDMOS-Transistor und einem lateralen P-DEMOS-Transistor gemäß einer beispielhaften Ausführungsform der Erfindung näher beschrieben. Die Abbildungen sind rein schematisch. Die Größenverhältnisse in dieser und in allen folgenden Figuren sind nicht der Realität entsprechend.

Figur 1 zeigt in einer Querschnittsansicht zwei Abschnitte eines vorbereiteten p-dotierten Halbleiterwafers 102, der beispielsweise aus Silizium hergestellt ist. In einem ersten entsprechen gekennzeichneten Wafer-Abschnitt, also einem ersten, mit „NDMOS“ gekennzeichneten aktiven Gebiet, wird im Laufe des nachfolgend beschriebenen Verfahrens ein N-DMOS-Transistor hergestellt, der auch als erster Hochvolt-MOS-Transistor bezeichnet wird. In einem zweiten Wafer-Abschnitt, also einem zweiten, mit „P-DEMOS“ gekennzeichneten aktiven Gebiet, wird ein P-DEMOS-Transistor hergestellt, der auch als zweiter Hochvolt-MOS-Transistor bezeichnet wird.

Im dargestellten Verfahrensstadum ist eine epitaktische, p-dotierte Siliziumschicht, kurz p-Epi-Schicht 104, und darauf eine Pad-Oxid-Schicht 106 abgeschieden, die wiederum von einer Cap-Schicht 108 bedeckt ist. Eine geeignete Herstellungsart für die Pad-Oxid-Schicht 106 ist das thermische Oxidieren der Waferoberfläche. Für die Herstellung der Cap-Schicht 108 eignet sich das Aufbringen einer Siliziumnitrid-Schicht (SiN , beispielsweise in der Form Si_3N_4) mit einem CVD-Verfahren.

Figur 2 zeigt den Wafer 102 nach Abscheidung einer Gateoxid-Schicht 110 des P-DEMOS-Transistors und einer Gateoxid-Schicht 112 des N-DMOS-Transistors. Auf der gesamten dargestellten Waferoberfläche wurde weiterhin eine zweite Cap-Schicht 114 aufgebracht. Zur Herstellung der Gateoxid-Schicht 112 durch einen Lithographie-Schritt wird beispielsweise eine Ätzmaske auf der Oberfläche so strukturiert, dass die Bereiche für die Gateoxid-Schicht frei bleiben. Dann kann lokal selektiv die Gateoxid-Schicht 112 geätzt werden. Ein geeignetes Ätzverfahren ist ein nasschemisches Ätzverfahren. Im Anschluss wird die Ätzmaske ent-

fernt, beispielsweise, indem sie unter Sauerstoff-Atmosphäre bei hoher Temperatur eingeäschert wird. Dieser Schritt ist dem Fachmann bekannt und wird in den folgenden Lithographie-Schritten nicht mehr erwähnt. Es können noch Reinigungsschritte der Gate-Bereiche folgen.

- 5 Die frei liegenden Gate-Bereiche werden danach thermisch oxidiert. Vorzugsweise wird nicht nass oxidiert, weil sich so eine dichtere Oxidschicht ergibt. Dann wird die zweite Cap-Schicht 114 aufgebracht. Dies kann durch ein CVD-Verfahren erfolgen.

10 Figur 3 zeigt den Wafer 102 in einem nachfolgenden Verfahrensstadium, in dem auf der Oberfläche eine strukturierte Lithographiemaske 126 angeordnet ist. In die Waferoberfläche wurden flache Gräben 116 bis 124 eingebracht. Ein geeignetes Herstellungsverfahren für die flachen Gräben 116 bis 124 ist das reaktive Ionen-Ätzen (engl. Reaktive Ion Etching, RIE).

15 Figur 4 zeigt den Wafer in einem nachfolgenden Verfahrensstadium mit den flachen Gräben, in denen eine Liner-Oxid-Schicht 128 eingebracht ist, und darauf eine Shallow-Trench-Isolationsschicht 130, mit welcher die flachen Gräben gefüllt sind. Ein geeignetes Material für die Liner-Oxid-Schicht 128 und die Shallow-Trench-Isolationsschicht 130 ist Siliziumoxid (SiO_2). Die Liner-Oxid-Schicht 128 und die Shallow-Trench-Isolationsschicht 130 können nach dem Aufwachsen
20 bzw. Abscheiden getempert werden. Ein geeignetes Verfahren ist High Density Plasma Deposition (hochdichtes Plasma-Abscheiden), welches sehr dichte Oxide mit guten Verfülleigenschaften erzeugt. Figur 5 zeigt den Wafer 102 in einem nachfolgenden Verfahrensstadium mit einer geglätteten Oberfläche, wobei Teile der Shallow-Trench-Isolationsschicht 130 und der zweiten Cap-Schicht 114
25 entfernt wurden. Ein geeignetes Verfahren zum Glätten der Oberfläche ist das Chemical-Mechanical-Polishing-Verfahren (CMP).

Figur 6 zeigt den Wafer 102 in einem darauf folgenden Verfahrensstadium, in dem weitere Abschnitte der zweiten Cap-Schicht 114 entfernt wurden. Nur zwischen der Gateoxid-Schicht 110 und einem seitlichen, über die Gateoxid-Schicht

ragenden Teil der Shallow-Trench-Isolationsschicht, welcher nicht durch den CMP-Verfahrensschritt abgetragen wurde, ist die zweite Cap-Schicht 114 noch vorhanden. Die zweite Cap-Schicht 114 kann z.B. durch ein nasschemisches Ätzverfahren abgetragen werden. Als Ätzsubstanz eignet sich für eine zweite
5 Cap-Schicht aus Siliziumnitrid z.B. ein HF-Bad.

Figur 7 zeigt ein nachfolgendes Verfahrensstadium, bei dem der seitliche, über die Gateoxid-Schicht ragende Teil der Shallow-Trench-Isolationsschicht, entfernt wurde. Danach wurde eine Oxid-Schicht 132, 134 auf die selbe Stelle über der Gateoxid-Schicht 110, 112 als Opfer-Oxid-Schicht aufgebracht.

10 Figur 8 zeigt ein Stadium, in dem auf der Wafer-Oberfläche eine Implantationsmaske 136 aufgebracht wurde. In einem Implantationsschritt wurde ein p-Dotierungsgebiet 140 und ein p-Body 138 im aktiven Gebiet des NDMOS-Transistors erzeugt. Für die p-Dotierung eignet sich Bor (B). Zur Erzeugung eines geeigneten Dotierungsprofils in der vertikalen Richtung können mehrere Implan-
15 tationsschritte bei unterschiedlichen Teilchenenergien genutzt werden.

Figur 9 den Wafer 102 nach einem weiteren Implantationsschritt, bei welchem ein n-Dotierungsgebiet 146 und ein n-Bodygebiet 144 in einem zweiten aktiven Gebiet für den P-DEMOS-Transistor erzeugt wurde. Dazu wurde eine Implantationsmaske 142 photolithographisch strukturiert. Geeignete Dotierstoffe für n-
20 Dotierung sind Arsen (As) und Phosphor (P). Auch hier können mehrere Implantationsschritte genutzt werden.

Im Verfahrensstadium der Figur 10 ist der Wafer mit einer weiteren Implantationsmaske 152 dargestellt. Durch einem weiteren Implantationsschritt wurden tiefe n-leitfähige Gräben 148 und 150 hergestellt. Durch die Verwendung mehrerer
25 Implantationsschritte kann ein gewünschtes vertikales Dotierungsprofil mit hoher Genauigkeit hergestellt werden. Das bedeutet, dass zur Erzeugung des vertikalen Dotierungsprofils mit einer Implantationsmaske mehrmals Teilchen mit verschiedenen Eindringtiefen implantiert werden. Die Eindringtiefe ist durch die Beschleunigungsspannung der Ionenquelle einstellbar. Ein geeigneter Dotierstoff

ist Phosphor (P). Nach oder zwischen den Implantationsschritten können Temper-Schritte zum Ausheilen der dotierten Gebiete durchgeführt werden.

Figur 11 zeigt den Wafer 102 in einem nachfolgenden Verfahrensstadium mit einer weiteren Implantationsmaske 154, die eine erste Maskenöffnung 154.1 zur
5 Erzeugung eines ersten Dotierungsgebietes für eine Double-RESURF-Struktur 157 und eine zweite Maskenöffnung 154.2 zur Erzeugung eines p-dotierten sich von der Substratoberfläche zum Substratinneren erstreckenden Drain-Extension-Gebiets 156 hat. Auf der Oberfläche sind eine temporäre Cap-Schicht 158 und eine Isolatorschicht 160 abgeschieden. Die Isolatorschicht 160 ist im Bereich der
10 zwei Maskenöffnungen 154.1 und 154.2 der Implantationsmaske entfernt.

Die Herstellung des ersten Dotierungsgebietes der Double-RESURF-Struktur im NDMOS-Transistor und des Drain-Extension-Gebiets im P-DEMOS-Transistor durch gleichzeitiges Implantieren von Dotierstoff durch die jeweiligen Maskenöffnungen geschieht bei diesem Verfahren in ein und demselben Maskenschritt,
15 also mit ein und derselben Implantationsmaske. Sowohl das erste Dotierungsgebiet als auch das Drain-Extension-Gebiet werden p dotiert. Ein geeigneter Dotierstoff ist Bor (B).

In diesem Ausführungsbeispiel wird das erste Dotierungsgebiet 157 für die Double-RESURF-Struktur ausschließlich unter einem flachen Graben 122 im ersten
20 aktiven Gebiet des NDMOS-Transistors hergestellt. Eine erste Maskenöffnung 154.1 für die Double-RESURF-Struktur erzwingt dabei eine laterale Beschränkung des ersten Dotierungsgebietes 157 auf die laterale Erstreckung des flachen Grabens im ersten aktiven Gebiet.

Figur 12 zeigt ein Verfahrensstadium eines nachfolgenden Zwischenschritts bei
25 der Entfernung einer Isolatorschicht 160 und der temporären Cap-Schicht 158. Das Entfernen kann durch mehrere Schritte des selektiven Ätzens geschehen. Figur 13 zeigt die Wafer-Abschnitte nach dem vollständigen Entfernen der Isolatorschicht 160 und der temporären Cap-Schicht 158.

In einem in Figur 14 dargestellten nachfolgenden Verfahrensstadium wurde durch einen weiteren Maskenschritt eine Gateoxid-Schicht 164 für den ersten lateralen Hochvolt-Transistor und eine Gateoxid-Schicht 162 für den zweiten lateralen Hochvolt-Transistor hergestellt. Dafür kann eine Oxidschicht auf der gesamten Waferoberfläche abgeschieden werden. Danach kann mit einer Ätzmaske und einem Ätzschritt die laterale Ausdehnung der Gateoxid-Schicht 162 und 164 strukturiert werden. Die Gateoxid-Schicht wird auch als Gate-Isolationsschicht bezeichnet. In diesem Ausführungsbeispiel überlappt die Gate-oxid-Schicht 162, 164 die flachen Gräben 118 und 122.

10 In dieser Figur ist auch eine photolithographisch strukturierte Implantationsmaske 165 auf den Wafer-Abschnitten dargestellt. Diese Implantationsmaske 165 dient zur Implantation der in Figur 15 dargestellten p-dotierten Source/Drain-Gebiete des P-DEMOS-Transistors und eines p-Dotierungsgebiets des Source-Gebiets des N-DMOS-Transistors.

15 Figur 15 zeigt die lateralen Hochvolt-Transistoren nach Fertigstellung der Source-Gebiete 168 und 172 und der Drain-Gebiete 166 und 170. Die Source- und Drain-Gebiete 168 und 172 werden mit zwei Implantationsschritten mit zwei strukturierten Implantationsmasken hergestellt, von denen die Implantationsmaske zur Dotierung der p-dotierten Gebiete in Figur 14 dargestellt ist. Eine weitere
20 Implantationsmaske mit entsprechenden Maskenöffnungen wird für die Herstellung des n-Dotierungsgebiets des Source-Gebiets 172.1 des P-DEMOS-Transistors, des n-Dotierungsgebiets des Source-Gebiets 168.2 des N-DMOS-Transistors und des Drain-Gebiets 166 des N-DMOS-Transistors verwendet.

Figur 16 zeigt schematisch eine Querschnittsansicht eines Wafers mit einem
25 lateralen n-Kanal-Hochvolt-(N-DMOS)-Transistor und einem lateralen p-Kanal-Hochvolt-(PDEMOS)-Transistor.

Es sind zwei Abschnitte eines Halbleiterbauelements 200, welches auf einem p+-Wafer 102 hergestellt wurde, dargestellt. Ein erster Wafer-Abschnitt enthält den N-DMOS-Transistor in einem ersten aktiven Gebiet und ist wieder entsprechend mit „N-DMOS“ gekennzeichnet. Ein zweiter Abschnitt enthält den
30

P-DEMOS-Transistor in einem zweiten aktiven Gebiet und ist mit „P-DEMOS“ gekennzeichnet.

Der N-DMOS-Transistor ist in einem tiefen n-leitfähigen Graben 248, der auch als n-Wanne bezeichnet wird, ausgebildet. Er enthält ein Drain-Gebiet 266, ein Source-Gebiet 268 und ein Driftgebiet 248.1. Oberhalb und unterhalb des Driftgebietes 248.1 der Höhe a befinden sich RESURF-Dotierungsgebiete 257.1 und 257.2 für eine Double-RESURF-Struktur. Der Driftgebietabschnitt 248.1 ist dabei n-dotiert und die RESURF-Dotierungsgebiete 257.1 und 257.2 sind p-dotiert. Die RESURF-Dotierungsgebiete 257.1 und 257.2 werden nach Anspruchswortlaut auch als erste Dotierungsgebiete bezeichnet.

Weiterhin ist um das Source-Gebiet des N-DMOS-Transistors ein p-dotiertes Body-Implantationsgebiet 268.1, dass auch als p-Bodygebiet bezeichnet wird, implantiert.

Der zweite Wafer-Abschnitt enthält den zweiten lateralen Hochvolt-Transistor P-DEMOS. Der P-DEMOS-Transistor enthält ein Source-Gebiet 272 ein Drain-Gebiet 270, einen tiefen n-leitfähigen Graben 250, der auch als n-Wanne bezeichnet wird, und um das Source-Gebiet ein n-dotiertes Body-Implantationsgebiet 244. Weiterhin enthält der laterale P-DEMOS-Transistor einen Driftgebiet-Abschnitt 250.1. Oberhalb des Driftgebiet-Abschnitts 250.1 befindet sich ein Abschnitt des Drain-Extension-Gebiets (Driftgebiet) 257.1.

Das Drain-Extension-Gebiet 257.1 zusammen mit dem Driftgebiet-Abschnitt 250.1 und einem darunter liegenden p-dotierten Abschnitt 257.2 haben das selbe vertikale Dotierungsprofil im P-DEMOS-Transistor wie die Double-RESURF-Struktur im N-DMOS-Transistor bestehend aus den RESURF-Dotierungsgebieten 257.1, 257.2 im N-DMOS-Transistor und dem Driftgebiet-Abschnitt 248.1. Der Driftgebiet-Abschnitt 250.1 kann auch als „RESURF-Dotierungsgebiet im P-DEMOS“ bezeichnet werden.

Deshalb erfolgt die Herstellung des Drain-Extension-Gebiets 257.1 im P-DEMOS-Transistor und der Double RESURF-Struktur im N-DMOS Transistor mit einem einzigen Maskenschritt, dass heißt mit ein und der selben Implantationsmaske. Hierbei werden sequenziell die p-dotierten Abschnitte 257.1 und
 5 257.2 und die n-dotierten Abschnitte 248.1 und 250.1 hergestellt. Der Vorteil dieses Verfahrens ist, dass die Double-RESURF-Struktur im N-DMOS-Transistor gleichzeitig mit den Abschnitten des Drain-Extension-Gebiets im P-DEMOS-Transistor hergestellt werden. Das vertikale Dotierungs-Profil des Drain-Extension-Gebiets und des Driftgebiet-Abschnitts im P-DEMOS-Transistor sowie
 10 die Double-RESURF-Struktur im N-DMOS-Transistor enthält abwechselnd p- und n-dotierte vergrabene, oberflächenparallele Schichten 257.1, 248.1, 250. und 257.2.

Die vorstehend beschriebenen Ausführungsbeispiele sollen nicht einschränkend verstanden werden, sondern können im Rahmen des von den Ansprüchen definierten Schutzzumfangs variiert werden.
 15

Bezugszeichenliste

Figuren 1 bis 15

100	Halbleiterbauelement
PDEMOS	P-DEMOS-Transistor
20 NDMOS	N-DMOS-Transistor
102	p+-Wafer (z.B. Silizium)
104	p-Epi-Schicht (z.B. Silizium)
106	Pad-Oxid-Schicht (z.B. Thermisches SiO ₂)
108	Cap-Schicht (z.B. Siliziumnitrid).
25 110	Gateoxid-Schicht des P-DEMOS-Transistors
112	Gateoxid-Schicht des N-DMOS-Transistors
114	zweite Cap-Schicht (z.B. Siliziumnitrid)

	116 bis 124	flache Gräben
	126	Lithographiemaske
	128	Liner-Oxid-Schicht
	130	Shallow-Trench-Isolationsschicht (z.B. SiO ₂)
5	132	Oxid-Schicht
	134	Oxid-Schicht
	136	Implantationsmaske
	138	p-dotiertes Body-Implantationsgebiet, auch als p-Bodygebiet bezeichnet
10	140	p-Dotierungsgebiet
	142	Implantationsmaske
	144	n-dotiertes Body-Implantationsgebiet, auch als n-Bodygebiet bezeichnet
	146	n-Dotierungsgebiet
15	148	tiefer n-leitfähiger Graben
	150	tiefer n-leitfähiger Graben
	152	Implantationsmaske
	154	Implantationsmaske
	154.1	erste Maskenöffnung für Double-RESURF-Struktur
20	154.2	zweite Maskenöffnung für p-dotiertes Drain-Extension-Gebiet
	156	p-dotiertes Drain-Extension-Gebiet
	157	erstes Dotierungsgebiet für Double-RESURF-Struktur
	158	temporäre Cap-Schicht
	160	Isolatorschicht
25	162	Gate-Oxid-Schicht
	164	Gate-Oxid-Schicht
	165	Implantationsmaske
	166	Drain-Gebiet des N-DMOS-Transistors
	168	Source-Gebiet des N-DMOS-Transistors
30	168.1	p-Dotierungsgebiet des Source-Gebiets
	168.2	n-Dotierungsgebietes Source-Gebiets
	170	Drain-Gebiet des P-DEMOS-Transistors

172	Source-Gebiet des P-DEMOS-Transistors
172.1	n-Dotierungsgebiet des Source-Gebiets
172.2	p-Dotierungsgebiet des Source-Gebiets.

5 Figur 16

200	Halbleiterbauelement
PDEMOS	P-DEMOS-Transistor
NDMOS	N-DMOS-Transistor
202	p+-Wafer (z.B. Silizium)
10 244	n-dotiertes Body-Implantationsgebiet, auch als n-Bodygebiet bezeichnet
248	tiefer n-leitfähiger Graben, auch als n-Wanne bezeichnet
248.1	Driftgebiet-Abschnitt im N-DMOS-Transistor
250	tiefer n-leitfähiger Graben, auch als n-Wanne bezeichnet
15 250.1	Driftgebiet im P-DEMOS-Transistor
257.1, 257.2	RESURF-Dotierungsgebiete für Double-RESURF-Struktur im N-DMOS-Transistor sowie zugleich Abschnitte des Drain-Extension-Gebiets (Driftgebiets) im P-DEMOS-Transistor
266	Drain-Gebiet des N-DMOS-Transistors
20 268	Source-Gebiet des N-DMOS-Transistors
268.1	p-dotiertes Body-Implantationsgebiet, auch als p-Bodygebiet bezeichnet.
270	Drain-Gebiet des P-DEMOS-Transistors
272	Source-Gebiet des P-DEMOS-Transistor

Ansprüche

1. Verfahren zur Herstellung eines ersten lateralen Hochvolt-MOS-Transistors (NDMOS) und eines zweiten, zum ersten komplementären lateralen Hochvolt-MOS-Transistors (PDEMOS) auf einem Substrat (102), wobei der erste und zweite laterale Hochvolt-MOS-Transistor jeweils ein Driftgebiet entgegengesetzten Leitfähigkeitstyps aufweist, mit den Schritten:
 - Bereitstellen eines Substrats (102) eines ersten Leitfähigkeitstyps mit einem ersten aktiven Gebiet für den ersten lateralen Hochvolt-MOS-Transistor (NDMOS) und einem zweiten aktiven Gebiet für den zweiten lateralen Hochvolt-MOS-Transistor (PDEMOS),
 - Herstellen mindestens eines ersten Dotierungsgebiets (157; 257.1, 257.2) des ersten Leitfähigkeitstyps im ersten aktiven Gebiet und andererseits im zweiten aktiven Gebiet eines sich von der Substratoberfläche zum Substratinneren erstreckenden Drain-Extension-Gebiets (156) des ersten Leitfähigkeitstyps, was ein gleichzeitiges Implantieren von Dotierstoff durch jeweilige Maskenöffnungen (154.1, 154.2) ein und derselben Maske (154) in das erste und zweite aktive Gebiet umfasst.
2. Verfahren nach Anspruch 1, bei dem im ersten aktiven Gebiet eine Vielzahl erster Dotierungsgebiete, die einen lateralen Abstand von einander haben, hergestellt werden.
3. Verfahren nach Anspruch 1 oder 2, mit den vor dem Implantierschritt ausgeführten Schritten:
 - Ganzflächiges Abscheiden einer Maskenschicht (154) auf dem Substrat;
 - Herstellen mindestens einer ersten Maskenöffnung (154.1) für die Implantation des ersten Dotierungsgebietes im ersten aktiven Gebiet und

einer zweiten Maskenöffnung (154.2) für die Implantation des Drain-Extension-Gebiets im zweiten aktiven Gebiet.

4. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Bereitstellen des Substrats ein Herstellen eines teilweise oder komplett mit einem elektrisch isolierenden Material gefüllten Grabens (130) entweder nur im ersten aktiven Gebiet oder sowohl im ersten als auch im zweiten aktiven Gebiet im lateralen Bereich eines jeweiligen zukünftigen Drift-Gebietes des dort entstehenden lateralen Hochvolt-MOS-Transistors umfasst.
5. Verfahren nach Anspruch 4, bei dem das erste Dotierungsgebiet (157) des ersten Leitfähigkeitstyps ausschließlich unter dem Graben (130) hergestellt wird.
6. Verfahren nach Anspruch 4 oder 5, bei dem das Implantieren des Dotierstoffs in das mindestens eine erste Dotierungsgebiet (157) durch mindestens eine erste Maskenöffnung (154.1) erfolgt, die, im Querschnitt des entstehenden ersten lateralen Hochvolt-MOS-Transistors betrachtet, eine laterale Beschränkung des ersten Dotierungsgebiets auf maximal die laterale Erstreckung des Grabens erzwingt.
7. Verfahren nach einem der vorstehenden Ansprüche, bei dem ein Substrat (102) vom p-Leitfähigkeitstyp bereitgestellt wird.
8. Verfahren nach einem der Ansprüche 1 bis 6, bei dem ein Substrat vom n-Leitfähigkeitstyp bereitgestellt wird.
9. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Bereitstellen des Substrats ein laterales Abgrenzen der aktiven Gebiete durch Feldisolationsgebiete (130) umfasst.
10. Verfahren nach einem der vorstehenden Ansprüche in Kombination mit Anspruch 4, bei dem das Bereitstellen des Substrats ein Herstellen des

Grabens (130) in Shallow-Trench-Technologie gleichzeitig mit den Feldisolationsebenen umfasst.

11. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Herstellen des ersten Dotierungsgebiets (257.1) einen Teilschritt eines übergeordneten Schritts des Herstellens einer Double-RESURF-Struktur (257.1, 257.2) im ersten lateralen Hochvolt-MOS-Transistor (NDMOS) bildet.
12. Verfahren nach Anspruch 11, bei dem das Herstellen der Double-RESURF-Struktur umfasst:
 - Herstellen von RESURF-Dotierungsgebieten in Form zweier erster Dotierungsgebiete (257.1, 257.2) jeweils oberhalb und unterhalb des Driftgebietes (248.1) bzw. des Drain-Extension-Gebiets (250.1) des ersten bzw. zweiten lateralen Hochvolt-MOS-Transistors, wobei die RESURF-Dotierungsgebiete (257.1, 257.2) einem zum Driftgebiet bzw. Drain-Extension-Gebiet entgegengesetzten Leitfähigkeitstyp erhalten.
13. Verfahren nach einem der vorstehenden Ansprüche, bei dem nach dem Herstellen des ersten Dotierungsgebiets (157) im ersten lateralen Hochvolt-MOS-Transistor und des Drain-Extension-Gebiets (156) im zweiten lateralen Hochvolt-MOS-Transistor Source- und Drain-Gebiete (166, 168, 170, 172) im jeweiligen lateralen Hochvolt-MOS-Transistor hergestellt werden.
14. Verfahren nach einem der vorstehenden Ansprüche und Anspruch 4, bei dem vor Herstellen des ersten Dotierungsgebiets eine Gate-Isolationsschicht (162, 164) hergestellt wird, die lateral entweder teilweise oder ganz mit dem Graben (130) überlappt.
15. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Herstellen des mindestens einen ersten Dotierungsgebiets (257.1, 257.2) im ersten aktiven Gebiet und des Drain-Extension-Gebiets im zweiten aktiven Gebiet eine Sequenz von Implantationsschritten mit n-Dotierstoffen und p-

Dotierstoffen unterschiedlicher Implantationsenergie umfasst, derart, dass eine vertikale Schichtfolge abwechselnd p- und n-dotierter oberflächenparalleler Schichten entsteht.

1/9

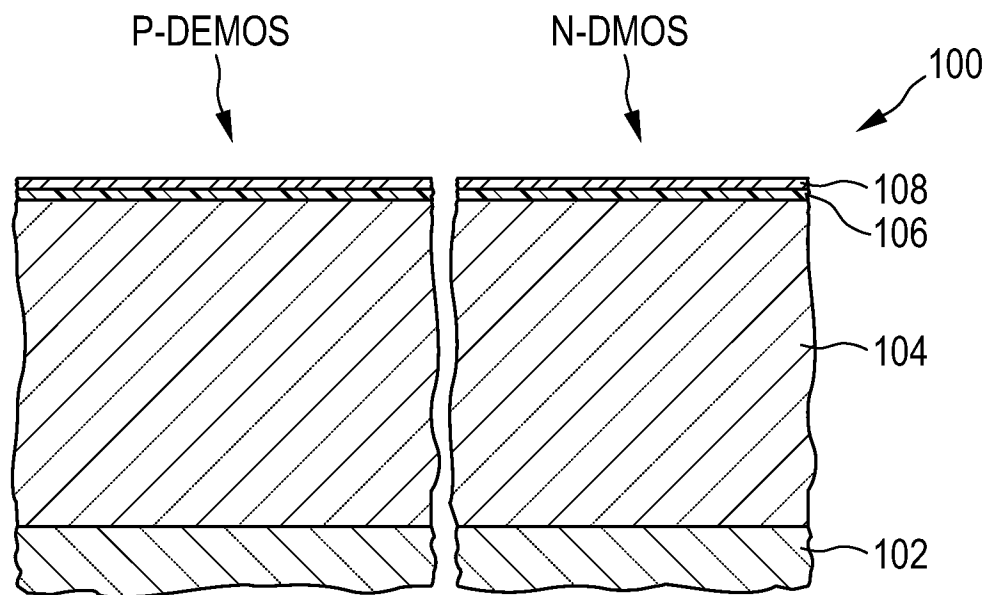


FIG. 1

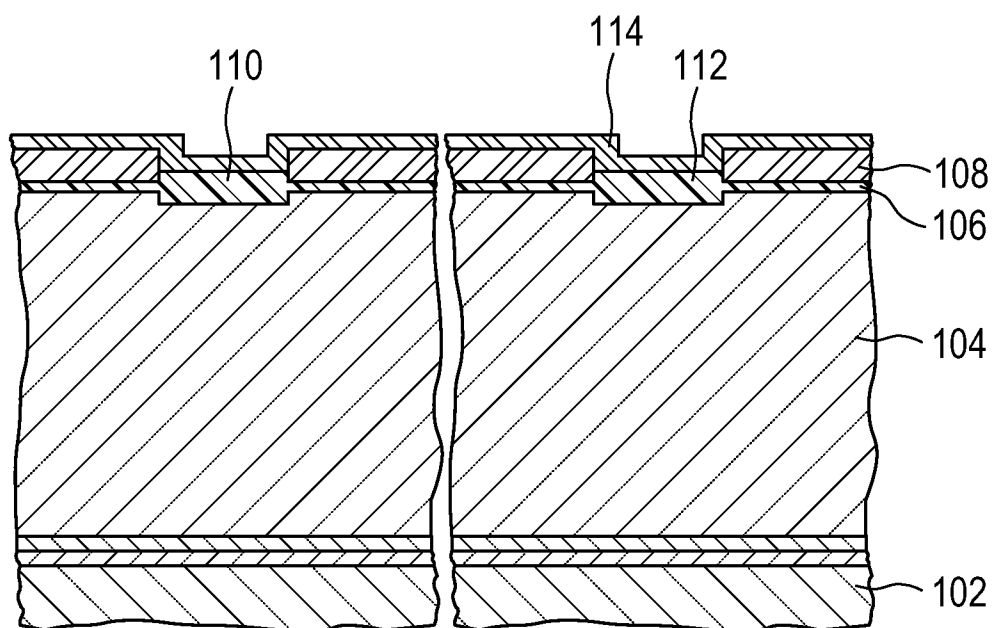


FIG. 2

2/9

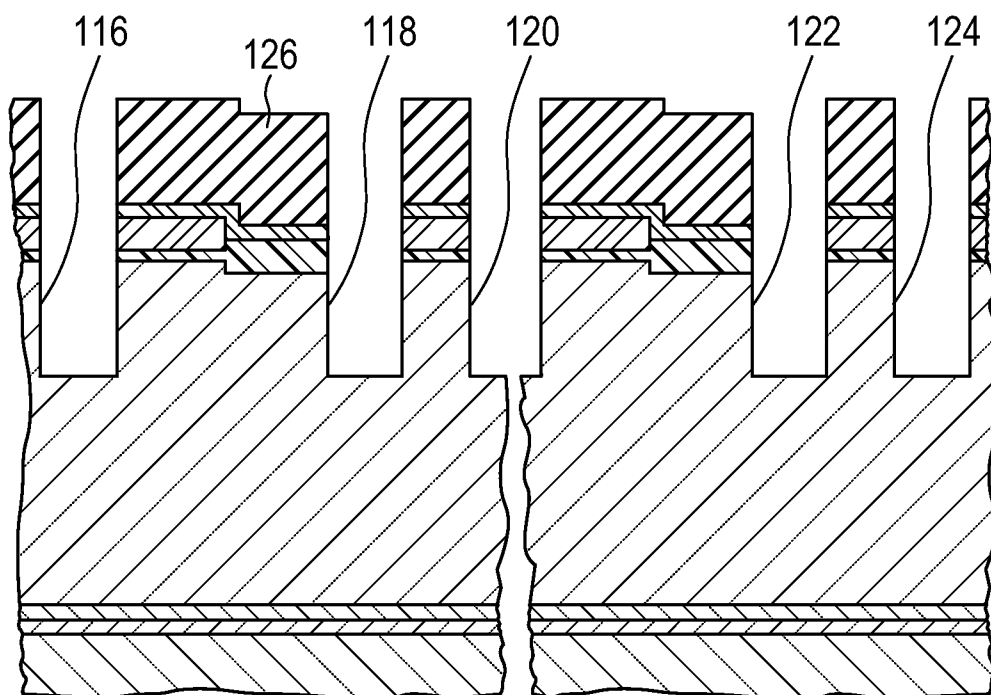


FIG. 3

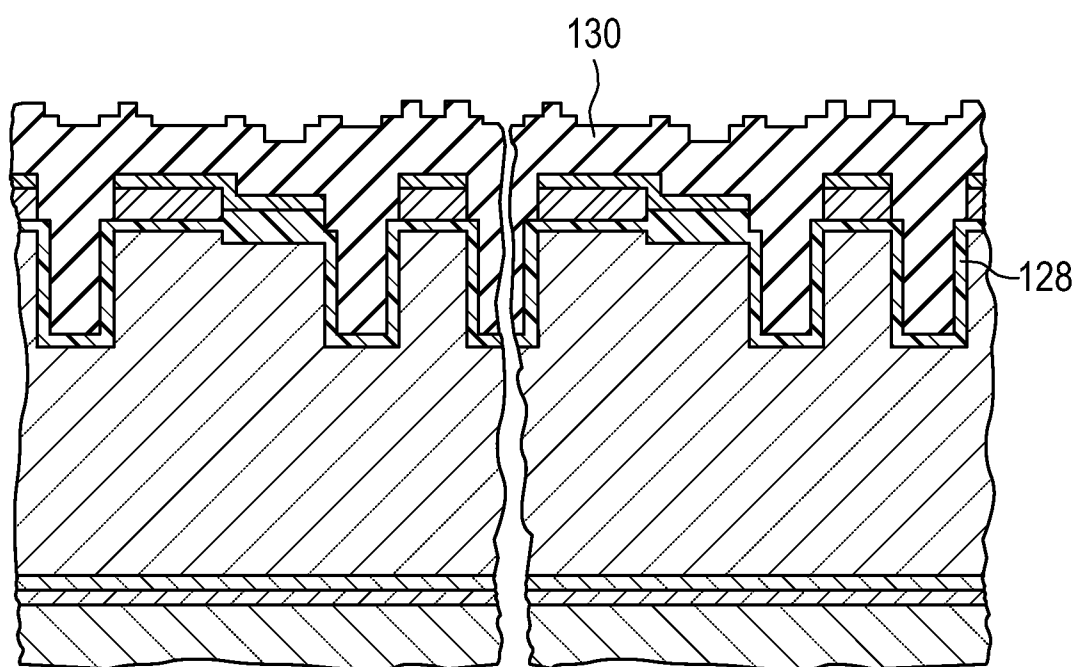


FIG. 4

3/9

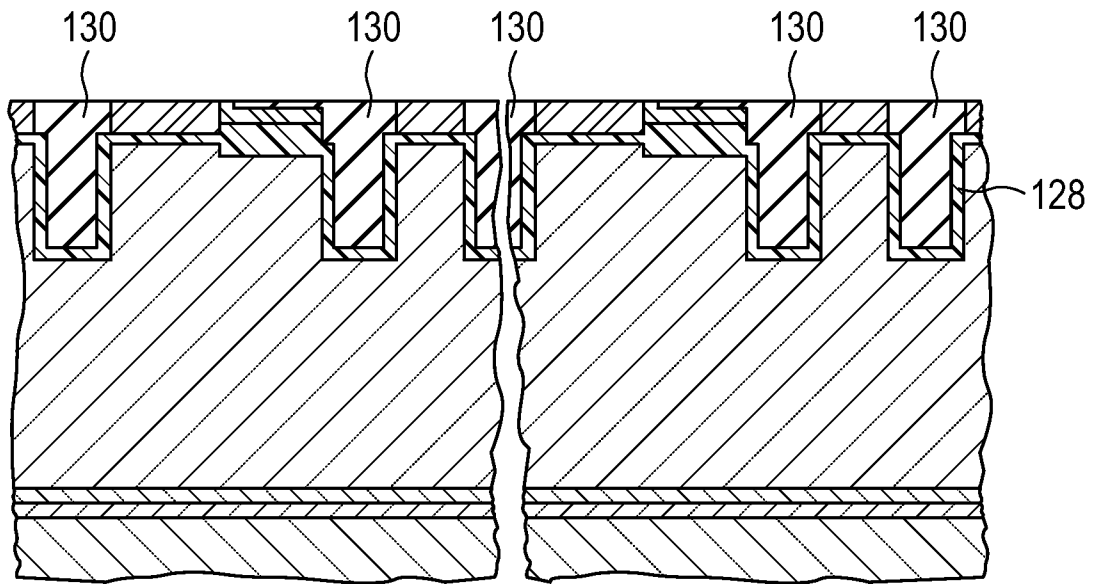


FIG. 5

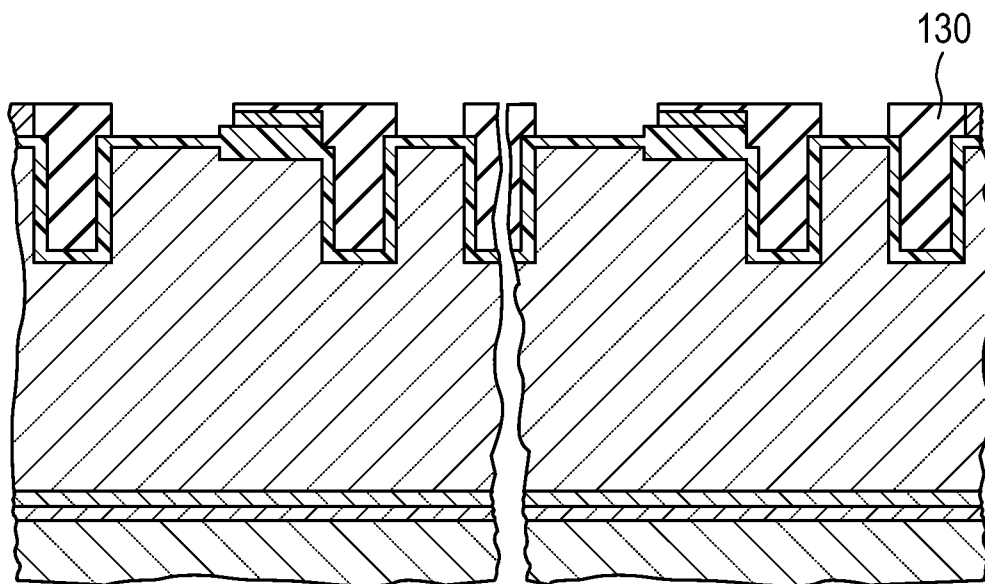


FIG. 6

4/9

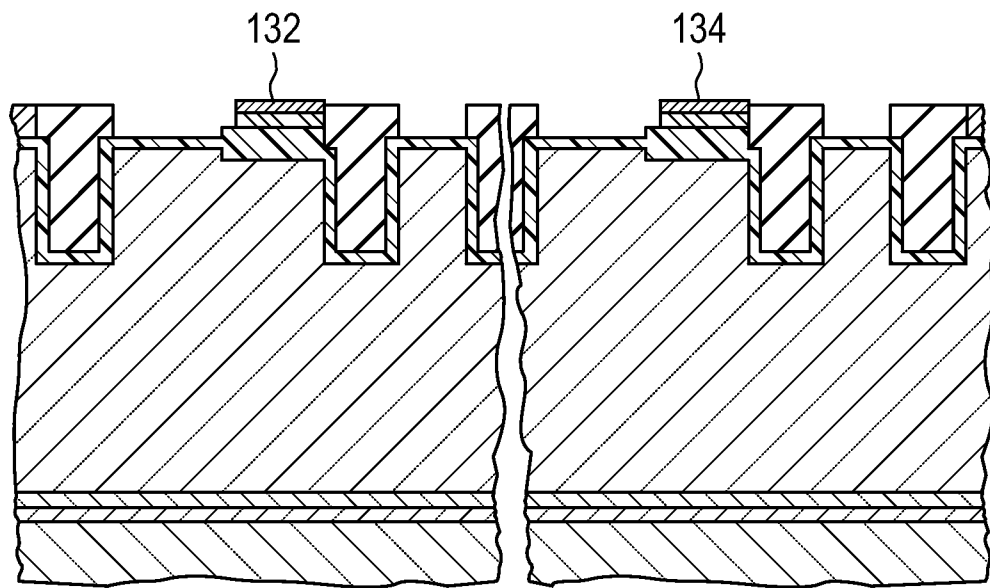


FIG. 7

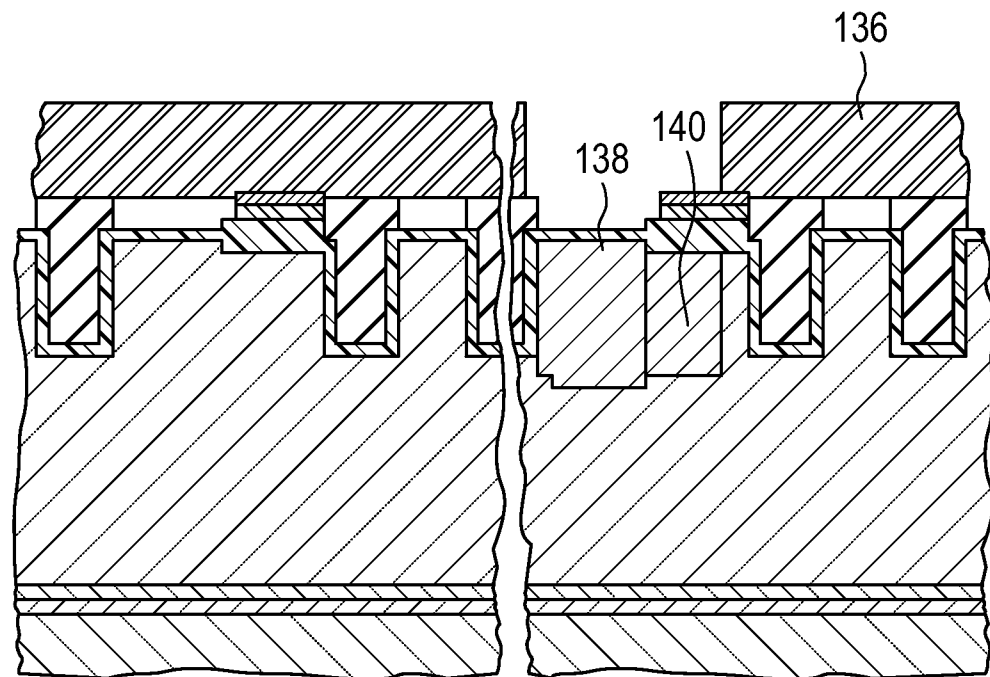


FIG. 8

5/9

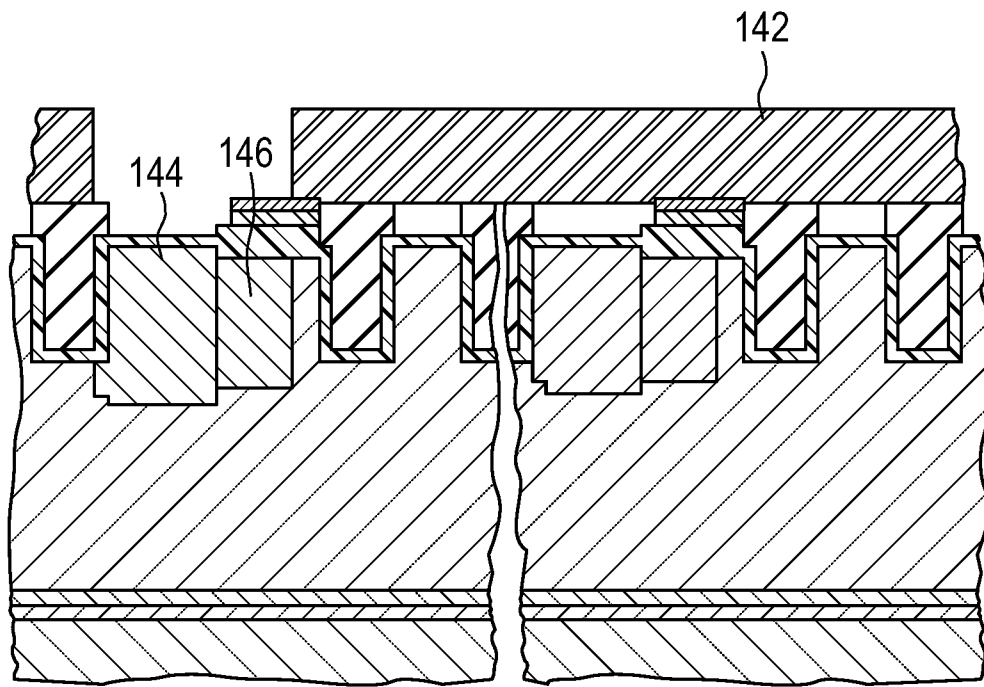


FIG. 9

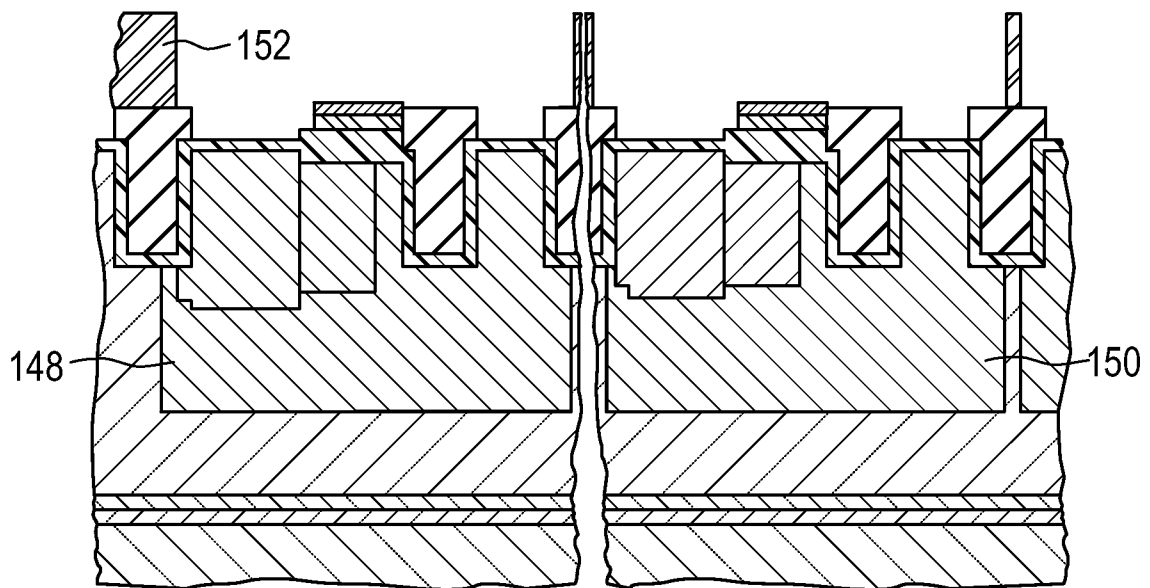


FIG. 10

6/9

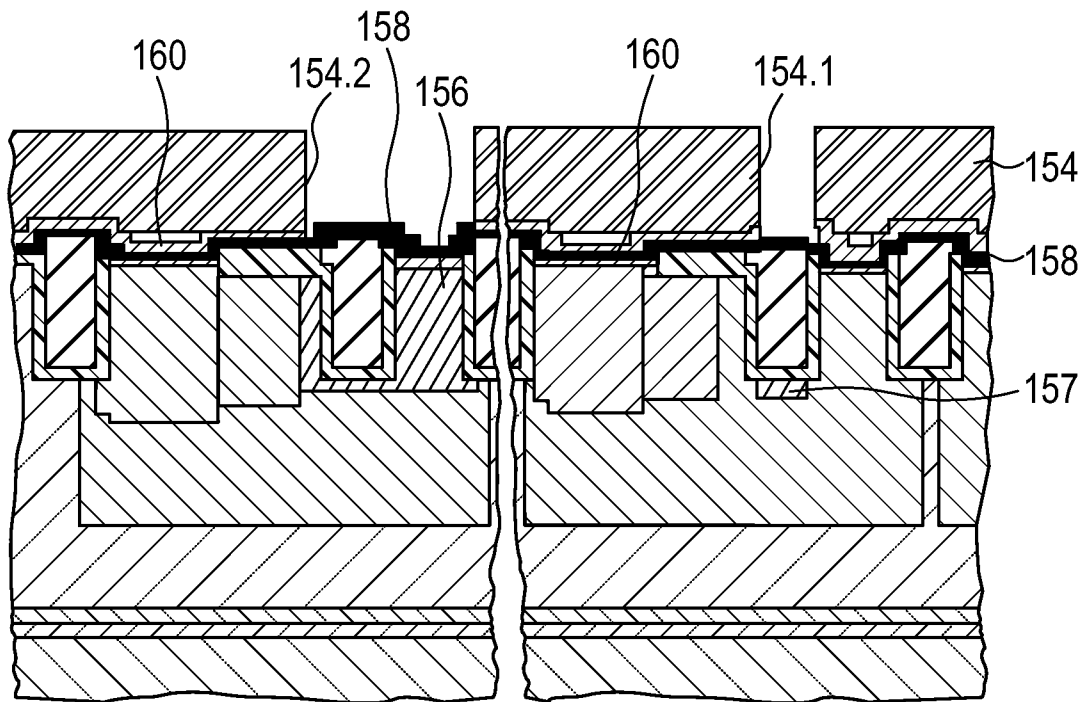


FIG. 11

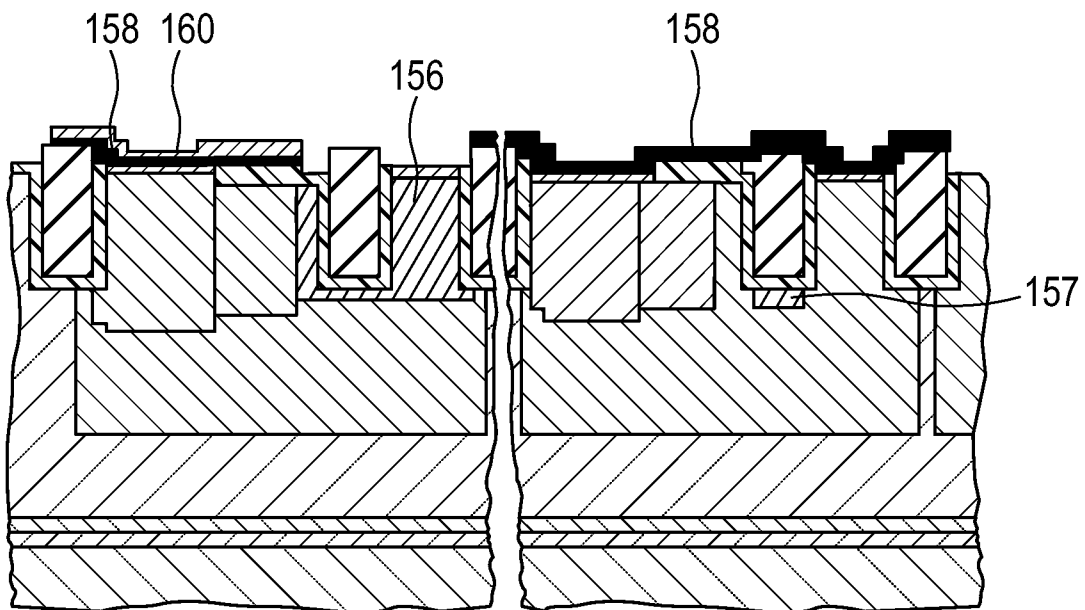


FIG. 12

7/9

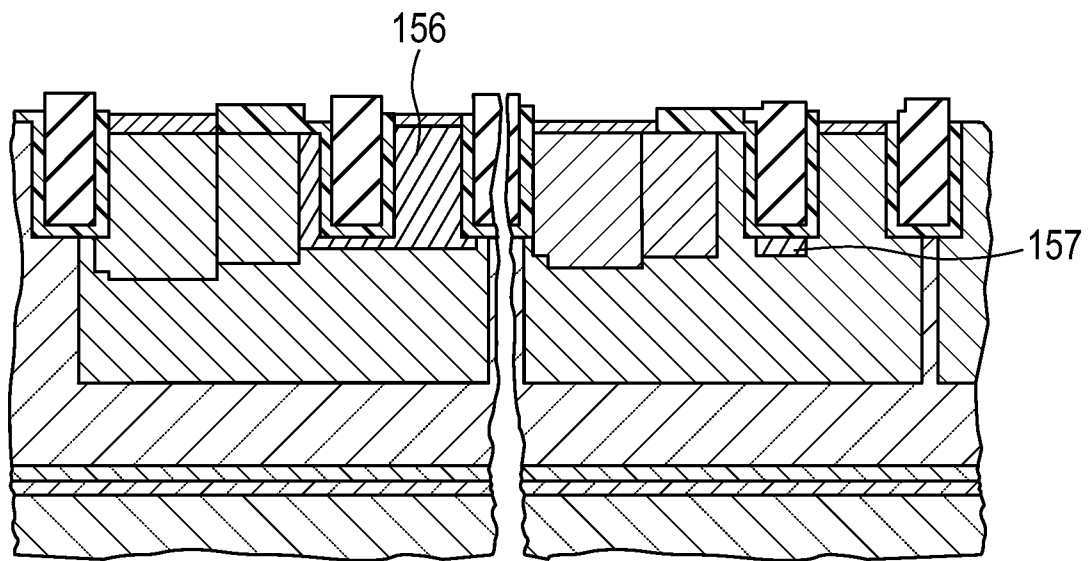


FIG. 13

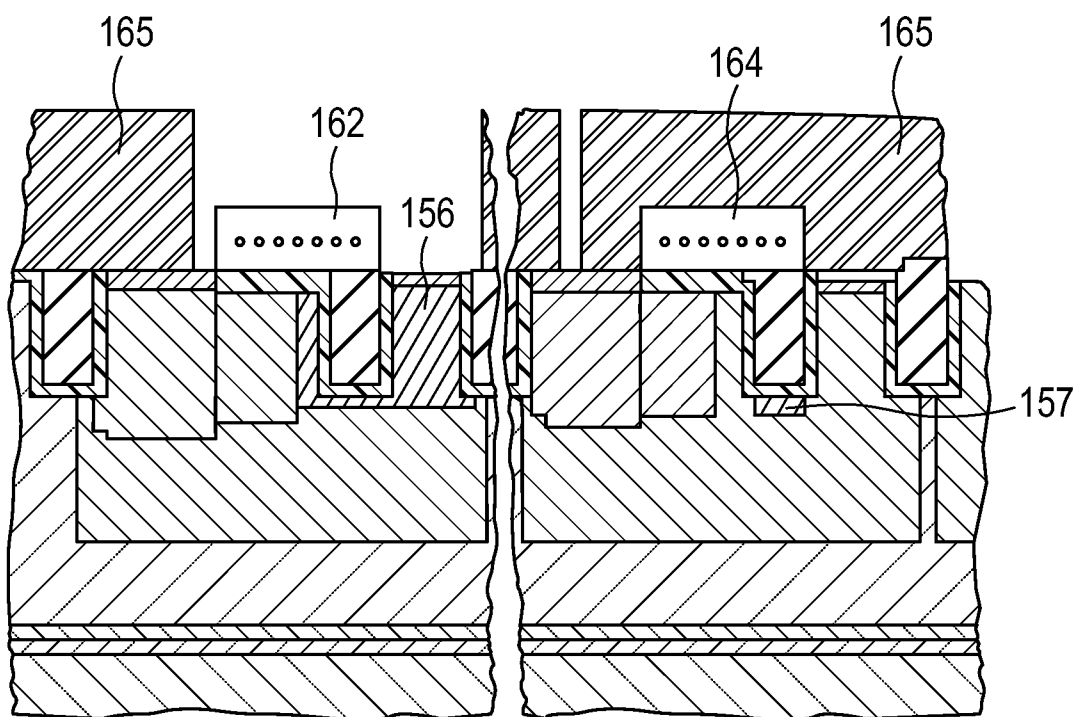


FIG. 14

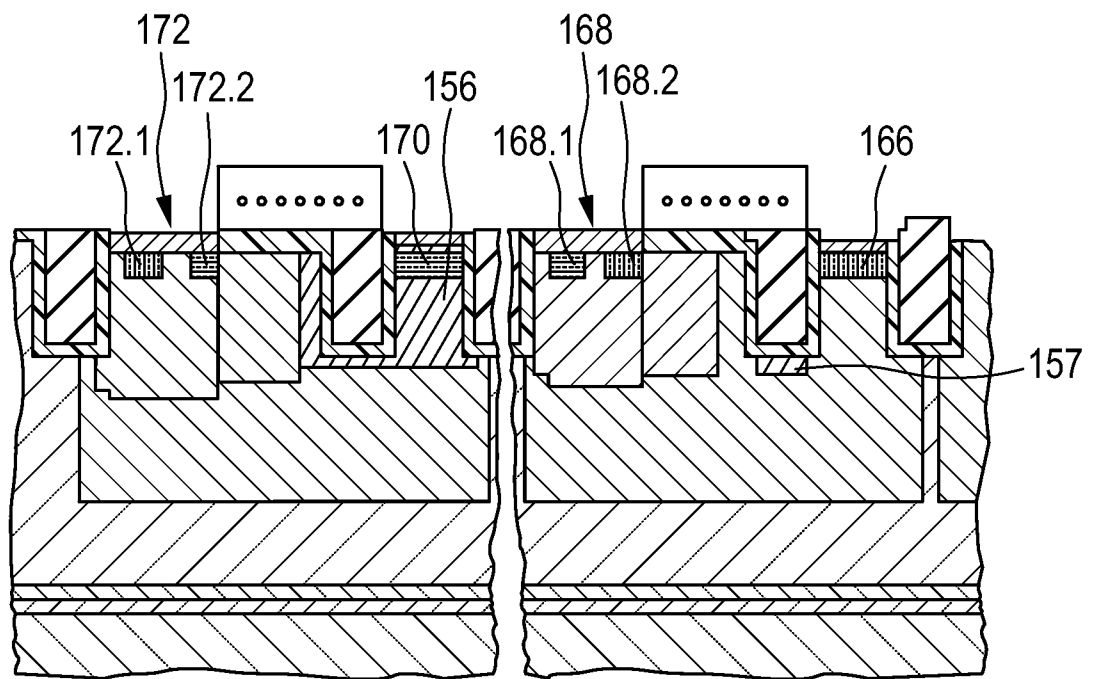


FIG. 15

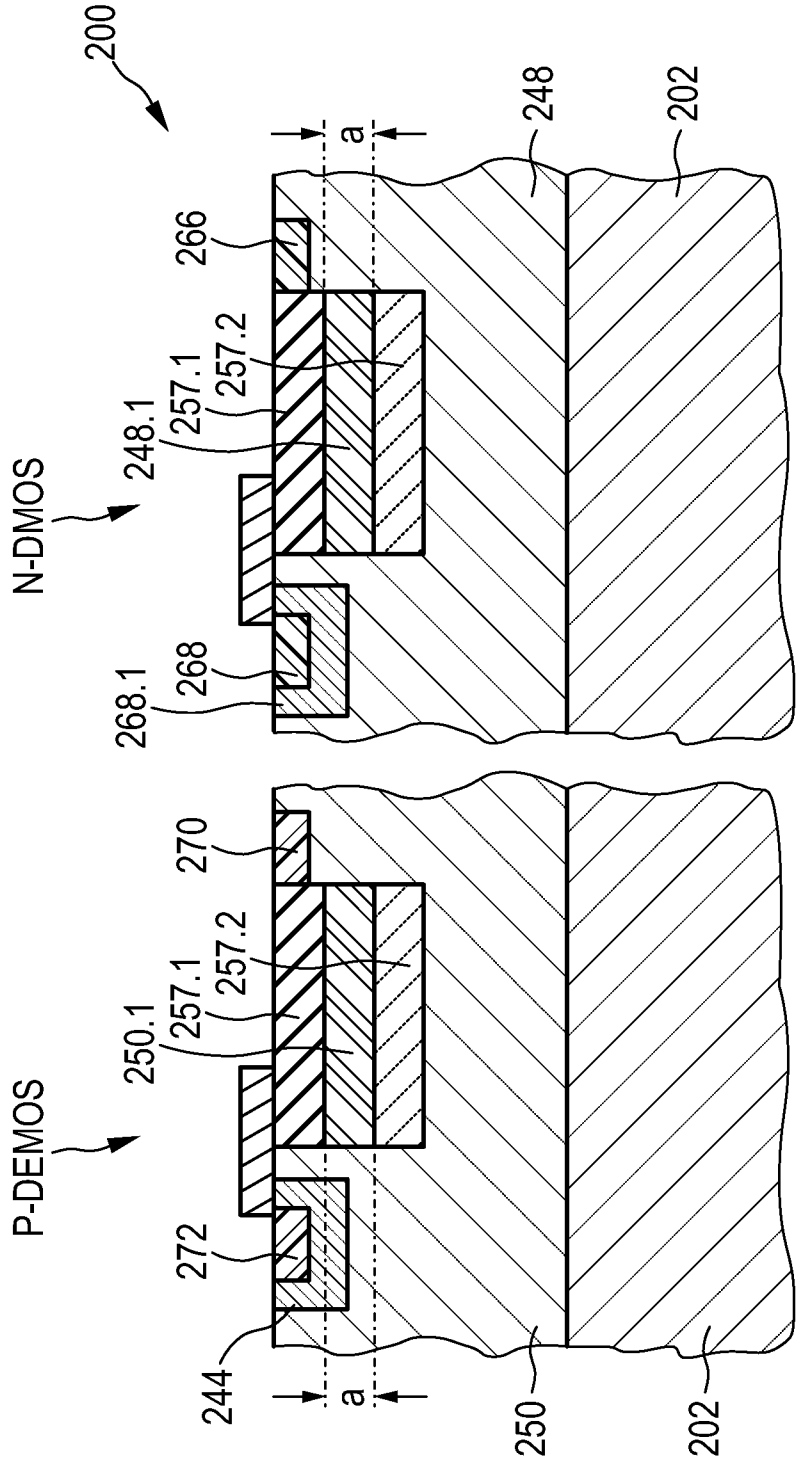


FIG. 16

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2008/053565

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/8238 H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 741 416 A (SGS THOMSON MICROELECTRONICS [IT] ST MICROELECTRONICS SRL [IT]) 6 November 1996 (1996-11-06) abstract; claim 4; figures tables	1-3, 7, 9, 11-14
Y	-----	5, 6, 15
X	US 6 451 640 B1 (ICHIKAWA TOSHIHIKO [JP]) 17 September 2002 (2002-09-17) abstract; claims; figure 4f	1-4, 7
X	US 4 918 026 A (KOSIAK WALTER K [US] ET AL) 17 April 1990 (1990-04-17) abstract; claims; figure 2c column 2, line 65 - line 66 column 3, line 7 - line 9 column 4, line 32 - line 42 ----- -/-	1-3, 7, 9

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

17 Juni 2008

Date of mailing of the international search report

25/06/2008

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wirner, Christoph

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2008/053565

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KITAMURA A ET AL: "SELF-ISOLATED AND HIGH PERFORMANCE COMPLEMENTARY LATERAL DMOSFETS WITH SURROUNDING-BODY REGIONS" PROCEEDINGS OF THE 7TH. INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND IC'S. (ISPSD). YOKOHAMA, MAY 23 - 25, 1995; [PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND IC'S. (ISPSD)], NEW YORK, IEEE, US, vol. SYMP. 7, 23 May 1995 (1995-05-23), pages 42-47, XP000594238 ISBN: 978-0-7803-2619-4 abstract; figures 1,2 -----	1-3,7,9
Y	US 5 338 960 A (BEASOM JAMES D [US]) 16 August 1994 (1994-08-16) abstract; claims; figure 2 -----	15
Y	US 2004/159893 A1 (KITAHARA AKINAO [JP]) 19 August 2004 (2004-08-19) abstract -----	5,6
A	EP 1 271 637 A (ATMEL GERMANY GMBH [DE]) 2 January 2003 (2003-01-02) abstract; figures -----	5,6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2008/053565

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0741416	A	06-11-1996	DE 69522926 D1	31-10-2001
			DE 69522926 T2	28-03-2002
			JP 4037472 B2	23-01-2008
			JP 8330444 A	13-12-1996
			US 5852314 A	22-12-1998

US 6451640	B1	17-09-2002	NONE	

US 4918026	A	17-04-1990	DE 69012611 D1	27-10-1994
			DE 69012611 T2	19-01-1995
			EP 0388000 A2	19-09-1990
			JP 3201474 A	03-09-1991

US 5338960	A	16-08-1994	NONE	

US 2004159893	A1	19-08-2004	CN 1521857 A	18-08-2004
			JP 2004247541 A	02-09-2004
			KR 20040073992 A	21-08-2004
			TW 236769 B	21-07-2005

EP 1271637	A	02-01-2003	DE 10131706 A1	30-01-2003
			JP 2003060205 A	28-02-2003
			US 2003003669 A1	02-01-2003

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2008/053565

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L21/8238 H01L27/092

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, INSPEC, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 741 416 A (SGS THOMSON MICROELECTRONICS [IT] ST MICROELECTRONICS SRL [IT]) 6. November 1996 (1996-11-06) Zusammenfassung; Anspruch 4; Abbildungen Tabellen	1-3,7,9, 11-14
Y	-----	5,6,15
X	US 6 451 640 B1 (ICHIKAWA TOSHIHIKO [JP]) 17. September 2002 (2002-09-17) Zusammenfassung; Ansprüche; Abbildung 4f -----	1-4,7
X	US 4 918 026 A (KOSIAK WALTER K [US] ET AL) 17. April 1990 (1990-04-17) Zusammenfassung; Ansprüche; Abbildung 2c Spalte 2, Zeile 65 - Zeile 66 Spalte 3, Zeile 7 - Zeile 9 Spalte 4, Zeile 32 - Zeile 42 ----- -/-	1-3,7,9

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. Juni 2008

Absendedatum des internationalen Recherchenberichts

25/06/2008

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Wirner, Christoph

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2008/053565

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr. Anspruch Nr.
X	<p>KITAMURA A ET AL: "SELF-ISOLATED AND HIGH PERFORMANCE COMPLEMENTARY LATERAL DMOSFETS WITH SURROUNDING-BODY REGIONS" PROCEEDINGS OF THE 7TH. INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND IC'S. (ISPSD). YOKOHAMA, MAY 23 - 25, 1995; [PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND IC'S. (ISPSD)], NEW YORK, IEEE, US, Bd. SYMP. 7, 23. Mai 1995 (1995-05-23), Seiten 42-47, XP000594238 ISBN: 978-0-7803-2619-4 Zusammenfassung; Abbildungen 1,2</p>	1-3,7,9
Y	<p>US 5 338 960 A (BEASOM JAMES D [US]) 16. August 1994 (1994-08-16) Zusammenfassung; Ansprüche; Abbildung 2</p>	15
Y	<p>US 2004/159893 A1 (KITAHARA AKINAO [JP]) 19. August 2004 (2004-08-19) Zusammenfassung</p>	5,6
A	<p>EP 1 271 637 A (ATMEL GERMANY GMBH [DE]) 2. Januar 2003 (2003-01-02) Zusammenfassung; Abbildungen</p>	5,6

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2008/053565

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0741416	A	06-11-1996	DE	69522926 D1	31-10-2001
			DE	69522926 T2	28-03-2002
			JP	4037472 B2	23-01-2008
			JP	8330444 A	13-12-1996
			US	5852314 A	22-12-1998

US 6451640	B1	17-09-2002	KEINE		

US 4918026	A	17-04-1990	DE	69012611 D1	27-10-1994
			DE	69012611 T2	19-01-1995
			EP	0388000 A2	19-09-1990
			JP	3201474 A	03-09-1991

US 5338960	A	16-08-1994	KEINE		

US 2004159893	A1	19-08-2004	CN	1521857 A	18-08-2004
			JP	2004247541 A	02-09-2004
			KR	20040073992 A	21-08-2004
			TW	236769 B	21-07-2005

EP 1271637	A	02-01-2003	DE	10131706 A1	30-01-2003
			JP	2003060205 A	28-02-2003
			US	2003003669 A1	02-01-2003
