

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3676904号

(P3676904)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int.Cl.⁷

F I

G 0 5 F 1/56

G 0 5 F 1/56 3 1 0 D

G 1 1 C 16/06

G 0 5 F 1/56 3 1 0 E

G 1 1 C 17/00 6 3 4 C

請求項の数 12 (全 22 頁)

(21) 出願番号	特願平9-93598	(73) 特許権者	503121103
(22) 出願日	平成9年4月11日(1997.4.11)		株式会社ルネサステクノロジ
(65) 公開番号	特開平10-289023		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成10年10月27日(1998.10.27)	(74) 代理人	100086405
審査請求日	平成16年4月6日(2004.4.6)		弁理士 河宮 治
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	和田 知久
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	三原 雅章
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項 1】

高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、
 入力された高電圧を電圧降下させて出力する高電圧降下部と、
 複数の基準電圧を生成して出力する基準電圧発生部と、
 該基準電圧発生部から入力された複数の基準電圧を切り換えて出力する基準電圧切換部と、

上記高電圧降下部から出力された電圧と上記基準電圧切換部から出力された基準電圧との比較を行って高電圧の検出を行う高電圧検出部と、

上記高電圧降下部における高電圧の電圧降下を制御すると共に、基準電圧切換部による基準電圧の切換制御を行う制御部とを備えることを特徴とする半導体集積回路。 10

【請求項 2】

上記高電圧降下部は、ダイオード接続された1つもしくは直列に接続された複数のM O S F E Tが上記高電圧降下部の入力と出力の間に接続され、高電圧の電圧降下を行う電圧降下回路部と、該電圧降下回路部に直列に接続された電流源と、電圧降下回路部を形成する各M O S F E Tのドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路部とで形成され、上記制御部は、該各スイッチング回路部のスイッチング動作を制御して上記電圧降下回路部による電圧降下値を変える請求項 1 に記載の半導体集積回路。

【請求項 3】

上記高電圧降下部は、複数の抵抗を直列に接続して形成される、高電圧の電圧降下を行う電圧降下回路部と、該電圧降下回路部に直列に接続された電流源と、上記電圧降下回路部を形成する各抵抗にそれぞれ並列に接続された、スイッチング動作によって抵抗を短絡させる各スイッチング回路部とで形成され、上記制御部は、該各スイッチング回路部のスイッチング動作を制御して上記電圧降下回路部による電圧降下値を変える請求項1に記載の半導体集積回路。

【請求項4】

高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、
入力された高電圧を電圧降下させて出力する高電圧降下部と、
基準電圧を生成して出力する基準電圧発生部と、

10

上記高電圧降下部から出力された電圧と上記基準電圧発生部から出力された基準電圧との比較を行って高電圧の検出を行う高電圧検出部と、

上記高電圧降下部における高電圧の電圧降下を制御する制御部とを備え、

上記高電圧降下部は、所定の電圧の整数倍ごとに電圧降下を行う電圧降下部と、所定の電圧の整数倍未満の電圧降下を行う微調整部と、上記電圧降下部及び微調整部にそれぞれ電流を供給する電流源とからなり、上記制御部は、電圧降下部及び微調整部におけるそれぞれの電圧降下を制御する半導体集積回路。

【請求項5】

上記電圧降下部は、ダイオード接続された1つもしくは直列に接続された複数の第1のMOSFETが上記高電圧降下部の入力と出力の間に接続された電圧降下回路と、該電圧降下回路を形成する上記各第1のMOSFETのドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路からなる第1スイッチング回路とからなり、上記制御部は、第1スイッチング回路におけるそれぞれのスイッチング回路のスイッチング動作を制御して高電圧の電圧降下を制御する請求項4に記載の半導体集積回路。

20

【請求項6】

上記微調整部は、ソースドレイン間に抵抗で形成された分圧回路が接続されると共に該分圧回路によって分圧された電圧がゲートに入力される1つもしくは直列に接続された複数の第2のMOSFETを含み、上記電圧降下回路と直列に接続される微調整回路と、該微調整回路を形成する上記各第2のMOSFETのドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路からなる第2スイッチング回路とからなり、上記制御部は、第2スイッチング回路におけるそれぞれのスイッチング回路のスイッチング動作を制御する請求項5に記載の半導体集積回路。

30

【請求項7】

上記微調整部は、ソースドレイン間に抵抗で形成された分圧回路が接続されると共に該分圧回路によって分圧された電圧がゲートに入力される第2のMOSFETとスイッチング用の第3のMOSFETとが直列に接続された直列回路を1つもしくは複数並列に接続して形成される、上記電圧降下回路と直列に接続される微調整回路とからなり、上記制御部は、上記スイッチング用の上記第3のMOSFETのスイッチング動作を制御する請求項5に記載の半導体集積回路。

【請求項8】

40

上記微調整部は、抵抗とスイッチング用の第2のMOSFETとが直列に接続された直列回路をゲートドレイン間及びゲートソース間にそれぞれ接続された第3のMOSFETからなる、上記電圧降下回路と直列に接続される微調整回路とからなり、上記制御部は、上記スイッチング用の上記第2のMOSFETのスイッチング動作を制御する請求項5に記載の半導体集積回路。

【請求項9】

高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、
第1基準電圧及び第2基準電圧を生成して出力する基準電圧発生部と、
該第1基準電圧と上記高電圧との電圧差を電流に変換する電流変換部と、
上記第2基準電圧に応じて一定の電流を生成して出力する定電流発生部と、

50

上記電流変換部で変換された電流と、該定電流発生部から出力される定電流との電流差を電圧に変換する電圧変換部と、

該電圧変換部で変換された電圧から高電圧値の検出を行う高電圧検出部とを備えることを特徴とする半導体集積回路。

【請求項 10】

上記電圧変換部はカレントミラー回路で形成され、該カレントミラー回路は、電流変換部で変換された電流を定電流発生部の出力に入力し、上記高電圧検出部は、定電流発生部の出力における電圧から高電圧の検出を行うことを特徴とする請求項 9 に記載の半導体集積回路。

【請求項 11】

上記電流変換部は、ダイオード接続された1つもしくは直列に接続された複数のMOSFETを含む電圧レベル変換回路と、該電圧レベル変換回路の出力に接続されると共にゲートに第1基準電圧が入力され、電流変換部の出力をなすMOSFETとで形成され、上記電圧レベル変換回路の入力は負の高電圧が入力されることを特徴とする請求項 10 に記載の半導体集積回路。

【請求項 12】

高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、

ダイオード接続された1つもしくは直列に接続された複数の第1のMOSFETを含み、入力が接地される第1電圧降下回路部と、

ダイオード接続された1つもしくは直列に接続された複数の第2のMOSFETを含み、入力が負の高電圧が印加される第2電圧降下回路部と、

所定の基準電圧を生成して出力する基準電圧発生部と、

該第1電圧降下回路部の出力が上記所定の基準電圧になるように一定の電流を生成すると共に、上記第1及び第2電圧降下回路部にそれぞれ電流を供給する定電流発生部と、

上記第1電圧降下回路部の出力電圧と第2電圧降下回路部の出力電圧とを比較して高電圧値を検出する高電圧検出部とを備えることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特に半導体集積回路の正又は負の高電圧を検出する高電圧検出回路に関する。

【0002】

【従来の技術】

電源電圧が印加されていなくとも記憶データを保持できるメモリとしてフラッシュメモリがあり、フラッシュメモリにおいては、データの記憶を行うメモリセル内のフローティングゲートに電荷を保持することで不揮発性の記憶を行っている。フラッシュメモリでは、電荷を保持するフローティングゲートに電荷を注入、又はフローティングゲートから電荷を引き抜いて“1”又は“0”のデータ記憶状態を作る。このとき、ファウラーノルドハイム（Fowler-Nordheim）トンネル現象や、チャネルホットエレクトロンを利用してフローティングゲートとの間で電荷のやり取りを行う。このような状態を発生させるためには、一般的にデバイスの動作電源電圧よりも高い電圧が必要となる。

【0003】

図8は、正の高電圧を検出する従来の高電圧検出回路の例を示した概略の回路図である。図8において、高電圧検出回路200は、カレントミラー型負荷の差動増幅回路201と、該差動増幅回路201を制御するnチャネル型MOSFET（以下、nMOSトランジスタと呼ぶ）202と、高電圧入力端子203から入力される正の高電圧V_hを分圧するための抵抗204及び205と、インバータ回路206とで形成されている。高電圧入力端子203は、抵抗204及び205を介して接地されており、差動増幅回路201の一方の入力端子には基準電圧発生回路207で生成され出力された基準電圧V_{ref}が入力され、他方の入力端子は、抵抗204及び205の接続部に接続されて高電圧入力端子20

10

20

30

40

50

3から入力された高電圧V_hを分圧した電圧V_{div}が入力される。

【0004】

差動増幅回路201の出力はインバータ回路206の入力に接続され、インバータ回路206の出力は、高電圧検出回路200の出力をなし、チャージポンプ回路を備え正の高電圧V_hを出力する高電圧発生回路208の入力に接続されている。高電圧発生回路208の出力は、所定の回路（図示せず）に接続されると共に高電圧入力端子203に接続されている。また、nMOSトランジスタ202のゲートには2値の信号が入力され、nMOSトランジスタ202がオンすると差動増幅回路201は作動し、nMOSトランジスタ202がオフすると差動増幅回路201は動作を停止する。

【0005】

上記のような構成において、抵抗204及び抵抗205で分圧された分圧電圧V_{div}は、 $V_{div} = V_h \times R_b / (R_a + R_b)$ で表すことができる。なお、上記R_aは抵抗204の抵抗値を、R_bは抵抗205の抵抗値を示している。

【0006】

差動増幅回路201は、分圧電圧V_{div}と、基準電圧V_{ref}との比較を行っており、V_{div} < V_{ref}のとき出力が「L」レベルとなり、インバータ回路206の出力が「H」レベルとなって、高電圧発生回路208は、チャージポンプ回路を作動させて高電圧V_hの昇圧を行う。一方、差動増幅回路201は、V_{div} > V_{ref}のとき出力が「H」レベルとなり、インバータ回路206の出力が「L」レベルとなって、高電圧発生回路208は、チャージポンプ回路の動作を停止させる。このように、高電圧検出回路200は、 $V_{div} = V_h \times R_b / (R_a + R_b) > V_{ref}$ のとき、すなわち、 $V_h > V_{ref} \times (R_a + R_b) / R_b$ のとき、出力が「L」レベルとなり、高電圧V_hがV_{ref} × (R_a + R_b) / R_b以下であるか否かを検出することができる。

【0007】

しかし、図8で示した高電圧検出回路200では、高電圧V_hを2つの抵抗204及び205で分圧するため、1つの分圧電圧V_{div}の値しか検出することができず、種々の高電圧を検出することができなかった。そこで、図9で示すように、抵抗204を、n（nは自然数）個の抵抗R₁～R_nを直列に接続した直列回路に置き換え、各抵抗R₁～R_nには、ゲートサイズが十分に小さいnMOSトランジスタT₁～T_nがそれぞれ対応して並列に接続される。

【0008】

更に、各nMOSトランジスタT₁～T_nのゲートは、それぞれ制御回路211に接続され、制御回路211によって各nMOSトランジスタT₁～T_nのオンオフを制御することにより、抵抗R₁～R_nで形成された直列回路におけるトータルの抵抗値を変えるようにした。このようにすることにより、分圧電圧V_{div}を制御回路211で制御することができ、種々の高電圧値を検出することができた。

【0009】

次に、負の高電圧を検出する従来の回路について説明する。図10は、負の高電圧を検出する従来の高電圧検出回路の例を示した概略の回路図である。図10において、高電圧検出回路220は、カレントミラー型負荷の差動増幅回路221、該差動増幅回路221を制御するnMOSトランジスタ222及びインバータ回路223からなる差動センスアンプ224と、pチャネル型MOSFET（以下、pMOSトランジスタと呼ぶ）225及び226からなるレベルコンバータ227と、nMOSトランジスタM₁～M_n、228、229とで形成されている。

【0010】

pMOSトランジスタ225、226及びnMOSトランジスタM₁～M_n、229は、それぞれソースとバックゲート端子とが接続されており、バックゲート効果によってそれぞれのしきい値V_{th}の変動を防止する。また、pMOSトランジスタ226及びnMOSトランジスタM₁～M_n、228、229は、それぞれダイオード接続されている。

10

20

30

40

50

【0011】

nMOSトランジスタM1～Mn、228、229を直列に接続し、該直列回路は、負の高電圧V_lが入力される高電圧入力端子230と電源電圧V_{dd}が入力される電源端子231との間に接続されている。nMOSトランジスタ228のゲートには基準電圧発生回路232で生成された基準電圧V_{refA}が入力され、nMOSトランジスタ228と電源端子231との間にnMOSトランジスタ229が接続されている。レベルコンバータ227を形成するpMOSトランジスタ225及び226は直列に接続されて、電源端子231と接地間に接続され、電源端子231側に接続されたpMOSトランジスタ225のゲートは、nMOSトランジスタ228及び229との接続部に接続されている。

【0012】

レベルコンバータ227におけるpMOSトランジスタ225及び226の接続部は、差動センスアンプ224における差動増幅回路221の一方の入力に接続され、他方の入力には基準電圧発生回路232で生成された基準電圧V_{refB}が入力されている。また、差動増幅回路221の出力はインバータ回路223の入力に接続され、インバータ回路223の出力は、高電圧検出回路220の出力をなし、チャージポンプ回路を備え負の高電圧V_lを出力する高電圧発生回路233の入力に接続されている。高電圧発生回路233の出力は、所定の回路（図示せず）に接続されると共に高電圧入力端子230に接続されている。また、nMOSトランジスタ222のゲートには2値の信号が入力され、nMOSトランジスタ222がオンすると差動増幅回路221は作動し、nMOSトランジスタ222がオフすると差動増幅回路221は動作を停止する。

【0013】

上記のような構成において、ダイオード接続されたnMOSトランジスタM1～Mn、及びゲートに基準電圧V_{refA}が入力されるnMOSトランジスタ228で形成された直列回路は、基準電圧V_{refA}と負の高電圧V_lとの電圧差に応じて電流が流れる。該電流は、ダイオード接続されたnMOSトランジスタ229から流れ、nMOSトランジスタ229のソースとドレインとの間に電圧V_aが発生する。ここで、nMOSトランジスタM1～Mn、228及び229は、各ゲートサイズがすべて同一であり、すべてオンしている場合、下記（1）式が成り立つ。

$$(V_{refA} - V_l) / (n + 1) = V_a \quad \dots\dots\dots (1)$$

【0014】

上記レベルコンバータ227は、入力された電圧V_aを接地電位から見た電圧V_aに変換し、差動増幅回路221は、レベルコンバータ227で変換された電圧V_aと、基準電圧V_{refB}との比較を行う。すなわち、 $(V_{refA} - V_l) / (n + 1)$ とV_{refB}との比較を行うことになり、更に、V_lと $\{V_{refA} - (n + 1) \times V_{refB}\}$ との比較を行うことになり、nに大きな整数値を使用することによって負の高電圧を検出することができる。

【0015】

【発明が解決しようとする課題】

しかし、図9で示した正の高電圧検出回路210では、分圧電圧V_{div}を微調整できるようにするには抵抗R₁～R_nの段数を増やす必要があり、制御回路211の出力が増加して回路規模が大きくなると共に、チップの大きさが大きくなる要因である抵抗の数を増やすことからチップの大きさが大きくなり、これらのことから、コストが増加するという問題があった。また、図10で示した負の高電圧検出回路220では、回路を構成する素子数が多いことから、検出精度の低下を招くと共にコストが増加するという問題があった。更に、半導体集積回路において、消費電流の低減を図ることは常に課せられた課題である。

【0016】

本発明は、上記問題を解決するためになされたものであり、検出精度を向上させることができると共に、コストの低減及び消費電流の低減を図ることができる高電圧検出回路を備えた半導体集積回路を得ることを目的とする。

【0017】

なお、本発明の半導体集積回路と目的及び構成が異なるが、検出電圧と共に、V_{REF}も

10

20

30

40

50

調整して比較器に入力する、磁気記録再生装置におけるバッテリー電圧検出回路が、特開平5-164792号公報で開示されており、VREFをステップ的に切り替える内部電圧発生回路が、アメリカ特許第5283762号の明細書で開示されている。

【0018】

【課題を解決するための手段】

この発明に係る半導体集積回路は、高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、入力された高電圧を電圧降下させて出力する高電圧降下部と、複数の基準電圧を生成して出力する基準電圧発生部と、該基準電圧発生部から入力された複数の基準電圧を切り換えて出力する基準電圧切換部と、上記高電圧降下部から出力された電圧と上記基準電圧切換部から出力された基準電圧との比較を行って高電圧の検出を行う高電圧検出部と、上記高電圧降下部における高電圧の電圧降下を制御すると共に、基準電圧切換部による基準電圧の切換制御を行う制御部とを備えるものである。

10

【0019】

また、この発明に係る半導体集積回路は、請求項1において、上記高電圧降下部は、ダイオード接続された1つもしくは直列に接続された複数のMOSFETが上記高電圧降下部の入力と出力の間に接続され、高電圧の電圧降下を行う電圧降下回路部と、該電圧降下回路部に直列に接続された電流源と、電圧降下回路部を形成する各MOSFETのドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路部とで形成され、上記制御部は、該各スイッチング回路部のスイッチング動作を制御して上記電圧降下回路部による電圧降下値を変えるものである。

20

【0020】

また、この発明に係る半導体集積回路は、請求項1において、上記高電圧降下部は、複数の抵抗を直列に接続して形成される、高電圧の電圧降下を行う電圧降下回路部と、該電圧降下回路部に直列に接続された電流源と、上記電圧降下回路部を形成する各抵抗にそれぞれ並列に接続された、スイッチング動作によって抵抗を短絡させる各スイッチング回路部とで形成され、上記制御部は、該各スイッチング回路部のスイッチング動作を制御して上記電圧降下回路部による電圧降下値を変えるものである。

【0021】

また、この発明に係る半導体集積回路は、高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、入力された高電圧を電圧降下させて出力する高電圧降下部と、基準電圧を生成して出力する基準電圧発生部と、高電圧降下部から出力された電圧と上記基準電圧発生部から出力された基準電圧との比較を行って高電圧の検出を行う高電圧検出部と、上記高電圧降下部における高電圧の電圧降下を制御する制御部とを備え、上記高電圧降下部は、所定の電圧の整数倍ごとに電圧降下を行う電圧降下部と、所定の電圧の整数倍未満の電圧降下を行う微調整部と、上記電圧降下部及び微調整部にそれぞれ電流を供給する電流源とからなり、上記制御部は、電圧降下部及び微調整部におけるそれぞれの電圧降下を制御するものである。

30

【0022】

また、この発明に係る半導体集積回路は、請求項4において、上記電圧降下部は、ダイオード接続された1つもしくは直列に接続された複数の第1のMOSFETが上記高電圧降下部の入力と出力の間に接続された電圧降下回路と、該電圧降下回路を形成する上記各第1のMOSFETのドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路からなる第1スイッチング回路とからなり、上記制御部は、第1スイッチング回路におけるそれぞれのスイッチング回路のスイッチング動作を制御して高電圧の電圧降下を制御するものである。

40

【0023】

また、この発明に係る半導体集積回路は、請求項5において、上記微調整部は、ソースドレイン間に抵抗で形成された分圧回路が接続されると共に該分圧回路によって分圧された電圧がゲートに入力される1つもしくは直列に接続された複数の第2のMOSFETを含み、上記電圧降下回路と直列に接続される微調整回路と、該微調整回路を形成する上

50

記各第2のMOSFETのドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路からなる第2スイッチング回路とからなり、上記制御部は、第2スイッチング回路におけるそれぞれのスイッチング回路のスイッチング動作を制御するものである。

【0024】

また、この発明に係る半導体集積回路は、請求項5において、上記微調整部は、ソースドレイン間に抵抗で形成された分圧回路が接続されると共に該分圧回路によって分圧された電圧がゲートに入力される第2のMOSFETとスイッチング用の第3のMOSFETとが直列に接続された直列回路を1つもしくは複数並列に接続して形成される、上記電圧降下回路と直列に接続される微調整回路からなり、上記制御部は、上記スイッチング用の上記第3のMOSFETのスイッチング動作を制御するものである。

10

【0025】

また、この発明に係る半導体集積回路は、請求項5において、上記微調整部は、抵抗とスイッチング用の第2のMOSFETとが直列に接続された直列回路をゲートドレイン間及びゲートソース間にそれぞれ接続された第3のMOSFETからなる、上記電圧降下回路と直列に接続される微調整回路からなり、上記制御部は、上記スイッチング用の上記第2のMOSFETのスイッチング動作を制御するものである。

【0026】

また、この発明に係る半導体集積回路は、高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、第1基準電圧及び第2基準電圧を生成して出力する基準電圧発生部と、該第1基準電圧と上記高電圧との電圧差を電流に変換する電流変換部と、上記第2基準電圧に応じて一定の電流を生成して出力する定電流発生部と、上記電流変換部で変換された電流と、該定電流発生部から出力される定電流との電流差を電圧に変換する電圧変換部と、該電圧変換部で変換された電圧から高電圧値の検出を行う高電圧検出部とを備えるものである。

20

【0027】

また、この発明に係る半導体集積回路は、請求項9において、上記電圧変換部はカレントミラー回路で形成され、該カレントミラー回路は、電流変換部で変換された電流を定電流発生部の出力に入力し、上記高電圧検出部は、定電流発生部の出力における電圧から高電圧の検出を行うものである。

30

【0028】

また、この発明に係る半導体集積回路は、請求項10において、上記電流変換部は、ダイオード接続された1つもしくは直列に接続された複数のMOSFETを含む電圧レベル変換回路と、該電圧レベル変換回路の出力に接続されると共にゲートに第1基準電圧が入力され、電流変換部の出力をなすMOSFETとで形成され、上記電圧レベル変換回路の入力は負の高電圧が入力されるものである。

【0029】

また、この発明に係る半導体集積回路は、高電圧の検出を行う高電圧検出回路を有する半導体集積回路において、ダイオード接続された1つもしくは直列に接続された複数の第1のMOSFETを含み、入力が接地される第1電圧降下回路部と、ダイオード接続された1つもしくは直列に接続された複数の第2のMOSFETを含み、入力が負の高電圧が印加される第2電圧降下回路部と、所定の基準電圧を生成して出力する基準電圧発生部と、該第1電圧降下回路部の出力が上記所定の基準電圧になるように一定の電流を生成すると共に、上記第1及び第2電圧降下回路部にそれぞれ電流を供給する定電流発生部と、上記第1電圧降下回路部の出力電圧と第2電圧降下回路部の出力電圧とを比較して高電圧値を検出する高電圧検出部とを備えるものである。

40

【0030】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

実施の形態1.

50

図1は、本発明の実施の形態1における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。なお、図1は、正の高電圧を検出する高電圧検出回路を示している。

【0031】

図1において、高電圧検出回路1は、カレントミラー型負荷の差動増幅回路2と、該差動増幅回路2を制御するnチャネル型MOSFET（以下、nMOSトランジスタと呼ぶ）3と、差動増幅回路2の出力信号の信号レベルを反転するインバータ回路4と、高電圧入力端子5から入力される正の高電圧 V_h を電圧降下させて降下電圧 V_d を出力する高電圧降下回路6と、複数の基準電圧、ここでは、例えば $V_{r1} \sim V_{r4}$ の4種類の電圧の基準電圧を生成して出力する基準電圧発生回路7と、基準電圧発生回路7から入力される各基準電圧 $V_{r1} \sim V_{r4}$ のいずれか1つを差動増幅回路2に出力する基準電圧切換回路8と、高電圧降下回路6に対して降下電圧 V_d の可変制御を行うと共に、基準電圧切換回路8を制御する制御回路9とからなる。

10

【0032】

差動増幅回路2は、pチャネル型MOSFET（以下、pMOSトランジスタと呼ぶ）11、12及びnMOSトランジスタ13、14で形成されており、pMOSトランジスタ11及び12でカレントミラー回路を形成しており、pMOSトランジスタ11及び12の各ソースは、電源電圧 V_{dd} が入力される電源端子15にそれぞれ接続されている。pMOSトランジスタ11及び12の各ゲートは互いに接続され、該接続部はpMOSトランジスタ11のドレインに接続されている。

【0033】

pMOSトランジスタ11のドレインはnMOSトランジスタ13のドレインに接続され、pMOSトランジスタ12のドレインはnMOSトランジスタ14のドレインに接続され、該接続部は差動増幅回路2の出力をなし、インバータ回路4の入力に接続されている。インバータ回路4の出力は、高電圧検出回路1の出力をなし、チャージポンプ回路を備え正の高電圧 V_h を出力する高電圧発生回路16の入力に接続されている。高電圧発生回路16の出力は、所定の回路（図示せず）に接続されると共に高電圧入力端子5に接続されている。

20

【0034】

また、nMOSトランジスタ13及び14の各ソースは接続され、該接続部はnMOSトランジスタ3のドレインに接続され、nMOSトランジスタ3のソースは接地されている。nMOSトランジスタ3のゲートには2値の信号が入力され、nMOSトランジスタ3がオンすると差動増幅回路2は作動し、nMOSトランジスタ3がオフすると差動増幅回路2は動作を停止する。nMOSトランジスタ13のゲートは、高電圧降下回路6の出力に接続されて降下電圧 V_d が入力される。nMOSトランジスタ14のゲートは、基準電圧切換回路8の出力に接続されている。基準電圧切換回路8は、基準電圧発生回路7に接続されて、各基準電圧 $V_{r1} \sim V_{r4}$ がそれぞれ入力され、更に制御回路9に接続されている。

30

【0035】

高電圧降下回路6は、n個のnMOSトランジスタ $Ma1 \sim Man$ 及びnMOSトランジスタ Mb で形成されている。ダイオード接続されたnMOSトランジスタ $Ma1 \sim Man$ は直列に接続されており、nMOSトランジスタ $Ma1$ のドレインは高電圧入力端子5に接続され、nMOSトランジスタ Man のソースはnMOSトランジスタ Mb のドレインに接続され、該接続部は差動増幅回路2のnMOSトランジスタ13のゲートに接続されている。また、nMOSトランジスタ Mb のソースは接地され、ゲートには、所定の電圧 V_{cs} が入力される。

40

【0036】

更に、nMOSトランジスタ $Ma1 \sim Man$ には、ゲート長を十分に短くするか又はゲート幅を十分に広くした、オン抵抗が十分に小さいnMOSトランジスタ $Ta1 \sim Tan$ がそれぞれ対応して並列に接続され、nMOSトランジスタ $Ta1 \sim Tan$ の各ゲートは、それぞれ制御回路9に接続されている。なお、nMOSトランジスタ $Ma1 \sim Man$ は、それぞれソースと

50

バックゲート端子とが接続されており、バックゲート効果によってそれぞれのしきい値 V_{th} の変動を防止する。また、nMOSトランジスタ $Ma1 \sim Man$ 、 Mb は、各ゲートサイズがそれぞれ同一であり、飽和領域でそれぞれ動作する。なお、差動増幅回路 2、nMOSトランジスタ 3 及びインバータ回路 4 は高電圧検出部を、高電圧降下回路 6 は高電圧降下部を、基準電圧発生回路 7 は基準電圧発生部を、基準電圧切換回路 8 は基準電圧切換部を、制御回路 9 は制御部をなす。

【0037】

上記のような構成において、nMOSトランジスタ Mb は電流源をなしており、制御回路 9 が、nMOSトランジスタ $Ta1 \sim Tan$ をすべてオフさせている場合、nMOSトランジスタ Mb のゲートに所定の電圧 V_{cs} が入力されると、nMOSトランジスタ $Ma1 \sim Man$ の直列回路に電流が流れ、各nMOSトランジスタ $Ma1 \sim Man$ のドレインソース間には、電圧 V_{cs} の電圧降下がそれぞれ発生し、高電圧降下回路 6 の出力電圧である降下電圧 V_d は、下記 (2) 式のようになる。

$$V_d = V_h - n \times V_{cs} \quad \dots\dots\dots (2)$$

【0038】

ここで、制御回路 9 は、 n 個の nMOSトランジスタ $Ta1 \sim Tan$ の内、 K 個を オフ させたとして、高電圧検出回路 1 で検出される高電圧 V_h は、下記 (3) 式のようになる。

$$V_h = V_{ref} + K \times V_{cs} \quad \dots\dots\dots (3)$$

なお、 K は $0 \sim n$ の整数である。

【0039】

制御回路 9 は、基準電圧切換回路 8 を制御することにより、基準電圧発生回路 7 で生成された複数の基準電圧 $V_{r1} \sim V_{r4}$ のいずれかを選択して差動増幅回路 2 の基準電圧 V_{ref} として出力させる。差動増幅回路 2 は、nMOSトランジスタ 3 がオンすることによって作動し、高電圧降下回路 6 から入力される降下電圧 V_d 、及び基準電圧切換部 8 から入力される基準電圧 V_{ref} に対して差動増幅を行う。

【0040】

例えば、降下電圧 V_d が基準電圧 V_{ref} よりも小さい場合、インバータ回路 4 の入力は「L」レベルとなり、高電圧発生回路 16 には「H」レベルの信号が入力されることから、高電圧発生回路 16 は、チャージポンプ回路を作動させて高電圧 V_h を上昇させる。次に、降下電圧 V_d が基準電圧 V_{ref} 以上になると、インバータ回路 4 の入力は「H」レベルとなり、高電圧発生回路 16 には「L」レベルの信号が入力されることから、高電圧発生回路 16 は、チャージポンプ回路の作動を停止させる。

【0041】

これらのことから、制御回路 9 は、nMOSトランジスタ $Ta1 \sim Tan$ の内、オンさせた nMOSトランジスタの数 K を変えることにより、降下電圧 V_d を変えると共に、基準電圧切換回路 8 を制御して、差動増幅回路 2 に入力される基準電圧 V_{ref} を変えることによって、高電圧検出回路 1 で検出することができる高電圧 V_h 値の微調整を行う。

【0042】

上記のように、本発明の実施の形態 1 における半導体集積回路は、高電圧降下回路 6 から差動増幅回路 2 に入力される降下電圧 V_d を変えることができ、更に差動増幅回路 2 に入力される基準電圧 V_{ref} を変えることができることから、検出することができる高電圧 V_h の値の微調整を行うことができる。更に、高電圧降下回路 6 に抵抗を使用せず、nMOSトランジスタで形成したことから、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

【0043】

なお、本実施の形態 1 においては、高電圧降下回路 6 にダイオード接続した nMOSトランジスタを使用したか、該 nMOSトランジスタの代わりにダイオード接続した pMOSトランジスタを使用してもよく、同様の効果を得ることができる。また、高電圧降下回路 6 に使用した nMOSトランジスタ $Ma1 \sim Man$ の代わりに抵抗を使用してもよく、この場

10

20

30

40

50

合、従来の回路よりも抵抗の数を削減することができると共に、配線数の削減を行うことができる。

【0044】

実施の形態2.

図2は、本発明の実施の形態2における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。なお、図2は、正の高電圧を検出する高電圧検出回路を示している。また、図2では、図1と同じものは同じ符号で示しており、ここではその説明を省略すると共に、図1との相違点のみ説明する。

図2における図1との相違点は、図1の基準電圧切換部8をなくし、図1の高電圧降下回路6内に降下電圧 V_d の微調整を行う微調整回路21を設けたことと、基準電圧発生回路7を所定の1つの基準電圧を生成して出力するようにしたことから、図1の高電圧降下回路6を高電圧降下回路22とし、図1の基準電圧発生回路7を基準電圧発生回路23とし、図1の制御回路9は、微調整回路21の制御をも行うことから、制御回路24とし、これらに伴って、図1の高電圧検出回路1を高電圧検出回路25としたことにある。

【0045】

図2において、高電圧検出回路25は、差動増幅回路2と、該差動増幅回路2を制御するnMOSトランジスタ3と、差動増幅回路2の出力信号の信号レベルを反転するインバータ回路4と、高電圧入力端子5から入力される正の高電圧 V_h を電圧降下させて降下電圧 V_d を出力する高電圧降下回路22と、所定の基準電圧 V_{ref} を生成して出力する基準電圧発生回路23と、高電圧降下回路22に対して降下電圧 V_d の可変制御を行う制御回路24とからなる。差動増幅回路2のnMOSトランジスタ14のゲートは、基準電圧発生回路23に接続されており、所定の基準電圧 V_{ref} が入力される。

【0046】

高電圧降下回路22は、 n 個のnMOSトランジスタ $Ma_1 \sim Ma_n$ 、nMOSトランジスタ M_b 及び微調整回路21で形成されている。更に、微調整回路21は、nMOSトランジスタ $Md_1 \sim Md_4$ 、 $Td_1 \sim Td_4$ 、抵抗 $Rd_1 \sim Rd_3$ 及び3つの抵抗 Rd_4 で形成されている。ダイオード接続されたnMOSトランジスタ Md_1 のソースは、nMOSトランジスタ M_b のドレインに接続され、該接続部は差動増幅回路2のnMOSトランジスタ13のゲートに接続されている。

【0047】

また、nMOSトランジスタ Md_1 のドレインはnMOSトランジスタ Md_2 のソースに接続され、同様に、nMOSトランジスタ Md_2 のドレインはnMOSトランジスタ Md_3 のソースに、nMOSトランジスタ Md_3 のドレインはnMOSトランジスタ Md_4 のソースにそれぞれ接続されている。nMOSトランジスタ Md_4 のドレインは、nMOSトランジスタ Ma_n のソースに接続されている。

【0048】

更に、nMOSトランジスタ $Md_1 \sim Md_n$ には、nMOSトランジスタ $Ta_1 \sim Ta_n$ と同様に、ゲート長を十分に短くするか又はゲート幅を十分に広くした、オン抵抗が十分に小さいnMOSトランジスタ $Td_1 \sim Td_4$ がそれぞれ対応して並列に接続され、nMOSトランジスタ $Td_1 \sim Td_4$ の各ゲートは、それぞれ制御回路24に接続されている。なお、nMOSトランジスタ $Md_1 \sim Md_4$ は、nMOSトランジスタ $Ma_1 \sim Ma_n$ 、 M_b とゲートサイズが同一であり、それぞれ飽和領域で動作すると共に、それぞれソースとバックゲート端子とが接続されており、バックゲート効果によってそれぞれのしきい値 V_{th} の変動を防止する。

【0049】

nMOSトランジスタ Md_2 は、ゲートーソース間に抵抗 Rd_4 が接続され、ゲートードレイン間に抵抗 Rd_1 が接続されている。nMOSトランジスタ Md_3 は、ゲートーソース間に抵抗 Rd_4 が接続され、ゲートードレイン間に抵抗 Rd_2 が接続されている。また、nMOSトランジスタ Md_4 は、ゲートーソース間に抵抗 Rd_4 が接続され、ゲートードレイン間に抵抗 Rd_3 が接続されている。ここで、抵抗 Rd_1 の抵抗値を r とすると、抵抗 Rd_2 の抵抗値は $2r$ 、抵抗 Rd_3 の抵抗値は $3r$ 、抵抗 Rd_4 の抵抗値は $4r$ となる。なお、微調整回路21は

微調整部を、高電圧降下回路 2 2 は高電圧降下部を、基準電圧発生回路 2 3 は基準電圧発生部を、nMOS トランジスタ Ma1~Man 及び Ta1~Tan は電圧降下部をなす。

【0050】

上記のような構成において、制御回路 2 4 が、nMOS トランジスタ Ta1~Tan をすべてオンさせると共に、微調整回路 2 1 の nMOS トランジスタ Td1~Td3 をオンさせ、nMOS トランジスタ Td4 のみオフさせた場合、nMOS トランジスタ Mb のゲートに所定の電圧 Vcs が入力されると、nMOS トランジスタ Ma1~Man の直列回路、及び nMOS トランジスタ Md4, Td3, Td2, Td1 の直列回路に電流が流れる。このことから、各 nMOS トランジスタ Ma1~Man のドレインソース間には、電圧 Vcs の電圧降下がそれぞれ発生する。

10

【0051】

更に、nMOS トランジスタ Md4 のゲートソース間には、電圧 Vcs の電圧降下が発生し、nMOS トランジスタ Md4 のドレインソース間の電圧降下 Vd4、すなわち、微調整回路 2 1 における電圧降下は、下記 (4) 式のようにになる。

$$Vd4 = (7/4) \times Vcs = 1.75 \times Vcs \dots\dots\dots (4)$$

【0052】

同様に、nMOS トランジスタ Td1, Td2, Td4 がオンし、nMOS トランジスタ Td3 がオフした場合、微調整回路 2 1 における電圧降下は $1.5 \times Vcs$ となり、nMOS トランジスタ Td1, Td3, Td4 がオンし、nMOS トランジスタ Td2 がオフした場合、微調整回路 2 1 の電圧降下は $1.25 \times Vcs$ となる。更に、nMOS トランジスタ Td2~Td4 がオンし、nMOS トランジスタ Td1 がオフした場合、微調整回路 2 1 における電圧降下は Vcs となる。なお、各抵抗 Rd1~Rd4 に流れる電流が、電流源をなす nMOS トランジスタ Mb がオンしたときに高電圧降下回路 2 2 に流れる電流よりも十分に小さくなるように、各抵抗 Rd1~Rd4 の各抵抗値が設定されている。

20

【0053】

このように、微調整回路 2 1 では、nMOS トランジスタ Ma1~Man のそれぞれの電圧降下に対して、nMOS トランジスタ Md4 では 1.75 倍の電圧降下を、nMOS トランジスタ Md3 では 1.5 倍の電圧降下を、nMOS トランジスタ Md2 では 1.25 倍の電圧降下を、nMOS トランジスタ Md1 では同じ電圧降下を得ることができる。このことから、制御回路 2 4 は、nMOS トランジスタ Ta1~Tan の中からオンさせる nMOS トランジスタの数を選択すると共に、nMOS トランジスタ Td1~Td4 のオンオフを制御することによって、降下電圧 Vd を変え、高電圧検出回路 2 5 で検出することができる高電圧 Vh 値の微調整を行う。

30

【0054】

図 3 は、図 2 で示した微調整回路 2 1 の他の例を用いた高電圧検出回路を示す概略の回路図である。なお、図 3 では、図 2 と同じものは同じ符号で示しており、ここではその説明を省略すると共に図 2 との相違点のみ説明する。

図 3 における図 2 との相違点は、図 2 の微調整回路 2 1 の回路構成を変えたことにあり、このことから、図 2 の微調整回路 2 1 を微調整回路 3 1 とし、これに伴って、図 2 の高電圧降下回路 2 2 を高電圧降下回路 3 2 とし、図 2 の高電圧検出回路 2 5 を高電圧検出回路 3 5 としたことにある。

40

【0055】

図 3 において、高電圧検出回路 3 5 は、差動増幅回路 2 と、nMOS トランジスタ 3 と、インバータ回路 4 と、高電圧入力端子 5 から入力される正の高電圧 Vh を電圧降下させて降下電圧 Vd を出力する高電圧降下回路 3 2 と、基準電圧発生回路 2 3 と、高電圧降下回路 3 2 に対して降下電圧 Vd の可変制御を行う制御回路 2 4 とからなる。なお、微調整回路 3 1 は微調整部を、高電圧降下回路 3 2 は高電圧降下部をなす。

【0056】

高電圧降下回路 3 2 は、n 個の nMOS トランジスタ Ma1~Man、nMOS トランジスタ Mb 及び微調整回路 3 1 で形成されている。更に、微調整回路 3 1 は、nMOS トランジ

50

スタMd1～Md4, Td1～Td4, 抵抗Rd1～Rd3及び3つの抵抗Rd4で形成されている。ダイオード接続されたnMOSトランジスタMd1のドレインは、nMOSトランジスタTd1のソースに接続されている。nMOSトランジスタMd2は、ドレインがnMOSトランジスタTd2のソースに接続され、ゲートソース間には抵抗Rd4が、ゲートドレイン間には抵抗Rd1が接続されている。

【0057】

同様に、nMOSトランジスタMd3は、ドレインがnMOSトランジスタTd3のソースに接続され、ゲートソース間には抵抗Rd4が、ゲートドレイン間には抵抗Rd2が接続されている。nMOSトランジスタMd4は、ドレインがnMOSトランジスタTd4のソースに接続され、ゲートソース間には抵抗Rd4が、ゲートドレイン間には抵抗Rd3が接続

10

【0058】

nMOSトランジスタTd1～Td4は、各ドレインがnMOSトランジスタManのソースにそれぞれ接続され、各ゲートが制御回路24に接続されている。nMOSトランジスタMd1～Md4の各ソースは、nMOSトランジスタMbのドレインにそれぞれ接続されており、該接続部は、差動増幅回路2のnMOSトランジスタ13のゲートに接続されている。

【0059】

上記のような構成において、制御回路24は、nMOSトランジスタTa1～Tanの内、所望の数だけオンさせると共に、nMOSトランジスタTd1～Td4のいずれかをオンさせることにより、降下電圧Vdを変え、高電圧検出回路25で検出することができる高電圧Vh

20

値の微調整を行う。

【0060】

図4は、図2で示した微調整回路21の他の例を用いた高電圧検出回路を示す概略の回路図である。なお、図4では、図2と同じものは同じ符号で示しており、ここではその説明を省略すると共に図2との相違点のみ説明する。

図4における図2との相違点は、図2の微調整回路21の回路構成を変えたことにあり、このことから、図2の微調整回路21を微調整回路41とし、これに伴って、図2の高電圧降下回路22を高電圧降下回路42とし、図2の高電圧検出回路25を高電圧検出回路45としたことにある。

【0061】

図4において、高電圧検出回路45は、差動増幅回路2と、nMOSトランジスタ3と、インバータ回路4と、高電圧入力端子5から入力される正の高電圧Vhを電圧降下させて降下電圧Vdを出力する高電圧降下回路42と、基準電圧発生回路23と、高電圧降下回路42に対して降下電圧Vdの可変制御を行う制御回路24とからなる。なお、微調整回路41は微調整部を、高電圧降下回路42は高電圧降下部をなす。

30

【0062】

高電圧降下回路42は、n個のnMOSトランジスタMa1～Man、nMOSトランジスタMb及び微調整回路41で形成されている。更に、微調整回路41は、nMOSトランジスタMd1, Td1～Td4及び抵抗Rd1～Rd4で形成されている。nMOSトランジスタMd1, Td1～Td4の各ドレインは接続されて、nMOSトランジスタManのソースに接続され

40

【0063】

更に、nMOSトランジスタTd1のドレインは抵抗Rd4を介してnMOSトランジスタMd1に接続されている。nMOSトランジスタMd1及びTd1の各ソースは接続され、該接続部はnMOSトランジスタMbのドレインに接続されている。また、nMOSトランジスタTd1～Td4の各ゲートはそれぞれ制御回路24に接続されている。

【0064】

上記のような構成において、制御回路24は、nMOSトランジスタTa1～Tanの内、所

50

望の数だけオンさせると共に、nMOSトランジスタTd1～Td4のオン・オフを制御することにより、降下電圧Vdを変え、高電圧検出回路45で検出することができる高電圧Vh値の微調整を行う。例えば、制御回路24は、nMOSトランジスタTd2～Td4の少なくとも1つをオンさせると共にnMOSトランジスタTd1をオフさせることにより、微調整回路41でnMOSトランジスタMa1～Manのそれぞれの電圧降下と同じ電圧降下を得ることができる。また、制御回路24は、nMOSトランジスタTd1及びTd2をオンさせると共にnMOSトランジスタTd3及びTd4をオフさせることによって、微調整回路41でnMOSトランジスタMa1～Manのそれぞれの電圧降下の1.25倍の電圧降下を得ることができる。

【0065】

10

更に、制御回路24は、nMOSトランジスタTd1及びTd3をオンさせると共にnMOSトランジスタTd2及びTd4をオフさせることによって、微調整回路41でnMOSトランジスタMa1～Manのそれぞれの電圧降下の1.5倍の電圧降下を、nMOSトランジスタTd1及びTd4をオンさせると共にnMOSトランジスタTd2及びTd3をオフさせることによって、微調整回路41でnMOSトランジスタMa1～Manのそれぞれの電圧降下の1.75倍の電圧降下を得ることができる。

【0066】

一方、図2から図4においては、抵抗による分圧回路でゲート電位を制御したが、この場合、各抵抗に流れる電流を電流源の電流よりも十分に小さくする必要があり、すなわち、各抵抗の抵抗値を大きくする必要がある。しかし、CMOSプロセスでは大きな抵抗値の抵抗を形成することは困難であり、高い抵抗値を得るためには長抵抗配線を使用しなければならず、チップ面積が増大するという問題がある。そこで、各抵抗の代わりに図5で示すようなデプリーション(depletion)型MOSFETを使用してもよい。しきい値電圧が負のデプリーション型を作ることはCMOSプロセスでは容易である。

20

【0067】

なお、実施の形態2の説明における、抵抗Rd1～Rd4の各抵抗値は一例であり、これに限定するものではない。また、微調整回路21のnMOSトランジスタMd2～Md4の各ドレイン・ソース間に接続された抵抗による分圧回路の分圧比においても、一例でありこれに限定するものではない。

【0068】

30

上記のように、本発明の実施の形態2における半導体集積回路は、高電圧降下回路から差動増幅回路2に入力される降下電圧Vdをきめ細かく変えることができることから、検出することができる高電圧Vhの値の微調整を行うことができる。更に、高電圧降下回路に使用する抵抗の数を減少させることができ、減少させた抵抗の代わりにnMOSトランジスタで形成したことから、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

【0069】

実施の形態3.

図6は、本発明の実施の形態3における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。なお、図6は、負の高電圧を検出する高電圧検出回路を示している。また、図6では、図1と同じものは同じ符号で示しており、ここではその説明を省略する。

40

【0070】

図6において、高電圧検出回路51は、nMOSトランジスタMf1～Mfn、52、53、pMOSトランジスタ54、55、インバータ回路56及び基準電圧発生回路57で形成されている。ダイオード接続されたnMOSトランジスタMf1～Mfnは直列に接続されており、nMOSトランジスタMf1のドレインはnMOSトランジスタ52のソースに接続され、nMOSトランジスタMfnのソースは、負の高電圧Vlが入力される高電圧入力端子58に接続されている。

【0071】

50

pMOSトランジスタ54及び55は、カレントミラー回路を形成しており、pMOSトランジスタ54及び55の各ゲートは接続され、該接続部はpMOSトランジスタ54のドレインに接続されている。pMOSトランジスタ54及び55の各ソースはそれぞれ電源端子15に接続され、pMOSトランジスタ54のドレインはnMOSトランジスタ52のドレインに接続されている。pMOSトランジスタ55のドレインはnMOSトランジスタ53のドレインに接続され、該接続部はインバータ回路56の入力に接続され、nMOSトランジスタ53のソースは接地されている。

【0072】

インバータ回路56の出力は、高電圧検出回路51の出力をなし、チャージポンプ回路を備え負の高電圧V_lを出力する高電圧発生回路59の入力に接続されている。高電圧発生回路59の出力は、所定の回路（図示せず）に接続されると共に高電圧入力端子58に接続されている。また、nMOSトランジスタ52のゲートには、基準電圧発生回路57から基準電圧V_{ref1}が入力され、pMOSトランジスタ53のゲートには、同じく基準電圧発生回路57から基準電圧V_{ref2}が入力されており、pMOSトランジスタ53は定電流発生回路をなしている。

10

【0073】

なお、nMOSトランジスタM_{f1}～M_{fn}、52、53及びpMOSトランジスタ54、55は、それぞれソースとバックゲート端子とが接続されており、バックゲート効果によってそれぞれのしきい値V_{th}の変動を防止する。nMOSトランジスタM_{f1}～M_{fn}、52、53は、各ゲートサイズがそれぞれ同一であり、飽和領域でそれぞれ動作する。また、nMOSトランジスタ52、M_{f1}～M_{fn}及びpMOSトランジスタ54は電流変換部を、nMOSトランジスタ53は定電流発生部を、pMOSトランジスタ54及び55は電圧変換部を、インバータ回路56は高電圧検出部を、基準電圧発生回路57は基準電圧発生部をなす。更に、基準電圧V_{ref1}は第1基準電圧を、基準電圧V_{ref2}は第2基準電圧をなす。

20

【0074】

上記のような構成において、定電流発生回路をなすnMOSトランジスタ53のドレインに流れる電流I_{ref}は、下記（5）式ようになる。

$$I_{ref} = (K_p / 2) \times (W / L) \times (V_{ref2} - V_{th})^2 \dots\dots\dots (5)$$

なお、（5）式において、Wはゲート幅であり、Lはゲート長であり、K_pはK_p=μ×C_{ox}で表すことができる。この場合、μは移動度であり、C_{ox}はゲート酸化膜容量である。

30

【0075】

pMOSトランジスタ54及び55で形成したカレントミラー回路により、nMOSトランジスタM_{f1}～M_{fn}及び52の直列回路に流れる電流I_aがnMOSトランジスタ53のドレインに流入する。このとき、I_aがI_{ref}よりも小さい場合、インバータ回路56の入力は「L」レベルになり、高電圧発生回路59には「H」レベルの信号が入力されることから、高電圧発生回路59は、チャージポンプ回路を作動させて負の高電圧V_lを低下させる。次に、I_aがI_{ref}よりも大きい場合、インバータ回路56の入力は「H」レベルになり、高電圧発生回路59には「L」レベルの信号が入力されることから、高電圧発生回路59は、チャージポンプ回路の作動を停止させる。

40

【0076】

ここで、nMOSトランジスタ52及び53のしきい値V_{th}は同じであり、この場合、nMOSトランジスタ53のドレインに流れる電流と同じ電流が、nMOSトランジスタM_{f1}～M_{fn}及び52で形成した直列回路に流れ、該電流値は下記（6）式ようになる。

$$I_{ref} = (K_p / 2) \times (W / L) \times \{(V_{ref1} - V_l) / (n + 1) - V_{th}\}^2 \dots\dots\dots$$

..... (6)

【0077】

更に、（5）及び（6）式から、下記（7）式が得られ、
V_{ref2}=(V_{ref1}-V_l)/(n+1)..... (7)

50

(7) 式より下記 (8) 式が得られる。

$$V_1 = V_{ref1} - (n+1) \times V_{ref2} \dots\dots\dots (8)$$

このように、高電圧検出回路 51 は、(8) 式で示したような高電圧 V_1 を検出することができる。

【0078】

上記のように、本発明の実施の形態 3 における半導体集積回路は、簡単な回路構成で負の高電圧を検出することができることから、回路を構成する素子数を削減することができるため、負の高電圧検出回路のばらつきを減少させることができ、高電圧の検出精度を向上させることができると共に、コストの削減を図ることができる。

【0079】

10

実施の形態 4.

図 7 は、本発明の実施の形態 4 における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。なお、図 7 は、負の高電圧を検出する高電圧検出回路を示している。また、図 7 では、図 1 及び図 6 と同じものは同じ符号で示しており、ここではその説明を省略する。

【0080】

図 7 において、高電圧検出回路 71 は、 n 個の n MOS トランジスタ $M_{g1} \sim M_{gn}$ 、 m (m は自然数) 個の n MOS トランジスタ $M_{k1} \sim M_{km}$ 、 p MOS トランジスタ 72, 73 及び差動増幅器 74, 75 で形成されている。ダイオード接続された n MOS トランジスタ $M_{g1} \sim M_{gn}$ は直列に接続されており、 n MOS トランジスタ M_{g1} のドレインは p MOS トラ 20
ンジスタ 73 のドレインに接続され、該接続部は差動増幅器 74 の反転端子に接続されている。 n MOS トランジスタ M_{gn} のソースは、負の高電圧 V_1 が入力される高電圧入力端子 57 に接続され、 p MOS トランジスタ 73 のソースは電源端子 15 に接続されている。

【0081】

また、 p MOS トランジスタ 72 及び 73 の各ゲートは接続され、該接続部は差動増幅器 75 の出力に接続されている。ダイオード接続された n MOS トランジスタ $M_{k1} \sim M_{km}$ は直列に接続されており、 n MOS トランジスタ M_{k1} のドレインは p MOS トランジスタ 72 のドレインに接続され、該接続部は差動増幅器 74 及び 75 の各非反転端子に接続され、 n MOS トランジスタ M_{km} のソースは接地されている。 p MOS トランジスタ 72 のソ 30
ースは電源端子 15 に接続され、差動増幅器 75 の反転端子には基準電圧 V_{ref} が入力されている。差動増幅器 74 の出力は、高電圧検出回路 71 の出力をなし、高電圧発生回路 59 の入力に接続されている。

【0082】

なお、 n MOS トランジスタ $M_{g1} \sim M_{gn}$ 、 $M_{k1} \sim M_{km}$ 及び p MOS トランジスタ 72, 73 は、それぞれソースとバックゲート端子とが接続されており、バックゲート効果によってそれぞれのしきい値 V_{th} の変動を防止する。 n MOS トランジスタ $M_{g1} \sim M_{gn}$ 及び $M_{k1} \sim M_{km}$ は、各ゲートサイズがそれぞれ同一であり、飽和領域でそれぞれ動作し、 p MOS トランジスタ 72 及び 73 においても、各ゲートサイズがそれぞれ同一である。また、 n MOS トランジスタ $M_{k1} \sim M_{km}$ は第 1 電圧降下回路部を、 n MOS トランジスタ $M_{g1} \sim M_{gn}$ は第 2 電圧降下回路部を、 p MOS トランジスタ 72, 73 及び差動増幅器 75 は定電 40
流発生部を、差動増幅器 74 は高電圧検出部をなす。

【0083】

上記のような構成において、差動増幅器 75 は、フィードバックループを用いて、 n MOS トランジスタ $M_{k1} \sim M_{km}$ の直列回路に V_{ref} を発生させる電流が p MOS トランジスタ 72 から流れるように、 p MOS トランジスタ 72 のゲートに電圧を印加する。該印加した電圧は同時に p MOS トランジスタ 73 のゲートにも印加され、 p MOS トランジスタ 73 から、 n MOS トランジスタ $M_{g1} \sim M_{gn}$ で形成された直列回路に電流が流れる。

【0084】

ここで、差動増幅器 74 の両入力が高電位になると、 p MOS トランジスタ 72 及び 73 50

はそれぞれ同一電流を供給し、 n MOS トランジスタ $Mg1 \sim Mgn$ の直列回路による電圧降下は、 $(V_{ref} - V_l)$ となる。すなわち、下記 (9) 式が成り立つ。

$$V_{ref} - V_l = (n/m) \times V_{ref} \dots\dots\dots (9)$$

【0085】

従って、高電圧検出回路 71 は、下記 (10) 式で示した負の高電圧を検出することができる

$$V_l = -(n/m - 1) \times V_{ref} \dots\dots\dots (10)$$

(10) 式から分かるように、 n MOS トランジスタの数である n 及び m を変えることによって、検出することができる高電圧 V_l の微調整を行う。

【0086】

上記のように、本発明の実施の形態 4 における半導体集積回路は、 n MOS トランジスタ $Mk1 \sim Mkm$ の直列回路に流れる電流、及び n MOS トランジスタ $Mg1 \sim Mgn$ の直列回路に流れる電流が、温度や電源電圧に左右されず原理的に同じになることから、環境変化に対してばらつきの少ない特性を得ることができ、高電圧の検出精度を向上させることができると共に、検出することができる高電圧 V_l の値の微調整を行うことができる。

【0087】

【発明の効果】

請求項 1 に係る半導体集積回路は、高電圧降下部における高電圧の電圧降下を制御すると共に、基準電圧切換部による基準電圧の切換制御を行って、高電圧検出部で検出する電圧値の設定を行うようにした。このことから、高電圧降下部から高電圧検出部に入力される降下電圧を変えることができ、更に高電圧検出部に入力される基準電圧を変えることができることから、検出することができる高電圧の値の微調整を行うことができる。

【0088】

請求項 2 に係る半導体集積回路は、請求項 1 において、具体的には、ダイオード接続された少なくとも 1 つの MOSFET を直列に接続して形成された電圧降下回路部と、該電圧降下回路部に直列に接続された電流源と、電圧降下回路部を形成する各 MOSFET のドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路部とで上記高電圧降下部を形成し、各スイッチング回路部のスイッチング動作を制御して電圧降下回路部による電圧降下値を変えることによって、高電圧降下部から出力される電圧値を制御する。このことから、高電圧降下部に抵抗を使用せず、MOSFET で形成したことから、上記請求項 1 の効果に加えて、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

【0089】

請求項 3 に係る半導体集積回路は、請求項 1 において、具体的には、複数の抵抗を直列に接続して形成された電圧降下回路部と、該電圧降下回路部に直列に接続された電流源と、電圧降下回路部を形成する各抵抗にそれぞれ並列に接続された、スイッチング動作によって抵抗を短絡させる各スイッチング回路部とで上記高電圧降下部を形成し、各スイッチング回路部のスイッチング動作を制御して電圧降下回路部による電圧降下値を変えることによって、高電圧降下部から出力される電圧値を制御する。このことから、従来よりも抵抗の数を削減することができると共に、配線数の削減を行うことができ、コストの低減を図ることができる。

【0090】

請求項 4 に係る半導体集積回路は、所定の電圧の整数倍ごとに電圧降下を行う電圧降下部と、所定の電圧の整数倍未満の電圧降下を行う微調整部と、上記電圧降下部及び微調整部にそれぞれ電流を供給する電流源とで高電圧降下部を形成し、電圧降下部及び微調整部におけるそれぞれの電圧降下を制御して高電圧降下部から出力される電圧を制御し、高電圧検出部で検出する高電圧値の設定を行う。このことから、高電圧降下部から高電圧検出部に入力される降下電圧をきめ細かく変えることができるため、検出することができる高電圧の値を更に細かく微調整することができる。更に、高電圧降下部に使用する抵抗の数を

10

20

30

40

50

従来よりも減少させることができ、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

【0091】

請求項5に係る半導体集積回路は、請求項4において、具体的には、ダイオード接続された少なくとも1つのMOSFETを直列に接続して形成された電圧降下回路と、該電圧降下回路を形成する各MOSFETのドレインソース間をスイッチング動作によってそれぞれ短絡する各スイッチング回路からなる第1スイッチング回路とで電圧降下部を形成し、第1スイッチング回路におけるそれぞれのスイッチング回路のスイッチング動作を制御して高電圧の電圧降下を制御し、高電圧検出部で検出する高電圧値の設定を行う。このことから、高電圧降下部から高電圧検出部に入力される降下電圧を変えることができ、検出することができる高電圧の値を変えることができる。更に、電圧降下部に抵抗を使用せず、MOSFETで形成したことから、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

10

【0092】

請求項6に係る半導体集積回路は、請求項5において、ソースドレイン間に抵抗で形成された分圧回路が接続されると共に該分圧回路によって分圧された電圧がゲートに入力される少なくとも1つのMOSFETを直列に接続して形成される、電圧降下部で電圧降下させた降下電圧の微調整を行う微調整回路を備えた。このことから、高電圧降下部から高電圧検出部に入力される降下電圧をきめ細かく変えることができるため、検出することができる高電圧の値を更に細かく微調整することができる。更に、高電圧降下部に使用する抵抗の数を従来よりも減少させることができ、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

20

【0093】

請求項7に係る半導体集積回路は、請求項5において、ソースドレイン間に抵抗で形成された分圧回路が接続されると共に該分圧回路によって分圧された電圧がゲートに入力されたMOSFETにスイッチング用のMOSFETをそれぞれ直列に接続した少なくとも1つの直列回路を並列に接続して形成される、上記電圧降下回路と直列に接続される微調整回路を備えた。このことから、高電圧降下部から高電圧検出部に入力される降下電圧をきめ細かく変えることができるため、検出することができる高電圧の値を更に細かく微調整することができる。更に、高電圧降下部に使用する抵抗の数を従来よりも減少させることができ、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

30

【0094】

請求項8に係る半導体集積回路は、請求項5において、抵抗とスイッチング用のMOSFETとの少なくとも1つの直列回路がゲートドレイン間及びゲートソース間に接続されたMOSFETからなる、上記電圧降下回路と直列に接続される微調整回路を備えた。このことから、高電圧降下部から高電圧検出部に入力される降下電圧をきめ細かく変えることができるため、検出することができる高電圧の値を更に細かく微調整することができる。更に、高電圧降下部に使用する抵抗の数を従来よりも減少させることができ、半導体集積回路を形成するチップの大きさを小さくすることができ、コストの低減を図ることができると共に、消費電流を減少させることができる。

40

【0095】

請求項9に係る半導体集積回路は、第1基準電圧と高電圧との電圧差を電流に変換し、該電流と第2基準電圧に応じて生成した定電流との電流差を電圧に変換し、該変換された電圧から高電圧値の検出を行う。このことから、従来よりも簡単な回路構成で負の高電圧を検出することができるため、負の高電圧検出回路のばらつきを減少させることができ、高電圧の検出精度を向上させることができると共に、コストの削減を図ることができる。

50

【0096】

請求項10に係る半導体集積回路は、請求項9において、具体的には、電圧変換部はカレントミラー回路で形成され、該カレントミラー回路によって、電流変換部で変換された電流が定電流発生部の出力にされ、高電圧検出部は、定電流発生部の出力における電圧から高電圧の検出を行う。このことから、従来よりも簡単な回路構成で負の高電圧を検出することができ、回路を構成する素子数を削減することができるため、負の高電圧検出回路のばらつきを減少させることができ、高電圧の検出精度を向上させることができると共に、コストの削減を図ることができる。

【0097】

請求項11に係る半導体集積回路は、請求項10において、具体的には、電流変換部は、10 ダイオード接続された少なくとも1つのMOSFETが直列に接続された電圧レベル変換回路と、該電圧レベル変換回路の入力に接続されると共にゲートに第1基準電圧がされ、電流変換部のを入力をなすMOSFETとで形成され、上記電圧レベル変換回路の出力は負の高電圧がされる。このことから、従来よりも簡単な回路構成で負の高電圧を検出することができ、回路を構成する素子数を削減することができるため、負の高電圧検出回路のばらつきを減少させることができ、高電圧の検出精度を向上させることができると共に、コストの削減を図ることができる。

【0098】

請求項12に係る半導体集積回路は、ダイオード接続された少なくとも1つのMOSFETが直列に接続されて形成され出力が接地された第1電圧降下回路部に流れる電流、及び20 ダイオード接続された少なくとも1つのMOSFETが直列に接続されて形成され出力に負の高電圧が印加される第2電圧降下回路部に流れる電流が、温度や電源電圧に左右されず原理的に同じになることから、環境変化に対してばらつきの少ない特性を得ることができ、高電圧の検出精度を向上させることができると共に、検出することができる負の高電圧の値の微調整を行うことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。

【図2】 本発明の実施の形態2における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。30

【図3】 本発明の実施の形態2における半導体集積回路の高電圧検出回路の他の例を示した概略の回路図である。

【図4】 本発明の実施の形態2における半導体集積回路の高電圧検出回路の他の例を示した概略の回路図である。

【図5】 デプリーション型MOSFETを示した図である。

【図6】 本発明の実施の形態3における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。

【図7】 本発明の実施の形態4における半導体集積回路の高電圧検出回路の例を示した概略の回路図である。

【図8】 正の高電圧を検出する従来の高電圧検出回路の例を示した概略の回路図である40。

【図9】 正の高電圧を検出する従来の高電圧検出回路の他の例を示した概略の回路図である。

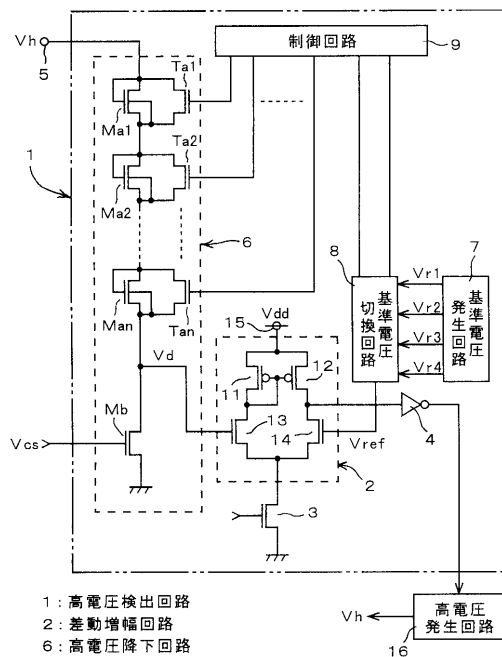
【図10】 負の高電圧を検出する従来の高電圧検出回路の例を示した概略の回路図である。

【符号の説明】

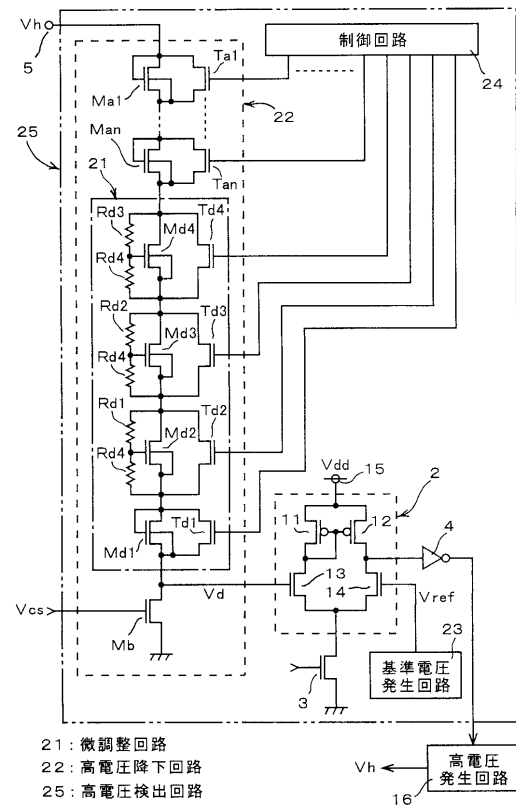
1, 25, 35, 45, 51, 71 高電圧検出回路、 2 差動増幅回路、 3, Ma1~Man, Mb, Ta1~Tan, Md1~Md4, Td1~Td4, Mf1~Mfn, Mk1~Mkm, Mg1~Mgn, 52, 53 nMOSトランジスタ、 4, 56 インバータ回路、 5, 57 高電圧端子、 6, 22, 32, 42 高電圧降下回路、 7, 23 基準電圧発生回50

路、 8 基準電圧切換回路、 9, 24 制御回路、 21, 31, 41 微調整回路、 54, 55, 72, 73 pMOSトランジスタ、 74, 75 差動増幅器、 $R_{d1} \sim R_{d4}$ 抵抗

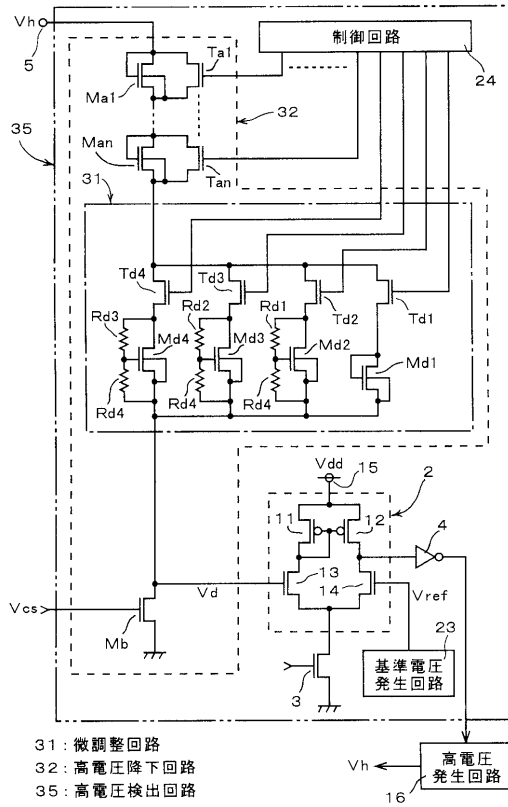
【図 1】



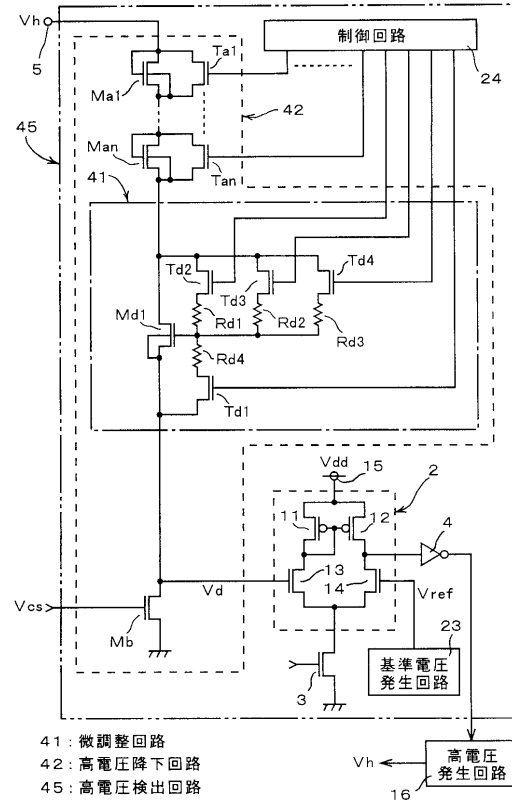
【図 2】



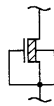
【図 3】



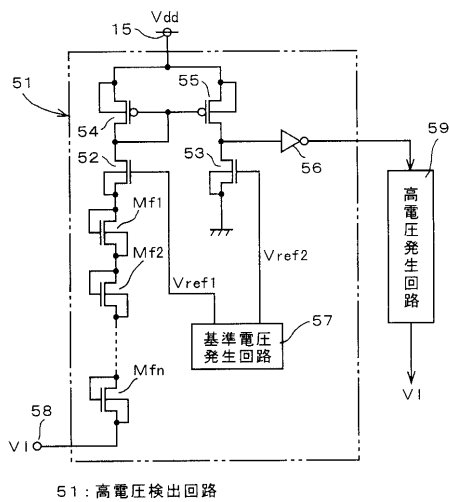
【図 4】



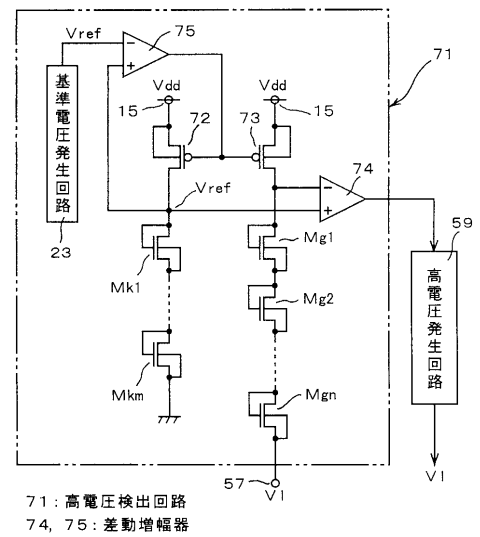
【図 5】



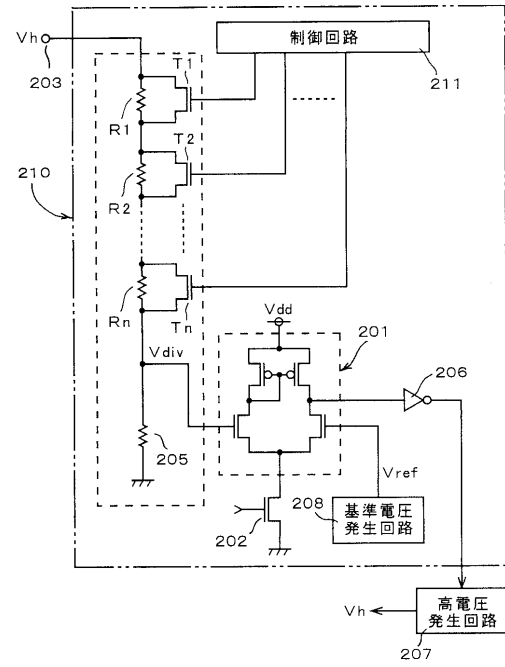
【図 6】



【図 7】



【图 9】



フロントページの続き

- (72)発明者 帯刀 恭彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 宮脇 好和
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 堂阪 勝己
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 川端 修

- (56)参考文献 米国特許第05283762 (US, A)
特開平09-091960 (JP, A)
特開平07-141041 (JP, A)
特開平05-164792 (JP, A)
特開平04-076713 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G05F 1/56
G11C 16/06