(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/12

(45) 공고일자 2005년11월08일
(11) 등록번호 10-0509660
(24) 등록일자 2005년08월16일

(21) 출원번호 10-1997-0005120
(22) 출원일자 1997년02월20일

(65) 공개번호 10-1997-0063761
(43) 공개일자 1997년09월12일

(30) 우선권주장 96-58332 1996년02월20일 일본(JP)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
오호리 다쯔야
일본 도쿄도 마치다시 모리노 2-1-8

다케이 미치꼬
일본 가나가와켄 아쓰기시 아사히쵸 4-1-5

장홍영
일본 가나가와켄 야마토시 후카미다이 1-10-15 파레수미야가미 302

구로키 히로시
일본 가고시마켄 수군 시부시마치 안타쿠 232

(74) 대리인
정상구
이병호
신현문
이범래

심사관 : 김상걸

(54) 피막제조방법

요약

게이트 절연막과 반도체 사이의 계면의 특성을 높이고 임계 전압을 제어하기 위해, 절연막 형성시, 절연막이 형성될 표면을 활성화 산소에 미리 노출시킨 후, 그 표면 상에 절연막을 형성하거나, 또는 박막 트랜지스터 제조 공정에서, 모노실란, 일산화이질소 및 산소를 원료로 하여 절연막을 형성한다.

대표도
도 1

명세서

도면의 간단한 설명

도 1(A) 및 도 1(B)는 본 발명의 제 1 실시예에 따른 C-V 특성을 도시하는 도면.

도 2(A) 및 도 2(B)는 본 발명의 제 1 실시예에 따른 전계 강도와 전류간의 관계를 나타내는 도면.

도 3은 본 발명의 제 1 실시예에 따른 SIMS(Selected Ion Mass Spectroscopy)에 의해 분석된 깊이 프로파일을 나타내는 도면.

도 4는 SIMS에 의한 분석에 따른 산소 플라즈마 처리법으로 처리되지 않은 샘플의 깊이 프로파일을 나타내는 도면.

도 5(A) 내지 도 5(E)는 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 제조 단계들을 도시하는 도면.

도 6은 본 발명의 제 2 실시예에 따른 RF(무선 주파수) 전력에 대한 임계 전압을 나타내는 도면.

도 7은 본 발명의 제 1 실시예에 따른 RF 파워에 대한 플랫 대역 전압(flat band voltage)을 나타내는 도면.

도 8(A) 및 도 8(B)는 본 발명의 제 3 실시예에 따른 C-V 특성들을 나타내는 도면.

도 9(A) 및 도 9(B)는 본 발명의 제 3 실시예에 따른 전계 강도와 전류간의 관계들을 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

501 : 유리 기판 502 : 하지막

503 : 활성화층 504 : 게이트 절연막

505 : 알루미늄막 507 : 게이트 전극

508 : 양극 산화막 509 : 소스 영역

510 : 채널 형성 영역 511 : 드레인 영역

512 : 층간 절연막 513 : 소스 전극

514 : 드레인 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 절연 기판 상에 형성된 박막 반도체를 이용한 절연 게이트형 전계 효과 반도체 장치(일반적으로, 박막 트랜지스터 또는 TFT라고 함)의 구성 및 그 제조 방법에 관한 것이다.

저렴한 유리 기판 상에 박막 트랜지스터를 형성함으로써 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 기술은 공지되어 있다.

액티브 매트릭스형 액정 디스플레이 장치에 따르면, TFT들은 매트릭스에 배치되는 수백 만개의 각 화소들에 대해 배치되고, 화소 전극들 각각에 입력되고 화소 전극들 각각으로부터 출력되는 전하는 TFT의 스위칭 기능에 의해 제어된다.

매트릭스의 화소부에 배치되는 TFT들의 작동 상태는 액정 디스플레이와 같이 시각적으로 확인될 수 있다. 예를 들면, 통상적으로 흑색의 액정 디스플레이의 경우, TFT들이 작동되지 않는 부분들은 백색 디스플레이에서 흑색 점들로 나타난다.

이러한 방법에서, TFT들의 오동작은 외관을 현저하게 열화시키고, 따라서, 수백만 개의 TFT들 모두에 대해 높은 신뢰도가 요구된다.

여기에서의 문제점은 게이트 절연막과 게이트 절연막 하부에 형성된 반도체막 사이의 계면의 특성이다.

계면에서의 전기적 특성들의 열화는 액정 디스플레이 장치에서 라인 결함을 유발하고, 마침내는 디스플레이 장치의 오동작을 유발한다. 따라서, 전기적 특성들의 향상이 필요하다.

또한, 결정성 실리콘막을 이용한 TFT들에 따르면, 채널 형성 영역들을 구성하는 결정성 실리콘막이 진성(intrinsic)인 경우, 일반적으로 임계값은 0V로부터 음(-)방향으로 시프트되고, N 채널형인 경우에는, 상승 개시 전압이 -2V 내지 -4V인 경향이 있다. 그 결과, 통상적으로 온(ON) 상태(게이트 전압이 0V일지라도 온이 되는 상태)를 유지하는 경향이 뚜렷하게 된다.

통상적으로 온 상태에서는, 예를 들어, 만약 TFT들이 스위칭 소자들로서 이용된다면, 게이트 전압이 0V일지라도 전류가 흐르게 된다. 따라서, 스위치가 오프(OFF) 상태가 되도록 하기 위해서, 게이트 전압은 항상 양(+)의 방향으로 바이어스 될 필요가 있으며, TFT들을 이용하여 구성된 회로에 있어서 소비 전류가 증가하거나, 또는 바이어스 전압 인가용 회로가 필요할 수도 있다.

이러한 문제점을 해결하기 위하여, 종래에는 N 채널형 TFT들이 형성되더라도, P-형 불순물, 예를 들어, 붕소가 채널 형성 영역을 포함하는 결정성 실리콘막에 도핑되는 경우에 임계값을 제어함으로써, 임계 전압은 양(+)의 방향으로 시프트된다. 결과적으로, 통상적으로 오프 상태(게이트 전압이 0V일 때 오프가 되는 상태)에 있는 TFT들이 형성될 수 있다. 그러나, 임계값 제어를 수행하기 위해서는, 제조 비용의 감소를 방해하는 제조 단계들의 수가 증가된다.

발명이 이루고자 하는 기술적 과제

본 발명의 제 1 목적은, 이러한 문제점들을 해결하고, 게이트 절연막과 게이트 절연막 하부에 형성된 반도체막 사이의 계면에서의 전기적 특성들을 향상시키는 것이다. 또한, 본 발명의 제 2 목적은 양의 방향으로의 임계 전압의 시프트를 제어할 수 있도록 하는 것이다.

상술된 문제점들을 해결하기 위하여, 본 발명에서는 다음과 같은 구성들이 제공된다.

절연막의 형성에 있어서, 절연막이 형성되는 표면이 미리 활성화된 산소에 노출된 후, 그 표면 위에 절연막이 형성된다.

또한, 박막 트랜지스터 제조 단계들에서의 절연막 형성에 있어서, 반도체층이 활성화된 산소에 노출된 후, 그 반도체층 위에 절연막이 형성된다.

또한, 박막 트랜지스터 제조 단계들에 있어서, 절연막은 원료들인 모노실란, 일산화이질소 및 산소에 의해 형성된다.

본 발명에 따라, 산소를 활성화시키기 위하여, 100 SCCM 내지 300 SCCM의 유량(flow rate)으로 산소가 반응실에 도입되고, 50W 내지 500W의 전력 범위에서 고주파수(13.56MHz)가 인가된다.

또한, 플라즈마 CVD(화학 기상 증착법) 대신에, LPCVD(저압 화학 기상 증착법) 처리, 광 CVD 처리, 펄스 파형들이 인가된 플라즈마 CVD 처리 등의 기상 처리들이 사용될 수도 있다.

발명의 구성 및 작용

실시예 1

본 실시예는 본 발명에 따른 게이트 절연막과 게이트 절연막 하부에 형성된 반도체막 사이의 계면에서의 전기적 특성들에 따른 효과를 보여준다.

우선, 2Ω ㎝ 내지 3Ω ㎝의 저항률을 갖는 P-형 단결정 실리콘웨이퍼가 샘플로서 사용되고, P-형 단결정 실리콘웨이퍼의 표면은 웨이퍼 상에 SiO_xN_y막(이하, SiON 막으로 표기)을 형성하기 전에 플라즈마 상태로 활성화된 산소에 의해 세정된다.

산소 플라즈마에 의해 실리콘웨이퍼의 표면을 처리하는 조건들은 다음과 같다. 먼저, 처리실의 압력은 0.1 내지 10 torr, 또는 본 실시에서는 0.3 torr를 유지하고, 산소가 200 SCCM의 유량으로 처리실 내에 투입되고, 그후 100W의 RF 파워를 인가함으로써 산소를 플라즈마 상태로 하였다. 실리콘웨이퍼의 표면은 이러한 방법으로 산소 플라즈마에 의해 처리된다. 이러한 처리법은 30초 내지 3분, 또는 본 실시예에서는 1분 동안 수행된다.

그후, 처리실의 내부는 1×10^{-4} torr 내지 1×10^{-5} torr의 진공 정도로 유지어, 산소 플라즈마 처리에 의해 발생된 불순물들이 처리실로부터 배출된다.

본 실시예에 따르면, 이러한 과정은 3회 반복된다. 즉, 불순물들의 배출 후, 처리실 내부는 다시 0.3 torr의 진공 정도로 유지되고, 200 SCCM의 유량으로 산소가 투입되고, 100W의 RF 파워가 인가되어, 산소가 플라즈마 상태가 되며, 이러한 처리법은 1분 동안 수행되고, 이후, 처리실 내부는 1×10^{-4} torr 내지 1×10^{-5} torr의 진공 정도로 유지된다. 따라서, 산소 플라즈마 처리에 의해 발생된 불순물들이 처리실로부터 배출된다. 또한, 이러한 처리법은 산소 플라즈마를 이용하여 실시되고, 산소 플라즈마 처리에 의해 발생된 불순물들이 배출된다.

상술된 바와 같이 처리된 실리콘웨이퍼 상의 표면에는 SiON 막이 1,000Å의 두께로 형성된다.

SiON 막을 형성하는 조건들은 다음과 같다.

RF 파워; 200W

가스 유량; SiH_4 : 10 SCCM,

N_2O : 200 SCCM

가스 압력; 0.3 torr

막 형성 온도; 350℃ 내지 400℃

또한, 알루미늄 전극이 스퍼터링에 의해 실리콘웨이퍼와 접촉하여 형성되고, 또한 SiON 막 상에 알루미늄 전극이 제공되어, 측정용 샘플이 준비된다.

또한, 본 발명의 효과를 나타내기 위하여 C-V 특성의 측정이 수행된다. 먼저, C-V 특성은 -10V에서 10V로 전압을 변화시키면서 1㎒의 주파수에서 측정하고, 산화실리콘막 상의 알루미늄 전극들에 -17V의 전압을 인가함으로써 질소 분위기 중에서 1시간 동안 150℃에서 B-T 처리가 수행된다. 그후, -10V에서 10V로 전압을 변화시키면서 1㎒의 주파수에서 C-V 특성을 다시 측정하였다. 또한, 산화실리콘막 상의 알루미늄 전극에 + 17V의 전압을 인가하여 질소 분위기 중에서 1시간 동안 150℃에서 B-T 처리가 수행된다. 또한, -10V에서 10V로 전압을 변화시키면서 1㎒의 주파수에서 C-V특성이 다시 측정된다.

이 결과들은 도 1(A)에 도시되어 있다.

도 1(A)에 있어서, 표기 In은 B-T 처리가 행해지지 않은 샘플을 나타내고, 표기 -BT는 -17V의 전압을 인가하여 B-T 처리가 행해진 샘플을 나타내고, 표기 + BT는 + 17V의 전압을 인가하여 B-T처리가 행해진 샘플을 나타낸다.

비교를 위해, 본 발명에 따른 산소 플라즈마 처리가 행해지지 않은 샘플의 C-V 특성의 측정 결과들이 도 1(B)에 도시되어 있다.

이 도면들은, 본 발명에 따른 산소 플라즈마 처리를 수행함으로써 플랫 밴드 전압이 양의 방향으로 시프트되고, 또한, 산소 플라즈마 처리가 행해지지 않은 샘플에 비해 BT 시프트가 더 작아진다는 것을 보여준다. 즉, 이것은 계면의 상태가 향상되었음을 보여준다.

본 실시예에서 준비된 샘플들에 의해 제공되는 전계 강도와 전류간의 관계들이, 가로 좌표 상에 전계 강도를 나타내고 세로 좌표 상에 전류를 나타내는 도 2(A) 및 도 2(B)에 도시되어 있다. 또한, 이 경우, 도 2(B)는 산소 플라즈마 처리가 행해지지 않은 샘플의 측정 결과를 비교하여 도시한다.

산소 플라즈마 처리가 행해지지 않은 샘플 보다 산소 플라즈마 처리가 행해진 샘플에서 누설 전류가 적다는 것을 보여준다.

또한, 도 3은 본 실시예의 샘플의 SiON 막과 실리콘웨이퍼 사이의 계면에서의 탄소 원자에 대한 SIMS에 의한 분석에 따른 깊이 프로파일을 도시한다. 도 4는 비교를 위해 산소 플라즈마 처리가 행해지지 않은 샘플에 대한 깊이 프로파일을 도시한다.

결과적으로, 이것은 실리콘웨이퍼와 SiON 막 사이의 계면에서의 탄소 농도가 산소 플라즈마 처리가 행해진 샘플들에서 더 낮아진다는 것을 보여준다. 이것은 SiON 막을 형성하기 전에, 산소 플라즈마 처리에 의해 실리콘웨이퍼의 표면 상의 유기 오염물질들이 세정되기 때문에 발생되는 것으로 여겨진다.

본 실시예에서, 100W의 RF 파워를 인가함으로써 산소가 플라즈마 상태가 되며, RF 파워가 200W 및 300W로 설정될 때 상기 실시예와 유사한 효과가 달성된다. 도 7은 샘플들에 산소 플라즈마 처리(RF 파워가 0인 경우)가 행해지지 않은 경우와, 100W, 200W, 300W의 RF 파워가 각각 인가되는 경우에 있어서의 플랫 밴드 전압들을 각각 나타낸다.

어느 경우에서나, 실리콘웨이퍼와 SiON 막 사이의 계면의 특성은 본 발명에 의해 향상되었다는 것을 보여준다.

실시예 2

본 실시예는 박막 트랜지스터 제조에 있어서 본 발명을 실시하는 한 예이다.

도 5(A) 내지 도 5(E)는 본 실시예에 따른 트랜지스터 제조 단계들을 도시한다. 먼저, 산화실리콘막 또는 질화실리콘막이 하지막(undercoating film)(502)으로서 무-알칼리(alkali-free) 유리 기판(501)(예를 들어, 코닝 7059 유리 기판 또는 코닝 1737 유리 기판) 상에 형성된다. 하지막(502)의 두께는 3,000Å으로 설정된다.

산화실리콘막은 산소 및 실란을 이용한, 또는 TEOS(Tetraethylorthosilicate)를 이용한 플라즈마 CVD 처리에 의해 형성된다. 질화실리콘막은 산소, 실란 및 N_2O 가스를 이용한, 또는 TEOS 및 N_2O 가스를 이용한 플라즈마 CVD 처리에 의해 형성된다.

다음으로, 비정질 실리콘막(도시되지 않은)이 플라즈마 CVD 또는 저압 열 CVD에 의해 형성된다. 본 실시예에서, 비정질 실리콘막은 플라즈마 CVD에 의해 500Å의 두께로 형성된다.

다음으로, 비정질 실리콘막은 열처리나 레이저 빔 조사, 또는 이들의 조합을 이용하여 결정성 실리콘막으로 결정화된다.

결정성 실리콘막을 패터닝함으로써, 추후 단계들에서 박막 트랜지스터의 활성화층이 되는 섬 형상으로 패터닝된 영역(503)이 형성된다. 다음으로, 게이트 절연막(504)으로서 기능하는 SiON 막이 1,000Å의 두께로 그 위에 형성된다. 게이트 절연막(504)은 산화실리콘막 또는 질화실리콘막일수도 있지만, 신뢰도를 더 높이기 위하여 SiON 막을 이용하는 것이 바람직하다.

SiON 막은 다음과 같이 형성된다.

먼저, 처리실의 압력을 0.1 torr 내지 10 torr, 본 실시예에서는 0.3 torr로 유지하고, 200 SCCM의 유량으로 산소가 처리실로 투입되고, 산소를 플라즈마 상태로 하기 위하여 100W의 RF 파워를 인가한다. 결정성 실리콘막의 표면은 이러한 방법으로 산소 플라즈마에 의해 처리된다. 이러한 처리는 30초 내지 3분, 본 실시예에서는 1분 동안 실시된다.

이후, 처리실 내부를 10^{-4} torr 내지 10^{-5} torr의 진공 정도로 유지함으로써 산소 플라즈마 처리로 인해 발생된 불순물들을 배출시킨다.

이 처리는 실시예 1에 예시된 바와 같이 총 3회 반복된다.

또한, 상술된 바와 같이 처리된 결정성 실리콘막의 표면 상에는 SiON 막이 1,000Å의 두께로 형성된다.

SiON 막의 형성 조건들은 다음과 같다.

RF 파워; 200W

가스 유량; SiH_4 : 10 SCCM,

N_2O : 200 SCCM

가스 압력; 0.3 torr

막 형성 온도; 350℃ 내지 400℃

SiON 막은 이러한 조건들 하에서 1,000Å의 두께로 실리콘웨이퍼 상에 형성된다.

따라서, 도 5(A)에 도시된 상태가 제공된다.

다음으로, 게이트 전극(507)을 구성하는 알루미늄막(505)이 4,000Å의 두께로 스퍼터링에 의해 형성된다. 알루미늄막은 0.2 중량%의 스칸듐을 포함할 수도 있다.

게이트 전극(507)을 구성하는 알루미늄막(505)을 형성하기 전에, 게이트 절연막(504)용 SiON 막에 대해 1×10^{-6} torr의 압력 하에서 300℃의 온도로 열처리가 수행된다. 이후, 게이트 전극(507)용 알루미늄막(505)이 스퍼터링에 의해 게이트 절연막(504) 상에 형성된다. 이것은 게이트 전극(507)과 게이트 절연막(504) 사이의 계면의 특성을 향상시키는데 효과적이다.

다음으로, 레지스트 마스크(도시되지 않음)가 널리 공지된 포토리소그래피 단계에 의해 제조되고, 에칭이 수행된다. 그에 따라, 알루미늄으로 이루어진 패턴(게이트 전극(507))이 제공된다(도 5(C)).

다음으로, 도 5(C)에 도시된 바와 같이 애노드로서의 게이트 전극(507)에 대해 양극 산화(anodic oxidation)가 수행되어, 조밀한 막 품질(dense film quality)을 갖는 양극 산화막(508)이 800Å의 두께로 형성된다. 양극 산화막(508)은 게이트 전극(507)의 표면이나 측면들에서의 힐록들(hillocks)의 발생을 억제하도록 기능한다.

조밀한 양극 산화막(508)의 두께가 500Å 이상이면, 어떠한 문제점도 발생되지 않는 것으로 발견되었다. 조밀한 양극 산화막(508)은 전해 용액으로서 보조하는 3%의 주석산이 함유된 에틸렌글리콜 용액을 사용하여 형성되고, 양극 산화는 양극인 알루미늄 패턴과, 음극인 백금에 대해 수행된다. 양극 산화막의 두께는 인가 전압에 의해 제어될 수 있다.

다음으로, 도 5(D)에 도시된 단계에서 소스 및 드레인 영역들(509, 511)을 형성하기 위해 불순물 이온들의 주입이 실시된다. 이 단계에서, 소스 및 드레인 영역들을 형성하기 위해 불순물 이온들이 주입된다. 여기서, P(인) 이온들의 주입은 플라즈마 도핑법(도 5(D))을 이용하여 기판 전체에 걸쳐 실시된다.

불순물 이온들의 주입이 완료되었을 때, 소스 및 드레인 영역(509, 511)에 대해 레이저빔의 조사에 의한 어닐링 처리가 수행된다.

그후, 소스 영역(509), 채널 형성 영역(510), 드레인 영역(511)이 자기 정합적으로 형성된다.

이 단계에서, 불순물 이온들의 주입으로 인한 힐록들의 발생을 억제하기 위한 조치들이 게이트 전극(507)의 상부에서 행해진다(도시되지 않음). 또한, 양극 산화막(508)의 존재로 인한 힐록들의 발생을 억제하는 조치들이 행해진다. 따라서, 게이트 전극(507)의 상부 표면에서의 힐록들의 발생이 억제된다.

또한, 힐록들을 억제하기 위하여 게이트 전극(507)의 측면들은 오직 양극 산화막(508)으로 되어 있지만, 게이트 전극(507)의 측면 면적은 작다. 따라서, 힐록들의 억제는 양극 산화막(508)에 의해 충분히 영향을 받을 수 있다.

다음으로, 산화실리콘막 또는 질화실리콘막이 도 5(E)에 도시된 바와 같이 층간 절연막(512)으로서 형성된다. 이 단계 동안, 기판은 가열된다.

또한, 이 단계에서, 게이트 전극(및 그로부터 연장된 게이트 배선)의 표면상에서의 힐록들의 발생은, 불순물 이온들의 주입으로 인한 억제 효과와 양극 산화막(508)의 형성에 따른 억제 효과에 의해 억제될 수 있다.

그후, 층간 절연막(512)에 콘택트 홀들이 형성된다.

다음으로, 소스 전극(513) 및 드레인 전극(514)을 구성하는 알루미늄막이 형성된다.

이 과정에서, 스퍼터링에 의해 소스 전극(513) 및 드레인 전극(514)으로 구성되는 알루미늄막을 형성하기 전에, 층간 절연막(512)에 1×10^{-6} torr의 압력 하에서 300℃의 온도로 가열 처리를 수행하는 것은 알루미늄막의 스텝 커버리지(step coverage)를 향상시키데 효과적이다.

또한, 게이트 전극(507)에의 콘택트 홀들의 형성이 동시에 수행된다. 이 과정에서, 불순물 이온들이 게이트 전극(507)의 표면에 주입되고, 힐록들의 발생을 억제하기 위한 조치들이 수행되어, 이 단계에서의 힐록들의 발생이 억제될 수 있다.

마지막으로, 수소 분위기 중에서 300℃ 내지 400℃, 본 실시예에서는 350℃로 열처리가 수행되어, 박막 트랜지스터가 완성된다. 또한, 이 단계에서도 힐록들의 발생이 억제될 수 있다.

상술된 바와 같이, 박막 트랜지스터는 본 발명을 이용하여 완성된다.

박막 트랜지스터의 임계 전압은 0.3V의 결과로 측정된다. 이와 비교하여, 본 발명을 실시하지 않고 제작된 박막 트랜지스터의 임계 전압은 -1.1V였다. 이에 의하여, 임계 전압이 양의 방향으로 시프트되는 박막 트랜지스터가 본 발명을 실시함으로써 제공된다는 것을 보여준다.

본 실시예에서는, 산소 플라즈마를 발생시키기 위한 RF 파워가 100W이었지만, 도 6은 박막 트렌지스터의 임계 전압들이 0W, 100W, 200W 및 300W의 RF 파워를 설정함으로써 제공된다는 것을 보여준다. RF 파워 0의 값은 본 발명을 실시하지 않은 경우의 임계 전압을 나타내는 것이다. 본 발명의 효과는 어느 RF 파워에서도 확실하게 나타난다.

실시예 3

이 실시예는 산소를 첨가하여 SiON 막을 형성하는 예를 보여준다.

이 실시예에 의해 제공되는 SiON 막을 평가하기 위하여, C-V 특성, 및 전계 강도와 전류 사이의 관계가 제 1 실시예와 동일한 방법으로 측정된다.

먼저, 2 Ω ㎝ 내지 3 Ω ㎝의 저항률을 갖는 P-형 단결정 실리콘웨이퍼가 샘플로서 준비되고, 그 위에 SiON 막이 형성된다.

SiON 막은 1,000Å의 두께로 실리콘웨이퍼의 표면 상에 형성된다.

SiON 막의 막 형성 조건들은 다음과 같다.

RF파워 ; 200W

가스 유량 ; SiH_4 : 10 SCCM

N_2O : 180 SCCM

O_2 : 20 SCCM

가스 압력 ; 0.3 torr

막 형성 온도 ; 350℃ 내지 400℃

이러한 조건하에서, SiON 막이 1,000Å의 두께로 실리콘웨이퍼 상에 형성된다.

다음으로, 알루미늄 전극이 스퍼터링에 의해 실리콘웨이퍼와 접촉하도록 제공되고, 또한, 알루미늄 전극이 SiON 막 상에 제공되어, 측정용 샘플들이 준비된다.

본 발명의 효과를 알아보기 위해 C-V 특성이 측정된다. 본 방법에 따르면, 먼저, C-V 특성은 -10V 내지 10V 사이에서 전압을 변화시키면서 1 ㎒의 주파수에서 측정되고, 이후, -17V의 전압이 산화실리콘막의 알루미늄 전극에 인가되고, 질소 분위기 중에서 1시간 동안 150℃의 온도에서 B-T 처리가 실시된다. 그후, C-V 특성의 측정이 -10V 내지 10V 사이에서 전압을 변화시키면서 1 ㎒의 주파수에서 다시 실시된다. 또한, 그후, + 17V의 전압이 산화실리콘막의 알루미늄 전극에 인가되고, 질소 분위기 중에서 1 시간 동안 150℃의 온도에서 B-T 처리가 실시된다. 다음으로, C-V 특성의 측정이 -10V 내지 10V 사이에서 전압을 변화시키면서 1 ㎒의 주파수에서 실시된다.

이 결과들이 도 8(A)에 도시된다.

도 8(A)에서, 표기 In은 B-T 처리가 실시되지 않은 샘플을 나타내고, 표기 -BT는 -17V의 전압을 인가하여 B-T 처리가 실시된 샘플을 나타내고, 표기 + BT는 + 17V의 전압을 인가하여 B-T 처리가 실시된 샘플을 나타내는 것이다.

이와 비교하여, 도 8(B)는 산소를 첨가하지 않고 형성된 SiON 막의 C-V특성의 결과들을 나타낸다. 이 경우에서의 막 형성 조건들은 다음과 같다.

RF 파워 ; 200W

가스 유량 ; SiH_4 : 10 SCCM

N_2O : 200 SCCM

가스 압력 ; 0.3 torr

막 형성 온도 ; 350℃ 내지 400℃

산소가 첨가되지 않는 경우와 비교하여, 본 발명에 따라 산소가 첨가된 경우에는 플랫 밴드 전압이 양의 방향으로 시프트되는 것을 알 수 있고, BT 시프트가 감소된다는 것을 알 수 있다.

도 9(A) 및 도 9(B)는 이 실시예에서 준비된 샘플들에 의해 제공되는 전계 강도와 전류 사이의 관계들이 도시되며, 가로좌표는 전계 강도를, 세로좌표는 전류를 나타낸다. 또한, 이 경우에, 비교를 위해, 도 9(B)는 산소를 첨가하지 않고 제조된 SiON 막의 측정 결과들을 나타낸다.

이것은 본 발명이 실시되지 않은 샘플에서 보다, 산소가 첨가되어 형성된 샘플들에서 누설 전류가 더 적다는 것을 보여준다.

또한, 이 실시예에서, 이 예는 $SiH_4/N_2O/O_2$가 10/180/20 SCCM인 조건에서 막이 형성되는 경우를 보여주었고, $SiH_4/N_2O/O_2$가 10/160/40 SCCM인 조건에서 막이 형성되는 경우에도 동일한 효과가 얻어진다.

발명의 효과

절연막을 형성하는 단계에서, 절연막이 형성될 표면을 미리 활성화 산소에 노출시킨 후, 그 표면에 절연막을 형성함으로써, 플랫 밴드 전압이 양의 방향으로 시프트되고, 표면이 활성화 산소에 노출되지 않는 경우와 비교하여 BT 시프트가 감소된다. 따라서, 절연막이 형성될 표면과 절연막 사이의 계면의 상태가 향상될 수 있다.

박막 트랜지스터를 제조하기 위해 절연막을 형성하는 단계에서, 반도체층을 활성화 산소에 노출시킨 후, 그 반도체층에 절연막을 형성함으로써, 플랫 밴드 전압이 양의 방향으로 시프트되고, 반도체층이 활성화 산소에 노출되지 않는 경우와 비교하여 BT 시프트가 감소된다. 따라서, 계면의 상태가 향상될 수 있다.

박막 트랜지스터를 제조하는 단계들에서, 모노실란, 일산화이질소, 및 산소를 원료로 하여 절연막을 형성함으로써 임계 전압이 양의 방향으로 시프트되고, 그에 의해 임계 전압의 제어가 실현될 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치 제조 방법에 있어서:

반도체로부터 불순물들을 제거하기 위해 제 1 압력의 처리실에서 산소를 함유하는 플라즈마에 상기 반도체의 표면을 노출시키는 단계;

상기 노출 단계 후에, 상기 처리실로부터 상기 불순물들을 배출하기 위해 상기 반도체를 구비한 상기 처리실을 제 2 압력으로 유지하는 단계; 및

상기 유지 단계 후에, 상기 산소를 함유하는 플라즈마에 노출된 상기 표면 상에 절연막을 형성하는 단계를 포함하고,

상기 제 2 압력은 상기 제 1 압력보다 낮은, 반도체 장치 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 반도체는 실리콘을 포함하는 결정성 반도체층이고, 상기 절연막은 실리콘, 산소, 및 질소를 포함하는, 반도체 장치 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 노출 단계 및 상기 유지 단계는 교대로 3회 반복되는, 반도체 장치 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 제 1 압력은 0.1 내지 10 torr이고, 상기 제 2 압력은 1×10^{-4} 내지 1×10^{-5} torr인, 반도체 장치 제조 방법.

청구항 5.

반도체 장치 제조 방법에 있어서:

절연 표면을 갖는 기판 상에 실리콘을 포함하는 반도체막을 형성하는 단계;

상기 반도체막을 결정화하는 단계;

상기 반도체막을 적어도 하나의 반도체 섬으로 패터닝하는 단계;

상기 반도체 섬으로부터 불순물들을 제거하기 위해 처리실에서 산소를 함유하는 플라즈마에 의해 상기 반도체 섬을 처리하는 단계;

상기 산소를 함유하는 플라즈마에 의해 제거된 불순물들을 상기 처리실로부터 배출하는 단계; 및

상기 배출 단계 후에, 상기 반도체 섬의 표면 상에 게이트 절연막을 형성하는 단계로서, 상기 표면은 상기 산소를 함유하는 플라즈마에 노출되는, 상기 게이트 절연막 형성 단계를 포함하는, 반도체 장치 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 게이트 절연막은 모노실란, 일산화이질소 및 산소를 원료로 하여 화학 증착법에 의해 형성되는, 반도체 장치 제조 방법.

청구항 7.

제 5 항에 있어서,

상기 처리 단계 및 상기 배출 단계는 교대로 3회 반복되는, 반도체 장치 제조 방법.

청구항 8.

제 5 항에 있어서,

상기 처리 단계는 0.1 내지 10 torr의 압력에서 수행되고, 상기 배출 단계는 1×10^{-4} 내지 1×10^{-5} torr의 압력에서 수행되는, 반도체 장치 제조 방법.

청구항 9.

반도체 장치 제조 방법에 있어서:

절연 표면을 갖는 기판 상에 실리콘을 포함하는 반도체막을 형성하는 단계;

상기 반도체막을 결정화하는 단계;

제 1 압력으로 유지된 처리실에서 산소를 함유하는 플라즈마에 의해 상기 결정화된 반도체막으로부터 탄소를 포함하는 불순물들을 제거하는 단계;

제 2 압력으로 유지된 상기 처리실로부터 상기 산소를 함유하는 플라즈마에 의해 제거된 불순물들을 배출하는 단계; 및

상기 배출 단계 후에, 상기 반도체막의 표면 상에 게이트 절연막을 형성하는 단계로서, 상기 표면은 상기 산소를 함유하는 플라즈마에 노출되는, 상기 게이트 절연막 형성 단계를 포함하고,

상기 제 2 압력은 상기 제 1 압력보다 낮은, 반도체 장치 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 결정화 단계는 열 처리에 의해 수행되는, 반도체 장치 제조 방법.

청구항 11.

제 9 항에 있어서,

상기 결정화 단계는 레이저 조사에 의해 수행되는, 반도체 장치 제조 방법.

청구항 12.

제 9 항에 있어서,

상기 결정화 단계는 열처리 및 레이저 조사에 의해 수행되는, 반도체 장치 제조 방법.

청구항 13.

제 9 항에 있어서,

상기 제거 단계 및 상기 배출 단계는 교대로 3회 반복되는, 반도체 장치 제조 방법.

청구항 14.

제 9 항에 있어서,

상기 제 1 압력은 0.1 내지 10 torr이고, 상기 제 2 압력은 1×10^{-4} 내지 1×10^{-5} torr인, 반도체 장치 제조 방법.

청구항 15.

N 채널형 박막 트랜지스터의 제조 방법에 있어서,

게이트 절연막을 형성할 때에, 결정성 실리콘막의 표면을 산소 플라즈마에 노출시키고, 상기 산소 플라즈마에 노출됨으로써 생긴 불순물을 배출한 후, 상기 산소 플라즈마에 노출된 결정성 실리콘막의 표면에 SiON막을 게이트 절연막으로서 형성하는, N 채널형 박막 트랜지스터의 제조 방법.

청구항 16.

N 채널형 박막 트렌지스터의 제조 방법에 있어서,

게이트 절연막을 형성할 때에, 처리실 내의 압력을 0.1 내지 10 torr로 유지하여 결정성 실리콘막의 표면을 산소 플라즈마에 노출시키고, 상기 산소 플라즈마에 노출됨으로써 생긴 불순물을 상기 처리실 내의 압력을 10^{-4} 내지 10^{-5} torr로 유지함으로써 배출한 후, 상기 산소 플라즈마에 노출된 결정성 실리콘막의 표면에 SiON막을 게이트 절연막으로서 형성하는, N 채널형 박막 트랜지스터의 제조 방법.

청구항 17.

제 15 항에 있어서,

상기 결정성 실리콘막의 표면을 상기 산소 플라즈마에 노출시키고, 상기 불순물을 배출함으로써, 임계치 전압을 양의 방향으로 시프트시키는, N 채널형 박막 트랜지스터의 제조 방법.

청구항 18.

제 16 항에 있어서,

상기 결정성 실리콘막의 표면을 상기 산소 플라즈마에 노출시키고, 상기 불순물을 배출함으로써, 임계치 전압을 양의 방향으로 시프트시키는, N 채널형 박막 트랜지스터의 제조 방법.

청구항 19.

피형성면을 산소 플라즈마에 노출시키고, 상기 피형성면의 표면을 청정하게 하는 제 1 공정과,

상기 산소 플라즈마에 노출된 피형성면 상에 절연막을 형성하는 제 2 공정을 포함하는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 절연막은 실리콘막, 산소 및 질소로 이루어지는 막인, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 21.

제 19 항에 있어서,

상기 피형성면을 상기 산소 플라즈마에 노출시키는 처리실 내의 압력을 0.1 내지 10 torr로 유지하고, 상기 피형성면의 표면을 청정하게 하는 처리실 내의 압력을 10^{-4} 내지 10^{-5} torr로 유지하는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 22.

제 19 항에 있어서,

상기 절연 게이트형 전계 효과 반도체 장치는 N 채널형 박막 트랜지스터인, 절연 게이트형 전계 효과 반도체 장치.

청구항 23.

제 19 항에 있어서,

상기 제 1 공정에 의해, 임계치 전압을 양의 방향으로 시프트시키는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 24.

결정성 실리콘막의 표면을 산소 플라즈마에 노출시키고, 상기 산소 플라즈마에 노출시킴으로써 생긴 불순물을 배출하는 제 1 공정과,

상기 산소 플라즈마에 노출된 결정성 실리콘막의 표면 상에 절연막을 형성하는 제 2 공정을 포함하고,

상기 제 1 공정에 의해 임계치 전압을 양의 방향으로 시프트시키는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 25.

제 24 항에 있어서,

상기 절연막은 실리콘막, 산소 및 질소로 이루어지는 막인, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 26.

제 24 항에 있어서,

상기 결정성 실리콘막의 표면을 상기 산소 플라즈마에 노출시키는 처리실 내의 압력을 0.1 내지 10 torr로 유지하고, 상기 불순물을 배출하는 처리실 내의 압력을 10^{-4} 내지 10^{-5} torr로 유지하는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 27.

제 24 항에 있어서,

상기 절연 게이트형 전계 효과 반도체 장치는 N 채널형 박막 트랜지스터인, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 28.

제 24 항에 있어서,

상기 제 1 공정에 의해 임계치 전압을 양의 방향으로 시프트시키는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 29.

처리실 내의 압력을 0.1 내지 10 torr로 유지하여 실리콘 웨어퍼의 표면을 산소 플라즈마에 노출시키고, 상기 산소 플라즈마에 노출시킴으로써 생긴 불순물을 상기 처리실 내의 압력을 10^{-4} 내지 10^{-5} torr로 유지함으로써 배출하는 제 1 공정과,

상기 산소 플라즈마에 노출된 실리콘 웨이퍼의 표면 상에 절연막을 형성하는 제 2 공정을 포함하는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 30.

제 29 항에 있어서,

상기 절연막은 실리콘막, 산소 및 질소로 이루어지는 막인, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 31.

제 29 항에 있어서,

상기 절연 게이트형 전계 효과 반도체 장치는 N 채널형 박막 트랜지스터인, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 32.

제 29 항에 있어서,

상기 제 1 공정에 의해 임계치 전압을 양의 방향으로 시프트시키는, 절연 게이트형 전계 효과 반도체 장치의 제조 방법.

청구항 33.

제 1 항에 있어서,

상기 반도체 장치는 N 채널형 반도체 장치인, 반도체 장치 제조 방법.

청구항 34.

제 5 항에 있어서,

상기 반도체 장치는 N 채널형 반도체 장치인, 반도체 장치 제조 방법.

청구항 35.

제 9 항에 있어서,

상기 반도체 장치는 N 채널형 반도체 장치인, 반도체 장치 제조 방법.

청구항 36.

제 1 항에 있어서,

상기 노출 단계 및 상기 유지 단계에 의해 임계치 전압을 양의 방향으로 시프트시키는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 37.

제 5 항에 있어서,

상기 처리 단계 및 상기 배출 단계에 의해 임계치 전압을 양의 방향으로 시프트시키는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 38.

제 9 항에 있어서,

상기 제거 단계 및 상기 배출 단계에 의해 임계치 전압을 양의 방향으로 시프트시키는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 39.

제 9 항에 있어서,

상기 게이트 절연막은 모노실란, 일산화이질소 및 산소를 원료로 하여 화학 증착법에 의해 형성되는, 반도체 장치 제조 방법.

청구항 40.

제 1 항에 있어서,

상기 절연막은 모노실란, 일산화이질소 및 산소를 원료로 하여 화학 증착법에 의해 형성되는, 반도체 장치 제조 방법.

청구항 41.

제 1 항에 있어서,

상기 절연막은 모노실란 및 일산화이질소를 원료로 하여 화학 증착법에 의해 형성되는, 반도체 장치 제조 방법.

청구항 42.

제 5 항 또는 제 9 항에 있어서,

상기 반도체막은 실리콘을 포함하는 결정성 반도체층이고, 상기 게이트 절연막은 실리콘, 산소 및 질소를 포함하는, 반도체 장치 제조 방법.

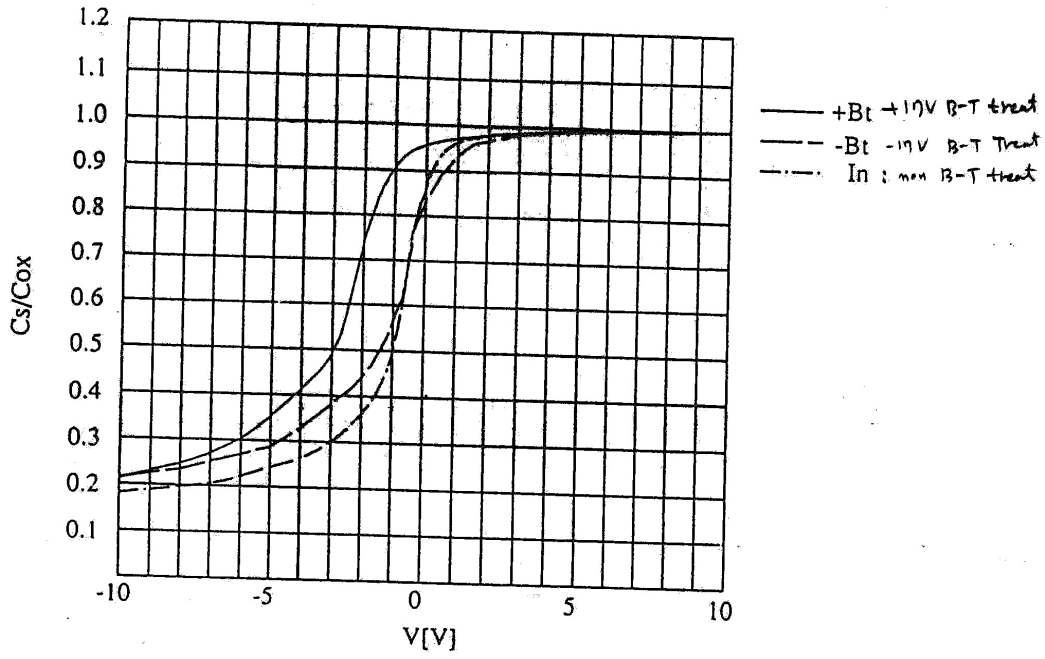
청구항 43.

제 5 항 또는 제 9 항에 있어서,

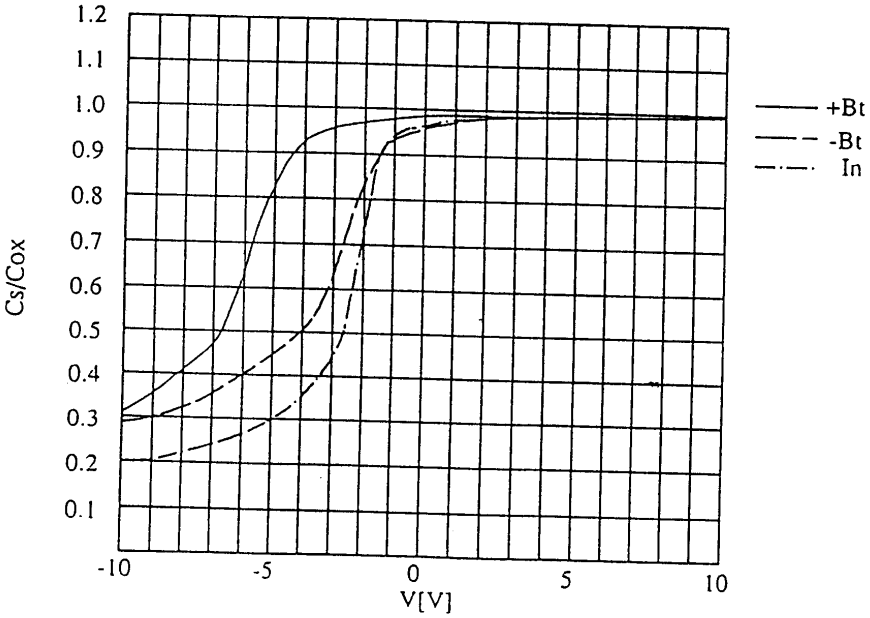
상기 게이트 절연막은 모노실란 및 일산화이질소를 원료로 하여 화학 증착법에 의해 형성되는, 반도체 장치 제조 방법.

도면

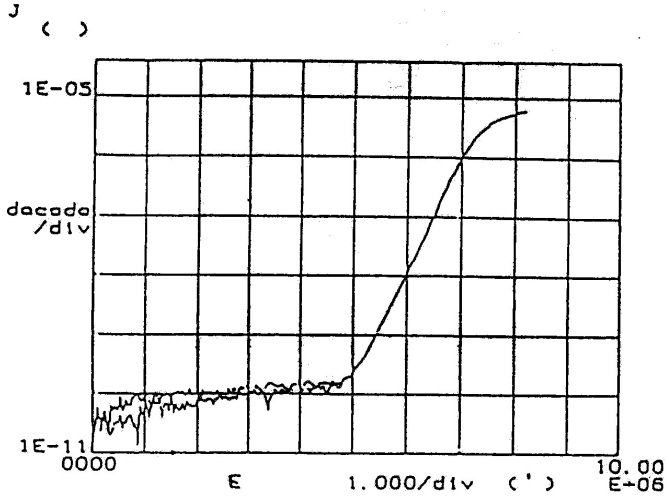
도면1a



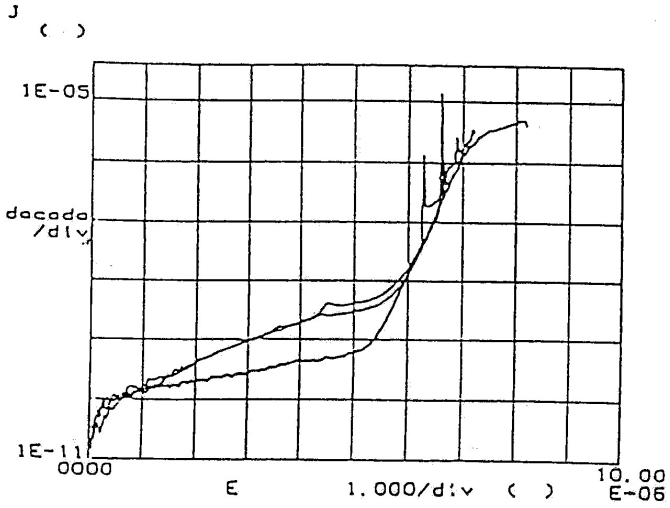
도면1b


1.2
1.1
1.0
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
Cs/Cox
-10
-5
0
5
10
V[V]
+Bt
-Bt
In

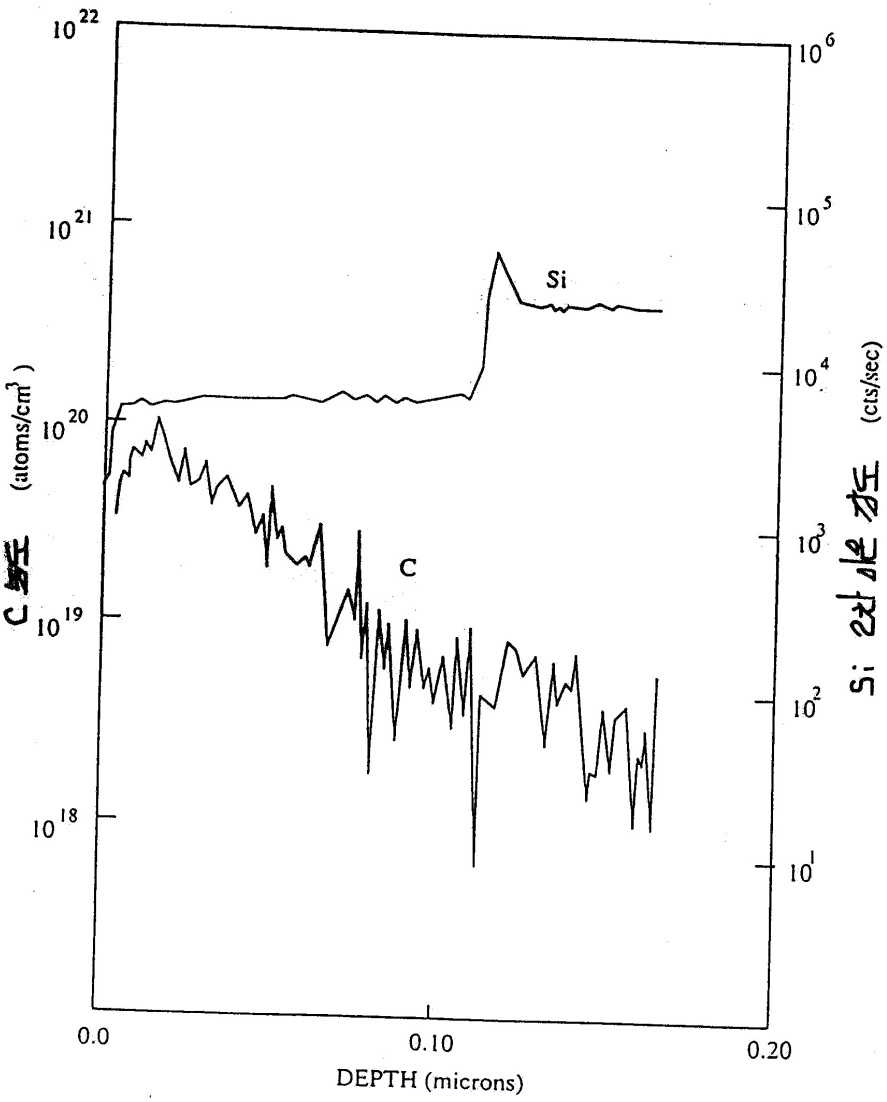
도면2a


J
( )
1E-05
decade
/div
1E-11
0000
E
1.000/div
10.00
E-06

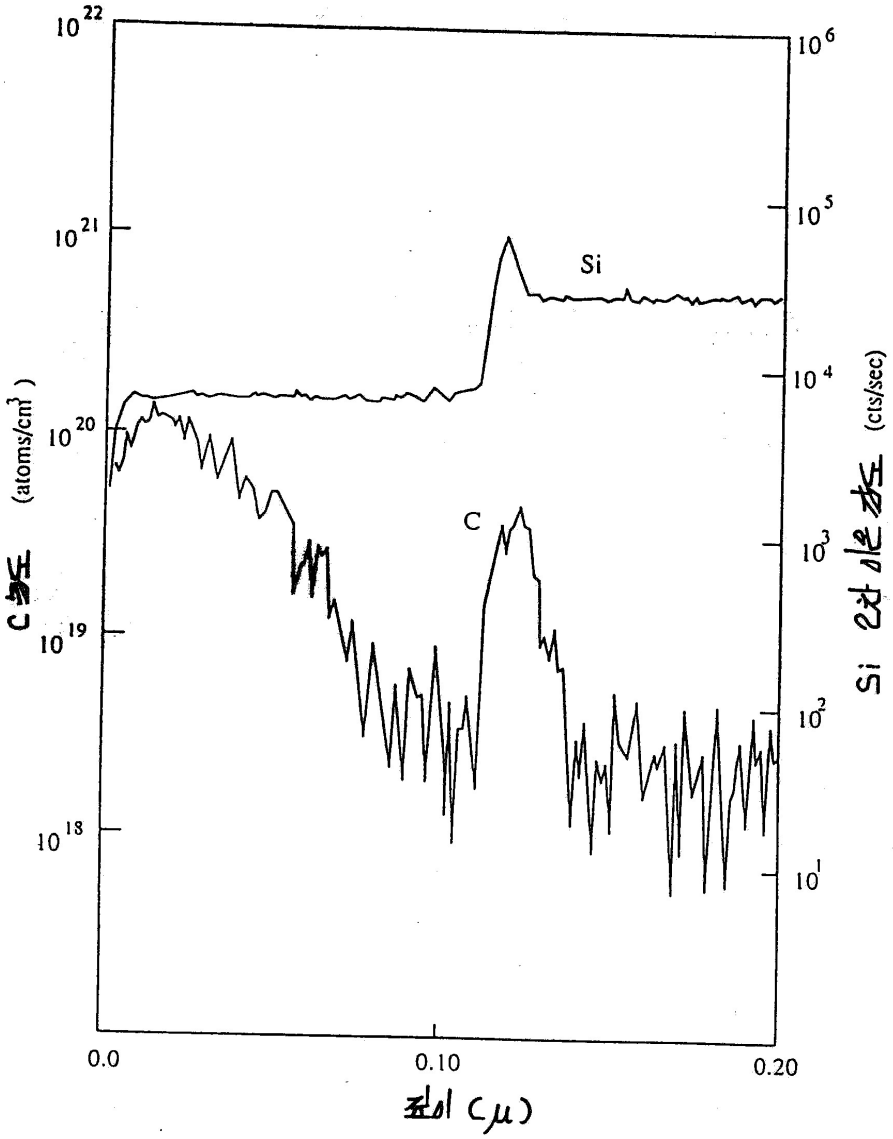
도면2b


J
( )
1E-05
decade
/div
1E-11
0000
E
1.000/div ( )
10.00
E-06

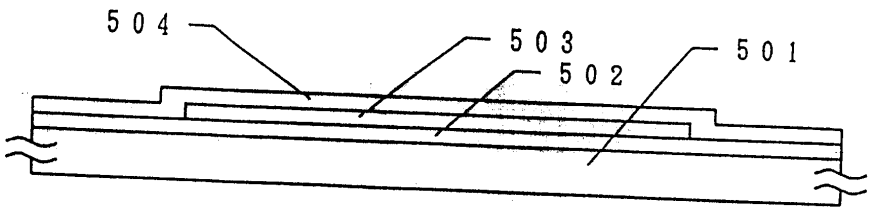
도면3


10^{22}
10^{21}
10^{20}
10^{19}
10^{18}
(atoms/cm^3)
C 농도
10^6
10^5
10^4
10^3
10^2
10^1
(cts/sec)
Si 2차이온 강도
Si
C
0.0
0.10
0.20
DEPTH (microns)

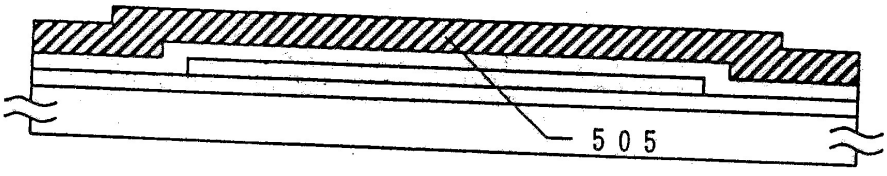
도면4



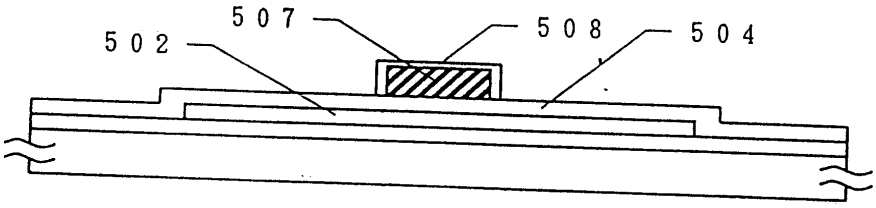
도면5a



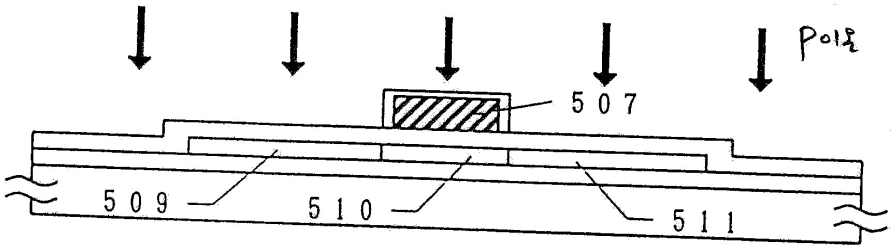
도면5b



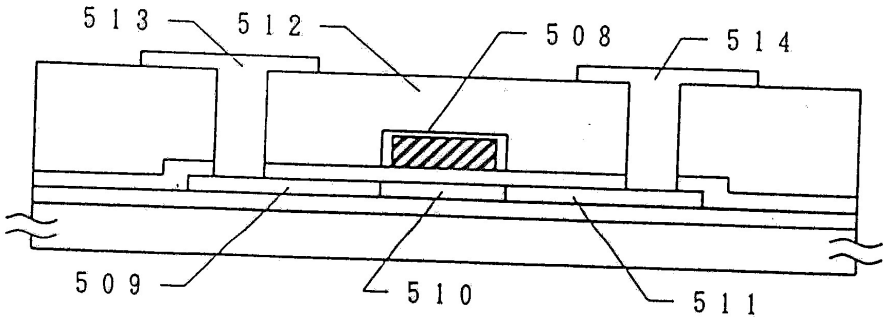
도면5c



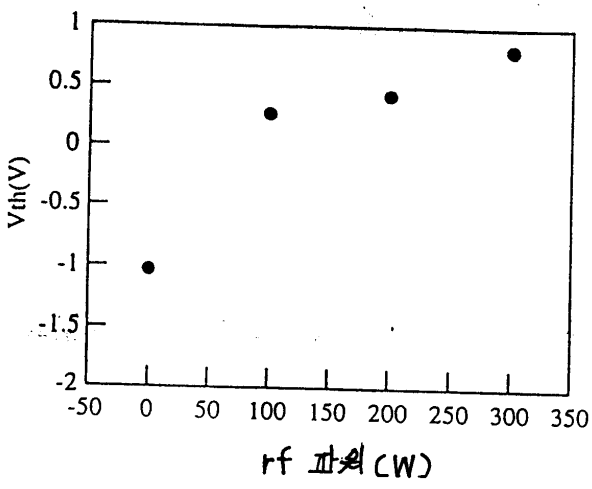
도면5d



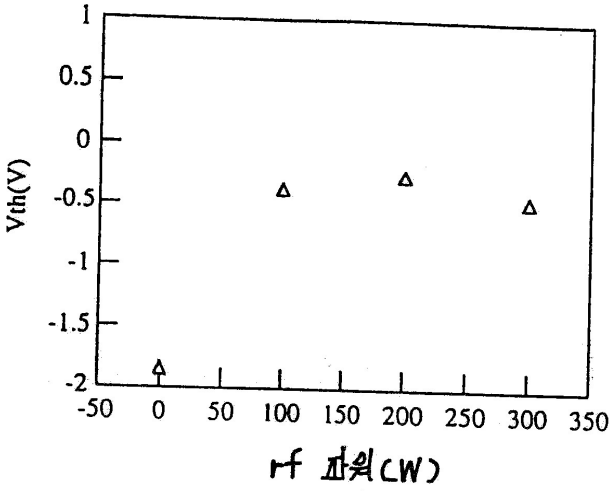
도면5e



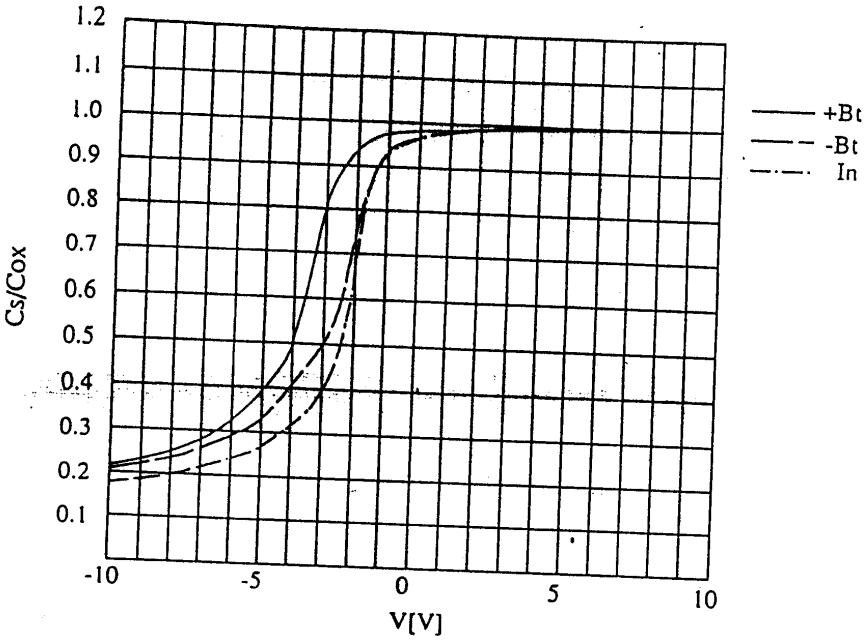
도면6



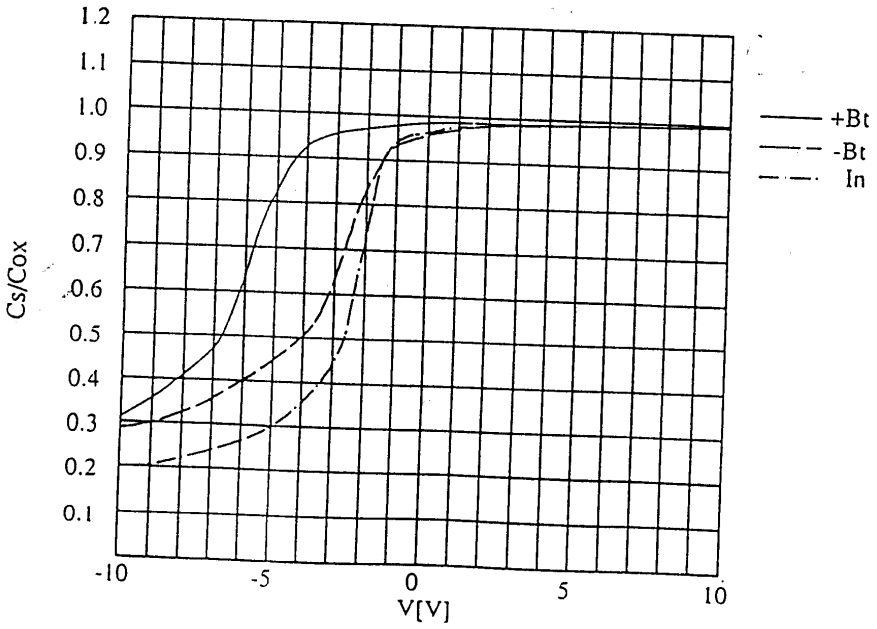
도면7


1
0.5
0
-0.5
-1
-1.5
-2
Vth(V)
-50
0
50
100
150
200
250
300
350
rf 파워(W)

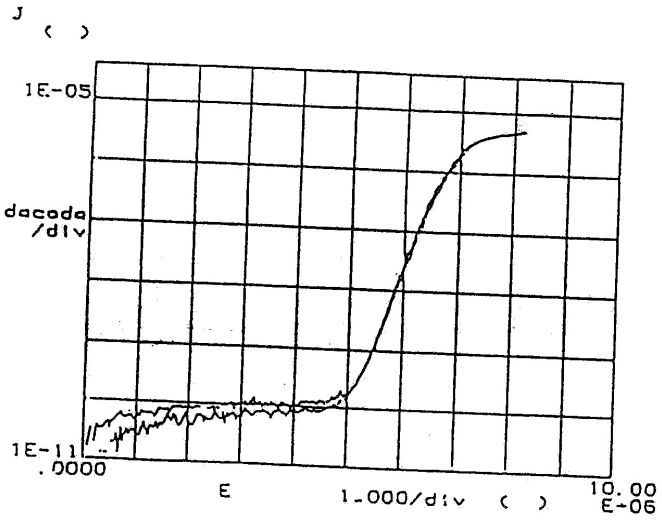
도면8a


1.2
1.1
1.0
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
Cs/Cox
-10
-5
0
5
10
V[V]
+Bt
-Bt
In

도면8b


1.2
1.1
1.0
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
Cs/Cox
-10
-5
0
5
10
V[V]
+Bt
-Bt
In

도면9a


J
1E-05
decade
/div
1E-11
.0000
E
1.000/div
10.00
E-06

도면9b

