

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6827131号
(P6827131)

(45) 発行日 令和3年2月10日(2021.2.10)

(24) 登録日 令和3年1月20日(2021.1.20)

(51) Int. Cl.	F I	
G09G 3/3225 (2016.01)	G09G 3/3225	
G09G 3/20 (2006.01)	G09G 3/20	624Z
H01L 51/50 (2006.01)	G09G 3/20	670Z
H01L 27/32 (2006.01)	H05B 33/14	A
H05B 33/02 (2006.01)	H01L 27/32	

請求項の数 9 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2019-568738 (P2019-568738)	(73) 特許権者	515179325
(86) (22) 出願日	平成30年9月26日 (2018.9.26)		昆山国顯光電有限公司
(65) 公表番号	特表2020-523641 (P2020-523641A)		KUNSHAN GO-VISIONOX OPTO-ELECTRONICS C O., LTD.
(43) 公表日	令和2年8月6日 (2020.8.6)		中国江蘇省昆山市開發区龍騰路1号4棟
(86) 国際出願番号	PCT/CN2018/107596		Building 4, No. 1, Longteng Road, Deve lopment Zone Kunsha n, Jiangsu, People' s Republic of China
(87) 国際公開番号	W02019/140947	(74) 代理人	100112656
(87) 国際公開日	令和1年7月25日 (2019.7.25)		弁理士 宮田 英毅
審査請求日	令和1年12月12日 (2019.12.12)	(74) 代理人	100089118
(31) 優先権主張番号	201810054293.X		弁理士 酒井 宏明
(32) 優先日	平成30年1月19日 (2018.1.19)		
(33) 優先権主張国・地域又は機関	中国 (CN)		

最終頁に続く

(54) 【発明の名称】 発光制御駆動回路及び発光制御ドライバー

(57) 【特許請求の範囲】

【請求項1】

第1入力端、第2入力端及び第2電源入力端の信号に基づいて第1ゲート制御電圧を生成する第1ゲート電圧制御回路と、

前記第1ゲート制御電圧、前記第1入力端、前記第2入力端、第3入力端、第1電源入力端及び前記第2電源入力端の信号に基づいて第3ゲート制御電圧を生成する第2ゲート電圧制御回路と、

前記第2電源入力端と前記第1ゲート電圧制御回路及び前記第2ゲート電圧制御回路との間に接続され、前記第1ゲート制御電圧と前記第3ゲート制御電圧のどちらかが前記第2電源入力端の電圧値より低い場合に、前記第2電源入力端の電圧値より低いゲート制御電圧を前記第1ゲート電圧制御回路及び/又は前記第2ゲート電圧制御回路から隔離する隔離ユニットと、を備え、

前記第1ゲート電圧制御回路は第2トランジスタ及び第3トランジスタを含み、前記第2トランジスタのソース電極は前記第2入力端に接続され、前記第2トランジスタのドレイン電極は前記第3トランジスタのソース電極に接続され、前記第2トランジスタのゲート電極は前記第2ゲート電圧制御回路に接続され、前記第3トランジスタのゲート電極は前記第2入力端に接続され、前記第3トランジスタのドレイン電極は前記第2電源入力端に接続され、前記第3トランジスタのソース電極は前記第2ゲート電圧制御回路にも接続され、

前記第2ゲート電圧制御回路は第5トランジスタ、第6トランジスタ、第7トランジス

タ及び第 8 トランジスタを備え、前記第 5 トランジスタのゲート電極は前記第 3 トランジスタのソース電極に接続され、前記第 5 トランジスタのドレイン電極は第 1 電源入力端に接続され、前記第 6 トランジスタのゲート電極は前記第 3 トランジスタのソース電極に接続され、前記第 6 トランジスタのソース電極は前記第 7 トランジスタのソース電極に接続され、前記第 6 トランジスタのドレイン電極は前記第 3 入力端に接続され、前記第 7 トランジスタのゲート電極は前記第 3 入力端に接続され、前記第 7 トランジスタのドレイン電極は前記第 8 トランジスタのソース電極に接続され、前記第 8 トランジスタのゲート電極は前記第 1 入力端及び出力ユニットに接続され、前記第 8 トランジスタのドレイン電極は前記第 1 電源入力端に接続され、前記第 8 トランジスタのソース電極は前記出力ユニットにも接続され、

10

前記出力ユニットは第 10 トランジスタを備え、前記第 10 トランジスタのゲート電極は前記第 8 トランジスタのゲート電極に接続され、前記第 10 トランジスタのドレイン電極は前記第 2 電源入力端に接続され、

前記隔離ユニットは、第 11 トランジスタ、第 12 トランジスタ及び第 13 トランジスタを備え、

前記第 11 トランジスタが前記第 3 トランジスタのソース電極と前記第 6 トランジスタのゲート電極との間に接続され、第 11 トランジスタのゲート電極は前記第 2 電源入力端に接続され、前記第 11 トランジスタのソース電極は前記第 3 トランジスタのソース電極に接続され、前記第 11 トランジスタのドレイン電極は前記第 6 トランジスタのゲート電極に接続され、

20

前記第 12 トランジスタが前記第 5 トランジスタのゲート電極と前記第 6 トランジスタのゲート電極との間に接続され、前記第 12 トランジスタのゲート電極は前記第 2 電源入力端に接続され、前記第 12 トランジスタのドレイン電極は前記第 5 トランジスタのゲート電極に接続され、前記第 12 トランジスタのソース電極は前記第 6 トランジスタのゲート電極に接続され、

前記第 13 トランジスタが前記第 8 トランジスタのゲート電極と前記第 10 トランジスタのゲート電極との間に接続され、前記第 13 トランジスタのゲート電極は前記第 2 電源入力端に接続され、前記第 13 トランジスタのドレイン電極は前記第 10 トランジスタのゲート電極に接続され、前記第 13 トランジスタのソース電極は前記第 8 トランジスタのゲート電極に接続され、

30

又は、

前記隔離ユニットは、第 14 トランジスタ、第 16 トランジスタ及び第 15 トランジスタを備え、

前記第 14 トランジスタが前記第 2 トランジスタのゲート電極と前記第 10 トランジスタのゲート電極との間に接続され、第 14 トランジスタのゲート電極は、前記第 2 電源入力端に接続され、前記第 14 トランジスタのソース電極は、前記第 2 トランジスタのゲート電極に接続され、前記第 14 トランジスタのドレイン電極は、前記第 10 トランジスタのゲート電極に接続され、

前記第 16 トランジスタが前記第 5 トランジスタのゲート電極と前記第 6 トランジスタのゲート電極との間に接続され、前記第 16 トランジスタのゲート電極は前記第 2 電源入力端に接続され、前記第 16 トランジスタのドレイン電極は前記第 5 トランジスタのゲート電極に接続され、前記第 16 トランジスタのソース電極は前記第 6 トランジスタのゲート電極に接続され、

40

前記第 15 トランジスタが前記第 8 トランジスタのゲート電極と前記第 10 トランジスタのゲート電極との間に接続され、前記第 15 トランジスタのゲート電極は前記第 2 電源入力端に接続され、前記第 15 トランジスタのドレイン電極は前記第 10 トランジスタのゲート電極及び第 14 トランジスタのドレイン電極に接続され、前記第 15 トランジスタのソース電極は前記第 8 トランジスタのゲート電極に接続される

ことを特徴とする発光制御駆動回路。

【請求項 2】

50

前記第 2 ゲート電圧制御回路は、更に第 2 ゲート制御電圧を生成し、

前記発光制御駆動回路は、前記第 2 ゲート制御電圧と、前記第 3 ゲート制御電圧と、前記第 1 電源入力端及び前記第 2 電源入力端の信号とに基づいて出力信号を生成する出力ユニットを更に備える

ことを特徴とする請求項 1 に記載の発光制御駆動回路。

【請求項 3】

前記第 1 ゲート制御電圧が前記第 2 電源入力端の電圧値より低い場合、前記隔離ユニットは、前記第 1 ゲート制御電圧を前記第 2 ゲート電圧制御回路から隔離し、又は、前記第 1 ゲート制御電圧を前記第 1 ゲート電圧制御回路及び前記第 2 ゲート電圧制御回路から隔離し、

10

前記第 3 ゲート制御電圧が前記第 2 電源入力端の電圧値より低い場合、前記隔離ユニットは、前記第 3 ゲート制御電圧を前記第 2 ゲート電圧制御回路から隔離し、又は、前記第 3 ゲート制御電圧を前記第 1 ゲート電圧制御回路及び前記第 2 ゲート電圧制御回路から隔離する

ことを特徴とする請求項 1 に記載の発光制御駆動回路。

【請求項 4】

前記第 1 ゲート電圧制御回路は、第 1 トランジスタを更に含み、

前記第 1 トランジスタのゲート電極は前記第 2 入力端に接続され、前記第 1 トランジスタのソース電極は前記第 2 トランジスタのゲート電極に接続され、前記第 1 トランジスタのドレイン電極は前記第 1 入力端に接続される

20

ことを特徴とする請求項 1 に記載の発光制御駆動回路。

【請求項 5】

前記第 2 ゲート電圧制御回路は、第 4 トランジスタ及び第 1 コンデンサを更に備え、

前記第 4 トランジスタのゲート電極は前記第 3 入力端に接続され、前記第 4 トランジスタのソース電極は前記第 5 トランジスタのソース電極に接続され、前記第 4 トランジスタのドレイン電極は前記第 2 トランジスタのゲート電極に接続され、前記第 1 コンデンサの一端は前記第 6 トランジスタのゲート電極に接続され、他端は前記第 6 トランジスタのソース電極に接続される

ことを特徴とする請求項 4 に記載の発光制御駆動回路。

【請求項 6】

30

前記出力ユニットは、第 9 トランジスタ、第 2 コンデンサ及び第 3 コンデンサを更に備え、

前記第 9 トランジスタのゲート電極は前記第 8 トランジスタのソース電極に接続され、前記第 9 トランジスタのソース電極は前記第 1 電源入力端に接続され、前記第 9 トランジスタのドレイン電極は前記第 10 トランジスタのソース電極に接続され、

前記第 2 コンデンサの一端は前記第 9 トランジスタのゲート電極に接続され、他端は前記第 9 トランジスタのソース電極に接続され、

前記第 3 コンデンサの一端は前記第 10 トランジスタのゲート電極に接続され、他端は前記第 3 入力端に接続され、

前記出力ユニットが生成する出力信号は、第 10 トランジスタのソース電極から出力される

40

ことを特徴とする請求項 5 に記載の発光制御駆動回路。

【請求項 7】

前記第 6 トランジスタのゲート電極は前記第 1 ゲート制御電圧に接続され、前記第 9 トランジスタのゲート電極は第 2 ゲート制御電圧に接続され、前記第 10 トランジスタのゲート電極は前記第 3 ゲート制御電圧に接続される

ことを特徴とする請求項 6 に記載の発光制御駆動回路。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の発光制御駆動回路を少なくとも 2 つ備え、各発光制御駆動回路の第 1 入力端は、1 つ前の発光制御駆動回路の出力端に接続される、

50

ことを特徴とする発光制御ドライバー。

【請求項 9】

各前記発光制御駆動回路の第 1 入力端は、開始信号又は 1 つ前の発光制御駆動回路の出力信号を受信し、

奇数の発光制御駆動回路は、第 2 入力端が第 1 クロック信号を受信し、第 3 入力端が第 2 クロック信号を受信し、

偶数の発光制御駆動回路は、第 2 入力端が第 2 クロック信号を受信し、第 3 入力端が第 1 クロック信号を受信し、

前記第 1 クロック信号及び前記第 2 クロック信号は、同じ時間幅を有し、かつ重なり合わない位相を有し、

前記開始信号は、前記第 1 クロック信号の 2 番目の立ち下がりエッジの電圧が開始するときから、前記第 1 クロック信号の 4 番目の立ち下がりエッジの電圧が開始するまで、立ち上がりエッジの電圧を出力し続ける

ことを特徴とする請求項 8 に記載の発光制御ドライバー。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、光電技術分野に関し、具体的には発光制御駆動回路及び発光制御ドライバーに関するものである。

【背景技術】

【0002】

近年、国内外では多くの種類の表示装置が開発され、例えば液晶表示装置、プラズマ表示装置、エレクトロウェット表示装置、電気泳動表示装置、有機発光表示装置などが挙げられる。そのうち、有機発光表示装置は、電子正孔対を特定の物質中で再結合させて特定の波長の光を発光させることによって画像を表示し、高速応答、低消費電力、薄型軽量、広色域などの利点を有する。既存の有機発光表示装置は通常、画素の発光時間幅を制御する発光制御ドライバーを備えるが、既存の発光制御ドライバーはブレークダウンしやすく破損しやすい。

【発明の概要】

【0003】

これに鑑みて、本開示は、既存の有機発光表示装置の発光制御駆動回路におけるトランジスタのブレークダウン問題を解決するための発光制御駆動回路及び発光制御ドライバーを提供する。

【0004】

本開示の第 1 の形態において、第 1 入力端、第 2 入力端及び第 2 電源入力端の信号に基づいて第 1 ゲート制御電圧を生成する第 1 ゲート電圧制御回路と、第 1 ゲート制御電圧、第 1 入力端、第 2 入力端、第 3 入力端、第 1 電源入力端及び第 2 電源入力端の信号に基づいて第 3 ゲート制御電圧を生成する第 2 ゲート電圧制御回路とを備え、更に第 2 電源入力端と第 1 ゲート電圧制御回路及び第 2 ゲート電圧制御回路との間に接続され、第 1 ゲート制御電圧と第 3 ゲート制御電圧のどちらかが第 2 電源入力端の電圧値より低い場合に、第 2 電源入力端の電圧値より低いゲート制御電圧を第 1 ゲート電圧制御回路及び/又は第 2 ゲート電圧制御回路から隔離する隔離ユニットを備え、第 1 ゲート電圧制御回路は第 2 トランジスタ及び第 3 トランジスタを含み、第 2 トランジスタのソース電極は第 2 入力端に接続され、第 2 トランジスタのドレイン電極は第 3 トランジスタのソース電極に接続され、第 2 トランジスタのゲート電極は第 2 ゲート電圧制御回路に接続され、第 3 トランジスタのゲート電極は第 2 入力端に接続され、第 3 トランジスタのドレイン電極は第 2 電源入力端に接続され、第 3 トランジスタのソース電極は第 2 ゲート電圧制御回路にも接続され、第 2 ゲート電圧制御回路は第 5 トランジスタ、第 6 トランジスタ、第 7 トランジスタ及び第 8 トランジスタを備え、第 5 トランジスタのゲート電極は第 3 トランジスタのソース電極に接続され、第 5 トランジスタのドレイン電極は第 1 電源入力端に接続され、第 6 ト

10

20

30

40

50

ランジスタのゲート電極は第3トランジスタのソース電極に接続され、第6トランジスタのソース電極は第7トランジスタのソース電極に接続され、第6トランジスタのドレイン電極は第3入力端に接続され、第7トランジスタのゲート電極は第3入力端に接続され、第7トランジスタのドレイン電極は第8トランジスタのソース電極に接続され、第8トランジスタのゲート電極は第1入力端及び出力ユニットに接続され、第8トランジスタのドレイン電極は第1電源入力端に接続され、第8トランジスタのソース電極は出力ユニットにも接続され、出力ユニットは第10トランジスタを備え、第10トランジスタのゲート電極は第8トランジスタのゲート電極に接続され、第10トランジスタのドレイン電極は第2電源入力端に接続され、隔離ユニットは、第11トランジスタ、第12トランジスタ及び第13トランジスタを備え、第11トランジスタが第3トランジスタのソース電極と第6トランジスタのゲート電極との間に接続され、第11トランジスタのゲート電極は第2電源入力端に接続され、第11トランジスタのソース電極は第3トランジスタのソース電極に接続され、第11トランジスタのドレイン電極は第6トランジスタのゲート電極に接続され、第12トランジスタが第5トランジスタのゲート電極と第6トランジスタのゲート電極との間に接続され、第12トランジスタのゲート電極は第2電源入力端に接続され、第12トランジスタのドレイン電極は第5トランジスタのゲート電極に接続され、第12トランジスタのソース電極は第6トランジスタのゲート電極に接続され、第13トランジスタが第8トランジスタのゲート電極と第10トランジスタのゲート電極との間に接続され、第13トランジスタのゲート電極は第2電源入力端に接続され、第13トランジスタのドレイン電極は第10トランジスタのゲート電極に接続され、第13トランジスタのソース電極は第8トランジスタのゲート電極に接続され、又は、隔離ユニットは、第14トランジスタ、第16トランジスタ及び第15トランジスタを備え、第14トランジスタが第2トランジスタのゲート電極と第10トランジスタのゲート電極との間に接続され、第14トランジスタのゲート電極は、第2電源入力端に接続され、第14トランジスタのソース電極は、第2トランジスタのゲート電極に接続され、第14トランジスタのドレイン電極は、第10トランジスタのゲート電極に接続され、第16トランジスタが第5トランジスタのゲート電極と第6トランジスタのゲート電極との間に接続され、第16トランジスタのゲート電極は第2電源入力端に接続され、第16トランジスタのドレイン電極は第5トランジスタのゲート電極に接続され、第16トランジスタのソース電極は第6トランジスタのゲート電極に接続され、第15トランジスタが第8トランジスタのゲート電極と第10トランジスタのゲート電極との間に接続され、第15トランジスタのゲート電極は第2電源入力端に接続され、第15トランジスタのドレイン電極は第10トランジスタのゲート電極及び第14トランジスタのドレイン電極に接続され、第15トランジスタのソース電極は第8トランジスタのゲート電極に接続される発光制御駆動回路を提供する。

【0005】

1つの実施例では、第2ゲート電圧制御回路は第2ゲート制御電圧を更に生成し、発光制御駆動回路は、第2ゲート制御電圧と、第3ゲート制御電圧と、第1電源入力端及び第2電源入力端の信号とに基づいて出力信号を生成する出力ユニットを更に備える。

【0006】

1つの実施例では、第1ゲート制御電圧が第2電源入力端の電圧値より低い場合、隔離ユニットは、第1ゲート制御電圧を第2ゲート電圧制御回路から隔離し、又は、第1ゲート制御電圧を第1ゲート電圧制御回路及び第2ゲート電圧制御回路から隔離し、第3ゲート制御電圧が第2電源入力端の電圧値より低い場合、隔離ユニットは、第3ゲート制御電圧を第2ゲート電圧制御回路から隔離し、又は、第3ゲート制御電圧を第1ゲート電圧制御回路及び第2ゲート電圧制御回路から隔離する。

【0008】

1つの実施例では、第1ゲート電圧制御回路は、第1トランジスタを更に含み、第1トランジスタのゲート電極は第2入力端に接続され、第1トランジスタのソース電極は第2トランジスタのゲート電極に接続され、第1トランジスタのドレイン電極は第1

10

20

30

40

50

入力端に接続される。

【0010】

1つの実施例では、第2ゲート電圧制御回路は、第4トランジスタ及び第1コンデンサを更に備え、第4トランジスタのゲート電極は第3入力端に接続され、第4トランジスタのソース電極は第5トランジスタのソース電極に接続され、第4トランジスタのドレイン電極は第2トランジスタのゲート電極に接続され、第1コンデンサの一端は第6トランジスタのゲート電極に接続され、他端は第6トランジスタのソース電極に接続される。

【0012】

1つの実施例では、出力ユニットは、第9トランジスタ、第2コンデンサ及び第3コンデンサを更に備え、第9トランジスタのゲート電極は第8トランジスタのソース電極に接続され、第9トランジスタのソース電極は第1電源入力端に接続され、第9トランジスタのドレイン電極は第10トランジスタのソース電極に接続され、第2コンデンサの一端は第9トランジスタのゲート電極に接続され、他端は第9トランジスタのソース電極に接続され、第3コンデンサの一端は第10トランジスタのゲート電極に接続され、他端は第3入力端に接続され、出力ユニットが生成する出力信号は、第10トランジスタのソース電極から出力される。

10

【0018】

1つの実施例では、第6トランジスタのゲート電極は第1ゲート制御電圧に接続され、第9トランジスタのゲート電極は第2ゲート制御電圧に接続され、第10トランジスタのゲート電極は第3ゲート制御電圧に接続される。

20

【0019】

本開示の第2の様態において、発光制御ドライバーを提供する。当該発光制御ドライバーは少なくとも2つの上記の発光制御駆動回路を備え、各発光制御駆動回路の第1入力端は1つ前の発光制御駆動回路の出力端に接続される。

【0020】

1つの実施例では、各発光制御駆動回路の第1入力端は開始信号又は1つ前の発光制御駆動回路の出力信号を受信する。奇数の発光制御駆動回路は、第2入力端が第1クロック信号を受信し、第3入力端が第2クロック信号を受信する。偶数の発光制御駆動回路は、第2入力端が第2クロック信号を受信し、第3入力端が第1クロック信号を受信する。

【0021】

また、第1クロック信号及び第2クロック信号は同じ時間幅を有し、かつ重なり合わない位相を有する。開始信号は、第1クロック信号の2番目の立ち下がりエッジの電圧が開始するときから、第1クロック信号の4番目の立ち下がりエッジの電圧が開始するまで、立ち上がりエッジの電圧を出力し続ける。

30

【0023】

本開示に係る発光制御駆動回路、発光制御ドライバー及び有機発光表示装置によると、発光制御駆動回路における第2電源入力端と第1ゲート電圧制御回路及び第2ゲート電圧制御回路との間に、隔離ユニットを設置する。当該隔離ユニットは、第1ゲート電圧制御回路が出力する第1ゲート制御電圧が第2電源入力端の電圧値より低い場合に第1ゲート制御電圧を第1ゲート電圧制御回路及び/又は第2ゲート電圧制御回路から隔離することができ、又は第2ゲート電圧制御回路が出力する第3ゲート制御電圧が第2電源入力端の電圧値より低い場合に第3ゲート制御電圧を第1ゲート電圧制御回路及び/又は第2ゲート電圧制御回路から隔離することができる。したがって、第1ゲート制御電圧又は第3ゲート制御電圧が低すぎる場合に、第1ゲート電圧制御回路及び/又は第2ゲート電圧制御回路におけるトランジスタが過大なゲート・ソース間電圧によって破損してしまうことを防止することができる。

40

【図面の簡単な説明】

【0024】

【図1】図1は、一実施例に係る有機発光表示装置の構成を示す模式図である。

【図2a】図2aは、一実施例に係る発光制御ドライバーの構成を示す模式図である。

50

【図 2 b】図 2 b は、図 2 a での点線によって示されるリピートユニットの拡大図を示すものである。

【図 3】図 3 は、一実施例に係る発光制御駆動回路の回路構成を示す模式図である。

【図 4】図 4 は、本開示の一実施例に係る発光制御駆動回路の信号波形図である。

【図 5】図 5 は、本開示のもう 1 つの実施例に係る発光制御駆動回路の回路構成を示す模式図である。

【発明を実施するための形態】

【0025】

本開示の目的、技術手段及び長所をより明確にするために、以下は図面と合わせて本開示を詳しく説明する。

10

【0026】

図 1 は、一実施例に係る有機発光表示装置の構成を示す模式図である。図面からわかるように、当該有機発光表示装置は、複数の画素 (PX11、PX12、...、PXn1、PXn2) からなり、画像を表示するための画素回路 100 と、データ電圧を画素に印加するデータドライバー 300 と、走査信号を画素に順次印加する走査ドライバー 200 と、発光制御信号を画素に印加する発光制御ドライバー 400 と、を備える。画素は走査信号に応答してデータ電圧を受信し、データ電圧に対応する所定輝度を有する光を生成して画像を表示する。発光制御ドライバー 400 は初期制御信号に応答して初期化され、発光制御信号を生成して画素の発光時間幅を制御する。

【0027】

20

発光制御ドライバーには電圧保持などの機能を有するコンデンサが必要である。しかし、コンデンサの両端の電圧がブートストラップ効果を有するため、コンデンサ両端の電圧の降下は過度に速い。この場合、コンデンサに接続されるトランジスタはゲート・ソース間電圧が過大になるリスクを有し、トランジスタがブレイクダウンして破損してしまう可能性がある。この技術的問題を解決するために、本開示は発光制御ドライバーを提供する。

【0028】

まず説明したい点は、本文の図面における符号である EIN、ECK1、ECK2、VGH、VGL、EM1 は 1 つの端子を指すことも、対応する端子の入力する信号を指すこともでき、具体的には文言記載部分の限定によって決められることである。例えば、第 1 クロック信号端 ECK1 は 1 つの端子を指し、第 1 クロック信号 ECK1 は第 1 クロック信号を指し、且つ当該第 1 クロック信号は第 1 クロック信号端 ECK1 に入力されるものである。

30

【0029】

<実施例一>

図 2 a は、一実施例に係る発光制御ドライバーの構成を示す模式図である。図 2 a に示すように、当該発光制御ドライバーは、縦続接続された複数の発光制御駆動回路を備え、各発光制御駆動回路は第 1 電源入力端 VGH、第 2 電源入力端 VGL、第 1 クロック信号入力端 ECK1、第 2 クロック信号入力端 ECK2、入力端 EIN 及び出力端 EMn (n = 1、2...) を含む。

40

【0030】

図 2 a における複数の発光制御駆動回路の接続関係を明確に説明するため、図 2 a の中で点線枠によって示されるリピートユニットの拡大図を示す図 2 b を参照する。図 2 b に示すように、当該リピートユニットは、第 1 発光制御駆動回路 1 及び第 2 発光制御駆動回路 2 を備える。なお、第 1 発光制御駆動回路 1 は奇数の発光制御駆動回路を表し、第 2 発光制御駆動回路 2 は偶数の発光制御駆動回路を表し、第 1 発光制御駆動回路 1 の出力端 EM1 は第 2 発光制御駆動回路 2 の入力端 EIN に接続され、その次からは、当該第 1 発光制御駆動回路 1 及び当該第 2 発光制御駆動回路 2 の構成に従って接続を繰り返せば、最終的に図 2 a に示すような発光制御ドライバー 400 を形成することができる。

【0031】

50

図3は、一実施例に係る発光制御駆動回路の回路構成を示す模式図である。図3に示すように、当該発光制御駆動回路は、第1ゲート電圧制御回路10、第2ゲート電圧制御回路20、出力ユニット30及び隔離ユニットを備える。

【0032】

そのうち、第1ゲート電圧制御回路10は、第1入力端11、第2入力端12及び第2電源入力端VGLの信号に基づいて第1ゲート制御電圧V1を生成する。第2ゲート電圧制御回路20は、第1ゲート制御電圧V1、第1入力端11、第2入力端12、第3入力端13、第1電源入力端VGH及び第2電源入力端VGLの信号に基づいて第2ゲート制御電圧V2及び第3ゲート制御電圧V3を生成する。出力ユニット30は、第2ゲート制御電圧V2、第3ゲート制御電圧V3、第1電源入力端VGH及び第2電源入力端VGLの信号に基づいて出力信号を生成する。隔離ユニットは、第2電源入力端VGLと第1ゲート電圧制御回路10及び第2ゲート電圧制御回路20との間に接続され、つまり、隔離ユニットは第2電源入力端VGL、第1ゲート電圧制御回路10、第2ゲート電圧制御回路20にそれぞれ接続される。第1ゲート制御電圧V1が第2電源入力端VGLの電圧値より低い場合、隔離ユニットは第1ゲート制御電圧V1を第1ゲート電圧制御回路10及び第2ゲート電圧制御回路20それぞれから隔離し、即ち第2トランジスタM2のドレイン電極から第1ゲート制御電圧V1を隔離し、第5トランジスタM5のゲート電極から第1ゲート制御電圧V1を隔離する。更に、第3ゲート制御電圧V3が第2電源入力端VGLの電圧値より低い場合、隔離ユニットは第3ゲート制御電圧V3を第2ゲート電圧制御回路20から隔離し、即ち第8トランジスタM8のドレイン電極から第3ゲート制御電圧V3を隔離する。

10

20

【0033】

1つの実施例では、第1ゲート電圧制御回路10及び第2ゲート電圧制御回路20はそれぞれ複数のトランジスタを含み、第1ゲート電圧制御回路10における1つのトランジスタは第1ゲート制御電圧V1に接続され、第2ゲート電圧制御回路20における2つのトランジスタはそれぞれ第1ゲート制御電圧V1と第3ゲート制御電圧V3に接続される。具体的に、第1ゲート電圧制御回路10と第1ゲート制御電圧V1との間に接続されるトランジスタは第2トランジスタM2であり、第2ゲート電圧制御回路20と第1ゲート制御電圧V1との間に接続されるトランジスタは第5トランジスタM5であり、第2ゲート電圧制御回路20と第3ゲート制御電圧V3との間に接続されるトランジスタは第8トランジスタM8である。このように、隔離ユニットは、第1ゲート制御電圧V1が低すぎることによって、第1ゲート電圧制御回路及び第2ゲート電圧制御回路の中の第1ゲート制御電圧V1に接続されるトランジスタ(第2トランジスタM2、第5トランジスタM5又は第8トランジスタM8)が破損してしまうことを防止することができる。

30

【0034】

具体的に、図3に示す発光制御駆動回路には、第1ゲート電圧制御回路10は第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3を備える。なお、第1トランジスタM1、第2トランジスタM2及び第3トランジスタM3は例えばP型薄膜トランジスタが挙げられる。第1トランジスタM1のゲート電極は第2入力端12に接続され、第1トランジスタM1のソース電極は第2トランジスタM2のゲート電極に接続され、第1トランジスタM1のドレイン電極は第1入力端11に接続される。第2トランジスタM2のソース電極は第2入力端12に接続され、第2トランジスタM2のドレイン電極は第3トランジスタM3のソース電極に接続され、第2トランジスタM2のゲート電極は更に第2ゲート電圧制御回路20に接続される。第3トランジスタM3のゲート電極は第2入力端12に接続され、第3トランジスタM3のドレイン電極は第2電源入力端VGLに接続され、第3トランジスタM3のソース電極は更に第2ゲート電圧制御回路20に接続される。

40

【0035】

1つの実施例では、第2トランジスタM2の数は複数であってもよく、かつ当該複数の第2トランジスタM2は順次接続される。具体的に、複数の第2トランジスタM2のゲー

50

ト電極はいずれも第1トランジスタM1のソース電極に接続され、各第2トランジスタM2のソース電極は隣接する第2トランジスタM2のドレイン電極に接続され、このように当該複数の第2トランジスタM2の直列接続により、トランジスタがオフになった後のソース・ドレイン電極間のリーク電流を低減させ、トランジスタのオフ状態の信頼性を高めることができる。

【0036】

図3に示す発光制御駆動回路において、第2ゲート電圧制御回路20は第4トランジスタM4、第5トランジスタM5、第6トランジスタM6、第7トランジスタM7、第8トランジスタM8及び第1コンデンサC1を備える。第4トランジスタM4、第5トランジスタM5、第6トランジスタM6、第7トランジスタM7及び第8トランジスタM8は、例えばP型薄膜トランジスタが挙げられる。第4トランジスタM4のゲート電極は第3入力端13に接続され、第4トランジスタM4のソース電極は第5トランジスタM5のソース電極に接続され、第4トランジスタM4のドレイン電極は第2トランジスタM2のゲート電極に接続される。第5トランジスタM5のゲート電極は(順次M12のドレイン電極又はソース電極、及びM11のドレイン電極又はソース電極を介して)第3トランジスタM3のソース電極に結合され、第5トランジスタM5のドレイン電極は第1電源入力端VGHに接続される。第6トランジスタM6のゲート電極は第3トランジスタM3のソース電極に接続され、第6トランジスタM6のソース電極は第7トランジスタM7のソース電極に接続され、第6トランジスタM6のドレイン電極は第3入力端13に接続される。第7トランジスタM7のゲート電極は第3入力端13に接続され、第7トランジスタM7のドレイン電極は第8トランジスタM8のソース電極に接続される。第8トランジスタM8のゲート電極は第1入力端11及び出力ユニット30に接続され、第8トランジスタM8のドレイン電極は第1電源入力端VGHに接続される。第8トランジスタM8のソース電極は更に出力ユニット30に接続される。第1コンデンサC1の一端は第6トランジスタM6のゲート電極に接続され、他端は第6トランジスタM6のソース電極に接続される。

【0037】

図3に示す発光制御駆動回路において、出力ユニット30は、第9トランジスタM9、第10トランジスタM10、第2コンデンサC2、第3コンデンサC3及び出力端31を備える。第9トランジスタM9及び第10トランジスタM10は、例えばP型薄膜トランジスタが挙げられる。第9トランジスタM9のゲート電極は第8トランジスタM8のソース電極に接続され、第9トランジスタM9のソース電極は第1電源入力端VGHに接続され、第9トランジスタM9のドレイン電極は第10トランジスタM10のソース電極に接続される。第10トランジスタM10のゲート電極は第8トランジスタM8のゲート電極に接続され、第10トランジスタM10のソース電極は出力端31に接続され、第10トランジスタM10のドレイン電極は第2電源入力端VGLに接続される。第2コンデンサC2の一端は第9トランジスタM9のゲート電極に接続され、他端は第9トランジスタM9のソース電極に接続される。第3コンデンサC3の一端は第10トランジスタM10のゲート電極に接続され、他端は第3入力端13に接続される。出力ユニット30によって生成される出力信号は出力端31から出力される。

【0038】

図3に示す発光制御駆動回路において、隔離ユニットは、第11トランジスタM11、第12トランジスタM12及び第13トランジスタM13を備える。第11トランジスタM11、第12トランジスタM12及び第13トランジスタM13は、例えばP型薄膜トランジスタが挙げられる。第11トランジスタM11は第3トランジスタM3のソース電極と第6トランジスタM6のゲート電極との間に接続され、第11トランジスタM11のゲート電極は第2電源入力端VGLに接続され、第11トランジスタM11のソース電極は第3トランジスタM3のソース電極に接続され、第11トランジスタM11のドレイン電極は第6トランジスタM6のゲート電極に接続される。第12トランジスタM12は第5トランジスタM5のゲート電極と第6トランジスタM6のゲート電極との間に接続され、第12トランジスタM12のゲート電極は第2電源入力端VGLに接続され、第12ト

10

20

30

40

50

ランジスタM12のドレイン電極は第5トランジスタM5のゲート電極に接続され、第12トランジスタM12のソース電極は第6トランジスタM6のゲート電極に接続される。第13トランジスタM13は第8トランジスタM8のゲート電極と第10トランジスタM10のゲート電極との間に接続され、第13トランジスタM13のゲート電極は第2電源入力端VGLに接続され、第13トランジスタM13のドレイン電極は第10トランジスタM10のゲート電極に接続され、第13トランジスタM13のソース電極は第8トランジスタM8のゲート電極に接続される。

【0039】

図3に示す発光制御駆動回路においては、第6トランジスタM6のゲート電極が第1ゲート制御電圧V1を生成し、第9トランジスタM9のゲート電極が第2ゲート制御電圧V2を生成し、第10トランジスタM10のゲート電極が第3ゲート制御電圧V3を生成する。

10

【0040】

図3に示す発光制御駆動回路を図2aに示す発光制御ドライバーに適用する場合、発光制御駆動回路において、第1入力端11は、1つ前の発光制御駆動回路の出力信号を受信する。例えば、図2bに示す第2発光制御駆動回路2の第1入力端11は、第1発光制御駆動回路1の出力信号EM1（波形は図4に示す）を受信するように、第1発光制御駆動回路1の出力端31に接続される。第1発光制御駆動回路1の第1入力端11は開始信号EIN（波形は図4に示す）を受信する。奇数の発光制御駆動回路、例えば第1発光制御駆動回路1の第2入力端12は第1クロック信号ECK1を受信し、奇数の発光制御駆動回路、例えば第1発光制御駆動回路1の第3入力端13は第2クロック信号ECK2を受信する。偶数の発光制御駆動回路、例えば第2発光制御駆動回路2の第2入力端12は第2クロック信号ECK2を受信し、偶数の発光制御駆動回路、例えば2番目の発光制御駆動回路2の第3入力端13は第1クロック信号ECK1を受信する。なお、第1クロック信号ECK1及び第2クロック信号ECK2の波形は図4に示される。

20

【0041】

更に、第1クロック信号ECK1及び第2クロック信号ECK2は、同じ時間幅を有し、かつ重なり合わない位相を有する。図4に示すように、開始信号EINは、第1クロック信号ECK1の2番目の立ち下がりエッジの電圧が開始するときから、第1クロック信号ECK1の4番目の立ち下がりエッジの電圧が開始するまで、立ち上がりエッジの電圧を出力し続ける。第1電源入力端VGHの電圧値は第2電源入力端VGLの電圧値より高い。

30

【0042】

本実施例は、発光制御ドライバーを更に提供する。当該発光制御ドライバーは複数の上記の発光制御駆動回路を備え、各発光制御駆動回路の第1入力端が1つ前の発光制御駆動回路の出力端に接続される。

【0043】

本実施例は、複数の上記の発光制御ドライバーを有する有機発光表示装置を更に提供する。

【0044】

本実施例に係る発光制御駆動回路及び有機発光表示装置において、第1ゲート制御電圧V1が第2電源入力端VGLの電圧値より低い場合、隔離ユニットは第1ゲート制御電圧V1を第1ゲート電圧制御回路10及び第2ゲート電圧制御回路20から隔離する。これにより、第1ゲート制御電圧V1が低すぎる場合に、第1ゲート電圧制御回路10及び第2ゲート電圧制御回路20のトランジスタ（第2トランジスタM2及び第5トランジスタM5）が過大なゲート・ソース間電圧により破損してしまふことを防止する。第3ゲート制御電圧V3が第2電源入力端VGLの電圧値より低い場合、隔離ユニットは第3ゲート制御電圧V3を第2ゲート電圧制御回路20から隔離する（第3ゲート制御電圧V3が第2電源入力端VGLの電圧値より低い場合、第13トランジスタM13のゲート電極電圧はソース電圧より大きく、M13はオフになり、V3を第8トランジスタのゲート電極が

40

50

ら隔離する)。これにより、第3ゲート制御電圧 V_3 が低すぎる場合に、第2ゲート電圧制御回路20のトランジスタ(第8トランジスタ M_8)が過大なゲート・ソース間電圧により破損してしまうことを防止する。

【0045】

また、隔離ユニットはいずれもP型薄膜トランジスタである第11トランジスタ M_{11} 、第12トランジスタ M_{12} 及び第13トランジスタ M_{13} を備え、かつ第11トランジスタ M_{11} 、第12トランジスタ M_{12} 及び第13トランジスタ M_{13} のゲート電極は第2電源入力端 V_{GL} に接続される。したがって、第11トランジスタ M_{11} 、第12トランジスタ M_{12} 及び第13トランジスタ M_{13} のソース電極及びドレイン電極電圧が低すぎない場合、第11トランジスタ M_{11} 、第12トランジスタ M_{12} 及び第13トランジスタ M_{13} は自動的にオンになり、第11トランジスタ M_{11} 、第12トランジスタ M_{12} 及び第13トランジスタ M_{13} のソース電極又はドレイン電極電圧が低すぎる場合に(第2電源入力端 V_{GL} より低い)、第11トランジスタ M_{11} 、第12トランジスタ M_{12} 及び第13トランジスタ M_{13} は自動的にオフになり、ソース電極とドレイン電極との隔離を実行する。

10

【0046】

本実施例は、1番目の発光制御駆動回路のシーケンス波形について分析する。図4に示すように、開始信号 E_{IN} 及び第1クロック信号 E_{CK1} は第1時点 t_1 においてローレベルであり、第2クロック信号 E_{CK2} は第1時間帯 t_1 においてハイレベルである。第11トランジスタ M_{11} 、第12トランジスタ M_{12} 及び第13トランジスタ M_{13} はいずれもP型薄膜トランジスタであり、かつそれらのゲートが第2電源入力端に接続される。よって、以下の分析において、それらは正常な場合に導通状態の導線に相当するため、ここでは説明を省略する。

20

【0047】

ローレベルである第1クロック信号 E_{CK1} は、第1トランジスタ M_1 のゲート電極端及び第3トランジスタ M_3 のゲート電極端に印加される。したがって、第1トランジスタ M_1 及び第3トランジスタ M_3 はオンになる。

【0048】

ローレベルである開始信号 E_{IN} は、オンになった第1トランジスタ M_1 を介して第2トランジスタ M_2 のゲート電極端及び第3ゲート制御電圧 V_3 に印加される。したがって、第2トランジスタ M_2 はオンになり、第3ゲート制御電圧 V_3 における電圧はローレベルである。

30

【0049】

ローレベルである第1クロック信号 E_{CK1} と第2電源入力端 V_{GL} はそれぞれ、オンになった第2トランジスタ M_2 とオンになった第3トランジスタ M_3 を介して、第1ゲート制御電圧 V_1 に印加される。したがって、第1ゲート制御電圧 V_1 における電圧はローレベルである。

【0050】

ハイレベルである第2クロック信号 E_{CK2} は、第4トランジスタ M_4 及び第7トランジスタ M_7 に印加される。したがって、第4トランジスタ M_4 及び第7トランジスタ M_7 はオフになる。

40

【0051】

第3ゲート制御電圧 V_3 はローレベルであるため、第8トランジスタ M_8 がオンになる。第1電源入力端 V_{GH} は、オンになった第8トランジスタ M_8 を介して第2ゲート制御電圧 V_2 に印加される。したがって、第2ゲート制御電圧 V_2 における電圧はハイレベルである。第2コンデンサ C_2 は、第1電源入力端 V_{GH} により充電される。言い換えれば、第2コンデンサ C_2 には、ハイレベルの電圧により充電される。第2ゲート制御電圧 V_2 における電圧がハイレベルであるため、第9トランジスタ M_9 はオフになる。

【0052】

第3ゲート制御電圧 V_3 における電圧がローレベルであるため、第10トランジスタ M

50

10はオンになる。オンになった第10トランジスタM10によって第2電源入力端VGLは第1発光制御線EM1に印加されるため、最初の発光制御駆動回路の出力信号EM1はローレベルである。

【0053】

第2時点t2で、開始信号EINはローレベルであり、第1クロック信号ECK1及び第2クロック信号ECK2はハイレベルである。第1トランジスタM1及び第3トランジスタM3は、ハイレベルである第1クロック信号ECK1によってオフになる。

【0054】

第3ゲート制御電圧V3における電圧がローレベルを維持するため、第2トランジスタM2はオンになる。ハイレベルである第1クロック信号ECK1は、オンになった第2トランジスタM2を介して第1ゲート制御電圧V1に印加される。したがって、第1ゲート制御電圧V1における電圧は、ハイレベルである。

10

【0055】

第3ゲート制御電圧V3における電圧はローレベルであるため、第8トランジスタM8及び第10トランジスタM10はオンになる。第1電源入力端VGHは、オンになった第8トランジスタM8を介して第2ゲート制御電圧V2に印加されるため、第2ゲート制御電圧V2における電圧はハイレベルに維持される。

【0056】

第2ゲート制御電圧V2における電圧はハイレベルであり、かつ第3ゲート制御電圧V3における電圧はローレベルであるため、第9トランジスタM9はオフになり、かつ第10トランジスタM10はオンになる。したがって、第1発光制御信号は、ローレベルに維持される。

20

【0057】

第3時点t3において、第2クロック信号ECK2はハイレベルからローレベルに変化し、次にローレベルから再びハイレベルに変化する。したがって、第3コンデンサC3の結合により、第3ゲート制御電圧V3における電位は、第2クロック信号ECK2の電位の変化によってブートストラップ (bootstrapped) される。即ち、第2時点t2における第2クロック信号ECK2がハイレベルとなる場合、第3ゲート制御電圧V3は依然としてローレベルであり、第3時点t3の第2クロック信号ECK2がハイレベルからローレベルに変化する時、第3コンデンサC3の結合 (ブートストラップ効果) により、第3ゲート制御電圧V3のレベルが更に低下し、ひいては第2電源入力端VGLの電圧よりも低くなる。この場合、第8トランジスタM8のゲート電圧はソース電圧より遥かに低い (第8トランジスタM8のドレイン電極が第1電源入力端VGHに接続され、かつこのときの第8トランジスタM8はオンになり、ソース電圧もハイレベルである) ため、第8トランジスタM8のゲート電極がこのときに第3ゲート制御電圧V3に直接接続されると、ブレークダウンによる破損が発生する。このリスクを回避するために、本実施例では第13トランジスタM13を追加する。この場合、第13トランジスタM13のドレイン電極は第3ゲート制御電圧V3に接続され、ゲート電極は第2電源入力端VGLに接続される。第3ゲート制御電圧V3が第2電源入力端VGLより低いため、第13トランジスタM13は急速にオフになって、第8トランジスタM8から第3ゲート制御電圧V3を隔離することによって、第8トランジスタM8の破損を防止する。第10トランジスタM10のソース電極は (このとき第10トランジスタM10はオンになっている) 第2電源入力端VGLに接続され、ローレベルであるため、第10トランジスタM10のゲート電極とソース電極との間の電圧差が小さく、破損することなくオンのままであり、第1発光制御信号はローレベルに維持される。

30

40

【0058】

第4時間帯t4では、開始信号EIN及び第2クロック信号ECK2はハイレベルであり、第1クロック信号ECK1はローレベルである。この場合、第2クロック信号ECK2はローレベルを終えてハイレベルに変化しており、第3コンデンサC3の第3入力端13に接続される一端の電圧が上昇してブートストラップ効果が終了し、第3コンデンサC

50

3は結合過程が終了し、第3ゲート制御電圧V3のローレベルは第2電源入力端VGLのレベルまで回復し、第13トランジスタM13はオンのままである。

【0059】

第1トランジスタM1は、ローレベルである第1クロック信号ECK1によってオンになり、更に、ハイレベルである開始信号EINは第3ゲート制御電圧V3に印加されて、第3ゲート制御電圧V3における電圧がハイレベルである。したがって、第2トランジスタM2及び第10トランジスタM10はオフになる。

【0060】

第3トランジスタM3は、ローレベルである第1クロック信号ECK1に応答してオンになり、更に第2電源入力端VGLは第1ゲート制御電圧V1に印加される。したがって、第1ゲート制御電圧V1における電圧は、ローレベルである。

10

【0061】

第7トランジスタM7は、ハイレベルである第2クロック信号ECK2に応答してオフになる。第3ゲート制御電圧V3における電圧はハイレベルであるため、第8トランジスタM8はオフになる。第2ゲート制御電圧V2における電圧は第2コンデンサC2の充電効果によりハイレベルに維持される。第2ゲート制御電圧V2における電圧はハイレベルに維持されるため、第9トランジスタM9はオフになる。したがって、第1発光制御信号はローレベルに維持される。

【0062】

第5時点t5では、開始信号EIN及び第1クロック信号ECK1はハイレベルであり、かつ第2クロック信号ECK2はローレベルである。

20

【0063】

第1トランジスタM1及び第3トランジスタM3は、ハイレベルである第1クロック信号ECK1によってオフになる。第3ゲート制御電圧V3における電圧はハイレベルに維持されるため、第2トランジスタM2、第8トランジスタM8及び第10トランジスタM10はオフになる。

【0064】

第4トランジスタM4及び第7トランジスタM7は、ローレベルである第2クロック信号ECK2に応答してオンにされる。また、第1ゲート制御電圧V1における電圧はローレベルであるため、第5トランジスタM5及び第6トランジスタM6はオンになる。

30

【0065】

上述のブートストラップについて、第1コンデンサC1の結合により、第1ゲート制御電圧V1の電位は第2クロック信号ECK2の電位変化によってブートストラップされる。即ち、第4時点t4における第2クロック信号ECK2がハイレベルである場合、第1ゲート制御電圧V1は依然としてローレベルであり、第5時点t5における第2クロック信号ECK2がハイレベルからローレベルに変化する場合、第1コンデンサC1の結合(ブートストラップ効果)により、第1ゲート制御電圧V1のレベルが更に低下し、ひいては第2電源入力端VGLの電圧よりも低くなる。この場合、第2トランジスタM2のドレイン電極が第1ゲート制御電圧V1に直接接続されると、第2トランジスタM2は、ゲート電圧(開始信号EINはハイレベルである)がドレイン電極電圧より遥かに高いため、ブレークダウンによる破損が発生してしまう。このリスクを回避するために、本実施例では第11トランジスタM11を追加する。この場合、第11トランジスタM11のドレイン電極は第1ゲート制御電圧V1に接続され、ゲートは第2電源入力端VGLに接続される。第1ゲート制御電圧V1が第2電源入力端VGLより低いため、第11トランジスタM11は急速にオフになって、第2トランジスタM2から第1ゲート制御電圧V1を隔離し、第2トランジスタM2の破損を防止する。

40

【0066】

同様に、第1ゲート制御電圧V1における大幅な電圧低下は、第5トランジスタM5にも影響を与える。第5トランジスタM5のゲート電極が第1ゲート制御電圧V1に直接接続されながら、第5トランジスタM5のドレイン電極が第1電源入力端VGHに接続され

50

ると(この場合の基準電圧、第1電源入力端VGHはハイレベルであり、7V程度である。第5トランジスタM5がオンになるため、ソース電極も7V程度に維持される。一方、ゲートは-17.2V程度であるため、ゲート・ソース間電圧は24.2Vである)、ゲート・ソース間電圧が過大になってブレイクダウンしてしまい、破損が発生する。このようなリスクを回避するために、本実施例では第12トランジスタM12を追加する。この場合、第12トランジスタM12のソース電極は第1ゲート制御電圧V1に接続され、ゲート電極は第2電源入力端VGLに接続される。第1ゲート制御電圧V1が第2電源入力端VGLより低い場合、第12トランジスタM12は急速にオフになって、第5トランジスタM5から第1ゲート制御電圧V1を隔離する(隔離後の第5トランジスタM5のゲート電極電圧は-5.3Vであり、ゲート・ソース間電圧は24.2Vから12.3Vに減少することによって、ゲート絶縁層が高電圧によりブレイクダウンするリスクが大幅に低減し、第5トランジスタM5の破損を防止する。

10

【0067】

ローレベルである第2クロック信号ECK2は、オンになった第6トランジスタM6及び第7トランジスタM7を介して第2ゲート制御電圧V2に印加される。したがって、第2ゲート制御電圧V2における電圧は、第5時点t5にローレベルである。第2ゲート制御電圧V2における電圧がローレベルであるため、第9トランジスタM9はオンになる。

【0068】

第9トランジスタM9がオンになり、かつ第10トランジスタM10がオフになるため、第1発光制御信号はハイレベルに維持される。

20

【0069】

第6時点t6において、開始信号EIN及び第1クロック信号ECK1はローレベルであり、かつ第2クロック信号ECK2はハイレベルである。第1時点t1における操作に基づき、第1発光制御信号は第6時点t6においてローレベルになる。

【0070】

本実施例では、第1～第9トランジスタM1～M9はいずれもP型薄膜トランジスタである。他の実施例では、第1～第9トランジスタM1～M9は、N型薄膜トランジスタであってもよい。P型薄膜トランジスタは、ゲート信号がローレベルである時にオンになり、N型薄膜トランジスタは、ゲート信号がハイレベルである時にオンになる。つまり、オンになる電位とマッチするトランジスタ種類を選択すればよい。

30

【0071】

<実施例二>

本実施例では、図5に示すように、第1ゲート電圧制御回路、第2ゲート電圧制御回路及び出力ユニットの構成は、前の実施例における構成と同じであり、相違点は以下の通りである。隔離ユニットは第2電源入力端VGLと第1ゲート電圧制御回路10及び第2ゲート電圧制御回路20との間に接続される。第1ゲート制御電圧V1が第2電源入力端VGLの電圧値より低い場合、隔離ユニットは第1ゲート制御電圧V1を第2ゲート電圧制御回路20から隔離し、即ち第5トランジスタM5のゲート電極から第1ゲート制御電圧V1を隔離する。第3ゲート制御電圧V3が第2電源入力端VGLの電圧値より低い場合、隔離ユニットは第3ゲート制御電圧V3を第1ゲート電圧制御回路10及び第2ゲート電圧制御回路20から隔離し、即ち第2トランジスタM2のソース電極から第3ゲート制御電圧V3を隔離し、第8トランジスタM8のドレイン電極から第3ゲート制御電圧V3を隔離する。

40

【0072】

具体的に、隔離ユニットは、第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15を備える。第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15は、P型薄膜トランジスタである。第14トランジスタM14は第2トランジスタM2のゲート電極と第10トランジスタM10のゲート電極との間に接続され、第14トランジスタM14のゲート電極は第2電源入力端VGLに接続され、第14トランジスタM14のソース電極は第2トランジスタM2のゲート電極

50

に接続され、第14トランジスタM14のドレイン電極は第10トランジスタM10のゲート電極に接続される。第16トランジスタM16の構成及び接続関係は、前の実施例と同じであり、第5トランジスタM5のゲート電極及び第6トランジスタM6のゲート電極との間に接続され、第16トランジスタM16のゲート電極は第2電源入力端VGLに接続され、第16トランジスタM16のドレイン電極は第5トランジスタM5のゲート電極に接続され、第16トランジスタM16のソース電極は第6トランジスタM6のゲート電極に接続される。第15トランジスタM15は第8トランジスタM8のゲート電極と第10トランジスタM10のゲート電極との間に接続され、第15トランジスタM15のゲート電極は第2電源入力端VGLに接続され、第15トランジスタM15のドレイン電極は第10トランジスタM10のゲート電極及び第14トランジスタM14のドレイン電極に接続され、第15トランジスタM15のソース電極は第8トランジスタM8のゲート電極に接続される。

10

【0073】

また、隔離ユニットは、いずれもP型薄膜トランジスタである第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15を備え、かつ第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15のゲート電極は第2電源入力端VGLに接続される。したがって、第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15のソース・ドレイン間電圧が低すぎない場合、第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15は自動的にオンになり、第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15のソース・ドレイン間電圧が低すぎる場合（第2電源入力端VGLよりも低い）、第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15は自動的にオフになって、ソース電極からドレイン電極を隔離する。

20

【0074】

本実施例では、最初の発光制御駆動回路のシーケンス波形について分析する。図4に示すように、開始信号EIN及び第1クロック信号ECK1は第1時点t1においてローレベルであり、第2クロック信号ECK2は第1時点t1においてハイレベルである。第14トランジスタM14、第16トランジスタM16及び第15トランジスタM15はいずれもP型薄膜トランジスタであり、かつそれらのゲート電極が第2電源入力端VGLに接続され、よって、以下の分析において、それらは正常な場合に、導通状態の導線に相当するため、ここでは説明を省略する。

30

【0075】

ローレベルである第1クロック信号ECK1は、第1トランジスタM1のゲート電極端及び第3トランジスタM3のゲート電極端に印加される。したがって、第1トランジスタM1及び第3トランジスタM3はオンになる。

【0076】

ローレベルである開始信号EINはオンになった第1トランジスタM1を介して第2トランジスタM2のゲート電極端及び第3ゲート制御電圧V3に印加される。したがって、第2トランジスタM2はオンになり、第3ゲート制御電圧V3における電圧はローレベルである。

40

【0077】

ローレベルである第1クロック信号ECK1と第2電源入力端VGLはそれぞれ、オンになった第2トランジスタM2とオンになった第3トランジスタM3を介して第1ゲート制御電圧V1を印加される。したがって、第1ゲート制御電圧V1における電圧はローレベルである。

【0078】

ハイレベルである第2クロック信号ECK2は、第4トランジスタM4及び第7トランジスタM7に印加される。したがって、第4トランジスタM4及び第7トランジスタM7はオフになる。

【0079】

50

第3ゲート制御電圧V3はローレベルであるため、第8トランジスタM8はオンになる。第1電源入力端VGHは、オンになった第8トランジスタM8を介して第2ゲート制御電圧V2に印加される。したがって、第2ゲート制御電圧V2における電圧はハイレベルである。第2コンデンサC2は、第1電源入力端VGHにより充電される。言い換えれば、第2コンデンサC2には、ハイレベルの電圧により充電される。第2ゲート制御電圧V2における電圧はハイレベルであるため、第9トランジスタM9はオフになる。

【0080】

第3ゲート制御電圧V3における電圧はローレベルであるため、第10トランジスタM10はオンになる。オンになった第10トランジスタM10によって、第2電源入力端VGLは第1発光制御線EM1に印加されるため、第1発光制御駆動回路の出力信号EM1はローレベルである。

10

【0081】

第2時点t2において、開始信号EINはローレベルであり、第1クロック信号ECK1及び第2クロック信号ECK2はハイレベルである。第1トランジスタM1及び第3トランジスタM3は、ハイレベルである第1クロック信号ECK1によってオフになる。

【0082】

第3ゲート制御電圧V3における電圧がローレベルを維持するため、第2トランジスタM2はオンになる。ハイレベルである第1クロック信号ECK1は、オンになった第2トランジスタM2を介して第1ゲート制御電圧V1に印加される。したがって、第1ゲート制御電圧V1における電圧はハイレベルである。

20

【0083】

第3ゲート制御電圧V3における電圧がローレベルであるため、第8トランジスタM8及び第10トランジスタM10はオンになる。第1電源入力端VGHは、オンになった第8トランジスタM8を介して第2ゲート制御電圧V2に印加され、これにより第2ゲート制御電圧V2における電圧はハイレベルに維持される。

【0084】

第2ゲート制御電圧V2における電圧がハイレベルであり、かつ第3ゲート制御電圧V3における電圧がローレベルであるため、第9トランジスタM9はオフになり、第10トランジスタM10はオンになる。したがって、第1発光制御信号は、ローレベルに維持される。

30

【0085】

第3時点t3において、第2クロック信号ECK2はハイレベルからローレベルに変化し、次にローレベルから再びハイレベルに変化する。したがって、第3コンデンサC3の結合により、第3ゲート制御電圧V3における電位は、第2クロック信号ECK2の電位変化によってブートストラップ(bootstrapped)される。即ち、第2時点t2において第2クロック信号ECK2がハイレベルである場合、第3ゲート制御電圧V3は依然としてローレベルである。第3時点t3において第2クロック信号ECK2がハイレベルからローレベルに変化する場合、第3コンデンサC3の結合(ブートストラップ効果)により、第3ゲート制御電圧V3のレベルが更に低下し、ひいては第2電源入力端VGLよりも低い電圧になる。この場合、第2トランジスタM2のゲート電圧がソース電圧より遥かに低い(第2トランジスタのソース電極は第2入力端12に接続され、このときの第1クロック信号ECK1はハイレベルである)ため、このときに第2トランジスタのゲート電極が第3ゲート制御電圧V3に直接接続されると、ブレークダウンによる破損が発生する。このようなリスクを回避するために、本実施例では第14トランジスタM14を追加する。この場合、第14トランジスタM14のドレイン電極は第3ゲート制御電圧V3に接続され、ゲート電極は第2電源入力端VGLに接続される。第3ゲート制御電圧が第2電源入力端VGLより低いため、第14トランジスタM14は急速にオフになって、第2トランジスタと第3ゲート制御電圧を隔離し、第2トランジスタの破損を防止する。同じように、第8トランジスタM8のゲート電圧がソース電圧より遥かに低い(第8トランジスタのドレイン電極は第1電源入力端VGHに接続され、かつこの時に第8トラン

40

50

ジスタがオンになり、ソース電圧もハイレベルである)ため、このときに第8トランジスタのゲート電極が第3ゲート制御電圧V3に直接接続されると、ブレークダウンによる破損が発生する。このようリスクを回避するために、本実施例では第15トランジスタM15を追加する。この場合、第15トランジスタM15のドレイン電極は第3ゲート制御電圧V3に接続され、ゲート電極は第2電源入力端VGLに接続される。第3ゲート制御電圧が第2電源入力端VGLより低いため、第15トランジスタM15は急速にオフになって、第8トランジスタと第3ゲート制御電圧を隔離し、第8トランジスタの破損を防止する。第10トランジスタのソース電極は(このとき、第10トランジスタがオンになっている)第2電源入力端VGLに接続され、ローレベルであるため、第10トランジスタはゲート・ソース間電圧の差が小さく、破損することなくオンのままであり、第1発光制御信号はローレベルに維持される。

10

【0086】

第4時間帯t4において、開始信号EIN及び第2クロック信号ECK2はハイレベルであり、第1クロック信号ECK1はローレベルである。このとき、第2クロック信号ECK2はローレベルを終えてハイレベルに変化しており、第3コンデンサの第3入力端13に接続される一端の電圧が上昇してブートストラップ効果が終了し、第3コンデンサの結合過程が終了する。第3ゲート制御電圧V3のローレベルは第2電源入力端VGLまで回復し、第14トランジスタ及び第15トランジスタはオンのままである。

【0087】

第1トランジスタM1は、ローレベルである第1クロック信号ECK1によってオンになり、ハイレベルである開始信号EINは第3ゲート制御電圧V3に印加され、第3ゲート制御電圧V3における電圧はハイレベルである。したがって、第2トランジスタM2及び第10トランジスタM10はオフになる。

20

【0088】

第3トランジスタM3は、ローレベルである第1クロック信号ECK1にตอบสนองしてオンになり、第2電源入力端VGLは第1ゲート制御電圧V1に印加される。したがって、第1ゲート制御電圧V1における電圧はローレベルである。

【0089】

第7トランジスタM7は、ハイレベルである第2クロック信号ECK2にตอบสนองしてオフになる。第3ゲート制御電圧V3における電圧はハイレベルであるため、第8トランジスタM8はオフになる。第2ゲート制御電圧V2における電圧は第2コンデンサC2の充電効果によりハイレベルに維持される。第2ゲート制御電圧V2における電圧はハイレベルに維持されるため、第9トランジスタM9はオフになる。したがって、第1発光制御信号はローレベルに維持される。

30

【0090】

第5時点t5において、開始信号EIN及び第1クロック信号ECK1はハイレベルであり、かつ第2クロック信号ECK2はローレベルである。

【0091】

第1トランジスタM1及び第3トランジスタM3は、ハイレベルである第1クロック信号ECK1によってオフになる。第3ゲート制御電圧V3における電圧がハイレベルに維持されるため、第2トランジスタM2、第8トランジスタM8及び第10トランジスタM10はオフになる。

40

【0092】

第4トランジスタM4及び第7トランジスタM7は、ローレベルである第2クロック信号ECK2にตอบสนองしてオンになる。また、第1ゲート制御電圧V1における電圧はローレベルであり、これにより第5トランジスタM5及び第6トランジスタM6はオンになる。

【0093】

上述のブートストラップについて、第1コンデンサC1の結合により、第1ゲート制御電圧V1の電位は第2クロック信号ECK2の電位変化によってブートストラップされる。即ち、第4時点t4における第2クロック信号ECK2がハイレベルである場合、第1

50

ゲート制御電圧V1は依然としてローレベルである。第5時点t5における第2クロック信号ECK2がハイレベルからローレベルに変化する場合、第1コンデンサC1の結合(ブートストラップ効果)によって、第1ゲート制御電圧V1のレベルは更に低下し、ひいては第2電源入力端VGLよりも低い電圧になる。第1ゲート制御電圧V1における大幅な電圧低下は、第5トランジスタM5にも影響を与える。第5トランジスタのゲート電極が第1ゲート制御電圧V1に直接接続され、第5トランジスタのドレイン電極が第1電源入力端VGH(ハイレベル)に接続されると、ゲート・ソース間電圧は過大になってブレークダウンによる破損が発生する。このようリスクを回避するために、本実施例では第16トランジスタM16を追加する。この場合、第16トランジスタのソース電極は第1ゲート制御電圧V1に接続され、ゲート電極は第2電源入力端VGLに接続される。第1ゲート制御電圧が第2電源入力端VGLより低いため、第16トランジスタは急速にオフになって、第5トランジスタから第1ゲート制御電圧を隔離し、第5トランジスタの破損を防止する。

10

【0094】

ローレベルである第2クロック信号ECK2は、オンになった第6トランジスタM6及び第7トランジスタM7を介して第2ゲート制御電圧V2に印加される。したがって、第2ゲート制御電圧V2における電圧は、第5時点t5においてローレベルである。第2ゲート制御電圧V2における電圧がローレベルであるため、第9トランジスタM9はオンになる。

【0095】

20

第9トランジスタM9がオンになり、かつ第10トランジスタM10がオフになるため、第1発光制御信号はハイレベルに維持される。

【0096】

第6時点t6において、開始信号EIN及び第1クロック信号ECK1はローレベルであり、かつ第2クロック信号ECK2はハイレベルである。第1時点t1での操作に基づいて、第1発光制御信号は第6時点t6においてローレベルである。

【0097】

以上をまとめると、上述の実施例によって発光制御駆動回路の異なる構成を詳細に説明したが、本開示は、上述の実施例において挙げられた構成を含むものの、それらに限定されないことは、自明である。上述の実施例に係る構成に基づいて変換されるいかなる内容も、本開示の保護範囲に入るべきである。当業者は、上述の実施例の内容を活用することができる。

30

【0098】

以上は本開示の好適な実施例に過ぎず、本開示を制限するためのものではない。本開示の精神及び原則の範囲内で行われた任意の修正、均等な置き換え又は改良などはいずれも、本開示の保護範囲に属する。

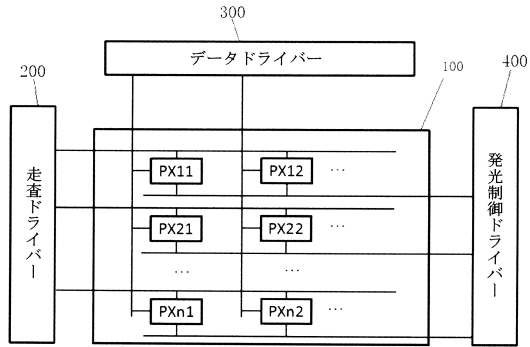
【符号の説明】

【0099】

1 第1発光制御駆動回路(奇数の発光制御駆動回路)、2 第2発光制御駆動回路(偶数の発光制御駆動回路)、10 第1ゲート電圧制御回路、11 第1入力端、12 第2入力端、13 第3入力端、20 第2ゲート電圧制御回路、30 出力ユニット、31 出力端、100 画素回路、200 走査ドライバー、300 データドライバー、400 発光制御ドライバー。

40

【図1】



【図2a】

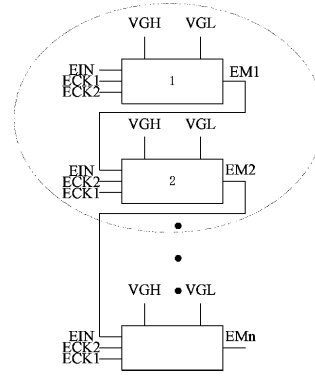


图 2a

【図2b】

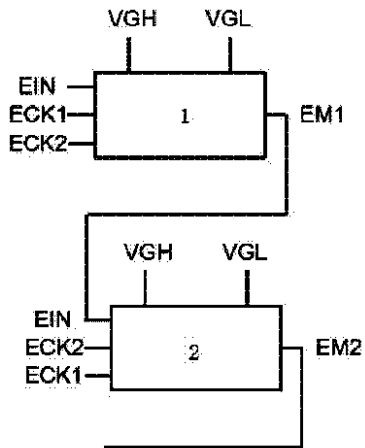


图 2b

【図3】

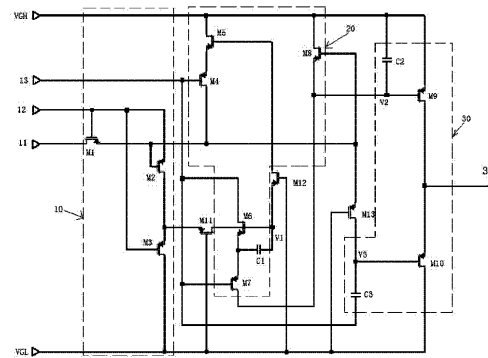


图 3

【 图 4 】

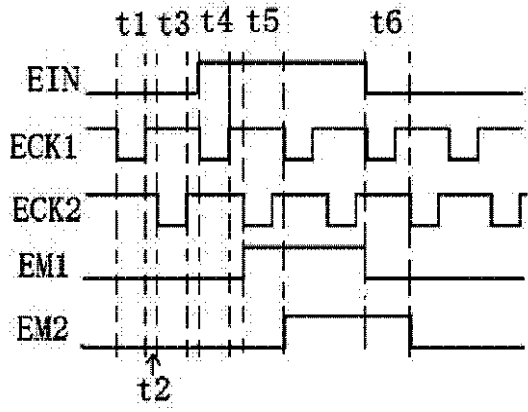


图 4

【 图 5 】

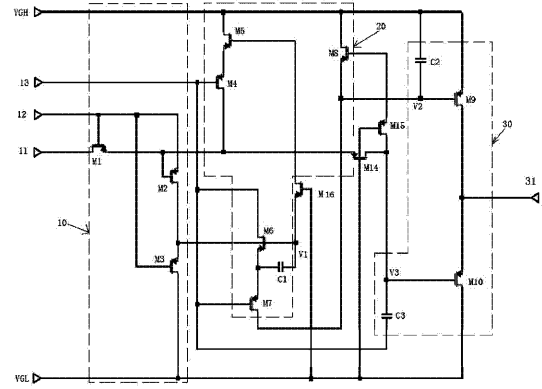


图 5

フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/02

(72)発明者 呉劍龍
中国江蘇省昆山市開發区龍騰路1号4棟

(72)発明者 黄秀 子
中国江蘇省昆山市開發区龍騰路1号4棟

(72)発明者 胡思明
中国江蘇省昆山市開發区龍騰路1号4棟

(72)発明者 朱暉
中国江蘇省昆山市開發区龍騰路1号4棟

審査官 小野 健二

(56)参考文献 特開2017-223953(JP,A)
国際公開第2017/107746(WO,A1)
特開2014-041337(JP,A)
米国特許出願公開第2009/0262051(US,A1)

(58)調査した分野(Int.Cl.,DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8