



(12) 发明专利

(10) 授权公告号 CN 102769375 B

(45) 授权公告日 2014. 12. 24

(21) 申请号 201210196241. 9

(22) 申请日 2012. 05. 02

(30) 优先权数据

2011-102779 2011. 05. 02 JP

2012-054269 2012. 03. 12 JP

(73) 专利权人 三菱电机株式会社

地址 日本东京都

(72) 发明人 候赛因·哈利德·哈桑 熊谷敏之

齐藤省二

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

(51) Int. Cl.

H02M 1/08 (2006. 01)

(56) 对比文件

JP 2009135626 A, 2009. 06. 18,

JP 2009135626 A, 2009. 06. 18,

JP H05291913 A, 1993. 11. 05,

US 2003231047 A1, 2003. 12. 18,

CN 1329389 A, 2002. 01. 02,

审查员 周容

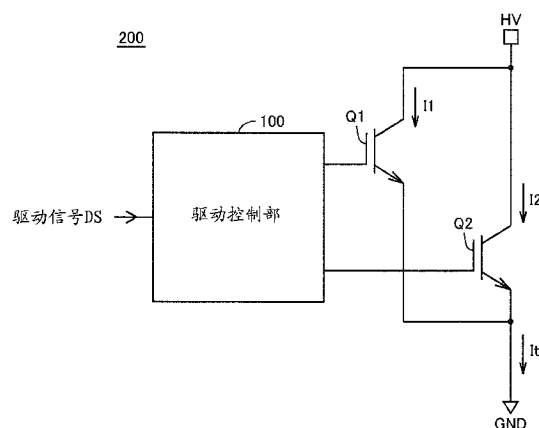
权利要求书7页 说明书25页 附图40页

(54) 发明名称

具有并联连接的多个开关元件的功率用半导体装置

(57) 摘要

本发明涉及具有并联连接的多个开关元件的功率用半导体装置。功率用半导体装置(200)具备彼此并联连接的第一和第二功率用半导体元件(Q1、Q2)以及驱动控制部(100)。驱动控制部(100)根据从外部反复接收的导通指令以及截止指令使第一和第二功率用半导体元件的每一个成为导通状态或者截止状态。具体地说,驱动控制部(100)针对导通指令能够在使第一以及第二功率用半导体元件(Q1、Q2)同时成为导通状态的情况和使第一以及第二功率用半导体元件(Q1、Q2)的一个成为导通状态之后使另一个成为导通状态的情况之间切换。驱动控制部(100)针对截止指令使第一以及第二功率用半导体元件(Q1、Q2)的一个成为截止状态之后使另一个成为截止状态。



1. 一种功率用半导体装置,其中,具备:

彼此并联连接的第一以及第二功率用半导体元件;以及

驱动控制部,根据从外部反复接收的导通指令以及截止指令,使所述第一以及第二功率用半导体元件的每一个成为导通状态或者截止状态,

所述驱动控制部针对所述导通指令能够在使所述第一以及第二功率用半导体元件同时成为导通状态的情况和使所述第一以及第二功率用半导体元件的一个成为导通状态之后使另一个成为导通状态的情况之间进行切换,

所述驱动控制部针对所述截止指令使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态,

所述功率用半导体装置还具备:电流检测部,对流过所述第一以及第二功率用半导体元件的至少一个的电流或者流过这两者的电流的和进行检测,

所述驱动控制部进行如下的判定工作:在接收所述导通指令使所述第一以及第二功率用半导体元件成为导通状态时,判定由所述电流检测部得到的电流检测值是否为第一阈值以下,

所述驱动控制部在所述电流检测值为所述第一阈值以下的情况下,针对在到下次的所述判定工作之前的期间接收的所述导通指令,使所述第一以及第二功率用半导体元件的一个成为导通状态之后使另一个成为导通状态,

所述驱动控制部在所述电流检测值超过所述第一阈值的情况下,针对在到下次的所述判定工作之前的期间接收的所述导通指令,使所述第一以及第二功率用半导体元件同时成为导通状态。

2. 一种功率用半导体装置,其中,具备:

彼此并联连接的第一以及第二功率用半导体元件;以及

驱动控制部,根据从外部反复接收的导通指令以及截止指令,使所述第一以及第二功率用半导体元件的每一个成为导通状态或者截止状态,

所述驱动控制部针对所述导通指令能够在使所述第一以及第二功率用半导体元件同时成为导通状态的情况和使所述第一以及第二功率用半导体元件的一个成为导通状态之后使另一个成为导通状态的情况之间进行切换,

所述驱动控制部针对所述截止指令能够在使所述第一以及第二功率用半导体元件同时成为截止状态的情况和使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态的情况之间进行切换,

所述功率用半导体装置还具备:电流检测部,对流过所述第一以及第二功率用半导体元件的至少一个的电流或者流过这两者的电流的和进行检测,

所述驱动控制部进行如下的判定工作:在接收所述导通指令使所述第一以及第二功率用半导体元件成为导通状态时,将由所述电流检测部得到的电流检测值与第一阈值以及比所述第一阈值大的第二阈值分别进行比较,

所述驱动控制部在所述电流检测值为所述第一阈值以下的情况下,针对在到下次的所述判定工作之前的期间接收的所述导通指令,使所述第一以及第二功率用半导体元件的一个成为导通状态之后使另一个成为导通状态,并且,针对在到下次的所述判定工作之前的期间接收的所述截止指令,使所述第一以及第二功率用半导体元件的一个成为截止状态之

后使另一个成为截止状态，

所述驱动控制部在所述电流检测值超过所述第一阈值并且为所述第二阈值以下的情况下，针对在到下次的所述判定工作之前的期间接收的所述导通指令，使所述第一以及第二功率用半导体元件同时成为导通状态，并且，针对在到下次的所述判定工作之前的期间接收的所述截止指令，使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态，

所述驱动控制部在所述电流检测值超过所述第二阈值的情况下，针对在到下次的所述判定工作之前的期间接收的所述导通指令，使所述第一以及第二功率用半导体元件同时成为导通状态，并且，针对在到下次的所述判定工作之前的期间接收的所述截止指令，使所述第一以及第二功率用半导体元件同时成为截止状态。

3. 一种功率用半导体装置，其中，具备：

彼此并联连接的第一以及第二功率用半导体元件；以及

驱动控制部，根据从外部反复接收的导通指令以及截止指令，使所述第一以及第二功率用半导体元件的每一个成为导通状态或者截止状态，

所述驱动控制部针对所述导通指令使所述第一以及第二功率用半导体元件同时成为导通状态，

所述驱动控制部针对所述截止指令能够在使所述第一以及第二功率用半导体元件同时成为截止状态的情况和使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态的情况之间进行切换，

所述功率用半导体装置还具备：电流检测部，对流过所述第一以及第二功率用半导体元件的至少一个的电流或者流过这两者的电流的和进行检测，

所述驱动控制部进行如下的判定工作：在接收所述导通指令使所述第一以及第二功率用半导体元件成为导通状态时，判定由所述电流检测部得到的电流检测值是否为第二阈值以下，

所述驱动控制部在所述电流检测值为所述第二阈值以下的情况下，针对在到下次的所述判定工作之前的期间接收的所述截止指令，使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态，

所述驱动控制部在所述电流检测值超过所述第二阈值的情况下，针对在到下次的所述判定工作之前的期间接收的所述截止指令，使所述第一以及第二功率用半导体元件同时成为截止状态。

4. 如权利要求 1～3 的任意一项所述的功率用半导体装置，其中，

所述第一以及第二功率用半导体元件分别具有主电流的一部分分流流过的感测电极，所述电流检测部包含：

第一检测用电阻元件，与所述第一功率用半导体元件的所述感测电极连接；以及第二检测用电阻元件，与所述第二功率用半导体元件的所述感测电极连接。

5. 如权利要求 1～3 的任意一项所述的功率用半导体装置，其中，

导通状态的所述第一功率用半导体元件的饱和电压比所述第二功率用半导体元件的饱和电压小，

所述驱动控制部在针对所述截止指令使所述第一以及第二功率用半导体元件的一个

成为截止状态之后使另一个成为截止状态的情况下,使所述第一功率用半导体元件比所述第二功率用半导体元件先成为截止状态。

6. 如权利要求 1 ~ 3 的任意一项所述的功率用半导体装置,其中,

所述第一以及第二功率用半导体元件分别具有控制电极,在施加到控制电极的电压为阈值电压以下时从导通状态切换为截止状态,

所述第一功率用半导体元件的阈值电压比所述第二功率用半导体元件的阈值电压大,

所述驱动控制部在针对所述截止指令使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态的情况下,使所述第一功率用半导体元件比所述第二功率用半导体元件先成为截止状态。

7. 如权利要求 1 ~ 3 的任意一项所述的功率用半导体装置,其中,

所述第一功率用半导体元件是双极晶体管,

所述第二功率用半导体元件是单极晶体管,

所述驱动控制部在针对所述截止指令使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态的情况下,使所述第一功率用半导体元件比所述第二功率用半导体元件先成为截止状态。

8. 如权利要求 1 或 2 所述的功率用半导体装置,其中,

所述驱动控制部在针对所述导通指令使所述第一以及第二功率用半导体元件的一个成为导通状态之后使另一个成为导通状态的情况下,在每次接收所述导通指令时,对先成为导通状态的功率用半导体元件和后成为导通状态的功率用半导体元件进行切换。

9. 如权利要求 1 ~ 3 的任意一项所述的功率用半导体装置,其中,

所述驱动控制部在针对所述截止指令使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态的情况下,在每次接收所述截止指令时,对先成为截止状态的功率用半导体元件和后成为截止状态的功率用半导体元件进行切换。

10. 如权利要求 1 ~ 3 的任意一项所述的功率用半导体装置,其中,

所述第一以及第二功率用半导体元件分别具有控制电极,根据施加到控制电极的电压,切换为导通状态或者截止状态,

所述驱动控制部包含:

驱动用电源,连接在第一和第二节点间;

控制电路,接收分别与所述导通指令以及所述截止指令对应地使逻辑电平发生变化的驱动信号,输出根据所述驱动信号而变化的第一~第四控制信号;

第一电阻元件,一端与所述第一功率用半导体元件的控制电极连接;

第一驱动用晶体管,连接在所述第一电阻元件的另一端和所述第一节点之间,在控制电极接收所述第一控制信号;

第二电阻元件,一端与所述第一功率用半导体元件的控制电极连接;

第二驱动用晶体管,连接在所述第二电阻元件的另一端和所述第二节点之间,在控制电极接收所述第二控制信号;

第三电阻元件,一端与所述第二功率用半导体元件的控制电极连接;

第三驱动用晶体管,连接在所述第三电阻元件的另一端和所述第一节点之间,在控制电极接收所述第三控制信号;

第四电阻元件,一端与所述第二功率用半导体元件的控制电极连接;以及

第四驱动用晶体管,连接在所述第四电阻元件的另一端和所述第二节点之间,在控制电极接收所述第四控制信号。

11. 如权利要求 3 所述的功率用半导体装置,其中,

所述第一以及第二功率用半导体元件分别具有控制电极,根据施加到控制电极的电压,切换为导通状态或者截止状态,

所述驱动控制部包含:

驱动用电源,连接在第一和第二节点间;

控制电路,接收分别与所述导通指令以及所述截止指令对应地使逻辑电平发生变化的驱动信号,输出根据所述驱动信号而变化的第一~第三控制信号;

第一驱动用晶体管,第一主电极与所述第一节点连接,在控制电极接收所述第一控制信号;

第一电阻元件,一端与所述第一功率用半导体元件的控制电极连接;

第一二极管,以在所述第一驱动用晶体管为导通状态时成为导通状态的极性连接在所述第一电阻元件的另一端和所述第一驱动用晶体管的第二主电极之间;

第二电阻元件,一端与所述第一功率用半导体元件的控制电极连接;

第二驱动用晶体管,连接在所述第二电阻元件的另一端和所述第二节点之间,在控制电极接收所述第二控制信号;

第三电阻元件,一端与所述第二功率用半导体元件的控制电极连接;

第二二极管,以在所述第一驱动用晶体管为导通状态时成为导通状态的极性连接在所述第三电阻元件的另一端和所述第一驱动用晶体管的所述第二主电极之间;

第四电阻元件,一端与所述第二功率用半导体元件的控制电极连接;以及

第三驱动用晶体管,连接在所述第四电阻元件的另一端和所述第二节点之间,在控制电极接收所述第三控制信号。

12. 如权利要求 11 所述的功率用半导体装置,其中,

所述驱动用电源的输出电压被所述第一和第二电阻元件分压的电压小于所述第一功率用半导体元件切换为导通状态的阈值电压。

13. 如权利要求 3 所述的功率用半导体装置,其中,

所述第一以及第二功率用半导体元件分别具有控制电极,在所述控制电极接收到驱动电压的情况下从截止状态切换为导通状态,

所述驱动控制部包含:

驱动用电源,连接在第一和第二节点间,输出所述驱动电压;

输入节点,接收分别与所述导通指令以及所述截止指令对应地使逻辑电平发生变化的驱动信号;

反相器,对在所述输入节点接收的所述驱动信号的逻辑电平进行反转;

逻辑电路,判定由所述电流检测部得到的电流检测值是否为所述第二阈值以下;

第一延迟电路,接收所述驱动信号,使所述驱动信号的上升沿和下降沿这两者延迟第一延迟时间;

第二延迟电路,接收所述反相器的输出,使所述反相器的输出的上升沿和下降沿这两

者延迟第二延迟时间；

第一电阻元件，一端与所述第一功率用半导体元件的控制电极连接；

第一驱动用晶体管，连接在所述第一电阻元件的另一端和所述第一节点之间，在控制电极接收所述第一延迟电路的输出；

第二电阻元件，一端与所述第一功率用半导体元件的控制电极连接；

第二驱动用晶体管，连接在所述第二电阻元件的另一端和所述第二节点之间，在控制电极接收所述第二延迟电路的输出；

第三延迟电路，接收所述驱动信号，使所述驱动信号的上升沿和下降沿这两者延迟；

第四延迟电路，接收所述反相器的输出，使所述反相器的输出的上升沿和下降沿这两者延迟；

第三电阻元件，一端与所述第二功率用半导体元件的控制电极连接；

第三驱动用晶体管，连接在所述第三电阻元件的另一端和所述第一节点之间，在控制电极接收所述第三延迟电路的输出；

第四电阻元件，一端与所述第二功率用半导体元件的控制电极连接；以及

第四驱动用晶体管，连接在所述第四电阻元件的另一端和所述第二节点之间，在控制电极接收所述第四延迟电路的输出，

所述第三延迟电路还接收所述逻辑电路的判定结果，使与所述第三驱动用晶体管向导通状态的切换对应的沿延迟所述第一延迟时间，使与所述第三驱动用晶体管向截止状态的切换对应的沿在所述电流检测值为所述第二阈值以下的情况下延迟大于所述第一延迟时间的第三延迟时间，使与所述第三驱动用晶体管向截止状态的切换对应的沿在所述电流检测值超过所述第二阈值的情况下延迟所述第一延迟时间，

所述第四延迟电路还接收所述逻辑电路的判定结果，使与所述第四驱动用晶体管向导通状态的切换对应的沿延迟所述第二延迟时间，使与所述第四驱动用晶体管向截止状态的切换对应的沿在所述电流检测值为所述第二阈值以下的情况下延迟大于所述第二延迟时间的第四延迟时间，使与所述第四驱动用晶体管向截止状态的切换对应的沿在所述电流检测值超过所述第二阈值的情况下延迟所述第二延迟时间。

14. 一种功率用半导体装置，其中，具备：

彼此并联连接的第一以及第二功率用半导体元件；以及

驱动控制部，根据从外部反复接收的导通指令以及截止指令，使所述第一以及第二功率用半导体元件的每一个成为导通状态或者截止状态，

所述驱动控制部针对所述导通指令使所述第一以及第二功率用半导体元件的一个成为导通状态之后使另一个成为导通状态，

所述驱动控制部针对所述截止指令能够在使所述第一以及第二功率用半导体元件同时成为截止状态的情况和使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态的情况之间进行切换，

所述功率用半导体装置还具备：电流检测部，对流过所述第一以及第二功率用半导体元件的至少一个的电流或者流过这两者的电流的和进行检测，

所述驱动控制部进行如下的判定工作：在接收所述导通指令使所述第一以及第二功率用半导体元件成为导通状态时，判定由所述电流检测部得到的电流检测值是否为第二阈值

以下，

所述驱动控制部在所述电流检测值为所述第二阈值以下的情况下，针对在到下次的所述判定工作之前的期间接收的所述截止指令，使所述第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态，

所述驱动控制部在所述电流检测值超过所述第二阈值的情况下，针对在到下次的所述判定工作之前的期间接收的所述截止指令，使所述第一以及第二功率用半导体元件同时成为截止状态。

15. 如权利要求 14 所述的功率用半导体装置，其中，

所述第一以及第二功率用半导体元件分别具有控制电极，在所述控制电极接收到驱动电压的情况下，从截止状态切换为导通状态，

所述驱动控制部包含：

驱动用电源，连接在第一和第二节点间，输出所述驱动电压；

输入节点，接收分别与所述导通指令以及所述截止指令对应地使逻辑电平发生变化的驱动信号；

反相器，对在所述输入节点接收的所述驱动信号的逻辑电平进行反转；

逻辑电路，判定由所述电流检测部得到的电流检测值是否为所述第二阈值以下；

第一延迟电路，接收所述驱动信号，使所述驱动信号的上升沿以及下降沿这两者延迟第一延迟时间；

第二延迟电路，接收所述反相器的输出，使所述反相器的输出的上升沿和下降沿这两者延迟第二延迟时间；

第一电阻元件，一端与所述第一功率用半导体元件的控制电极连接；

第一驱动用晶体管，连接在所述第一电阻元件的另一端和所述第一节点之间，在控制电极接收所述第一延迟电路的输出；

第二电阻元件，一端与所述第二功率用半导体元件的控制电极连接；

第二驱动用晶体管，连接在所述第二电阻元件的另一端和所述第二节点之间，在控制电极接收所述第二延迟电路的输出；

第三延迟电路，接收所述驱动信号，使所述驱动信号的上升沿和下降沿这两者延迟；

第四延迟电路，接收所述反相器的输出，使所述反相器的输出的上升沿和下降沿这两者延迟；

第三电阻元件，一端与所述第二功率用半导体元件的控制电极连接；

第三驱动用晶体管，连接在所述第三电阻元件的另一端和所述第一节点之间，在控制电极接收所述第三延迟电路的输出；

第四电阻元件，一端与所述第二功率用半导体元件的控制电极连接；以及

第四驱动用晶体管，连接在所述第四电阻元件的另一端和所述第二节点之间，在控制电极接收所述第四延迟电路的输出，

所述第三延迟电路还接收所述逻辑电路的判定结果，使与所述第三驱动用晶体管向导通状态的切换对应的沿延迟大于所述第一延迟时间的第三延迟时间，使与所述第三驱动用晶体管向截止状态的切换对应的沿在所述电流检测值为所述第二阈值以下的情况下延迟所述第三延迟时间，使与所述第三驱动用晶体管向截止状态的切换对应的沿在所述电流检

测值超过所述第二阈值的情况下延迟所述第一延迟时间，

所述第四延迟电路还接收所述逻辑电路的判定结果，使与所述第四驱动用晶体管向导通状态的切换对应的沿延迟大于所述第二延迟时间的第四延迟时间，使与所述第四驱动用晶体管向截止状态的切换对应的沿在所述电流检测值为所述第二阈值以下的情况下延迟所述第四延迟时间，使与所述第四驱动用晶体管向截止状态的切换对应的沿在所述电流检测值超过所述第二阈值的情况下延迟所述第二延迟时间。

16. 如权利要求 13 或 15 所述的功率用半导体装置，其中，

所述第一以及第二功率用半导体元件分别具有主电流的一部分分流流过的感测电极，所述电流检测部包含：

第一检测用电阻元件，与所述第一功率用半导体元件的所述感测电极连接；以及

第二检测用电阻元件，与所述第二功率用半导体元件的所述感测电极连接，

所述逻辑电路包含：

第一比较器，判定施加到所述第一检测用电阻元件的电压是否超过了与所述第二阈值对应的电压；

第二比较器，判定施加到所述第二检测用电阻元件的电压是否超过了与所述第二阈值对应的电压；以及

“或”电路，将所述第一和第二比较器的“或”作为所述逻辑电路的判定结果而输出。

具有并联连接的多个开关元件的功率用半导体装置

技术领域

[0001] 本发明涉及在电力变换设备等中所使用的功率用半导体装置。

背景技术

[0002] 功率 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor: 金属氧化物半导体场效应晶体管) 或 IGBT (Insulated Gate Bipolar Transistor: 绝缘栅双极晶体管) 等功率用半导体元件被用于电动机驱动用逆变器 (inverter)、不间断电源装置以及频率变换装置等电力设备的控制。由于这些电力设备的额定电压以及额定电流有增加的趋势, 所以, 也要求功率用半导体元件高耐压化以及大电流化。

[0003] 作为使能由功率用半导体元件控制的电流量增大的方法, 已知将多个功率用半导体元件并联连接的方法 (例如, 参照日本特开 2000-92820 号公报)。

[0004] 在如上述文献那样多个功率用半导体元件并联连接的情况下, 这些多个元件通常使用相同的驱动信号, 由此同时进行开关。因此, 功率用半导体元件的并联数越多或者开关频率越高, 开关损失 (接通 (turn-on) 损失以及关断 (turn-off) 损失) 越增大。

[0005] 作为用于使并联连接的功率用半导体元件的关断损失减少的方法, 例如, 已知日本特开平 5-291913 号公报中记载的方法。在该文献的方法中, 具有低饱和电压以及长下降时间的第一 IGBT 和具有高饱和电压以及短下降时间的第二 IGBT 并联连接, 在第二 IGBT 的栅极插入有输入电阻。当以共同的驱动信号使第一以及第二 IGBT 工作时, 第二 IGBT 的断开时间比第一 IGBT 的断开时间延迟, 所以, 能够基于第二 IGBT 的短下降时间进行关断工作。

[0006] 虽然不以开关损失的减少为目的, 但是, 在日本特开平 6-209565 号公报和日本特开平 6-209666 号公报中记载了类似的技术。在上述文献中都公开了将由主半导体元件和与其并联连接的检测用半导体元件构成的开关电路串联连接的结构。具体地说, 在前者的日本特开平 6-209565 号公报所记载的技术中, 主半导体元件的栅极和栅极驱动电路经由截止延迟电路而连接, 检测用半导体元件的栅极和栅极驱动电路经由导通延迟电路而连接。在后者的日本特开平 6-209666 号公报所记载的技术中, 检测用半导体元件的栅极和栅极驱动电路经由截止延迟电路而连接, 主半导体元件的栅极和栅极驱动电路经由导通延迟电路而连接。

[0007] 在上述的日本特开平 5-291913 号公报中, 虽然考虑了开关损失的减少, 但是, 仅关注关断损失的减少而未考虑接通损失。并且, 由于该文献中所记载的方法是将具有低饱和电压以及长下降时间的第一 IGBT 和具有高饱和电压以及短下降时间的第二 IGBT 并联连接的方法, 所以, 在具有相同的特性的功率用半导体元件并联连接的情况下不能够应用。

发明内容

[0008] 本发明的目的在于在将多个功率用半导体元件并联连接的情况下, 使开关损失比以往减少。

[0009] 本发明的一个方面的功率用半导体装置具备彼此并联连接的第一以及第二功率用半导体元件和驱动控制部。驱动控制部根据从外部反复接收的导通指令以及截止指令，使第一以及第二功率用半导体元件的每一个成为导通状态或截止状态。具体地说，驱动控制部针对导通指令能够切换为使第一以及第二功率用半导体元件同时成为导通状态的情况和使第一以及第二功率用半导体元件的一个成为导通状态之后使另一个成为导通状态的情况。驱动控制部针对截止指令使第一以及第二功率用半导体元件的一个成为截止状态之后使另一个成为截止状态。

[0010] 根据本发明，针对导通指令，能够切换为使第一以及第二功率用半导体元件同时成为导通状态的情况和彼此错开定时地成为导通状态的情况，针对截止指令，使第一以及第二功率用半导体元件彼此错开定时地成为截止状态。因此，本发明的主要的优点是能够使开关损失比以往减少。

[0011] 本发明的上述以及其他目的、特征、方面和优点根据与附图关联地理解的关于本发明的以下详细的说明将会变得清楚。

附图说明

[0012] 图 1 是本发明的实施方式 1 的功率用半导体装置 200 的结构图。

[0013] 图 2 是示出驱动信号 DS 和功率用半导体元件 Q1、Q2 的栅极电压的关系的定时图。

[0014] 图 3 是示出在导通状态时流过 IGBTQ1、Q2 的总电流 (total current) I_t 的大小和 (A) 接通损失 E_{on} 以及 (B) 关断损失 E_{off} 的大小的关系的图。

[0015] 图 4 是用于对 IGBTQ1、Q2 的关断时的定时控制进行说明的概念图。

[0016] 图 5 是示出 IGBT 的开关损失和集电极电流的关系的图。

[0017] 图 6 是示出 IGBT 的开关损失和栅极电阻的关系的图。

[0018] 图 7 是示出集电极电流密度 J_c 和饱和电压 $V_{CE(sat)}$ 的关系的图。

[0019] 图 8 是示出关断损失 E_{off} 和饱和电压 $V_{CE(sat)}$ 的关系的图。

[0020] 图 9 是示出 IGBT 的集电极电流 I_c 和接通损失 E_{on} 的关系的图。

[0021] 图 10 是示出在使并联连接的 IGBT 依次进行开关的情况下的模拟结果的图。

[0022] 图 11 是图 10 的接通时的放大图。

[0023] 图 12 是图 10 的关断时的放大图。

[0024] 图 13 是示出在对并联连接的 IGBT 同时进行向导通状态的切换、依次进行向截止状态的切换的情况下的模拟结果的图。

[0025] 图 14 是图 13 的接通时的放大图。

[0026] 图 15 是图 13 的关断时的放大图。

[0027] 图 16 是示出流过并联连接的 IGBTQ1、Q2 的总电流 I_t 和接通损失 E_{on} 的关系的图。

[0028] 图 17 是示出本发明的实施方式 2 的功率用半导体装置 201 的结构的电路图。

[0029] 图 18 是示出从图 17 的集成电路 5 输出的控制信号的定时图的一个例子的图。

[0030] 图 19 是示出本发明的实施方式 3 的功率用半导体装置 202 的结构的电路图。

[0031] 图 20 是示出从图 19 的集成电路 5a 输出的控制信号的定时图的一个例子的图。

[0032] 图 21 是示出本发明的实施方式 4 的功率用半导体装置 203 的结构的电路图。

- [0033] 图 22 是示出本发明的实施方式 5 的功率用半导体装置 204 的结构的电路图。
- [0034] 图 23 是示出从图 22 的集成电路 5b 输出的控制信号的定时图的一个例子的图。
- [0035] 图 24 是示出本发明的实施方式 6 的功率用半导体装置 205 的结构的电路图。
- [0036] 图 25 是示出本发明的实施方式 7 的功率用半导体装置 206 的结构的电路图。
- [0037] 图 26 是示出本发明的实施方式 8 的功率用半导体装置 207 的结构的电路图。
- [0038] 图 27 是示出本发明的实施方式 9 的功率用半导体装置 208 的结构的电路图。
- [0039] 图 28 是示出从图 27 的集成电路 5d 输出的控制信号的定时图的一个例子的图。
- [0040] 图 29 是示出本发明的实施方式 10 的功率用半导体装置 209 的结构的电路图。
- [0041] 图 30 是示出本发明的实施方式 11 的功率用半导体装置 210 的结构的电路图。
- [0042] 图 31 是用于对在本发明的实施方式 12 的功率用半导体装置中所使用的 IGBTQ1、Q2 的规格进行说明的图。
- [0043] 图 32 是本发明的实施方式 13 的变形例的功率用半导体装置 211 的结构图。
- [0044] 图 33 是用于对在实施方式 2、9、10 的功率用半导体装置 201、208、209 中利用驱动控制部 101、108、109 进行的 IGBTQ1、Q2 的开关控制方法的变形例进行说明的图。
- [0045] 图 34 是用于对在实施方式 5、11 的功率用半导体装置 204、210 中利用驱动控制部 104、110 进行的 IGBTQ1、Q2 的开关控制方法的变形例进行说明的图。
- [0046] 图 35 是用于对在实施方式 2、9、10 的功率用半导体装置 201、208、209 中利用驱动控制部 101、108、109 进行的 IGBTQ1、Q2 的开关控制方法的另一变形例进行说明的图。
- [0047] 图 36 是示出本发明的实施方式 19 的功率用半导体装置 212 的结构的电路图。
- [0048] 图 37 是示出图 36 的电流检测传感器 99 的输出波形的一个例子的图。
- [0049] 图 38 是示出本发明的实施方式 20 的功率用半导体装置 213 的结构的电路图。
- [0050] 图 39 是示出本发明的实施方式 21 的功率用半导体装置 214 的结构的电路图。
- [0051] 图 40 是示出本发明的实施方式 22 的功率用半导体装置 215 的结构的电路图。

具体实施方式

[0052] 以下,参照附图详细地对本发明的实施方式进行说明。再有,对相同或者相当的部分标注相同的附图标记并且不重复其说明。

[0053] <实施方式 1>

[0054] [功率用半导体装置 200 的结构]

[0055] 图 1 是本发明的实施方式 1 的功率用半导体装置 200 的结构图。参照图 1,功率用半导体装置 200 包含在高电压节点 HV 和接地节点 GND 之间彼此并联连接的功率用半导体元件 Q1、Q2 和驱动控制部 100。在图 1 中,作为功率用半导体元件 Q1、Q2 而例示了 IGBT,但是,也可以是功率 MOSFET 或双极晶体管等其他半导体元件。以下,也将功率用半导体元件 Q1、Q2 分别记载为 IGBTQ1、Q2。IGBTQ1、Q2 的集电极所连接的高电压节点 HV 与控制对象的电力设备连接,被施加高电压。

[0056] 驱动控制部 100 根据从外部接收的驱动信号 DS 的逻辑电平,使 IGBTQ1、Q2 切换为导通状态或截止状态。本实施方式的驱动控制部 100 在接收到高电平(H 电平)的驱动信号 DS 时,使功率用半导体元件 Q1、Q2 成为导通状态,在接收到低电平(L 电平)的驱动信号 DS 时,使功率用半导体元件 Q1、Q2 成为截止状态。也将 H 电平的驱动信号 DS 称为导通指令,

也将 L 电平的驱动信号 DS 称为截止指令。将导通指令和截止指令交替反复地施加到驱动控制部 100。驱动控制部 100 的具体的结构例在实施方式 2 后面进行说明。

[0057] [功率用半导体装置 200 的工作]

[0058] 图 2 是示出驱动信号 DS 和功率用半导体元件 Q1、Q2 的栅极电压的关系的定时图。参照图 1、图 2, 驱动控制部 100 在接收导通指令而使 IGBTQ1、Q2 切换为导通状态时, 能够在使 IGBTQ1、Q2 同时成为导通状态的情况和使 IGBTQ1、Q2 中的一个(例如, IGBTQ1)先成为导通状态、之后使另一个成为导通状态的情况之间进行切换。并且, 驱动控制部 100 在接收截止指令而使 IGBTQ1、Q2 切换为截止状态时, 能够在使 IGBTQ1、Q2 同时成为截止状态的情况和使 IGBTQ1、Q2 中的一个(例如, IGBTQ1)先成为截止状态、之后使另一个成为截止状态的情况之间进行切换。对 IGBTQ1、Q2 同时进行开关还是错开定时地分别独立地进行开关, 根据在接收导通指令 IGBTQ1、Q2 为导通状态(导通状态)时分别流过 IGBTQ1、Q2 的主电流 I1、I2 (或将主电流 I1 和 I2 进行合成后的总电流 I_t) 的大小来决定。具体地说, 在实施方式 1 的情况下, 流过功率用半导体元件 Q1、Q2 的总电流 I_t 根据大小而被分为三个区域。

[0059] 在图 2 (A) 中示出总电流 I_t 的大小比较小的情况。在该情况下, 在时刻 t_1 , 当驱动信号 DS 从 L 电平切换为 H 电平时, 驱动控制部 100 对 IGBTQ1 的栅极施加 H 电平的电压, 从而使 IGBTQ1 切换为导通状态。在此后的时刻 t_2 , 驱动控制部 100 对 IGBTQ2 的栅极施加 H 电平的电压, 从而使 IGBTQ2 切换为导通状态。在时刻 t_3 , 当驱动信号 DS 从 H 电平切换为 L 电平时, 驱动控制部 100 对 IGBTQ1 的栅极施加 L 电平的电压, 从而使 IGBTQ1 切换为截止状态。在此后的时刻 t_4 , 驱动控制部 100 对 IGBTQ2 的栅极施加 L 电平的电压, 从而使 IGBTQ2 切换为截止状态。因此, 在接通时, 主要在先接通的 IGBTQ1 中产生开关损失(接通损失 E_{on}), 在关断时, 主要在后关断的 IGBTQ2 中产生开关损失(关断损失 E_{off})。

[0060] 在图 2 (B) 中示出总电流 I_t 的大小为中等程度的情况。在该情况下, 在时刻 t_1 , 当驱动信号 DS 从 L 电平切换为 H 电平时, 驱动控制部 100 对 IGBTQ1、Q2 这二者的栅极施加 H 电平的电压, 从而使 IGBTQ1、Q2 同时切换为导通状态。在时刻 t_3 , 当驱动信号 DS 从 H 电平切换为 L 电平时, 驱动控制部 100 对 IGBTQ1 的栅极施加 L 电平的电压, 从而使 IGBTQ1 切换为截止状态。在此后的时刻 t_4 , 驱动控制部 100 对 IGBTQ2 的栅极施加 L 电平的电压, 从而使 IGBTQ2 切换为截止状态。因此, 在接通时, 在 IGBTQ1、Q2 这二者中产生开关损失(接通损失 E_{on})。在关断时, 主要在后关断的 IGBTQ2 中产生开关损失(关断损失 E_{off})。

[0061] 在图 2 (C) 中示出总电流 I_t 的大小比较高的情况。在该情况下, 在时刻 t_1 , 当驱动信号 DS 从 L 电平切换为 H 电平时, 驱动控制部 100 对 IGBTQ1、Q2 这二者的栅极施加 H 电平的电压, 从而使 IGBTQ1、Q2 同时切换为导通状态。在时刻 t_3 , 当驱动信号 DS 从 H 电平切换为 L 电平时, 驱动控制部 100 对 IGBTQ1、Q2 这二者的栅极施加 L 电平的电压, 从而使 IGBTQ1、Q2 同时切换为截止状态。因此, 在接通时和关断时都在 IGBTQ1、Q2 这二者中产生开关损失。

[0062] 在上述中, 在错开定时地对 IGBTQ1、Q2 依次进行开关的情况下, 使 IGBTQ1 比 IGBTQ2 先切换为导通状态或截止状态, 但是, 在 IGBTQ1、Q2 的特性相同的情况下, 对哪一个先进行开关都可以。

[0063] [以图 2 (A) ~ (C) 的方法进行开关控制的理由]

[0064] 接着, 对以上述的方法进行 IGBTQ1、Q2 的开关控制的理由进行说明。

[0065] 图3是示出在导通状态时流过 IGBTQ1、Q2 的总电流 I_t 的大小和(A)接通损失 E_{on} 以及(B)关断损失 E_{off} 的大小的关系的图。在图3中,接通损失 E_{on} 以及关断损失 E_{off} 以驱动信号 DS 的每一个脉冲(Pulse)消耗的功率(mJ)来表示。将彼此错开定时地使 IGBTQ1、Q2 分别单独地进行开关的情况记载为一个芯片(1P),将使 IGBTQ1、Q2 同时进行开关的情况记载为两个芯片(2P)。

[0066] 参照图3(A),在流过 IGBTQ1、Q2 的总电流 I_t 比某个阈值 I_{th1} 小的情况下,彼此错开定时地使 IGBTQ1、Q2 分别单独地成为导通状态与同时成为导通状态相比,接通损失 E_{on} 变小。在总电流 I_t 比阈值 I_{th1} 大的情况下,使 IGBTQ1、Q2 同时成为导通状态与使 IGBTQ1、Q2 分别单独地成为导通状态相比,接通损失 E_{on} 变小。因此,图1的驱动控制部100在总电流 I_t 为阈值 I_{th1} 以下的情况下,如图2(A)所示,使 IGBTQ1 先成为导通状态,之后使 IGBTQ2 成为导通状态。驱动控制部100在总电流 I_t 比阈值 I_{th1} 大的情况下,如图2(B)所示,使 IGBTQ1、Q2 同时成为导通状态。由此,与以往相比能够使接通损失 E_{on} 减少。

[0067] 参照图3(B),在关断损失 E_{off} 的情况下,不依赖于流过导通状态的 IGBTQ1、Q2 的总电流 I_t 的大小,彼此错开定时地使 IGBTQ1、Q2 分别单独地成为截止状态与同时成为截止状态相比,关断损失 E_{off} 变小。因此,如图2(A)、(B)所示,图1的驱动控制部100使 IGBTQ1 先成为截止状态,之后使 IGBTQ2 成为截止状态。由此,与使 IGBTQ1、Q2 同时成为截止状态的情况相比,能够使关断损失 E_{off} 减少。

[0068] 但是,在使 IGBTQ1、Q2 分别单独地成为截止状态的情况下,当流过 IGBTQ1、Q2 的总电流 I_t 超过每一个元件的最大额定值时,后成为截止状态的元件可能被破坏。因此,为了防止破坏的元件,在总电流 I_t 接近于每一个元件的最大额定值的情况下,如图2(C)所示,使 IGBTQ1、Q2 同时成为截止状态。

[0069] 图4是用于对 IGBTQ1、Q2 的截止时的定时控制进行说明的概念图。

[0070] 参照图4,将 IGBTQ1、Q2 每一个元件的主电流的最大额定值设为 I_R 。将阈值 I_{th2} 设定为比最大额定值 I_R 稍小的值,将阈值 I_{th3} 设定为比最大额定值 I_R 的两倍($2 \times I_R$)稍小的值。在导通状态下流过 IGBTQ1、Q2 的总电流 I_t 小于阈值 I_{th2} 的情况下,图1的驱动控制部100以针对截止指令使 IGBTQ1、Q2 分别单独地依次成为截止状态的方式进行控制。在总电流 I_t 为阈值 I_{th2} 以上且小于阈值 I_{th3} 的情况下,驱动控制部100以针对截止指令使 IGBTQ1、Q2 同时成为截止状态的方式进行控制。虽然与每一个元件依次成为截止状态相比关断损失 E_{off} 增加,但是,进行这样的开关控制的目的在于 IGBT 的短路保护。在总电流 I_t 为阈值 I_{th3} 以上的情况下进行以与驱动信号 DS 的逻辑电平无关地使 IGBTQ1、Q2 这二者均成为截止状态的方式进行控制的短路保护。

[0071] [得到图3(A)、(B)的开关特性的理由]

[0072] 接着,对得到图3(A)、(B)所示的开关特性的理由进行说明。

[0073] 图5是示出 IGBT 的开关损失和集电极电流的关系的图。在图5中示出接通损失 E_{on} 、关断损失 E_{off} 以及反向恢复工作时的开关损失 E_{rr} 的集电极电流 I_c 依赖性。

[0074] 图6是示出 IGBT 的开关损失和栅极电阻的关系的图。在图6中示出接通损失 E_{on} 、关断损失 E_{off} 、以及反向恢复工作时的开关损失 E_{rr} 的栅极电阻 R_G 依赖性。图5、图6所示的特性图摘选自三菱电机制的 IGBT 模块(型号:CM600HX-24A)的数据表。

[0075] (1. 关断损失 E_{off})

[0076] 参照图 5, 关断损失 E_{off} 以集电极电流 I_c 的幂函数来表示(即, 在图 5 所示的双对数曲线(double logarithmic graph)中, 关断损失 E_{off} 与集电极电流 I_c 成比例)。当以记号“ $\wedge$ ”来表示指数时, 关断损失 E_{off} 能够使用常数 a 、 b 表达成:

$$[0077] \quad E_{\text{off}} = a \times I_c^b \quad \dots (1)。$$

[0078] 当将流过图 1 的 IGBTQ1、Q2 的每一个的电流设为 I_o [A] 时, 元件逐个成为截止状态时的关断损失 $E_{\text{off_1P}}$ 表示为:

$$[0079] \quad E_{\text{off_1P}} = a \times (2 \times I_o)^b \quad \dots (2),$$

[0080] 两个元件同时成为截止状态时的关断损失 $E_{\text{off_2P}}$ 表示为:

$$[0081] \quad E_{\text{off_2P}} = 2 \times a \times I_o^b \quad \dots (3),$$

[0082] 上式(2)和(3)之比为:

$$[0083] \quad E_{\text{off_1P}} / E_{\text{off_2P}} = 2^{b-1} \quad \dots (4),$$

[0084] 所以, 如果 $b < 1$, 则

[0085]

$$E_{\text{off_1P}} < E_{\text{off_2P}} \quad \dots (5)$$

[0086] 的关系成立。 $b < 1$ 的关系意味着图 5 的曲线的斜率比 1 小, 通常该 $b < 1$ 的关系成立。

[0087] 当使用具体的数值来进行验证时, 若在图 1 所示的 IGBTQ1、Q2 中每一个元件流过 200 [A] 的主电流(即, $I_1 = I_2 = 200$ [A]), 则总电流 I_t 为 400 [A]。参照图 5, 集电极电流为 200 [A] 时的关断损失 E_{off} 约为 41 mJ/Pulse, 集电极电流为 400 [A] 时关断损失 E_{off} 约为 62 mJ/Pulse。因此, 在两个元件同时切换为截止状态的情况下的关断损失 E_{off} 整体为 82 mJ/Pulse, 相对于此, 在元件逐个切换为截止状态的情况下的关断损失 E_{off} 由于是在后成为截止状态的元件中产生损失, 所以为 62 mJ/Pulse。这样, 元件逐个切换为截止状态的一方关断损失 E_{off} 小。

[0088] 再有, 如图 6 所示, 可知在关断损失 E_{off} 中, 关断损失 E_{off} 对于栅极电阻 R_G 的依赖性几乎没有, 关断损失 E_{off} 的特性几乎由 IGBT 的元件特性决定。上述的结果能够如下这样定性地考虑。

[0089] 图 7 是示出集电极电流密度 J_c 和饱和电压 $V_{CE(sat)}$ 的关系的图。参照图 7, 当并联连接相同的特性以及尺寸的 IGBTQ1、Q2 时, 芯片逐个切换为截止状态的情况(1P)的情况与两个芯片同时成为截止状态的情况(2P)相比, 主电流流过的部分的剖面积变为一半, 所以, 每一个芯片的集电极电流密度 J_c 变为两倍。并且, 若集电极电流密度 J_c 增加, 则饱和电压 $V_{CE(sat)}$ 增加。

[0090] 图 8 是示出关断损失 E_{off} 和饱和电压 $V_{CE(sat)}$ 的关系的图。参照图 8, 在双极型元件(bipolar element)中, 关断损失 E_{off} 和饱和电压 $V_{CE(sat)}$ 处于折衷(trade-off)的关系。因此, 芯片逐个切换为截止状态的情况(1P)与两个芯片同时成为截止状态的情况(2P)相比, 关断损失 E_{off} 变小。再有, 虽然是显然的, 但是, 关于在接收导通指令而 IGBTQ1、Q2 处于导通状态的情况下的稳态损失(steady loss), 在使关断依次进行的情况(1P)和同时进行的情况(2P)下是相同的。

[0091] (2. 接通损失 E_{on})

[0092] 再次参照图 5, 接通损失 E_{on} 能够以集电极电流 I_c 的指数函数大致进行表示。(在图 5 所示的双对数曲线中, 接通损失 E_{on} 和集电极电流 I_c 不是正比例关系)。因此, 接通损失 E_{on} 能够使用常数 a 、 b 表达成:

$$[0093] \quad E_{on} = a \times \exp(I_c \times b) \quad \dots (6),$$

[0094] 其中, 在上式(6)中, “ $\exp(\dots)$ ”表示指数函数。

[0095] 当将流过图 1 的 IGBTQ1、Q2 的每一个的电流设为 I_o [A] 时, 元件逐个成为导通状态时的接通损失 E_{on_1P} 表示为:

$$[0096] \quad E_{on_1P} = a \times \exp(2 \times I_o \times b) \quad \dots (7),$$

[0097] 两个元件同时成为导通状态时的接通损失 E_{on_2P} 表示为:

$$[0098] \quad E_{on_2P} = 2 \times a \times \exp(I_o \times b) \quad \dots (8),$$

[0099] 上式(7)和(8)之比为:

$$[0100] \quad E_{on_1P} / E_{on_2P} = \exp(I_o \times b) / 2 \quad \dots (9),$$

[0101] 所以, 在 $I_o < b \times \ln(2)$ 的比较小的电流区域(其中, $\ln$ 表示自然对数),

[0102]

$$E_{on_1P} < E_{on_2P} \quad \dots (10)$$

[0103] 的关系成立。在 $I_o > b \times \ln(2)$ 的比较大的电流区域,

[0104]

$$E_{on_1P} > E_{on_2P} \quad \dots (11)$$

[0105] 的关系成立。

[0106] 图 9 是示出 IGBT 的集电极电流 I_c 和接通损失 E_{on} 的关系的图。参照图 9, 假设在并联连接的导通状态的 IGBTQ1、Q2 的每一个中流过集电极电流 I_o , 将与集电极电流 I_o 对应的接通损失 E_{on} 设为 E_o [mJ/Pulse]。因此, 在两个元件同时切换为导通状态的情况下的接通损失 E_{on} 为 $2 \times E_o$ (图 9 的点 2P)。在元件逐个依次地切换为导通状态的情况下, 在最先切换为导通状态的元件中流过 $2 \times I_o$ 的电流, 所以, 在该情况下的接通损失 E_{on} 为图 9 的 E_o' (点 1P)。

[0107] 随着集电极电流 I_c 的增加, 接通损失 E_{on} 呈指数函数地增加, 所以, 在电流 I_o 比较大时, 如图 9 所示, 损失 E_o' 比 $2 \times E_o$ 大。因此, 两个元件同时切换为导通状态的一方为低损失。反之, 在电流 I_o 比较小时, 损失 E_o' 比 $2 \times E_o$ 小, 所以, 元件逐个依次地切换为导通状态的一方为低损失。

[0108] 再有, 与接通损失 E_{on} 有关系的不仅是集电极电流 I_c 。如图 6 所示, 接通损失 E_{on} 对于栅极电阻 R_G 示出指数函数的关系。即, 随着栅极电阻 R_G 增加, 接通损失 E_{on} 呈指数函数地增加。另外, IGBT 的电容(输入电容、镜像电容)或续流二极管的特性也与接通损失有关系。

[0109] [模拟结果]

[0110] 在图 10 ~ 图 16 中示出对于并联连接的 IGBT 的模拟结果。在图 10 ~ 图 15 所示

的波形图中,对于 IGBTQ1、Q2 的每一个,从上方开始依次示出损失 [kW]、集电极发射极间电压 VCE[V]、集电极发射极间电流 ICE[A]、栅极发射极间电压 VGE[V] 的波形图。损失为集电极发射极间电压 VCE 和集电极发射极间电流 ICE 的积。

[0111] 图 10 是示出在使并联连接的 IGBT 依次开关的情况下的模拟结果的图。图 11 是图 10 的接通时的放大图,图 12 是图 10 的关断时的放大图。在图 10 ~ 图 12 所示的模拟中,在接通时使 IGBTQ1 先切换为导通状态,在其 0.5 μ 秒之后将 IGBTQ2 切换为导通状态。在关断时,使 IGBTQ1 先切换为截止状态,在其 0.5 μ 秒之后将 IGBTQ2 切换为截止状态。可知接通损失 Eon 由先切换为导通状态的 IGBTQ1 负担,关断损失 Eoff 由后切换为截止状态的 IGBTQ2 负担。

[0112] 图 13 是示出在关于并联连接的 IGBT 同时进行向导通状态的切换、依次进行向截止状态的切换的情况下的模拟结果的图。图 14 是图 13 的接通时的放大图。图 15 是图 13 的关断时的放大图。在图 13 ~ 图 15 所示的模拟中,在接通时使 IGBTQ1、Q2 同时切换为导通状态。在关断时使 IGBTQ1 先切换为截止状态,在其 0.5 μ 秒之后,将 IGBTQ2 切换为截止状态。可知接通损失 Eon 由 IGBTQ1、Q2 这二者负担,关断损失 Eoff 由后切换为截止状态的 IGBTQ2 负担。

[0113] 图 16 是示出流过并联连接的 IGBTQ1、Q2 的总电流 It 和接通损失 Eon 的关系的图。图 16 (B) 中示出图 16 (A) 的虚线框内的放大图。如图 16 (B) 所示,在与阈值 Ith1 相比为低电流的区域,元件逐个依次地切换为导通状态的情况 (1P) 与两个元件同时切换为导通状态的情况 (2P) 相比,接通损失 Eon 小。在与阈值 Ith1 相比为高电流的区域,两个元件同时切换为导通状态的情况 (2P) 与元件逐个依次地切换为导通状态的情况 (1P) 相比,接通损失 Eon 小。

[0114] <实施方式 2>

[0115] 图 17 是示出本发明的实施方式 2 的功率用半导体装置 201 的结构的电路图。在实施方式 2 中示出图 1 的驱动控制部 100 的具体结构的一个例子。图 17 的驱动控制部 101 包含:控制用的集成电路(IC: Integrated Circuit)5;驱动用电源 V1;电阻元件 R14、R15、R23、R24;用于驱动 IGBTQ1、Q2 的 N 型 MOS (Metal Oxide Semiconductor: 金属氧化物半导体) 晶体管 Q11、Q22、Q33、Q44。

[0116] 集成电路 5 包含:接收驱动信号 DS 的输入端子 IN;用于将与驱动信号 DS 对应的控制信号分别输出到晶体管 Q11、Q22、Q33、Q44 的栅极的输出端子 OUT1、OUT2、OUT3、OUT4。晶体管 Q11、Q33 的漏极与从驱动用电源 V1 供给驱动电压的电源节点 9 连接。晶体管 Q22、Q44 的源极与接地节点 GND 连接。

[0117] 电阻元件 R14、R23 的一端与 IGBTQ1 的栅极连接,电阻元件 R15、R24 的一端与 IGBTQ2 的栅极连接。电阻元件 R14 的另一端与晶体管 Q11 的源极连接,电阻元件 R15 的另一端与晶体管 Q33 的源极连接。电阻元件 R23 的另一端与晶体管 Q22 的漏极连接,电阻元件 R24 的另一端与晶体管 Q44 的漏极连接。

[0118] 图 18 是示出从图 17 的集成电路 5 输出的控制信号的定时图的一个例子的图。

[0119] 参照图 17、图 18,在时刻 t1,集成电路 5 响应于驱动信号 DS 切换为 H 电平,将从输出端子 OUT1、OUT3 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2、OUT4 输出的控制信号切换为 L 电平。由此,晶体管 Q11、Q33 切换为导通状态,晶体管 Q22、Q44 切换为截止

状态。其结果是, IGBTQ1、Q2 同时切换为导通状态。

[0120] 在时刻 t_2 , 集成电路 5 响应于驱动信号 DS 切换为 L 电平, 将从输出端子 OUT1 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此, 晶体管 Q11 切换为截止状态, 晶体管 Q22 切换为导通状态。其结果是, IGBTQ1 切换为截止状态。

[0121] 在从时刻 t_2 起晚了预定的时间的时刻 t_3 , 集成电路 5 将从输出端子 OUT3 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此, 晶体管 Q33 切换为截止状态, 晶体管 Q44 切换为导通状态。其结果是, IGBTQ2 晚于 IGBTQ1 切换为截止状态。

[0122] 以下, 重复相同的工作。即, 在时刻 t_4 、 t_7 的集成电路 5 的工作与在时刻 t_1 的工作相同, 在时刻 t_5 、 t_6 的集成电路 5 的工作分别与在时刻 t_2 、 t_3 的工作相同。

[0123] 根据以上的集成电路 5 的工作, 能够实现与在实施方式 1 中所说明的图 2 (B) 相同的控制工作。

[0124] 集成电路 5 也能在与图 18 不同的定时将晶体管 Q11、Q22、Q33、Q44 控制为导通和截止。例如, 为了实现与在实施方式 1 中所说明的图 2 (A) 相同的控制工作, 可以进行如下这样的开关控制。即, 集成电路 5 响应于驱动信号 DS 切换为 H 电平, 将从输出端子 OUT1 输出的控制信号切换为 H 电平, 并且, 将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。集成电路 5 比该驱动信号 DS 向 H 电平的切换晚预定的时间将从输出端子 OUT3 输出的控制信号切换为 H 电平。并且, 集成电路 5 响应于驱动信号 DS 切换为 L 电平, 将从输出端子 OUT1 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT2 输出的控制信号切换为 H 电平。集成电路 5 比该驱动信号 DS 向 L 电平的切换晚预定的时间将从输出端子 OUT3 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT4 输出的控制信号切换为 H 电平。根据以上的控制, IGBTQ1、Q2 按该顺序切换为导通状态, 按该顺序切换为截止状态。

[0125] 为了实现与在实施方式 1 中所说明的图 2 (C) 相同的控制工作, 可以进行如下这样的开关控制。即, 集成电路 5 在驱动信号 DS 切换为 H 电平时, 将从输出端子 OUT1、OUT3 分别输出的控制信号切换为 H 电平, 并且, 将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。并且, 集成电路 5 在驱动信号 DS 切换为 L 电平时, 将从输出端子 OUT1、OUT3 分别输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 H 电平。根据以上的控制, IGBTQ1、Q2 同时切换为导通状态, 同时切换为截止状态。

[0126] <实施方式 3>

[0127] 图 19 是示出本发明的实施方式 3 的功率用半导体装置 202 的结构的电路图。在实施方式 3 中示出图 1 的驱动控制部 100 的具体结构的一个例子。图 19 的驱动控制部 102 包含: 控制用的集成电路 (IC) 5a; 驱动用电源 V1; 电阻元件 R14、R15、R23、R24; 用于驱动 IGBTQ1、Q2 的 N 型 MOS 晶体管 Q11、Q22、Q33、Q44; 延迟电路 DLY1、DLY2。

[0128] 集成电路 5a 包含: 接收驱动信号 DS 的输入端子 IN; 用于将与驱动信号 DS 对应的控制信号输出到晶体管 Q11 的栅极以及延迟电路 DLY1 的输出端子 OUT1; 用于将与驱动信号 DS 对应的控制信号输出到晶体管 Q22 的栅极以及延迟电路 DLY2 的输出端子 OUT2。晶体管 Q11、Q33 的漏极与从驱动用电源 V1 供给驱动电压的电源节点 9 连接。晶体管 Q22、Q44 的源极与接地节点 GND 连接。

[0129] 电阻元件 R14、R23 的一端与 IGBTQ1 的栅极连接,电阻元件 R15、R24 的一端与 IGBTQ2 的栅极连接。电阻元件 R14 的另一端与晶体管 Q11 的源极连接,电阻元件 R15 的另一端与晶体管 Q33 的源极连接。电阻元件 R23 的另一端与晶体管 Q22 的漏极连接,电阻元件 R24 的另一端与晶体管 Q44 的漏极连接。

[0130] 延迟电路 DLY1 包含电阻元件 R37、电容器 C36、二极管 D38。电阻元件 R37 连接在集成电路 5a 的输出端子 OUT1 和晶体管 Q33 的栅极之间。电容器 C36 连接在晶体管 Q33 的栅极和接地节点 GND 之间。二极管 D38 的阳极与集成电路 5a 的输出端子 OUT1 连接,阴极与晶体管 Q33 的栅极连接。延迟电路 DLY1 使从集成电路 5a 的输出端子 OUT1 输出的控制信号的下降沿即与晶体管 Q33 向截止状态的切换对应的沿延迟。

[0131] 延迟电路 DLY2 包含电阻元件 R47、电容器 C46、二极管 D48。电阻元件 R47 连接在集成电路 5a 的输出端子 OUT2 和晶体管 Q44 的栅极之间。电容器 C46 连接在晶体管 Q44 的栅极和接地节点 GND 之间。二极管 D48 的阴极与集成电路 5a 的输出端子 OUT2 连接,阳极与晶体管 Q44 的栅极连接。延迟电路 DLY2 使从集成电路 5a 的输出端子 OUT2 输出的控制信号的上升沿即与晶体管 Q44 向导通状态的切换对应的沿延迟。

[0132] 图 20 是示出从图 19 的集成电路 5a 输出的控制信号的定时图的一个例子的图。

[0133] 参照图 19、图 20,在时刻 t1,集成电路 5a 响应于驱动信号 DS 切换为 H 电平,将从输出端子 OUT1 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2 输出的控制信号切换为 L 电平。由此,晶体管 Q11、Q33 切换为导通状态,晶体管 Q22、Q44 切换为截止状态。其结果是,IGBTQ1、Q2 同时切换为导通状态。

[0134] 在时刻 t2,集成电路 5a 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此,晶体管 Q22 切换为导通状态,晶体管 Q44 晚了由延迟电路 DLY2 决定的延迟时间才切换为导通状态。

[0135] 此处,如果将驱动用电源 V1 的输出电压设为 v1、将电阻元件 R14、R23 的电阻值分别设为 r14、r23、将 IGBTQ1 的阈值电压设为 Vq1,则 v1、r14、r23、Vq1 通常以满足

[0136]

$$V_{q1} > v1 \times r23 / (r14 + r23) \quad \dots (12)$$

[0137] 的关系的方式进行设定。即,IGBTQ1 的阈值电压大于由电阻元件 R14、R23 对驱动用电源 V1 的输出电压进行分压后的电压。其结果是,在时刻 t2,IGBTQ1 切换为截止状态。

[0138] 在从时刻 t2 起晚了预定的时间的时刻 t3,集成电路 5a 将从输出端子 OUT1 输出的控制信号切换为 L 电平。由此,晶体管 Q11 切换为截止状态,晶体管 Q33 晚了由延迟电路 DLY1 决定的延迟时间才切换为截止状态。其结果是,IGBTQ2 切换为截止状态。

[0139] 以下,重复相同的工作。即,在时刻 t4、t7 的集成电路 5a 的工作与在时刻 t1 的工作相同,在时刻 t5、t6 的集成电路 5a 的工作分别与在时刻 t2、t3 的工作相同。

[0140] 根据以上的集成电路 5a 的工作,能够实现与在实施方式 1 中所说明的图 2 (B) 相同的控制工作。

[0141] <实施方式 4>

[0142] 图 21 是示出本发明的实施方式 4 的功率用半导体装置 203 的结构的电路图。图 21 的设置于驱动控制部 103 的延迟电路 DLY3 与图 19 的延迟电路 DLY1 的不同之处在于,不包含二极管 D38。因此,图 21 的延迟电路 DLY3 向晶体管 Q33 的栅极供给使从集成电路 5a

的输出端子 OUT1 输出的控制信号的上升沿和下降沿这二者延迟的信号。由于图 21 的其他方面与图 19 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。从集成电路 5a 的输出端子 OUT1、OUT2 输出的控制信号的定时也与图 20 的情况相同。

[0143] 根据图 21 所示的驱动控制部 103,在从集成电路 5a 的输出端子 OUT1 输出的控制信号切换为 H 电平时(图 20 的时刻 t_1 、 t_4 、 t_7),晶体管 Q33 晚了由延迟电路 DLY3 决定的延迟时间才切换为导通状态。其结果是,在驱动信号 DS 切换为 H 电平时,IGBTQ2 晚于 IGBTQ1 向导通状态的切换而切换为导通状态。IGBTQ2 晚于在时刻 t_2 、 t_5 的 IGBTQ1 向截止状态的切换而切换为截止状态的这方面与实施方式 3 相同。因此,根据图 21 的功率用半导体装置 203,能够实现与在实施方式 1 中所说明的图 2 (A) 相同的控制工作。

[0144] <实施方式 5>

[0145] 图 22 是示出本发明的实施方式 5 的功率用半导体装置 204 的结构的电路图。在实施方式 5 中示出图 1 的驱动控制部 100 的具体结构的一个例子。图 22 的驱动控制部 104 包含:控制用的集成电路(IC) 5b;驱动用电源 V1;电阻元件 R14、R15、R23、R24;用于驱动 IGBTQ1、Q2 的 N 型 MOS 晶体管 Q11、Q22、Q44;二极管 D12、D13。

[0146] 集成电路 5b 包含:接收驱动信号 DS 的输入端子 IN;用于将与驱动信号 DS 对应的控制信号分别输出到晶体管 Q11、Q22、Q44 的栅极的输出端子 OUT1、OUT2、OUT4。晶体管 Q11 的漏极与从驱动用电源 V1 供给驱动电压的电源节点 9 连接。晶体管 Q22、Q44 的源极与接地节点 GND 连接。

[0147] 电阻元件 R14、R23 的一端与 IGBTQ1 的栅极连接,电阻元件 R15、R24 的一端与 IGBTQ2 的栅极连接。电阻元件 R14 的另一端与二极管 D12 的阴极连接,电阻元件 R15 的另一端与二极管 D13 的阴极连接。电阻元件 R23 的另一端与晶体管 Q22 的漏极连接,电阻元件 R24 的另一端与晶体管 Q44 的漏极连接。二极管 D12、D13 的阳极与晶体管 Q11 的源极连接。二极管 D12、D13 在晶体管 Q11 为导通状态时成为导通状态。

[0148] 图 23 是示出从图 22 的集成电路 5b 输出的控制信号的定时图的一个例子的图。

[0149] 参照图 22、图 23,在时刻 t_1 ,集成电路 5b 响应于驱动信号 DS 切换为 H 电平,将从输出端子 OUT1 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。由此,晶体管 Q11 切换为导通状态,晶体管 Q22、Q44 切换为截止状态。其结果是,IGBTQ1、Q2 同时切换为导通状态。

[0150] 在时刻 t_2 ,集成电路 5b 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此,晶体管 Q22 切换为导通状态。此处,如果将驱动用电源 V1 的输出电压设为 v_1 、将电阻元件 R14、R23 的电阻值分别设为 r_{14} 、 r_{23} 、将 IGBTQ1 的阈值电压设为 V_{q1} ,则 v_1 、 r_{14} 、 r_{23} 、 V_{q1} 以满足上述的式(12)的关系的方式设定。即,IGBTQ1 的阈值电压大于由电阻元件 R14、R23 对驱动用电源 V1 的输出电压进行分压的电压。其结果是,在时刻 t_2 ,IGBTQ1 切换为截止状态。

[0151] 在从时刻 t_2 起晚了预定的时间的时刻 t_3 ,集成电路 5b 将从输出端子 OUT1 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此,晶体管 Q11 切换为截止状态,晶体管 Q44 切换为导通状态。其结果是,IGBTQ2 切换为截止状态。

[0152] 以下,重复相同的工作。即,在时刻 t_4 、 t_7 的集成电路 5b 的工作与在时刻 t_1 的工

作相同,在时刻 t_5 、 t_6 的集成电路 5b 的工作分别与在时刻 t_2 、 t_3 的工作相同。

[0153] 根据以上的集成电路 5b 的工作,能够实现与在实施方式 1 中所说明的图 2 (B) 相同的控制工作。与上述不同,如果在时刻 t_2 、 t_5 将从集成电路 5b 的输出端子 OUT1 输出的控制信号切换为 L 电平、将从输出端子 OUT2、OUT4 输出的控制信号切换为 H 电平,则能够将 IGBTQ1、Q2 同时切换为截止状态。即,能够实现在实施方式 1 的图 2 (C) 中示出的控制工作。

[0154] <实施方式 6>

[0155] 图 24 是示出本发明的实施方式 6 的功率用半导体装置 205 的结构的电路图。在实施方式 6 中示出图 1 的驱动控制部 100 的具体结构的一个例子。图 24 的驱动控制部 105 包含:控制用的集成电路(IC) 5a;驱动用电源 V1;电阻元件 R14、R15、R23、R24;用于驱动 IGBTQ1、Q2 的 N 型 MOS 晶体管 Q11、Q22、Q44;二极管 D12、D13;延迟电路 DLY2。

[0156] 集成电路 5a 包含:接收驱动信号 DS 的输入端子 IN;用于将与驱动信号 DS 对应的控制信号输出到晶体管 Q11 的栅极的输出端子 OUT1;用于将与驱动信号 DS 对应的控制信号输出到晶体管 Q22 的栅极以及延迟电路 DLY2 的输出端子 OUT2。晶体管 Q11 的漏极与从驱动用电源 V1 供给驱动电压的电源节点 9 连接。晶体管 Q22、Q44 的源极与接地节点 GND 连接。

[0157] 电阻元件 R14、R23 的一端与 IGBTQ1 的栅极连接,电阻元件 R15、R24 的一端与 IGBTQ2 的栅极连接。电阻元件 R14 的另一端与二极管 D12 的阴极连接,电阻元件 R15 的另一端与二极管 D13 的阴极连接。电阻元件 R23 的另一端与晶体管 Q22 的漏极连接,电阻元件 R24 的另一端与晶体管 Q44 的漏极连接。二极管 D12、D13 的阳极与晶体管 Q11 的源极连接。二极管 D12、D13 在晶体管 Q11 为导通状态时成为导通状态。

[0158] 延迟电路 DLY2 包含:电阻元件 R47;电容器 C46;二极管 D48。电阻元件 R47 连接在集成电路 5a 的输出端子 OUT2 和晶体管 Q44 的栅极之间。电容器 C46 连接在晶体管 Q44 的栅极和接地节点 GND 之间。二极管 D48 的阴极与集成电路 5a 的输出端子 OUT2 连接,阳极与晶体管 Q44 的栅极连接。延迟电路 DLY2 使从集成电路 5a 的输出端子 OUT2 输出的控制信号的上升沿即与晶体管 Q44 向导通状态的切换对应的沿延迟。

[0159] 集成电路 5a 的工作与在实施方式 3 的图 20 中所说明的工作相同。以下,参照图 20、图 24,对功率用半导体装置 205 的工作进行说明。

[0160] 在图 20 的时刻 t_1 ,集成电路 5a 响应于驱动信号 DS 切换为 H 电平,将从输出端子 OUT1 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2 输出的控制信号切换为 L 电平。由此,晶体管 Q11 切换为导通状态,晶体管 Q22、Q44 切换为截止状态。其结果是,IGBTQ1、Q2 同时切换为导通状态。

[0161] 在时刻 t_2 ,集成电路 5a 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此,晶体管 Q22 切换为导通状态,晶体管 Q44 晚了由延迟电路 DLY2 决定的延迟时间才切换为导通状态。此处,如果将驱动用电源 V1 的输出电压设为 v_1 、将电阻元件 R14、R23 的电阻值分别设为 r_{14} 、 r_{23} 、将 IGBTQ1 的阈值电压设为 V_{q1} ,则 v_1 、 r_{14} 、 r_{23} 、 V_{q1} 通常以满足上述的式(12)的关系的方式设定。即,IGBTQ1 的阈值电压大于由电阻元件 R14、R23 对驱动用电源 V1 的输出电压进行分压的电压。其结果是,在时刻 t_2 ,IGBTQ1 切换为截止状态。

[0162] 在从时刻 t_2 起晚了预定的时间的时刻 t_3 , 集成电路 5a 将从输出端子 OUT1 输出的控制信号切换为 L 电平。由此, 晶体管 Q11 切换为截止状态, 晶体管 Q44 晚了由延迟电路 DLY2 决定的延迟时间才切换为截止状态。其结果是, IGBTQ2 切换为截止状态。

[0163] 以下, 重复相同的工作。即, 在时刻 t_4 、 t_7 的集成电路 5a 的工作与在时刻 t_1 的工作相同, 在时刻 t_5 、 t_6 的集成电路 5a 的工作分别与在时刻 t_2 、 t_3 的工作相同。

[0164] 根据以上的集成电路 5a 的工作, 能够实现与在实施方式 1 中所说明的图 2 (B) 相同的控制工作。

[0165] <实施方式 7>

[0166] 图 25 是示出本发明的实施方式 7 的功率用半导体装置 206 的结构的电路图。在实施方式 7 中示出图 1 的驱动控制部 100 的具体结构的一个例子。图 25 的驱动控制部 106 包含: 输入驱动信号 DS 的输入节点 8; 反相器 50; 驱动用电源 V1; 电阻元件 R14、R15、R23、R24; 用于驱动 IGBTQ1、Q2 的 N 型 MOS 晶体管 Q11、Q22、Q33、Q44; 延迟电路 DLY1、DLY2。

[0167] 晶体管 Q11、Q33 的漏极与从驱动用电源 V1 供给驱动电压的电源节点 9 连接。晶体管 Q11 的栅极与输入节点 8 连接, 晶体管 Q22 的栅极与反相器 50 的输出节点连接。晶体管 Q22、Q44 的源极与接地节点 GND 连接。

[0168] 电阻元件 R14、R23 的一端与 IGBTQ1 的栅极连接, 电阻元件 R15、R24 的一端与 IGBTQ2 的栅极连接。电阻元件 R14 的另一端与晶体管 Q11 的源极连接, 电阻元件 R15 的另一端与晶体管 Q33 的源极连接。电阻元件 R23 的另一端与晶体管 Q22 的漏极连接, 电阻元件 R24 的另一端与晶体管 Q44 的漏极连接。

[0169] 延迟电路 DLY1 包含: 电阻元件 R37、电容器 C36、二极管 D38。电阻元件 R37 连接在输入节点 8 和晶体管 Q33 的栅极之间。电容器 C36 连接在晶体管 Q33 的栅极和接地节点 GND 之间。二极管 D38 的阳极与输入节点 8 连接, 阴极与晶体管 Q33 的栅极连接。延迟电路 DLY1 使驱动信号 DS 的下降沿即与晶体管 Q33 向截止状态的切换对应的沿延迟。

[0170] 延迟电路 DLY2 包含: 电阻元件 R47、电容器 C46、二极管 D48。电阻元件 R47 连接在反相器 50 的输出节点和晶体管 Q44 的栅极之间。电容器 C46 连接在晶体管 Q44 的栅极和接地节点 GND 之间。二极管 D48 的阴极与反相器 50 的输出节点连接, 阳极与晶体管 Q44 的栅极连接。延迟电路 DLY2 使从反相器 50 输出的信号的上升沿即与晶体管 Q44 向导通状态的切换对应的沿延迟。

[0171] 接着, 对图 25 的功率用半导体装置 206 的工作进行说明。当驱动信号 DS 切换为 H 电平时, 晶体管 Q11、Q33 切换为导通状态。此时, 反相器 50 的输出切换为 L 电平, 所以, 晶体管 Q22、Q44 切换为截止状态。其结果是, IGBTQ1、Q2 同时切换为导通状态。

[0172] 当驱动信号 DS 切换为 L 电平时, 晶体管 Q11 切换为截止状态, 晶体管 Q33 晚了由延迟电路 DLY1 决定的延迟时间才切换为截止状态。此时, 反相器 50 的输出切换为 H 电平, 所以, 晶体管 Q22 切换为导通状态, 晶体管 Q44 晚了由延迟电路 DLY2 决定的延迟时间才切换为导通状态。其结果是, IGBTQ1 先切换为截止状态, IGBTQ2 后切换为截止状态。

[0173] 如上所述, 能够实现与在实施方式 1 中所说明的图 2 (B) 相同的控制工作。

[0174] <实施方式 8>

[0175] 图 26 是示出本发明的实施方式 8 的功率用半导体装置 207 的结构的电路图。图 26 的设置于驱动控制部 107 的延迟电路 DLY3 与图 25 的延迟电路 DLY1 的不同之处在于, 不

包含二极管 D38。因此,图 26 的延迟电路 DLY3 将使驱动信号 DS 的上升沿和下降沿这二者延迟的信号供给到晶体管 Q33 的栅极。图 26 的其他方面与图 25 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。

[0176] 根据图 26 所示的驱动控制部 107,在驱动信号 DS 切换为 H 电平时,晶体管 Q33 晚了由延迟电路 DLY3 决定的延迟时间才切换为导通状态。其结果是,在驱动信号 DS 切换为 H 电平时,IGBTQ2 晚于 IGBTQ1 向导通状态的切换而切换为导通状态。IGBTQ2 晚于 IGBTQ1 向截止状态的切换而切换为截止状态,这一点与实施方式 7 相同。因此,根据图 26 的功率用半导体装置 207,能够实现与在实施方式 1 中所说明的图 2 (A) 相同的控制工作。

[0177] <实施方式 9>

[0178] 图 27 是示出本发明的实施方式 9 的功率用半导体装置 208 的结构的电路图。图 27 的功率用半导体装置 208 与图 17 的功率用半导体装置 201 的不同之处在于,还包含用于对流过 IGBTQ1、Q2 的总电流 I_t 进行检测的电流检测传感器 99。作为电流检测传感器 99,例如,使用变流器(current transformer)。

[0179] 图 27 的设置有功率用半导体装置 208 的集成电路 5d 与图 17 的设置有功率用半导体装置 201 的集成电路 5 的不同之处在于,还包含接收电流检测传感器 99 的检测信号的端子 CS。图 27 的其他结构与图 17 的功率用半导体装置 201 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。

[0180] 集成电路 5d 基于电流检测传感器 99 的检测值,判定总电流 I_t 进入到由图 3、图 4 中所说明的阈值 I_{th1} 、 I_{th2} 划分的区域的哪个区域。集成电路 5d 在下次进行基于电流检测传感器 99 的检测值的判定之前的期间,基于判定结果选择最佳的开关的定时。例如,在总电流 I_t 比图 3 的阈值 I_{th1} 小的情况下,集成电路 5d 以如下面的图 28 那样的定时将晶体管 Q11、Q22、Q33、Q44 控制为导通和截止。

[0181] 图 28 是示出从图 27 的集成电路 5d 输出的控制信号的定时图的一个例子的图。

[0182] 参照图 27、图 28,在时刻 t_1 ,集成电路 5d 响应于驱动信号 DS 切换为 H 电平,将从输出端子 OUT1 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。由此,晶体管 Q11 切换为导通状态,晶体管 Q22、Q44 切换为截止状态。其结果是,IGBTQ1 切换为导通状态。

[0183] 在从时刻 t_1 起晚了预定的时间的时刻 t_2 ,集成电路 5d 将从输出端子 OUT3 输出的控制信号切换为 H 电平。由此,晶体管 Q33 切换为导通状态,其结果是,IGBTQ2 比 IGBTQ1 晚地切换为导通状态。

[0184] 在时刻 t_3 ,集成电路 5d 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT1 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此,晶体管 Q11 切换为截止状态,晶体管 Q22 切换为导通状态。其结果是,IGBTQ1 切换为截止状态。

[0185] 在从时刻 t_3 起晚了预定的时间的时刻 t_4 ,集成电路 5d 将从输出端子 OUT3 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此,晶体管 Q33 切换为截止状态,晶体管 Q44 切换为导通状态。其结果是,IGBTQ2 晚于 IGBTQ1 切换为截止状态。

[0186] 以下,重复相同的工作。即,在时刻 $t_5 \sim t_8$ 的集成电路 5d 的工作分别与在时刻

t1 ~ t4 的工作相同,在时刻 t9、t10 的集成电路 5d 的工作分别与在时刻 t1、t2 的工作相同。

[0187] 根据以上的集成电路 5d 的工作,能够实现与在实施方式 1 中所说明的图 2 (A)相同的控制工作。

[0188] 在总电流 I_t 为图 3 的阈值 I_{th1} 以上并且比图 4 的阈值 I_{th2} 小情况下,以与实施方式 2 中说明的图 18 的定时图相同的定时,将晶体管 Q11、Q22、Q33、Q44 控制为导通和截止。由此,与图 18 的情况相同地,能够实现与图 2 (B) 相同的控制工作。

[0189] 在总电流 I_t 为图 4 的阈值 I_{th2} 以上的情况下,集成电路 5d 在驱动信号 DS 切换为 H 电平时,将从输出端子 OUT1、OUT3 分别输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。由此,IGBTQ1、Q2 同时切换为导通状态。并且,集成电路 5d 在驱动信号 DS 切换为 L 电平时,将从输出端子 OUT1、OUT3 分别输出的控制信号切换为 L 电平,并且,将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 H 电平。由此,IGBTQ1、Q2 同时切换为截止状态。如上所述,能够实现与在实施方式 1 中所说明的图 2 (C) 相同的控制工作。

[0190] <实施方式 10>

[0191] 图 29 是示出本发明的实施方式 10 的功率用半导体装置 209 的结构的电路图。

[0192] 图 29 的功率用半导体装置 209 是对图 27 的功率用半导体装置 208 进行变形后的半导体装置。即,功率用半导体装置 209 与功率用半导体装置 208 的不同之处在于,代替图 27 的 IGBTQ1、Q2 而包含带有感测端子的 IGBTQ1a、Q2a。流过 IGBT 的发射极端子的主电流的一部分分流流过感测端子。并且,功率用半导体装置 209 与功率用半导体装置 208 的不同之处在于,代替图 27 的电流检测传感器 99 而包含分流电阻(shunt resistor)R25、R26。分流电阻 R25 连接在 IGBTQ1a 的感测端子和接地节点 GND 之间,分流电阻 R26 连接在 IGBTQ2a 的感测端子和接地节点 GND 之间。分流电阻 R25、R26 与图 27 的电流检测传感器 99 相同地起到对分别流过 IGBTQ1a、Q2a 的主电流 I_1 、 I_2 进行监控的电流检测传感器 99a 的作用。

[0193] 图 29 的设置于驱动控制部 109 的集成电路 5e 与图 27 的集成电路 5d 的不同之处在于,代替图 27 的检测端子 CS 而包含用于分别检测施加到分流电阻 R25、R26 的电压的检测端子 CS1、CS2。集成电路 5e 基于以分流电阻 R25、R26 监控的电流 I_1 、 I_2 的大小,以最佳的定时将晶体管 Q11、Q22、Q33、Q44 控制为导通和截止。

[0194] 图 29 的其他方面与图 27 的功率用半导体装置 208 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。再有,也可以是仅将并联连接的两个 IGBT 的任意一个替换成带有感测端子的 IGBT 并以分流电阻监控在感测 IGBT 中流过的电流的那样的结构。在该情况下,集成电路基于流过任意一个 IGBT 的电流的大小,将晶体管 Q11、Q22、Q33、Q44 控制为导通和截止。

[0195] <实施方式 11>

[0196] 图 30 是示出本发明的实施方式 11 的功率用半导体装置 210 的结构的电路图。

[0197] 图 30 的功率用半导体装置 210 是对图 22 的功率用半导体装置 204 进行变形后的功率用半导体装置。即,功率用半导体装置 210 与功率用半导体装置 204 的不同之处在于,代替图 22 的 IGBTQ1、Q2 而包含带有感测端子的 IGBTQ1a、Q2a。流过 IGBT 的发射极端子的主电流的一部分分流流过感测端子。并且,功率用半导体装置 210 与功率用半导体装置 204

的不同之处在于,包含分流电阻 R25、R26。分流电阻 R25 连接在 IGBTQ1a 的感测端子和接地节点 GND 之间,分流电阻 R26 连接在 IGBTQ2a 的感测端子和接地节点 GND 之间。分流电阻 R25、R26 起到对分别流过 IGBTQ1a、Q2a 的主电流 I1、I2 进行监控的电流检测传感器 99a 的作用。

[0198] 图 30 的设置于驱动控制部 110 的集成电路 5g 与图 22 的集成电路 5b 的不同之处在于,包含用于分别检测施加到分流电阻 R25、R26 的电压的检测端子 CS1、CS2。集成电路 5g 基于以分流电阻 R25、R26 监控的电流 I1、I2 的大小,以最佳的定时将晶体管 Q11、Q22、Q44 控制为导通和截止。

[0199] 例如,在将以分流电阻 R25、R26 监控的电流 I1、I2 相加而得到的总电流 I_t 为图 4 的阈值 I_{th2} 以下的情况下,集成电路 5g 在驱动信号 DS 切换为 H 电平时,将从输出端子 OUT1 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。并且,集成电路 5g 在驱动信号 DS 切换为 L 电平时,将从输出端子 OUT2 输出的控制信号切换为 H 电平。并且,集成电路 5g 从驱动信号 DS 向 L 电平的切换起晚了预定的时间将从输出端子 OUT1 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 H 电平。

[0200] 根据以上的控制,能够将 IGBTQ1a、Q2a 同时切换为导通状态,能够在使 IGBTQ1a 成为截止状态之后使 IGBTQ2a 成为截止状态。即,能够实现与在实施方式 1 中所说明的图 2 (B) 相同的控制工作。如果在驱动信号 DS 切换为 L 电平时将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 H 电平、并且将从输出端子 OUT1 输出的控制信号切换为 L 电平,则能够将 IGBTQ1a、Q2a 同时切换为截止状态。即,能够实现与在实施方式 1 中所说明的图 2 (C) 相同的控制工作。

[0201] 图 30 的其他方面与图 22 的功率用半导体装置 204 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。再有,也可以是仅将并联连接的两个 IGBT 的任意一个替换为带有感测端子的 IGBT 并以分流电阻监控在感测 IGBT 中流过的电流的那样的结构。在该情况下,集成电路基于流过任意一个 IGBT 的主电流的大小,将晶体管 Q11、Q22、Q44 控制为导通和截止。

[0202] <实施方式 12>

[0203] 图 31 是用于对本发明的实施方式 12 的功率用半导体装置中所使用的 IGBTQ1、Q2 的规格进行说明的图。在图 31 中示出已经在图 8 中说明了的关断损失 E_{off} 和饱和电压 $V_{CE(sat)}$ 的关系(折衷)。

[0204] 参照图 31,在实施方式 1 ~ 11 的功率用半导体装置 200 ~ 210 中,使 IGBTQ2 的规格(Q2 Spec.)与 IGBTQ1 的规格(Q1 Spec.)相比,饱和电压 $V_{CE(sat)}$ 高并且关断损失 E_{off} 低。于是,能够将在 IGBTQ1 之后切换为截止状态的 IGBTQ2 的关断损失 E_{off} 抑制得较低,所以,能够进一步减少功率用半导体装置的开关损失。再有,饱和电压(稳态损失)越大开关速度越快(开关时间短)。

[0205] 这样的规格的变更能够通过控制集电极层的掺杂分布(杂质浓度或杂质注入的深度)、或控制漂移层的载流子的寿命来实现。在使集电极层的杂质浓度增加的情况下,能够制作饱和电压 $V_{CE(sat)}$ 特性(即,稳态损失)小并且关断损失 E_{off} 增大的那样的规格的元件。如果利用电子束注入等使漂移层的载流子的寿命变短,则能够制作饱和电压 $V_{CE(sat)}$

特性(即,稳态损失)大并且关断损失 E_{off} 减少的那样的规格的元素。

[0206] <实施方式 13>

[0207] 在上述的实施方式 1 ~ 12 的功率用半导体装置中,以使 IGBTQ2 的阈值电压比 IGBTQ1 的阈值电压小的方式选定 IGBTQ1、Q2 也可以。选定这样的规格的 IGBTQ1、Q2,由此,在关断时,能够更可靠地使 IGBTQ1 比 IGBTQ2 先切换为截止状态。并且,也能通过调整 IGBT 的阈值电压来进行如下这样的变形。

[0208] 图 32 是本发明的实施方式 13 的变形例的功率用半导体装置 211 的结构图。图 32 的功率用半导体装置 211 包含:在高电压节点 HV 和接地节点 GND 之间并联连接的 IGBTQ1、Q2;由驱动电路 111a、111b 构成的驱动控制部 111。驱动电路 111a、111b 将驱动信号 DS 放大,即分别向 IGBTQ1、Q2 的栅极供给与驱动信号 DS 相同的逻辑电平的信号。

[0209] 在图 32 所示的变形例中,也以使 IGBTQ2 的阈值电压比 IGBTQ1 的阈值电压小的方式选定 IGBTQ1、Q2。由此,在接通时,IGBTQ2 先切换为导通状态,在关断时,IGBTQ2 后切换为截止状态。如果使 IGBTQ2 的规格与 IGBTQ1 的规格相比,饱和电压 $V_{CE(sat)}$ 高并且关断损失 E_{off} 低,则能够将功率用半导体装置 211 的开关损失抑制得较低。

[0210] <实施方式 14>

[0211] 图 33 是用于说明在实施方式 2、9、10 的功率用半导体装置 201、208、209 中利用驱动控制部 101、108、109 进行的 IGBTQ1、Q2 的开关控制方法的变形例的图。在图 33 中,示出从分别设置于驱动控制部 101、108、109 的集成电路 5、5d、5e 输出的控制信号的定时图。以下,虽然以图 17 所示的集成电路 5 为代表进行说明,但是,对于集成电路 5d、5e 也是相同的。

[0212] 参照图 17、图 33,在时刻 t_1 ,集成电路 5 响应于驱动信号 DS 切换为 H 电平,将从输出端子 OUT1、OUT3 分别输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。由此,晶体管 Q11、Q33 切换为导通状态,晶体管 Q22、Q44 切换为截止状态。其结果是,IGBTQ1、Q2 同时切换为导通状态。

[0213] 在时刻 t_2 ,集成电路 5 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT1 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此,晶体管 Q11 切换为截止状态,晶体管 Q22 切换为导通状态。其结果是,IGBTQ1 切换为截止状态。

[0214] 在从时刻 t_2 起晚了预定的时间的时刻 t_3 ,集成电路 5 将从输出端子 OUT3 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此,晶体管 Q33 切换为截止状态,晶体管 Q44 切换为导通状态。其结果是,IGBTQ2 晚于 IGBTQ1 切换为截止状态。

[0215] 在时刻 t_4 ,集成电路 5 响应于驱动信号 DS 再次切换为 H 电平,将从输出端子 OUT1、OUT3 分别输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。由此,晶体管 Q11、Q33 切换为导通状态,晶体管 Q22、Q44 切换为截止状态。其结果是,IGBTQ1、Q2 同时切换为导通状态。

[0216] 在时刻 t_5 ,集成电路 5 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT3 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此,晶体管 Q33 切换为截止状态,晶体管 Q44 切换为导通状态。其结果是,IGBTQ2 切换为截

止状态。

[0217] 在从时刻 t_5 起晚了预定的时间的时刻 t_6 , 集成电路 5 将从输出端子 OUT1 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此, 晶体管 Q11 切换为截止状态, 晶体管 Q22 切换为导通状态。其结果是, IGBTQ1 晚于 IGBTQ2 切换为截止状态。以下, 在时刻 t_7 以后, 重复上述的定时控制。

[0218] 根据利用上述的驱动控制部 101、108、109 进行的 IGBTQ1、Q2 的开关控制方法, IGBTQ1、Q2 交替地晚切换为截止状态。在 IGBTQ1 比 IGBTQ2 晚切换为截止状态的情况下, 关断损失 E_{off} 的大部分由 IGBTQ1 负担。相反地, 在 IGBTQ2 比 IGBTQ1 晚切换为截止状态的情况下, 关断损失 E_{off} 的大部分由 IGBTQ2 负担。这样, 能够以 IGBTQ1、Q2 这二者负担关断损失 E_{off} , 所以, 能够期待 IGBTQ1、Q2 的长寿命化。在具有相同的规格(饱和电压 $V_{CE(sat)}$)等的 IGBTQ1、Q2 的情况下特别有效。

[0219] <实施方式 15>

[0220] 图 34 是用于说明在实施方式 5、11 的功率用半导体装置 204、210 中利用驱动控制部 104、110 进行的 IGBTQ1、Q2 的开关控制方法的变形例的图。在图 34 中, 示出从分别设置于驱动控制部 104、110 的集成电路 5b、5g 输出的控制信号的定时图。以下, 以图 22 所示的集成电路 5b 为代表进行说明, 但是, 对于集成电路 5g 也是相同的。

[0221] 参照图 22、图 34, 在时刻 t_1 , 集成电路 5b 响应于驱动信号 DS 切换为 H 电平, 将从输出端子 OUT1 输出的控制信号切换为 H 电平, 并且, 将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。由此, 晶体管 Q11 切换为导通状态, 晶体管 Q22、Q44 切换为截止状态。其结果是, IGBTQ1、Q2 同时切换为导通状态。

[0222] 在时刻 t_2 , 集成电路 5b 响应于驱动信号 DS 切换为 L 电平, 将从输出端子 OUT1 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此, 晶体管 Q11 切换为截止状态, 晶体管 Q22 切换为导通状态。其结果是, IGBTQ1 切换为截止状态。

[0223] 在从时刻 t_2 起晚了预定的时间的时刻 t_3 , 集成电路 5b 将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此, 晶体管 Q44 切换为导通状态。其结果是, IGBTQ2 晚于 IGBTQ1 切换为截止状态。

[0224] 在时刻 t_4 , 集成电路 5b 响应于驱动信号 DS 再次切换为 H 电平, 将从输出端子 OUT1 输出的控制信号切换为 H 电平, 并且, 将从输出端子 OUT2、OUT4 分别输出的控制信号切换为 L 电平。由此, 晶体管 Q11 切换为导通状态, 晶体管 Q22、Q44 切换为截止状态。其结果是, IGBTQ1、Q2 同时切换为导通状态。

[0225] 在时刻 t_5 , 集成电路 5b 响应于驱动信号 DS 切换为 L 电平, 将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此, 晶体管 Q44 切换为导通状态, 所以, IGBTQ2 切换为截止状态。

[0226] 在从时刻 t_5 起晚了预定的时间的时刻 t_6 , 集成电路 5b 将从输出端子 OUT1 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此, 晶体管 Q11 切换为截止状态, 晶体管 Q22 切换为导通状态。其结果是, IGBTQ1 晚于 IGBTQ2 切换为截止状态。以下, 在时刻 t_7 以后, 重复上述的定时控制。

[0227] 根据利用上述的驱动控制部 104、110 进行的 IGBTQ1、Q2 的开关控制方法, IGBTQ1、

Q2 交替地晚切换为截止状态。在 IGBTQ1 比 IGBTQ2 晚切换为截止状态的情况下,关断损失 E_{off} 的大部分由 IGBTQ1 负担。相反地,在 IGBTQ2 比 IGBTQ1 晚切换为截止状态的情况下,关断损失 E_{off} 的大部分由 IGBTQ2 负担。这样,能够以 IGBTQ1、Q2 这二者负担关断损失 E_{off} ,所以,能够期待 IGBTQ1、Q2 的长寿命化。在具有相同的规格(饱和电压 $V_{CE(sat)}$ 等)的 IGBTQ1、Q2 的情况下特别有效。

[0228] <实施方式 16>

[0229] 图 35 是用于说明在实施方式 2、9、10 的功率用半导体装置 201、208、209 中利用驱动控制部 101、108、109 进行的 IGBTQ1、Q2 的开关控制方法的另一变形例的图。在图 35 中,示出从分别设置于驱动控制部 101、108、109 的集成电路 5、5d、5e 输出的控制信号的定时图。以下,以图 17 所示的集成电路 5 为代表进行说明,但是,对于集成电路 5d、5e 也是相同的。

[0230] 参照图 17、图 35,在时刻 t_1 ,集成电路 5 响应于驱动信号 DS 切换为 H 电平,将从输出端子 OUT1 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2 输出的控制信号切换为 L 电平。由此,晶体管 Q11 切换为导通状态,晶体管 Q22 切换为截止状态。其结果是,IGBTQ1 切换为导通状态。

[0231] 在从时刻 t_1 起晚了预定的时间的时刻 t_2 ,集成电路 5 将从输出端子 OUT3 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 L 电平。由此,晶体管 Q33 切换为导通状态,晶体管 Q44 切换为截止状态。其结果是,IGBTQ2 晚于 IGBTQ1 切换为导通状态。

[0232] 在时刻 t_3 ,集成电路 5 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT1 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此,晶体管 Q11 切换为截止状态,晶体管 Q22 切换为导通状态。其结果是,IGBTQ1 切换为截止状态。

[0233] 在从时刻 t_3 起晚了预定的时间的时刻 t_4 ,集成电路 5 将从输出端子 OUT3 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此,晶体管 Q33 切换为截止状态,晶体管 Q44 切换为导通状态。其结果是,IGBTQ2 晚于 IGBTQ1 切换为截止状态。

[0234] 在时刻 t_5 ,集成电路 5 响应于驱动信号 DS 再次切换为 H 电平,将从输出端子 OUT3 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 L 电平。由此,晶体管 Q33 切换为导通状态,晶体管 Q44 切换为截止状态。其结果是,IGBTQ2 切换为导通状态。

[0235] 在从时刻 t_5 起晚了预定的时间的时刻 t_6 ,集成电路 5 将从输出端子 OUT1 输出的控制信号切换为 H 电平,并且,将从输出端子 OUT2 输出的控制信号切换为 L 电平。由此,晶体管 Q11 切换为导通状态,晶体管 Q22 切换为截止状态。其结果是,IGBTQ1 晚于 IGBTQ2 切换为导通状态。

[0236] 在时刻 t_7 ,集成电路 5 响应于驱动信号 DS 切换为 L 电平,将从输出端子 OUT3 输出的控制信号切换为 L 电平,并且,将从输出端子 OUT4 输出的控制信号切换为 H 电平。由此,晶体管 Q33 切换为截止状态,晶体管 Q44 切换为导通状态。其结果是,IGBTQ2 切换为截止状态。

[0237] 在从时刻 t_7 起晚了预定的时间的时刻 t_8 , 集成电路 5 将从输出端子 OUT1 输出的控制信号切换为 L 电平, 并且, 将从输出端子 OUT2 输出的控制信号切换为 H 电平。由此, 晶体管 Q11 切换为截止状态, 晶体管 Q22 切换为导通状态。其结果是, IGBTQ1 晚于 IGBTQ2 切换为截止状态。以下, 在时刻 t_9 以后, 重复上述的定时控制。

[0238] 根据利用上述的驱动控制部 101、108、109 进行的 IGBTQ1、Q2 的开关控制方法, IGBTQ1、Q2 交替地晚切换为导通状态, 交替地晚切换为截止状态。因此, 最初 IGBTQ1 负担接通损失, 接着 IGBTQ2 负担关断损失 E_{off} , 接着 IGBTQ2 负担接通损失 E_{on} , 接着 IGBTQ1 负担关断损失 E_{off} 。这样, 由 IGBTQ1、Q2 这二者交替地负担接通损失 E_{on} 和关断损失 E_{off} , 所以, 能够期待 IGBTQ1、Q2 的长寿命化。在具有相同的规格(饱和电压 $V_{CE(sat)}$ 等)的 IGBTQ1、Q2 的情况下特别有效。

[0239] <实施方式 17>

[0240] 在上述实施方式 1 ~ 16 的功率用半导体装置中, 示出了将并联连接的两个功率用半导体元件 Q1、Q2 设置在高电压节点 HV 和接地节点 GND 之间的例子。即使以设置两个以上在高电压节点 HV 和接地节点 GND 之间并联连接的功率用半导体元件并且至少一个以上的功率用半导体元件延迟工作的方式构成, 也能够得到与上述相同的效果。

[0241] <实施方式 18>

[0242] 在上述实施方式 1 ~ 17 的功率用半导体装置中, 作为 IGBTQ1 而设置如 IGBT 或普通的双极晶体管那样的双极型元件、代替 IGBTQ2 而设置例如由 SiC 形成的功率 MOS 晶体管那样的单极型元件也可以。作为在 IGBTQ1 之后切换为截止状态的 IGBTQ2 而设置如单极型元件那样的开关速度快的半导体元件, 从而能够将关断损失 E_{off} 抑制得较低, 所以, 能够进一步使功率用半导体装置的开关损失减少。

[0243] <实施方式 19>

[0244] 图 36 是示出本发明的实施方式 19 的功率用半导体装置 212 的结构的电路图。图 36 的功率用半导体装置 212 包含: IGBTQ1、Q2; 图 27 中所说明的用于检测流过 IGBTQ1、Q2 的总电流 I_t 的电流检测传感器 99; 驱动控制部 112。驱动控制部 112 是以根据电流检测传感器 99 的输出使 IGBTQ1、Q2 的开关的定时发生变化的方式对图 25 中所说明的驱动控制部 106 进行变形后的驱动控制部。以下, 具体地进行说明。

[0245] 参照图 36, 驱动控制部 112 包含: 输入驱动信号 DS 的输入节点 8; 反相器 50; 驱动用电源 V1; 电阻元件 R14、R15、R23、R24; 用于驱动 IGBTQ1、Q2 的 N 型 MOS 晶体管 Q11、Q22、Q33、Q44; 延迟电路 DLY5 ~ DLY8; 比较器 60。

[0246] 反相器 50 对输入到输入节点 8 的驱动信号 DS 的逻辑电平进行反转。

[0247] 晶体管 Q11、Q33 的漏极与从驱动用电源 V1 供给驱动电压的电源节点 9 连接。晶体管 Q22、Q44 的源极与接地节点 GND 连接。

[0248] 电阻元件 R14、R23 的一端与 IGBTQ1 的栅极连接, 电阻元件 R15、R24 的一端与 IGBTQ2 的栅极连接。电阻元件 R14 的另一端与晶体管 Q11 的源极连接, 电阻元件 R15 的另一端与晶体管 Q33 的源极连接。电阻元件 R23 的另一端与晶体管 Q22 的漏极连接, 电阻元件 R24 的另一端与晶体管 Q44 的漏极连接。

[0249] 比较器 60 判定电流检测传感器 99 的输出是否超过与在图 4 中说明的阈值 I_{th2} 对应的参照电压 V2。比较器 60 在电流检测传感器 99 的输出超过了参照电压 V2 的情况下,

输出 H 电平的信号,在为参照电压 V2 以下的情况下,输出 L 电平的信号。

[0250] 延迟电路 DLY5 包含电阻元件 R51 和电容器 C52。电阻元件 R51 连接在输入节点 8 和晶体管 Q11 的栅极之间。电容器 C52 连接在晶体管 Q11 的栅极和接地节点 GND 之间。

[0251] 延迟电路 DLY6 包含电阻元件 R37、电容器 C36、NMOS 晶体管 Q55。此处, NMOS 晶体管 Q55 是所谓的纵型结构,存在从源极向漏极的方向为正向的寄生二极管 D38A。电阻元件 R37 连接在输入节点 8 和晶体管 Q33 的栅极之间。电容器 C36 连接在晶体管 Q33 的栅极和接地节点 GND 之间。晶体管 Q55 的源极与输入节点 8 连接并且漏极与晶体管 Q33 的栅极连接,以使与电阻元件 R37 并联连接。对于晶体管 Q55 来说,在其栅极电极接收比较器 60 的输出,由此,在电流检测传感器 99 的输出为参照电压 V2 以下时成为截止状态,在超过参照电压 V2 时成为导通状态。

[0252] 延迟电路 DLY7 包含电阻元件 R61 和电容器 C62。电阻元件 R61 连接在反相器 50 的输出节点和晶体管 Q22 的栅极之间。电容器 C62 连接在晶体管 Q22 的栅极和接地节点 GND 之间。

[0253] 延迟电路 DLY8 包含电阻元件 R47、电容器 C46、NMOS 晶体管 Q66。此处, NMOS 晶体管 Q66 是所谓的纵型结构,存在从源极向漏极的方向为正向的寄生二极管 D48A。电阻元件 R47 连接在反相器 50 的输出节点和晶体管 Q44 的栅极之间。电容器 C46 连接在晶体管 Q44 的栅极和接地节点 GND 之间。晶体管 Q66 的漏极与反相器 50 的输出节点连接并且源极与晶体管 Q44 的栅极连接,以使与电阻元件 R47 并联连接。对于晶体管 Q66 来说,在其栅极电极接收比较器 60 的输出,由此,在电流检测传感器 99 的输出为参照电压 V2 以下时成为截止状态,在超过参照电压 V2 时成为导通状态。

[0254] 为了使 IGBTQ1、Q2 的接通的开始时间相同,使电容器 C36 的电容值和电容器 C52 的电容值为相同的值。并且,将电阻元件 R51 的电阻值设定成与晶体管 Q55 的导通电阻相等。电阻元件 R37 的电阻值为比电阻元件 R51 的电阻值大的值。为了使 IGBT 的关断的开始时间相同,使电容器 C46 的电容值和电容器 C62 的电容值为相同的值。并且,将电阻元件 R61 的电阻值设定成与晶体管 Q66 的导通电阻相等。使电阻元件 R47 的电阻值为比电阻元件 R61 的电阻值大的值。

[0255] 图 37 是示出图 36 的电流检测传感器 99 的输出波形的一个例子的图。在图 37 (A)、(B) 中示出与驱动信号 DS 从 L 电平向 H 电平切换对应地, IGBTQ1、Q2 从截止状态切换为导通状态,之后,与驱动信号 DS 返回到 L 电平对应地, IGBTQ1、Q2 返回到截止状态为止的波形。图 37 (A) 示出电流检测传感器 99 的输出不超过与阈值 I_{th2} 对应的参照电压 V2 的情况,图 37 (B) 示出电流检测传感器 99 的输出超过与阈值 I_{th2} 对应的参照电压 V2 的情况。

[0256] 首先,对图 37 (A) 的情况进行说明。在该情况下,晶体管 Q55、Q66 始终为截止状态。当驱动信号 DS 从 L 电平切换为 H 电平时,晶体管 Q11 以根据电阻元件 R51 的电阻值以及电容器 C52 的电容值来决定的延迟时间(以下,作为延迟时间 DT1)从截止状态切换为导通状态。当寄生二极管 D38A 的导通电阻为与晶体管 Q55 的导通电阻相等时,晶体管 Q33 也以延迟时间 DT1 从截止状态切换为导通状态。并且,晶体管 Q22 以根据电阻元件 R62 的电阻值以及电容器 C62 的电容值来决定的延迟时间(以下,作为延迟时间 DT2)从导通状态切换为截止状态。当将寄生二极管 D48A 的导通电阻为与晶体管 Q66 的导通电阻相等时,晶体

管 Q44 也以延迟时间 DT2 从导通状态切换为截止状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换, IGBTQ1、Q2 同时成为导通状态。

[0257] 在图 37 (A)中,当驱动信号 DS 从 H 电平切换为 L 电平时,晶体管 Q11 以延迟时间 DT1 从导通状态切换为截止状态。晶体管 Q33 以与电阻元件 R37 的电阻值以及电容器 C36 的电容值对应的延迟时间(以下,作为延迟时间 DT3,DT3>DT1)从导通状态切换为截止状态。并且,晶体管 Q22 以延迟时间 DT2 从截止状态切换为导通状态。晶体管 Q44 以与电阻元件 R47 的电阻值以及电容器 C46 的电容值对应的延迟时间(以下,作为延迟时间 DT4,DT4>DT2)从截止状态切换为导通状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,在 IGBTQ1 先成为截止状态之后,IGBTQ2 成为截止状态。

[0258] 接着,对图 37 (B)的情况进行说明。在该情况下,在驱动信号 DS 从 L 电平切换为 H 电平时,晶体管 Q55、Q66 为截止状态。因此,晶体管 Q11 以及 Q33 以延迟时间 DT1 从截止状态切换为导通状态。并且,晶体管 Q22 以及 Q44 以延迟时间 DT2 从导通状态切换为截止状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,IGBTQ1、Q2 同时成为导通状态。

[0259] 在图 37(B)中,在驱动信号 DS 为 H 电平的期间,电流检测传感器 99 的输出电压超过参照电压 V2,晶体管 Q55、Q66 成为导通状态。在该状态下,当驱动信号 DS 从 H 电平切换为 L 电平时,晶体管 Q11 以延迟时间 DT1 从导通状态切换为截止状态。晶体管 Q33 以根据晶体管 Q55 的导通电阻以及电容器 C36 的电容值来决定的延迟时间即延迟时间 DT1 从导通状态切换为截止状态。并且,晶体管 Q22 以延迟时间 DT2 从截止状态切换为导通状态。晶体管 Q44 以与晶体管 Q66 的导通电阻以及电容器 C46 的电容值对应的延迟时间即延迟时间 DT2 从截止状态切换为导通状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,IGBTQ1、Q2 同时成为截止状态。

[0260] 如上所述,根据实施方式 19 的驱动控制部 112,在流过 IGBTQ1、Q2 的总电流 I_t 为阈值 I_{th2} 以下的情况下,能够实现与在实施方式 1 中所说明的图 2 (B) 相同的控制工作,在总电流 I_t 超过了阈值 I_{th2} 的情况下,能够实现与图 2 (C) 相同的控制工作。

[0261] <实施方式 20>

[0262] 图 38 是示出本发明的实施方式 20 的功率用半导体装置 213 的结构的电路图。图 38 的设置于驱动控制部 113 的延迟电路 DLY9 与图 36 的延迟电路 DLY6 的不同之处在于,还包含二极管 D39。二极管 D39 的阴极与晶体管 Q55 的漏极连接,二极管 D39 的阳极与晶体管 Q33 的栅极连接。设置于驱动控制部 113 的延迟电路 DLY10 与图 36 的延迟电路 DLY8 的不同之处在于,还包含二极管 D49。二极管 D49 的阴极与晶体管 Q66 的漏极连接,二极管 D49 的阳极与反相器 50 的输出节点连接。图 38 的其他方面与图 36 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。

[0263] 根据图 38 的驱动控制部 113,在驱动信号 DS 从 L 电平切换为 H 电平的情况下(在该时间点,电流检测传感器 99 的输出电压为参照电压 V2 以下),晶体管 Q11 以延迟时间 DT1 从截止状态切换为导通状态,与此相对,晶体管 Q33 以延迟时间 DT3 (DT3>DT1)从截止状态切换为导通状态。并且,在该情况下,晶体管 Q22 以延迟时间 DT2 从导通状态切换为截止状态,与此相对,晶体管 Q44 以延迟时间 DT4 (DT4>DT2)从导通状态切换为截止状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,IGBTQ1 先成为导通状态,之后 IGBTQ2 成为导通状态。

[0264] 在驱动信号 DS 从 H 电平切换为 L 电平的情况下,晶体管 Q11、Q22、Q33、Q44 的切换的定时与图 36 的情况相同。即,在电流检测传感器 99 的输出电压为参照电压 V2 以下的情况下,IGBTQ1 先成为截止状态,之后 IGBTQ2 成为截止状态。在电流检测传感器 99 的输出电压超过参照电压 V2 的情况下,IGBTQ1、Q2 同时成为截止状态。

[0265] <实施方式 21>

[0266] 图 39 是示出本发明的实施方式 21 的功率用半导体装置 214 的结构的电路图。

[0267] 图 39 的功率用半导体装置 214 是对图 36 的功率用半导体装置 212 进行变形后的功率用半导体装置。即,功率用半导体装置 214 与功率用半导体装置 212 的不同之处在于,代替图 36 的 IGBTQ1、Q2 而包含带有感测端子的 IGBTQ1a、Q2a。流过 IGBT 的发射极端子的主电流的一部分分流流过感测端子。并且,功率用半导体装置 214 与功率用半导体装置 212 的不同之处在于,代替图 36 的电流检测传感器 99 而包含分流电阻 R25、R26。分流电阻 R25 连接在 IGBTQ1a 的感测端子和接地节点 GND 之间,分流电阻 R26 连接在 IGBTQ2a 的感测端子和接地节点 GND 之间。分流电阻 R25、R26 与图 36 的电流检测传感器 99 相同地,起到监控分别流过 IGBTQ1a、Q2a 的主电流 I1、I2 的电流检测传感器 99a 的作用。

[0268] 并且,图 39 的驱动控制部 114 与图 36 的驱动控制部 112 的不同之处在于,代替比较器 60 而包含逻辑电路 60a。逻辑电路 60a 包含比较器 61、62 和“或”电路 63。

[0269] 比较器 61 判定分流电阻 R25 的两端的电压是否超过与在图 4 中所说明的阈值 Ith2 对应的参照电压 V3。比较器 61 在分流电阻 R25 的两端的电压超过了参照电压 V3 的情况下输出 H 电平的信号,在为参照电压 V3 以下的情况下输出 L 电平的信号。同样地,比较器 62 判定分流电阻 R26 的两端的电压是否超过与在图 4 中所说明的阈值 Ith2 对应的参照电压 V4。比较器 62 在分流电阻 R26 的两端的电压超过了参照电压 V4 的情况下输出 H 电平的信号,在为参照电压 V4 以下的情况下输出 L 电平的信号。

[0270] “或”电路 63 将比较器 61、62 的输出的“或”运算结果输出到晶体管 Q55、Q66 的栅极电极。因此,在分流电阻 R25 的两端的电压和分流电阻 R26 的两端的电压中的至少一个超过了对应的参照电压时,晶体管 Q55、Q66 成为导通状态。图 39 的其他结构与图 36 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。

[0271] 图 39 的驱动控制部 114 的工作与图 36 的驱动控制部 112 的工作相同。首先,对驱动信号 DS 从 L 电平切换为 H 电平时进行说明。在该时间点,分流电阻 R25 的两端的电压比参照电压 V3 小,分流电阻 R26 的电压比参照电压 V4 小。因此,晶体管 Q11 以及 Q33 以延迟时间 DT1 从截止状态切换为导通状态。并且,晶体管 Q22 以及 Q44 以延迟时间 DT2 从导通状态切换为截止状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,IGBTQ1a、Q2a 同时成为导通状态。

[0272] 接着,对驱动信号 DS 从 H 电平切换为 L 电平时进行说明。此时,IGBTQ1a、Q2a 的关断的定时根据流过 IGBTQ1a、Q2a 的电流 I1、I2 的大小而不同。即,在分流电阻 R25 的两端的电压比参照电压 V3 小并且分流电阻 R26 的电压比参照电压 V4 小的第一情况下,晶体管 Q11 以延迟时间 DT1 从导通状态切换为截止状态,晶体管 Q33 以延迟时间 DT3(DT3>DT1)从导通状态切换为截止状态。并且,晶体管 Q22 以延迟时间 DT2 从截止状态切换为导通状态,晶体管 Q44 以延迟时间 DT4(DT4>DT2)从截止状态切换为导通状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,IGBTQ1a 先成为截止状态,之后 IGBTQ2a 成为截止状态。

[0273] 另一方面,在分流电阻 R25 的两端的电压和分流电阻 R26 的两端的电压的至少一个超过对应的参照电压的第二情况下,晶体管 Q11 以及 Q33 以延迟时间 DT1 从导通状态切换为截止状态。并且,晶体管 Q22 以及 Q44 以延迟时间 DT2 从截止状态切换为导通状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,IGBTQ1a、Q2a 同时成为截止状态。

[0274] 再有,也可以是仅将并联连接的两个 IGBT 的任意一个变更为带有感测端子的 IGBT 并且以分流电阻监控在感测 IGBT 中流过的电流的那样的结构。在仅设置有分流电阻 R25 的情况下,逻辑电路 60a 仅由比较器 61 构成。比较器 61 在分流电阻 R25 的两端的电压超过了与阈值 Ith2 对应的参照电压 V3 时,将 H 电平的电压输出到晶体管 Q55、Q66 的栅极,由此,使这些晶体管 Q55、Q66 成为导通状态。相反地,在仅设置有分流电阻 R26 的情况下,逻辑电路 60a 仅由比较器 62 构成。比较器 62 在分流电阻 R26 的两端的电压超过了与阈值 Ith2 对应的参照电压 V4 时,将 H 电平的电压输出到晶体管 Q55、Q66 的栅极,由此,使这些晶体管 Q55、Q66 成为导通状态。

[0275] <实施方式 22>

[0276] 图 40 是示出本发明的实施方式 22 的功率用半导体装置 215 的结构的电路图。图 40 的设置有驱动控制部 115 的延迟电路 DLY9 与图 39 的延迟电路 DLY6 的不同之处在于,还包含二极管 D39。二极管 D39 的阴极与晶体管 Q55 的漏极连接,二极管 D39 的阳极与晶体管 Q33 的栅极连接。设置有驱动控制部 115 的延迟电路 DLY10 与图 39 的延迟电路 DLY8 的不同之处在于,还包含二极管 D49。二极管 D49 的阴极与晶体管 Q66 的漏极连接,二极管 D49 的阳极与反相器 50 的输出节点连接。图 40 的其他结构与图 39 相同,所以,对相同或相当的部分标注相同的附图标记,不重复说明。

[0277] 图 40 的驱动控制部 115 的工作与图 38 的驱动控制部 113 的工作相同。首先,对驱动信号 DS 从 L 电平切换为 H 电平时进行说明。在该时间点,分流电阻 R25 的两端的电压比参照电压 V3 小,分流电阻 R26 的两端的电压比参照电压 V4 小。因此,晶体管 Q11 以延迟时间 DT1 从截止状态切换为导通状态,与此相对,晶体管 Q33 以延迟时间 DT3 ($DT3 > DT1$) 从截止状态切换为导通状态。并且,晶体管 Q22 以延迟时间 DT2 从导通状态切换为截止状态,与此相对,晶体管 Q44 以延迟时间 DT4 ($DT4 > DT2$) 从导通状态切换为截止状态。根据以上的晶体管 Q11、Q22、Q33、Q44 的切换,IGBTQ1a 先成为导通状态,之后 IGBTQ2a 成为导通状态。

[0278] 然后,在驱动信号 DS 从 H 电平切换为 L 电平时,晶体管 Q11、Q22、Q33、Q44 的切换的定时以及作为其结果的 IGBTQ1a、Q2a 的切换的定时与图 39 的情况相同。即,在分流电阻 R25 的两端的电压比参照电压 V3 小并且分流电阻 R26 的电压比参照电压 V4 小的第一情况下,IGBTQ1a 先成为截止状态,之后 IGBTQ2a 成为截止状态。在分流电阻 R25 的两端的电压和分流电阻 R26 的两端的电压中的至少一个超过对应的参照电压的第二情况下,IGBTQ1a、Q2a 同时成为截止状态。

[0279] 再有,在图 40 中,也与图 39 的情况相同地,也可以是仅将并联连接的两个 IGBT 的任意一个变更为带有感测端子的 IGBT 并且以分流电阻对流过感测 IGBT 的电流进行监控的那样的结构。在仅设置有分流电阻 R25 的情况下,逻辑电路 60a 仅由比较器 61 构成。相反地,在仅设置有分流电阻 R26 的情况下,逻辑电路 60a 仅由比较器 62 构成。

[0280] 虽然详细地说明并示出了本发明,但这仅用于例示,不成为限定,应该清楚地理解

为发明的范围由所附的技术方案的范围来解释。

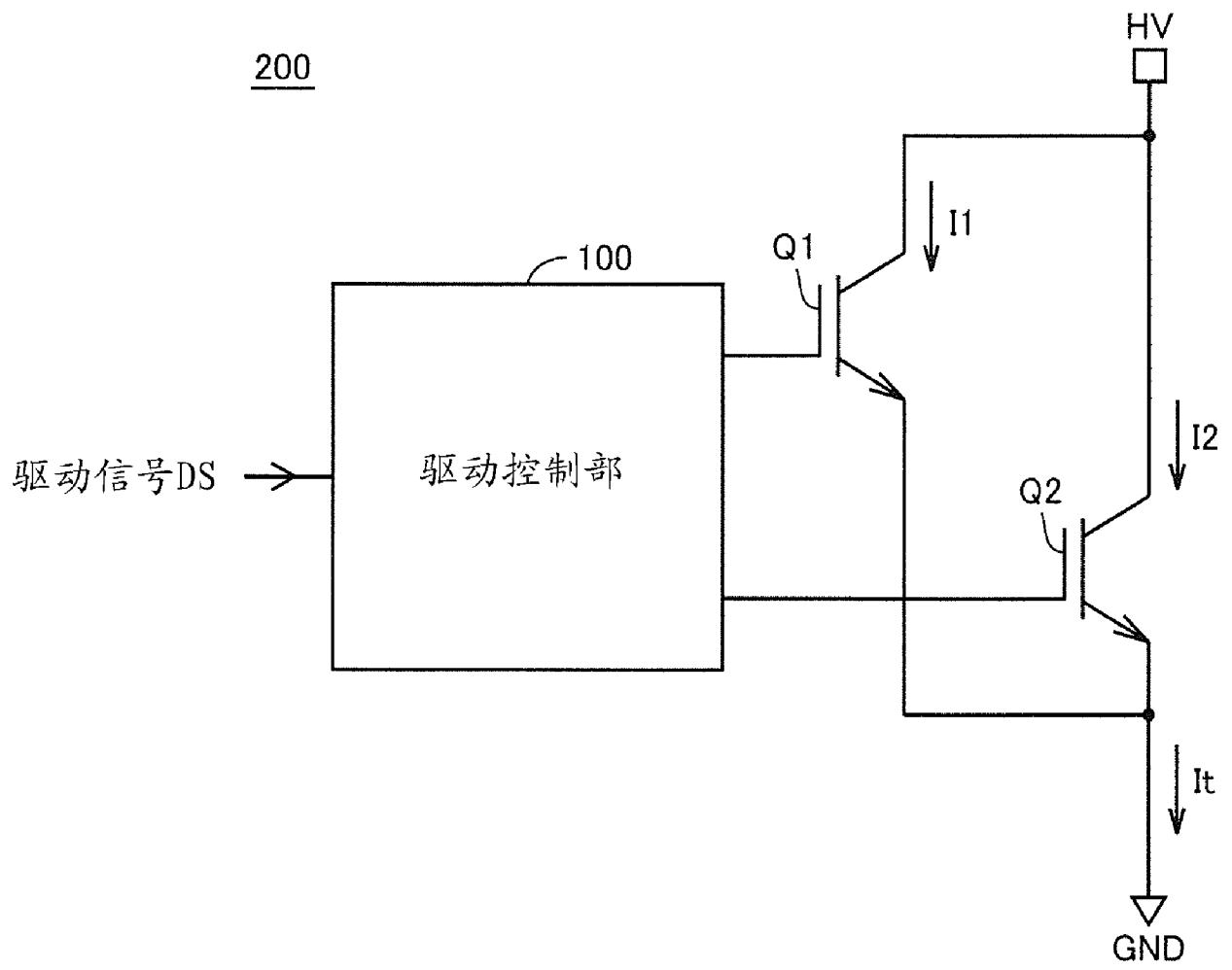


图 1

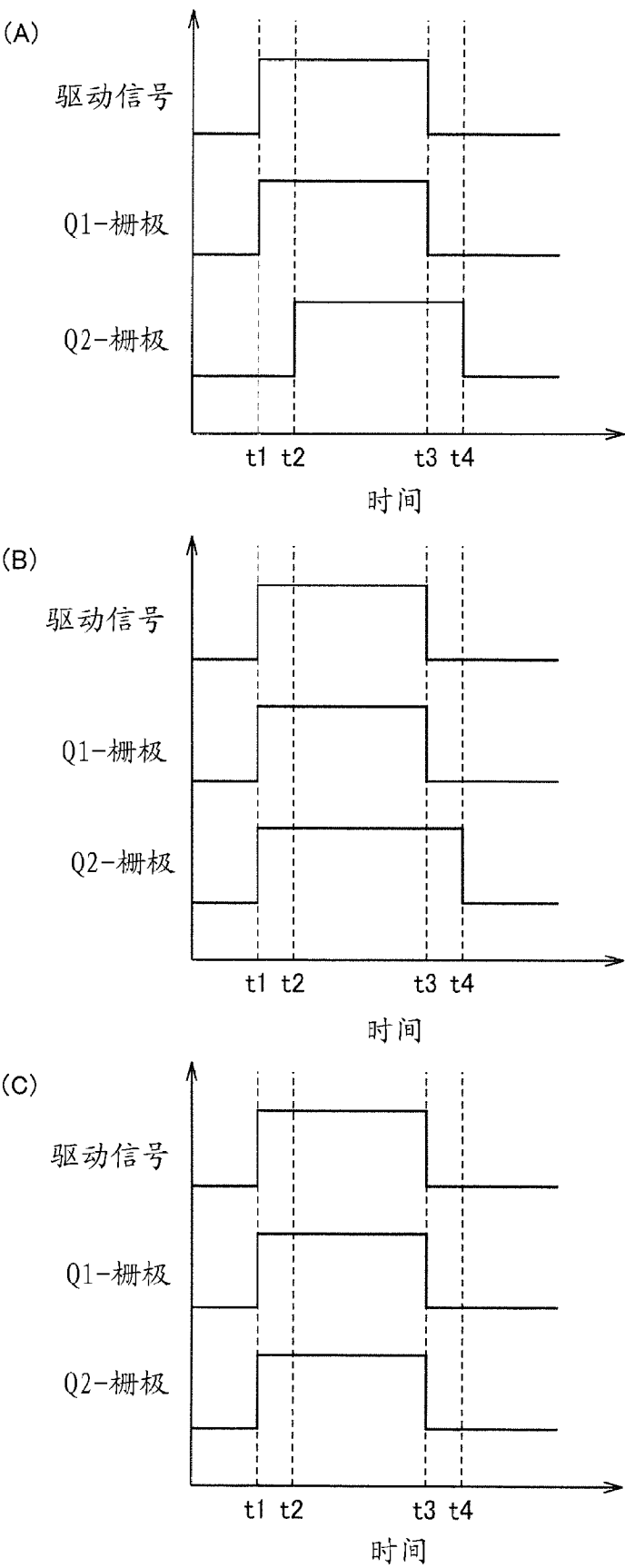


图 2

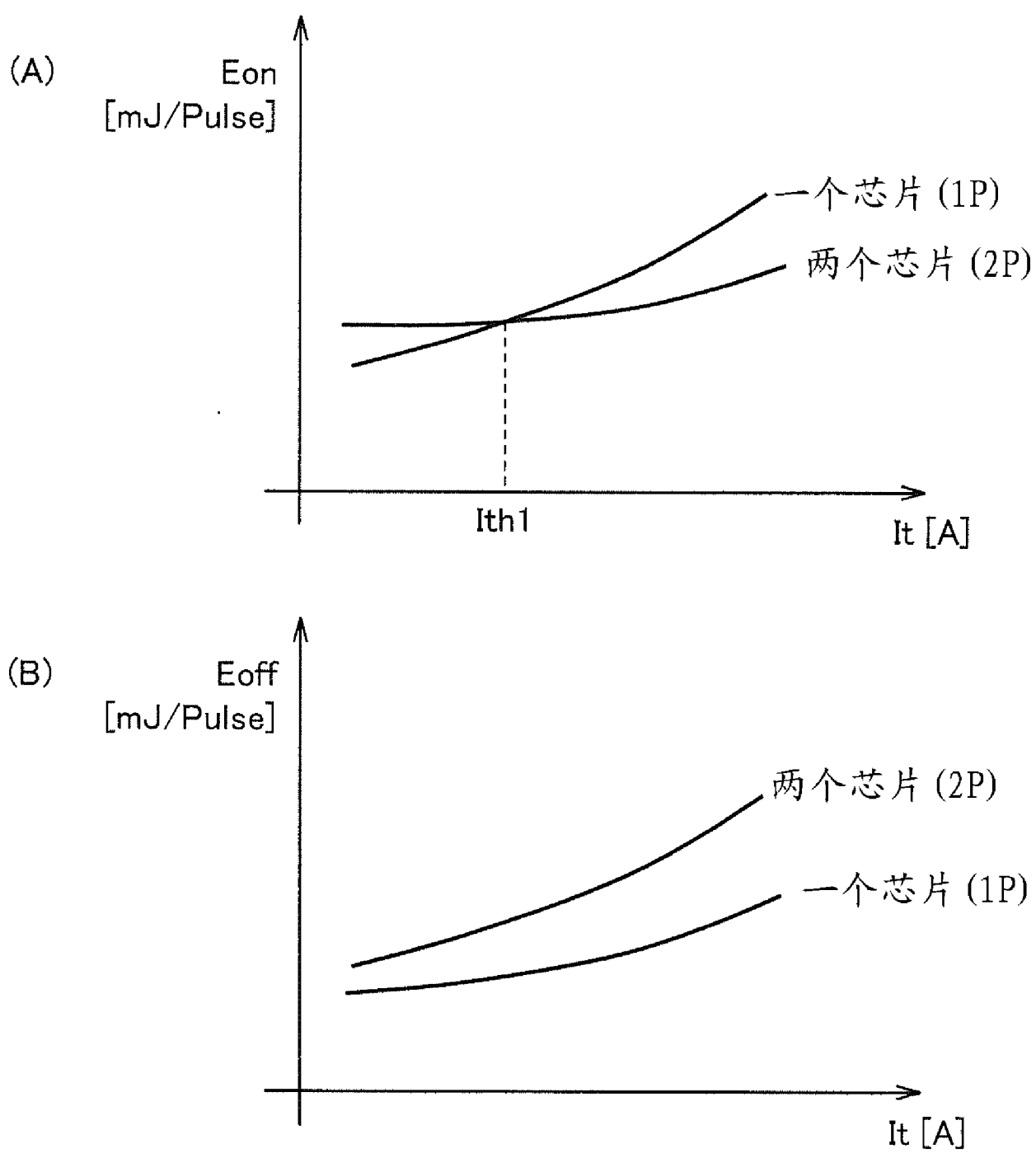


图 3

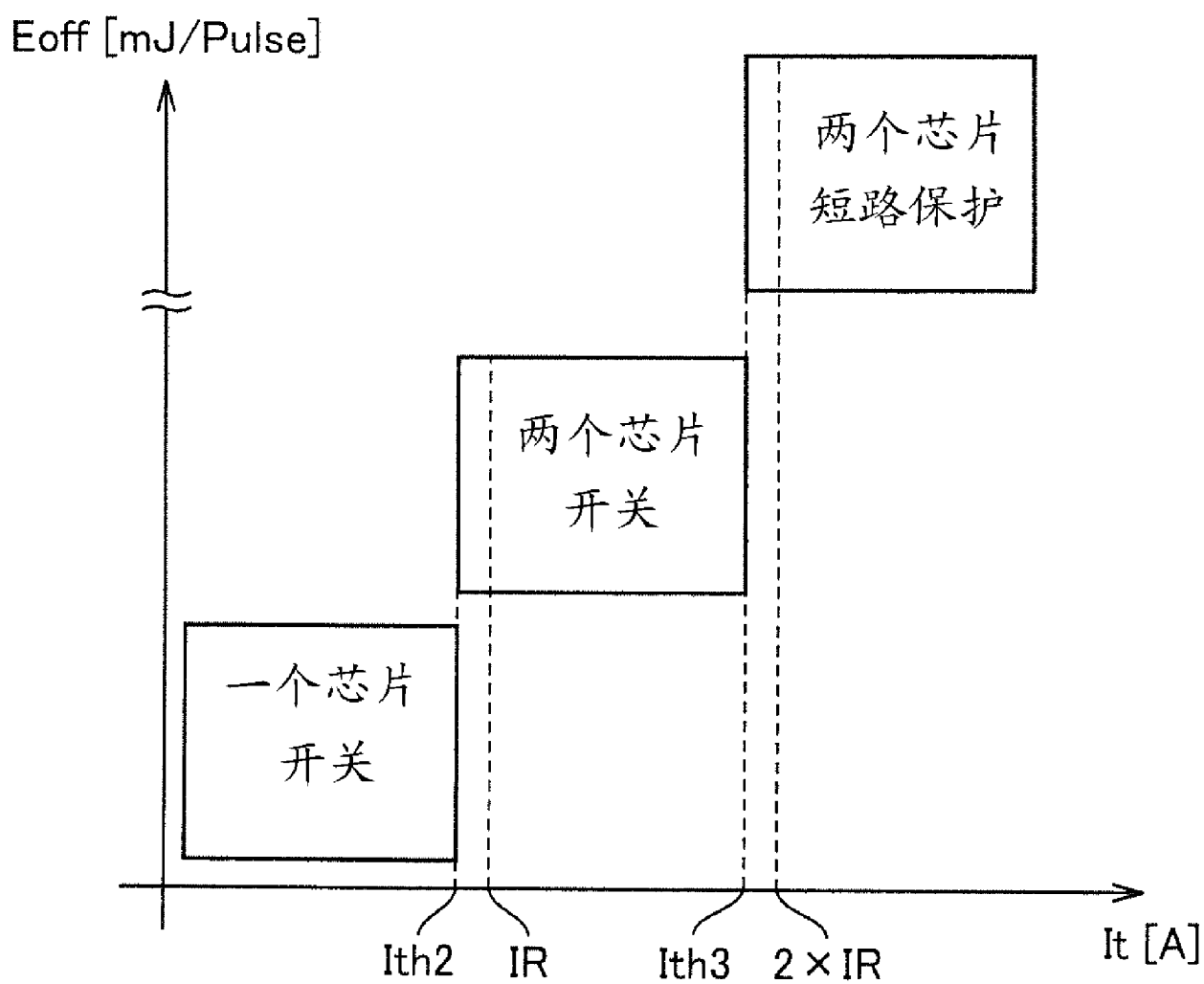


图 4

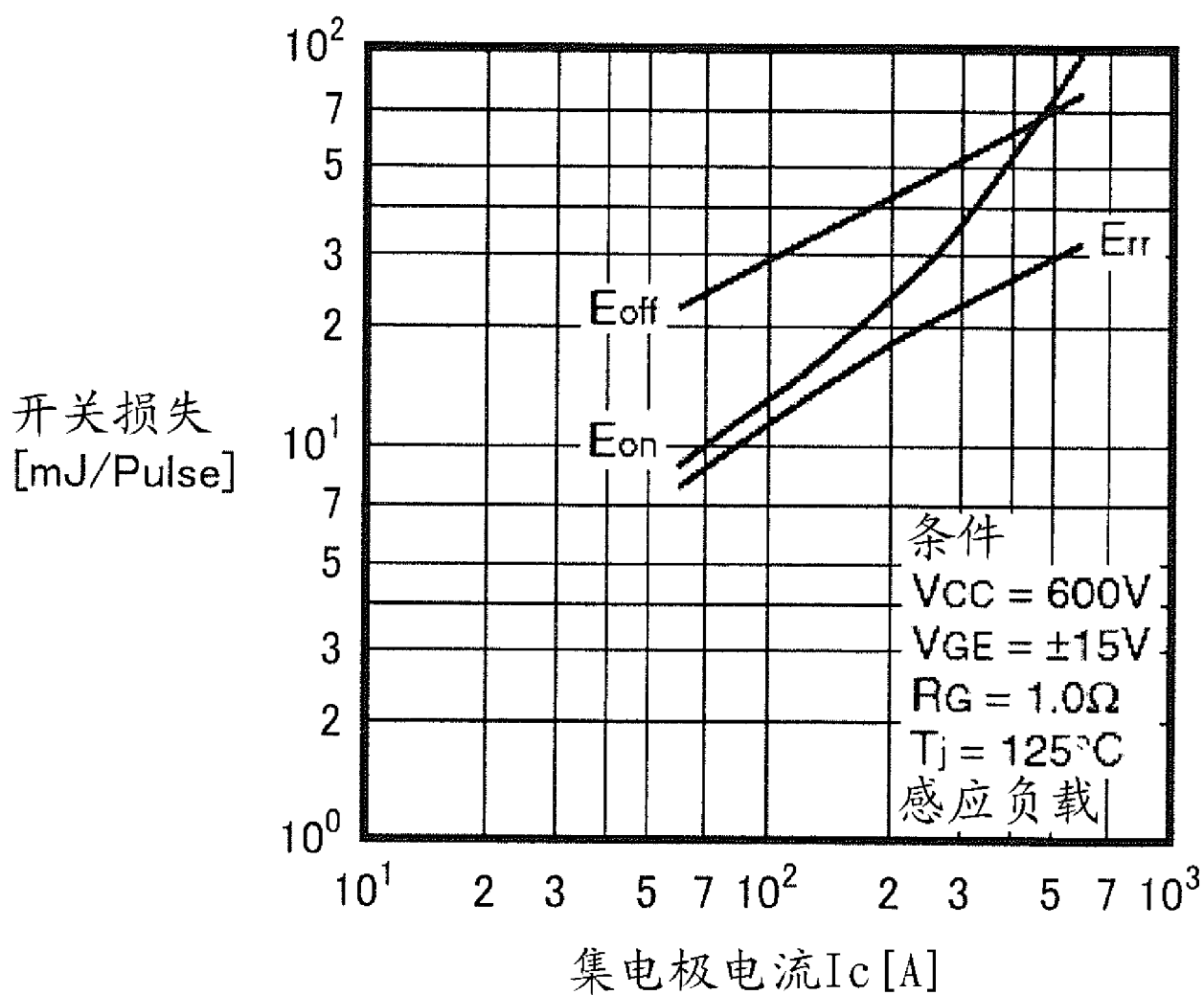


图 5

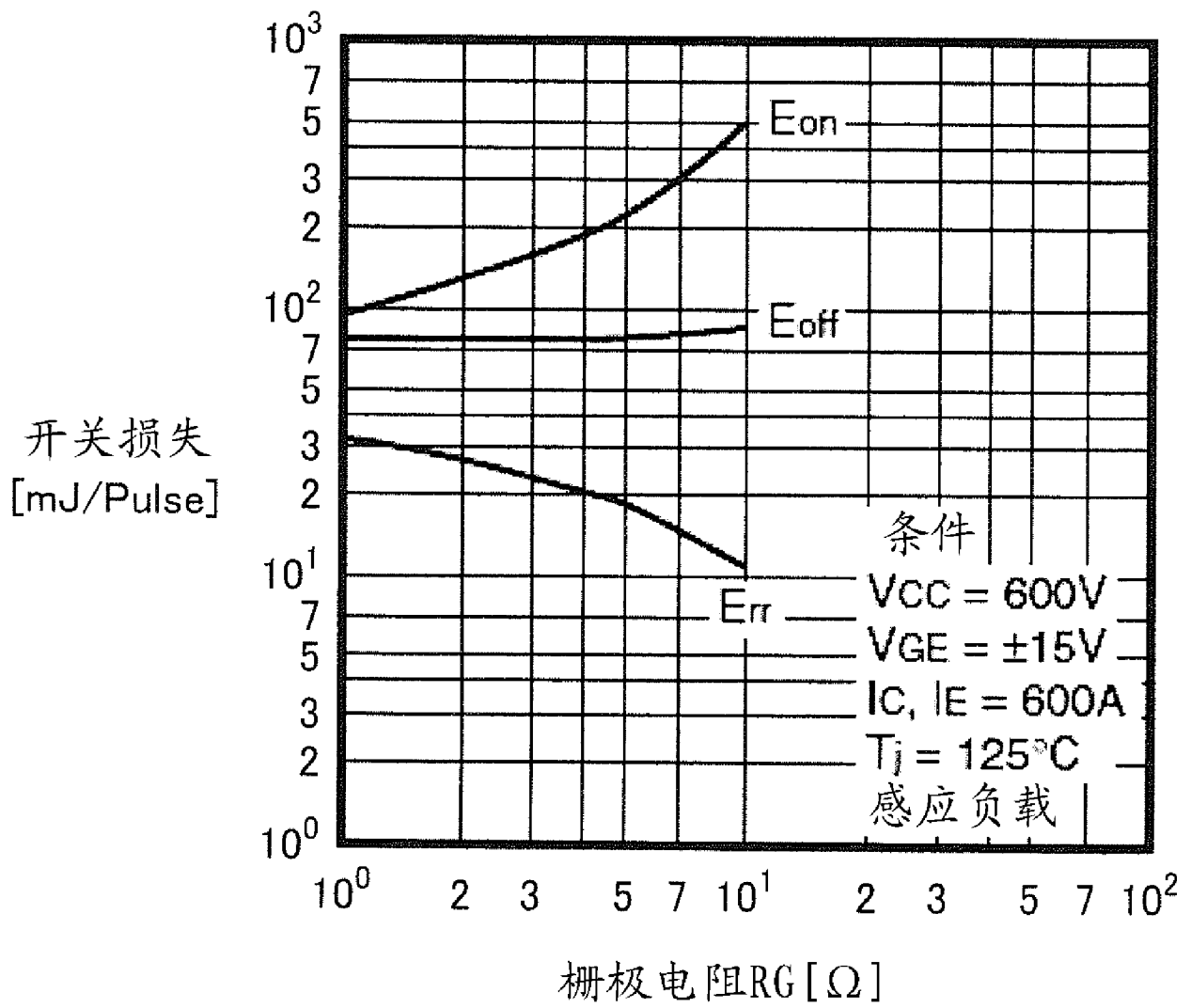


图 6

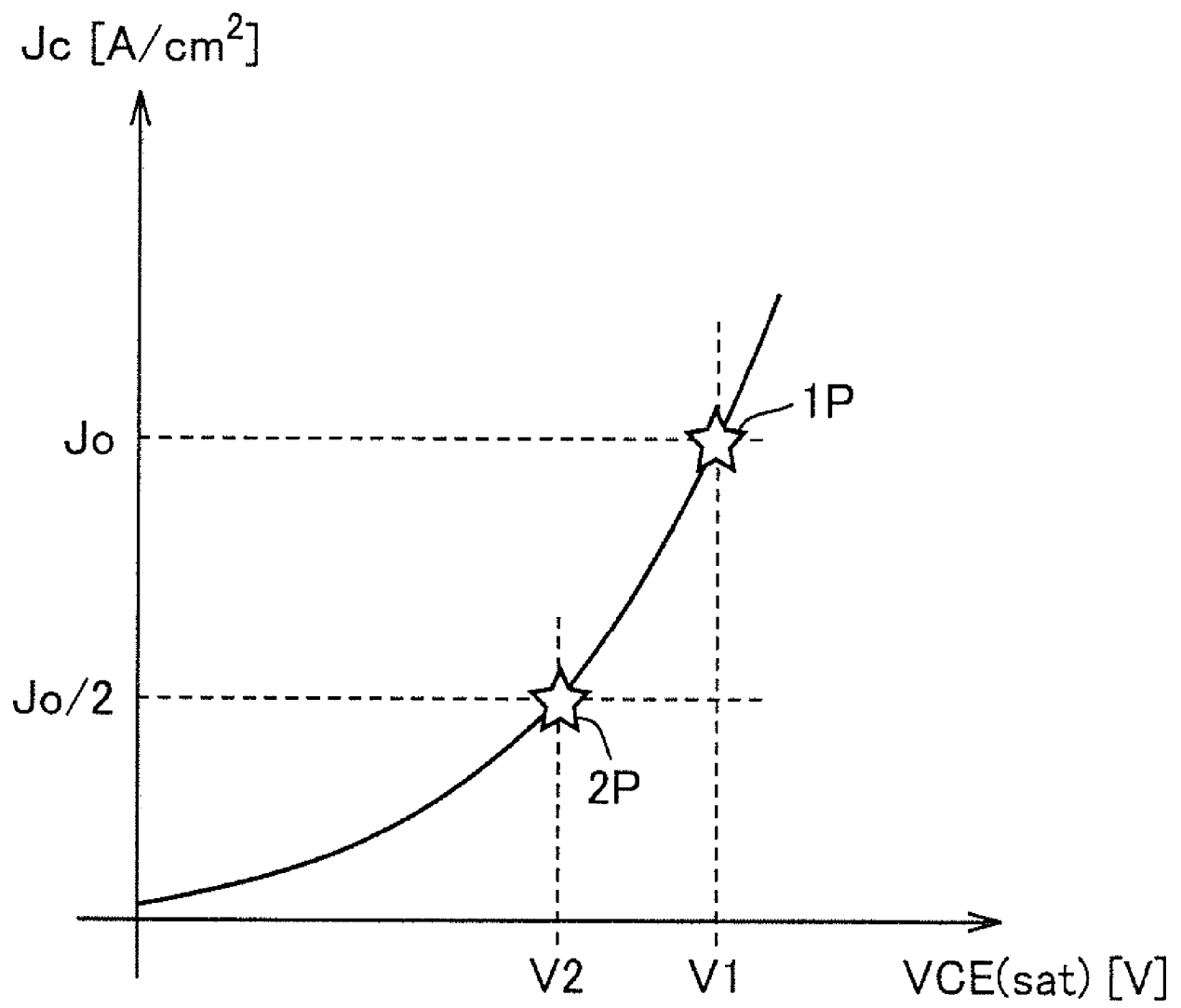


图 7

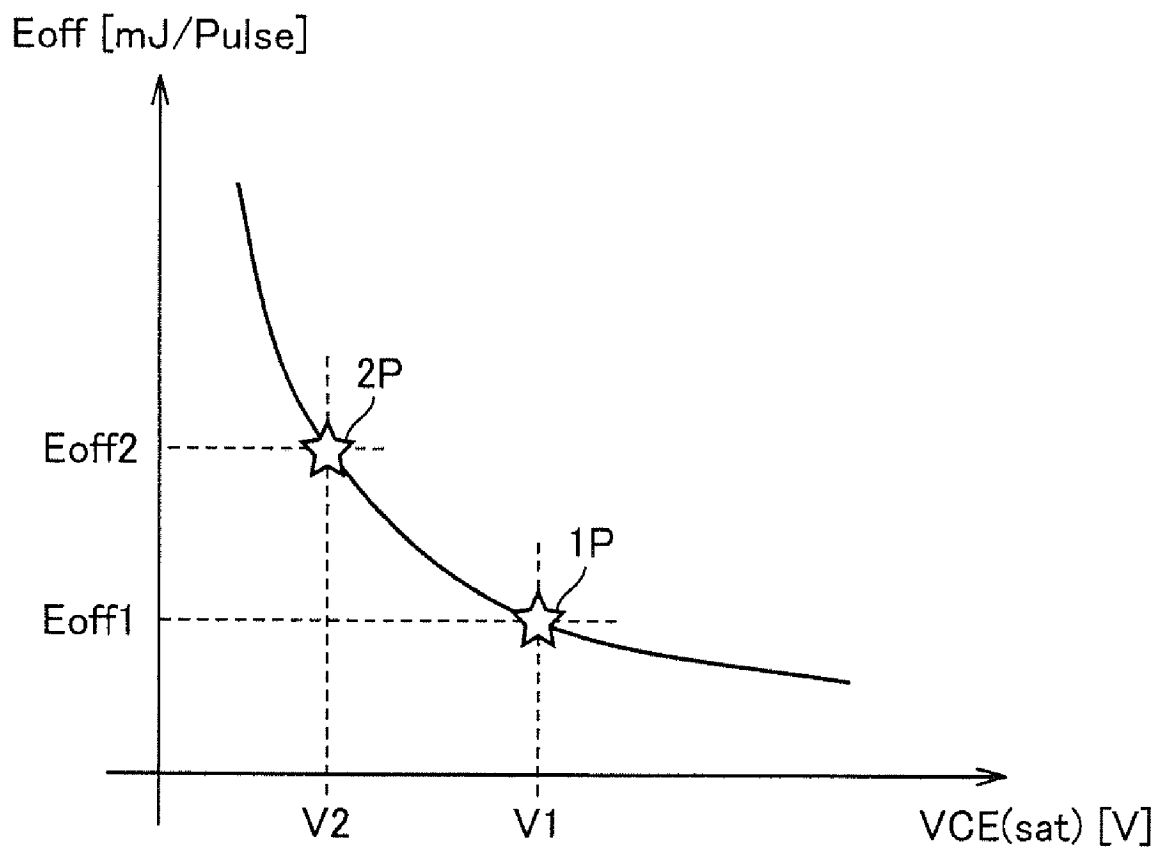


图 8

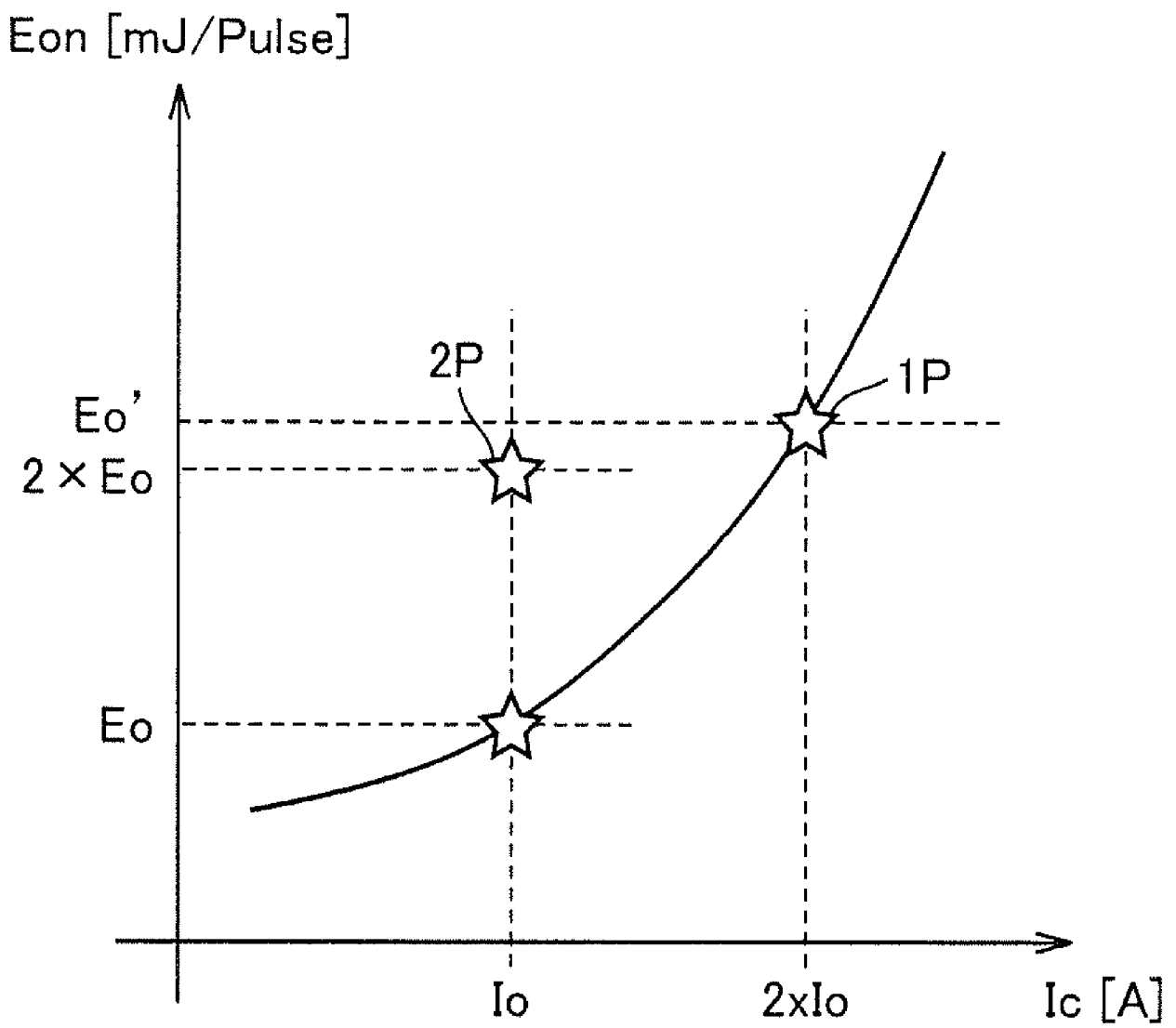


图 9

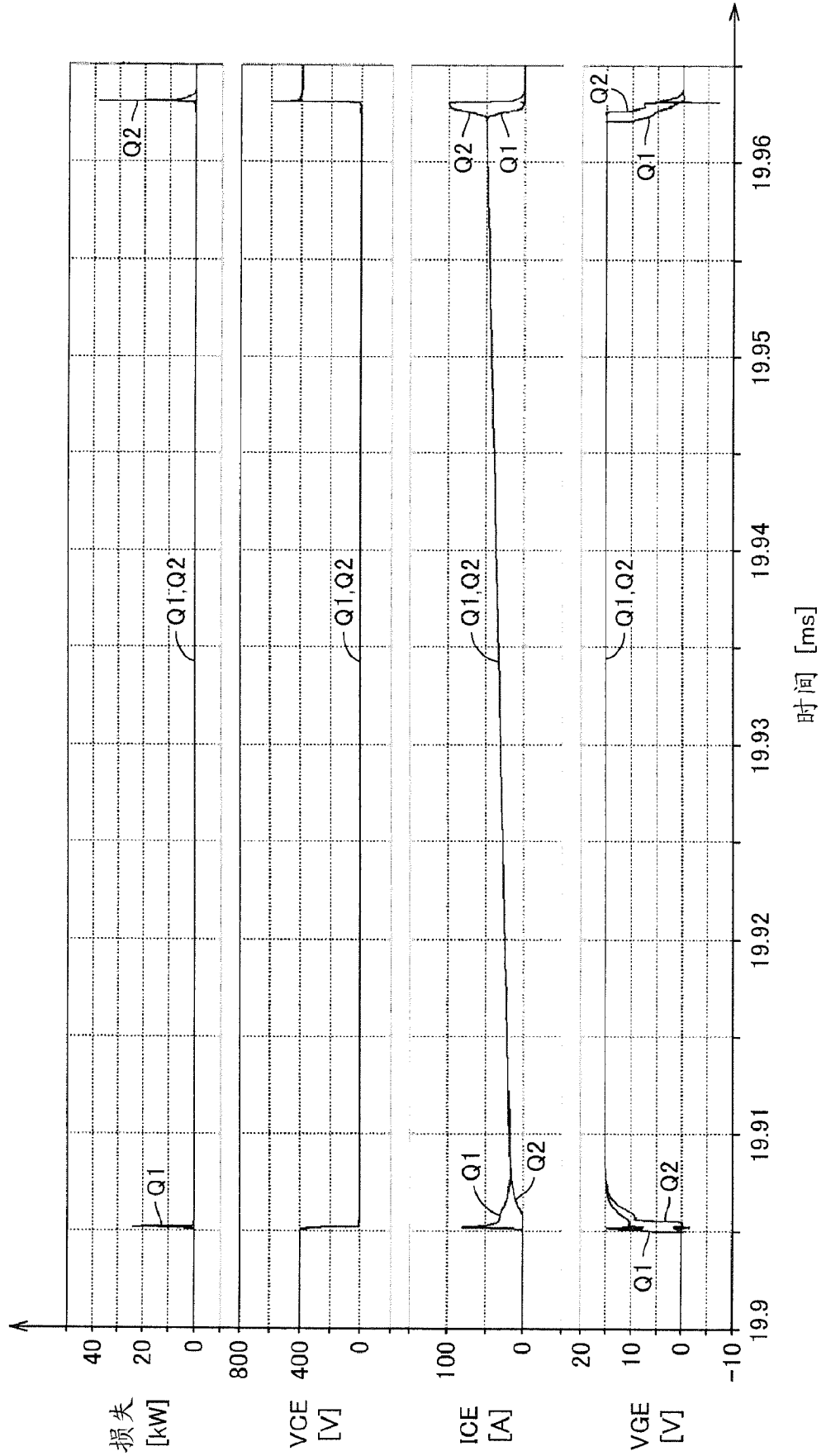


图 10

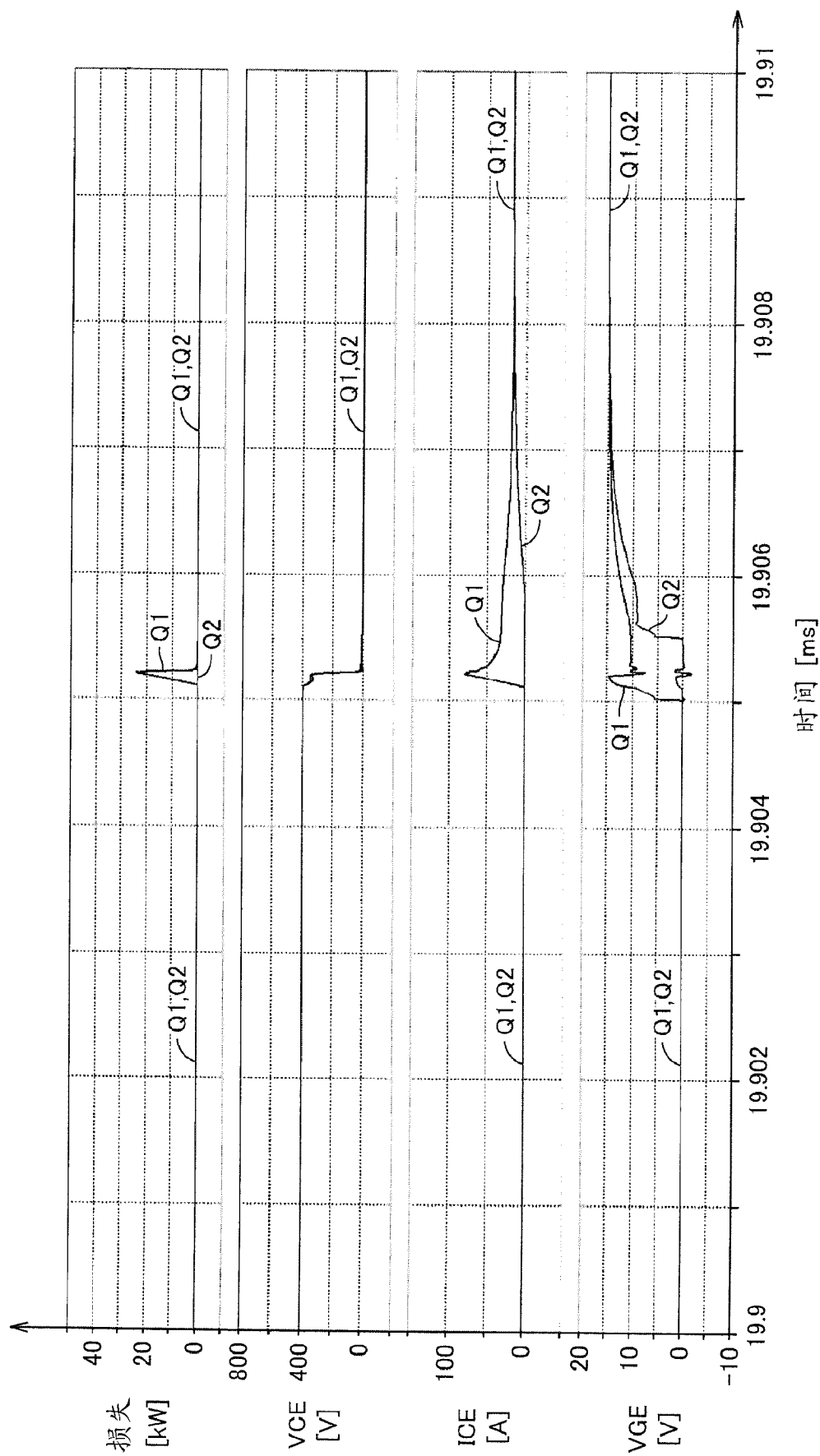


图 11

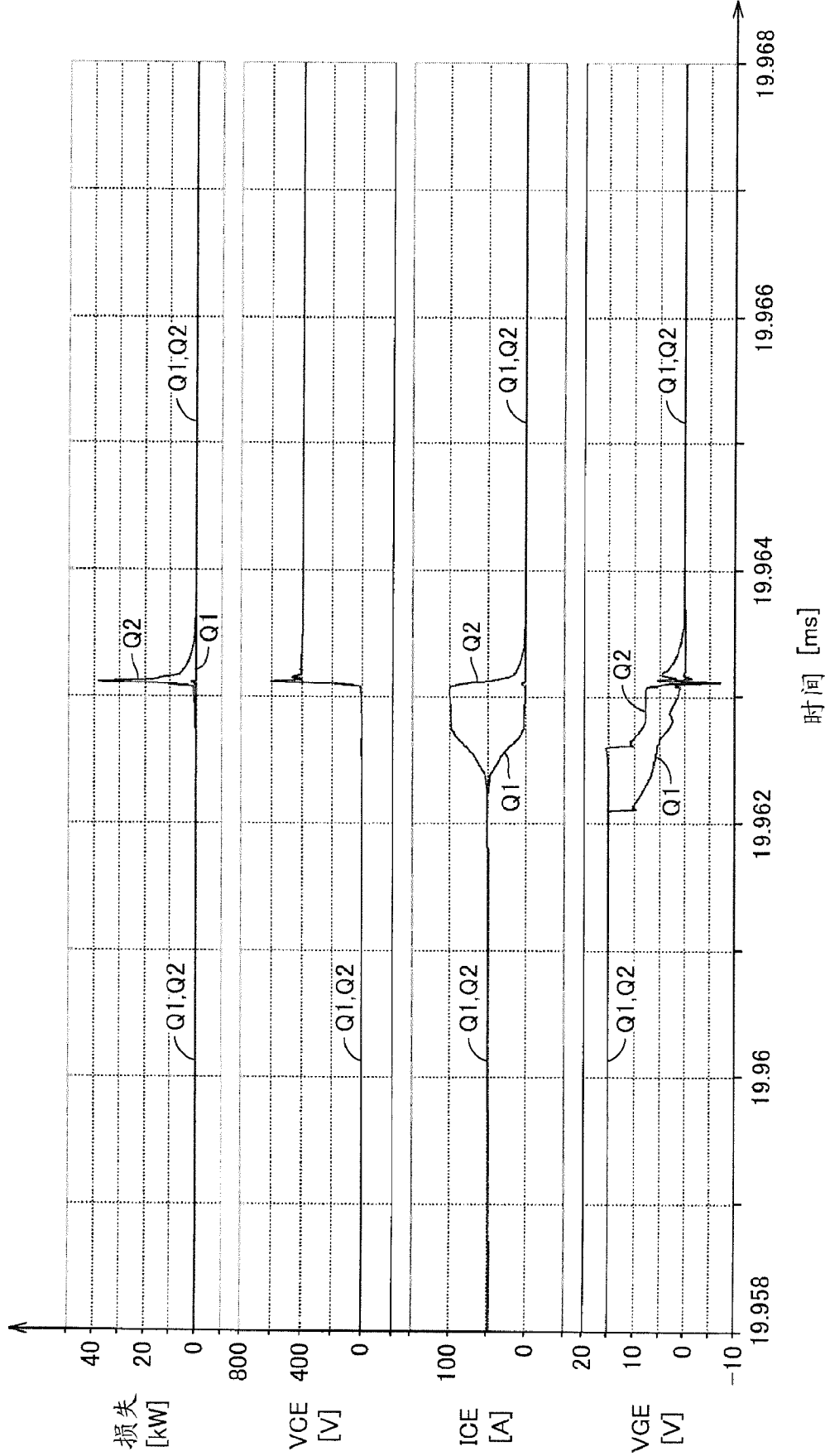


图 12

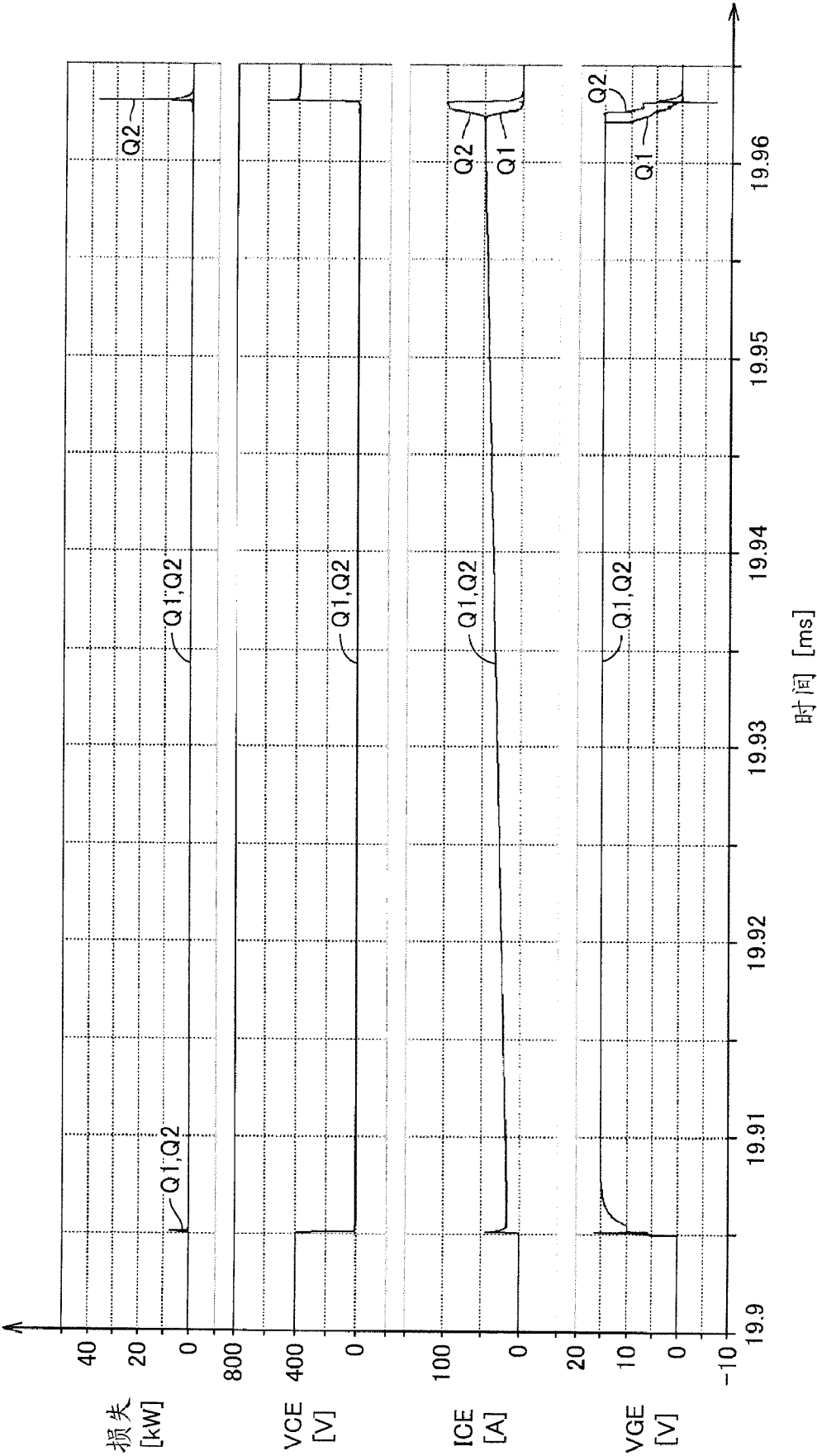


图 13

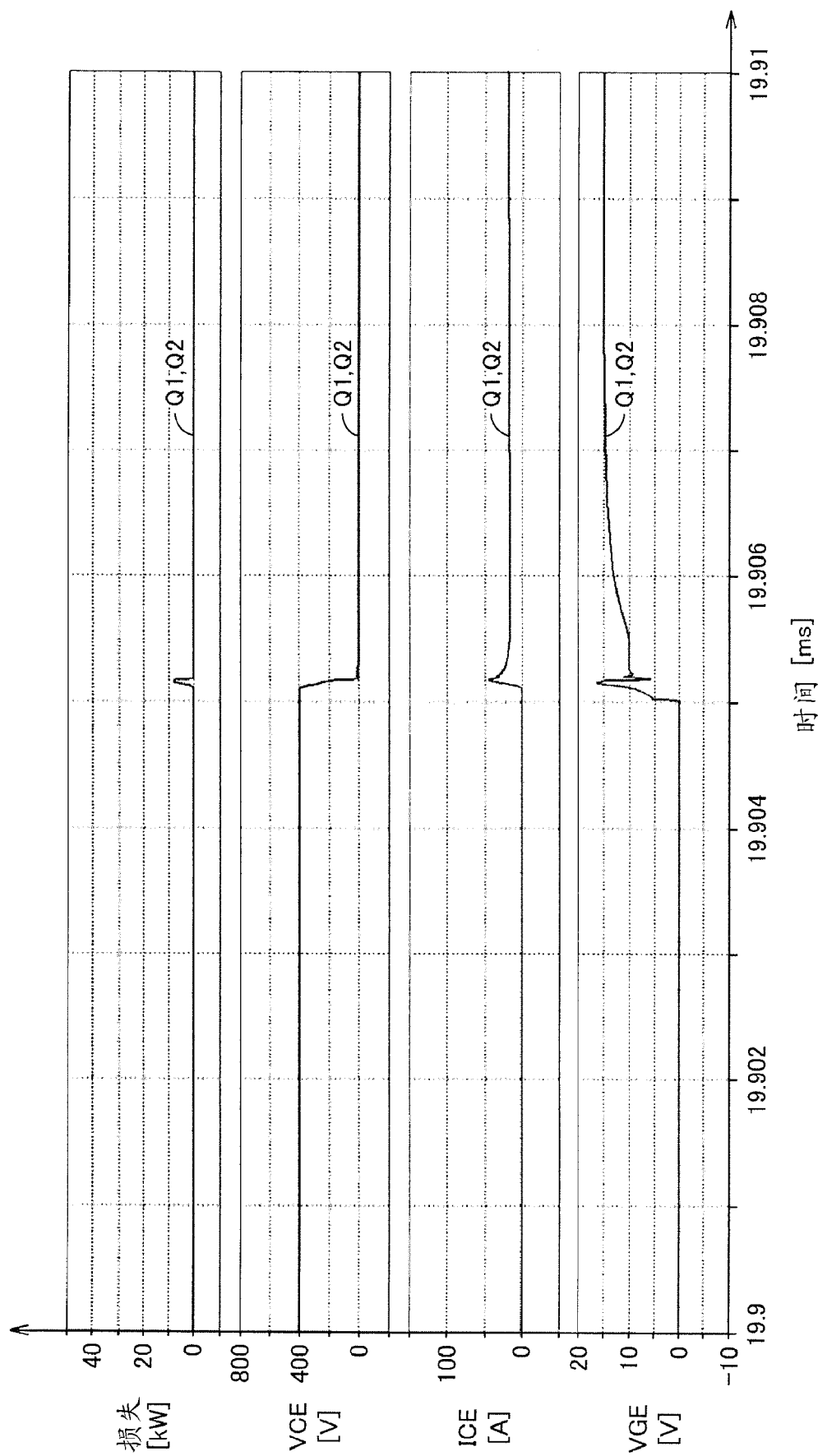


图 14

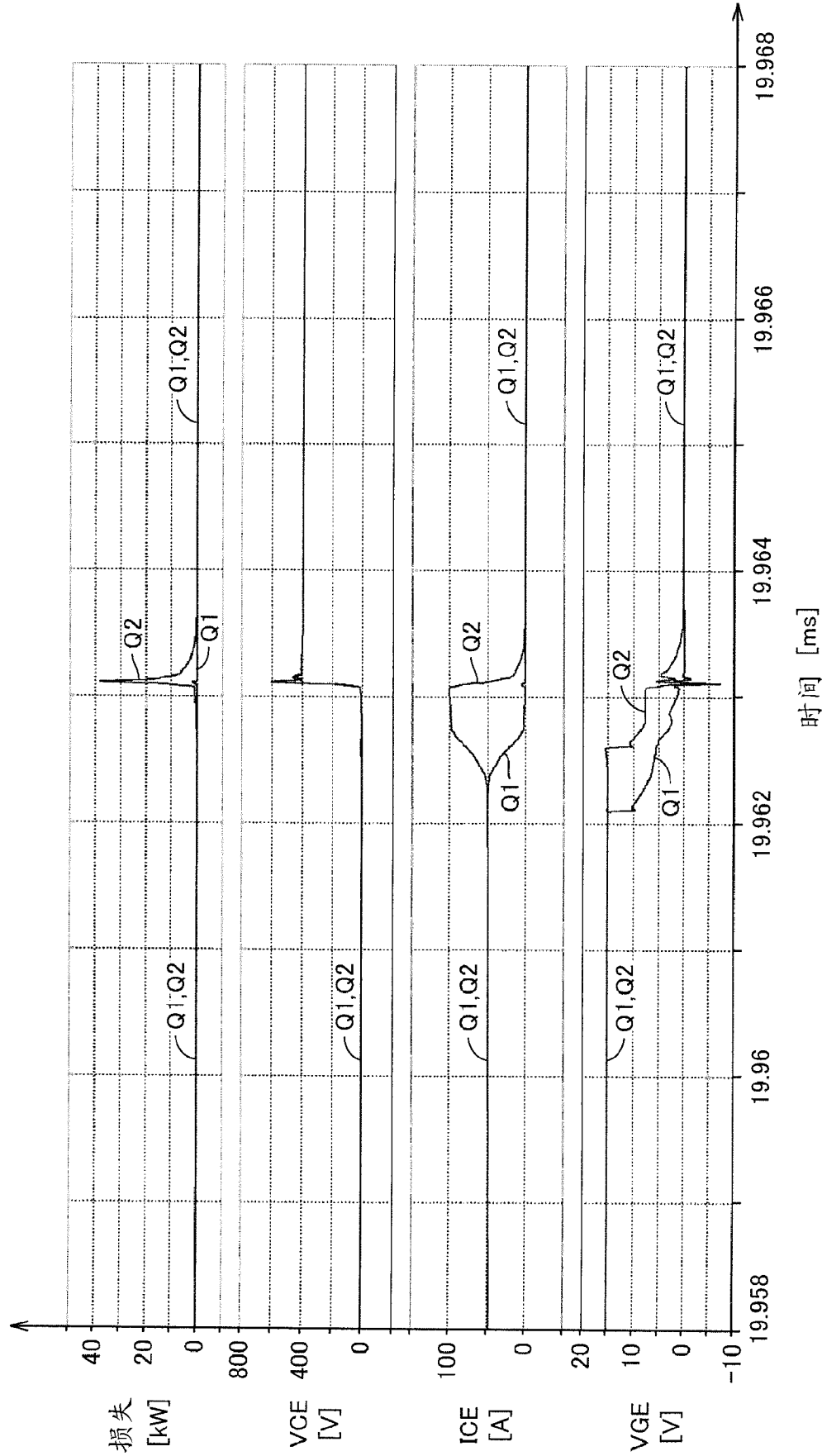


图 15

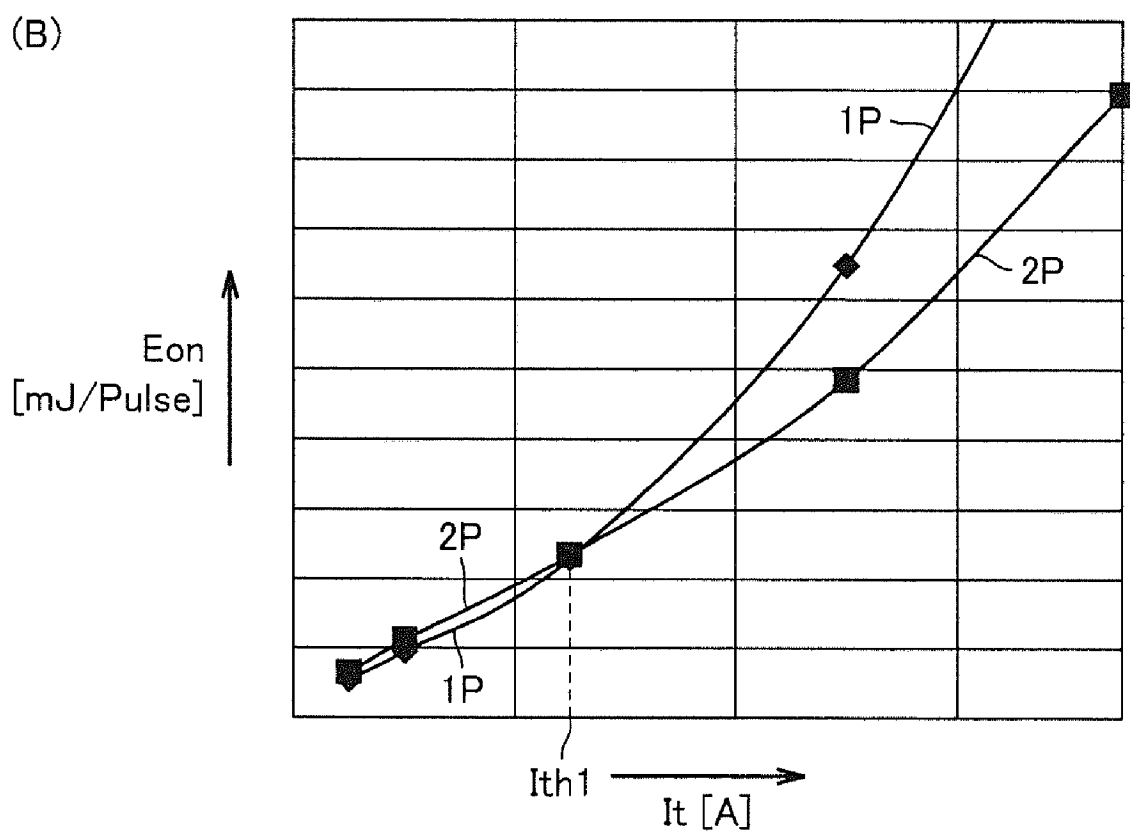
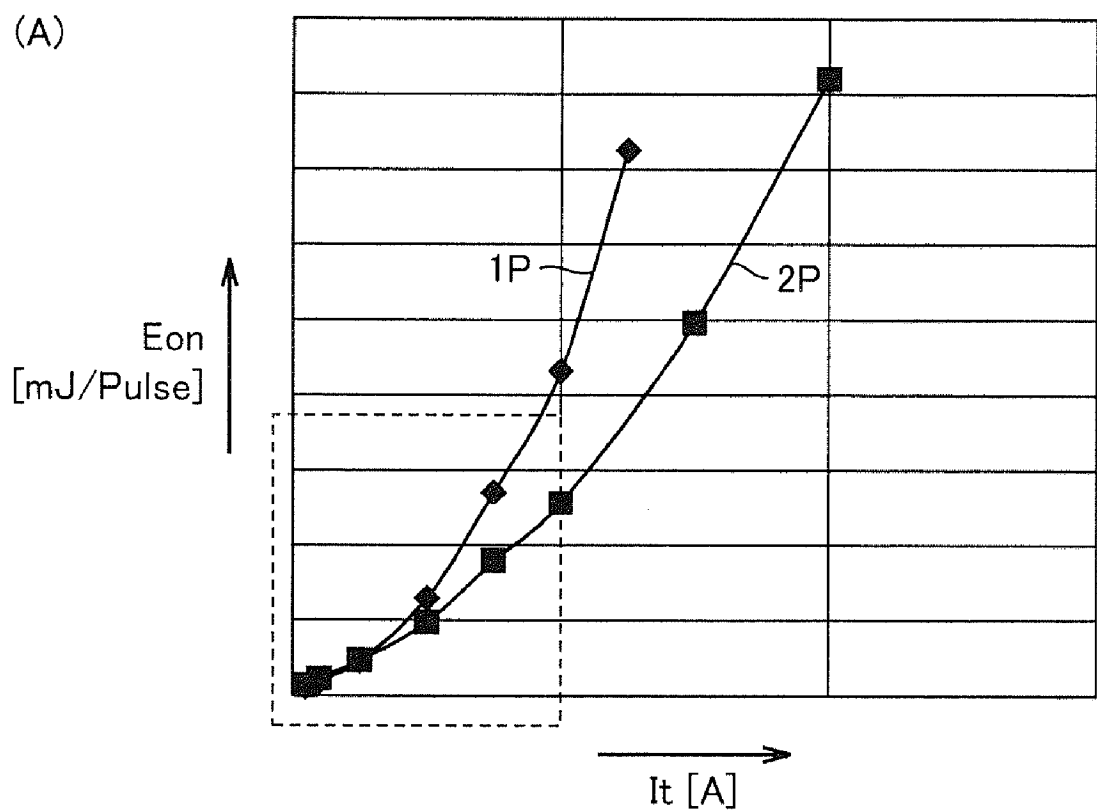


图 16

201

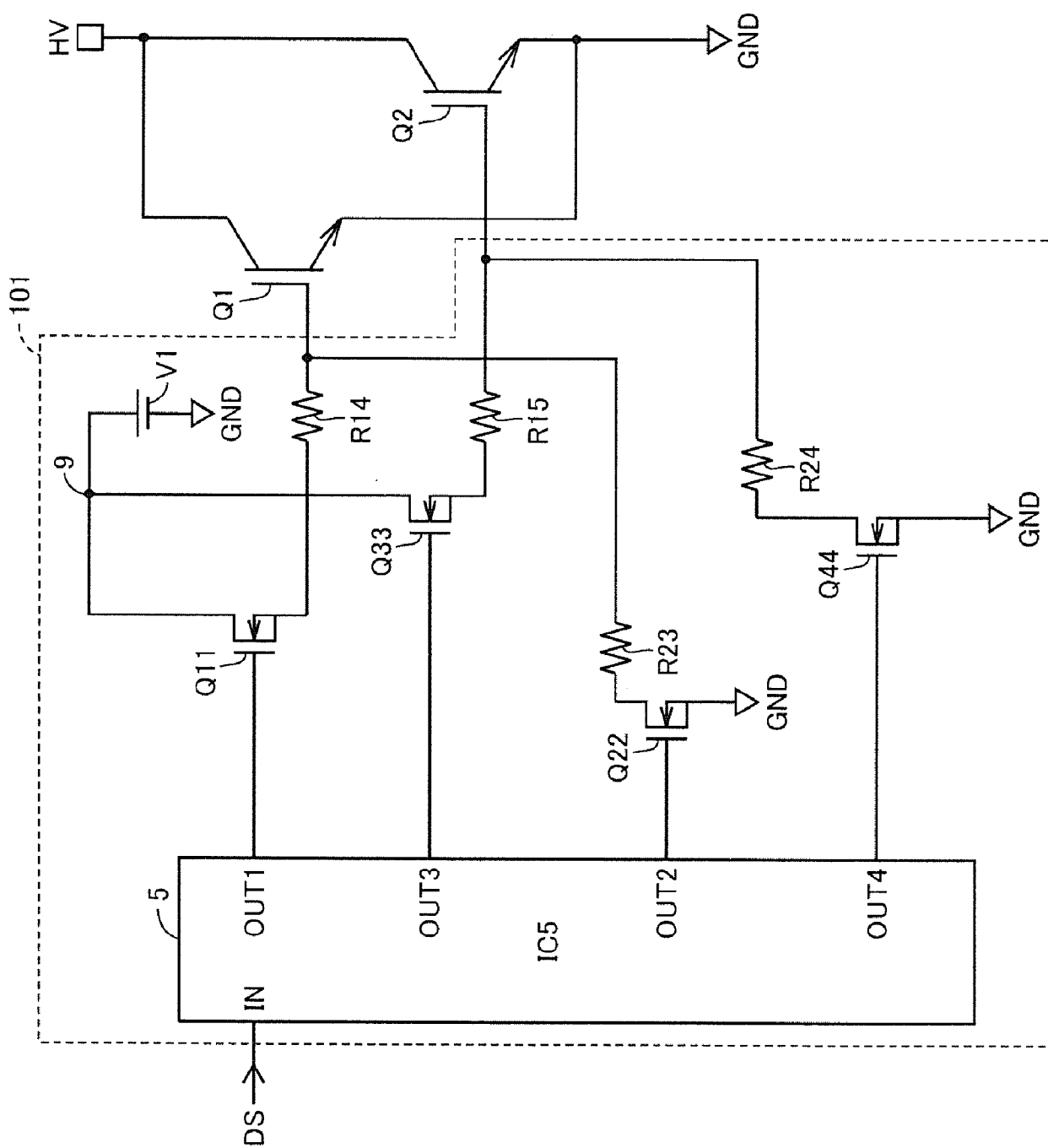


图 17

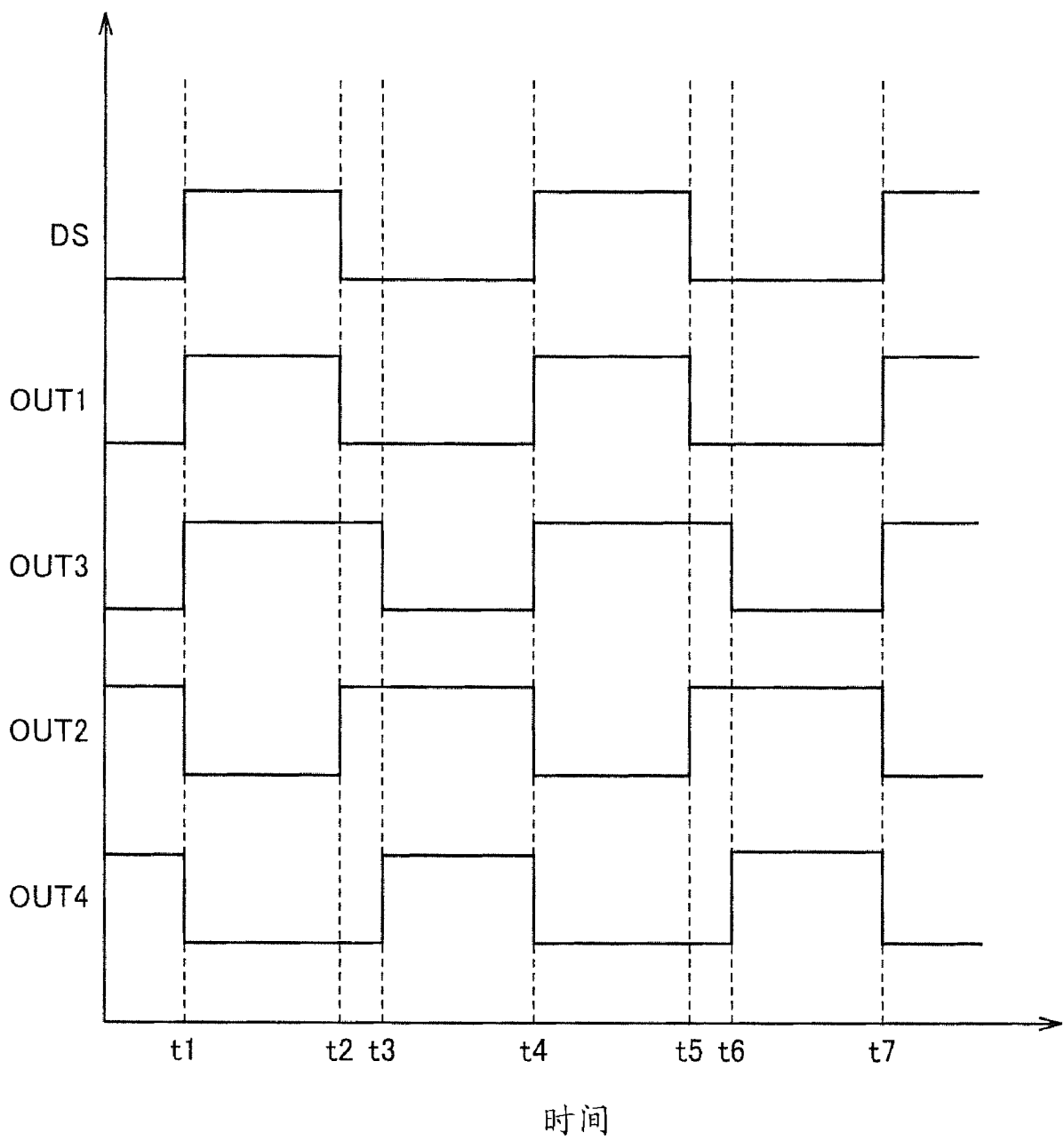


图 18

202

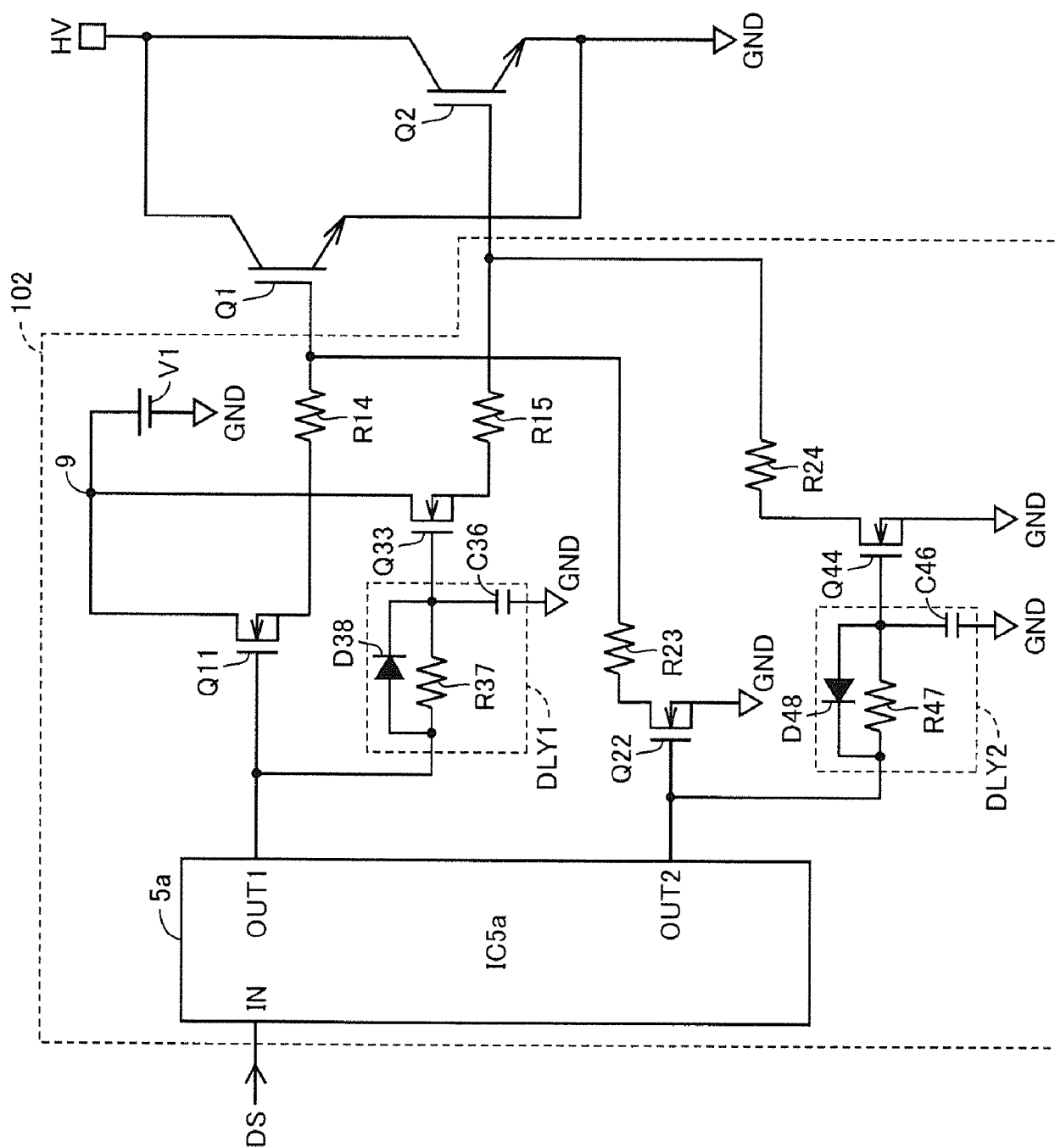


图 19

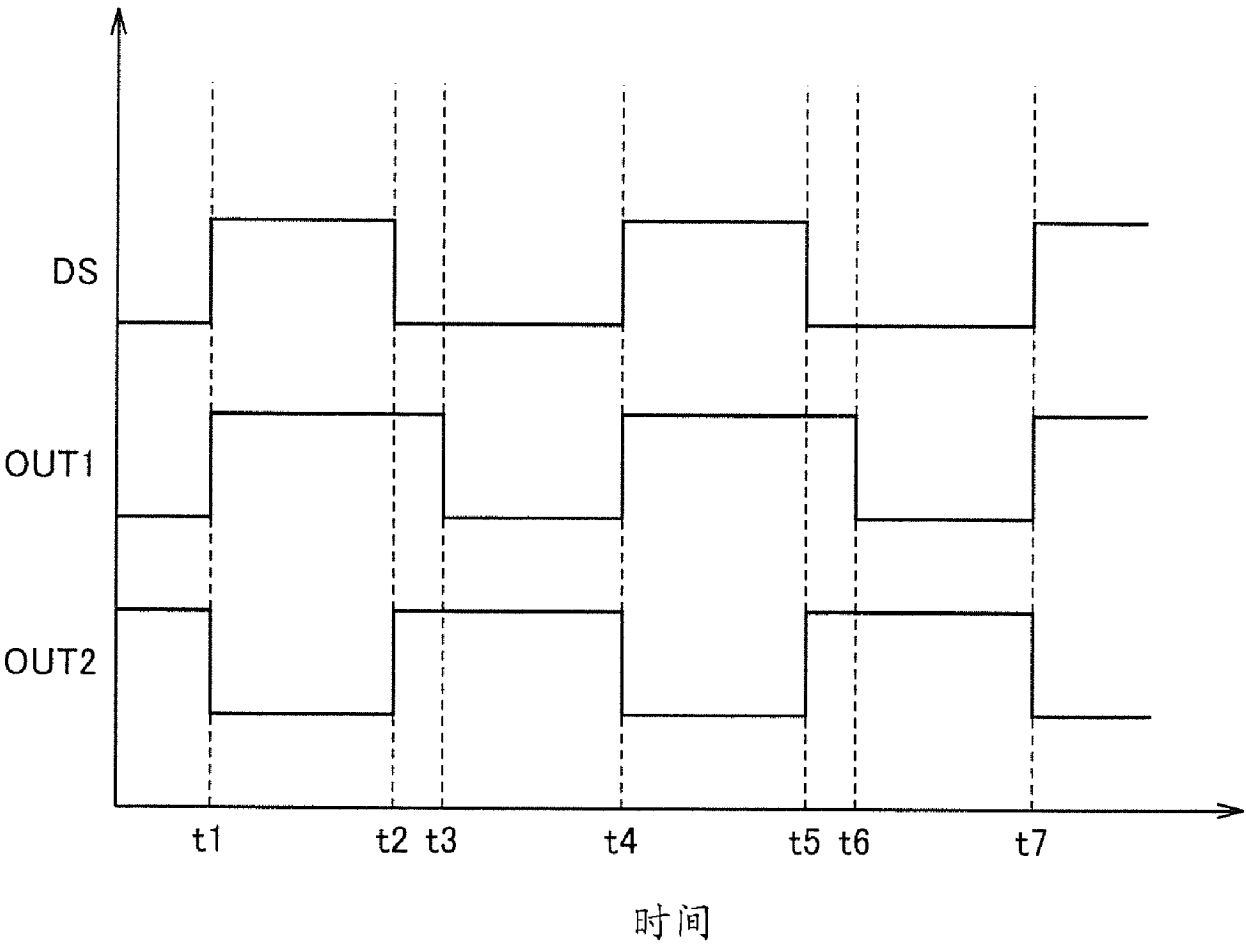


图 20

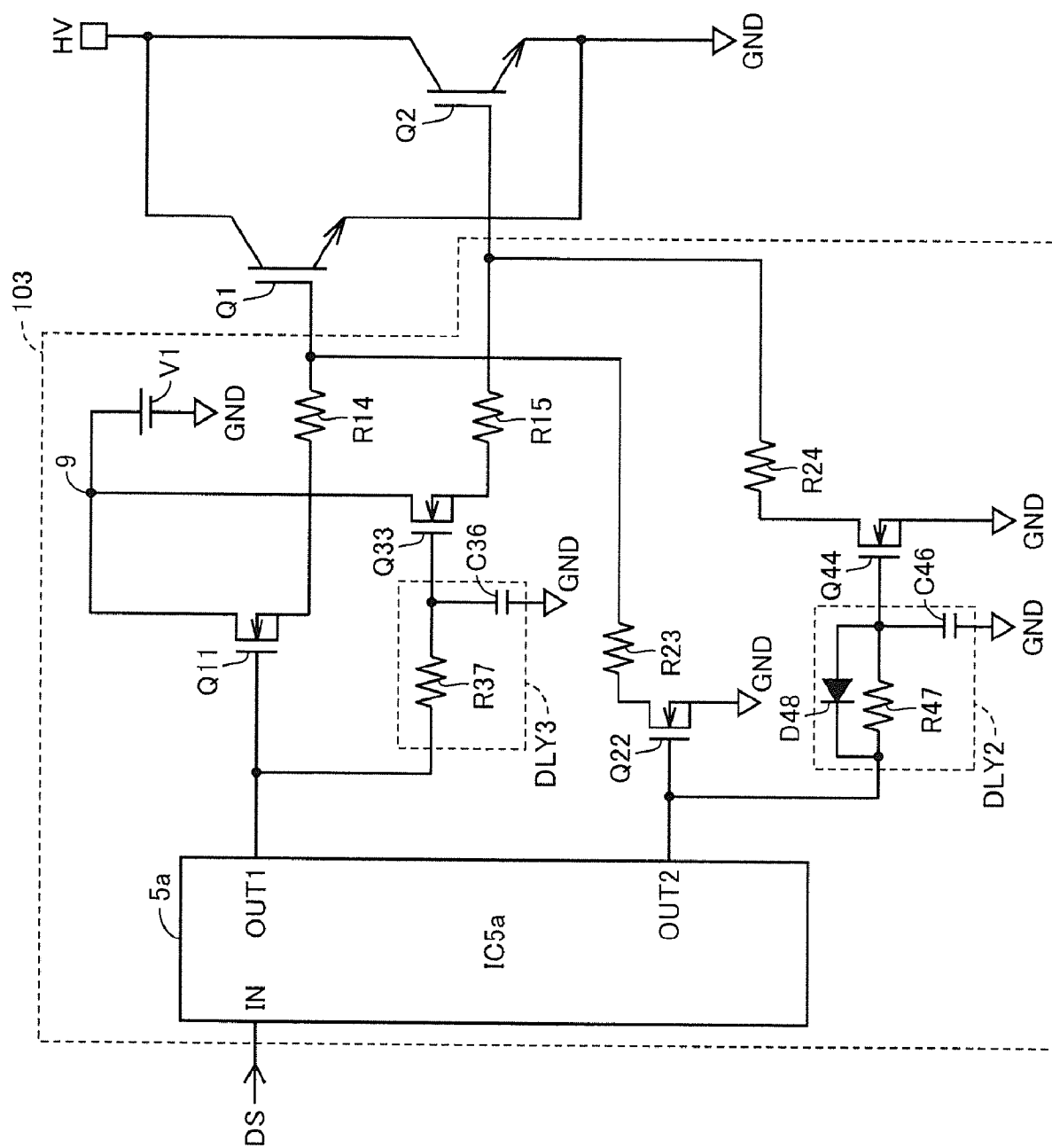


图 21

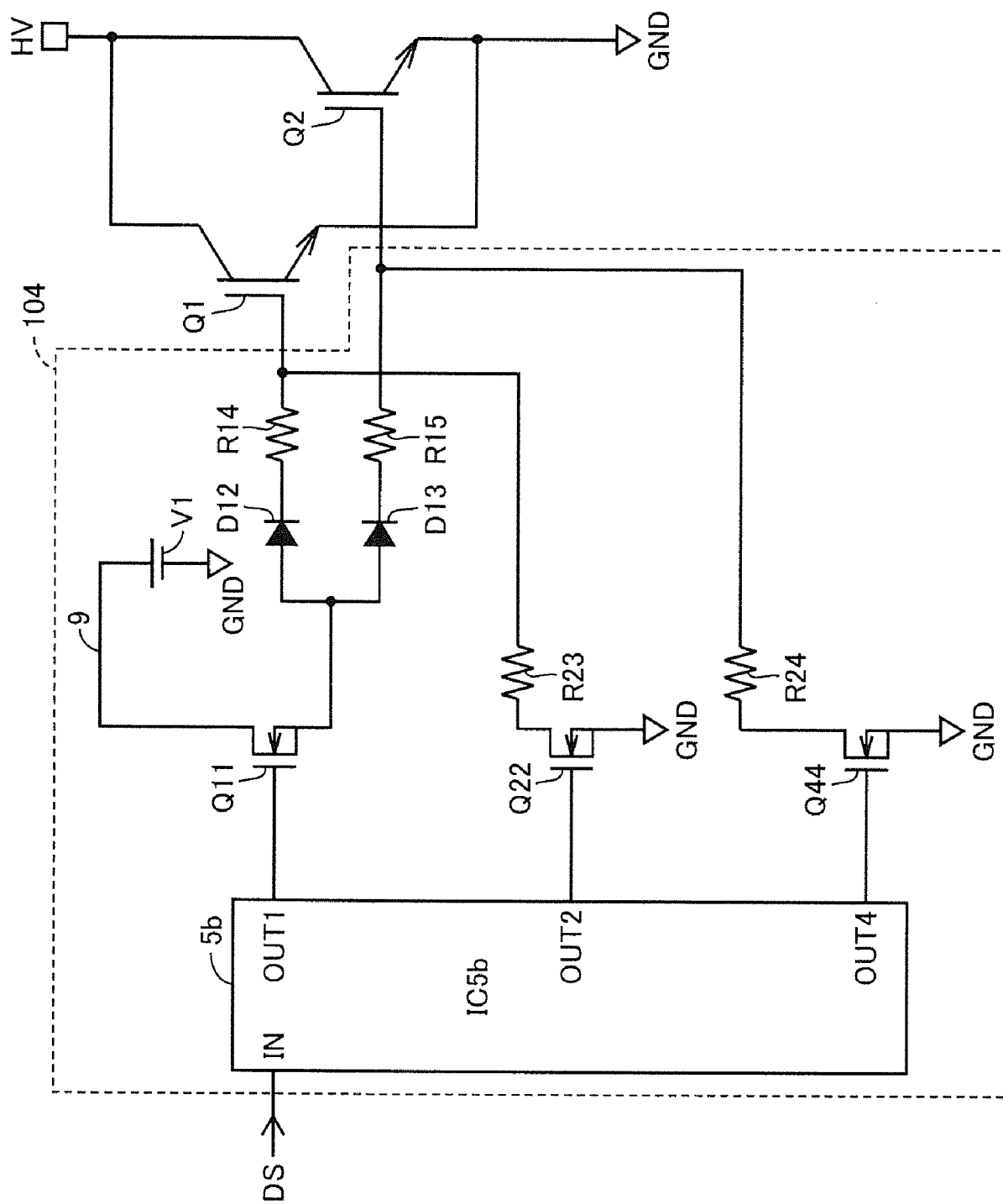


图 22

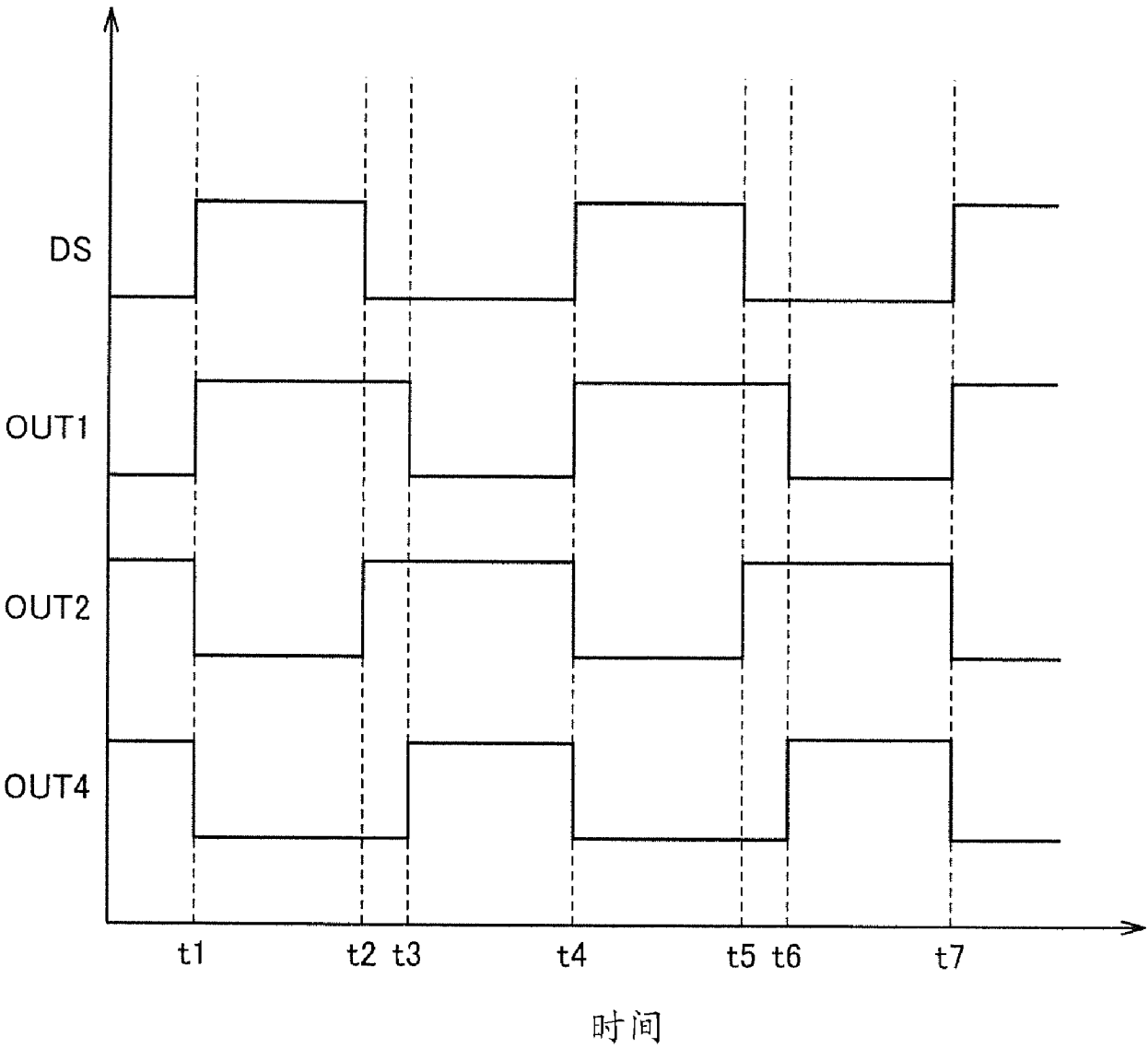


图 23

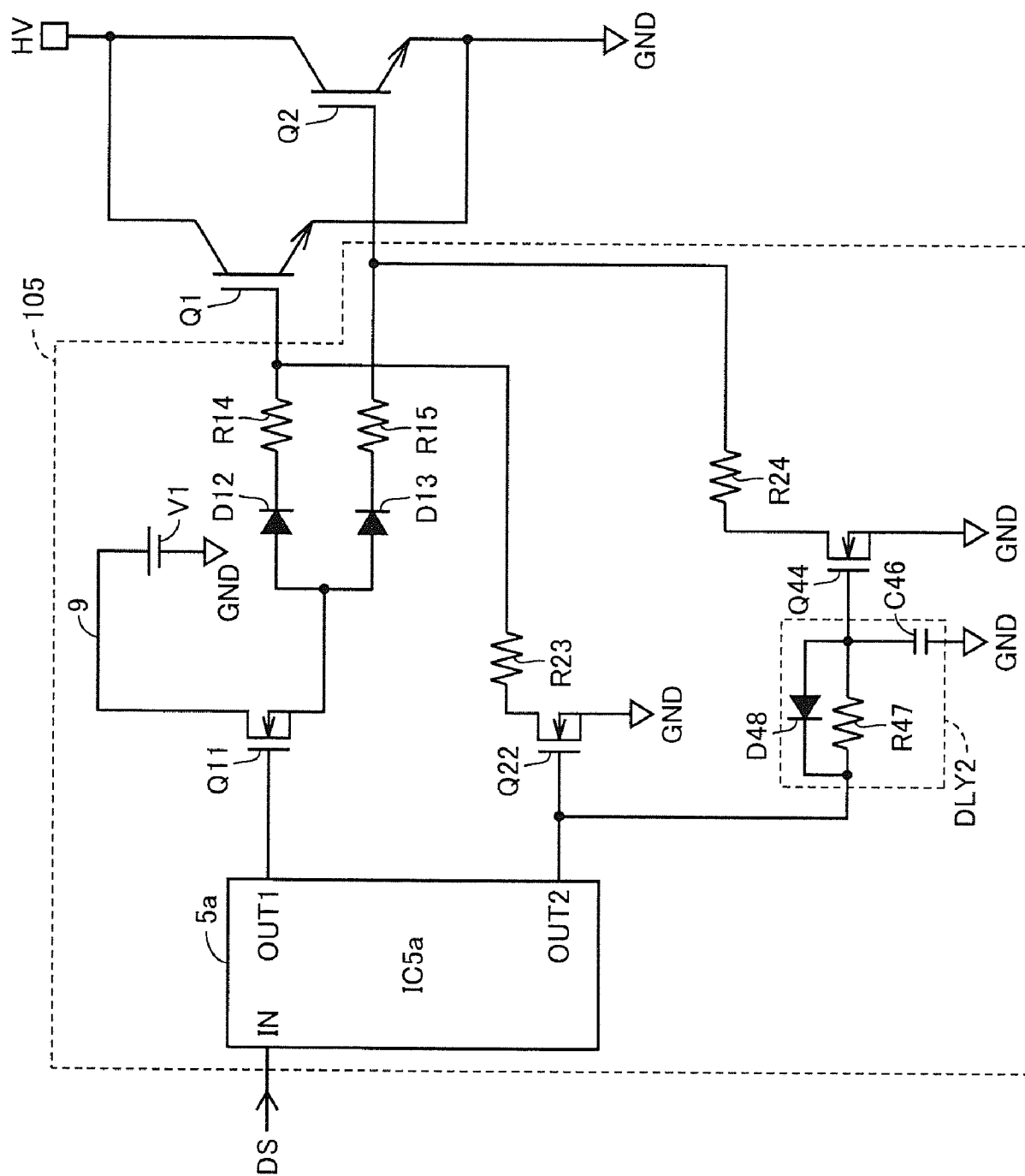


图 24

206

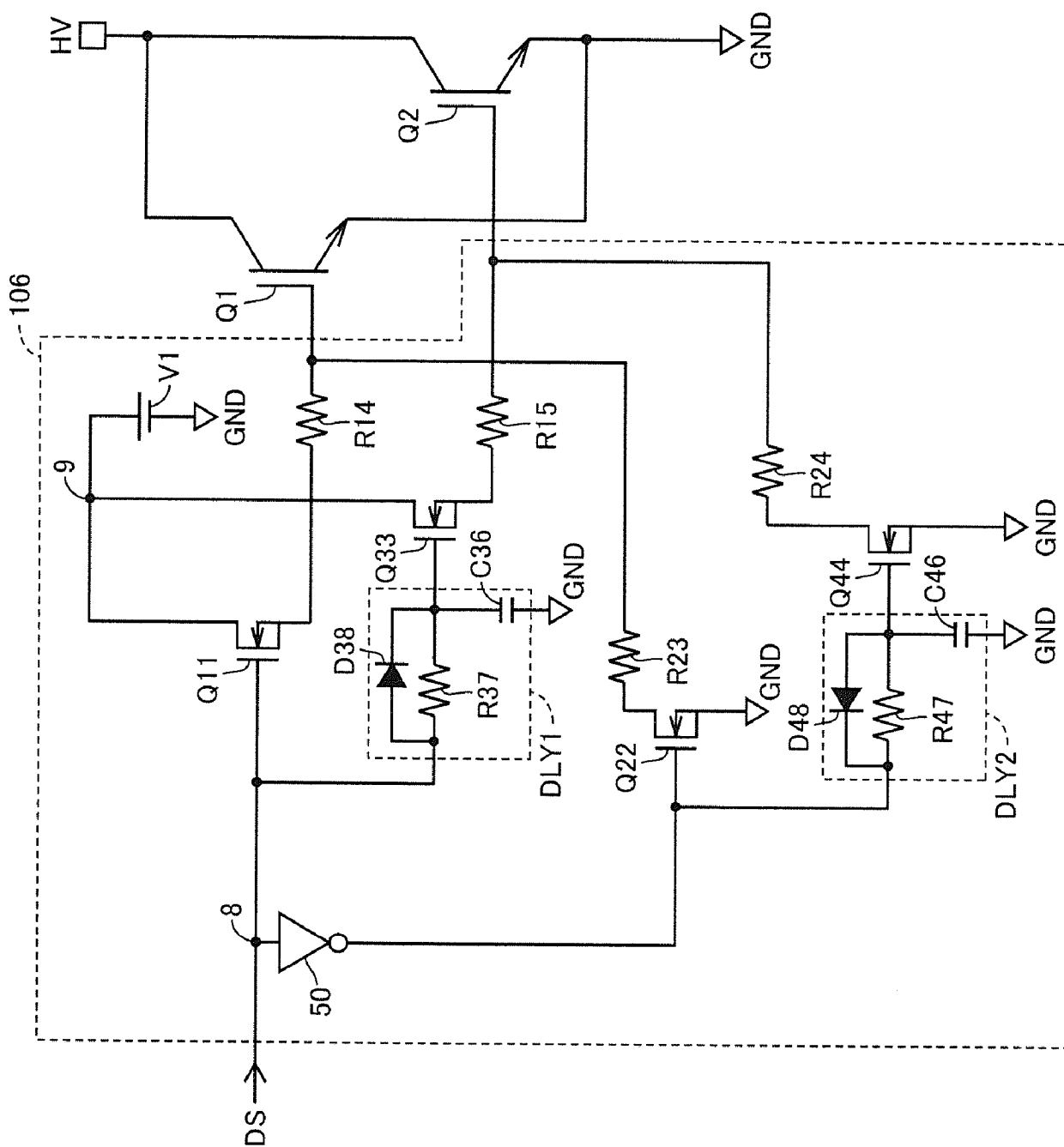


图 25

207

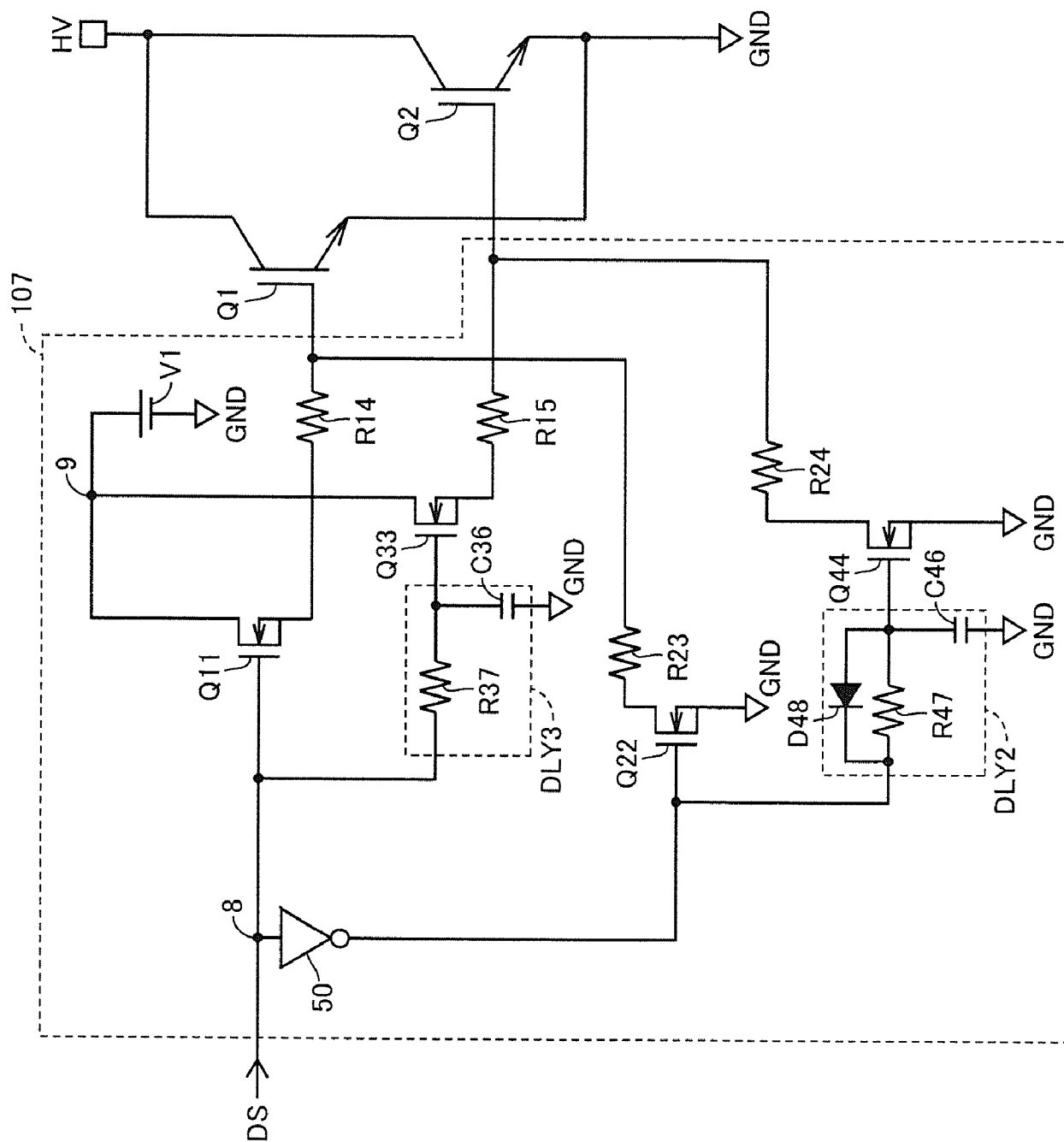


图 26

208

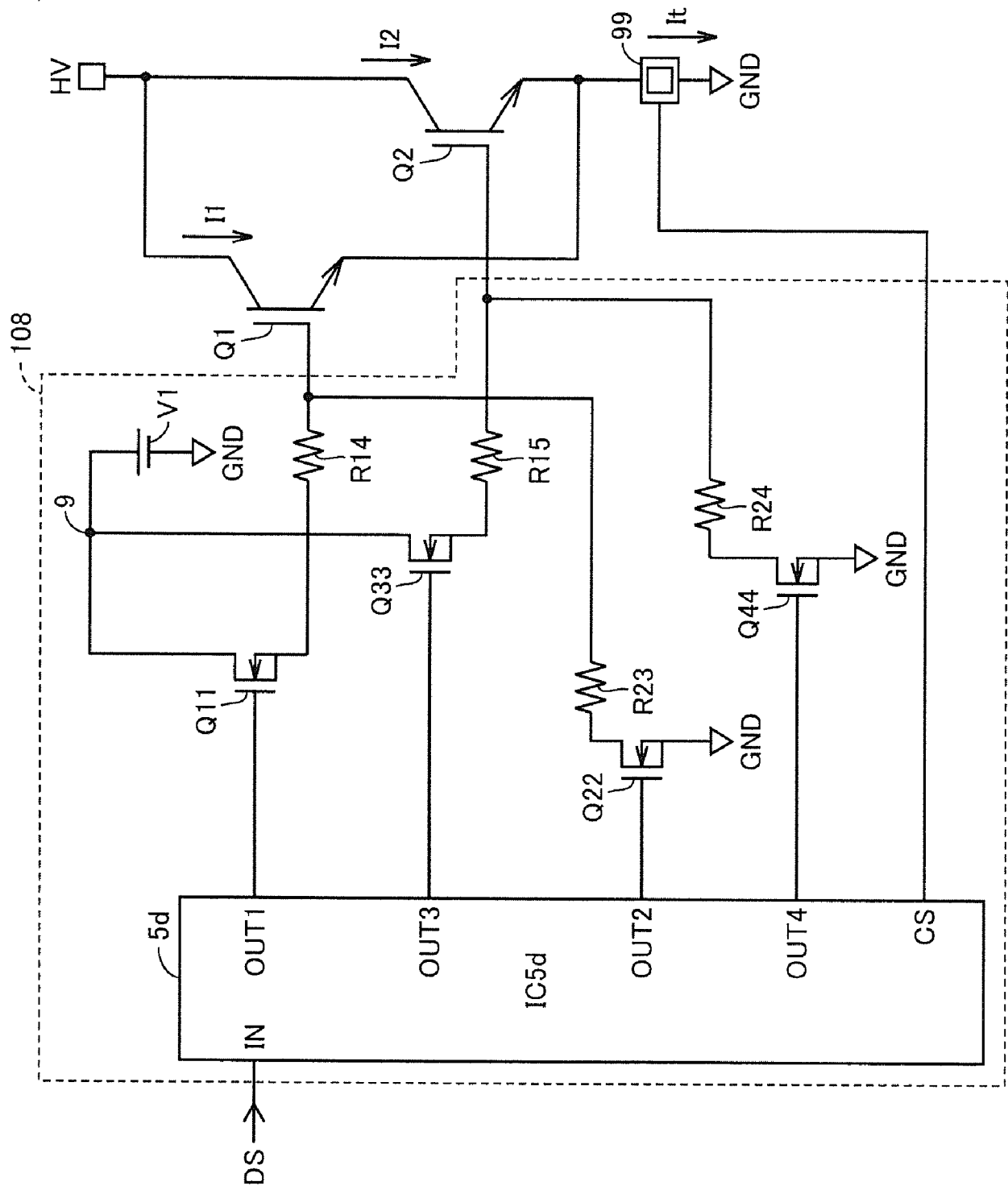


图 27

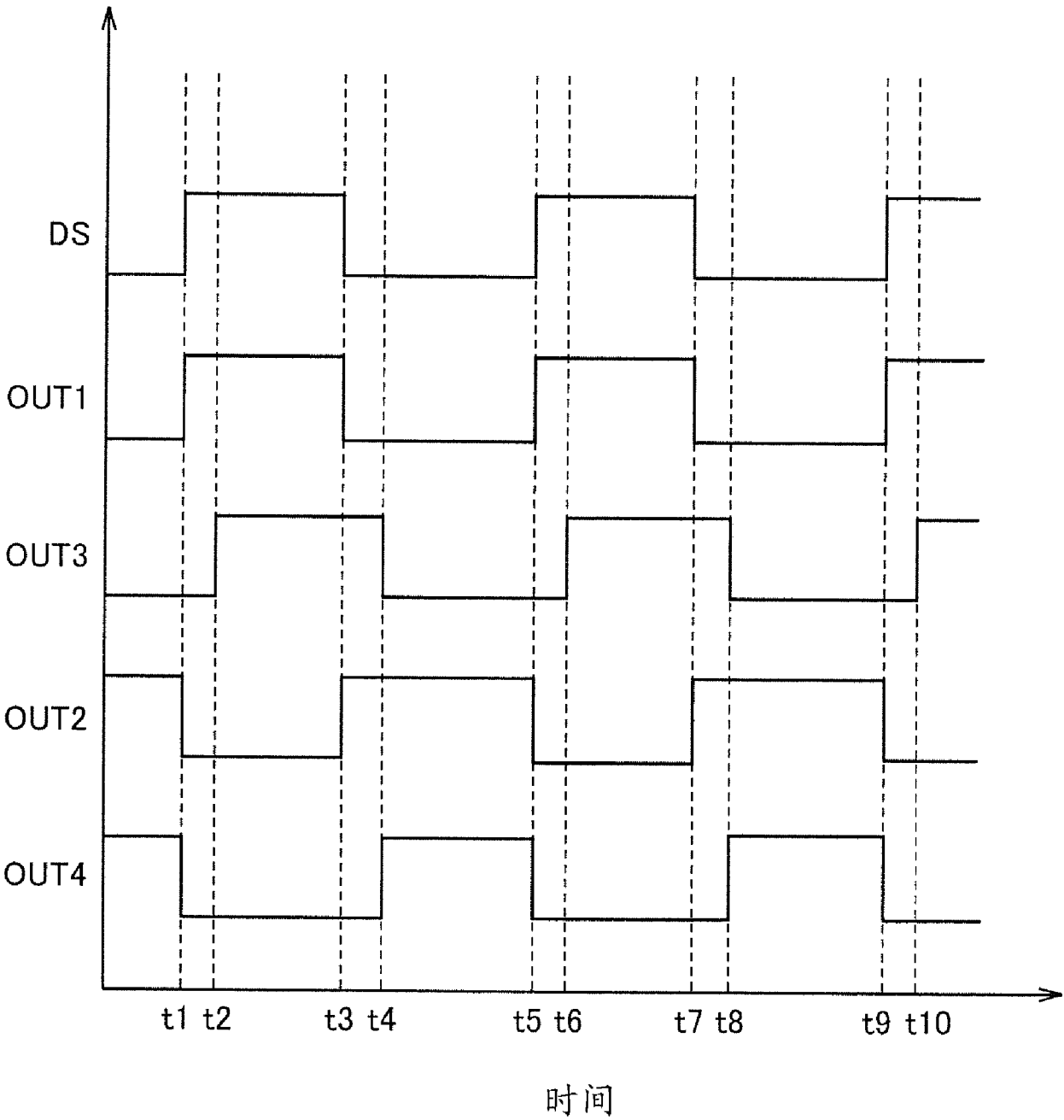


图 28

209

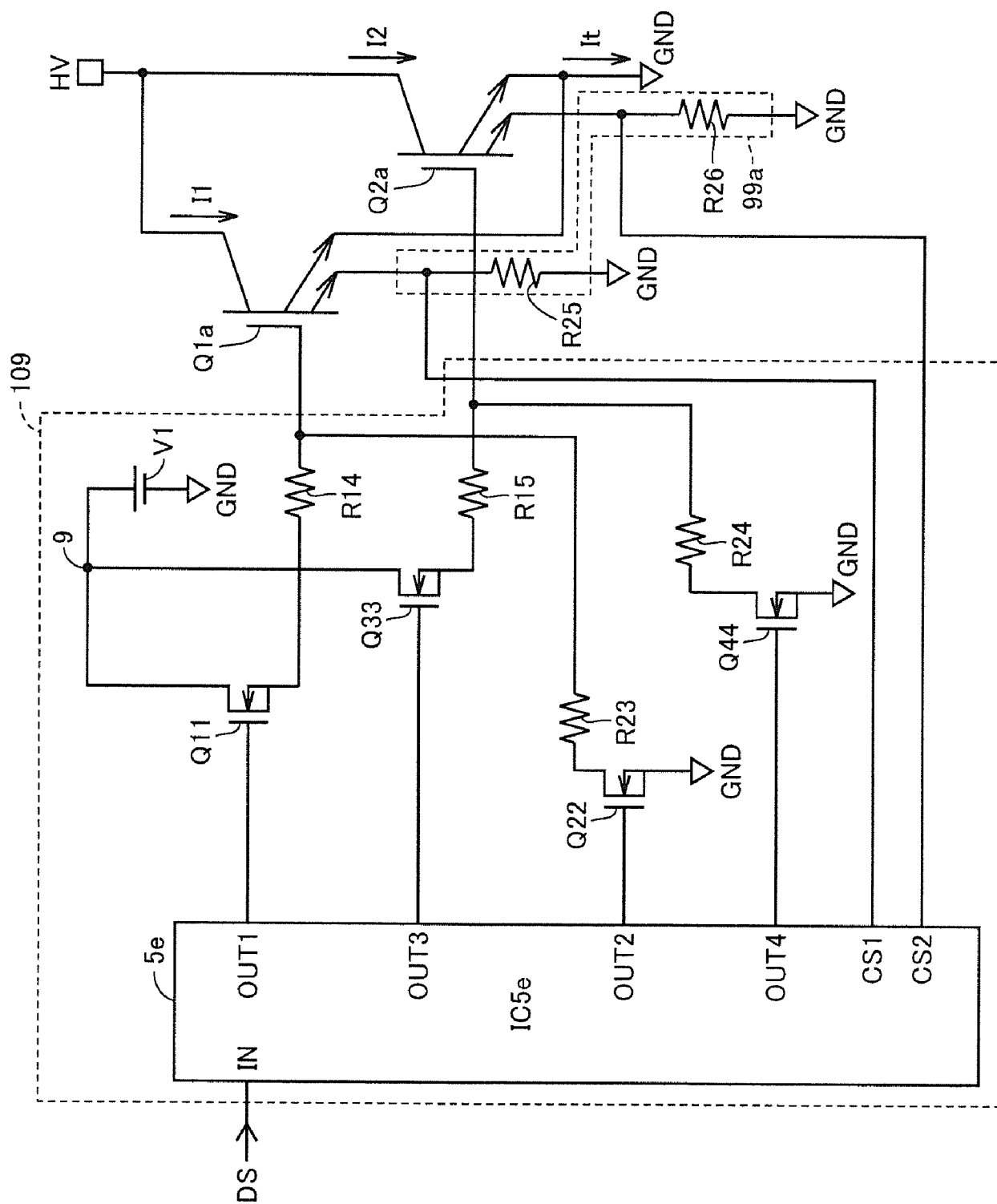


图 29

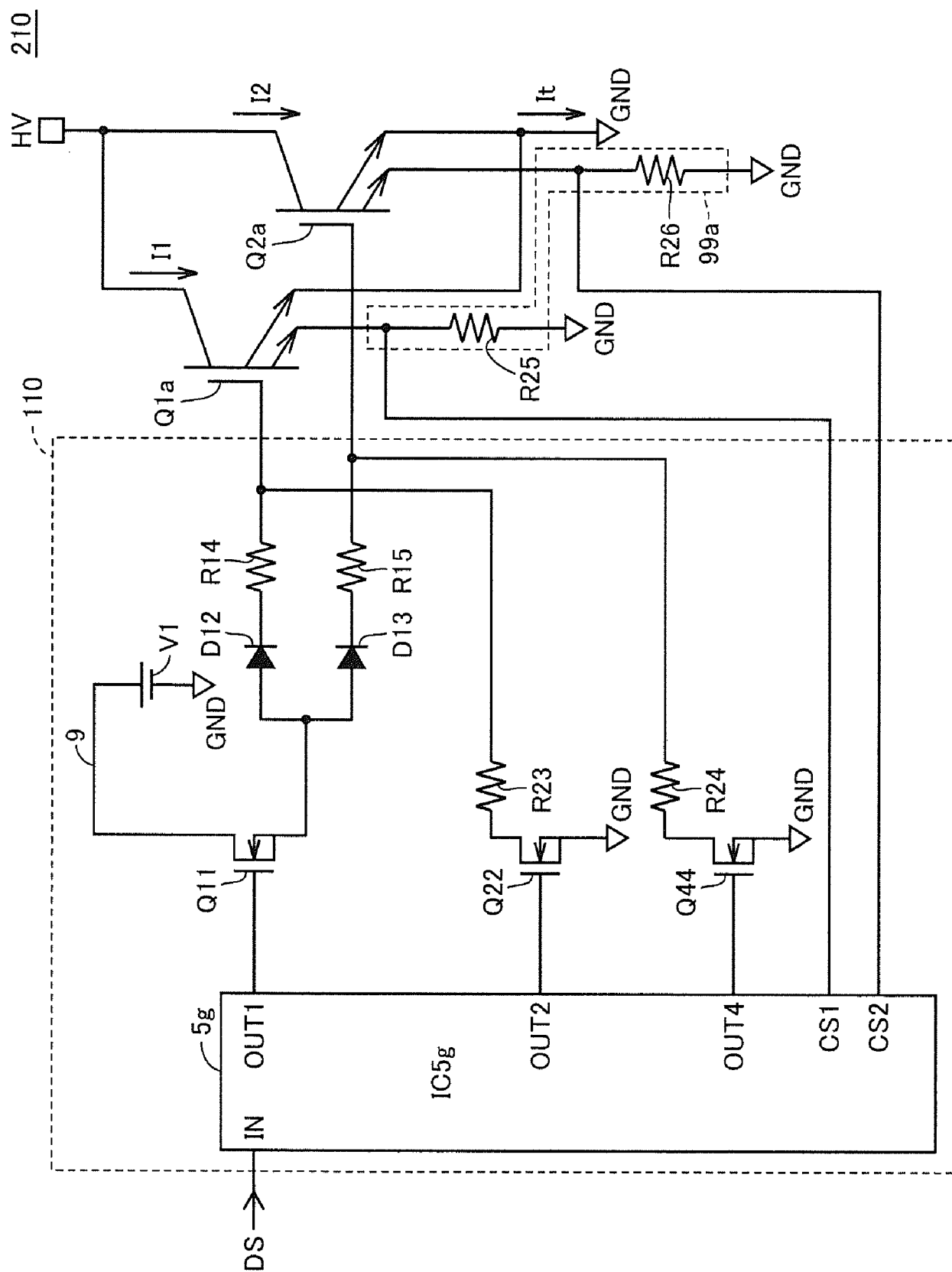


图 30

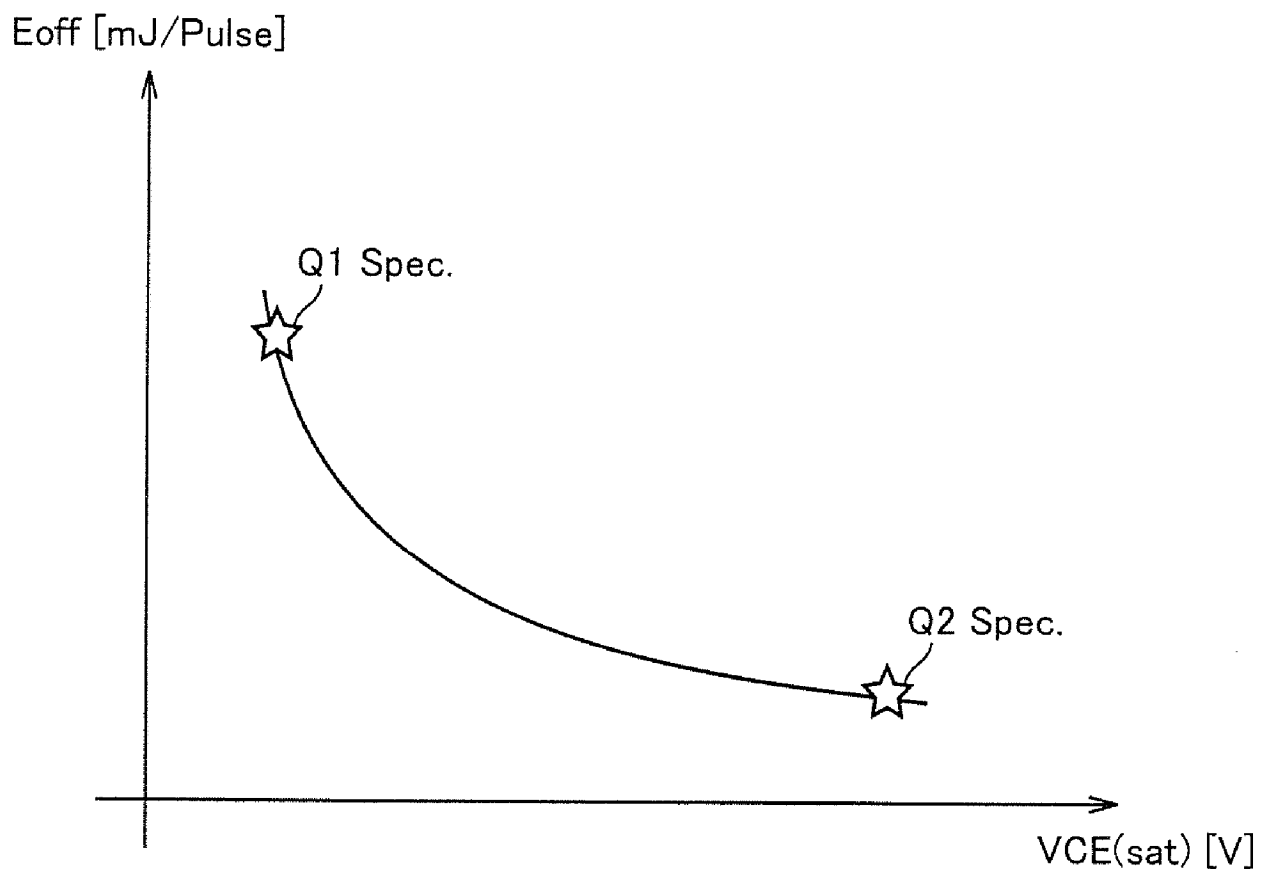


图 31

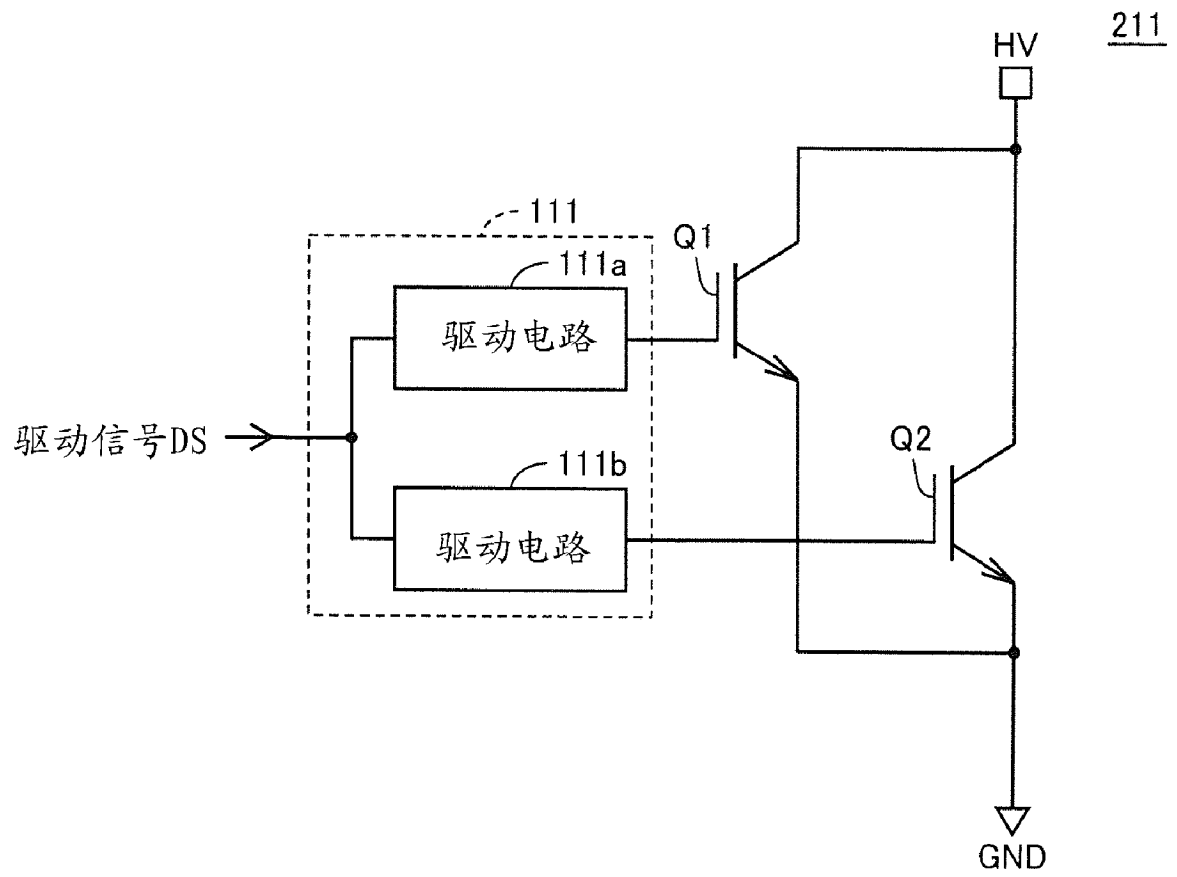


图 32

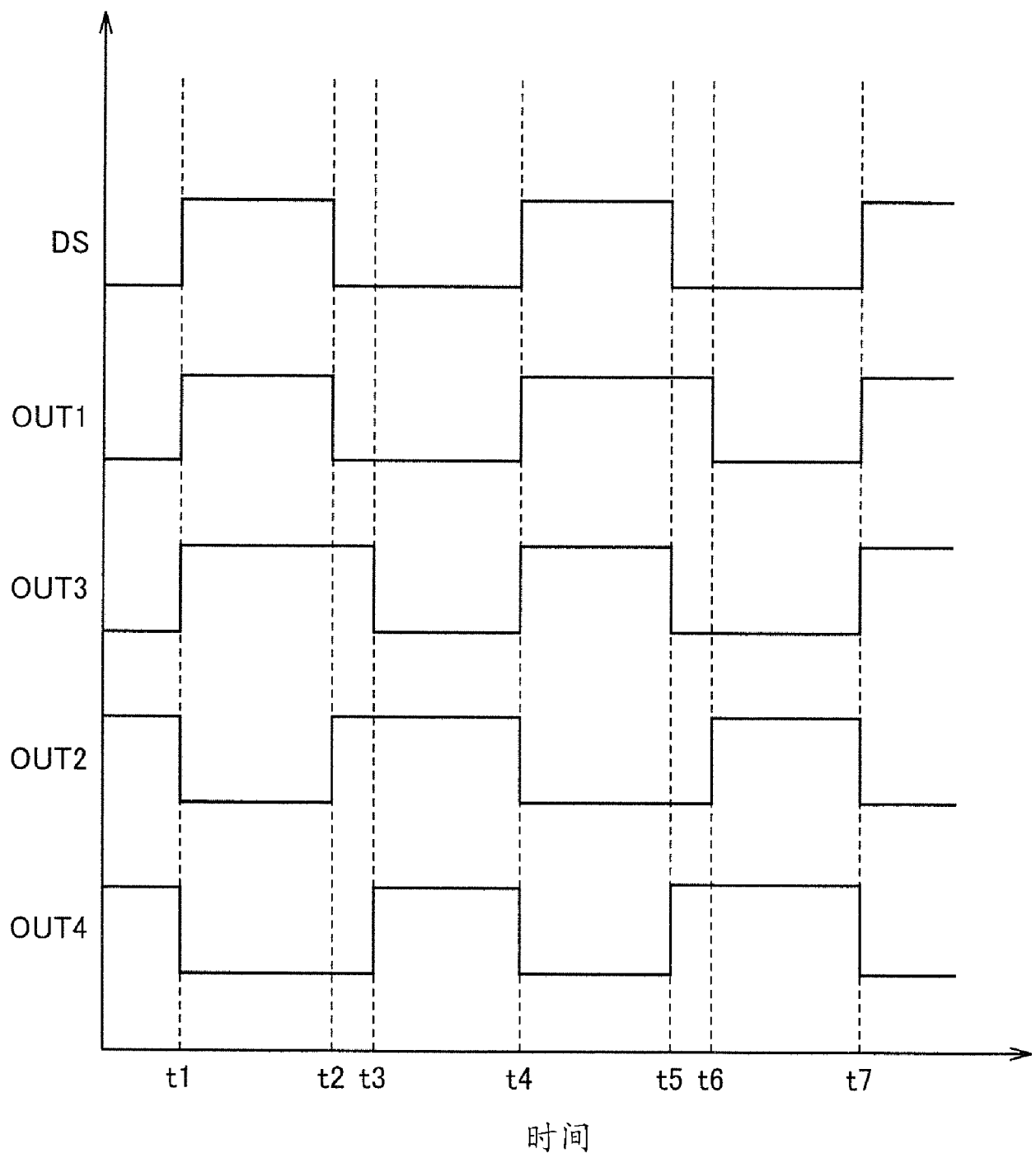


图 33

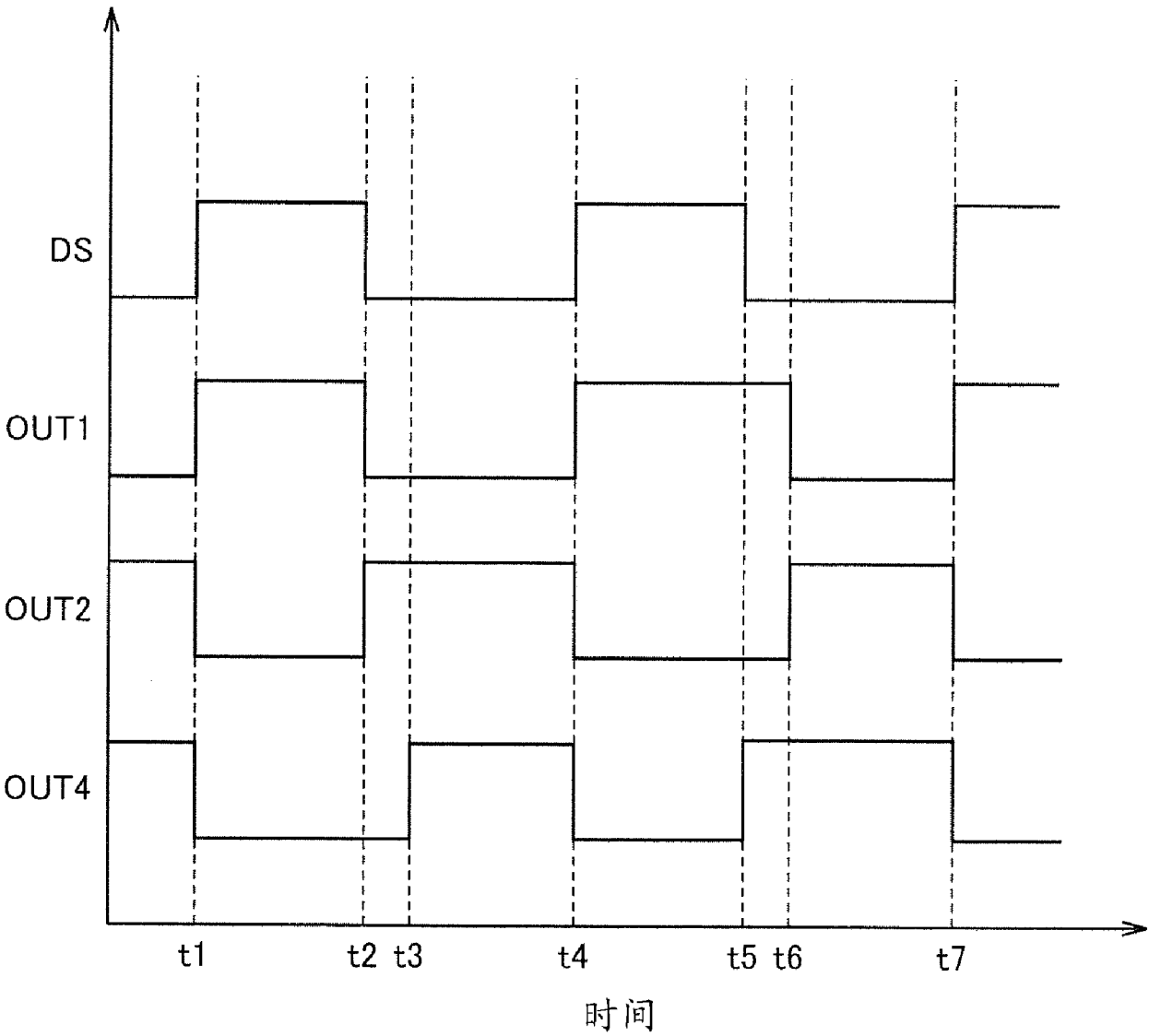


图 34

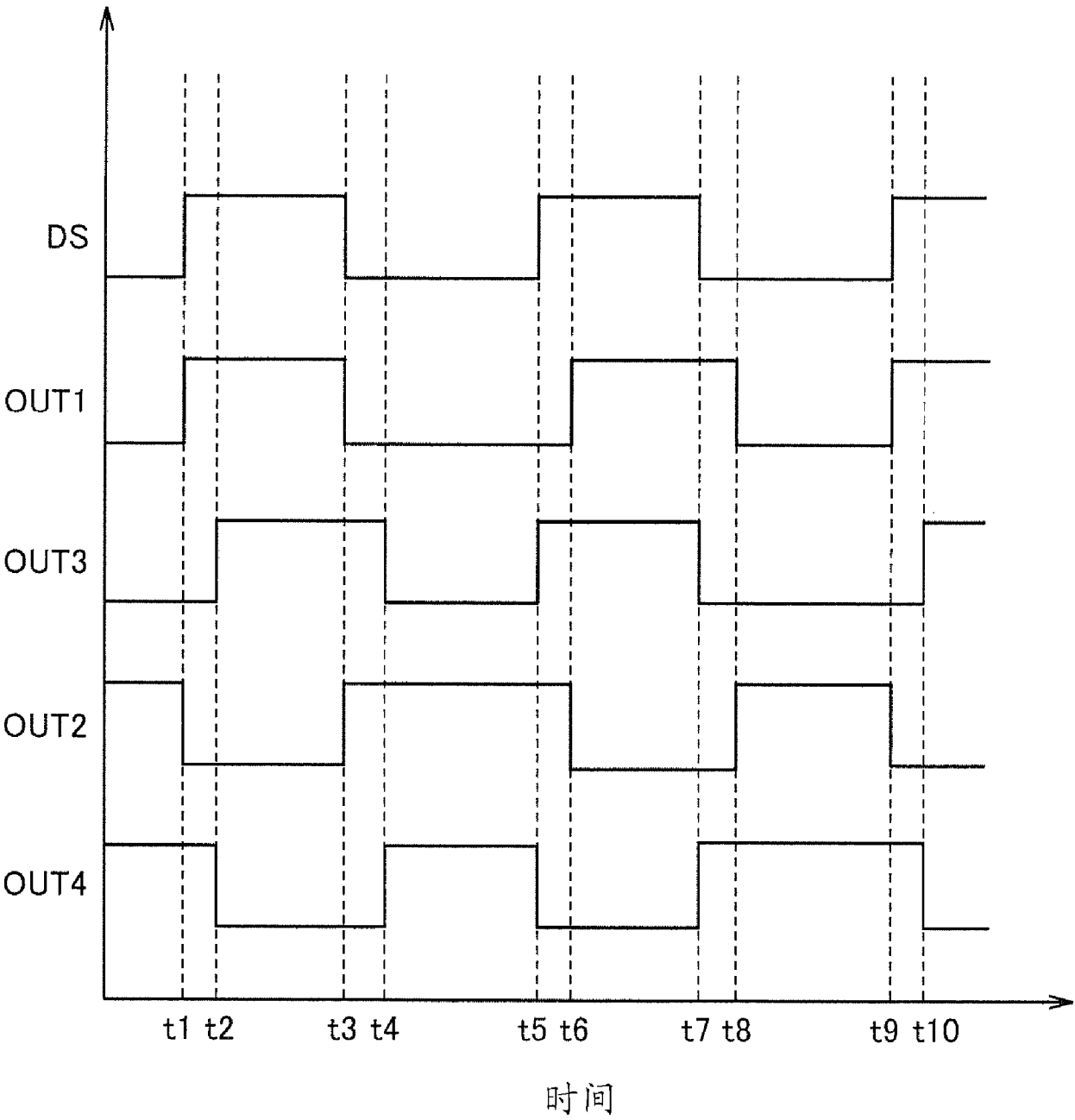


图 35

212

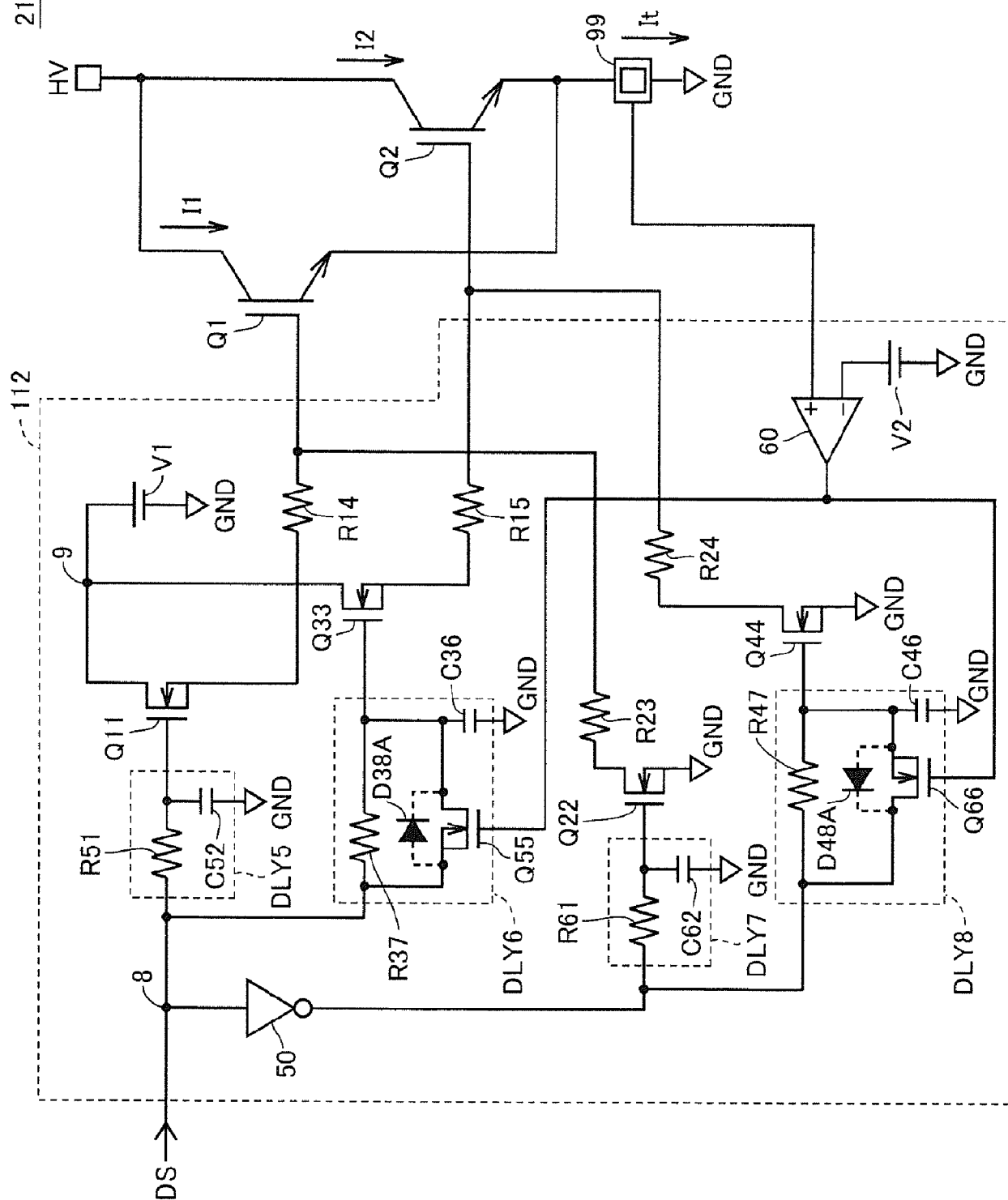


图 36

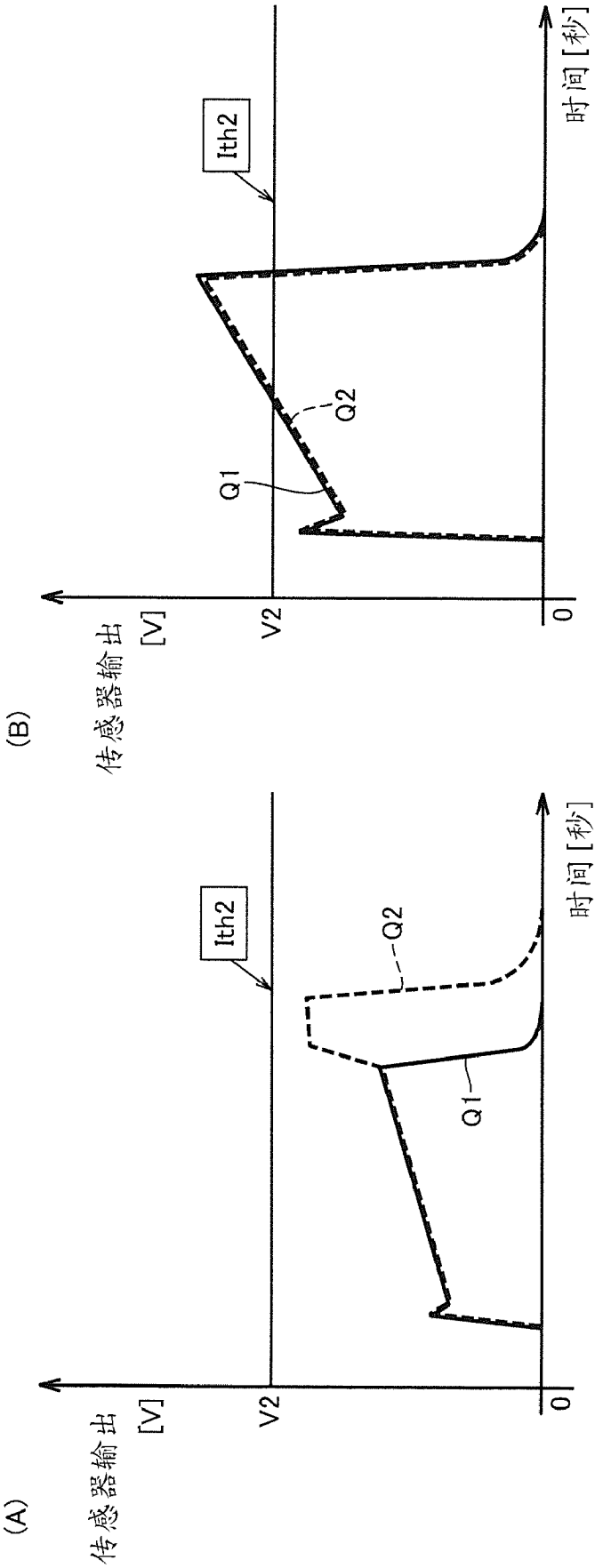


图 37

213

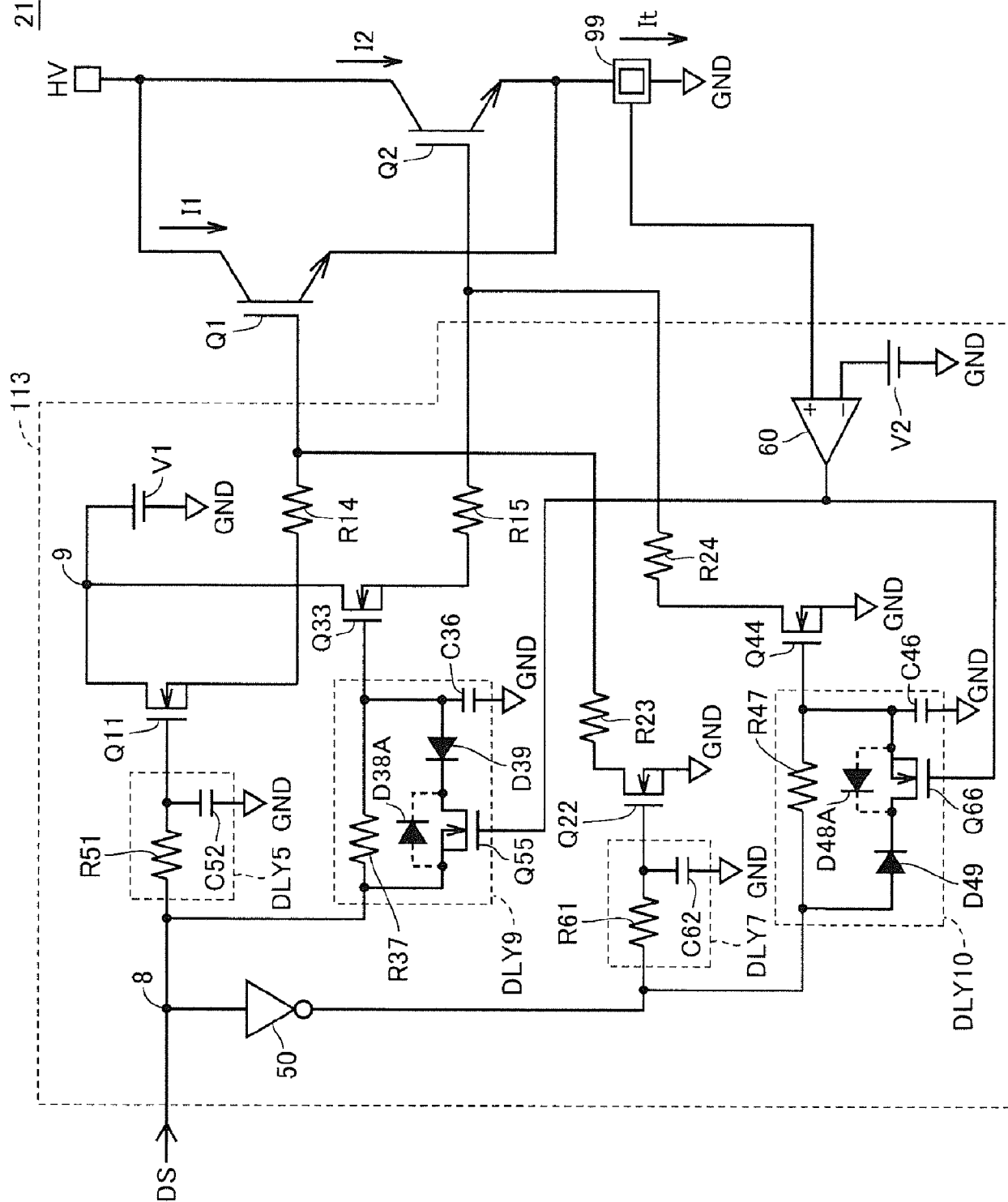


图 38

214

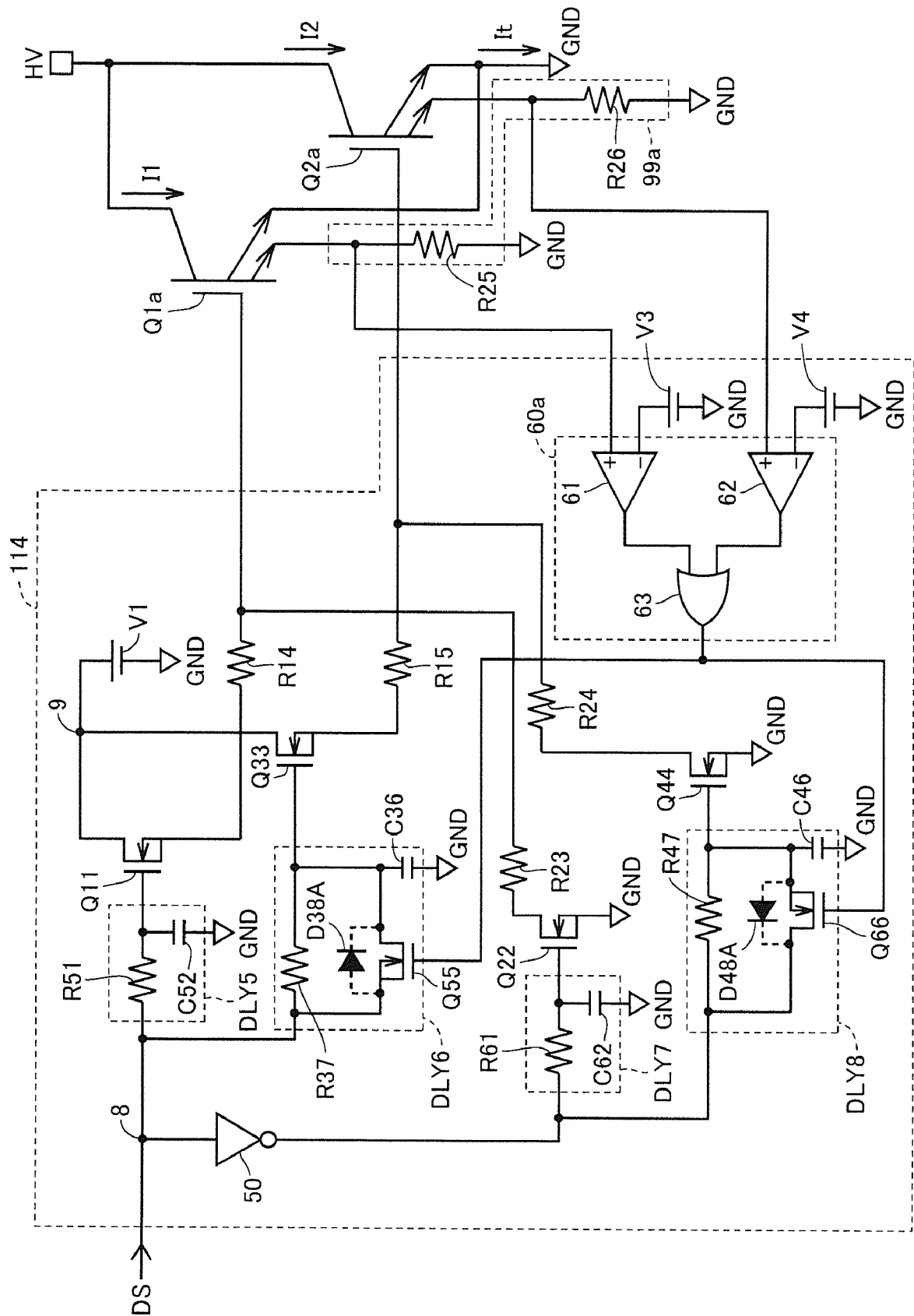


图 39

215

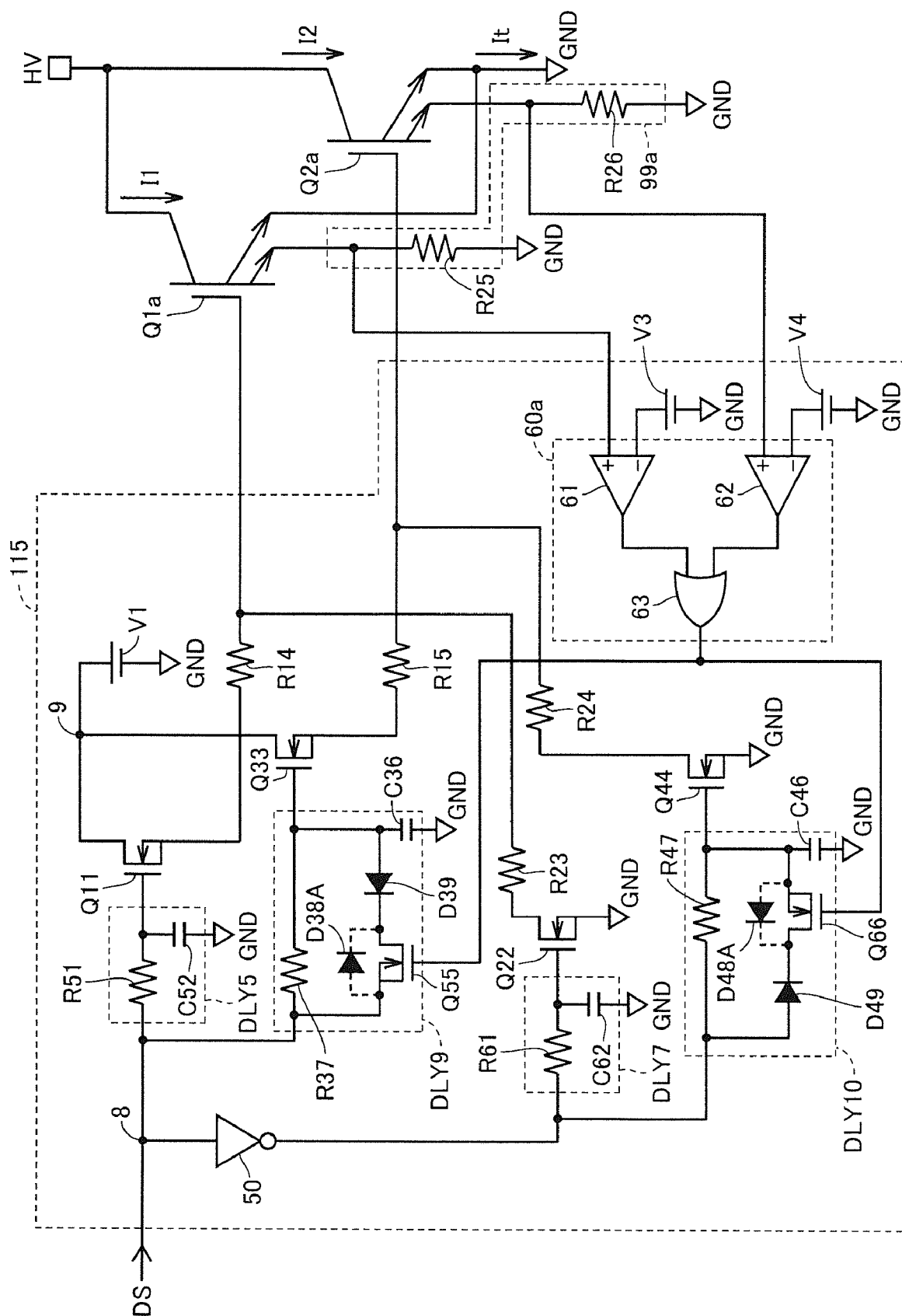


图 40