(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0077231
(43) 공개일자 2009년07월15일

(51) Int. Cl.
H01L 23/48 (2006.01) *H01L 21/60* (2006.01)
H01L 23/02 (2006.01)
(21) 출원번호 10-2008-0003057
(22) 출원일자 2008년01월10일
심사청구일자 없음

(71) 출원인
페어차일드코리아반도체 주식회사
경기 부천시 원미구 도당동 82-3
(72) 발명자
박성민
서울 서대문구 남가좌동 삼성래미안2차 102-1004
이근혁
경기 부천시 소사구 소사본3동 103-1308
임승원
경기 부천시 원미구 중동 3-207번지 중동대림아파트 102-704
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 20 항

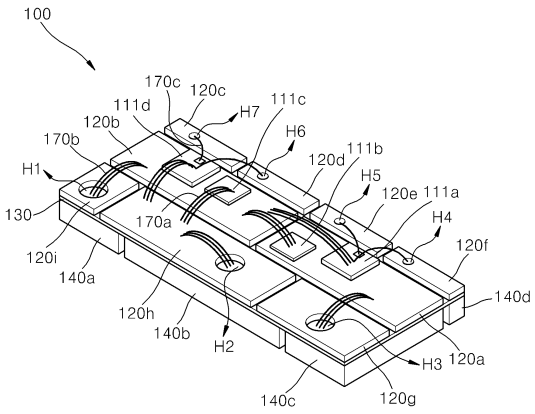
(54) 리드리스 패키지

(57) 요 약

본 발명은 반도체 패키지에 관한 것으로서, 특히 리드(lead)가 없어도 외부로 전기적 연결을 할 수 있는 반도체 패키지에 관한 것이다.

본 발명에 따른 리드리스 패키지는 서로 이격되어 배치되는 복수개의 하부 도전층 패턴; 상기 하부 도전층 패턴 상의 절연층 패턴; 상기 절연층 패턴 상에 서로 이격되어 배치되는 복수개의 상부 도전층 패턴; 상기 하부 도전층 패턴의 상면의 일부가 노출되도록 상기 하부 도전층 패턴, 상기 절연층 패턴 및 상기 상부 도전층 패턴을 관통하여 형성되는 홀 패턴; 상기 상부 도전층 패턴 상에 배치되는 하나 이상의 반도체 칩; 및 상기 반도체 칩과 상기 상부 도전층 패턴, 상기 상부 도전층 패턴과 상기 홀 패턴에 의해 노출되는 상기 하부 도전층 패턴, 또는 상기 반도체 칩과 상기 홀패턴에 의해 노출되는 상기 하부 도전층 패턴을 전기적으로 연결하는 하나 이상의 전기적 연결부를 포함하여, 리드를 제거하여 패키지의 소형화를 구현할 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

서로 이격되어 배치되는 복수개의 하부 도전층 패턴;

상기 하부 도전층 패턴 상의 절연층 패턴;

상기 절연층 패턴 상에 서로 이격되어 배치되는 복수개의 상부 도전층 패턴;

상기 상부 도전층 패턴 상에 배치되는 하나 이상의 반도체 칩;

상기 하부 도전층 패턴의 상면의 일부가 노출되도록 상기 절연층 패턴 및 상기 상부 도전층 패턴을 관통하여 형성되는 홀 패턴; 및

상기 반도체 칩과 상기 상부 도전층 패턴, 상기 상부 도전층 패턴과 상기 홀 패턴에 의해 노출되는 상기 하부 도전층 패턴 및 상기 반도체 칩과 상기 홀 패턴에 의해 노출되는 상기 하부 도전층 패턴을 전기적으로 연결하는 전기적 연결부를 포함하는 리드리스 패키지.

청구항 2

제1항에 있어서, 상기 하부 도전층 패턴의 하면만이 외부로 노출되도록, 상기 반도체 칩, 상기 전기적 연결부, 상기 홀 패턴, 상기 상부 도전층 패턴, 상기 절연층 패턴 및 상기 하부 도전층 패턴을 밀봉하여 형성되는 봉지재를 더 포함하는 리드리스 패키지.

청구항 3

제1항에 있어서, 상기 상부 도전층 패턴은 금속 또는 합금을 포함하는 제1 도전성 물질로 형성되는 것을 특징으로 하는 리드리스 패키지.

청구항 4

제3항에 있어서, 상기 제1 도전성 물질은 구리를 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 5

제1항에 있어서, 상기 하부 도전층 패턴은 금속 또는 합금을 포함하는 제2 도전성 물질로 형성되는 것을 특징으로 하는 리드리스 패키지.

청구항 6

제5항에 있어서, 상기 제2 도전성 물질은 알루미늄을 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 7

제1항에 있어서, 상기 전기적 연결부는 본딩 와이어를 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 8

제7항에 있어서, 상기 본딩 와이어는 알루미늄, 구리 또는 금을 포함하여 형성되는 것을 특징으로 하는 리드리스 패키지.

청구항 9

제1항에 있어서, 상기 전기적 연결부는 리본 와이어 또는 금속 클립을 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 10

제1항에 있어서, 상기 복수개의 반도체 칩은 절연 게이트 바이폴라 트랜지스터(IGBT, Insulated Gate Bipolar Transistor) 또는 다이오드를 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 11

제2항에 있어서, 상기 봉지재는 에폭시 몰드 컴파운드(EMC)로 형성되는 것을 특징으로 하는 리드리스 패키지.

청구항 12

관통홀 패턴을 가지는 절연층 패턴;

상기 절연층 패턴의 상면에 탑재된 하나 이상의 반도체 칩;

상기 절연층 패턴의 하면에 서로 이격되어 배치되는 복수개의 하부 도전층 패턴;

상기 관통홀 패턴에 의해 노출되는 상기 하부 도전층 패턴의 상면과 상기 반도체 칩을 전기적으로 연결하는 전기적 연결부를 포함하는 리드리스 패키지.

청구항 13

제12항에 있어서, 상기 하부 도전층 패턴의 하면만을 외부로 노출하도록 상기 절연층 패턴, 상기 반도체 칩, 상기 전기적 연결부 및 상기 하부 도전층 패턴을 밀봉하는 봉지재를 더 포함하는 리드리스 패키지.

청구항 14

제12항에 있어서, 상기 하부 도전층 패턴은 금속 또는 합금을 포함하는 도전성 물질로 형성되는 것을 특징으로 하는 리드리스 패키지.

청구항 15

제14항에 있어서, 상기 도전성 물질은 구리 또는 알루미늄을 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 16

제12항에 있어서, 상기 반도체 칩은 절연 게이트 바이폴라 트랜지스터(IGBT, Insulated Gate Bipolar Transistor) 또는 다이오드를 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 17

제12항에 있어서, 상기 전기적 연결부는 알루미늄, 구리 또는 금을 포함하여 형성되는 것을 특징으로 하는 리드리스 패키지.

청구항 18

제12항에 있어서, 상기 전기적 연결부는 본딩 와이어를 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 19

제12항에 있어서, 상기 전기적 연결부는 리본 와이어 또는 금속 클립을 포함하는 것을 특징으로 하는 리드리스 패키지.

청구항 20

제13항에 있어서, 상기 봉지재는 에폭시 몰드 컴파운드(EMC)로 형성되는 것을 특징으로 하는 리드리스 패키지.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체 패키지에 관한 것으로서, 특히 리드(lead)가 없어도 외부로 전기적 연결을 할 수 있는 반도체 패키지에 관한 것이다.

배 경 기 술

<2> 일반적으로 반도체 패키지는 하나 혹은 다수의 반도체칩을 리드 프레임 내에 있는 칩패드(chip pad) 위에 탑재한 후 봉지재로, 예를 들어 EMC(Epoxy Molding Compound)로, 밀봉하여 내부를 보호한 후, 인쇄 회로 기판(PCB; Printed Circuit Board)에 실장하여 사용한다. 최근 들어 전자 기기의 고속화, 대용량화 및 고집적화가 급진전되면서 자동차, 산업기기 및 가전제품에 적용되는 전력 소자 역시 저비용으로 소형화 및 경량화를 달성해야 하는 요구에 직면하고 있다. 이와 동시에 전력 소자는 저발열과 고신뢰를 달성하여야 하기 때문에 하나의 반도체 패키지에 다수개의 반도체칩을 탑재하는 전력용 모듈 패키지가 일반화되고 있다.

<3> 도 1a는 종래의 반도체 패키지(10)의 일부 단면을 도시한 단면도이다. 도 1b 및 도 1c는 각각 리드가 부착된 종래의 반도체 패키지(10)의 사시도 및 측면도이다.

<4> 도 1a를 참조하면, 반도체 패키지(10)는 기판(1) 상에 부착된 하나 이상의 전력 제어용 반도체 칩(3a)과 이를 제어하기 위한 저전력 반도체 칩(3b)을 구비한다. 배선 패턴(2)은 기판(1)의 표면에 형성된 구리 배선층(2a)과 구리 배선층(2a)의 표면을 덮는 니켈층(2b)으로 이루어진 복합 적층 금속층이다.

<5> 구리 배선층(2a)은 우수한 전기전도성을 제공하여 배선 패턴(2)의 기저층으로 사용되지만, 저온에서도 산화가 쉽게 일어나기 때문에 구리 배선층(2a)의 표면을 산화방지막인 니켈층(2b)으로 덮는다. 니켈층(2b)은 구리 배선층(2a)에 대한 피복성이 우수하지 못하며, 니켈층(2b) 역시 산화되는 문제점이 있으므로, 니켈층(2b) 상에 다시 금층(2c)을 적층하기도 한다. 전력 제어용 반도체 칩(3a)과 저전력 반도체 칩(3b)은 각각 와이어(4a 및 4b)에 의해 배선 패턴(2)에 전기적으로 연결된다.

<6> 반도체 칩(3a 및 3b)은 리드(5)를 통하여 외부 회로와 연결된다. 리드(5)는 반도체 칩(3a 및 3b)과 반도체 패키지(10)의 외부를 전기적으로 연결하는 통로가 된다. 즉, 반도체 패키지(10)는 외부로 리드(5)를 도출하여 외부 회로로 전기적 신호를 전달한다. 상기 도출된 리드(5)는 반도체 패키지(10)의 크기에 영향을 미치며, 외부 회로 기판에 실장하는 경우 리드 휨 문제(bend lead issue)가 발생할 수 있다.

<7> 도 1b 및 도 1c를 참조하면, 리드(5)가 부착된 종래의 반도체 패키지(10)가 도해된다. 종래의 반도체 패키지(10)는 미합중국 디자인 특허 제 505,399호에서 개시된 반도체 패키지이다. 종래 기술에 따른 반도체 패키지(10)를 외부 회로 기판에 실장하는 경우 반도체 패키지(10)에서 도출되는 외부 리드(5)간의 절연 거리(d)가 안정적으로 유지되기 어려운 문제가 발생할 수 있다.

<8> 따라서, 리드 휨 문제를 극복하고 외부 회로 기판에 안정적으로 실장할 수 있는 반도체 패키지를 구현하는 것이 필요하게 되었다.

발명의 내용

해결 하고자하는 과제

<9> 본 발명이 이루고자 하는 기술적 과제는 리드 휨 문제를 극복하고 외부 회로 기판에 안정적으로 실장할 수 있는 반도체 패키지를 제공하는 데 있다.

과제 해결수단

<10> 상기 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 리드리스 패키지가 제공된다. 리드리스 패키지는 서로 이격되어 배치되는 복수개의 하부 도전층 패턴; 상기 하부 도전층 패턴 상의 절연층 패턴; 상기 절연층 패턴 상에 서로 이격되어 배치되는 복수개의 상부 도전층 패턴; 상기 하부 도전층 패턴의 상면의 일부가 노출되도록 상기 하부 도전층 패턴, 상기 절연층 패턴 및 상기 상부 도전층 패턴을 관통하여 형성되는 홀 패턴; 상기 상부 도전층 패턴 상에 배치되는 하나 이상의 반도체 칩; 및 상기 반도체 칩과 상기 상부 도전층 패턴, 상기 상부 도전층 패턴과 상기 홀 패턴에 의해 노출되는 상기 하부 도전층 패턴, 또는 상기 반도체 칩과 상기 홀패턴에 의해 노출되는 상기 하부 도전층 패턴을 전기적으로 연결하는 하나 이상의 전기적 연결부를 포함할 수 있다.

<11> 상기 본 발명에 따른 리드리스 패키지의 일 예에 따르면, 상기 하부 도전층 패턴의 하면만이 외부로 노출되도록, 상기 반도체 칩, 상기 전기적 연결부, 상기 홀 패턴, 상기 상부 도전층 패턴, 상기 절연층 패턴, 및 상기 하부 도전층 패턴을 밀봉하여 형성되는 봉지재를 더 포함할 수 있다.

<12> 여기에서, 상기 상부 도전층 패턴은 금속 또는 합금을 포함하는 제1 도전성 물질로, 바람직하게는 구리를 포함하여, 형성될 수 있다. 또한, 상기 하부 도전층 패턴은 금속 또는 합금을 포함하는 제2 도전성 물질로, 바람직하게는 알루미늄을 포함하여, 형성될 수 있다.

<13> 나아가, 상기 전기적 연결부는 본딩 와이어, 리본 와이어 또는 금속 클립을 포함할 수 있다. 상기 본딩 와이어, 리본 와이어 또는 금속 클립은 알루미늄, 구리 또는 금을 포함하여 형성될 수 있다.

<14> 더욱이, 상기 복수개의 반도체 칩은 절연 게이트 바이폴라 트랜지스터(IGBT, Insulated Gate Bipolar Transistor) 또는 다이오드를 포함할 수 있다. 한편, 상기 봉지재는 에폭시 몰드 컴파운드(EMC)로 형성될 수 있다.

<15> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 형태에 따른 리드리스 패키지가 제공된다. 리드리스 패키지는 관통홀 패턴을 가지는 절연층 패턴; 상기 절연층 패턴의 상면에 탑재된 하나 이상의 반도체 칩; 상기 절연층 패턴의 하면에 서로 이격되어 배치되는 복수개의 하부 도전층 패턴; 상기 관통홀 패턴에 의해 노출되는 상기 하부 도전층 패턴과 상기 반도체 칩을 전기적으로 연결하는 전기적 연결부를 포함할 수 있다.

효 과

<16> 본 발명에 따른 리드리스 패키지는 리드를 제거하여 패키지의 소형화를 구현할 수 있다. 또한 리드에 수반되는 리드 휨 문제를 극복할 수 있으며, 외부 회로 기판에 안정적으로 패키지를 실장할 수 있다.

발명의 실시를 위한 구체적인 내용

<17> 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하여 위하여 과장되어진 것이다.

<18> 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다. 명세서 전체에 걸쳐서 막, 영역, 또는 기판등과 같은 하나의 구성요소가 또 다른 구성요소 "상에" 위치한다고 언급할 때는, 상기 하나의 구성요소가 다른 구성요소에 직접 접촉하거나 중간에 개재되는 구성요소들이 존재할 수 있다고 해석될 수 있다.

<19> "상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것으로 이해될 수 있다. 예를 들어, 도면들에서 소자의 위아래가 뒤집어 진다면, 다른 요소들의 상부면 상에 존재하는 것으로 묘사되는 요소들은 상기 다른 요소들의 하부면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는, 도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다.

<20> 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

<21> 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다.

<22> 도 2는 본 발명의 일실시예에 따른 리드리스 패키지의 사시도이다.

<23> 도 2를 참조하면, 리드리스 패키지(100)는 복수개의 하부 도전층 패턴(140a 내지 140h)이 서로 이격되어 배치된다. 리드리스 패키지(100)의 상면을 바라보는 도 2에서는 복수개의 하부 도전층 패턴 중 일부(140a 내지 140d)만이 도시되어 있으나, 리드리스 패키지(100)의 하면을 바라보는 도 3c에서 모든 복수개의 하부 도전층 패턴(140a 내지 140h)이 도시된다.

<24> 본 발명의 일실시예에서 총 8개의 하부 도전층 패턴(140a 내지 140h)이 서로 이격되어 배치되는 것으로 예시적으로 제공되지만, 본 발명의 범위가 하부 도전층 패턴의 갯수에 의해 제한되는 것은 아니다. 복수개의 하부 도전층 패턴(140a 내지 140h)은 금속 또는 합금을 포함하는 도전성 물질로 형성되는 것이 바람직하며, 예를 들어 알루미늄 또는 구리로 형성될 수 있다.

<25> 복수개의 하부 도전층 패턴(140a 내지 140h)의 각각을 설명의 편의상 제1 하부 도전층 패턴(140a), 제2 하부 도전층 패턴(140b), 제3 하부 도전층 패턴(140c), 제4 하부 도전층 패턴(140d), 제5 하부 도전층 패턴(140e), 제6 하부 도전층 패턴(140f), 제7 하부 도전층 패턴(140g), 제8 하부 도전층 패턴(140h)으로 구분한다. 복수개의 하부 도전층 패턴(140a 내지 140h)이 서로 이격되어 배치된다는 것은 제1 하부 도전층 패턴(140a) 내지 제8 하부 도전층 패턴(140h)의 각각은 서로 직접적으로 접촉하지 않고 전기적으로 이격되어 배치된다는 것을 의미한다.

<26> 복수개의 하부 도전층 패턴(140a 내지 140h) 상에 절연층 패턴(130)이 개시된다. 절연층 패턴(130)은 복수개의 하부 도전층 패턴(140a 내지 140h) 상의 전면에 걸쳐 형성되는 것이 바람직하다. 다만, 후술하는 홀 패턴(H1 내지 H7)에 의해 절연층 패턴(130)의 일부가 제거되어 상기 홀 패턴에 대응되는 하부 도전층 패턴의 상면이 노출된다.

<27> 절연층 패턴(130) 상에 복수개의 상부 도전층 패턴(120a 내지 120i)이 서로 이격되어 개시된다. 본 발명의 일실시예에서 총 9개의 상부 도전층 패턴(120a 내지 120i)이 서로 이격되어 배치되는 것으로 예시적으로 제공되지만, 본 발명의 범위가 상부 도전층 패턴의 갯수에 의해 제한되는 것은 아니다. 또한 상부 도전층 패턴의 갯수가 하부 도전층 패턴의 갯수와 동일하지 않아도 무방하다. 복수개의 상부 도전층 패턴(120a 내지 120i)은 금속 또는 합금을 포함하는 도전성 물질로 형성되는 것이 바람직하며, 예를 들어 알루미늄 또는 구리로 형성될 수 있다.

<28> 복수개의 상부 도전층 패턴(120a 내지 120i)의 각각을 설명의 편의상 제1 상부 도전층 패턴(120a), 제2 상부 도전층 패턴(120b), 제3 상부 도전층 패턴(120c), 제4 상부 도전층 패턴(120d), 제5 상부 도전층 패턴(120e), 제6 상부 도전층 패턴(120f), 제7 상부 도전층 패턴(120g), 제8 상부 도전층 패턴(120h) 및 제9 상부 도전층 패턴(120i)으로 구분한다. 복수개의 상부 도전층 패턴(120a 내지 120i)이 서로 이격되어 배치된다는 것은 제1 상부 도전층 패턴(120a) 내지 제9 상부 도전층 패턴(120i)의 각각은 서로 직접적으로 접촉하지 않고 전기적으로 이격되어 배치된다는 것을 의미한다.

<29> 상부 도전층 패턴(120a 내지 120i) 상에는 하나 이상의 반도체 칩(111a 내지 111d)가 배치될 수 있다. 반도체 칩(111a 내지 111d)은 전력 제어용 반도체 칩 및/또는 상기 전력 제어용 반도체 칩을 구동하는 저전력 반도체 칩을 포함할 수 있다. 반도체 칩(111a 내지 111d)은 절연 게이트 바이폴라 트랜지스터(IGBT, Insulated Gate Bipolar Transistor, 111a) 및/또는 다이오드(111b)를 포함할 수 있다. 절연 게이트 바이폴라 트랜지스터는 모스 계열 소자의 빠른 스위칭 특성과 바이폴라 계열 소자의 높은 전류 밀도의 장점을 취하여 스위칭 소자로서 많이 사용되고 있다.

<30> 본 발명의 일실시예에서는 제1 상부 도전층 패턴(120a) 및 제2 상부 도전층 패턴(120b) 상에 각각 하나 이상의 반도체 칩(111a 내지 111d)이 배치되는 것으로 예시적으로 제공되지만, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.

<31> 복수개의 홀 패턴(H1 내지 H7)이 하부 도전층 패턴의 상면의 일부가 노출되도록 상기 절연층 패턴 및 상기 상부 도전층 패턴을 관통하여 형성된다. 홀 패턴(H1 내지 H7)을 형성하는 방법은 식각등을 포함하는 통상적인 제조 방법을 사용할 수 있다.

<32> 본 발명의 일실시예에서는 제1 홀패턴(H1)이 제9 상부 도전층 패턴(120i), 절연층 패턴(130)의 일부를 식각하여 제1 하부 도전층 패턴(140a)의 상면이 노출되도록 형성되며, 제2 홀패턴(H2)이 제8 상부 도전층 패턴(120h), 절연층 패턴(130)의 일부를 식각하여 제2 하부 도전층 패턴(140b)의 상면이 노출되도록 형성되고, 제3 홀패턴(H3)이 제7 상부 도전층 패턴(120g), 절연층 패턴(130)의 일부를 식각하여 제3 하부 도전층 패턴(140c)의 상면이 노출되도록 형성된다.

<33> 또한, 제4 홀패턴(H4)이 제6 상부 도전층 패턴(120f), 절연층 패턴(130)의 일부를 식각하여 제4 하부 도전층 패턴(140d)의 상면이 노출되도록 형성되며, 제5 홀패턴(H5)이 제5 상부 도전층 패턴(120e), 절연층 패턴(130)의 일부를 식각하여 제5 하부 도전층 패턴(140e)의 상면이 노출되도록 형성되며, 제6 홀패턴(H4)이 제4 상부 도전층 패턴(120d), 절연층 패턴(130)의 일부를 식각하여 제6 하부 도전층 패턴(140f)의 상면이 노출되도록 형성되며, 제7 홀패턴(H7)이 제3 상부 도전층 패턴(120c), 절연층 패턴(130)의 일부를 식각하여 제7 하부 도전층 패턴(140g)의 상면이 노출되도록 형성된다.

<34> 그러나, 이러한 홀 패턴의 위치는 예시적으로 제공되었으며 본 발명의 범위가 이러한 예에 의해 제한되는 것은 아니다.

<35> 하나 이상의 반도체 칩(111a 내지 111d)과 외부 회로 기판과의 전기적 신호 전달을 위해 전기적 연결부(170a 내지 170c)가 개시된다. 본 발명에서는 전기적 연결부(170a 내지 170c)가 본딩 와이어인 것이 바람직하다. 그러나 본 발명은 이러한 구성에 한정되지는 않으며 전기적 연결부(170a 내지 170c)가 리본 와이어 및/또는 금속 클립을 포함할 수 있다. 상기 본딩 와이어, 리본 와이어 및/또는 금속 클립은 알루미늄, 구리 또는 금을 포함하여 형성되는 것이 바람직하다.

<36> 본 발명의 일실시예에서는 하나 이상의 반도체 칩(111a 내지 111d)과 상부 도전층 패턴(120a 내지 120i)을 전기적으로 연결하는 제1 본딩 와이어(170a), 상부 도전층 패턴(120a 내지 120i)과 홀 패턴(H1 내지 H7)에 의해 노출되는 하부 도전층 패턴(140a 내지 140h)을 전기적으로 연결하는 제2 본딩 와이어(170b) 및/또는 하나 이상의 반도체 칩(111a 내지 111d)과 홀 패턴(H1 내지 H7)에 의해 노출되는 하부 도전층 패턴(140a 내지 140h)을 전기적으로 연결하는 제3 본딩 와이어(170c)가 개시된다.

<37> 도 3a 내지 도 3c는 본 발명의 다른 실시예에 따른 리드리스 패키지(200)의 사시도들이다.

<38> 도 3a는 봉지재(210) 내부에 도 2에서 설명된 리드리스 패키지(100)가 배치된 구조를 투영하여 도시한 도면이고, 도 3b는 리드리스 패키지(200)를 위에서 바라본 사시도이며, 도 3c는 리드리스 패키지(200)를 아래에서 바라본 사시도이다.

<39> 도 3a 내지 도 3c를 참조하면, 도 2에서 설명한 구조체(100)를 밀봉하여 형성되는 봉지재(210)가 개시된다. 즉, 하부 도전층 패턴(140a 내지 140h)의 하면만이 외부로 노출되도록, 반도체 칩(111a 내지 111d), 전기적 연결부(170a 내지 170c), 홀 패턴(H1 내지 H7), 상부 도전층 패턴(120a 내지 120i) 및 하부 도전층 패턴(140a 내지 140h)을 밀봉하여 외부로부터 보호하는 봉지재(210)가 개시된다. 봉지재(210)는 에폭시 몰드 컴파운드(Epoxy Mold Compound, EMC)로 형성되는 것이 바람직하다.

<40> 하부 도전층 패턴(140a 내지 140h)의 하면은 외부 회로 기판과 전기적으로 연결될 수 있다. 또한 하부 도전층 패턴(140a 내지 140h)의 각각의 측면 사이는 봉지재(210)가 밀봉되어 전기적으로 절연시키며 또한 외부 회로 기판에 실장하는 경우 절연 거리를 안정적으로 유지할 수 있다.

<41> 본 발명의 실시예들에서 상부 도전층 패턴(120a 내지 120i), 하부 도전층 패턴(140a 내지 140h) 및 홀 패턴(H1 내지 H7)의 기하학적 형상 및 배치는 예시적으로 제공되었고, 사용자의 필요에 따라 형상과 배치는 자유롭게 변경될 수 있음은 본 발명의 기술적 사상에 근거하여 명백하다.

<42> 한편, 앞에서 설명한 리드리스 패키지의 실시예들에서는 상부 도전층 패턴(120a 내지 120i)을 포함하였지만 본 발명의 다른 변형된 실시예에서는 상부 도전층 패턴이 없이, 절연층 패턴(130) 상에 반도체 칩(111a 내지 111d)이 바로 탑재될 수 있다. 이 경우 절연층 패턴(130) 내에 형성된 홀 패턴(H1 내지 H7)에 의해 노출된 하부 도전층 패턴(140a 내지 140h)은 반도체 칩(111a 내지 111d)과 전기적으로 직접 연결되는 전기적 연결부가 개시될 수 있다.

<43> 즉, 도 2 내지 도 3c를 참조하여 설명한 실시예들에서, 상부 도전층 패턴(120a 내지 120i), 제1 본딩 와이어(170a) 및 제2 본딩 와이어(170b)을 제외하고는 동일한 내용으로 설명될 수 있다.

<44> 구체적으로 설명하면, 본 발명의 다른 변형된 실시예에서는 관통홀 패턴을 가지는 절연층 패턴과 상기 절연층 패턴의 상면에 탑재된 하나 이상의 반도체 칩이 개시된다. 또한, 상기 절연층 패턴의 하면에 서로 이격되어 배치되는 복수개의 하부 도전층 패턴이 개시된다. 그리고, 상기 관통홀 패턴에 의해 노출되는 상기 하부 도전층 패턴과 상기 반도체 칩을 전기적으로 연결하는 전기적 연결부가 개시된다. 상기 하부 도전층 패턴의 하면만을 외부로 노출하도록 상기 절연층 패턴, 상기 반도체 칩, 상기 전기적 연결부 및 상기 하부 도전층 패턴을 밀봉하는 봉지재를 더 포함할 수 있다. 상기 봉지재는 에폭시 몰드 컴파운드(EMC)로 형성될 수 있다.

<45> 상기 하부 도전층 패턴은 금속 또는 합금을 포함하는 도전성 물질로 형성되며, 바람직하게는 구리 또는 알루미늄으로 형성될 수 있다. 상기 반도체 칩은 절연 게이트 바이폴라 트랜지스터(IGBT, Insulated Gate Bipolar Transistor) 및/또는 다이오드를 포함할 수 있다. 상기 전기적 연결부는 본딩 와이어는, 리본 와이어 또는 금속 클립으로 구성될 수 있으며, 바람직하게는 알루미늄, 구리 또는 금을 포함하여 형성될 수 있다.

<46> 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

도면의 간단한 설명

<47> 도 1a는 종래의 반도체 패키지(10)의 일부 단면을 도시한 단면도이고,

<48> 도 1b는 리드가 부착된 종래의 반도체 패키지(10)의 사시도이고,

<49> 도 1c는 리드가 부착된 종래의 반도체 패키지(10)의 측면도이고,

<50> 도 2는 본 발명의 일실시예에 따른 리드리스 패키지의 사시도이고,

<51> 도 3a는 봉지재(210) 내부에 도 2에서 설명된 리드리스 패키지(100)가 배치된 구조를 투영하여 도시한 사시도이고,

<52> 도 3b는 리드리스 패키지(200)를 위에서 바라본 사시도이며,

<53> 도 3c는 리드리스 패키지(200)를 아래에서 바라본 사시도이다.

<54> <도면의 주요 부분에 대한 부호의 설명>

<55> 120a ~ 120i : 상부 도전층 패턴

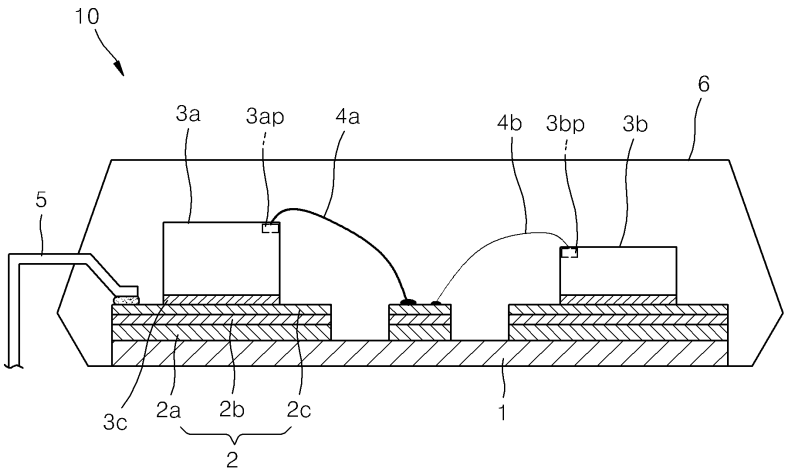
<56> 130 : 절연층 패턴

<57> 140a ~ 140h : 하부 도전층 패턴

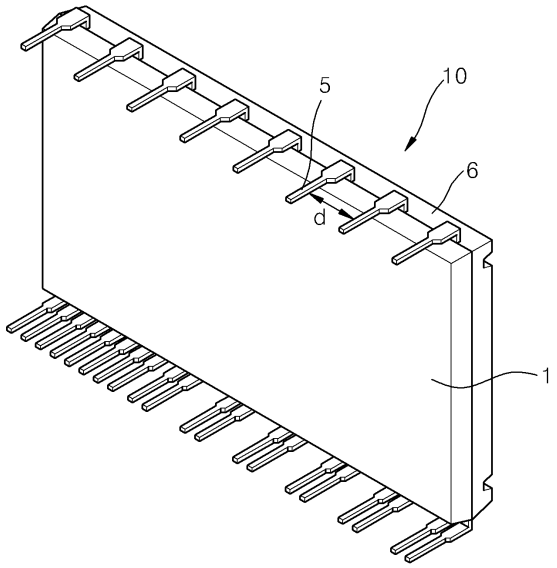
<58> 210 : 봉지재

도면

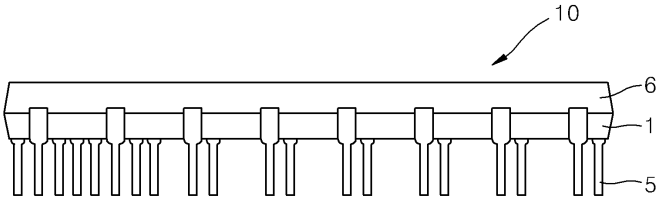
도면1a



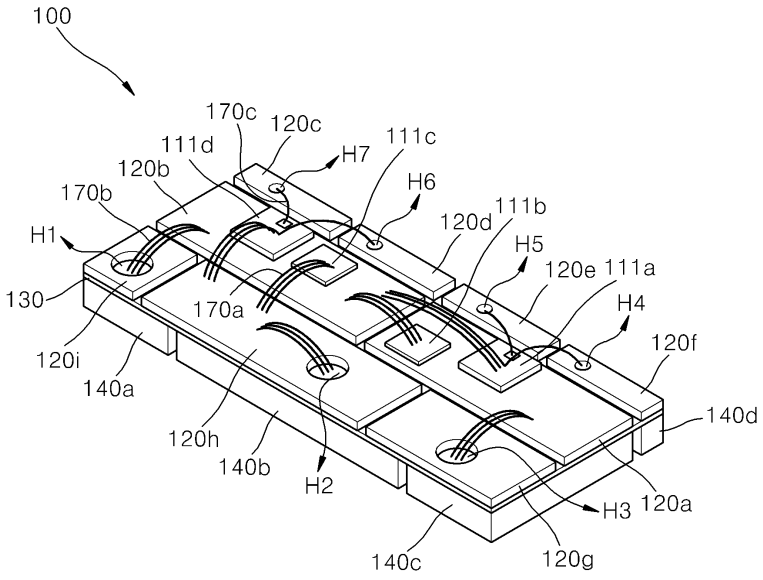
도면1b



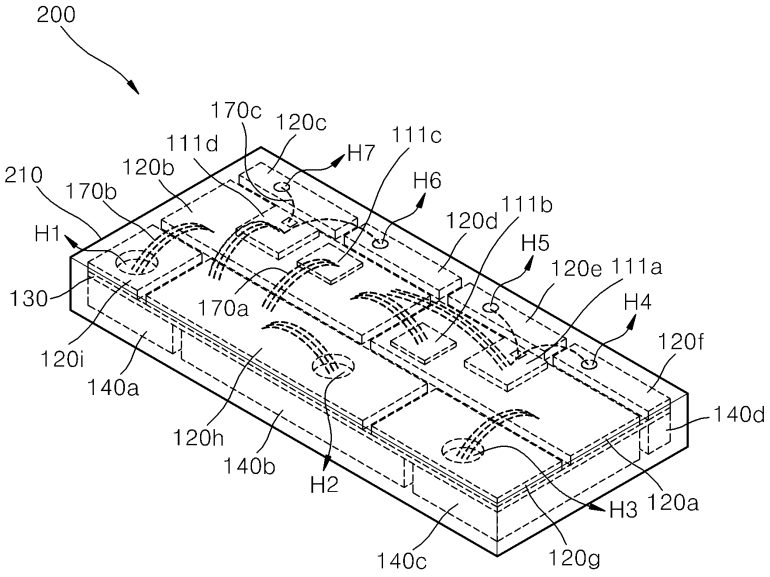
도면1c



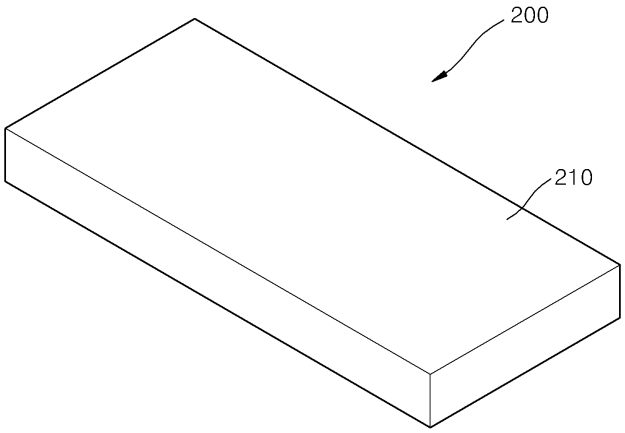
도면2



도면3a


200
170c
120c
111d
111c
H7
120b
210
170b
H6
111b
120d
H1
H5
120e
111a
130
170a
H4
120f
120i
140a
140d
120h
140b
H2
H3
120a
140c
120g

도면3b


200
210

도면3c

