

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 9 月 1 日 (2011.9.1)

【公表番号】特表 2010-534951 (P2010-534951A)

【公表日】平成 22 年 11 月 11 日 (2010.11.11)

【年通号数】公開・登録公報 2010-045

【出願番号】特願 2010-519235 (P2010-519235)

【国際特許分類】

H 0 1 L 25/10 (2006.01)

H 0 1 L 25/11 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 25/14 Z

【手続補正書】

【提出日】平成 23 年 7 月 12 日 (2011.7.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

積層マイクロ電子アセンブリを製造する方法において、

a) 複数のサブアセンブリを設けるステップであって、各サブアセンブリが、再構成ウエハまたは再構成ウエハの一部であり、前側と前記前側から離れた後側とを有するとともに、複数の離間するマイクロ電子素子を含み、マイクロ電子素子が、前記前側で露出される前面と、前記前側で露出される接点と、前記後側に隣接する後面と、前記前面と後面との間で延びる縁部とを有し、各サブアセンブリが、マイクロ電子素子の前記後面上にわたって位置し且つ隣接するマイクロ電子素子の前記縁部間で延びる充填層を更に含む、ステップと、

b) 各サブアセンブリの前記前側に複数のトレースを形成するステップであって、前記トレースが前記接点から前記マイクロ電子素子の縁部を越えて延びる、ステップと、

c) 前記サブアセンブリのうちの第 1 のサブアセンブリの厚さを前記後側から減少させて、第 1 のサブアセンブリ中の前記マイクロ電子素子の厚さを減少させるステップと、

d) サブアセンブリのうちの第 2 のサブアセンブリを前記第 1 のサブアセンブリと接合し、それにより前記第 2 のサブアセンブリの前記前側が前記第 1 のサブアセンブリの前記後側と対向し、前記第 2 のサブアセンブリのマイクロ電子素子の前記前面が前記第 1 のサブアセンブリのマイクロ電子素子の後面と対向するようにするステップと、

e) 前記第 2 のサブアセンブリの前記後側から下方へ延びる少なくとも 1 つの開口にリード線を形成するステップであって、前記リード線が前記第 1 および第 2 のサブアセンブリの前記マイクロ電子素子の前記トレースに接続される、ステップと、

を含む方法。

【請求項 2】

前記第 1 のサブアセンブリの前記マイクロ電子素子は、第 1 のサブアセンブリ中の各マイクロ電子素子が前記前面と後面との間で約 50 ミクロン未満の厚さに達するまで薄くされる、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のサブアセンブリの前記マイクロ電子素子は、第 1 のサブアセンブリ中の各マ

マイクロ電子素子が前記前面と後面との間で約 15 ミクロン以下の厚さに達するまで薄くされる、請求項 2 に記載の方法。

【請求項 4】

前記マイクロ電子素子のうちの少なくとも 1 つがフラッシュメモリを含む、請求項 1 ないし 3 のいずれか 1 項に記載の方法。

【請求項 5】

前記マイクロ電子素子のそれぞれがフラッシュメモリを含む、請求項 1 ないし 3 のいずれか 1 項に記載の方法。

【請求項 6】

請求項 1 ないし 5 のいずれか 1 項に記載の方法を含む積層マイクロ電子ユニットを形成する方法であって、ステップ (e) の後に、隣接するマイクロ電子素子の縁部間で前記積層マイクロ電子アセンブリを複数の積層マイクロ電子ユニットへと切断するステップを更に含み、各ユニットは、前記第 1 および第 2 のサブアセンブリのそれぞれからのマイクロ電子素子と、前記マイクロ電子素子のトレースに接続されるリード線とを含む、方法。

【請求項 7】

前記トレースは、前記接点と位置合わせされる開口を有する 不導体層に沿って延びる、請求項 1 ないし 6 のいずれか 1 項に記載の方法。

【請求項 8】

前記第 2 のサブアセンブリを前記後側から薄くして、前記リード線を形成する前に第 2 のサブアセンブリ中の前記マイクロ電子素子の厚さを減少させるステップを更に含み、請求項 1 ないし 7 のいずれか 1 項に記載の方法。

【請求項 9】

前記ステップ (e) は、前記マイクロ電子素子の隣接する縁部間で延びる複数のチャンネルを形成することを含む、請求項 1 ないし 8 のいずれか 1 項に記載の方法。

【請求項 10】

前記リード線の少なくとも一部は、チャンネルのうちの 1 つの壁に沿って平行な経路を成して延びる、請求項 1 ないし 9 のいずれか 1 項に記載の方法。

【請求項 11】

前記ステップ (e) は、マイクロ電子素子の隣接する縁部間に複数の離間する開口を形成するとともに、前記離間する開口内にリード線を形成することを含み、各リード線が単一の接点に接続される、請求項 1 ないし 10 のいずれか 1 項に記載の方法。

【請求項 12】

前記少なくともステップ (c) の前に、前記充填層がマイクロ電子素子の後面を覆う、請求項 1 ないし 11 のいずれか 1 項に記載の方法。

【請求項 13】

前記ステップ (c) の前に、素子を前記第 1 のアセンブリの前側に付着するステップを更に含み、請求項 1 ないし 11 のいずれか 1 項に記載の方法。

【請求項 14】

前記物品がパッケージング層を含む、請求項 13 に記載の方法。

【請求項 15】

前記パッケージング層は、前記接点を前記第 1 のサブアセンブリの前記前側から電氣的に絶縁する、請求項 14 に記載の方法。

【請求項 16】

前記サブアセンブリのうちの第 3 のサブアセンブリを前記第 2 のサブアセンブリと接合し、それにより、前記第 3 のサブアセンブリの前記前側が前記第 2 のサブアセンブリの前記後側と対向するようにするステップを更に含み、ステップ (e) は、前記第 3 のサブアセンブリの前記マイクロ電子素子の前記トレースに接続されるリード線を形成することを含む、請求項 8 に記載の方法。

【請求項 17】

前記第 3 のサブアセンブリをその後側から研削して、第 3 のサブアセンブリ中のマイク

ロ電子素子の厚さを減少させるステップと、前記サブアセンブリのうちの第4のサブアセンブリを前記第3のサブアセンブリと接合し、それにより、前記第4のサブアセンブリの前記前側が前記第3のサブアセンブリの前記後側と対向するようにするステップとを更に含み、ステップ(e)は、前記第4のサブアセンブリの前記マイクロ電子素子の前記トレースに接続されるリード線を形成することを含む、請求項16に記載の方法。

【請求項18】

ステップ(b)の前に、前記第1のサブアセンブリの前記マイクロ電子素子の厚さは、前記第1のサブアセンブリ中へのそれらの組み込み前において前記マイクロ電子素子が得られるウエハの厚さとほぼ同じである、請求項1 ないし17のいずれか1項に記載の方法。

【請求項19】

前記第2のサブアセンブリを研削する前記ステップの前に、前記第2のサブアセンブリの前記マイクロ電子素子の前記厚さは、前記第2のサブアセンブリ中へのそれらの組み込み前において前記マイクロ電子素子が得られるウエハの厚さとほぼ同じである、請求項8に記載の方法。

【請求項20】

積層マイクロ電子アセンブリを製造する方法において、

a) 複数のサブアセンブリを設けるステップであって、各サブアセンブリが、再構成ウエハまたは再構成ウエハの一部であり、前側と前記前側から離れた後側とを有するとともに、複数の離間するマイクロ電子素子を含み、マイクロ電子素子が、前記前側で露出される前面と、前記前側で露出される接点と、前記後側に隣接する後面と、前記前面と後面との間で延びる縁部とを有し、各サブアセンブリが、前記接点から前記マイクロ電子素子の前記縁部を越えて延びる複数のトレースと、前記マイクロ電子素子の後面上にわたって位置し且つ隣接するマイクロ電子素子の前記縁部間で延びる充填層とを更に含む、ステップと、

b) 前記サブアセンブリのうちの第1のサブアセンブリの厚さを前記後側から減少させて、第1のサブアセンブリ中の前記マイクロ電子素子の厚さを減少させるステップと、

c) 前記サブアセンブリのうちの第2のサブアセンブリを前記第1のサブアセンブリと接合し、それにより、前記第2のサブアセンブリの前記マイクロ電子素子の前記前面が前記第1のサブアセンブリの前記マイクロ電子素子の前記後面上にわたって位置して対向するようにするステップと、

d) 前記第2のサブアセンブリの前記後側から下方へ延びる少なくとも1つの開口にリード線を形成するステップであって、前記リード線が前記第1および第2のサブアセンブリの前記マイクロ電子素子の前記トレースに導電接続される、ステップと、

を含む方法。

【請求項21】

前記充填層が高分子を含む、請求項20に記載の方法。

【請求項22】

前記ステップ(a)は、隣接するマイクロ電子素子の前記縁部が少なくとも所定の間隔だけ離間されるように複数の個々のマイクロ電子素子の前記前面をキャリア層に一時的に接合することを含む、請求項20 または21に記載の方法。

【請求項23】

前記ステップ(a)は、少なくとも隣接する接合されたマイクロ電子素子の縁部間の空間内へ有機材料を流し込むことによって前記充填層を形成することを更に含む、請求項20 ないし22のいずれか1項に記載の方法。

【請求項24】

前記ステップ(a)は、充填層を形成した後に前記トレースを形成することを更に含む、請求項20 ないし23のいずれか1項に記載の方法。

【請求項25】

前記第1のサブアセンブリの前記マイクロ電子素子の前記前面は、前記第2のサブアセ

ンブリの前記マイクロ電子素子の前記前面の対応する寸法とは異なる少なくとも１つの寸法を有する、請求項 20 ないし 24 のいずれか 1 項に記載の方法。

【請求項 26】

前記第 1 のサブアセンブリの所与のマイクロ電子素子の前面は、前記第 1 のサブアセンブリの他のマイクロ電子素子の前面の対応する寸法とは異なる少なくとも１つの寸法を有する、請求項 20 ないし 25 のいずれか 1 項に記載の方法。

【請求項 27】

前記積層されたアセンブリ内の垂直に積層された一対のマイクロ電子素子の前面が少なくともほぼ同じ寸法を有する、請求項 26 に記載の方法。

【請求項 28】

各アセンブリが前側に隣接する位置合わせ形態部を更に含む、請求項 20 ないし 27 のいずれか 1 項に記載の方法。

【請求項 29】

前記位置合わせ形態部および前記トレースは、前側で露出される金属層から成る要素である、請求項 28 に記載の方法。

【請求項 30】

前記ステップ (d) は、前記第 2 のサブアセンブリのマイクロ電子素子の縁部が前記第 1 のサブアセンブリのマイクロ電子素子の縁部に対して横方向に変位されるように前記第 2 のサブアセンブリを前記第 1 のサブアセンブリに対してそれと垂直に位置合わせした状態で接合することを含み、前記ステップ (e) で形成される前記開口は、垂直に積層されるマイクロ電子素子の横方向に変位される縁部に隣接する前記トレースを露出させる傾斜壁を有する、請求項 20 ないし 29 のいずれか 1 項に記載の方法。

【請求項 31】

前記横方向が第 1 の横方向であり、各マイクロ電子素子の前記縁部が第 1 の縁部と前記第 1 の縁部に対して垂直な第 2 の縁部とを含み、前記ステップ (d) は、前記第 2 のサブアセンブリのマイクロ電子素子の前記第 2 の縁部が前記第 1 のサブアセンブリのマイクロ電子素子の第 2 の縁部に対して第 2 の横方向に更に変位されるように前記第 2 のサブアセンブリを前記第 1 のサブアセンブリに対してそれと垂直に位置合わせした状態で接合することを含み、前記第 2 の横方向が前記第 1 の横方向に対して垂直であり、前記方法は、前記第 2 の縁部に隣接する第 2 のトレースを露出させる傾斜壁を有する第 2 の開口を形成するステップと、前記第 2 のトレースに接続されるリード線を形成するステップとを更に含む、請求項 30 に記載の方法。

【請求項 32】

積層マイクロ電子ユニットを製造する方法において、

a) 複数のマイクロ電子素子を積層して接合するステップであって、各前記マイクロ電子素子が、前面と、前記前面から離れる後面と、前記前面で露出される接点と、前記前面と前記後面との間で延びる縁部と、前記接点に接続されて前記前面に沿って前記縁部へ向けて延びるトレースとを有し、前記マイクロ電子素子のうちの少なくとも一部の前記前面が他のマイクロ電子素子の前記後面上にわたって位置して前記後面と対向する、ステップと、

b) 前記トレースから、前記マイクロ電子素子の前記縁部に沿って、前記少なくとも一部のマイクロ電子素子のマイクロ電子素子の後面上にわたって位置して前記後面に隣接するユニット接点へと延びる複数の導体を形成するステップと、

を含む方法。

【請求項 33】

前記複数のマイクロ電子素子のそれぞれは、配列を成して配置される複数のマイクロ電子素子を含むマイクロ電子サブアセンブリ中に含まれ、ステップ (a) は、複数の前記マイクロ電子サブアセンブリを積層して接合するとともに、前記サブアセンブリ中の積層されたマイクロ電子素子の縁部間で延びる複数の開口を形成することを含む、請求項 32 に記載の積層マイクロ電子ユニットを製造する方法。

【請求項 3 4】

上面と、前記上面で露出されるユニット接点と、前記上面から離れた下面とを有する積層マイクロ電子ユニットにおいて、

a) 前面と、後面と、前記前面で露出される接点と、前記前面と前記後面との間で延びる縁部と、前記接点に接続されて前記前面に沿って前記縁部へと延びるトレースとをそれぞれが有する複数の垂直に積層されるマイクロ電子素子であって、積層されたマイクロ電子素子のうちの少なくとも1つの後面がマイクロ電子ユニットの上面に隣接する、複数の垂直に積層されるマイクロ電子素子と、

b) 前記トレースから前記マイクロ電子素子の前記縁部に沿って上面へと延びる複数の導体であって、前記上面に隣接する前記少なくとも1つのマイクロ電子素子の前記後面上にわたって前記ユニット接点が位置するようにユニット接点と導電接続される、複数の導体と、

を備える積層マイクロ電子ユニット。

【請求項 3 5】

前記下面で露出される少なくとも幾つかのユニット接点を更に備え、前記ユニット接点は、前記下面に隣接する少なくとも1つのマイクロ電子素子の前面上の接点に接続される、請求項 3 4 に記載の積層マイクロ電子ユニット。

【請求項 3 6】

積層マイクロ電子ユニットにおいて、

第1および第2の垂直に積層されるマイクロ電子素子であって、それぞれの積層マイクロ電子素子が、横方向を規定する前面と、前記前面から離れて延びる少なくとも1つの縁部と、前記前面で露出される接点と、前記接点から前記縁部へ向けて延びるトレースとを有し、前記第2のマイクロ電子素子の前記前面が少なくとも部分的に前記第1のマイクロ電子素子の前記前面上にわたって位置し、前記第2のマイクロ電子素子が前記第1のマイクロ電子素子の隣接する縁部から前記横方向に変位される少なくとも1つの縁部を有する、第1および第2の垂直に積層されるマイクロ電子素子と、

前記マイクロ電子素子の前記横方向に変位された縁部上にわたって位置し、前記積層ユニットの縁部を規定する前記誘電体層と、

前記マイクロ電子素子の前面でトレースに接続され、前記マイクロ電子素子の前記縁部に沿ってユニット接点へと延びるリード線と、

を備える、積層マイクロ電子ユニット。

【請求項 3 7】

前記横方向に変位される縁部が第1の方向に延びる第1の縁部であり、前記マイクロ電子素子の前記縁部は、前記第1の方向に対して垂直な第2の方向に延びる第2の縁部を含み、前記第1および第2のマイクロ電子素子のそれぞれは、前記第1および第2のマイクロ電子素子のうちの他方の隣接する第2の縁部から横方向に変位される少なくとも1つの第2の縁部を有し、前記誘電体層は、前記マイクロ電子素子の前記第2の縁部上にわたって位置するとともに、前記マイクロ電子素子の前記第2の縁部に沿ってユニット接点へと延びる、請求項 3 6 に記載の積層マイクロ電子ユニット。

【請求項 3 8】

積層マイクロ電子ユニットにおいて、

第1および第2の垂直に積層されるマイクロ電子素子であって、第1の高さにある前記第1のマイクロ電子素子の少なくとも1つの第1の縁部が、前記第1の高さの上側に位置する第2の高さにある前記第2のマイクロ電子素子の対応する第1の縁部を越えて延びる、第1および第2の垂直に積層されるマイクロ電子素子と、

前記第1および第2のマイクロ電子素子の前記第1の縁部上にわたって位置し、前記積層ユニットの第1の縁部を規定する誘電体層と、

前記誘電体層を貫通して延び、前記マイクロ電子素子の前面のトレースに接続される導電ビアと、

を備える、積層マイクロ電子ユニット。

【請求項 39】

積層マイクロ電子ユニットにおいて、

第 1 および第 2 の垂直に積層されるマイクロ電子素子であって、前記第 1 のマイクロ電子素子の前面が前記第 2 のマイクロ電子素子の前面または後面のうちの少なくとも一方の上にわたって位置し、前記第 1 および第 2 のマイクロ電子素子の前記前面の幅または長さのうちの少なくとも一方が異なる、第 1 および第 2 の垂直に積層されるマイクロ電子素子と、

前記第 1 および第 2 のマイクロ電子素子の前記第 1 の縁部上にわたって位置する誘電体層と、

前記マイクロ電子素子の前面のトレースに接続され、前記積層ユニットの第 1 の縁部に沿って延びるリード線と、

を備える、積層マイクロ電子ユニット。