



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 100 57 489 B4 2007.05.24**

(12)

Patentschrift

(21) Aktenzeichen: **100 57 489.0**
 (22) Anmeldetag: **20.11.2000**
 (43) Offenlegungstag: **29.05.2002**
 (45) Veröffentlichungstag
 der Patenterteilung: **24.05.2007**

(51) Int Cl.⁸: **G11C 8/00 (2006.01)**
G11C 11/415 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

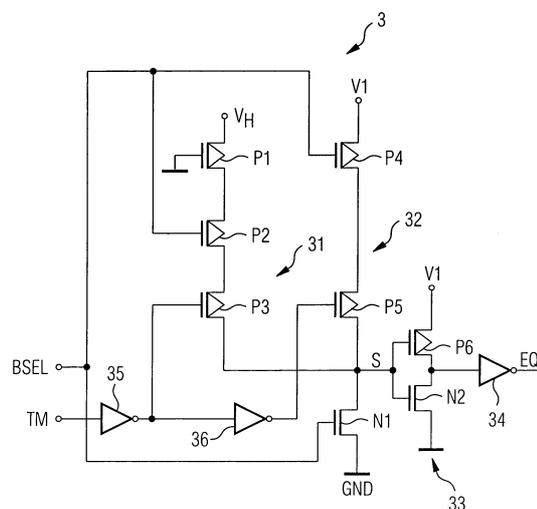
(72) Erfinder:
Fischer, Helmut, Dr., 82024 Taufkirchen, DE;
Schnabel, Joachim, 81549 München, DE

(74) Vertreter:
Epping Hermann Fischer,
Patentanwaltsgesellschaft mbH, 80339 München

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 60 38 183 A
EP 71 245 A2

(54) Bezeichnung: **Integrierter Speicher**

(57) Hauptanspruch: Integrierter Speicher
 – mit einem Speicherzellenfeld (1), das Zeilenleitungen (WL1, WL2) zur Auswahl von Speicherzellen (MC) und Spaltenleitungen (BL1, BL2) zum Auslesen oder Schreiben von Datensignalen der Speicherzellen aufweist,
 – der in einer Normalbetriebsart oder in einer Testbetriebsart betreibbar ist, wobei in der Testbetriebsart ein Deaktivieren der Zeilenleitungen (WL1, WL2) in Bezug zu einem Deaktivieren in der Normalbetriebsart verlangsamt durchgeführt wird,
 – mit einer steuerbaren Schalteinrichtung (4) zum Verbinden einer der Spaltenleitungen (BL1) mit einem Anschluß für ein Deaktivierungspotential (GND) für einen deaktivierten Zustand der Spaltenleitungen,
 – mit einer Steuerschaltung (3) mit einem Ausgang zur Ausgabe eines Deaktivierungs-Steuersignals (EQL), der mit der Schalteinrichtung (4) verbindbar ist zum Auslösen eines Schaltvorgangs der Schalteinrichtung,
 – bei dem die Steuerschaltung (3) eine durch ein Auswahl-signal (TM) einschaltbare Verzögerungsschaltung (31, 33) umfasst, durch die in der Testbetriebsart im eingeschalteten Zustand der Schaltvorgang der Schalteinrichtung (4) verzögert ist in Bezug...



Beschreibung

[0001] Die vorliegende Erfindung betrifft einen integrierten Speicher mit einem Speicherzellenfeld, das Zeilenleitungen zur Auswahl von Speicherzellen und Spaltenleitungen zum Auslesen oder Schreiben von Datensignalen der Speicherzellen aufweist, mit einer steuerbaren Schalteinrichtung zum Verbinden einer der Spaltenleitungen mit einem Anschluß für ein Deaktivierungspotential für einen deaktivierten Zustand der Spaltenleitungen.

[0002] Derartige integrierte Speicher sind beispielsweise aus der US 6,038,183 oder auch aus der EP 0 071 245 A2 bekannt.

[0003] Ein integrierter Speicher weist im allgemeinen ein oder mehrere Speicherzellenfelder auf, die jeweils Spaltenleitungen und Zeilenleitungen umfassen. Die Speicherzellen sind dabei in Kreuzungspunkten der Spaltenleitungen und Zeilenleitungen angeordnet. Zur Auswahl der Speicherzellen werden Auswahltransistoren von jeweiligen Speicherzellen durch eine aktivierte Zeilenleitung leitend geschaltet, wodurch im Anschluß ein Auslesen oder Schreiben eines Datensignals einer ausgewählten Speicherzelle erfolgen kann. Die ausgewählte Speicherzelle ist dazu über den Auswahltransistor mit einer der Spaltenleitungen verbunden, über die das jeweilige Datensignal ausgelesen beziehungsweise eingeschrieben wird.

[0004] Nach einem erfolgten Lese- oder Schreibzugriff wird die betreffende Spaltenleitung wieder deaktiviert, indem sie auf ein Deaktivierungspotential gebracht wird. Eine entsprechende Schaltungsanordnung des Speichers weist dazu eine steuerbare Schalteinrichtung auf, durch die die betreffende Spaltenleitung mit einem Anschluß für das Deaktivierungspotential verbunden wird. Ebenso wird nach erfolgtem Speicherzugriff die betreffende Zeilenleitung wieder deaktiviert, indem sie auf ein Deaktivierungspotential gebracht wird, welches die Auswahltransistoren sperrt.

[0005] Bei manchen Funktionstests, die zur Funktionsprüfung des Speichers vorgenommen werden, werden abweichend von einem Normalbetrieb mehrere Zeilenleitungen des Speicherzellenfeldes gleichzeitig aktiviert, um Testzeit einzusparen. Die Auswahl derartiger Zeilenleitungen kann beispielsweise derart vorgenommen werden, daß den aktivierten Zeilenleitungen nicht aktivierte Zeilenleitungen benachbart sind. Ein solcher Betrieb wird auch als sogenannter Multiple-Wordline-Select-Betrieb bezeichnet.

[0006] Bei der gleichzeitigen Deaktivierung mehrerer aktiver Zeilenleitungen addieren sich die über die zugeordneten Deaktivierungstransistoren fließenden Entladeströme zu einem relativ hohen Gesamtstrom,

der das Netz belastet, welches das Deaktivierungspotential führt. Dieses Netz setzt sich hauptsächlich zusammen aus den inaktiven Zeilenleitungen und einer aus Platzgründen relativ schmalen und somit relativ hochohmigen Verdrahtung im Zeilendecoder. Infolge des vergleichsweise hohen Widerstandes der diese Verdrahtung bildenden Metallisierung tritt beim gleichzeitigen Deaktivieren der aktiven Zeilenleitungen ein ohmscher Spannungsabfall am besagten Netz auf, der die inaktiven Zeilenleitungen belastet. Es erfolgt eine Spannungsanhebung an den inaktiven Zeilenleitungen, die im allgemeinen proportional zur Anzahl der gleichzeitig aktiven Zeilenleitungen und somit proportional zur angestrebten Zeitersparnis ist. Die auftretende Spannungsanhebung kann in den betroffenen Zeilenleitungen eine Reduzierung der sperrenden Wirkung der zugeordneten Auswahltransistoren der Speicherzellen verursachen, wodurch die Information in den angeschlossenen Speicherzellen teilweise oder ganz gelöscht wird.

[0007] Begrenzt man im Multiple-Wordline-Select-Betrieb den resultierenden Entladestrom beim Deaktivieren der aktivierten Zeilenleitungen, so ist dies vorteilhaft für die Haltezeit der Speicherzellen, welche an den nicht aktiven Zeilenleitungen angeschlossen sind, weil die Spannungsanhebung entsprechend reduziert ist. Es kann dabei eine relativ große Anzahl aktiver Zeilenleitungen eines Speicherzellenfeldes gleichzeitig deaktiviert werden. Dadurch kann jedoch die Situation eintreten, daß die betreffenden Spaltenleitungen bei einem Speicherzugriff deaktiviert werden, bevor die Auswahltransistoren der Speicherzellen an den zu deaktivierenden Zeilenleitungen vollständig geschlossen sind. Dies kann zu einer Zerstörung der auszulesenden oder zu speichernden Informationen beim Speicherzugriff führen.

[0008] Die Aufgabe der vorliegenden Erfindung ist es, einen integrierten Speicher der eingangs genannten Art anzugeben, bei dem in einem Normalbetrieb und in einem Multiple-Wordline-Select-Betrieb des Speichers ein zuverlässiges Auslesen, Schreiben und Halten von Zellinformation ermöglicht ist.

[0009] Die Aufgabe wird gelöst durch den Gegenstand des Anspruchs 1.

[0010] Durch den erfindungsgemäßen Speicher ist es möglich, beispielsweise im Testbetrieb des integrierten Speichers im Falle eines Multiple-Wordline-Select-Betriebs das Deaktivieren der betreffenden Spaltenleitungen derart zu steuern, daß die Zellinformation auch bei vergleichsweise langsamem Deaktivieren der Zeilenleitungen erhalten bleibt. Ein langsames Deaktivieren der Zeilenleitungen ist vorteilhaft für die Haltezeit der Speicherzellen. Ein durchzuführender Testbetrieb wird dabei über das Auswahlsignal angezeigt. Die mittels des Auswahlsignals einschaltbare Verzögerungsschaltung sorgt

dafür, daß das Deaktivieren der betreffenden Spaltenleitungen in Bezug zu einem Deaktivierungszeitpunkt in einem Normalbetrieb des Speichers in geeigneter Weise verzögert ist. Die Verzögerungsschaltung ist dabei nur im Testbetrieb im eingeschalteten Zustand, in einem Normalbetrieb wird sie im nicht eingeschalteten Zustand betrieben.

[0011] In einer vorteilhaften Ausführungsform der Erfindung weist die Steuerschaltung einen Transistor auf, an dem das Deaktivierungs-Steuersignal abgreifbar ist und dessen Steueranschluß mit einem Anschluß für ein Steuersignal verbunden ist. Die Verzögerungsschaltung enthält Mittel, die zur Reduzierung einer Amplitude des Steuersignals im eingeschalteten Zustand der Verzögerungsschaltung dienen. Dadurch kann erreicht werden, daß im Testbetrieb der Transistor zur Erzeugung des Deaktivierungs-Steuersignals nicht voll durchgeschaltet wird, was dessen Stromtreibfähigkeit herabsetzt. Dadurch wird eine Schaltflanke des Deaktivierungs-Steuersignals oder beispielsweise ein Schaltvorgang eines nachgeschalteten Inverters verzögert.

[0012] Zu diesem Zweck enthält die Verzögerungsschaltung vorteilhaft einen Anschluß für ein Versorgungspotential, der mit dem Anschluß für das Steuersignal verbindbar ist. Das Versorgungspotential ist dabei derart bemessen, daß der Transistor in einen begrenzt leitfähigen Zustand versetzt ist.

[0013] Zusätzlich oder alternativ dazu kann die Verzögerungsschaltung auch Mittel enthalten, die die Steilheit der Schaltflanke des Steuersignals im eingeschalteten Zustand der Verzögerungsschaltung vermindern. Durch eine verminderte Steilheit der Schaltflanke des den Transistor ansteuernden Steuersignals wird ebenfalls eine Verzögerung der Schaltflanke des Deaktivierungs-Steuersignals erreicht.

[0014] Besonders vorteilhaft ist die Erfindung anwendbar für den Fall, daß für das Deaktivieren der Zeilenleitungen ein demgegenüber ähnliches Wirkungsprinzip angewandt wird. In einer derartigen Ausführungsform sind steuerbare Anschlußeinrichtungen zum Verbinden der Zeilenleitungen mit einem Anschluß für ein weiteres Deaktivierungspotential enthalten, die von einer weiteren Steuerschaltung angesteuert werden. Diese weist einen Ausgang zur Ausgabe eines weiteren Deaktivierungs-Steuersignals auf, das zum Auslösen eines Schaltvorgangs der Anschlußeinrichtungen dient. Jede Anschlußeinrichtung weist einen Deaktivierungstransistor auf, dessen Hauptstromstrecke zwischen die betreffende Zeilenleitung und den Anschluß für das weitere Deaktivierungspotential geschaltet ist. Der Steueranschluß des Deaktivierungstransistors empfängt das weitere Deaktivierungs-Steuersignal. Die weitere Steuerschaltung enthält durch ein weiteres Auswahl-signal einschaltbare Mittel, die zur Reduzierung einer

Amplitude des weiteren Deaktivierungs-Steuersignals dienen. Zusätzlich oder alternativ dazu kann die Steuerschaltung Mittel enthalten zur Verminderung der Steilheit einer Schaltflanke des weiteren Deaktivierungs-Steuersignals. Auf diese Art kann der resultierende Entladestrom beim Deaktivieren im Multiple-Wordline-Select-Betrieb reduziert und begrenzt werden.

[0015] Das Steuern des Deaktivierungsvorgangs der Zeilenleitungen erfolgt damit nach einem ähnlichen Wirkungsprinzip wie das Steuern der Deaktivierung der Spaltenleitungen. Dadurch ist es insbesondere möglich, daß Abhängigkeiten von technologischen Schwankungen oder von Spannungsschwankungen der Versorgungsspannung kompensiert werden, da solche Schwankungen ähnliche Auswirkungen auf das Verhalten der Schaltung zur Deaktivierung der Zeilenleitungen und das Verhalten der Schaltung zur Deaktivierung der Spaltenleitungen haben. Dadurch ist es ermöglicht, eine Verzögerung der Deaktivierung der Spaltenleitungen präzise nach dem Ende der Deaktivierung der Zeilenleitungen einzustellen. Dadurch ist auch im Testbetrieb ein vergleichsweise hoher Datendurchsatz ermöglicht, da die Verzögerung nicht unnötig groß gewählt werden muß.

[0016] Dabei ist es auch vorteilhaft, das Layout der beiden Schaltungsteile möglichst ähnlich auszubilden. Insbesondere lokale Schwankungen können optimal kompensiert werden, wenn die beiden Schaltungsteile im Layout nahe beieinander liegen und dieselben Versorgungs- und Ansteuersignale benutzen. Demgemäß können die Auswahl-signale der beiden Schaltungsteile einander entsprechen. Ebenso ist es vorteilhaft, die Steuerschaltung und die weitere Steuerschaltung an einer gemeinsamen Versorgungsspannung anzulegen.

[0017] Weitere vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen angegeben.

[0018] Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die Ausführungsbeispiele der Erfindung darstellen, näher erläutert. Es zeigen

[0019] [Fig. 1](#) ein Speicherzellenfeld eines Speichers mit Zeilenleitungen und Spaltenleitungen,

[0020] [Fig. 2](#) einen Potentialverlauf einer Zeilenleitung und einer Spaltenleitung bei einem Lesevorgang,

[0021] [Fig. 3](#) eine Ausführungsform einer Steuerschaltung des integrierten Speichers,

[0022] [Fig. 4](#) eine Ausführungsform einer weiteren Steuerschaltung zur Deaktivierung von Zeilenleitun-

gen.

[0023] In [Fig. 1](#) ist ein Speicherzellenfeld **1** eines integrierten Speichers gezeigt, das Zeilenleitungen in Form der Wortleitungen WL1 und WL2 und Spaltenleitungen in Form der Bitleitungen BL1 und BL2 aufweist. In Kreuzungspunkten der Wortleitungen WL1, WL2 und der Bitleitungen BL1, BL2 sind die Speicherzellen MC1 und MC2 angeordnet. Diese werden über eine jeweilige Wortleitung für einen Lese- oder Schreibvorgang ausgewählt. Dazu werden die Wortleitungen mit jeweils einem Aktivierungspotential verbunden, so daß die angeschlossenen Auswahltransistoren leitend geschaltet sind. Über die Bitleitungen wird ein Datensignal aus den Speicherzellen ausgelesen oder in eine der Speicherzellen eingeschrieben. Die Bitleitungen BL1, BL2 werden über einen Leseverstärker **4** zu diesem Zweck ausgewählt. Nach dem Lese- oder Schreibvorgang werden die Bitleitungen BL1, BL2 deaktiviert, das heißt auf ein Deaktivierungspotential GND gebracht. Dieser Vorgang wird auch als "Equalizing" bezeichnet. Der Deaktivierungsvorgang wird dabei durch ein Deaktivierungs-Steuersignal EQL gesteuert. Der Leseverstärker **4** enthält steuerbare Schalteinrichtungen, durch die die Bitleitungen BL1, BL2 mit einem entsprechenden Anschluß für das Deaktivierungspotential GND verbunden werden.

[0024] In [Fig. 2](#) ist ein Potentialverlauf (VWL1, VBL1) der Wortleitung WL1 und der Bitleitung BL1 bei einem Lesevorgang gezeigt. Zur Aktivierung der Wortleitung WL1 wird diese mit einem Aktivierungspotential verbunden, das gegenüber einem Bezugspotential einen positiven Wert aufweist (H-Pegel, z.B. 2,0 V) und einen Logikwert "1" definiert. Entsprechend weist die Wortleitung WL1 im deaktivierten Zustand ein Deaktivierungspotential auf, das beispielsweise dem Bezugspotential oder einem demgegenüber negativen Potential entspricht (L-Pegel, z.B. 0 V oder -0,3 V) und den Logikwert "0" definiert.

[0025] Zu Beginn des Lesevorgangs wird die Wortleitung WL1 aktiviert, wodurch ein Datensignal der Speicherzelle MC1 auf die Bitleitung BL1 gelangt (Zeitpunkt t0). Zum Zeitpunkt t1 wird der Leseverstärker **4** aktiviert, wodurch infolge des Datensignals die Bitleitung BL1 auf den H-Pegel angehoben wird. Im Normalbetrieb des Speichers wird die Wortleitung WL1 gemäß dem gestrichelten Verlauf deaktiviert. Im Testbetrieb des Speichers wird für einen Multiple-Wordline-Select-Betrieb die Wortleitung WL1 entsprechend langsamer deaktiviert. Um in diesem Fall einen Datenverlust zu vermeiden, wird die Deaktivierung der Bitleitung BL1 gegenüber einem Normalbetrieb (gestrichelter Verlauf) entsprechend verzögert.

[0026] In [Fig. 3](#) ist eine Ausführungsform einer Steuerschaltung eines erfindungsgemäßen integrierten Speichers gezeigt. Die gezeigte Schaltung dient

zur Erzeugung des Deaktivierungs-Steuersignals EQL zur Zuführung an den Leseverstärker **4** gemäß [Fig. 1](#). Die Steuerschaltung **3** dient zur Ausgabe des Deaktivierungs-Steuersignals EQL. Als Eingangssignale dienen ein Testmodesignal TM, das einen Testbetrieb des Speichers anzeigt, und ein Auswahlsignal BSEL, das insbesondere ein Ende eines Lesevorgangs anzeigt.

[0027] Die Steuerschaltung **3** enthält zwei alternativ einschaltbare Stromzweige **31** und **32**. Der Stromzweig **32** ist beispielsweise in einem Normalbetrieb des Speichers zugeschaltet, das Testmodesignal TM weist in diesem Fall den L-Pegel auf. Dadurch ist der Transistor P5 leitend, der Transistor P3 des Stromzweiges **31** im sperrenden Zustand. Bei Ende eines Lesezugriffs wechselt das Signal BSEL vom H-Pegel zum L-Pegel. Dadurch wird der Transistor P4 aktiviert, der Transistor N1 wird deaktiviert. Dementsprechend liegt am Eingang des Inverters **33** ein Potential an, das im wesentlichen der Versorgungsspannung V1 entspricht. Diese weist einen positiven Wert auf und ist derart bemessen, daß der Transistor N2 des Inverters **33** infolge des Potentials seines Steuersignals S in die Sättigung getrieben wird. Der Transistor N2 ist demzufolge voll durchgeschaltet. Über einen weiteren Inverter **34** ist das Deaktivierungs-Steuersignal EQL vom Transistor N2 abgreifbar.

[0028] Im Testbetrieb des Speichers weist das Testmodesignal TM den H-Pegel auf. Dementsprechend ist der Transistor P3 leitend, der Transistor P5 in sperrendem Zustand. Am Ende eines Speicherzugriffs fällt das Signal BSEL wiederum vom H-Pegel auf den L-Pegel. Dementsprechend wird der Transistor P2 leitend geschaltet. Der Stromzweig **31** ist demzufolge in einem eingeschalteten Zustand. Das Steuersignal S am Eingang des Inverters **33** weist entsprechend ein Potential beziehungsweise eine Endamplitude auf, die sich aus der Versorgungsspannung VH ergibt abzüglich der Durchlaßspannungen der Transistoren P1-P3 und gegenüber dem Normalbetrieb reduziert ist. Die Versorgungsspannung VH ist dabei derart bemessen, daß der Transistor N2 aufgrund des Potentials des Steuersignals S in einem begrenzt leitfähigen Zustand betrieben wird. Die Versorgungsspannung VH beträgt beispielsweise 1,6 V gegenüber einer Versorgungsspannung V1 von beispielsweise 2,0 V. Die Amplitude des Steuersignals S kann zusätzlich durch gezielte Einstellung des Transistors P1, der als Diode verschaltet ist, eingestellt werden. Dieser weist einen konstanten Spannungsabfall in Höhe seiner Schwellenspannung auf (beispielsweise 0,6 V), womit das Potential des Steuersignals S deutlich niedriger bleibt als im Normalbetrieb (Versorgungsspannung V1 abzüglich der Durchlaßspannungen der Transistoren P4 und P5).

[0029] Der Transistor N2 erreicht also nicht seine volle Leitfähigkeit und treibt demzufolge einen gerin-

geren Strom als im Normalbetrieb. Dadurch wird der Schaltvorgang des nachfolgenden Inverters **34** verzögert, so daß eine Verzögerung des Signals EQL gegenüber einem Normalbetrieb erreicht ist. Die Verzögerung kann im Zusammenspiel des Stromzweigs **31** und der Inverter **33** und **34** in geeigneter Weise eingestellt werden, welche demgemäß gemeinsam als Verzögerungsschaltung wirken. Diese wird durch das Testmodesignal TM eingeschaltet beziehungsweise abgeschaltet.

[0030] Eine Verzögerung kann auch durch Verminderung der Flankensteilheit des Steuersignals S erreicht werden. In einer geeigneten Maßnahme sind dazu die Transistoren P2 und P3 so ausgebildet, daß der Stromzweig **31** im eingeschalteten Zustand einen merklichen Durchlaßwiderstand hat (höher als der Durchlaßwiderstand der Transistoren P4 und P5). Je höher dieser Widerstand ist, desto flacher ist die Anstiegsflanke des Steuersignals S. Der merkliche Durchlaßwiderstand wird vorzugsweise geschaffen durch eine relativ kleine Dimensionierung der Transistoren P2 und P3 (im Vergleich zur Dimensionierung der Transistoren P4 und P5).

[0031] In [Fig. 4](#) ist ein Schaltungsteil des Speichers mit einer weiteren Steuerschaltung gezeigt, die zur entsprechenden Deaktivierung von Wortleitungen des Speicherzellenfeldes dient. Die [Fig. 4](#) zeigt rechts einen Teil des Randes des Speicherzellenfeldes **1**, in denen einzelne Wortleitungen WL angeordnet sind. Jede Wortleitung WL kann über jeweils einen Wortleitungs-Transistor T1, im folgenden als Aktivierungstransistor bezeichnet, auf ein Aktivierungspotential getrieben werden. Dieses Potential ist hier im beschriebenen Fall der H-Pegel, so daß die Auswahltransistoren, die an den Wortleitungen angeschlossen sind, leitend geschaltet sind. Zur Auswahl der Wortleitungen WL wird ein Wortleitungs-Auswahlsignal /WAS angelegt. Der H-Pegel wird den Transistoren T1 über eine gemeinsame Treiberleitung TL zugeführt.

[0032] Des weiteren ist jede Wortleitung WL über einen zweiten Wortleitungs-Transistor T2, im folgenden als Deaktivierungstransistor bezeichnet, an einer Zuleitung DL angeschlossen, die mit einer Quelle eines Deaktivierungspotentials LL verbunden ist. Dieses Potential ist vorzugsweise ein Pegel, der noch niedriger beziehungsweise negativer als der L-Pegel ist (z.B. $-0,3$ V), um die an die Wortleitungen angeschlossen Auswahltransistoren des Speicherzellenfeldes **1** mit Sicherheit zu sperren.

[0033] Zur Aktivierung von Wortleitungen WL bringt ein Adressdecoder das Wortleitungs-Treibersignal WTS auf den H-Pegel und steuert das Wortleitungs-Auswahlsignal /WAS auf den L-Pegel. Somit schalten die zugeordneten Aktivierungstransistoren T1 durch, und die betreffenden Wortleitungen werden

auf den H-Pegel getrieben. Vor der Aktivierung und nach Beendigung der Aktivierung wird das Signal WTS auf L-Pegel gehalten.

[0034] Zur Deaktivierung der Wortleitungen WL ist eine Steuerschaltung **2** vorgesehen. Diese hat eine Ausgangsleitung AL, die an den Steueranschlüssen aller Deaktivierungstransistoren T2 angeschlossen ist. Die Ausgangsleitung AL liefert ein Deaktivierungs-Steuersignal DSS zur Aussteuerung dieser Transistoren. Eine erste Eingangsleitung EW ist zum Empfang des Wortleitungs-Treibersignals WTS angeschlossen, eine zweite Eingangsleitung EM ist zum Empfang eines Testmodussignals MES angeschlossen. Eine dritte Eingangsleitung ED ist zum Empfang eines Deaktivierungs-Befehlssignals /DBS angeschlossen.

[0035] Die Steuerschaltung **2** ist umschaltbar zwischen zwei Betriebsarten, beispielsweise zwischen dem Normalbetrieb und dem Testbetrieb des Speichers. Zur Umschaltung dient das Testmodussignal MES, das für den Normalbetrieb den L-Pegel und für den Testbetrieb den H-Pegel aufweist. Die Pegelwandler **20** und **30** sind einander gleich und in an sich bekannter Weise aufgebaut, um an ihrem Ausgang H-Pegel zu liefern, wenn ihr Signaleingang den Binärwert "1" hat, und LL-Pegel (abgeleitet aus dem Potential LL) zu liefern, wenn ihr Signaleingang den Binärwert "0" hat.

[0036] Im Normalbetrieb arbeitet die Steuerschaltung **2** in der üblichen Weise, um beim Empfang eines Wortleitungs-Deaktivierungsbefehls an der Eingangsleitung ED die Ausgangsleitung AL sprunghaft auf einen H-Pegel zu bringen und dadurch die Deaktivierungstransistoren T2 mit steiler Anstiegsflanke in die Sättigung zu treiben. Dadurch werden die angeschlossen Wortleitungen WL möglichst schnell über die Zuleitung DL auf den LL-Pegel entladen. Im Normalbetrieb wird dabei nur jeweils eine einzige Wortleitung WL aktiviert und anschließend mittels der Transistoren T2 deaktiviert. Hierzu wird das Testmodussignal MES auf dem L-Pegel gehalten.

[0037] Der Testbetrieb wird eingestellt, so daß für den Test des Speichers der Multiple-Wordline-Select-Betrieb benutzt wird, bei welchem jeweils mehrere Wortleitungen WL durch L-Pegel des Signals /WAS an mehreren Transistoren T1 aktiviert worden sind und gemeinsam deaktiviert werden sollen. Hierzu wird das Testmodussignal MES auf "1" gesetzt. Bei Beendigung der Wortleitungs-Aktivierung wird das an der Eingangsleitung EW empfangene Signal WTS auf L-Pegel geschaltet. Hierdurch wird der Transistor T4 auf Durchlaß konditioniert.

[0038] Vor dem Erscheinen des Deaktivierungsbefehls ist das Signal /DBS am Befehlseingang ED noch auf "1", so daß der Pegelwandler **20** den H-Pe-

gel auf die Gate-Elektrode des Transistors T6 kopelt. Der Transistor T6 ist somit leitend und hält die Ausgangsleitung AL noch auf LL-Pegel, so daß die Wortleitungs- Deaktivierungstransistoren T2 noch gesperrt gehalten werden. Der Transistor T5 bleibt im Testmodus der Steuerschaltung dauernd nicht leitend, weil seine Gate-Elektrode H-Pegel ("1") vom Ausgang eines ODER-Gliedes **10** erhält, da dieses während des Testmodus an einem seiner beiden Eingänge die "1" von der Eingangsleitung MES empfängt. Der Transistor T7 wird während der Dauer des Testmodus durch das Ausgangssignal des Pegelwandlers **30** durchgeschaltet, welches nun auf LL-Pegel ist, weil am Eingang dieses Pegelwandlers eine "0" erscheint (invertierte "1" des Testmodussignals MES durch Inverter **40**). Der Transistor T8 bleibt durch den H-Pegel vom Ausgang des Pegelwandlers **20** vorerst noch gesperrt.

[0039] Wenn nun der Deaktivierungsbefehl angelegt wird, durch Wechsel des Signals /DBS von "1" auf "0", wandelt der Pegelwandler **20** diese "0" in LL-Pegel an seinem Ausgang, so daß der NFET T6 sperrt, wodurch das LL-Potential von der Ausgangsleitung AL abgetrennt wird. Das LL-Potential vom Ausgang des Pegelwandlers **20** schaltet nun den P-FET T8 durch, so daß über diesen Transistor T8, den ebenfalls leitenden P-FET T7 und die "Diode" T9 eine leitende Verbindung zwischen der Ausgangsleitung AL und dem HL-Potential hergestellt wird. Hierdurch werden die an die Ausgangsleitung AL angeschlossenen Deaktivierungstransistoren T2 in leitenden Zustand versetzt, um die zugeordneten Wortleitungen WL auf das Deaktivierungspotential LL zu entladen.

[0040] Die Transistoren T7, T8, T9 und das Potential HL sind so dimensioniert, daß das als Antwort auf den Deaktivierungsbefehl entstehende Deaktivierungs-Steuersignal DSS auf der Leitung AL eine andere Charakteristik hat als im Normalmodus, um die Entladeströme in den aufgesteuerten Deaktivierungstransistoren T2 zu begrenzen. Eine Strombegrenzung ergibt sich, wenn die Endamplitude des Signals DSS unterhalb des Pegels gehalten wird, der zur vollen Durchschaltung der Deaktivierungstransistoren T2 führt. Dies wird erreicht durch Verwendung des Potentials HL, das weniger positiv als der H-Pegel ist (z.B. +1,6 Volt), und durch den als Diode verschalteten P-FET T9, an welchem ein zusätzlicher konstanter Spannungsabfall in Höhe der Schwellenspannung V_{th} des P-FET T9 auftritt (z.B. etwa 0,6 Volt). Somit wird das Deaktivierungs-Steuersignal DSS auf einen Pegel $HL - V_{th}$ angehoben, der deutlich niedriger bleibt als der im Normalbetrieb über die Transistoren T4 und T5 erreichte H-Pegel. Die Deaktivierungstransistoren T2 erreichen also nicht ihre volle Leitfähigkeit und treiben demzufolge geringeren Strom als im Normalmodus. Auch die inaktiv gebliebenen Exemplare der Wortleitungen sind somit hoch-

ohmig an das Zuleitungssystem DL angeschlossen. Das Verhältnis der effektiven Kanalwiderstände der Deaktivierungstransistoren T2 zum Widerstand des Zuleitungssystem DL ist auf diese Weise erhöht, so daß an den inaktiven Wortleitungen keine schädlichen Spannungserhöhungen infolge der Entladeströme aus den aktiven Wortleitungen entstehen.

[0041] Eine Strombegrenzung kann auch durch Verminderung der Flankensteilheit des Deaktivierungs-Steuersignals DSS erreicht werden. Bei steiler Anstiegsflanke dieses Signals haben die über die Deaktivierungstransistoren T2 fließenden Entladeströme aus den aktiven Wortleitungen WL zu Beginn der Entladung eine hohe Spitze, die viel beiträgt zu den unerwünschten Spannungserhöhungen an den inaktiven Wortleitungen. In einer besonderen Ausführungsform der Erfindung ist daher eine Maßnahme zur Reduzierung der besagten Flankensteilheit getroffen.

[0042] In der dargestellten Steuerschaltung **2** besteht diese Maßnahme darin, den Schaltungszweig, der die Reihenschaltung der FETs T7 und T8 enthält, so auszubilden, daß er im eingeschalteten Zustand einen merklichen Durchlaßwiderstand hat (höher als der Durchlaßwiderstand der P-FETs T4 und T5). Je höher dieser Widerstand ist, desto flacher ist die Anstiegsflanke des Deaktivierungs-Steuersignals DSS, wegen der vergrößerten RC-Zeitkonstante mit den Gate-Masse-Kapazitäten der Deaktivierungstransistoren T2. Der merkliche Durchlaßwiderstand wird vorzugsweise geschaffen durch eine relativ kleine Dimensionierung der P-FETs T7 und T8 (im Vergleich zur Dimensionierung der P-FETs T4 und T5).

[0043] In der Zeichnung sind die P-FETs T7 und TB als Transistoren mit reduzierter Schwellenspannung dargestellt. Die Verwendung solcher Elemente kann vorteilhaft im Sinne der angestrebten Eigenschaften des betreffenden Stromkreises sein. Es können aber auch Transistoren ohne reduzierte Schwellenspannung verwendet werden. Im gleichen Sinne kann es vorteilhaft sein, die Substratanschlüsse der Transistoren T7, T8, T9 an das Potential HL zu legen, wie dargestellt.

[0044] Der als Diode verschaltete P-FET T9 kann auch durch eine echte Diode ersetzt werden; er kann auch ersatzlos weggelassen werden, wenn das Potential HL allein schon niedrig genug ist, um die angestrebte Reduzierung der Endamplitude des Signals DSS zu erreichen. Auch kann man statt des Potentials HL den vollen H-Pegel an das Ende des betreffenden Stromzweiges legen, wenn die Schwellenspannung des als Diode verschalteten P-FET T9 (oder einer dort befindlichen Diode) allein für die Pegelreduzierung genügt; gewünschtenfalls können mehrere als Diode verschaltete Transistoren (oder mehrere Dioden) in Reihe geschaltet werden. Der

spürbare Widerstand des besagten Stromzweiges zur Reduzierung der Flankensteilheit des Signals DSS kann auch durch Einfügung eines zusätzlichen ohmschen Elementes erreicht werden, oder dadurch, daß zumindest einer der Transistoren T7 und T8 nur begrenzt auf gesteuert wird, etwa durch Reduzierung des vom Pegelwandler **30** gelieferten Einschaltpegels. Auch kann es genügen, entweder nur die Endamplitude oder nur die Flankensteilheit des Deaktivierungs-Steuersignals DSS zu reduzieren. Das vorstehend gesagte ist in analoger Weise auch anwendbar für die Steuerschaltung **3** gemäß [Fig. 3](#).

[0045] Vorgabe ist allgemein, bei Deaktivierung mehrerer aktiver Wortleitungen die aus den einzelnen Wortleitungen fließenden Einzelströme jeweils so weit zu begrenzen, daß die Summe dieser Ströme unter einem kritischen Wert bleibt. Das Maß der einzurichtenden Strombegrenzung hängt davon ab, wie viele aktive Wortleitungen man gleichzeitig zu deaktivieren wünscht und wie hoch der kritische Wert ist. Letzterer ist hauptsächlich bestimmt durch die konstruktionsbedingte Impedanz des Zuleitungssystems für das Deaktivierungspotential. Diese Vorgaben bilden die Randbedingungen für die Einstellung der Strombegrenzung und somit für die Dimensionierung der Bauelemente und Pegel, die in der erfindungsgemäßen Reduziereinrichtung zur Strombegrenzung herangezogen werden.

[0046] Durch die Ähnlichkeit der Schaltungsteile aus [Fig. 3](#) zur Deaktivierung der Bitleitungen und aus [Fig. 4](#) zur Deaktivierung der Wortleitungen beziehungsweise durch die Ähnlichkeit deren Steuerschaltungen **3** beziehungsweise **2** ist die Deaktivierung der Wortleitungen und der Bitleitungen gut aufeinander abstimmbare. In beiden Steuerschaltungen wird außerdem ein reduziertes Potential VH beziehungsweise HL verwendet. Dadurch werden jeweils nachfolgende Schalttransistoren schwächer angesteuert, so daß deren Stromtreibefähigkeit herabgesetzt ist. Die Bitleitungen werden demzufolge ähnlich verzögert mit dem entsprechenden Deaktivierungspotential verbunden wie die Wortleitungen. Durch einen ähnlichen schaltungstechnischen Aufbau können Abhängigkeiten von technologischen Schwankungen und Abhängigkeiten von Spannungsschwankungen der Versorgungsspannung kompensiert werden, da solche Schwankungen ähnliche Auswirkungen auf beide Schaltungsteile ausüben. Dieser Effekt kann verstärkt werden, wenn beide Schaltungsteile im Layout nahe beieinander liegen und dieselben Versorgungs- und Ansteuersignale nutzen. In diesem Fall entsprechen das Testmodussignal MES aus [Fig. 4](#) und das Testmodesignal TM aus [Fig. 3](#) einander. Ebenso ist es vorteilhaft, wenn beide Steuerschaltungen **2** und **3** an einer gemeinsamen Versorgungsspannung anliegen, das heißt die Potentiale der Versorgungsspannungen V1 und VH aus [Fig. 3](#) entsprechen dem H-Potential beziehungsweise HL-Potential aus

Fig. 4.

Bezugszeichenliste

1	Speicherzellenfeld
2	Steuerschaltung
3	Steuerschaltung
4	Leseverstärker
10	Oder-Glied
20, 30	Pegelwandler
31, 32	Stromzweig
33, 34, 35, 36	Inverter
40	Inverter
BL1, BL2	Bitleitung
WL, WL1, WL2	Wortleitung
MC1, MC2	Speicherzelle
EQL	Deaktivierungs-Steuersignal
S	Steuersignal
V1	Versorgungsspannung
GND	Deaktivierungspotential
VH	Versorgungsspannung
T1 bis T9	Transistor
P1 bis P6	Transistor
N1, N2	Transistor
BSEL	Auswahlsignal
TM	Testmodesignal
H, HL, L, LL	Potential
VWL1, VBL1	Potentialverlauf
AL	Ausgangsleitung
DL	Zuleitung
ED	Eingangsleitung
EM	Eingangsleitung
EW	Eingangsleitung
TL	Treiberleitung
MES	Testmodussignal
/DBS	Deaktivierungs-Befehlssignal
/WAS	Wortleitungs-Auswahlsignal
WTS	Wortleitungs-Treibersignal
DSS	Deaktivierungs-Steuersignal

Patentansprüche

1. Integrierter Speicher
 - mit einem Speicherzellenfeld (**1**), das Zeilenleitungen (WL1, WL2) zur Auswahl von Speicherzellen (MC) und Spaltenleitungen (BL1, BL2) zum Auslesen oder Schreiben von Datensignalen der Speicherzellen aufweist,
 - der in einer Normalbetriebsart oder in einer Testbetriebsart betreibbar ist, wobei in der Testbetriebsart ein Deaktivieren der Zeilenleitungen (WL1, WL2) in Bezug zu einem Deaktivieren in der Normalbetriebsart verlangsamt durchgeführt wird,
 - mit einer steuerbaren Schalteinrichtung (**4**) zum Verbinden einer der Spaltenleitungen (BL1) mit einem Anschluß für ein Deaktivierungspotential (GND) für einen deaktivierten Zustand der Spaltenleitungen,
 - mit einer Steuerschaltung (**3**) mit einem Ausgang zur Ausgabe eines Deaktivierungs-Steuersignals (EQL), der mit der Schalteinrichtung (**4**) verbindbar ist

zum Auslösen eines Schaltvorgangs der Schalteinrichtung,
 – bei dem die Steuerschaltung (3) eine durch ein Auswahl-signal (TM) einschaltbare Verzögerungsschaltung (31, 33) umfasst, durch die in der Testbetriebsart im eingeschalteten Zustand der Schaltvorgang der Schalteinrichtung (4) verzögert ist in Bezug zu einem Schaltvorgang der Schalteinrichtung (4) im nicht eingeschalteten Zustand der Verzögerungsschaltung.

2. Integrierter Speicher nach Anspruch 1, dadurch gekennzeichnet, daß
 – die Steuerschaltung (3) einen Transistor (N2) enthält, an dem das Deaktivierungs-Steuersignal (EQL) abgreifbar ist und dessen Steueranschluß mit einem Anschluß für ein Steuersignal (S) verbunden ist,
 – die Verzögerungsschaltung Mittel (VH, P1) enthält zur Reduzierung einer Amplitude des Steuersignals (S) im eingeschalteten Zustand der Verzögerungsschaltung.

3. Integrierter Speicher nach Anspruch 2, dadurch gekennzeichnet, daß die Verzögerungsschaltung (31, 33) einen Anschluß für ein Versorgungspotential (VH) enthält, der mit dem Anschluß für das Steuersignal (S) verbindbar ist, wobei das Versorgungspotential (VH) so bemessen ist, daß der Transistor (N2) in einen begrenzt leitfähigen Zustand versetzt ist.

4. Integrierter Speicher nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß
 – die Steuerschaltung (3) einen Transistor (N2) enthält, an dem das Deaktivierungs-Steuersignal (EQL) abgreifbar ist und dessen Steueranschluß mit einem Anschluß für ein Steuersignal (S) verbunden ist,
 – die Verzögerungsschaltung Mittel (P2, P3) enthält zur Verminderung einer Steilheit einer Schaltflanke des Steuersignals (S) im eingeschalteten Zustand der Verzögerungsschaltung.

5. Integrierter Speicher nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß
 – die Steuerschaltung (3) zur Erzeugung des Deaktivierungs-Steuersignals zwei alternativ einschaltbare Stromzweige (31, 32) enthält,
 – ein erster Stromzweig (32) in seinem eingeschalteten Zustand den Steueranschluß des Transistors (N2) mit einem den Transistor in eine Sättigung treibenden ersten Potential (V1) beaufschlagt,
 – ein zweiter Stromzweig (31) in seinem eingeschalteten Zustand den Steueranschluß des Transistors (N2) mit einem den Transistor in Durchlaßrichtung vorspannenden zweiten Potential (VH, P1) beaufschlagt und Mittel (VH, P1) zur Reduzierung einer Amplitude des Steuersignals (S) und/oder Mittel (P2, P3) zur Verminderung einer Steilheit einer Schaltflanke des Steuersignals (S) enthält.

6. Integrierter Speicher nach Anspruch 5, dadurch gekennzeichnet, daß im zweiten Stromzweig (31) ein als Diode wirkendes Element (P1) eingefügt ist.

7. Integrierter Speicher nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß
 – steuerbare Anschlußeinrichtungen (T2) zum Verbinden der Zeilenleitungen (WL) mit einem Anschluß (DL) für ein weiteres Deaktivierungspotential für einen deaktivierten Zustand der Zeilenleitungen enthalten sind,
 – eine weitere Steuerschaltung (2) mit einem Ausgang zur Ausgabe eines weiteren Deaktivierungs-Steuersignals (DSS) enthalten ist, der mit den Anschlußeinrichtungen (T2) verbindbar ist zum Auslösen eines Schaltvorgangs der Anschlußeinrichtungen,
 – jede Anschlußeinrichtung einen Deaktivierungstransistor (T2) aufweist, dessen Hauptstromstrecke zwischen eine der Zeilenleitungen (WL) und den Anschluß (DL) für das weitere Deaktivierungspotential geschaltet ist und dessen Steueranschluß das weitere Deaktivierungs-Steuersignal (DSS) empfängt,
 – die weitere Steuerschaltung (2) durch ein weiteres Auswahl-signal (MES) einschaltbare Mittel (T9, HL) enthält zur Reduzierung einer Amplitude des weiteren Deaktivierungs-Steuersignals (DSS).

8. Integrierter Speicher nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß
 – steuerbare Anschlußeinrichtungen (T2) zum Verbinden der Zeilenleitungen (WL) mit einem Anschluß (DL) für ein weiteres Deaktivierungspotential für einen deaktivierten Zustand der Zeilenleitungen enthalten sind,
 – eine weitere Steuerschaltung (2) mit einem Ausgang zur Ausgabe eines weiteren Deaktivierungs-Steuersignals (DSS) enthalten ist, der mit den Anschlußeinrichtungen (T2) verbindbar ist zum Auslösen eines Schaltvorgangs der Anschlußeinrichtungen,
 – jede Anschlußeinrichtung einen Deaktivierungstransistor (T2) aufweist, dessen Hauptstromstrecke zwischen eine der Zeilenleitungen (WL) und den Anschluß (DL) für das weitere Deaktivierungspotential geschaltet ist und dessen Steueranschluß das weitere Deaktivierungs-Steuersignal (DSS) empfängt,
 – die weitere Steuerschaltung (2) durch ein weiteres Auswahl-signal (MES) einschaltbare Mittel (T7, T8) enthält zur Verminderung einer Steilheit einer Schaltflanke des weiteren Deaktivierungs-Steuersignals (DSS).

9. Integrierter Speicher nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß das weitere Auswahl-signal (MES) dem Auswahl-signal (TM) entspricht und die Steuerschaltung (3) und die weitere Steuerschal-

tung (2) an einer gemeinsamen Versorgungsspannung (V1, H; VH, HL) anliegen.

Es folgen 3 Blatt Zeichnungen

FIG 1

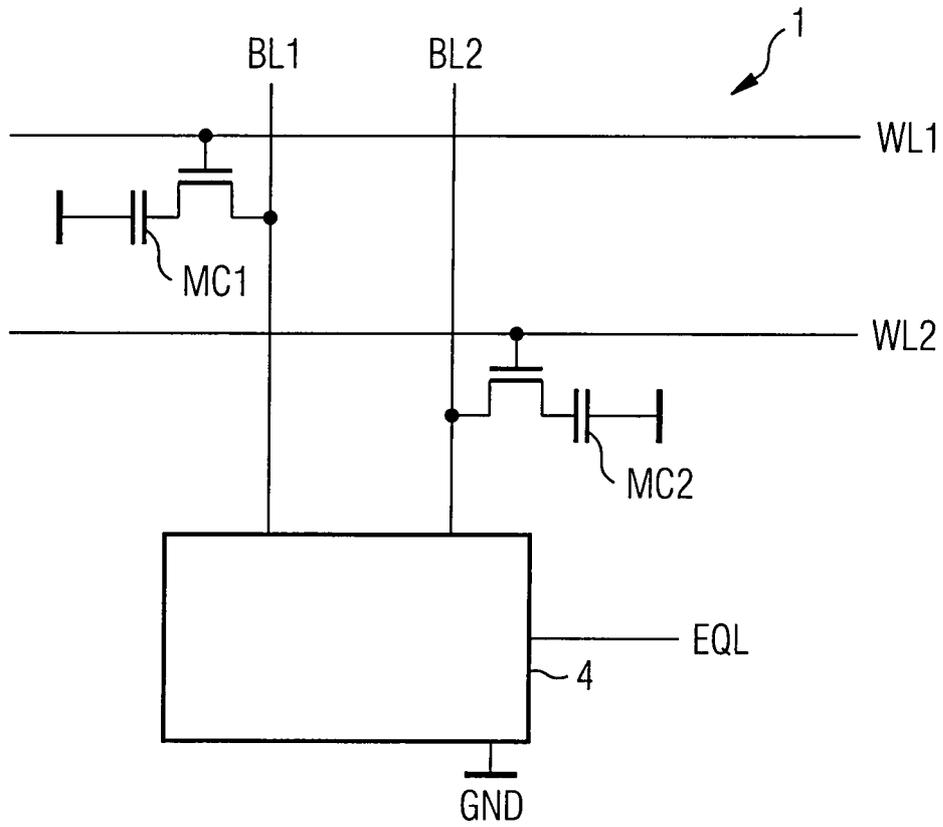


FIG 2

