

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6016687号
(P6016687)

(45) 発行日 平成28年10月26日 (2016. 10. 26)

(24) 登録日 平成28年10月7日 (2016. 10. 7)

(51) Int. Cl.		F I	
GO4R	20/10	(2013.01)	GO4R 20/10
HO4B	1/10	(2006.01)	HO4B 1/10 A
HO3H	11/12	(2006.01)	HO3H 11/12 A
HO3D	1/04	(2006.01)	HO3D 1/04
GO4C	9/00	(2006.01)	GO4C 9/00 301A
請求項の数 7 (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2013-66184 (P2013-66184)
 (22) 出願日 平成25年3月27日 (2013. 3. 27)
 (65) 公開番号 特開2014-190813 (P2014-190813A)
 (43) 公開日 平成26年10月6日 (2014. 10. 6)
 審査請求日 平成27年11月13日 (2015. 11. 13)

(73) 特許権者 000001960
 シチズン時計株式会社
 東京都西東京市田無町六丁目1番12号
 (73) 特許権者 307023373
 シチズン時計株式会社
 東京都西東京市田無町六丁目1番12号
 (74) 代理人 100126583
 弁理士 官島 明
 (72) 発明者 古木 拓夫
 東京都西東京市田無町六丁目1番12号
 シチズン時計株式会社内
 審査官 藤田 憲二

最終頁に続く

(54) 【発明の名称】 クロック信号生成回路及びこれを用いた復調回路、電波修正時計

(57) 【特許請求の範囲】

【請求項1】

入力信号から所望の周波数成分のクロック信号を生成するクロック信号生成回路であって、

前記所望の周波数よりも低い周波数に利得のピークがある第1のフィルタと、
 前記所望の周波数よりも高い周波数に利得のピークがある第2のフィルタと、
 前記第1のフィルタと前記第2のフィルタとの出力にそれぞれ接続された第1及び第2の量子化回路と、

前記第1の量子化回路と前記第2の量子化回路との出力に接続され、一方の量子化回路の出力を反転し、他方の量子化回路の出力と合成する合成回路と、
 を有することを特徴とするクロック信号生成回路。

【請求項2】

前記量子化回路は、所定のバイアス電位に対して前記第1のフィルタ及び前記第2のフィルタの出力をそれぞれ比較する比較器であることを特徴とする請求項1に記載のクロック信号生成回路。

【請求項3】

前記第1のフィルタおよび前記第2のフィルタは、所定の周波数帯域を通過するバンドパスフィルタであることを特徴とする請求項1または2に記載のクロック信号生成回路。

【請求項4】

請求項1から3のいずれか1つに記載のクロック信号生成回路と、

前記入力信号をサンプルホールドするスイッチ回路と、
を備え、

前記クロック信号生成回路により生成したクロック信号により前記スイッチ回路を動作させ、前記入力信号を任意の位相でサンプルホールドする復調回路。

【請求項5】

前記クロック信号生成回路と前記スイッチ回路との間に、前記クロック信号生成回路の出力を遅延させる遅延回路を備えたことを特徴とする請求項4に記載の復調回路。

【請求項6】

前記クロック信号生成回路の出力と前記遅延回路の出力とを合成する第2の合成回路を備えたことを特徴とする請求項5に記載の復調回路。

【請求項7】

請求項4から6のいずれか1つに記載の復調回路と、
水晶発振回路を有し、
標準電波を受信して時刻修正を行う電波修正時計。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、不要な周波数成分を含んだ信号から所望の周波数成分を取り出すフィルタ回路で、特に通過周波数帯域外の妨害波を除外するAM復調器に関する。

【背景技術】

【0002】

振幅変調された全搬送波両側波帯（単にAM）の信号や、ヘテロダイン方式の受信によって低周波数に変換されたIF（中間周波数）信号から、包絡線検波によってベースバンドを復調する回路システムにおいて、搬送波信号などに重畳する雑音信号や、強い妨害信号を除去するためには、高いQ値をもつフィルタが必要なる。高いQ値をもつフィルタで所定の周波数成分だけを通過させた信号から得られた復調信号は、基信号であるベースバンド信号と類似する。

【0003】

フィルタとして高いQ値を得るには、例えば水晶振動子を用いたフィルタ回路があり、水晶振動子の特性として直列共振周波数では極めて高い周波数選択性と利得を有しているが、一方で振動子端子間の静電容量である並列容量成分が、副共振特性とハイパス特性（この場合、周波数が上がると利得が上がる特性をいう）を有するため、直列共振周波数より高周波側に不要な利得を持つ特性もある。

【0004】

前記並列容量成分を打ち消すために、フィルタ回路の入力信号を水晶振動子を通る信号経路とは別に、前記並列容量成分を打ち消す容量素子を通る信号経路を設け、信号分岐された前記2つの信号経路の信号差を得るために、例えば後段に差動回路を構成したものや、入力信号の振幅を等しく正反転して、水晶振動子を通る信号経路と、容量素子を通る信号経路とに分岐入力し、前記2つの信号経路出力側を接続合成了なものもある。

【0005】

前記差動回路の出力は水晶振動子の副共振である並列共振周波数が除去されて直列共振成分のみを有し、直列共振より高周波側ではハイパス特性が抑えられたフィルタ回路として機能する。

【0006】

水晶振動子以外にQ値を高くしたフィルタとしては、能動素子であるオペアンプを使用した多重帰還型のフィルタがある。水晶振動子を用いる場合に比べるとQ値がかなり劣るが、回路パラメータの調整だけでQ値や通過周波数帯域を自由に可変できるため、半導体装置などで実現するのに適している。

【0007】

フィルタの後段に位置する復調システムの機能は、振幅変調された搬送波信号から低周波

10

20

30

40

50

数のベースバンドを取り出すことであり、入力信号である搬送波信号またはIF信号の振幅頂点である最上点と最下点をなぞってできる包絡線を得るため、例えばダイオード素子を用いたトップホールド回路とボトムホールド回路の出力電位差分を検出する復調システムや、最上点と最下点を検出したタイミング信号（以下、サンプルホールド信号という）を生成し、搬送波信号またはIF信号の振幅頂点を時間選択（サンプル）し、最上点と最下点の電位差分を保持（ホールド）することで、信号振幅変化に追従した包絡線を得ている。

【0008】

サンプルホールド信号により包絡線検波する復調システムにおいては、前記サンプルホールド信号は、理想的に搬送波信号またはIF信号と完全同期していることが望ましく、すなわち入力信号とサンプルホールド信号とが一定の位相を保つ必要がある。

10

【0009】

例えば、特許文献1に開示されたサンプルホールド回路では、入力信号の周期内には、必要な情報である期間と、不必要な情報である期間があって、入力信号から高精度に必要な情報を取り出すために、サンプルホールド信号が入力信号周期内の必要な情報期間に同期するように負帰還制御している。

【0010】

詳細には、入力信号がサンプルホールド回路を通過して出力される信号の周期内に含まれる不必要な情報の期間を検出するため、サンプルホールド回路の出力信号を二つに分岐して、一方を低域通過フィルターを通して、もう一方と差分をとることで、不必要な情報の期間が検出される。

20

【0011】

この不必要な期間量は電圧変換されて、電圧制御発振器（VCO）の位相を制御し、VCOの出力がサンプルホールド信号として帰還することで、不必要な情報期間が減少する方向へ調整される。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開平4 - 184509号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0013】

前記した水晶振動子を用いたフィルタ回路の場合、水晶振動子の並列共振特性を除去するため、水晶振動子と並列回路を構成する容量素子の容量値を、極めて高い確度で微調整しないと水晶振動子の副共振特性やハイパス特性を抑制することができないので、高周波数域の雑音を抑制することができない。

【0014】

もしこの微調整を半導体装置内の容量素子で行う場合には、容量値の細分化した複数の容量素子と、この容量素子を選択切替する機能が必要となって複雑になる。

【0015】

また、回路パラメータ調整が容易な多重帰還型フィルタ回路は、高周波数域でのオペアンプの同相信号除去比の劣化が、フィルタ高周波数域の減衰特性を劣化させてしまうことがある。この場合、半導体装置内に高調波成分を含む信号などであっても除去することができず、復調システムへ取り込んでしまい、検波信号のSN比が低下する。

40

【0016】

フィルタ後段の復調システムについて、前記したダイオード素子を用いたトップホールド回路とボトムホールド回路とで構成される復調システムは、信号振幅の大小を検出するので、周波数選択性がなく、搬送波周波数またはIFでない妨害波もシステムへ取り込んでしまう。

【0017】

また、搬送波信号またはIF信号振幅の頂点である最上点と最下点をサンプリングする復調

50

システムでは、サンプルホールド信号を正確に周波数制御および位相制御しなければ、妨害波の取り込みが生じたり、変調信号振幅の最大値、最小値の取り込みができず、S/N比が低下する。

【0018】

この発明は上述した従来技術による問題点を解消し、半導体装置内で構成できるフィルタを使用し、前記フィルタから復調システムで使用する所定の周波数および位相で動作するサンプルホールド信号を発生して、強い妨害波や、半導体装置内外からの雑音を除去することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

上述した課題を解決し、目的を達成するため、本発明にかかるクロック信号生成回路は、入力信号から所望の周波数成分のクロック信号を生成するクロック信号生成回路であって、所望の周波数よりも低い周波数に利得のピークがある第1のフィルタと、所望の周波数よりも高い周波数に利得のピークがある第2のフィルタと、第1のフィルタと第2のフィルタとの出力にそれぞれ接続された第1及び第2の量子化回路と、第1の量子化回路と第2の量子化回路との出力に接続され、一方の量子化回路の出力を反転し、他方の量子化回路の出力と合成する合成回路と、で構成される。

【発明の効果】

【0020】

本発明にかかるクロック信号生成回路によれば、2つのフィルタの通過周波数帯に挟まれた周波数帯域だけが大きな位相差を有するので、フィルタ出力には所望周波数帯域外の不要周波数成分を有するサンプルホールド信号が発生しない。このためサンプルホールド信号を利用したAM復調システムでは、所望周波数である搬送波周波数以外の妨害周波数信号による包絡線検波への重畳を抑えることができる。

【0021】

フィルタの周波数選択性を高める場合には、2つのフィルタのQ値を高くし、2つのフィルタのピーク周波数を近接させることで、フィルタの周波數位相変化が急峻になり、より狭い周波数帯域で、サンプルホールド信号を生成することができ、妨害周波数信号の除去特性があがる。

【図面の簡単な説明】

【0022】

【図1】本発明の第1の実施形態にかかるクロック発生回路の概略構成を示すブロック図である。

【図2】本発明の第1の実施形態にかかるクロック発生出力の過渡特性を示すタイミング図である。

【図3】本発明の第1の実施形態の実施の形態1にかかるフィルタの回路構成図である。

【図4】本発明の第1の実施形態の実施の形態1にかかるフィルタの特性図である。

【図5】本発明の第1の実施形態の実施の形態2にかかるフィルタの回路構成図である。

【図6】本発明の第1の実施形態の実施の形態2にかかるフィルタの特性図である。

【図7】本発明の第1の実施形態の実施の形態3にかかるフィルタの回路構成図である。

【図8】本発明の第1の実施形態の実施の形態3にかかるフィルタの特性図である。

【図9】本発明の第2の実施形態にかかるクロック発生回路の概略構成を示すブロック図である。

【図10】本発明の第2の実施形態にかかるクロック発生出力の過渡特性を示すタイミング図である。

【図11】本発明の第3の実施形態にかかるクロック発生回路の概略構成を示すブロック図である。

【図12】本発明の第3の実施形態にかかる復調回路の概略構成を示すブロック図である。

【図13】本発明の第3の実施形態にかかるクロック発生出力の過渡特性を示すタイミン

10

20

30

40

50

グ図である。

【発明を実施するための形態】

【0023】

以下に添付図面を参照して、この発明にかかるフィルタ回路の好適な実施の形態を詳細に説明する。

【0024】

[第1の実施形態]

[実施の形態1]

図1は、本発明の第1の実施形態にかかる第1のクロック発生回路200の概略構成を示すブロック図である。図1に示すように、入力信号(IN)を第1のフィルタ102と、第2のフィルタ104へ信号分岐接続し、第1のフィルタ102と、第2のフィルタ104の出力は、それぞれ第1の比較器112と第2の比較器114へ接続される。

10

【0025】

前記第1の比較器112および、第2の比較器114は共通の基準バイアス信号140が供給されていて第1のフィルタ102と、第2のフィルタ104の出力は量子化され、一方の第1の比較器112出力を第1の反転回路122と接続し、第1の反転回路122の出力と、第2の比較器114の出力を第1の合成回路132と接続する構成である。基準バイアス信号140の電位は、第1のフィルタ102と、第2のフィルタ104の出力信号振幅の中間電位でなければならない。

【0026】

図1に示す第1のフィルタ102、第2のフィルタ104は回路構成が同じであるバンドパスフィルタ(以下、BPFという)で、ピーク周波数をもち、Q値が0.707以上の電気的特性を有する回路で構成されるのが望ましい。

20

【0027】

図4にBPF特性を有する第1のフィルタ102、第2のフィルタ104の周波数特性を示す。図4で第1のフィルタ102の周波数特性は、所望通過周波数より低い周波数にピークを有していて、その位相特性は入力信号(IN)のDCレベルから見て90度以上遅れている。

【0028】

第2のフィルタ104の周波数特性は、所望通過周波数より高い周波数にピークを有していて、そのピーク周波数時の位相は第1のフィルタ102の出力信号より進んでおり、入力信号(IN)のDCレベルから見て90度に満たしていないので、所望通過周波数において、第1のフィルタ102と、第2のフィルタ104の出力信号には位相差が生じている。

30

【0029】

図2では、動作について説明する。図1の入力信号(IN)を所望通過周波数の正弦波とすると、入力信号(IN)は第1のフィルタ102、第2のフィルタ104へ信号分岐されて、所望通過周波数より低い周波数にピークをもつ第1のフィルタ102の出力(A)は、入力信号(IN)が図2に示す第1のフィルタ出力(A)のように90度以上位相が遅れていて、一方の第2のフィルタ104の出力(B)は、所望通過周波数より高い周波数にピークをもつので、第2のフィルタ出力(B)に示すように90度まで位相が遅れていない。

40

【0030】

第1の比較器112の出力信号を反転した第1の反転回路122の出力は、図2に示す第1の反転回路出力(C1)のように量子化されていて、第2の比較器114出力信号は第2の比較器出力(D)のように量子化されていて、第1の反転回路出力(C1)と第2の比較器出力(D)を第1の合成回路132で合成すれば第1の合成回路出力(E1)を得る。

【0031】

図2に示すように、信号E1は入力信号(IN)に対し、入力信号(IN)の振幅頂点に

50

到達する前に立ち上がり、振幅頂点付近で立ち下がる特性を持つので、入力信号振幅の頂点電圧を検出することができる。

【0032】

また、第1の合成回路出力(E1)は、第1のフィルタ102の出力信号位相と、第2のフィルタ104の出力信号位相とが異なる周波数領域でしか生成されない信号である。従って、第1のフィルタ102のピーク周波数と、第2のフィルタ104のピーク周波数のQ値が高いほど位相変化が急峻となり、さらに2つのピーク周波数が近接していると、第1の合成回路出力(E1)の生成を狭帯域に絞ることができる。

【0033】

図2に示す第1の合成回路出力(E1)は、第1のフィルタ102と第2のフィルタ104の位相差が生じる周波数帯域でのみ生成される信号であることが目的であるが、実際には両者フィルタ回路の位相差が零でない周波数領域もあるから、所望周波数帯域外において第1の合成回路出力(E1)が生成されない信号処理が必要であり、これについては後述する。

10

【0034】

なお、第1のフィルタ102および第2のフィルタ104は図3に示すように、一般的な多重帰還型BPFを備えていて、例えば、オペアンプ300の正側入力端子には基準バイアス信号140を印加し、負側入力端子には抵抗素子と容量素子とで生成される積分回路や微分回路で特定周波数帯域のみ通過するフィルタを形成したり、オペアンプ300の利得やQ値の調整に利用される。

20

【0035】

BPFの入力ノードは、第1の抵抗素子302の一方のノードに接続され、該第1の抵抗素子302の他方のノードは、第2の抵抗素子303と、第1の容量素子310と、第2の容量素子312に分岐接続される。

【0036】

前記3つの素子の他方のノードで、第2の抵抗素子303は基準バイアス信号140に接続され、前記第1の容量素子310はオペアンプ300の負側入力端子に接続され、前記第2の容量素子312はオペアンプ300の出力に接続される。

【0037】

オペアンプ300の出力を負側入力端子へ負帰還する第3の抵抗素子304を備えて、BPFを構成している。

30

【0038】

[実施の形態2]

本発明の実施の形態2は、図1に示す第1のクロック発生回路200の第1のフィルタ102と、第2のフィルタ104とが、図5で示すようなローパスフィルタ(以下、LPFという)で構成されていて、入力信号(IN)を第1のフィルタ102と、第2のフィルタ104へ信号分岐接続し、第1のフィルタ102の出力は、第1の比較器112に接続し、第2のフィルタ104の出力は、第2の比較器114へ接続される。

【0039】

前記2つの比較器には共通の基準バイアス信号140が供給されていて、前記2つのフィルタの出力は量子化され、一方の第1の比較器112の出力を第1の反転回路122と接続し、第1の反転回路122出力と第2の比較器114出力を第1の合成回路132と接続する構成である。

40

【0040】

なお、第1のフィルタ102および第2のフィルタ104は図5に示すように、一般的な多重帰還型LPFでもよく、例えば、オペアンプ400の正側入力端子には基準バイアス信号140を印加し、負側入力端子には抵抗素子と容量素子とで生成される積分回路で低周波数帯域のみ通過するフィルタの形成や、零点を発生してQ値を調整したり、オペアンプ400の利得の調整に利用される。

【0041】

50

L P Fの入力ノードは、第1の抵抗素子402の一方のノードに接続され、該第1の抵抗素子402の他方のノードは、第2の抵抗素子410と、第1の容量素子403と、第3の抵抗素子412に分岐接続される。

【0042】

前記3つの素子の他方のノードで、第1の容量素子403は基準バイアス信号140に接続され、前記第2の抵抗素子410はオペアンプ400の負側入力端子に接続され、前記第3の抵抗素子412はオペアンプ400の出力に接続される。

【0043】

オペアンプ400の出力を負側入力端子へ負帰還する第2の容量素子404を備えて、L P Fを構成している。

10

【0044】

図5に示すL P Fを用いた場合、図1に示した第1のフィルタ102と第2のフィルタ104を、所望通過周波数を挟んで低い側、高い側にピーク周波数を合わせる場合の調整として、図5の第1の容量素子403の値を可変にしてもよい。

【0045】

第2のフィルタ104を構成する第1の容量素子403の値を、第1のフィルタ102を構成する第1の容量素子の値より低く設定することで、第2のフィルタ104のピーク周波数は、第1のフィルタ102のピーク周波数より高周波数側に調整される。

【0046】

図6には、図5で示したL P Fを備えた(図1に示す)第1のフィルタ102および、第2のフィルタ104の周波数特性を示す。

20

【0047】

図6で、第1のフィルタ102の周波数特性は、所望通過周波数より低い周波数にピークを有しており、その位相特性は入力信号(IN)のDCレベルから見て90度以上遅れており、第2のフィルタ104の周波数特性は、所望通過周波数より高い周波数にピークを有しており、そのピーク周波数時の位相は第1のフィルタ102出力信号より進んでおり、入力信号(IN)のDCレベルから見て90度に満たしていないので、所望通過周波数において、2つのフィルタ出力信号には位相差が生じる。

【0048】

動作は前記図2で示したように、図1の入力信号(IN)を所望通過周波数の正弦波とすると、入力信号は第1のフィルタ102と、第2のフィルタ104へ信号分岐されて、所望通過周波数より低い周波数にピークをもつ第1のフィルタ102では、入力信号(IN)は図2に示す第1のフィルタ出力(A)のように90度以上位相が遅れ、第2のフィルタ104では、所望通過周波数より高い周波数にピークをもつので、第2のフィルタ出力(B)に示すように90度まで位相が遅れていない。

30

【0049】

第1の比較器112の出力信号を反転した第1の反転回路122の出力は、図2に示す第1の反転回路出力(C1)のように量子化されていて、第2の比較器114の出力信号は第2の比較器出力(D)のように量子化されていて、第1の反転回路出力(C1)と第2の比較器出力(D)を合成回路で合成すれば第1の合成回路出力(E1)を得る。

40

【0050】

図2に示すように、第1の合成回路出力(E1)は入力信号(IN)に対し、入力信号(IN)の振幅頂点に到達する前に立ち上がり、振幅頂点付近で立ち下がる特性を持つので、入力信号振幅の頂点電圧を検出することができる。

また、第1の合成回路出力(E1)は、第1のフィルタ102の出力信号位相と、第2のフィルタ104の出力信号位相とが異なる周波数領域でしか生成されない信号であるから、第1のフィルタ102のピーク周波数と、第2のフィルタ104のピーク周波数のQ値が高いほど位相変化が急峻となり、さらに2つのピーク周波数が近接していると、第1の合成回路出力(E1)の生成を狭帯域に絞ることができる。

【0051】

50

[実施の形態 3]

本発明の実施の形態 3 は、図 1 に示す第 1 のクロック発生回路 2 0 0 の第 1 のフィルタ 1 0 2 と第 2 のフィルタ 1 0 4 が、図 7 で示すハイパスフィルタ（以下、HPF という）で構成されていて、図 1 に示すフィルタ回路は、入力信号（IN）を第 1 のフィルタ 1 0 2 と第 2 のフィルタ 1 0 4 へ信号分岐接続し、第 1 のフィルタ 1 0 2 の出力は、第 1 の比較器 1 1 2 へ接続され、一方の第 2 のフィルタ 1 0 4 の出力は、第 2 の比較器 1 1 4 へ接続される。

【0052】

前記 2 つの比較器は、共通の基準バイアス信号 1 4 0 が供給されていて、第 1 のフィルタ 1 0 2 の出力と、第 2 のフィルタ 1 0 4 の出力は量子化され、一方の第 1 の比較器 1 1 2 の出力を第 1 の反転回路 1 2 2 と接続し、第 1 の反転回路 1 2 2 の出力と第 2 の比較器 1 1 4 の出力を第 1 の合成回路 1 3 2 と接続する構成である。

10

【0053】

なお、第 1 のフィルタ 1 0 2 および第 2 のフィルタ 1 0 4 は図 7 に示すように、一般的な多重帰還型 HPF でもよく、例えば、オペアンプ 5 0 0 の正側入力端子には基準バイアス信号 1 4 0 を印加し、負側入力端子には抵抗素子と容量素子とで生成される微分回路で高周波数帯域のみ通過するフィルタの形成や、零点を発生して Q 値を調整したり、オペアンプの利得の調整に利用される。

【0054】

HPF の入力ノードは、第 1 の容量素子 5 0 2 の一方のノードに接続され、該第 1 の容量素子 5 0 2 の他方のノードは、第 1 の抵抗素子 5 0 3 と、第 2 の容量素子 5 1 0 と、第 3 の容量素子 5 1 2 に分岐接続される。

20

【0055】

前記 3 つの素子の他方のノードで、第 1 の抵抗素子 5 0 3 は基準バイアス信号 1 4 0 に接続され、第 2 の容量素子 5 1 0 はオペアンプ 5 0 0 の負側入力端子に接続され、第 3 の容量素子 5 1 2 はオペアンプ 5 0 0 の出力に接続される。

【0056】

オペアンプ 5 0 0 の出力を負側入力端子へ負帰還する第 2 の抵抗素子 5 0 4 を備えて、HPF を構成している。

【0057】

図 7 に示す HPF を用いた場合、図 1 に示した第 1 のフィルタ 1 0 2 と第 2 のフィルタ 1 0 4 を所望通過周波数を挟んで低い側、高い側にピーク周波数を合わせる場合の調整として、第 1 の抵抗素子 5 0 3 の値を可変にしてもよい。

30

【0058】

第 2 のフィルタ 1 0 4 を構成する第 1 の抵抗素子 5 0 3 の値を、第 1 のフィルタ 1 0 2 の第 1 の抵抗素子 5 0 3 の値より低く設定することで、第 2 のフィルタ 1 0 4 のピーク周波数は、第 1 のフィルタ 1 0 2 のピーク周波数より高周波数側に調整される。

【0059】

図 8 には、図 7 で示した HPF を備えた（図 1 に示す）第 1 のフィルタ 1 0 2 と、第 2 のフィルタ 1 0 4 の周波数特性を示す。

40

【0060】

図 8 で第 1 のフィルタ 1 0 2 の周波数特性は、所望通過周波数より低い周波数にピークを有していて、その位相特性は入力信号（IN）の DC レベルから見て 90 度以上遅れている。第 2 のフィルタ 1 0 4 の周波数特性は、所望通過周波数より高い周波数にピークを有していて、そのピーク周波数時の位相は第 1 のフィルタ 1 0 2 の出力信号より進んでおり、入力信号（IN）の DC レベルから見て 90 度に満たしていないので、所望通過周波数において、前記 2 つのフィルタ出力信号には位相差が生じている。

【0061】

動作は前記図 2 で示したように、図 1 の入力信号（IN）を所望通過周波数の正弦波とすると、入力信号（IN）は第 1 のフィルタ 1 0 2 と、第 2 のフィルタ 1 0 4 へ信号分岐さ

50

れて、所望通過周波数より低い周波数にピークをもつ第1のフィルタ102では、入力信号(IN)は図2に示す第1のフィルタ出力(A)のように90度以上位相が遅れ、第2のフィルタ104では、所望通過周波数より高い周波数にピークをもつので、第2のフィルタ出力(B)に示すように90度まで位相が遅れていない。

【0062】

第1の比較器112の出力信号を反転した第1の反転回路122の出力は、図2に示す第1の反転回路出力(C1)のように量子化されていて、第2の比較器114の出力信号は第2の比較器出力(D)のように量子化されていて、第1の反転回路出力(C1)と第2の比較器出力(D)を第1の合成回路132で合成すれば第1の合成回路出力(E1)を得る。

10

【0063】

図2に示すように、第1の合成回路出力(E1)は入力信号に対し、入力信号(IN)の振幅頂点に到達する前に立ち上がり、振幅頂点付近で立ち下がる特性を持つので、入力信号振幅の頂点電圧を検出することができる。

【0064】

また、第1の合成回路出力(E1)は、第1のフィルタ102の出力信号位相と、第2のフィルタ104の出力信号位相とが異なる周波数領域でしか生成されない信号であるから、第1のフィルタ102のピーク周波数と、第2のフィルタ104のピーク周波数のQ値が高いほど位相変化が急峻となり、さらに2つのピーク周波数が近接していると、第1の合成回路出力(E1)の生成を狭帯域に絞ることができる。

20

【0065】

第1のフィルタ102と第2のフィルタ104とをBPFで構成する場合、LPFで構成する場合、HPFで構成する場合としても同様の動作および効果が得られるが、BPFは、その特性として、より特定の周波数を選択することができるので、より望ましい。

【0066】

このように、第1の実施形態によれば、2つのフィルタの通過周波数帯に挟まれた周波数帯域だけが大きな位相差を有するので、フィルタ出力には所望周波数帯外の周波数成分を有するサンプルホールド信号が発生せず、サンプルホールド信号を利用したAM復調システムにおいて、妨害周波数信号による包絡線検波への重畳を抑えることができる。

【0067】

[第2の実施形態]

次に、図9、図10を用いて本発明における第2の実施形態を説明する。図9は、第2の実施形態にかかるクロック発生回路の概略構成であり、図10は、クロック発生出力の過渡特性を示すタイミング図である。尚、第1の実施形態と同様である構成および信号には同じ符号を付し、詳細な説明は省略する。

30

【0068】

図1に示した第1のクロック発生回路200を構成する第1のフィルタ102、第2のフィルタ104の2つのピーク周波数に挟まれない所望周波数帯域外の雑音信号に対して、第1と第2のフィルタ出力信号の位相差は極めて小さいが、第1の合成回路出力(E1)に不要なパルス(P1)が重畳することがある。

40

【0069】

図9は、このような場合でも、第1のクロック発生回路200の後段に、第1の遅延回路152を接続し、該第1の遅延回路152の出力(F1)と、第1のクロック発生回路200の第1の合成回路132の出力(E1)と、を第2の合成回路162で合成処理する第2のクロック発生回路201を構成することにより、不要周波数領域に発生するこのような不慮のクロック信号を除去するための構成を示している。

【0070】

図9に示す第1の遅延回路152は、第1の合成回路132の出力を遅延して、図10に示すように第1の合成回路出力(E1)より時間的に遅れた第1の遅延回路出力(F1)を得る。この第1の遅延回路出力(F1)には、第1の合成回路出力(E1)に重畳した

50

パルス(P1)と同様に、パルス(P1)を遅延したパルス(P2)が出力されることになる。

【0071】

図9に示す第2の合成回路162は、図10に示す第1の合成回路出力(E1)と第1の遅延回路出力(F1)とを合成した第2の合成回路出力(G1)を生成する。パルス(P1)は極めて細い(Highレベル期間が短い)パルスのため、第1の遅延回路152で発生する遅延時間をパルス(P1)のHighレベル期間より長く設定することにより、第2の合成回路162により、除去することが可能となる。図10のタイミングTM1に示すように、第2の合成回路出力(G1)には、パルス(P1)およびパルス(P2)が出力されていない。

10

【0072】

すなわち、第2の合成回路出力(G1)は、第1のフィルタ出力(A)と、第2のフィルタ出力(B)との位相差が極めて小さい所望周波数帯域外で、不慮にクロック信号が発生するのを抑制している。

【0073】

このように、第2の実施形態によれば、サンプルホールド信号を利用したAM復調システムにおいて、妨害周波数信号による包絡線検波への重畳を抑えるとともに、2つのフィルタ出力の位相差が極めて小さい所望周波数帯域外で、不慮にサンプルホールド信号が発生するのを抑制することができるため、より正確に包絡線検波を行うことができる。

【0074】

20

[第3の実施形態]

続いて、図11~図13を用いて本発明における第3の実施形態を説明する。図11は、第3の実施形態にかかるクロック発生回路の概略構成であり、入力信号(IN)の振幅頂点の下位側頂点を検出するための構成を示す。図12は、復調回路の概略構成を示すブロック図である。図13は、クロック発生出力の過渡特性を示すタイミング図である。尚、第1および第2の実施形態と同様である構成および信号には同じ符号を付し、詳細な説明は省略する。

【0075】

図12に示す復調回路は、第1のクロック発生回路200、第2のクロック発生回路201、第3のクロック発生回路203、第4のクロック発生回路204およびサンプルホールド回路240から構成される。

30

【0076】

第3のクロック発生回路203は、図9に示す第1のクロック発生回路200と第2のクロック発生回路201により信号振幅頂点の上位点を検出するのに加え、信号振幅頂点の下位点も検出するために、図11に示すように、図9で示した第1のクロック発生回路200を構成する第1の比較器112の出力に接続されていた第1の反転回路122を廃して、代わりに第2の比較器114の出力に第2の反転回路123を接続するように構成され、第1の比較器112の出力と第2の反転回路123の出力を、第3の合成回路133で合成処理するものである。

【0077】

40

図11に示す第3のクロック発生回路203の後段には、図9で示した第2のクロック発生回路201と同じ回路構成である第4のクロック発生回路204を備える。

さらに、第2のクロック発生回路201、第4のクロック発生回路204には、図13で後述する前記第2のクロック発生回路201の出力信号(G1)および第4のクロック発生回路204の出力信号(G2)で制御されるサンプルホールド回路240が接続される。

【0078】

全搬送波両側波帯の包絡線検波においては、信号振幅の上側電位と下側電位の頂点を検出して、その上下電位差を差動増幅(図示せず)する方が包絡線の電位変化を大きく取得することができる。

50

【 0 0 7 9 】

図 1 2 に示すように、第 1 のクロック発生回路 2 0 0 と、第 3 のクロック発生回路 2 0 3 は、第 1 のフィルタ 1 0 2 と、第 2 のフィルタ 1 0 4 と、第 1 の比較器 1 1 2 a と、第 2 の比較器 1 1 4 a を共有している。

【 0 0 8 0 】

図 1 2 で、入力信号 (I N) は 3 つに信号分岐されて、1 つは第 1 のフィルタ 1 0 2 、1 つは第 2 のフィルタ 1 0 4 に接続され、もう 1 つはサンプルホールド回路 2 4 0 に接続される。

【 0 0 8 1 】

図 1 2 に示すように、第 1 のフィルタ 1 0 2 は、図 1 および図 9 と同じく第 1 の比較器 1 1 2 a に接続され、第 2 のフィルタ 1 0 4 は、同じく第 2 の比較器 1 1 4 a に接続され、第 1 の比較器 1 1 2 a の出力は反転回路 (図 1 2 中の第 1 の反転回路 1 2 2 a) に接続され、その出力と第 2 の比較器 1 1 4 a の出力とを第 1 の合成回路 1 3 2 a (図 1 2 中の A N D 論理回路) で合成処理されたのち、前記第 1 の合成回路 1 3 2 a 出力を 2 つに信号分岐して、一方を例えばインバータ回路を複数直列接続した第 1 の遅延回路 1 5 2 で信号 (位相) 遅延を与えて、再び第 2 の合成回路 1 6 2 a (図 1 2 中の A N D 論理回路) で合成処理して、入力信号を選択的に導通する第 1 のスイッチ回路 1 8 2 を制御するように接続される。

10

【 0 0 8 2 】

一方、図 1 2 で示したように、第 1 のフィルタ 1 0 2 は第 1 の比較器 1 1 2 a に接続され、第 2 のフィルタ 1 0 4 は同じく第 2 の比較器 1 1 4 a に接続され、第 2 の比較器 1 1 4 a の出力は第 2 の反転回路 1 2 3 a (図 1 2 中のインバータ回路) に接続され、第 2 の反転回路 1 2 3 a の出力と、第 1 の比較器 1 1 2 a の出力とが第 3 の合成回路 1 3 3 a (図 1 2 中の A N D 論理回路) で合成処理されたのち、前記第 3 の合成回路 1 3 3 a の出力 (E 2) を 2 つに信号分岐して、一方を例えばインバータを複数直列接続した第 2 の遅延回路 1 5 3 で信号 (位相) 遅延を与えて、再び第 4 の合成回路 1 6 3 a (図 1 2 中の A N D 論理回路) で合成処理して、入力信号 (I N) を選択的に導通する第 2 のスイッチ回路 1 8 4 を制御するように接続される。

20

【 0 0 8 3 】

第 1 のスイッチ回路 1 8 2 と第 2 のスイッチ 1 8 4 とには、それぞれ充電用の容量素子と放電用の抵抗素子が接続されてなる公知のサンプルホールド回路であって、入力信号の信号振幅の上側頂点と下側頂点を選択的に充放電するトップホールド回路、ボトムホールド回路を構成し、上側頂点と下側頂点とを差動増幅 (図示せず) すれば全搬送波両側波帯の包絡線検波波形が得られる。

30

【 0 0 8 4 】

図 1 3 では、動作について説明する。図 2 にて前述した第 2 の合成回路出力 (G 1) は入力信号の信号振幅頂点の上位点付近に発生するが、包絡線検波においては、信号振幅頂点の上位点と下位点を検出したほうが電位変化を大きく取得することができるので、下位点付近に発生する第 4 の合成回路出力 (G 2) が必要になる。

【 0 0 8 5 】

前記の第 4 の合成回路出力 (G 2) は、図 1 2 で示した回路構成により、第 2 の反転回路 1 2 3 a の出力である第 2 の反転出力 (C 2) と、第 2 の比較器 1 1 4 a の出力である第 2 の比較器出力 (H) を、第 3 の合成回路 1 3 3 a で合成して第 3 の合成回路出力 (E 2) を生成し、第 2 の遅延回路 1 5 3 の出力である第 2 の遅延回路出力 (F 2) と、再び第 4 の合成回路 1 6 3 a で合成処理して得られる。

40

【 0 0 8 6 】

図 1 3 に示すように、第 4 の合成回路出力 (G 2) は入力信号に対し、入力信号振幅頂点の下位点付近にクロックを発生している。

【 0 0 8 7 】

第 2 の合成回路出力 (G 1) によりサンプルホールド回路 2 4 0 を制御することで、入力

50

信号 (I N) の上側頂点に沿ったベースバンド信号を得ることができる。同様に、第 4 の合成回路出力 (G 2) によりサンプルホールド回路 2 4 0 を制御することで、入力信号 (I N) の下側頂点に沿ったベースバンド信号を得ることができる。

【 0 0 8 8 】

このように、第 3 の実施形態によれば、妨害周波数信号による包絡線検波への重畳を抑えるとともに、2 つのフィルタ出力の位相差が極めて小さい所望周波数帯域外で、不慮にサンプルホールド信号が発生するのを抑制することができ、さらに、信号振幅の上側電位と下側電位の頂点を検出して、その上下電位差を差動増幅することにより、包絡線の電位変化を大きく取得することができるため、より正確な包絡線検波を行うことができる。

【 0 0 8 9 】

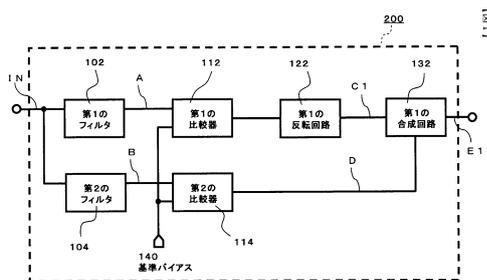
例えば、時刻情報を含む標準電波を受信して時刻修正を行う電波修正時計では、一般的に、時計回路の動作クロックとして 3 2 . 7 6 8 k H z の周波数のクロックが用いられる。しかしながら、この周波数は、標準電波の搬送波の周波数 (4 0 k H z) に近いため、復調回路に対して妨害波として影響を及ぼす場合があるが、本発明による復調回路によれば、このような搬送波近傍の妨害波が存在しても、良好な包絡線検波が行え、ひいては、良好な受信感度を得ることができるのである。

【 符号の説明 】

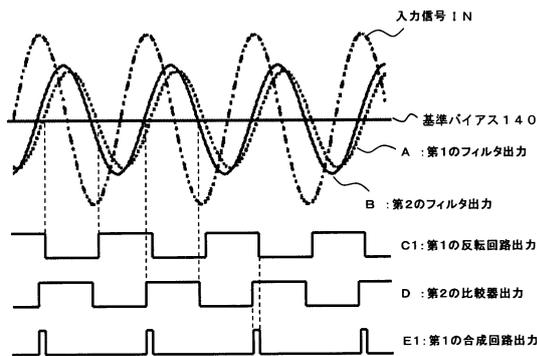
【 0 0 9 0 】

- 1 0 2 第 1 のフィルタ 1 0 2
- 1 0 4 第 2 のフィルタ 1 0 4
- 1 1 2 第 1 の比較器 1 1 2
- 1 1 4 第 2 の比較器 1 1 4
- 1 2 2 第 1 の反転回路 1 2 2
- 1 3 2 第 1 の合成回路
- 1 4 0 基準バイアス

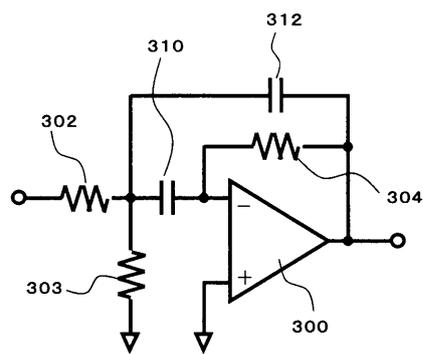
【 図 1 】



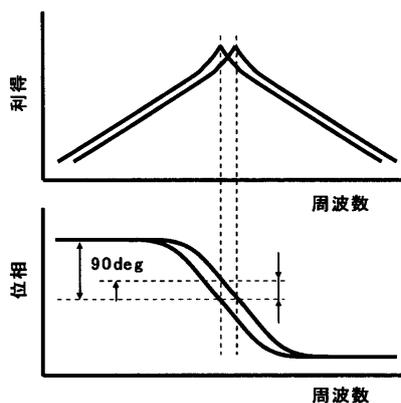
【 図 2 】



【 図 3 】



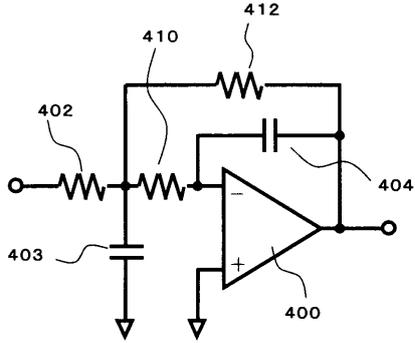
【 図 4 】



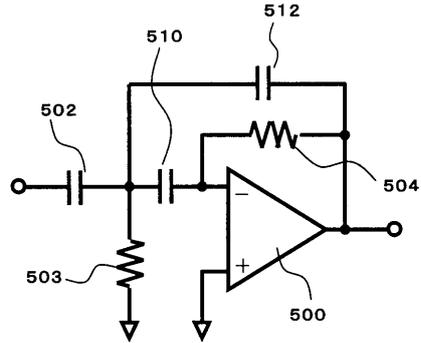
10

20

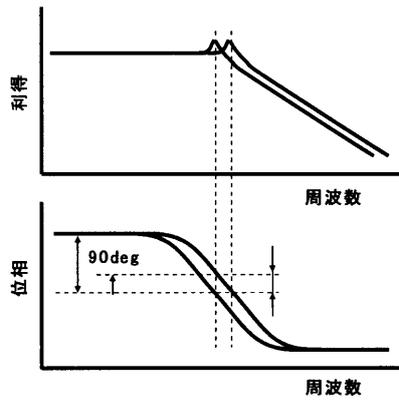
【図5】



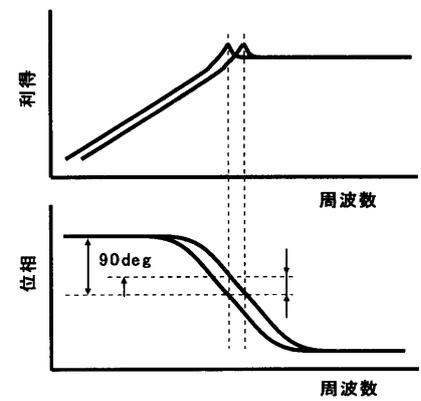
【図7】



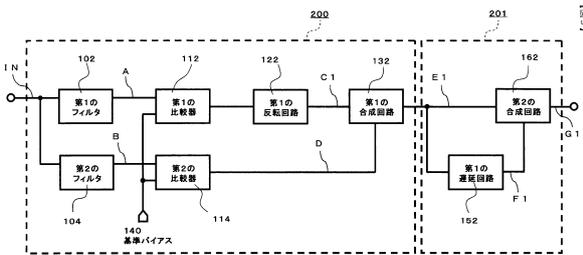
【図6】



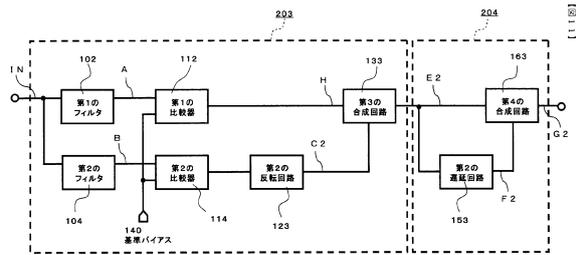
【図8】



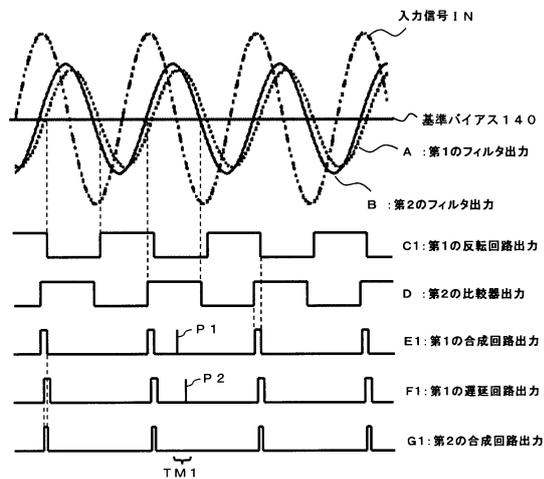
【図9】



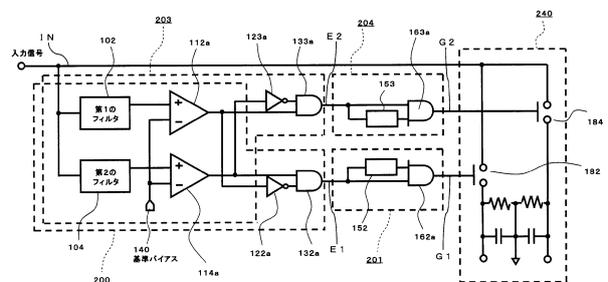
【図11】



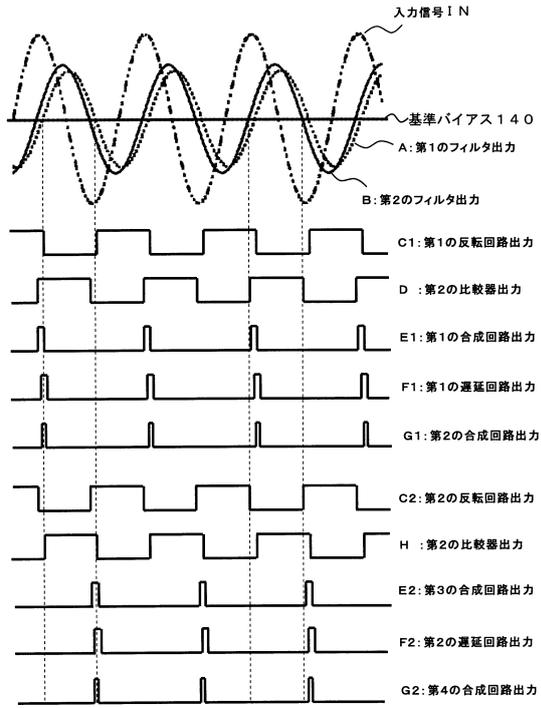
【図10】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. F I
G 0 4 G 5/00 (2013.01) G 0 4 G 5/00 J

(56)参考文献 特開2006-087119(JP,A)
特開2009-267545(JP,A)
特表2003-535547(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 4 R 2 0 / 1 0
G 0 4 C 9 / 0 0
G 0 4 G 5 / 0 0
H 0 3 D 1 / 0 4
H 0 3 H 1 1 / 1 2
H 0 4 B 1 / 1 0