(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2002 年8 月22 日 (22.08.2002)

PCT

(10) 国際公開番号
WO 02/064864 A1

(51) 国際特許分類[7]: C30B 25/18

(21) 国際出願番号: PCT/JP02/01159

(22) 国際出願日: 2002 年2 月12 日 (12.02.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-036604 2001 年2 月14 日 (14.02.2001) JP
特願2001-98870 2001 年3 月30 日 (30.03.2001) JP
特願2001-274376 2001 年9 月11 日 (11.09.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 豊田合成株式会社 (TOYODA GOSEI CO., LTD.) [JP/JP]; 〒452-8564 愛知県 西春日井郡春日町 大字落合字長畑１番地 Aichi (JP).

(72) 発明者; および

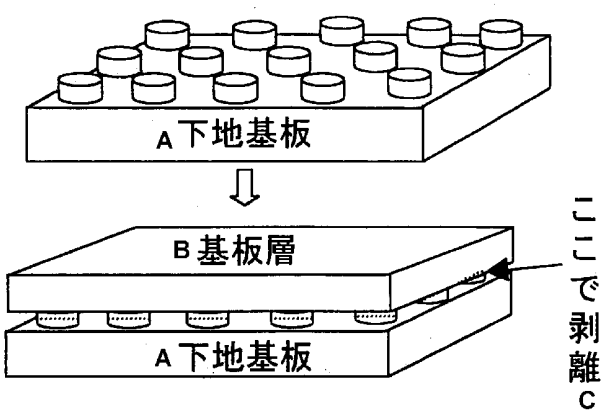
(75) 発明者/出願人 (米国についてのみ): 永井 誠二 (NAGAI,Seiji) [JP/JP]; 〒452-8564 愛知県 西春日井郡春日町 大字落合字長畑１番地 豊田合成株式会社内 Aichi (JP). 冨田 一義 (TOMITA,Kazuyoshi) [JP/JP]; 〒480-1192 愛知県 愛知郡長久手町 大字長湫字横道４１番地の１ 株式会社豊田中央研究所内 Aichi (JP). 山崎 史郎 (YAMAZAKI,Shiro) [JP/JP]; 〒452-8564 愛知県 西春日井郡春日町 大字落合字長畑１番地 豊田合成株式会社内 Aichi (JP). 手銭 雄太 (TEZEN,Yuta) [JP/JP]; 〒452-8564 愛知県 西春日井郡春日町 大字落合字長畑１番地 豊田合成株式会社内 Aichi (JP). 平松 敏夫 (HIRAMATSU,Toshio) [JP/JP]; 〒452-8564 愛知県 西春日井郡春日町 大字落合字長畑１番地 豊田合成株式会社内 Aichi (JP).

(74) 代理人: 藤谷 修 (FUJITANI,Osamu); 〒454-0905 愛知県 名古屋市中川区 一柳通１丁目２３番地 土屋ビル３階 Aichi (JP).

[続葉有]

(54) Title: PRODUCTION METHOD FOR SEMICONDUCTOR CRYSTAL AND SEMICONDUCTOR LUMINOUS ELEMENT

(54) 発明の名称: 半導体結晶の製造方法及び半導体発光素子



A...BASE SUBSTRATE
B...SUBSTRATE LAYER
C...SEPARATE HERE

(57) Abstract: A production method for a semiconductor crystal, which grows a semiconductor crystal consisting of a III nitride compound semiconductor on a base substrate by using a lateral crystal growth action to obtain a quality semiconductor crystal independent of the base substrate; and a semiconductor luminous element. The production method for a semiconductor crystal comprises the step of forming many protrusions on the base substrate, the step of crystal-growing the substrate layer, with at least part of the surfaces of the protrusions used as initial growth surfaces with which the substrate layer starts a crystal growth, until the growth surfaces are linked to one another to grow to at least a set of almost planes, and the step of separating the substrate layer from the base substrate by breaking the protrusions. Whereby, it is possible to obtain a high-quality semiconductor crystal free from cracks and low in dislocation density.

[続葉有]

WO 02/064864 A1

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書・説明書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、横方向結晶成長作用を利用して、下地基板上にIII族窒化物系化合物半導体から成る半導体結晶を成長させ、下地基板から独立した良質な半導体結晶を得る、半導体結晶の製造方法及び半導体発光素子に関する。本発明は、下地基板上に多数の突起部を形成する突起部形成工程と、前記突起部の表面の少なくとも一部を基板層が結晶成長を開始する最初の成長面として、この成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで、前記基板層を結晶成長させる結晶成長工程と、前記突起部を破断することにより、前記基板層と前記下地基板とを分離する工程とを有する半導体結晶の製造方法である。

本発明により、クラックが無く、転位の密度が低い高品質な半導体結晶（結晶成長基板）を得ることができる。

明　細　書

半導体結晶の製造方法及び半導体発光素子

技術分野

本発明は、横方向結晶成長作用を利用して、下地基板上にIII族窒化物系化合物半導体から成る基板層を形成することにより結晶成長基板を得る、半導体結晶の製造方法に関する。

又、本発明は、シリコン（Ｓｉ）より形成された下地基板上にIII族窒化物系化合物半導体から成る結晶を成長させることにより、半導体基板を得る方法に関する。また、本発明は、この様な半導体基板を結晶成長基板として製造されるIII族窒化物系化合物半導体素子に関する。

さらに、本発明は、下地基板上にIII族窒化物系化合物半導体から成る半導体結晶を成長させ、下地基板から独立した良質の半導体結晶を得る方法に関する。

また、本発明は、ＬＥＤ等に代表される各種の半導体素子の結晶成長基板の製造等に適用することができる。

背景技術

図１０に例示する様に、例えばシリコン（Ｓｉ）等から成る下地基板上に窒化ガリウム（ＧａＮ）等の窒化物半導体を結晶成長させ、その後常温まで冷却すると、窒化物半導体層に転位やクラックが多数入ることが一般に知られている。

又、図１１に、Ｓｉ基板（下地基板）上に結晶成長した従来の半導体結晶の模式的な断面図を例示する。この結晶成長工程には、ＭＯＣＶＤ法が採用された。本図１１例示する様に、従来の技術によりＳｉ基板（下地基板）上に高温成長した半導体結晶（ＧａＮ結晶等）には、「反応部」や転位、クラック等が生じている。

又、下地基板上にIII族窒化物系化合物半導体から成る半導体結晶を成長させ、その下地基板から独立した半導体結晶を得る従来技術としては、例えば、公開特許公報「特開平７－２０２２６５：III族窒化物半導体の製造方法」に記載されている湿式エッチングによる方法や、或いは、サファイア基板上にＨＶＰＥ法等により厚膜のＧａＮ（目的の半導体結晶）を成長させ、レーザ照射や研磨等によりサファイア基板を取り除く方法等が一般に知られている。

発明の開示

この様に、成長層（窒化物半導体層）に転位やクラックが多数入ると、その上にデバイスを作製した場合に、デバイス中に格子欠陥や転位、変形、クラック等が多数生じる結果となり、デバイス特性の劣化を引き起こす原因となる。

また、例えばシリコン（Ｓｉ）等から成る下地基板を除去し、成長層のみを残して、独立した基板（結晶）を得ようとする場合、上記の転位やクラック等の作用により、大面積（１cm^2 以上）のものが得られない。

転位やクラックは、異種材料間における熱膨張係数差

や格子定数差に基づいて発生した応力が作用した結果生じたものであり、この様な結晶成長基板で各種の半導体デバイスを製造した場合、デバイス特性の劣化を引き起こす。

また、目的の半導体基板（半導体結晶Ａ）の結晶成長温度である１０００℃～１１５０℃付近では、シリコン（Ｓｉ）と窒化ガリウム（ＧａＮ）とが反応し、多結晶のＧａＮ（図中の「反応部」）を形成してしまうことがある。このため、高温の結晶成長過程を経て単結晶のＧａＮ基板を得ることが容易でない等の問題がある。

さらに、これらの従来技術においては、下地基板（例：サファイア、シリコン等）とIII族窒化物系化合物半導体との間の熱膨張率差や格子定数差等に起因して、結晶成長工程完了後の降温時等に目的の単結晶（例：ＧａＮ等）に応力が加わり、目的の単結晶に転位やクラックが多数発生すると言う問題がある。

例えば上記の様な従来技術を用いた場合、サファイアや或いはシリコン（Ｓｉ）等から形成された下地基板上に窒化ガリウム（ＧａＮ）等の窒化物半導体を結晶成長させ、その後常温まで冷却すると、熱膨張係数差や或いは格子定数差等に起因する応力により窒化物半導体層に転位やクラックが多数入る。

この様に、成長層（窒化物半導体層）に転位やクラックが多数入ると、その上にデバイスを作製した場合に、デバイス中に格子欠陥や転位、変形、クラック等が多数生じる結果となり、デバイス特性の劣化を引き起こす原因となる。

また、下地基板を除去し、成長層のみを残して独立した基板（結晶）を得ようとする場合、上記の転位やクラック等の作用により、大面積のものが得られない。また、厚膜成長の場合には、成長中にさえ目的の単結晶にクラックが入り、部分的に小片剥離が発生する等の問題が非常に生じ易い。

本発明は、上記の課題を解決するために成されたものであり、その目的は、クラックが無く、転位の密度が低い高品質の半導体結晶（結晶成長基板）を得ることである。

また、本発明の他の目的は、比較的安価なシリコン（Si）を下地基板として用いて、クラックや多結晶塊（反応部）のない高品質の半導体結晶を得ることである。また、本発明の更なる目的は、高品質に製造された上記の半導体結晶を結晶成長基板として用いることにより、高品質の半導体デバイスを製造することである。

さらに、本発明の他の目的は、下地基板から独立した良質の半導体結晶を得ることである。

上記の課題を解決するためには、以下の手段が有効である。

即ち、第１の手段は、横方向結晶成長作用を利用して下地基板上にIII族窒化物系化合物半導体から成る基板層を形成することにより下地基板から独立した半導体結晶を得る製造工程において、下地基板上に多数の突起部を形成する突起部形成工程と、この突起部の表面の少な

くとも一部を基板層が結晶成長を開始する最初の成長面としてこの成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで基板層を結晶成長させる結晶成長工程と、突起部を破断することにより基板層と下地基板とを分離する分離工程とを設けることである。

ただし、ここで言う「III族窒化物系化合物半導体」一般には、2元、3元、又は4元の「$Al_xGa_yIn_{(1-x-y)}N$ ($0 \leqq x \leqq 1$, $0 \leqq y \leqq 1$, $0 \leqq x+y \leqq 1$)」成る一般式で表される任意の混晶比の半導体が含まれ、更に、p型或いはn型の不純物が添加された半導体も、本明細書の「III族窒化物系化合物半導体」の範疇とする。

また、上記のIII族元素（Al，Ga，In）の内の一部をボロン（B）やタリウム（Tl）等で置換したり、或いは、窒素（N）の一部をリン（P）、砒素（As）、アンチモン（Sb）、ビスマス（Bi）等で置換したりした半導体等もまた、本明細書の「III族窒化物系化合物半導体」の範疇とする。

また、上記のp型の不純物としては、例えば、マグネシウム（Mg）や、或いはカルシウム（Ca）等を添加することができる。

また、上記のn型の不純物としては、例えば、シリコン（Si）や、硫黄（S）、セレン（Se）、テルル（Te）、或いはゲルマニウム（Ge）等を添加することができる。

また、これらの不純物は、同時に2元素以上を添加しても良いし、同時に両型（p型とn型）を添加しても良

い。

例えば、図１に例示する様に、多数の突起部を有する下地基板上に III 族窒化物系化合物より成る基板層（半導体結晶）を成長させる場合、突起部の大きさや配置間隔や結晶成長諸条件等を調整することにより、各突起部間（突起部の側方）に、半導体結晶が積層されていない「空洞」が形成可能となる。このため、突起部の高さに比して基板層の厚さを十分に大きくすれば、内部応力または外部応力がこの突起部に集中的に作用し易くなる。その結果、特にこれらの応力は、突起部に対する剪断応力等として作用し、この応力が大きくなった時に、突起部が破断する。従って、この応力を利用すれば、容易に下地基板と基板層とを分離（剥離）することが可能となる。この手段により、下地基板から独立した結晶（基板層）を得ることができる。

また、上記の「空洞」が大きく形成される程、突起部に応力（剪断応力）が集中し易くなる。

また、例えば、図１からも分かる様に、上記の様な突起部を形成することにより、下地基板と基板層（又は、所望の半導体結晶層）との接触部位が狭く限定されるため、両者の格子定数差に基づく歪が生じ難くなり、「下地基板と基板層の間の格子定数差に基づく応力」が緩和される。このため、基板層（所望の半導体結晶）が結晶成長する際に、成長中の基板層に働く不要な応力が抑制されて転位やクラックの発生密度が低減される。

尚、下地基板と基板層とを分離（剥離）する際に、下地基板側に基板層の一部が残っても良いし、或いは、基

板層側に下地基板の一部（例：突起部の破断残骸）が残っても良い。即ち、上記の分離工程は、これらの材料の一部の残骸を皆無とする様な各材料の完全な分離を前提（必要条件）とするものではない。

また、上記の課題を解決する第２の手段は、これらの第１の手段において、基板層と下地基板とを冷却または加熱することにより、基板層と下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して上記の突起部の破断を実施することである。

この手段によれば、上記の応力を容易に生成することが可能となる。

また、第３の手段は、横方向結晶成長作用を利用して下地基板上にIII族窒化物系化合物半導体から成る基板層を形成することにより半導体結晶を得る製造工程において、下地基板上に多数の突起部を形成する突起部形成工程と、この突起部の表面の少なくとも一部を基板層が結晶成長を開始する最初の成長面としてこの成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで基板層を結晶成長させる結晶成長工程とを設け、この結晶成長工程においてIII族窒化物系化合物半導体の原料供給量ｑを調整することにより、下地基板の突起部間の谷部の少なくとも一部の露出領域におけるIII族窒化物系化合物半導体の結晶成長速度ａと、突起部の頭頂部における結晶成長速度ｂとの差分（ｂ－ａ）を略最大値に制御することである。

この手段によれば、突起部の頭頂部付近の結晶成長速度が相対的に大きくなり、上記の露出領域付近の結晶成

長は比較的抑制されて、頭頂部付近からの結晶成長が支配的となる。この結果、突起部の頭頂部付近から開始される基板層の横方向成長（ＥＬＯ）が顕著となり、基板層の結晶成長時に基板層に働く「下地基板と基板層の間の格子定数差に基づく応力」が緩和される。従って、基板層の結晶構造が安定し、基板層に転位やクラックが発生し難くなる。

また、基板層の横方向成長（ＥＬＯ）が顕著となれば、例えば、突起部の側方（各突起部間）に比較的大きな空洞ができる場合もある。

例えば、図１に例示する様に、適当な大きさ、間隔、或いは周期で下地基板の表面上に凹凸を形成した場合、一般に、下地基板の外周側壁付近の周辺部分以外では、凸部（突起部）の上面付近に比べて、凹部（谷部）の方が結晶材料の単位時間・単位面積当たりの供給量は少なくなり易い。この傾向は、結晶材料のガス流の流量、温度、方向等にも依存するが、これらの諸条件を最適、或いは好適に制御することにより、上記の差分（ｂ－ａ）を略最大値に制御することが可能となる。

また、第４の手段は、上記の第１または第２の手段の結晶成長工程において、ＩＩＩ族窒化物系化合物半導体の原料供給量ｑを調整することにより、下地基板の突起部間の谷部の少なくとも一部の露出領域におけるＩＩＩ族窒化物系化合物半導体の結晶成長速度ａと、突起部の頭頂部における結晶成長速度ｂとの差分（ｂ－ａ）を略最大値に制御することである。

この場合にも、上記の手段と同様に、基板層の結晶成

長時に基板層に働く「下地基板と基板層の間の格子定数差に基づく応力」が緩和され、基板層の結晶構造が安定し、基板層に転位やクラックが発生し難くなる。この作用・効果は、各突起部間（突起部の側方）に空洞ができる程に横方向成長が顕著な場合に、比較的顕著となる。

また、突起部の側方（各突起部間）に空洞が形成されれば、突起部に剪断応力が集中し易くなり、上記の分離工程において下地基板と基板層とを剪断応力により分離し易くなる。この作用・効果は、各突起部間（突起部の側方）の空洞が大きくなる程、顕著となる。

また、第５の手段は、上記の第３または第４の手段において、上記の原料供給量ｑを１μmol／min 以上、１００μmol／min 以下とすることである。

より望ましくは、上記の原料供給量ｑは、５μmol／min 以上、９０μmol／min 以下が良い。更に望ましい値としては、形成される突起部の大きさや形、配置間隔等の下地基板の仕様や、供給原料の種類や供給流方向、結晶成長法等の諸条件にも依るが、概ね１０～８０μmol／min 程度が理想的である。この値は、大き過ぎると上記の差分（ｂ－ａ）を略最大値に制御することが難しくなるので、各突起部間（突起部の側方）に大きな空洞を形成することが難しくなる。従って、この様な場合には、格子定数差に基づく結晶内の応力が比較的緩和され難く、転位が発生する等、基板層の単結晶の結晶性が劣化し易くなってしまい望ましくない。

また、応力（剪断応力）により、下地基板と基板層とを分離する際にも、突起部側方の空洞が無いか或いはこ

の空洞が小さいと、突起部に応力が集中し難くなり、突起部の破断が起り難くなってしまい望ましくない。

一方、原料供給量qが小さ過ぎると、結晶成長時間が掛かり過ぎて生産性の面で不利となり、望ましくない。

また、第6の手段は、上記の第1乃至第5の何れか1つの手段において、下地基板の材料として、シリコン（Si）または炭化シリコン（SiC）を用いることである。

また、その他の下地基板の材料としては、例えば、GaN，AlN，GaAs，InP，GaP，MgO，ZnO，$MgAl_2O_4$等が有用で、また、サファイア、スピネル、酸化マンガン、酸化ガリウムリチウム（LiGaO$_2$）、硫化モリブデン（MoS）等も使用可能である。

ただし、熱膨張係数差に基づく剪断応力を用いて下地基板と基板層とを分離する場合には、両材料間の熱膨張係数差が小さくならない組み合わせを選択することが望ましく、また、下地基板側には、破断が起り易い材料を選択することが望ましい。

また、第7の手段は、上記の第1乃至第6の何れか1つの手段において、下地基板の材料としてSi（111）を用い、突起部形成工程において下地基板の突起部間の谷部の露出領域にSi（111）面が露出しない様に突起部を形成することである。

本手段によれば、上記の谷部の露出面の結晶成長速度aを小さく抑制できるため、上記の差分（b－a）を、結晶性を維持したまま安定的に略最大化することが可能となる。

また、第８の手段は、上記の第１乃至第７の何れか１つの手段の突起部形成工程後に、少なくとも突起部の表面に「$Al_xGa_{1-x}N$（$0<x\leqq 1$）」より成るバッファ層を形成する工程を設けることである。

ただし、上記のバッファ層とは別に、更に、上記のバッファ層と略同組成（例：ＡｌＮや、ＡｌＧａＮ）の中間層を周期的に、又は他の層と交互に、或いは、多層構造が構成される様に、積層しても良い。

この様なバッファ層（或いは、中間層）の積層により、格子定数差に起因する基板層（成長層）に働く応力を緩和できる等の従来と同様の作用原理により、結晶性を向上させることが可能となる。

また、第９の手段は、上記の第８の手段において、バッファ層の膜厚を突起部の縦方向の高さ以下に成膜することである。また、絶対的な目安としては、バッファ層の膜厚は、およそ０．０１μｍ以上、１μｍ以下が望ましい。

この手段により、バッファ層の上に形成される所望の結晶層（例：ＧａＮ層）のみを良質に横方向に成長させることができる。即ち、この手段により、バッファ層の上に形成される結晶層に結晶成長時に掛かる「格子定数差に基づく応力」が軽減され、転位密度が効果的に低減できる。

バッファ層等を形成するＡｌＮやＡｌＧａＮ等は、下地基板の露出した表面の略全面に成膜され易く、また、元来、所望の結晶の成長層等を形成するＧａＮの方が、ＡｌＮやＡｌＧａＮ等よりも横方向成長し易い傾向に有

る様だが、上記の手段によれば、より確実に大きな「空洞」を突起部の側方に形成することができる。

また、この手段により、基板層を下地基板から分離した際に、基板層の裏面（下地基板が有った側の面）にも、結晶層（バッファ層の上に形成される所望の層）が直に広範囲に露出する。従って、基板層の裏面に電極を形成する際に、電気抵抗を抑制することが容易となる。

尚、バッファ層の膜厚は、上記の通りおよそ0.01μm～1μm程度が概ね妥当な範囲であるが、より望ましくは、0.1μm以上、0.5μm以下が良い。この膜厚が厚過ぎると、空洞が小さくなり易くなり望ましくない。また、この膜厚を薄くし過ぎると、略均一にバッファ層を成膜することが困難となる。特に、突起部の上部付近においてバッファ層の成膜ムラ（十分に成膜されない部位）が生じると、結晶性にもムラが生じ易くなり、望ましくない。

また、第10の手段は、上記の第1乃至第9の何れか1つの手段の結晶成長工程において、基板層の膜厚を50μm以上とすることである。

結晶成長させる基板層（III族窒化物系化合物半導体）の厚さは、約50μm以上が望ましく、この厚さが厚い程、基板層に対する引っ張り応力が緩和されて、基板層の転位やクラックの発生密度を減少できる。また、更には、同時に基板層を強固にでき、上記の剪断応力を上記の突起部に集中させ易くなる。

また、第11の手段は、上記の第1乃至第10の何れか1つの手段の結晶成長工程において、結晶成長速度の

遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更することである。

例えば、結晶成長面が一連の略平面状に成るまでは、上記の差分（ｂ－ａ）を略最大にし易い結晶成長法（例：ＭＯＶＰＥ法）を採用し、その後は、膜厚を効率よく５０μｍ以上にすることが容易な結晶成長法（例：ＨＶＰＥ法）を採用すれば、短時間に結晶性の良質な半導体結晶を得ることが可能となる。

また、第１２の手段は、上記の第１乃至第１１の何れか１つの手段の突起部形成工程において、突起部が略等間隔又は略一定周期で配置される様に上記の突起部を形成することである。

これにより、横方向成長の成長条件が全体的に略均等となり、結晶性の良否にムラが生じ難くなる。また、突起部間の谷部の上方が、基板層によって完全に覆われるまでの時間に、局所的なバラツキが生じ難くなるため、例えば、結晶成長速度の遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更する場合に、その時期を的確に、早期に、或いは一意に決定することが容易となる。

また、本手段により、上記の空洞が各々略均等な大きさとなり、上記の剪断応力を各突起部に略均等に分配することが可能となるため、全突起部の破断がムラなく生じ、下地基板と基板層との分離が確実に実施できる様になる。

また、第１３の手段は、上記の第１２の手段の突起部形成工程において、１辺が０．１μｍ以上の略正三角形を

基調とする２次元三角格子の格子点上に突起部を形成することである。

この手段により、上記の第１２の手段をより具体的に正確、確実に実施でき、よって、転位の数を確実に低減することができる。

また、第１４の手段は、上記の第１乃至第１３の何れか１つの手段の突起部形成工程において、突起部の水平断面形状を、略正三角形、略正六角形、略円形、又は四角形に形成することである。

この手段により、III族窒化物系化合物半導体より形成される結晶の結晶軸の方向が各部で揃い易くなるため、或いは、任意の水平方向に対して突起部の水平方向の長さ（太さ）を略一様に制限できるため、転位の数を抑制することができる。特に、正六角形や正三角形は、半導体結晶の結晶構造と合致し易いのでより望ましい。また、円形や四角形は製造技術の面で形成し易いと言う、現行一般の加工技術水準の現状に照らしたメリットが有る。

また、第１５の手段は、上記の第１乃至第１４の何れか１つの手段の突起部形成工程において、突起部の配置間隔（配置周期）を０．１μｍ以上、１０μｍ以下とすることである。より望ましくは、結晶成長の実施条件にも依存するが、突起部の配置間隔は、０．５～８μｍ程度が良い。ただし、この配置間隔とは、互いに接近する各突起部の中心点間の距離のことを言う。

この手段により、突起部の谷部の上方を基板層で覆うことが可能となると同時に、突起部間に空洞を形成することが可能となる。

この値が小さ過ぎると、ＥＬＯの作用が殆ど得られなくなり、結晶性が劣化する。また、形成される空洞が小さくなり過ぎて、基板層の膜厚を必要以上に大きくしない限り、突起部を破断することが容易でなくなる。

また、この値が大きくなり過ぎると、確実に突起部の谷部の上方を基板層で覆うことができなくなり、結晶性が均質かつ良質の結晶（基板層）が得られなくなる。

或いは、この値が更に大き過ぎると、谷部の露出面が広大となり過ぎて、ＥＬＯの作用が殆ど得られなくなり、また、空洞が全く形成されなくなるため、結晶性が劣化し、また、基板層の膜厚を必要以上に大きくしない限り、突起部を破断することが容易でなくなる。

また、第１６の手段は、上記の第１乃至第１５の何れか１つの手段の突起部形成工程において、突起部の縦方向の高さを０．５μｍ以上、２０μｍ以下とすることである。より望ましくは、結晶成長の実施条件にも依存するが、突起部の縦方向の高さは、０．８～５μｍ程度が良い。

この高さが短過ぎると、突起部が無い場合と同様に、ＥＬＯの作用が殆ど得られなくなり、結晶性が劣化する。また、この高さが短過ぎると、上記の空洞が形成されなくなる。

また、この高さが高過ぎると、突起部の形成自身が困難となったり、突起部の形成に必要以上に時間がかかったり、下地基板の材料が必要以上に消費されたりして望ましくない。また、この高さが高過ぎると、剪断応力が突起部の縦方向に分散されてしまい、突起部を確実に破断させることが難しくなる。

また、第１７の手段は、上記の第１乃至第１６の何れか１つの手段の突起部形成工程において、突起部の横方向の太さ、幅、又は直径を０．１μｍ以上、１０μｍ以下とすることである。より望ましくは、結晶成長の実施条件にも依存するが、突起部の横方向の太さ、幅、又は直径は、０．５～５μｍ程度が良い。

この太さが太過ぎると、格子定数差に基づいて基板層（成長層）に働く応力の影響が大きくなり、基板層の転位数が増加し易くなる。また、細過ぎると、突起部自身の形成が困難となるか、或いは、突起部の頭頂部の結晶成長速度ｂが遅くなり、望ましくない。

また、応力（剪断応力等）により突起部を破断させる際にも、突起部の横方向の太さ、幅、又は直径が大き過ぎると、確実に破断されない部分が生じ易くなり、望ましくない。

また、格子定数差に基づいて基板層（成長層）に働く応力の影響の大小は、突起部の横方向の太さ（長さ）だけに依るものではなく、突起部の配置間隔等にも依存する。そして、これらの設定範囲が不適切であれば、上記の様に格子定数差に基づく応力の影響が大きくなり、基板層の転位数が増加し易くなり、望ましくない。

また、突起部の頭頂部付近の横方向の太さ、幅、又は直径には、上記の様に最適値又は適正範囲があるため、突起部の上面、底面、又は水平断面の形状は、少なくとも局所的に閉じた形状（島状）、更には、外側に向かって凸状に閉じた形状が良く、より望ましくは、この上面、底面、又は水平断面の形状は、略円形や略正多角形等が

良い。この様な設定により、任意の水平方向に対して確実に、上記の最適値又は適正範囲を実現することが容易となる。

また、第１８の手段は、上記の第１乃至第１７の何れか１つの手段において、結晶成長工程よりも前に、各種エッチング、電子線照射処理、レーザ等の光学的処理、化学的処理、或いは切削や研磨等の物理的処理により、下地基板の突起部間の谷部の少なくとも一部の露出領域の結晶性又は分子構造を劣化又は変化させることにより、この露出領域における III 族窒化物系化合物半導体の結晶成長速度ａを低下させることである。

この手段により、前記の結晶成長速度の差分（ｂ－ａ）をより大きくすることができる。従って、この手段によれば、突起部の頭頂部付近の結晶成長速度が相対的に大きくなるため、前記と同様の作用により、基板層の結晶成長時に基板層に働く「下地基板と基板層の間の格子定数差に基づく応力」が緩和され、基板層に転位やクラックが発生し難くなる。

また、第１９の手段は、上記の何れか１つの分離工程において、下地基板と基板層とから成る基板を成長装置の反応室に残し、略一定流量のアンモニア（NH_3）ガスを反応室に流したままの状態で、基板を概ね「－１００℃／ｍｉｎ～－0.５℃／ｍｉｎ」程度の冷却速度で略常温まで冷却することである。

例えば、この様な手段により、基板層の結晶性を良質に維持したまま、前記の分離工程を実施することができる。

また、第２０の手段は、少なくとも、上記の何れか１つの分離工程よりも後に、基板層の裏面に残った突起部の破断残骸をエッチング等の、化学的或いは物理的な加工処理により除去する残骸除去工程を設けることである。

この手段によれば、基板層の裏面（下地基板を剥離させた側の面）に、半導体発光素子等の電極を形成した際に、電極と基板層との界面付近に生じる電流ムラや電気抵抗を抑制でき、よって駆動電圧の低減や、或いは発光強度の向上等を図ることができる。

更に、突起部の破断残骸を除去することにより、電極を半導体発光素子等の反射鏡としても利用する際には、鏡面付近での光の吸収や散乱が低減されて反射率が向上するので、発光強度が向上する。

また、例えば、研磨等の物理的な加工処理によりこの残骸除去工程を実施した場合等には、基板層の裏面のバッファ層までをも取り除いたり、或いは、基板層の裏面の平坦度を向上したりすることもできるので、電流ムラや電気抵抗の抑制、或いは、鏡面付近での光の吸収や散乱の低減等の、上記の作用効果を更に補強することができる。

また、第２１の手段は、ＩＩＩ族窒化物系化合物半導体発光素子において、上記の第１乃至第２０の何れか１つの手段に依る半導体結晶の製造方法を用いて製造された半導体結晶を結晶成長基板として備えることである。

この手段によれば、結晶性が良質で、内部応力の少ない半導体より、ＩＩＩ族窒化物系化合物半導体発光素子を製造することが可能又は容易となる。

また、第２２の手段は、上記の第１乃至第２０の何れか１つの手段に依る半導体結晶の製造方法を用いて製造された半導体結晶を結晶成長基板とした結晶成長により、ＩＩＩ族窒化物系化合物半導体発光素子を製造することである。

この手段によれば、結晶性が良質で、内部応力の少ない半導体より、ＩＩＩ族窒化物系化合物半導体発光素子を製造することが可能又は容易となる。

以上の手段により、前記の課題を解決することができる。

第２３の手段は、横方向結晶成長作用を利用して、シリコン（Ｓｉ）より形成された下地基板上にＩＩＩ族窒化物系化合物半導体から成る半導体結晶Ａを成長させる、半導体基板の製造工程において、下地基板上に半導体結晶Ａよりも融点又は耐熱性が高い晶質材料Ｂより成る反応防止層を成膜する反応防止工程と、化学的又は物理的なエッチングにより、反応防止層が成膜された側の片面に下地基板を露出させずにこの反応防止層から多数の突起部を形成する突起部形成工程と、この突起部の表面の少なくとも一部を半導体結晶Ａが結晶成長を開始する最初の成長面とし、この成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで半導体結晶Ａを結晶成長させる結晶成長工程とを設けることである。

ただし、上記の半導体結晶Ａから構成される上記の半導体基板は、単層構造であっても複層構造（多層構造）であっても良い。

また、ここで言う「ＩＩＩ族窒化物系化合物半導体」一

般には、２元、３元、又は４元の「$Al_xGa_yIn_{(1-x-y)}N$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$，$0 \leqq x+y \leqq 1$）」成る一般式で表される任意の混晶比の半導体が含まれ、更に、ｐ型或いはｎ型の不純物が添加された半導体も、本明細書の「ＩＩＩ族窒化物系化合物半導体」の範疇とする。

また、上記のＩＩＩ族元素（Ａｌ，Ｇａ，Ｉｎ）の内の一部をボロン（Ｂ）やタリウム（Ｔｌ）等で置換したり、或いは、窒素（Ｎ）の一部をリン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）、ビスマス（Ｂｉ）等で置換したりした半導体等もまた、本明細書の「ＩＩＩ族窒化物系化合物半導体」の範疇とする。

また、上記のｐ型の不純物としては、例えば、マグネシウム（Ｍｇ）や、或いはカルシウム（Ｃａ）等を添加することができる。

また、上記のｎ型の不純物としては、例えば、シリコン（Ｓｉ）や、硫黄（Ｓ）、セレン（Ｓｅ）、テルル（Ｔｅ）、或いはゲルマニウム（Ｇｅ）等を添加することができる。

また、これらの不純物は、同時に２元素以上を添加しても良いし、同時に両型（ｐ型とｎ型）を添加しても良い。

図５は、本発明の基本概念を例示的に説明する半導体結晶の製造工程における模式的な断面図である。この反応防止層は、Ｓｉと窒化ガリウム系の半導体との反応を防止するためのものであり、この様に、下地基板（Ｓｉ基板）上に窒化ガリウム系の半導体（半導体結晶Ａ）よ

りも融点又は耐熱性が高い例えばＳｉＣやＡｌＮ等より成る反応防止層（晶質材料Ｂ）を成膜することにより、窒化ガリウム系の半導体（半導体結晶Ａ）を長時間結晶成長させる場合においても、シリコン界面付近に前記の「反応部」が形成されることが無くなる。

また、突起部を多数形成することにより、窒化ガリウム系の半導体（半導体結晶Ａ）は、突起部の平頂部を起点として横方向にも成長する。これにより、反応防止層と窒化ガリウム系の半導体結晶Ａとの間の格子定数差に基づく応力が発生し難くなり、応力が大幅に緩和される。

また、突起部を多数形成することにより、反応防止層に作用する応力が緩和され、これらの応力は反応防止層に縦方向のクラックを形成する様には働き難くなり、よって、反応防止層には縦方向に貫通したクラックが発生し難くなる。このため、縦方向に貫通したクラックの無い反応防止層で、下地基板（Ｓｉ基板）と窒化ガリウム系の半導体（半導体結晶Ａ）とを完全に遮断することができるので、上記の様な「反応部」の発生をより確実に防止することができる。

また、例えば、上記の様な突起部を形成することにより、反応防止層と半導体基板（即ち、所望の半導体結晶層Ａ）との接触部位が狭く限定されるため、両者の格子定数差に基づく歪が大きくなり難く、「下地基板と半導体基板の間の格子定数差に基づく応力」が緩和される。このため、半導体基板（所望の半導体結晶Ａ）が結晶成長する際に、成長中の半導体基板に働く不要な応力が抑制されて転位やクラックの発生密度が低減される。

即ち、以上の応力緩和作用により、窒化ガリウム系の半導体（半導体結晶Ａ）には転位が発生し難くなり、また、クラックの発生密度も格段に削減できる。

以上の作用と相乗効果により、上記の「反応部」やクラックの無い、転位密度の十分抑制された高品質の半導体基板（半導体結晶Ａ）を得ることが可能又は容易となる。

尚、本図におけるバッファ層Ｃは、必要に応じて挿入する形態を採れば良いものであって、本発明を実施する上でこの様なバッファ層は、必ずしも必要となる構成要素ではない。即ち、バッファ層を設けない場合においても本発明の作用・効果を一定以上に得ることが可能である。

また、第２４の手段は、上記の第２３の手段において、上記の半導体結晶Ａを、組成式が「$Al_xGa_yIn_{(1-x-y)}N$（$0 \leqq x < 1$，$0 < y \leqq 1$，$0 < x + y \leqq 1$）」を満たすIII族窒化物系化合物半導体から構成することである。

また、第２５の手段は、上記の第２３又は第２４の手段において、反応防止層を形成する晶質材料Ｂとして、炭化シリコン（ＳｉＣ）、窒化アルミニウム（ＡｌＮ）、又はスピネル（$MgAl_2O_4$）を用いることである。

また、第２６の手段は、上記の第２３又は第２４の手段において、反応防止層を形成する晶質材料Ｂとして、アルミニウム組成比が少なくとも０．３０以上のＡｌＧａＮ、ＡｌＩｎＮ、或いはＡｌＧａＩｎＮを用いることである。また、更には、晶質材料Ｂとしては、格子定数が

3.18Å未満の原子間結合力の比較的強固な耐熱性（融点）の高い安定した材料を選択することが望ましい。

また、第２７の手段は、上記の第２３乃至第２６の何れか１つの手段において、成長面を横方向に成長させて各々互いに連結させることにより、突起部間に、半導体結晶Ａが積層されていない空洞を形成することである。

この様な空洞は、大きくできる程望ましいが、余り大き過ぎると連結後に略平面状の成長面が得られ難くなる場合があるため、注意を要する。また、小さ過ぎると、横方向成長による応力緩和作用も小さくなるため、注意を要する。

また、第２８の手段は、上記の第２３乃至第２７の何れか１つの手段において、突起部間の反応防止層の谷部における膜厚を０．１μｍ以上、２μｍ以下に形成することである。

この厚さが薄過ぎると、膜厚にはムラが伴うため、或いは、反応防止層を形成する上記の晶質材料Ｂも十分には安定な物質ではないため、ガリウム（Ｇａ）若しくは窒化ガリウム（ＧａＮ）とシリコン（Ｓｉ）とを完全には遮断することができなくなる。従って、これらの反応に基づく「反応部（多結晶のＧａＮ）」の形成を防止する効果が十分には得られなくなる。

また、反応防止層の谷部における膜厚が厚過ぎると、反応防止層の谷部にクラックが入り易くなり、ガリウム（Ｇａ）若しくは窒化ガリウム（ＧａＮ）とシリコン（Ｓｉ）とを完全には遮断することができなくなる。従って、これらの反応に基づく「反応部」の形成を防止する効果

が十分には得られなくなる。

また、反応防止層の谷部における膜厚が厚過ぎると、その分だけ反応防止層の積層時間や積層材料が余計に必要となるので、生産コスト等の面でも望ましくない。

また、第２９の手段は、上記の第２３乃至第２８の何れか１つの手段の突起部形成工程において、突起部の縦方向の高さを０．５μｍ以上、２０μｍ以下に形成することである。より望ましくは、突起部の縦方向の高さは１μｍ以上、５μｍ以下が良い。

この突起部が低過ぎると、前記の空洞が小さくなったり、半導体結晶Ａの横方向成長が不十分となったりして、応力緩和作用が不十分となり望ましくない。また、この突起部が高過ぎると、その分だけ反応防止層の積層時間やエッチング時間、或いは積層材料等が余計に必要となるので、生産コスト等の面で望ましくない。

また、第３０の手段は、上記の第２３乃至第２９の何れか１つの手段の突起部形成工程において、突起部の横方向の太さ、幅、又は直径を０．１μｍ以上、１０μｍ以下に形成することである。より望ましくは、結晶成長の実施条件にも依存するが、突起部の横方向の太さ、幅、又は直径は、０．５～５μｍ程度が良い。

この太さが太過ぎると、格子定数差に基づいて半導体基板（成長層）に働く応力の影響が大きくなり、半導体基板の転位数が増加し易くなる。また、細過ぎると、突起部自身の形成が困難となるか、或いは、突起部の頭頂部の結晶成長速度ｂが遅くなり、望ましくない。

また、第３１の手段は、上記の第２３乃至第３０の何

れか１つの手段において、半導体結晶Ａと下地基板とを冷却または加熱することにより、半導体結晶Ａと下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して突起部を破断することにより半導体結晶Ａと下地基板とを分離する分離工程を設けることである。

例えば、図５に例示する様に、多数の突起部を有する下地基板上にＩＩＩ族窒化物系化合物より成る半導体基板（半導体結晶Ａ）を成長させる場合、突起部の大きさや配置間隔や結晶成長諸条件等を調整することにより、各突起部間（突起部の側方）に、半導体結晶Ａが積層されていない「空洞」が形成可能である。このため、突起部の高さに比して半導体基板（半導体結晶Ａ）を十分に厚くすれば、内部応力または外部応力がこの突起部に集中的に作用し易くなる。その結果、特にこれらの応力は、突起部に対する剪断応力等として作用し、この応力が大きくなった時に、突起部が破断する。

従って、この応力を利用すれば、容易に下地基板と半導体基板とを分離（剥離）することが可能となる。また、上記の「空洞」が大きく形成される程、突起部に応力（剪断応力）が集中し易くなる。

即ち、上記の第３１の手段によれば、上記の応力を容易に生成することができるため、半導体結晶Ａと下地基板とを容易に分離することができる。

尚、下地基板と半導体基板とを分離（剥離）する際に、下地基板側に半導体基板の一部が残っても良いし、或いは、半導体基板側に下地基板の一部（例：突起部の破断残骸）が残っても良い。即ち、上記の分離工程は、これ

らの材料の一部の残骸を皆無とする様な各材料の完全な分離を前提（必要条件）とするものではない。

この様な破断残骸等の除去は、必要に応じてラッピングやエッチング等の周知の手段を用いて実施することもできる。

また、第３２の手段は、上記の第２３乃至第３１の何れか１つの手段の結晶成長工程において、半導体結晶Ａを５０μｍ以上積層することである。

この厚さが厚い程、半導体基板（半導体結晶Ａ）に対する引っ張り応力が緩和されて、半導体基板の転位やクラックの発生密度を減少でき、同時に半導体基板を強固にできるため、上記の応力を上記の突起部に集中させ易くなる。

また、下地基板（Ｓｉ基板）の厚さは、３００μｍ以下が望ましい。この厚さが薄い程、半導体基板（半導体結晶Ａ）に対する引っ張り応力が緩和されて、半導体基板の転位やクラックの発生密度が減少する。ただし、下地基板の厚さを５０μｍ未満とすると、下地基板自身の絶対的な強度に問題が生じ、高い生産性を維持することが難しくなる。したがって、製造する結晶成長基板の品質と生産性を確保するためには、下地基板の厚さは、５０μｍ以上３００μｍ以下が望ましい。

また、相対的には、結晶成長させる半導体基板（半導体結晶Ａ）の厚さは、下地基板（Ｓｉ基板）の厚さと略同等とするか、或いはそれ以上とすることが望ましい。この様な設定により、半導体基板に対する引っ張り応力が緩和され易くなり、半導体基板の転位やクラックの発

生を従来よりも大幅に抑制することが可能となる。この効果は、相対的に半導体基板を厚くする程大きくなる。

また、第３３の手段は、上記の第２３乃至第３２の何れか１つの手段の結晶成長工程において、III族窒化物系化合物半導体の原料供給量qを調整することにより、下地基板の突起部間の谷部の少なくとも一部の被浸食領域におけるIII族窒化物系化合物半導体の結晶成長速度aと、突起部の頭頂部における結晶成長速度bとの差分（b－a）を略最大値に制御することである。

この手段によれば、突起部の頭頂部付近の結晶成長速度が相対的に大きくなり、上記の被浸食領域付近の結晶成長は比較的抑制されて、頭頂部付近からの結晶成長が支配的となる。この結果、突起部の頭頂部付近から開始される半導体基板（半導体結晶Ａ）の横方向成長が顕著となり、半導体基板の結晶成長時に半導体基板に働く「反応防止層と半導体基板の間の格子定数差に基づく応力」が緩和される。従って、半導体基板の結晶構造が安定し、半導体基板に転位やクラックが発生し難くなる。

また、半導体基板の横方向成長（ＥＬＯ）が顕著となれば、例えば、突起部の側方（各突起部間）に比較的大きな空洞ができ易くなる。

適当な大きさ、間隔、或いは周期で下地基板の表面上に凹凸を形成した場合、一般に、下地基板の外周側壁付近の周辺部分以外では、凸部（突起部）の上面付近に比べて、凹部（谷部）の方が結晶材料の単位時間・単位面積当たりの供給量は少なくなり易い。この傾向は、結晶材料のガス流の流量、温度、方向等にも依存するが、こ

れらの諸条件を最適、或いは好適に制御することにより、上記の差分（ｂ－ａ）を略最大値に制御することが可能となる。

また、第３４の手段は、上記の第３３の手段において、原料供給量ｑを１μmol／min以上、１００μmol／min以下に設定することである。

より望ましくは、上記の原料供給量ｑは、５μmol／min以上、９０μmol／min以下が良い。更に望ましい値としては、形成される突起部の大きさや形、配置間隔等の下地基板の仕様や、供給原料の種類や供給流方向、結晶成長法等の諸条件にも依るが、概ね１０～８０μmol／min程度が理想的である。この値は、大き過ぎると上記の差分（ｂ－ａ）を略最大値に制御することが難しくなるので、各突起部間（突起部の側方）に大きな空洞を形成することが難しくなる。従って、この様な場合には、格子定数差に基づく結晶内の応力が比較的緩和され難く、転位が発生する等、半導体基板の単結晶の結晶性が劣化し易くなってしまい望ましくない。

また、応力（剪断応力）により、下地基板と半導体基板とを分離する際にも、突起部側方の空洞が無いか或いはこの空洞が小さいと、突起部に応力が集中し難くなり、突起部の破断が起り難くなってしまい望ましくない。

一方、原料供給量ｑが小さ過ぎると、結晶成長時間が掛かり過ぎて生産性の面で不利となり、望ましくない。

また、第３５の手段は、上記の第２３乃至第３４の何れか１つの手段において、突起部形成工程後に、少なくとも突起部の表面に「$Al_xGa_{1-x}N$（$0<x\leqq 1$）」

より成るバッファ層Ｃを形成する工程を設けることである。

ただし、上記のバッファ層Ｃとは、４００℃～１１００℃付近で成長するＡｌＮやＡｌＧａＮ等の半導体層のことであり、このバッファ層Ｃとは別に、更に、上記のバッファ層Ｃと略同組成（例：ＡｌＮや、ＡｌＧａＮ）の中間層（以下、単に「バッファ層」と言う場合がある。）を周期的に、又は他の層と交互に、或いは、多層構造が構成される様に、半導体基板（半導体結晶Ａ）中に積層しても良い。

これらのバッファ層（或いは、中間層）の積層により、格子定数差に起因する半導体基板（成長層）に働く応力を緩和できる等の従来と同様の作用原理により、結晶性を向上させることが可能となる。

また、この様な作用・効果は、反応防止層を構成する晶質材料Ｂが炭化シリコン（ＳｉＣ）等の場合に、特に顕著である。

また、第３６の手段は、上記の第３５の手段において、バッファ層Ｃの膜厚を０．０１μｍ以上、１μｍ以下に形成することである。

この手段により、バッファ層の上に形成される所望の半導体結晶Ａ（例：ＧａＮ層）のみを良質に横方向に成長させることができる。

尚、バッファ層の膜厚は、上記の通りおよそ０．０１μｍ～１μｍ程度が概ね妥当な範囲であるが、より望ましくは、０．１μｍ以上、０．５μｍ以下が良い。この膜厚が厚過ぎると、空洞が小さくなり易くなり望ましくない。

また、この膜厚を薄くし過ぎると、略均一にバッファ層を成膜することが困難となる。特に、突起部の上部付近においてバッファ層の成膜ムラ（十分に成膜されない部位）が生じると、結晶性にもムラが生じ易くなり、望ましくない。

また、第３７の手段は、上記の第２３乃至第３６の何れか１つの手段の突起部形成工程において、突起部が略等間隔または略一定周期で配置される様に突起部を形成することである。

これにより、横方向成長の成長条件が全体的に略均等となり、結晶性の良否にムラが生じ難くなる。

また、本手段により、上記の空洞が各々略均等な大きさとなり、上記の剪断応力を各突起部に略均等に分配することが可能となるため、全突起部の破断がムラなく生じ、下地基板と半導体基板との分離が確実に実施できる様になる。

また、突起部間の谷部の上方が、半導体基板によって完全に覆われるまでの時間に、局所的なバラツキが生じ難くなるため、例えば、結晶成長速度の遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更する場合に、その時期を的確に、早期に、或いは一意に決定することが容易となる。

また、第３８の手段は、上記の第３７の手段の突起部形成工程において、１辺が０．１μｍ以上の略正三角形を基調とする２次元三角格子の格子点上に突起部を形成することである。

この手段により、上記の第１５の手段をより具体的に

正確、確実に実施でき、よって、転位の数を確実に低減することができる。

また、第３９の手段は、上記の第２３乃至第３８の何れか１つの手段の突起部形成工程において、突起部の水平断面形状を、略正三角形、略正六角形、略円形、略矩形、略菱形、又は略平行四辺形にすることである。

この手段により、III族窒化物系化合物半導体より形成される結晶の結晶軸の方向が各部で揃い易くなるため、或いは、任意の水平方向に対して突起部の水平方向の長さ（太さ）を略一様に制限できるため、転位の数を抑制することができる。特に、正六角形や正三角形や平行四辺形等は、半導体結晶の結晶構造と合致し易いのでより望ましい。また、円形や矩形は製造技術の面で形成し易いと言う、現行一般の加工技術水準の現状に照らしたメリットが有る。

また、第４０の手段は、上記の第２３乃至第３９の何れか１つの手段の突起部形成工程において、突起部の配置間隔を０．１μｍ以上、１０μｍ以下に形成することである。より望ましくは、結晶成長の実施条件にも依存するが、突起部の配置間隔は、０．５～８μｍ程度が良い。ただし、この配置間隔とは、互いに接近する各突起部の中心点間の距離のことを言う。

この手段により、突起部の谷部の上方を目的の半導体基板（半導体結晶Ａ）で覆うことが可能となると同時に、突起部間（突起部の谷部）に空洞を形成することが可能となる。

この値が小さ過ぎると、ＥＬＯの作用が殆ど得られな

くなり、応力緩和作用を十分には得られず、結晶性が劣化する。また、形成される空洞が小さくなり過ぎて、半導体基板の膜厚を必要以上に大きくしない限り、突起部を容易に破断することができなくなる。

また、この値が大きくなり過ぎると、確実に突起部の谷部の上方を半導体基板で覆うことができなくなり、結晶性が均質かつ良質の半導体基板（半導体結晶Ａ）が得られなくなる。

或いは、この値が更に大き過ぎると、谷部の露出面が広大となり過ぎて、ＥＬＯの作用が殆ど得られなくなり、また、空洞が全く形成されなくなる。

また、第４１の手段は、上記の第２３乃至第４０の何れか１つの手段の反応防止工程において、反応防止層を下地基板上の表裏両面に成膜することである。

これにより、反応防止工程後に生じる下地基板（Ｓｉ基板）の反り（湾曲）を防止若しくは緩和することができる。

また、第４２の手段は、ＩＩＩ族窒化物系化合物半導体素子において、上記の第２３乃至第４１の何れか１つの手段により製造された半導体結晶を結晶成長基板として備えることである。

この手段によれば、結晶性が良質で、内部応力の少ない半導体より、ＩＩＩ族窒化物系化合物半導体素子を製造することが可能又は容易となる。

また、第４３の手段は、において、上記の第２３乃至第４１の何れか１つの手段により製造された半導体結晶を結晶成長基板とした結晶成長により ＩＩＩ族窒化物系化

合物半導体素子を製造することである。

この手段によれば、結晶性が良質で、内部応力の少ない半導体より、III族窒化物系化合物半導体素子を製造することが可能又は容易となる。

さらに、第44の手段は、下地基板上にIII族窒化物系化合物半導体から成る半導体結晶を成長させ、その下地基板から独立した良質の半導体結晶Aを得る製造工程において、下地基板上に単層又は複層のIII族窒化物系化合物半導体から成るシード層を積層するシード積層工程と、下地基板のシード層が成膜されている側の面の一部を化学的若しくは物理的に侵食処理して、シード層を下地基板上に部分的或いは分散的に残留させる侵食残骸部形成工程と、シード層の侵食残骸部の露出面を半導体結晶Aが結晶成長し始める最初の結晶成長面とし、この結晶成長面が結晶成長により各々互いに連結されて少なくとも一連の略平面に成長するまで半導体結晶Aを結晶成長させる結晶成長工程と、侵食残骸部を破断することにより半導体結晶Aと下地基板とを分離する分離工程とを設けることである。

ただし、ここで言う「III族窒化物系化合物半導体」一般には、2元、3元、又は4元の「$Al_{1-x-y}Ga_yIn_xN$；$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$，$0 \leqq 1-x-y \leqq 1$」成る一般式で表される任意の混晶比の半導体が含まれ、更に、p型或いはn型の不純物が添加された半導体も、本明細書の「III族窒化物系化合物半導体」の範疇とする。

また、上記のIII族元素（Al，Ga，In）の内の

少なくとも一部をボロン（Ｂ）やタリウム（Ｔｌ）等で置換したり、或いは、窒素（Ｎ）の少なくとも一部をリン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）、ビスマス（Ｂｉ）等で置換したりした半導体等もまた、本明細書の「III族窒化物系化合物半導体」の範疇とする。

また、上記のｐ型の不純物としては、例えば、マグネシウム（Ｍｇ）や、或いはカルシウム（Ｃａ）等を添加することができる。

また、上記のｎ型の不純物としては、例えば、シリコン（Ｓｉ）や、硫黄（Ｓ）、セレン（Ｓｅ）、テルル（Ｔｅ）、或いはゲルマニウム（Ｇｅ）等を添加することができる。

また、これらの不純物は、同時に２元素以上を添加しても良いし、同時に両型（ｐ型とｎ型）を添加しても良い。

また、上記の下地基板の材料としては、サファイア、スピネル、酸化マンガン、酸化ガリウムリチウム（$LiGaO_2$）、硫化モリブデン（ＭｏＳ）、シリコン（Ｓｉ）、炭化シリコン（ＳｉＣ）、ＡｌＮ，ＧａＡｓ，ＩｎＰ，ＧａＰ，ＭｇＯ，ＺｎＯ、又は$MgAl_2O_4$等を用ることができる。即ち、これらの下地基板の材料としては、III族窒化物系化合物半導体の結晶成長に有用な、公知或いは任意の結晶成長基板を使用することができる。

尚、下地基板の材料は、ＧａＮとの反応、熱膨張係数差、及び高温での安定性の観点から、サファイアを選択することがより望ましい。

多数の侵食残骸部を有する下地基板上に III族窒化物

系化合物より成る目的の半導体結晶Ａを成長させる場合、下地基板と半導体結晶Ａとは侵食残骸部のみで接続される。このため、半導体結晶Ａの厚さを十分に大きくすれば、内部応力または外部応力がこの侵食残骸部に集中的に作用し易くなる。その結果、特にこれらの応力は、侵食残骸部に対する剪断応力等として作用し、この応力が大きくなった時に、侵食残骸部が破断する。

即ち、上記の本発明の手段に従ってこの応力を利用すれば、容易に下地基板と半導体結晶Ａとを分離（剥離）することが可能となる。この手段により、下地基板から独立した単結晶（半導体結晶Ａ）を得ることができる。

また、上記の様な侵食残骸部を形成することにより、下地基板と半導体結晶Ａとの接触部位が狭く限定されるため、両者の格子定数差に基づく歪が生じ難くなり、「下地基板と半導体結晶Ａの間の格子定数差に基づく応力」が緩和される。このため、所望の半導体結晶Ａが結晶成長する際に、成長中の半導体結晶Ａに働く不要な応力が抑制されて転位やクラックの発生密度が低減される。

尚、上記の「多数の侵食残骸部」とは、少なくとも例えば図９の様な垂直断面から見る限りにおいて「多数」であれば良く、その平面形状としては一つに繋がっていても差し支えない。したがって、例えば、一次元的な一繋がりの矩形波形状や急峻なｓｉｎ波形状、或いは渦巻き状等にストライプ（侵食残骸部）の平面形状を形成しても、本発明の作用・効果を得ることは可能である。

また、ストライプ形状に限らず、略円形、略楕円形、略多角形、又は略正多角形等の任意の島型の形状等に上

記の侵食残骸部の平面形状を形成しても、勿論本発明の作用・効果を得ることは可能である。

また、下地基板と半導体結晶Ａとを分離（剥離）する際に、下地基板側に半導体結晶Ａの一部が残っても良いし、或いは、半導体結晶Ａ側に下地基板の一部（例：侵食残骸部の破断残骸）が残っても良い。即ち、上記の分離工程は、これらの材料の一部の残骸を皆無とする様な各材料の完全な分離を前提（必要条件）とするものではない。

また、第４５の手段は、上記の第４４の手段の結晶成長工程において、半導体結晶Ａの膜厚を５０μｍ以上にすることである。結晶成長させる目的の半導体結晶Ａの厚さは、約５０μｍ以上が望ましく、この厚さが厚い程、半導体結晶Ａを強固にでき、更に、上記の剪断応力を上記の侵食残骸部に集中させ易くなる。

また、これらの作用により、格子定数差に基づいて結晶成長中等の高温状態においても剥離現象は生じ得るため、その剥離後には、熱膨張係数差に起因する応力が殆ど半導体結晶Ａに対して作用しなくなり、よって、転位やクラックが発生せず、高品質の半導体結晶Ａ（例：ＧａＮ単結晶）が得られる。

また、第４６の手段は、上記の第４４又は第４５の手段において、半導体結晶Ａと下地基板とを冷却または加熱することにより、半導体結晶Ａと下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して侵食残骸部を破断することである。

即ち、上記の破断（剥離）は、半導体結晶Ａと下地基

板との熱膨張係数差に基づく応力（剪断応力）によるものとしても良い。

また、この手段によれば、特に、半導体結晶Ａの膜厚を５０μｍ以上に形成した場合に、半導体結晶Ａの結晶性を高く維持しつつ、確実に半導体結晶Ａと下地基板とを破断することができる。

また、第４７の手段は、上記の第４４乃至第４６の何れか１つの手段において、シード層、又はシード層の最上層を窒化ガリウム（ＧａＮ）から形成することである。半導体結晶Ａの具体的な組成としては、半導体の結晶成長基板等に最適で非常に有用な窒化ガリウム（ＧａＮ）が、今のところ産業上最も利用価値が高いものと考えられる。したがって、この様な場合、シード層、又はシード層の最上層を窒化ガリウム（ＧａＮ）から形成することにより、目的の半導体結晶Ａ（ＧａＮ単結晶）の結晶成長を最も良好に実施することができる。

ただし、ＡｌＧａＮや、或いはＡｌＧａＩｎＮ等についても、勿論産業上の利用価値は大きいので、半導体結晶層Ａのより具体的な組成としてこれらを選択しても良い。これらの場合にも、目的の単結晶（半導体結晶層Ａ）の組成に比較的近い組成の半導体（ＩＩＩ族窒化物系化合物半導体）か或いは略同組成の半導体からシード層、又はシード層の最上層を形成することが望ましい。

また、第４８の手段は、上記の第４４乃至第４７の何れか１つの手段において、シード層、又はシード層の最下層を窒化アルミニウム（ＡｌＮ）から形成することである。

これにより、窒化アルミニウム（ＡｌＮ）から所謂バッファ層を形成することができるので、このバッファ層（ＡｌＮ）の積層に基づいた公知の作用を得ることができる。即ち、格子定数差に起因して目的の半導体結晶層Ａに働く応力を緩和できる等の周知の作用原理により、目的の半導体結晶層Ａの結晶性を向上させることが容易又は可能となる。

また、この手段によれば、ＡｌＮバッファ層と下地基板間の応力をより大きくすることができるため、下地基板の分離を更に容易にすることができる。

更に、上記の作用効果を十分に得るためには、例えばシード層を２層から形成し、その下層をＡｌＮバッファ層（シード層第１層）とし、その上層をＧａＮ層（シード層第２層）とする複層のシード層の層構成等が非常に有効である。この組み合わせによれば、上記の第４及び第５の手段の作用・効果を両方同時に良好に得ることができる。

また、第４９の手段は、上記の第４４乃至第４８の何れか１つの手段において、侵食残骸部形成工程において、侵食残骸部の配置間隔を１μｍ以上、５０μｍ以下にすることである。より望ましくは、結晶成長の実施条件にも依存するが、侵食残骸部の配置間隔は、５～３０μｍ程度が良い。ただし、この配置間隔とは、互いに接近する各侵食残骸部の中心点間の距離のことを言う。

この手段により、侵食残骸部間の谷部の上方を半導体結晶Ａで覆うことが可能となる。

また、この値が大きくなり過ぎると、確実に侵食残骸

部間の谷部の上方を半導体結晶Ａで覆うことができなくなり、結晶性が均質かつ良質の結晶（半導体結晶Ａ）が得られなくなる。

或いは、この値が更に大き過ぎると、結晶方位のズレが顕著となり望ましくない。

また、侵食残骸部の頭頂部の横方向の太さ、幅又は直径をＳとし、上記の配置間隔（配置周期）をＬとすると、Ｓ／Ｌの値は１／４程度が望ましい。この様な設定により、所望の半導体結晶Ａの横方向成長（ＥＬＯ）が十分に促進されるため、高品質の単結晶を得ることができる。

以下、互いに向かい合う侵食残骸部の側壁間の距離をＷ（＝Ｌ－Ｓ）とし、この側壁間の領域（即ち、侵食された凹部とその上方領域）をウイングと呼ぶことがある。また、以下、上記の幅Ｓをシード幅と呼ぶことがある。したがって、ウイングに対するシード幅の比Ｓ／Ｗは１／３程度が望ましい。

また、侵食残骸部が略等間隔又は略一定周期で配置される様に上記の侵食処理を実施することがより望ましい。

これにより、横方向成長の成長条件が全体的に略均等となり、結晶性の良否や成長膜厚にムラが生じ難くなる。また、侵食残骸部間の谷部の上方が、半導体結晶Ａによって完全に覆われるまでの時間に、局所的なバラツキが生じ難くなるため、例えば、結晶成長速度の遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更する場合に、その時期を的確に、早期に、或いは一意に決定することが容易となる。

また、この様な方法により、上記の剪断応力を各侵食

残骸部に略均等に分配することが可能となるため、全侵食残骸部の破断がムラなく生じ、下地基板と半導体結晶Aとの分離が確実に実施できる様になる。

したがって、例えば、侵食残骸部をストライプ状のメサ型に形成し、これを等方向、等間隔に配置する様にしても良い。この様な侵食残骸部の形成は、容易かつ確実に実施できる等の、現行一般のエッチング加工の技術水準の現状に照らしたメリットがある。この時、メサ（侵食残骸部）の方向は、半導体結晶の＜１－１００＞か＜１１－２０＞で良い。

また、1辺が0.1μm以上の略正三角形を基調とする2次元三角格子の格子点上に侵食残骸部を形成する方法も有効である。この方法によれば、下地基板との接触面積をより小さくできるため、上記の作用に基づいて、転位数を確実に低減できると共に下地基板の分離を容易にすることができる。

また、侵食残骸部の水平断面形状を、略正三角形、略正六角形、略円形、又は四角形に形成する方法も有効である。

この方法により、III族窒化物系化合物半導体より形成される結晶の結晶軸の方向が各部で揃い易くなるため、或いは、任意の水平方向に対して侵食残骸部の水平方向の長さ（太さ）を略一様に制限できるため、転位の数を抑制することができる。特に、正六角形や正三角形は、半導体結晶の結晶構造と合致し易いのでより望ましい。また、円形や四角形は製造技術の面で形成し易いと言う、現行一般のエッチング加工の技術水準の現状に照らした

メリットが有る。

また、本発明の第５０の手段は、上記下地基板を０．０１μｍ以上侵食処理することである。また、上記の侵食処理（エッチング加工等）により、下地基板の一部まで侵食すれば、その後の結晶成長工程において、目的の半導体結晶Ａの表面（結晶成長面）をより平坦化し易くなり、更に、侵食残骸部の側方に「空洞」を形成することが容易となる。この「空洞」は、大きく形成される程、侵食残骸部に応力（剪断応力）が集中し易くなる。

また、第５１の手段は、上記の第４４乃至第５０の何れか１つの手段の侵食残骸部形成工程において、侵食残骸部の横方向の太さ、幅又は直径を０．１μｍ以上、２０μｍ以下にすることである。より望ましくは、結晶成長の実施条件にも依存するが、侵食残骸部の横方向の太さ、幅、又は直径は、０．５～１０μｍ程度が良い。この太さが太過ぎると、格子定数差に基づいて半導体結晶Ａに働く応力の影響が大きくなり、半導体結晶Ａの転位数が増加し易くなる。また、細過ぎると、侵食残骸部自身の形成が困難となるか、或いは、侵食残骸部の頭頂部の結晶成長速度ｂが遅くなり、望ましくない。

また、応力（剪断応力等）により侵食残骸部を破断させる際にも、侵食残骸部の横方向の太さ、幅、又は直径が大き過ぎると、下地基板との接触面積が大きくなるため、確実に破断されない部分が生じ易くなり、望ましくない。

また、格子定数差に基づいて半導体結晶Ａに働く応力の影響の大小は、侵食残骸部の横方向の太さ（長さ）だ

けに依るものではなく、侵食残骸部の配置間隔等にも依存する。そして、これらの設定範囲が不適切であれば、上記の様に格子定数差に基づく応力の影響が大きくなり、半導体結晶Aの転位数が増加し易くなり、望ましくない。

また、侵食残骸部の頭頂部付近の横方向の太さ、幅、又は直径には、上記の様に最適値又は適正範囲があるため、侵食残骸部の上面、底面、又は水平断面の形状は、少なくとも局所的に閉じた形状（島状）、更には、外側に向かって凸状に閉じた形状が良く、より望ましくは、この上面、底面、又は水平断面の形状は、略円形や略正多角形等が良い。この様な設定により、任意の水平方向に対して確実に、上記の最適値又は適正範囲を実現することが容易となる。

また、第５２の手段は、上記の第４４乃至第５１の何れか１つの手段の結晶成長工程において、結晶成長速度の遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更することである。

例えば、横方向成長の速い結晶成長法から、縦方向成長の速い結晶成長法に途中で結晶成長法を変更することにより、短時間に結晶性の良質な半導体結晶Aを得ることができる。

また、第５３の手段は、上記の第４４乃至第５２の何れか１つの手段において、少なくとも分離工程よりも後に、半導体結晶Aの裏面に残った侵食残骸部の破断残骸をエッチング等の、化学的或いは物理的な加工処理により除去する残骸除去工程を設けることである。

この手段によれば、半導体結晶Aの裏面（下地基板を

剥離させた側の面）に、半導体発光素子等の電極を形成した際に、電極と半導体結晶Ａとの界面付近に生じる電流ムラや電気抵抗を抑制でき、よって駆動電圧の低減や、或いは発光強度の向上等を図ることができる。

更に、侵食残骸部の破断残骸を除去することにより、電極を半導体発光素子等の反射鏡としても利用する際には、鏡面付近での光の吸収や散乱が低減されて反射率が向上するので、発光強度が向上する。

また、例えば、研磨等の物理的な加工処理によりこの残骸除去工程を実施した場合等には、半導体結晶Ａの裏面のバッファ層までをも取り除いたり、或いは、半導体結晶Ａの裏面の平坦度を向上したりすることもできるので、電流ムラや電気抵抗の抑制、或いは、鏡面付近での光の吸収や散乱の低減等の、上記の作用効果を更に補強することができる。

尚、上記の加工処理は、熱処理であっても良い。目的の半導体結晶Ａの昇華温度よりも、除去したい部分の昇華温度の方が低い場合等には、昇温処理やレーザ照射等によっても不要な部分を除去することができる。

また、第５４の手段は、ＩＩＩ族窒化物系化合物半導体発光素子において、上記の第４４乃至第５３の何れか１つの手段に依る半導体結晶の製造方法を用いて製造された半導体結晶を結晶成長基板として備えることである。

この手段によれば、結晶性が良質で、内部応力の少ない半導体より、ＩＩＩ族窒化物系化合物半導体発光素子を製造することが可能又は容易となる。

また、第５５の手段は、上記の第４４乃至第５３の何

れか１つの手段に依る半導体結晶の製造方法を用いて製造された半導体結晶を結晶成長基板とした結晶成長により、III族窒化物系化合物半導体発光素子を製造することである。

この手段によれば、結晶性が良質で、内部応力の少ない半導体より、III族窒化物系化合物半導体発光素子を製造することが可能又は容易となる。

尚、シード層を複層とする場合、最初に積層する半導体層として、「$Al_xGa_{1-x}N$（$0 \leq x < 1$）」より成るバッファ層を成膜することが望ましい。

ただし、このバッファ層とは別に、更に、上記のバッファ層と略同組成（例：AlNや、AlGaN）の中間層を周期的に、又は他の層と交互に、或いは、多層構造が構成される様に、積層しても良い。

この様なバッファ層（或いは、中間層）の積層により、格子定数差に起因する半導体結晶Aに働く応力を緩和できる等の従来と同様の作用原理により、結晶性を向上させることが可能である。

また、前記の分離工程において、下地基板と半導体結晶Aを降温する際には、これらを成長装置の反応室に残し、略一定流量のアンモニア（NH_3）ガスを反応室に流したままの状態で、概ね「－１００℃／ｍｉｎ～－0.５℃／ｍｉｎ」程度の冷却速度で略常温まで冷却する方法が望ましい。例えば、この様な方法により、半導体結晶Aの結晶性を安定かつ良質に維持したまま、確実に前記の分離工程を実施することができる。

以上の本発明の手段により、前記の課題を効果的、或

いは合理的に解決することができる。

図面の簡単な説明

第１図は、本発明の作用を説明する、突起部を有する下地基板と、その上に成長した半導体結晶の、部分的な断片の模式的な斜視図。

第２図は、本発明の第１の実施の形態に係わる、下地基板（Ｓｉ基板）１０１の部分的な断片の模式的な斜視図（ａ）、平面図（ｂ）、及び断面図（ｃ）。

第３図は、基板層第１層（ＡｌＧａＮバッファ層）１０２ａが成膜された下地基板１０１の模式的な斜視図（ａ）、平面図（ｂ）、及び断面図（ｃ）。

第４図は、基板層１０２（層１０２ａ及び層１０２ｂ）が積層された下地基板１０１の模式的な斜視図（ａ）、平面図（ｂ）、及び断面図（ｃ）。

第５図は、本発明の基本概念を例示的に説明する半導体結晶の製造工程における模式的な断面図。

第６図は、本発明の第２の実施の形態に係わる、下地基板（Ｓｉ基板）の部分的な断片の模式的な斜視図（ａ）、平面図（ｂ）、及び断面図（ｃ）。

第７図は、バッファ層Ｃ（ＡｌＧａＮ層）が成膜された下地基板の模式的な斜視図（ａ）、平面図（ｂ）、及び断面図（ｃ）。

第８図は、半導体基板（半導体結晶Ａ）が積層された下地基板の模式的な斜視図（ａ）、平面図（ｂ）、及び断面図（ｃ）。

第９図は、本発明の第３の実施の形態に係わる半導体

結晶の製造工程を例示する、半導体結晶の模式的な断面図。

第１０図は、従来の下地基板上の半導体結晶の模式的な断面図。

第１１図は、Ｓｉ基板（下地基板）上に結晶成長した従来の半導体結晶を例示する模式的な断面図。

発明を実施するための最良の形態

以下、本発明を具体的な実施例に基づいて説明する。ただし、本発明は以下に示す実施例に限定されるものではない。又、発明の開示の欄で記載した事項も発明を実施するための最良の形態でもある。

以下、本発明の第１の実施の形態における半導体結晶（結晶成長基板）の製造手順の概要を例示する。なお、第１の実施の形態は発明の開示の欄で記載した第１の手段～第２２の手段（請求項１～請求項２２）に対応する。

（第１実施例）

〔１〕突起部形成工程

図２に示す様に、シリコンより成る単結晶の下地基板１０１のＳｉ（１１１）面上に、フォトリソグラフィーを利用したドライエッチングにより、直径約１μｍ、高さ約１μｍの略円柱形状の突起部１０１ａを約２μｍの配置間隔で形成した。配列形態としては、一辺が約２μｍの略正三角形を基調とする２次元三角格子の各格子点上に突起部１０１ａの円柱底面の中心が配置される様に、

突起部１０１ａを形成した。ただし、下地基板１０１の厚さは約２００μｍとした。

〔２〕結晶成長工程

本結晶成長工程では、図４に示す様に、結晶の成長面が、突起部１０１ａの上面（初期状態）から各々互いに連結されて一連の略平面状に成長するまでの成長工程を有機金属化合物気相成長法（ＭＯＶＰＥ法）に従って実施し、その後、この基板層（結晶層）が２００μｍ程度の厚膜に成長するまでの成長工程をハイドライド気相成長法（ＨＶＰＥ法）に従って実施した。

尚、本結晶成長工程では、アンモニア（NH_3）ガス、キャリアガス（H_2, N_2）、トリメチルガリウム（$Ga(CH_3)_3$）ガス（以下「ＴＭＧ」と記す）、及びトリメチルアルミニウム（$Al(CH_3)_3$）ガス（以下「ＴＭＡ」と記す）を用いた。

（ａ）まず、上記の突起部１０１ａが設けられた下地基板１０１（図２）を有機洗浄及び酸処理により洗浄し、結晶成長装置の反応室に載置されたサセプタに装着し、常圧でH_2を反応室に流しながら温度1100℃で下地基板１０１をベーキングした。

（ｂ）次に、上記の下地基板１０１の上に、ＭＯＶＰＥ法に従って、H_2，NH_3，ＴＭＧ，ＴＭＡを供給して、ＡｌＧａＮバッファ層（基板層第１層）１０２ａを成膜した。このＡｌＧａＮバッファ層１０２ａの結晶成長温度は、約１１００℃、膜厚は約0.3μｍであった。（図３）

（ｃ）このＡｌＧａＮバッファ層（基板層第１層）１０

２ａの上に、基板層第２層の一部、即ち、膜厚約５μｍのＧａＮ層１０２ｂを、H_2、NH_3 及びＴＭＧを供給して、成長温度１０７５℃で結晶成長させた。この工程により、図４に示す様に、基板層第２層（ＧａＮ層１０２ｂ）の一部が横方向成長し、谷部即ち突起部１０１ａの側方に大きな空洞ができた。

尚、この時のＴＭＧ供給速度は、概ね４０μmol／min程度であり、基板層第２層（ＧａＮ層１０２ｂ）の結晶成長速度は、約１μｍ／Ｈｒ程度であった。

（ｄ）その後、ハイドライド気相成長法（ＨＶＰＥ法）に従って、上記のＧａＮ層（基板層第２層）１０２ｂを、更に、２００μｍまで結晶成長させた。このＨＶＰＥ法におけるＧａＮ層１０２ｂの結晶成長速度は、約４５μｍ／Ｈｒ程度であった。

〔３〕分離工程

（ａ）上記の結晶成長工程の後、アンモニア（NH_3）ガスを結晶成長装置の反応室に流したまま、下地基板１０１と、（ＡｌＧａＮバッファ層１０２ａとＧａＮ層１０２ｂとから成る）基板層１０２を略常温まで冷却した。この時の冷却速度は、概ね「－５０℃／ｍｉｎ～－５℃／ｍｉｎ」程度であった。

（ｂ）その後、これらを結晶成長装置の反応室から取り出すと、下地基板１０１から剥離したＧａＮ結晶が得られた。ただし、この結晶は、ＧａＮ層１０２ｂの裏面に、ＡｌＧａＮバッファ層１０２ａの小さな一部分の残骸と突起部１０１ａの破断残骸とが残留したままのものであった。

〔４〕破断残骸除去工程

上記の分離工程の後、フッ酸に硝酸を加えた混合液を用いたエッチング処理により、ＧａＮ結晶の裏面に残ったＳｉより成る突起部１０１ａの破断残骸を除去した。

以上の製造方法により、膜厚約２００μｍの結晶性の非常に優れた良質のＧａＮ結晶（ＧａＮ層１０２ｂ）、即ち、下地基板１０１から独立した所望の半導体基板を得ることができた。

尚、上記の第１の実施の形態では、図２に例示した様に、下地基板の突起部や谷部は鉛直面と水平面により構成されているが、これらは任意の斜面や曲面等から形成しても良い。従って、図２（ｃ）に例示した下地基板上に形成される谷部の断面形状は、略矩形の凹字型以外にも、例えば、略Ｕ字型や略Ｖ字型等の形に形成しても良く、一般にこれらの形状、大きさ、間隔、配置、配向等は任意である。

次に本発明の第２の実施の形態について説明する。第２の実施の形態は発明の開示の欄で記載した第２３の手段～第４３の手段（請求項２３～４３）に対応する。

本発明を実施するに当り、次の中から個々の製造条件をそれぞれ任意に選択しても良い。また、これらの各製造条件は、任意に組み合わせても良い。

まず、最初に、III族窒化物系化合物半導体層を形成する方法としては、有機金属気相成長法（MOCVD又はMOVPE）が好ましい。しかしながら、分子線気相成長法（MBE）、ハライド気相成長法（Halide VPE）、液相成長法（LPE）等を用いても良く、また、各層を各々異なる成長方

法で形成しても良い。

また、バッファ層については、格子不整合を是正する等の理由から、結晶成長基板中、或いは下地基板等に形成することが好ましい。

特に、半導体基板（半導体結晶A）中にバッファ層（前記の中間層）を積層する場合、これらのバッファ層としては、低温で形成させたIII族窒化物系化合物半導体$Al_xGa_yIn_{1-x-y}N$（$0 \leqq x \leqq 1$, $0 \leqq y \leqq 1$, $0 \leqq x+y \leqq 1$）、より好ましくは$Al_xGa_{1-x}N$（$0 \leqq x \leqq 1$）を用いることができる。このバッファ層は単層でも良く、組成等の異なる多重層としても良い。バッファ層の形成方法は、380～420℃の低温で形成するものでも良く、逆に1000～1180℃の範囲で、MOCVD法で形成しても良い。また、DCマグネトロンスパッタ装置を用いて、高純度金属アルミニウムと窒素ガスを原材料として、リアクティブスパッタ法によりAlNから成るバッファ層を形成することもできる。

同様に一般式$Al_xGa_yIn_{1-x-y}N$（$0 \leqq x \leqq 1$, $0 \leqq y \leqq 1$, $0 \leqq x+y \leqq 1$、組成比は任意）のバッファ層を形成することができる。更には蒸着法、イオンプレーティング法、レーザアブレーション法、ECR法を用いることができる。物理蒸着法によるバッファ層は、200～600℃で行うのが望ましい。さらに望ましくは300～600℃であり、さらに望ましくは350～450℃である。これらのスパッタリング法等の物理蒸着法を用いた場合には、バッファ層の厚さは、100～3000Åが望ましい。さらに望ましくは、100～400Åが望ましく、最も望ましくは、100～300Åである。

多重層としては、例えば$Al_xGa_{1-x}N$（$0 \leqq x \leqq 1$）から成

る層とGaN層とを交互に形成する、組成の同じ層を形成温度を例えば600℃以下と1000℃以上として交互に形成するなどの方法がある。勿論、これらを組み合わせても良く、多重層は3種以上のIII族窒化物系化合物半導体$Al_xGa_yIn_{1-x-y}N$（$0 \leqq x \leqq 1$, $0 \leqq y \leqq 1$, $0 \leqq x+y \leqq 1$）を積層しても良い。一般的には緩衝層は非晶質であり、中間層は単結晶である。緩衝層と中間層を1周期として複数周期形成しても良く、繰り返しは任意周期で良い。繰り返しは多いほど結晶性が良くなる。

バッファ層及び上層のIII族窒化物系化合物半導体は、III族元素の組成の一部は、ボロン(B)、タリウム(Tl)で置き換えても、また、窒素(N)の組成一部をリン(P)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)で置き換えても本発明を実質的に適用できる。また、これら元素を組成に表示できない程度のドープをしたものでも良い。例えば組成にインジウム(In)、ヒ素(As)を有しないIII族窒化物系化合物半導体である$Al_xGa_{1-x}N$（$0 \leqq x \leqq 1$）に、アルミニウム(Al)、ガリウム(Ga)よりも原子半径の大きなインジウム(In)、又は窒素(N)よりも原子半径の大きなヒ素(As)をドープすることで、窒素原子の抜けによる結晶の拡張歪みを圧縮歪みで補償し結晶性を良くしても良い。

この場合はアクセプタ不純物がIII族原子の位置に容易に入るため、p型結晶をアズグローンで得ることもできる。このようにして結晶性を良くすることで本願発明と合わせて更に貫通転位を１００乃至１０００分の１程度にまで下げることもできる。バッファ層とIII族窒化物系化合物半導体層とが2周期以上で形成されている基

底層の場合、各III族窒化物系化合物半導体層に主たる構成元素よりも原子半径の大きな元素をドープすると更に良い。なお、発光素子として構成する場合は、本来III族窒化物系化合物半導体の2元系、若しくは3元系を用いることが望ましい。

n型のIII族窒化物系化合物半導体層を形成する場合には、n型不純物として、Si、Ge、Se、Te、C等IV族元素又はVI族元素を添加することができる。また、p型不純物としては、Zn、Mg、Be、Ca、Sr、Ba等II族元素又はIV族元素を添加することができる。これらを複数或いはn型不純物とp型不純物を同一層にドープしても良い。

横方向エピタキシャル成長を用いてIII族窒化物系化合物半導体層の転位を減じることも任意である。この際、マスクを用いるもの、エッチングにより段差を埋めるもの任意の方法を取ることができる。

エッチングマスクは、多結晶シリコン、多結晶窒化物半導体等の多結晶半導体、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化チタン(TiO_x)、酸化ジルコニウム(ZrO_x)等の酸化物、窒化物、チタン(Ti)、タングステン(W)のような高融点金属、これらの多層膜をもちいることができる。これらの成膜方法は蒸着、スパッタ、CVD等の気相成長法の他、任意である。

エッチングをする際には、反応性イオンビームエッチング(RIBE)が望ましいが、任意のエッチング方法を用いることができる。基板面に垂直な側面を有する段差を形成するのでないものとして、異方性エッチングにより例えば段差の底部に底面の無い、断面がV字状のも

のを形成しても良い。

III族窒化物系化合物半導体にFET、発光素子等の半導体素子を形成することができる。発光素子の場合は、発光層は多重量子井戸構造（MQW）、単一量子井戸構造（SQW）の他、ホモ構造、ヘテロ構造、ダブルヘテロ構造のものが考えられるが、pin接合或いはpn接合等により形成しても良い。

以下、本発明を具体的な実施例に基づいて説明する。ただし、本発明は以下に示す実施例に限定されるものではない。

（第2実施例）

以下、本発明の実施例における半導体結晶（結晶成長基板）の製造手順の概要を例示する。

〔1〕反応防止工程

本反応防止工程は、下地基板（Si基板）上に反応防止層を積層する製造工程である。

本反応防止工程では、まず最初に、Si（111）基板上に気相成長法（CVD）により、炭化シリコン（SiC）より成る反応防止層を約1.5μm成膜する。尚、ウエハの反りを防止するために、SiC膜の成膜を表裏両面に行っても良い。又、炭化シリコン（SiC）の形成は有機金属ガス気相成長方法（MOCVD）によって行っても良い。

〔2〕突起部形成工程

上記の反応防止層の上に、フォトリソグラフィーを利用したドライエッチングにより、直径約1μm、高さ約1μmの略円柱形状の突起部B1を約2μmの配置間隔

で形成する（図６）。配列形態としては、一辺が約２μｍの略正三角形を基調とする２次元三角格子の各格子点上に突起部Ｂ１の円柱底面の中心が配置される様に、突起部Ｂ１を形成する。ただし、下地基板の厚さは約２００μｍとする。

〔３〕結晶成長工程

本結晶成長工程では、図８に示す様に、結晶の成長面が、突起部Ｂ１の上面（初期状態）から各々互いに連結されて一連の略平面状に成長するまでの成長工程を有機金属化合物気相成長法（ＭＯＶＰＥ法）に従って実施し、その後、この半導体基板（結晶層）が２００μｍ程度の厚膜に成長するまでの成長工程をハイドライド気相成長法（ＨＶＰＥ法）に従って実施する。

尚、本結晶成長工程では、アンモニア（NH_3）ガス、キャリアガス（H_2, N_2）、トリメチルガリウム（$Ga(CH_3)_3$）ガス（以下「TMG」と記す）、及びトリメチルアルミニウム（$Al(CH_3)_3$）ガス（以下「TMA」と記す）を用いる。

（ａ）まず、上記の突起部Ｂ１が設けられた下地基板（図２）を有機洗浄及び酸処理により洗浄し、結晶成長装置の反応室に載置されたサセプタに装着し、常圧でH_2を反応室に流しながら温度1100℃で下地基板をベーキングする。

（ｂ）次に、上記の下地基板の上に、ＭＯＶＰＥ法に従って、H_2，NH_3，ＴＭＧ，ＴＭＡを供給して、ＡｌＧａＮバッファ層（バッファ層Ｃ）を成膜する。このＡｌＧａＮバッファ層Ｃの結晶成長温度は、約１１００℃、膜厚は約０．２μｍである。（図３）（ｃ）このＡｌＧａＮ

バッファ層（バッファ層Ｃ）の上に、半導体基板の一部、即ち、膜厚約５μｍのＧａＮ層Ａを、H_2、NH_3 及びＴＭＧを供給して、成長温度１０７５℃で結晶成長させた。この工程により、図８に示す様に、半導体基板（ＧａＮ層Ａ）の一部が横方向成長し、谷部即ち突起部Ｂ１の側方に大きな空洞ができる。

尚、この時のＴＭＧ供給速度は、概ね４０μｍｏｌ／ｍｉｎ程度であり、ＧａＮ層（半導体結晶Ａ）の結晶成長速度は、約１μｍ／Ｈｒ程度である。

（ｄ）その後、ハイドライド気相成長法（ＨＶＰＥ法）に従って、上記のＧａＮ層（半導体結晶Ａ）を、更に、２００μｍまで結晶成長させた。このＨＶＰＥ法におけるＧａＮ層の結晶成長速度は、凡そ４５μｍ／Ｈｒ程度である。

〔４〕分離工程

（ａ）上記の結晶成長工程の後、アンモニア（NH_3）ガスを結晶成長装置の反応室に流したまま、下地基板（Ｓｉ基板）を有するウエハを略常温まで冷却する。この時の冷却速度は、概ね「－５０℃／ｍｉｎ～－５℃／ｍｉｎ」程度とすれば良い。

（ｂ）その後、これらを結晶成長装置の反応室から取り出すと、下地基板（Ｓｉ基板）から剥離したＧａＮ結晶（半導体結晶Ａ）が得られた。ただし、この結晶は、ＧａＮ層（半導体基板）の裏面に、ＡｌＧａＮバッファ層Ｃの小さな一部分の残骸と突起部Ｂ１の破断残骸とが残留したままのものである。

〔５〕破断残骸除去工程

上記の分離工程の後、ラッピング処理により、ＧａＮ結晶の裏面に残ったＳｉより成る突起部Ｂ１の破断残骸を除去する。

ただし、本破断残骸除去工程は、フッ酸に硝酸を加えた混合液等を用いたエッチング処理により実施しても良い。

以上の製造方法により、膜厚約２００μｍの結晶性の非常に優れた良質のＧａＮ結晶（ＧａＮ層）、即ち、下地基板から独立した所望の半導体基板（半導体結晶Ａ）を得ることができる。

尚、反応防止層を形成する晶質材料Ｂとしては、ＡｌＮ、$Al_xGa_{1-x}N$（$0.30 \leqq x \leqq 1$）等でも、上記の実施例と略同様の作用・効果が得られる。より一般には、反応防止層を形成する晶質材料Ｂとして、炭化シリコン（ＳｉＣ，３Ｃ－ＳｉＣ）、窒化アルミニウム（ＡｌＮ）、スピネル（$MgAl_2O_4$）、或いは、アルミニウム組成比が少なくとも０．３０以上のＡｌＧａＮ、ＡｌＩｎＮ又はＡｌＧａＩｎＮを用いることができる。

また、目的の半導体基板を形成する半導体結晶Ａは、窒化ガリウム（ＧａＮ）に限定されるものではなく、前記の一般の「ＩＩＩ族窒化物系化合物半導体」を任意に選択することができる。

また、目的の半導体基板（半導体結晶Ａ）は、多層構造を有するものとしても良い。

また、上記の実施例では、図６に例示した様に、下地基板の突起部や谷部は鉛直面と水平面により構成されているが、これらは任意の斜面や曲面等から形成しても良

い。従って、図２（ｃ）に例示した下地基板上に形成される谷部の断面形状は、略矩形の凹字型以外にも、例えば、略Ｕ字型や略Ｖ字型等の形に形成しても良く、一般にこれらの形状、大きさ、間隔、配置、配向等は任意である。

次に第３の実施の形態について説明する。第３の実施の形態は発明の開示の欄で記載した第４４の手段～第５５の手段（請求項４４～５５）に対応する。

以下、本発明を具体的な実施例に基づいて説明する。ただし、本発明は以下に示す実施例に限定されるものではない。

（第３実施例）

１．シード積層工程

本実施例では、シード層第１層（ＡｌＮバッファ層１０２）とシード層第２層（ＧａＮ層１０３）より成るシード層（ＩＩＩ族窒化物系化合物半導体）を、有機金属化合物気相成長法（以下「ＭＯＶＰＥ」と示す）による気相成長により成膜した。そこで用いられたガスは、アンモニア（NH_3）とキャリアガス（H_2又はN_2）とトリメチルガリウム（$Ga(CH_3)_3$，以下「ＴＭＧ」と記す）とトリメチルアルミニウム（$Al(CH_3)_3$，以下「ＴＭＡ」と記す）である。

図９は、本実施例の半導体結晶の製造工程を例示する、半導体結晶の模式的な断面図である。

まず最初に、１インチ四方で厚さ約２５０μｍのサファイア基板１０１（下地基板）を有機洗浄及び熱処理（ベーキング）によりクリーニングした。そして、この単結

晶の下地基板１０１のａ面を結晶成長面として、H_2を１０リットル／分、NH_3を５リットル／分、ＴＭＡを２０μmol/分で供給し、ＡｌＮバッファ層１０２（シード層第１層）を約２００ｎｍの厚さにまで結晶成長させた。尚、この時の結晶成長温度は、約４００℃とした。

更に、サファイア基板１０１の温度を１０００℃に昇温し、H_2を２０リットル／分、NH_3を１０リットル／分、ＴＭＧを３００μmol/分で導入し、膜厚約1.5μmのＧａＮ層１０３（シード層第２層）を成膜した（図９（ａ））。

２．侵食残骸部形成工程

次に、ハードベークレジストマスクを使用して、反応性イオンエッチング（ＲＩＥ）を用いた選択ドライエッチングにより、配置周期Ｌ≒２０μｍのストライプ状の侵食残骸部を形成した（図９（ｂ））。

即ち、ストライプ幅（シード幅Ｓ）≒５μｍ、ウイング幅Ｗ≒１５μｍで、基板が約0.1μｍエッチングされるまでストライプ状にエッチングすることにより、断面形状が略矩形の侵食残骸部を形成した。また、上記のレジストマスクは、ストライプ状に残留した侵食残骸部の側壁が、ＧａＮ層１０３（シード層第２層）の｛１１－２０｝面と成る様に形成した。本エッチングにより、ＧａＮ層１０３（シード層第２層）とＡｌＮバッファ層１０２（シード層第１層）とから成るシード層を平頂部に有するストライプ状の侵食残骸部が略周期的に形成され、ウイングの谷部にサファイア基板１０１の一部が露出した。

３．結晶成長工程

次に、ストライプ状に残留した侵食残骸部の露出面を最初の結晶成長面としてＧａＮ単結晶から成る目的の半導体結晶ＡをＨＶＰＥ法により形成した。

最終的に目的の半導体結晶Ａは２５０μｍ程度まで結晶成長させる。このとき成長初期はＧａＮが横方向と縦方向に成長し、一旦各部が連結されて一連の略平面状に平坦化された後は、ＧａＮ結晶は縦方向に成長する。

このＨＶＰＥ法においては、横型のＨＶＰＥ装置を用いた。また、Ｖ族原料にはアンモニア（NH_3）を、ＩＩＩ族原料にはＧａとＨＣｌとを反応させて得られたＧａＣｌを用いた。

こうして主に、横方向エピタキシャル成長によりシード層の側方が埋められ、その後は、縦方向成長により、目的の膜厚の半導体結晶Ａ（ＧａＮ単結晶）が得られた（図９（ｃ））。尚、図中の符号Ｒは「空洞」を示している。

４．分離工程

上記の半導体結晶Ａを1.5℃／分の冷却速度で１１００℃から略室温までゆっくりと冷却する。これにより、ＡｌＮバッファ層１０２（シード層第１層）付近で剥離が生じ、下地基板１０１から独立した目的の膜厚の半導体結晶Ａ（ＧａＮ単結晶）が得られた（図９（ｄ））。

尚、上記のバッファ層とは別に、更に、上記のバッファ層と略同組成（例：ＡｌＮや、ＡｌＧａＮ）の中間層を周期的に、又は他の層と交互に、或いは、多層構造が構成される様に、積層しても良い。

この様なバッファ層（或いは、中間層）の積層により、格子定数差に起因する半導体結晶Ａに働く応力を緩和できる等の従来と同様の作用原理により、結晶性を向上させることが可能である。

また、前記の分離工程において、下地基板と半導体結晶Ａを降温する際には、

これらを成長装置の反応室に残し、略一定流量のアンモニア（NH_3）ガスを反応室

に流したままの状態で、概ね「－１００℃／ｍｉｎ～－０.５℃／ｍｉｎ」程度の冷却速度で略常温まで冷却する方法でも良い。この冷却速度が速過ぎると、半導体結晶Ａにワレ、クラックが発生する恐れがある。

又分離工程は、下地基板と半導体結晶Ａとの格子定数差による応力により結晶成長工程の途中で行っても良い。

尚、本発明を示すにあたり最も実用的で適切な例として上記の実施例を用いたが、本発明は上記の実施例のみに限定されるものではなく、本発明の範囲内での他の変形例や応用例を含むものである。

請　求　の　範　囲

１．横方向結晶成長作用を利用して、下地基板上にＩＩＩ族窒化物系化合物半導体から成る基板層を形成することにより、前記下地基板から独立した半導体結晶を得る方法であって、

前記下地基板上に多数の突起部を形成する突起部形成工程と、

前記突起部の表面の少なくとも一部を前記基板層が結晶成長を開始する最初の成長面として、この成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで、前記基板層を結晶成長させる結晶成長工程と、

前記突起部を破断することにより、前記基板層と前記下地基板とを分離する分離工程と

を有する

ことを特徴とする半導体結晶の製造方法。

２．前記基板層と前記下地基板とを冷却または加熱することにより、前記基板層と前記下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して前記突起部を破断する

ことを特徴とする請求項１に記載の半導体結晶の製造方法。

３．横方向結晶成長作用を利用して、下地基板上にＩＩＩ族窒化物系化合物半導体から成る基板層を形成することにより、半導体結晶を得る方法であって、

前記下地基板上に多数の突起部を形成する突起部形成工程と、

前記突起部の表面の少なくとも一部を前記基板層が結晶成長を開始する最初の成長面として、この成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで、前記基板層を結晶成長させる結晶成長工程と

を有し、

前記結晶成長工程において、前記 III 族窒化物系化合物半導体の原料供給量qを調整することにより、

前記下地基板の前記突起部間の谷部の少なくとも一部の露出領域における前記 III 族窒化物系化合物半導体の結晶成長速度aと、前記突起部の頭頂部における結晶成長速度bとの差分（b－a）を略最大値に制御することを特徴とする半導体結晶の製造方法。

4．前記結晶成長工程において、前記 III 族窒化物系化合物半導体の原料供給量qを調整することにより、

前記下地基板の前記突起部間の谷部の少なくとも一部の露出領域における前記 III 族窒化物系化合物半導体の結晶成長速度aと、前記突起部の頭頂部における結晶成長速度bとの差分（b－a）を略最大値に制御することを特徴とする請求項1、または請求項2に記載の半導体結晶の製造方法。

5．前記原料供給量qを

1μmol／min 以上、1000μmol／min 以下としたことを特徴とする請求項3、または請求項4に記載の半導体結晶の製造方法。

6．前記下地基板の材料として、

シリコン（Si）または炭化シリコン（SiC）を用いる

ことを特徴とする請求項１乃至請求項５の何れか１項に記載の半導体結晶の製造方法。

７．前記下地基板の材料として、Ｓｉ（１１１）を用い、

前記突起部形成工程において、前記下地基板の前記突起部間の谷部の露出領域に、Ｓｉ（１１１）面が露出しない様に前記突起部を形成する

ことを特徴とする請求項１乃至請求項６の何れか１項に記載の半導体結晶の製造方法。

８．前記突起部形成工程後、

少なくとも前記突起部の表面に「$Al_xGa_{1-x}N$（$0<x\leq 1$）」より成るバッファ層を形成する工程を有する

ことを特徴とする請求項１乃至請求項７の何れか１項に記載の半導体結晶の製造方法。

９．前記バッファ層の膜厚を前記突起部の縦方向の高さ以下に成膜する

ことを特徴とする請求項８に記載の半導体結晶の製造方法。

１０．前記結晶成長工程において、

前記基板層の膜厚を５０μｍ以上とした

ことを特徴とする請求項１乃至請求項９の何れか１項に記載の半導体結晶の製造方法。

１１．前記結晶成長工程において、

結晶成長速度の遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更する

ことを特徴とする請求項１乃至請求項１０の何れか１項に記載の半導体結晶の製造方法。

１２．前記突起部形成工程において、

前記突起部が略等間隔または略一定周期で配置される様に前記突起部を形成する

ことを特徴とする請求項１乃至請求項１１の何れか１項に記載の半導体結晶の製造方法。

１３．前記突起部形成工程において、

１辺が０．１μｍ以上の略正三角形を基調とする２次元三角格子の格子点上に前記突起部を形成する

ことを特徴とする請求項１２に記載の半導体結晶の製造方法。

１４．前記突起部形成工程において、前記突起部の水平断面形状を、略正三角形、略正六角形、略円形、又は四角形

に形成した

ことを特徴とする請求項１乃至請求項１３の何れか１項に記載の半導体結晶の製造方法。

１５．前記突起部形成工程において、前記突起部の配置間隔を

０．１μｍ以上、１０μｍ以下とする

ことを特徴とする請求項１乃至請求項１４の何れか１項に記載の半導体結晶の製造方法。

１６．前記突起部形成工程において、前記突起部の縦方向の高さを　０．５μｍ以上、２０μｍ以下とする

ことを特徴とする請求項１乃至請求項１５の何れか１項に記載の半導体結晶の製造方法。

１７．前記突起部形成工程において、前記突起部の横方向の太さ、幅、又は直径を０．１μｍ以上、１０μｍ以

下とする

ことを特徴とする請求項１乃至請求項１６の何れか１項に記載の半導体結晶の製造方法。

１８．前記結晶成長工程よりも前に、

各種エッチング、電子線照射処理、レーザ等の光学的処理、化学的処理、或いは切削や研磨等の物理的処理により、

前記下地基板の前記突起部間の谷部の少なくとも一部の露出領域の結晶性又は分子構造を劣化又は変化させることにより、前記露出領域における前記 III 族窒化物系化合物半導体の結晶成長速度ａを低下させる

ことを特徴とする請求項１乃至請求項１７の何れか１項に記載の半導体結晶の製造方法。

１９．前記分離工程において、

前記下地基板と前記基板層とから成る基板を成長装置の反応室に残し、略一定流量のアンモニア（NH_3）ガスを前記反応室に流したままの状態で、

前記基板を概ね「－１００℃／ｍｉｎ～－０．５℃／ｍｉｎ」程度の冷却速度で略常温まで冷却する

ことを特徴とする請求項１又は請求項２、或いは、請求項４乃至請求項１８の何れか１項に記載の半導体結晶の製造方法。

２０．少なくとも前記分離工程よりも後に、

前記基板層の裏面に残った前記突起部の破断残骸をエッチング等の、化学的或いは物理的な加工処理により除去する残骸除去工程を有する

ことを特徴とする請求項１又は請求項２、或いは、請求

項４乃至請求項１９の何れか１項に記載の半導体結晶の製造方法。

２１．請求項１乃至請求項２０の何れか１項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶を

結晶成長基板として有する

ことを特徴とするIII族窒化物系化合物半導体発光素子。

２２．請求項１乃至請求項２０の何れか１項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶を結晶成長基板とした結晶成長により製造された

ことを特徴とするIII族窒化物系化合物半導体発光素子。

２３．横方向結晶成長作用を利用して、シリコン（Si）より形成された下地基板上にIII族窒化物系化合物半導体から成る半導体結晶Ａを成長させることにより、半導体基板を得る方法であって、

前記下地基板上に、前記半導体結晶Ａよりも融点又は耐熱性が高い晶質材料Ｂより成る反応防止層を成膜する反応防止工程と、

化学的又は物理的なエッチングにより、前記反応防止層が成膜された側の片面に前記下地基板を露出させずに前記反応防止層から多数の突起部を形成する突起部形成工程と、

前記突起部の表面の少なくとも一部を前記半導体結晶Ａが結晶成長を開始する最初の成長面とし、この成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで、前記半導体結晶Ａを結晶成長させる結晶成長工程と

を有する

ことを特徴とする半導体結晶の製造方法。

２４．前記半導体結晶Ａは、

組成式が「$Al_xGa_yIn_{(1-x-y)}N$（$0 \leqq x < 1$，$0 < y \leqq 1$，$0 < x + y \leqq 1$）」を満たすIII族窒化物系化合物半導体から成る

ことを特徴とする請求項２３に記載の半導体結晶の製造方法。

２５．前記反応防止層を形成する前記晶質材料Ｂは、

炭化シリコン（ＳｉＣ）、窒化アルミニウム（ＡｌＮ）、又はスピネル（$MgAl_2O_4$）より成る

ことを特徴とする請求項２３又は請求項２４に記載の半導体結晶の製造方法。

２６．前記反応防止層を形成する前記晶質材料Ｂは、

アルミニウム組成比が少なくとも０．３０以上のＡｌＧａＮ、ＡｌＩｎＮ、或いはＡｌＧａＩｎＮより成る

ことを特徴とする請求項２３又は請求項２４に記載の半導体結晶の製造方法。

２７．前記成長面を横方向に成長させて各々互いに連結させることにより、前記突起部間に、前記半導体結晶Ａが積層されていない空洞を形成する

ことを特徴とする請求項２３乃至請求項２６の何れか１項に記載の半導体結晶の製造方法。

２８．前記突起部間の前記反応防止層の谷部における膜厚を

０．１μｍ以上、２μｍ以下に形成する

ことを特徴とする請求項２３乃至請求項２７の何れか１

項に記載の半導体結晶の製造方法。

２９．前記突起部形成工程において、前記突起部の縦方向の高さを

０．５μｍ以上、２０μｍ以下に形成する

ことを特徴とする請求項２３乃至請求項２８の何れか１項に記載の半導体結晶の製造方法。

３０．前記突起部形成工程において、前記突起部の横方向の太さ、幅、又は直径を０．１μｍ以上、１０μｍ以下に形成する

ことを特徴とする請求項２３乃至請求項２９の何れか１項に記載の半導体結晶の製造方法。

３１．前記半導体結晶Ａと前記下地基板とを冷却または加熱することにより、前記半導体結晶Ａと前記下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して前記突起部を破断することにより、前記半導体結晶Ａと前記下地基板とを分離する分離工程を有することを特徴とする請求項２３乃至請求項３０の何れか１項に記載の半導体結晶の製造方法。

３２．前記結晶成長工程において、

前記半導体結晶Ａを５０μｍ以上積層する

ことを特徴とする請求項２３乃至請求項３１の何れか１項に記載の半導体結晶の製造方法。

３３．前記結晶成長工程において、前記 III族窒化物系化合物半導体の原料供給量ｑを調整することにより、

前記下地基板の前記突起部間の谷部の少なくとも一部の被浸食領域における前記 III族窒化物系化合物半導体の結晶成長速度ａと、前記突起部の頭頂部における結晶

成長速度ｂとの差分（ｂ－ａ）を略最大値に制御する
ことを特徴とする請求項２３乃至請求項３２の何れか１項に記載の半導体結晶の製造方法。

３４．前記原料供給量ｑを
１μｍｏｌ／ｍｉｎ以上、１００μｍｏｌ／ｍｉｎ以下に設定する
ことを特徴とする請求項３３に記載の半導体結晶の製造方法。

３５．前記突起部形成工程後、
少なくとも前記突起部の表面に「$Al_xGa_{1-x}N$（０＜ｘ≦１）」より成るバッファ層Ｃを形成する工程を有する
ことを特徴とする請求項２３乃至請求項３４の何れか１項に記載の半導体結晶の製造方法。

３６．前記バッファ層Ｃの膜厚を
０．１μｍ以上、１μｍ以下に形成する
ことを特徴とする請求項３５に記載の半導体結晶の製造方法。

３７．前記突起部形成工程において、
前記突起部が略等間隔または略一定周期で配置される様に前記突起部を形成する
ことを特徴とする請求項２３乃至請求項３６の何れか１項に記載の半導体結晶の製造方法。

３８．前記突起部形成工程において、
１辺が０．１μｍ以上の略正三角形を基調とする２次元三角格子の格子点上に前記突起部を形成する
ことを特徴とする請求項３７に記載の半導体結晶の製造

方法。

３９．前記突起部形成工程において、前記突起部の水平断面形状は、略正三角形、略正六角形、略円形、略矩形、略菱形、又は略平行四辺形であることを特徴とする請求項２３乃至請求項３８の何れか１項に記載の半導体結晶の製造方法。

４０．前記突起部形成工程において、前記突起部の配置間隔を

０．１μｍ以上、１０μｍ以下に形成する

ことを特徴とする請求項２３乃至請求項３９の何れか１項に記載の半導体結晶の製造方法。

４１．前記反応防止工程において、

前記反応防止層を前記下地基板上の表裏両面に成膜する

ことを特徴とする請求項２３乃至請求項４０の何れか１項に記載の半導体結晶の製造方法。

４２．請求項２３乃至請求項４１の何れか１項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶を

結晶成長基板として有する

ことを特徴とするＩＩＩ族窒化物系化合物半導体素子。

４３．請求項２３乃至請求項４１の何れか１項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶を

結晶成長基板とした結晶成長により製造された

ことを特徴とするＩＩＩ族窒化物系化合物半導体素子。

４４．下地基板上にＩＩＩ族窒化物系化合物半導体から

成る半導体結晶を成長させ、前記下地基板から独立した良質の半導体結晶Aを得る方法であって、

前記下地基板上に単層又は複層のIII族窒化物系化合物半導体から成るシード層を積層するシード積層工程と、

前記下地基板の前記シード層が成膜されている側の面の一部を化学的若しくは物理的に侵食処理して、前記シード層を前記下地基板上に部分的或いは分散的に残留させる侵食残骸部形成工程と、

前記シード層の侵食残骸部の露出面を前記半導体結晶Aが結晶成長し始める最初の結晶成長面とし、この結晶成長面が結晶成長により各々互いに連結されて少なくとも一連の略平面に成長するまで、前記半導体結晶Aを結晶成長させる結晶成長工程と、

前記侵食残骸部を破断することにより、前記半導体結晶Aと前記下地基板とを分離する分離工程と

を有する

ことを特徴とする半導体結晶の製造方法。

４５．前記結晶成長工程において、

前記半導体結晶Aの膜厚を５０μｍ以上とした

ことを特徴とする請求項４４に記載の半導体結晶の製造方法。

４６．前記半導体結晶Aと前記下地基板とを冷却または加熱することにより、前記半導体結晶Aと前記下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して前記侵食残骸部を破断する

ことを特徴とする請求項４４又は請求項４５に記載の半導体結晶の製造方法。

４７．前記シード層又は前記シード層の最上層を窒化ガリウム（ＧａＮ）から形成した
ことを特徴とする請求項４４乃至請求項４６の何れか１項に記載の半導体結晶の製造方法。

４８．前記シード層又は前記シード層の最下層を窒化アルミニウム（ＡｌＮ）から形成した
ことを特徴とする請求項４４乃至請求項４７の何れか１項に記載の半導体結晶の製造方法。

４９．前記侵食残骸部形成工程において、前記侵食残骸部の配置間隔を
１μｍ以上、５０μｍ以下とする
ことを特徴とする請求項４４乃至請求項４８の何れか１項に記載の半導体結晶の製造方法。

５０．前記侵食残骸部形成工程において、前記下地基板を０．０１μｍ以上侵食処理した
ことを特徴とする請求項４４乃至請求項４９の何れか１項に記載の半導体結晶の製造方法。

５１．前記侵食残骸部形成工程において、前記侵食残骸部の横方向の太さ、幅、又は直径を
０．１μｍ以上、２０μｍ以下とする
ことを特徴とする請求項４４乃至請求項５０の何れか１項に記載の半導体結晶の製造方法。

５２．前記結晶成長工程において、
結晶成長速度の遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更する
ことを特徴とする請求項４４乃至請求項５１の何れか１項に記載の半導体結晶の製造方法。

５３．少なくとも前記分離工程よりも後に、

前記半導体結晶Ａの裏面に残った前記侵食残骸部の破断残骸をエッチング等の、化学的或いは物理的な加工処理により除去する残骸除去工程を有する

ことを特徴とする請求項４４乃至請求項５２の何れか１項に記載の半導体結晶の製造方法。

５４．請求項４４乃至請求項５３の何れか１項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶Ａを

結晶成長基板として有する

ことを特徴とするＩＩＩ族窒化物系化合物半導体発光素子。

５５．請求項４４乃至請求項５３の何れか１項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶Ａを

結晶成長基板とした結晶成長により製造された

ことを特徴とするＩＩＩ族窒化物系化合物半導体発光素子。

補正書の請求の範囲

[2002年5月18日（18. 05. 02）国際事務局受理：出願当初の請求の範囲36は補正された；他の請求の範囲は変更なし。（1頁）]

成長速度ｂとの差分（ｂ－ａ）を略最大値に制御する
ことを特徴とする請求項２３乃至請求項３２の何れか１項に記載の半導体結晶の製造方法。

３４．前記原料供給量ｑを
１μmol／min以上、１００μmol／min以下に設定する
ことを特徴とする請求項３３に記載の半導体結晶の製造方法。

３５．前記突起部形成工程後、
少なくとも前記突起部の表面に「$Al_xGa_{1-x}N$（０＜ｘ≦１）」より成るバッファ層Ｃを形成する工程を有する
ことを特徴とする請求項２３乃至請求項３４の何れか１項に記載の半導体結晶の製造方法。

３６．（補正後）前記バッファ層Ｃの膜厚を
0.01μm以上、１μm以下に形成する
ことを特徴とする請求項３５に記載の半導体結晶の製造方法。

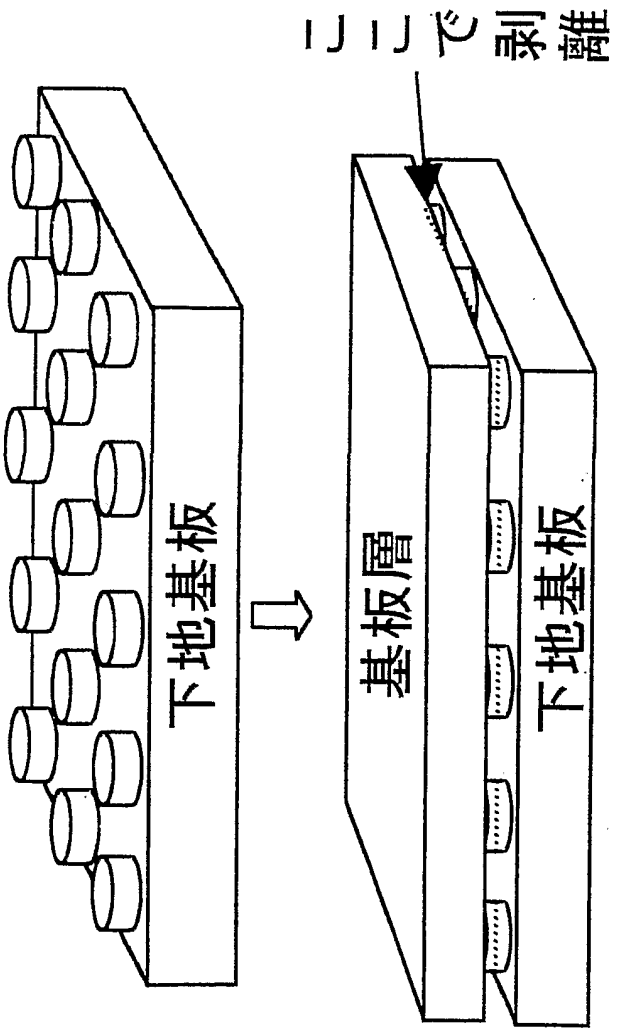
３７．前記突起部形成工程において、
前記突起部が略等間隔または略一定周期で配置される様に前記突起部を形成する
ことを特徴とする請求項２３乃至請求項３６の何れか１項に記載の半導体結晶の製造方法。

３８．前記突起部形成工程において、
１辺が0.1μm以上の略正三角形を基調とする２次元三角格子の格子点上に前記突起部を形成する
ことを特徴とする請求項３７に記載の半導体結晶の製造

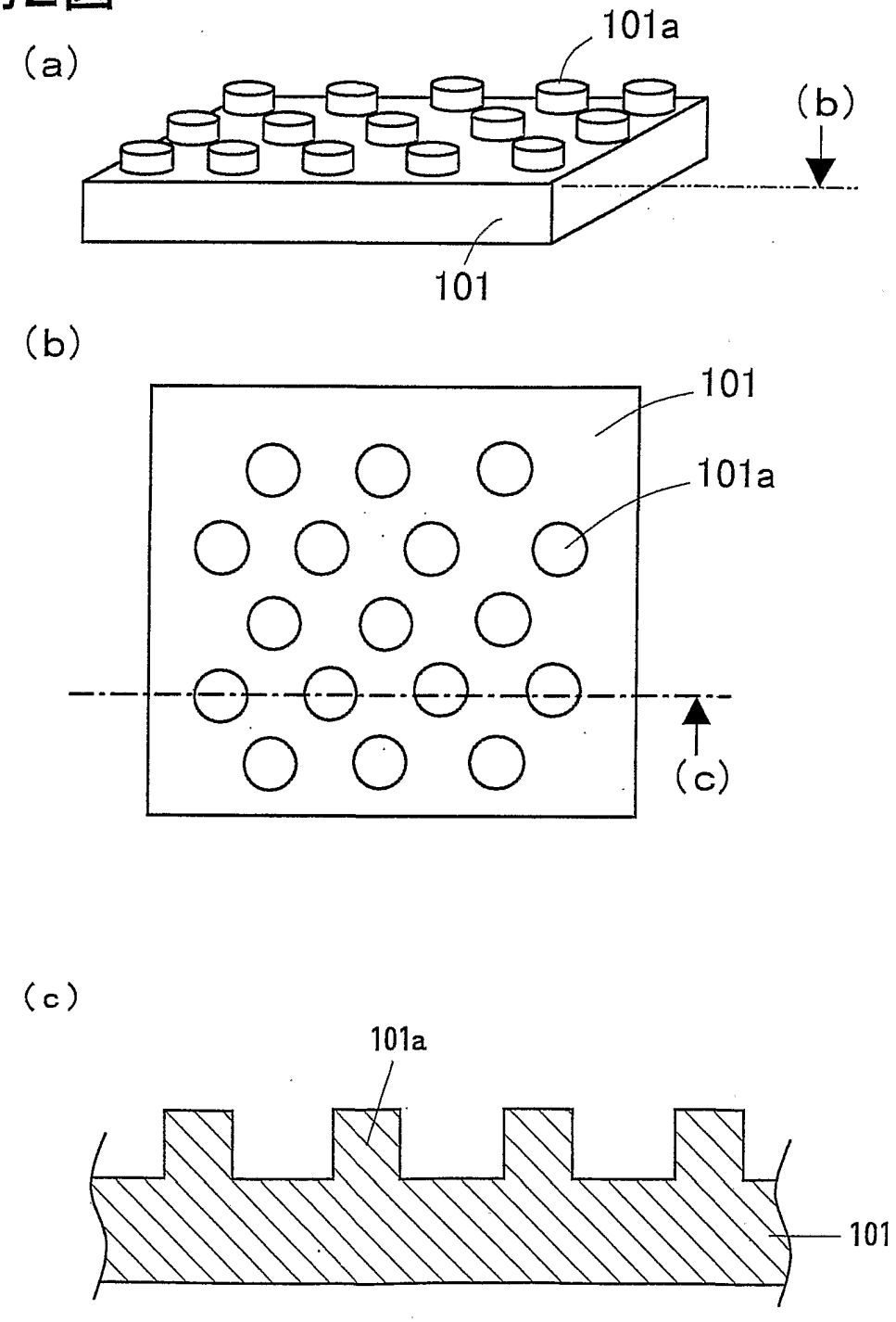
条約第１９条（１）に基づく説明書

請求項の範囲第３６項は、「バッファ層Ｃの膜厚を０．１μｍ以上、１μｍ以下に形成する」という記載を「バッファ層Ｃの膜厚を０．０１μｍ以上、１μｍ以下に形成する」と訂正し、明細書２９頁１８－２０行目に記載のある説明に基づくことを明確にした。

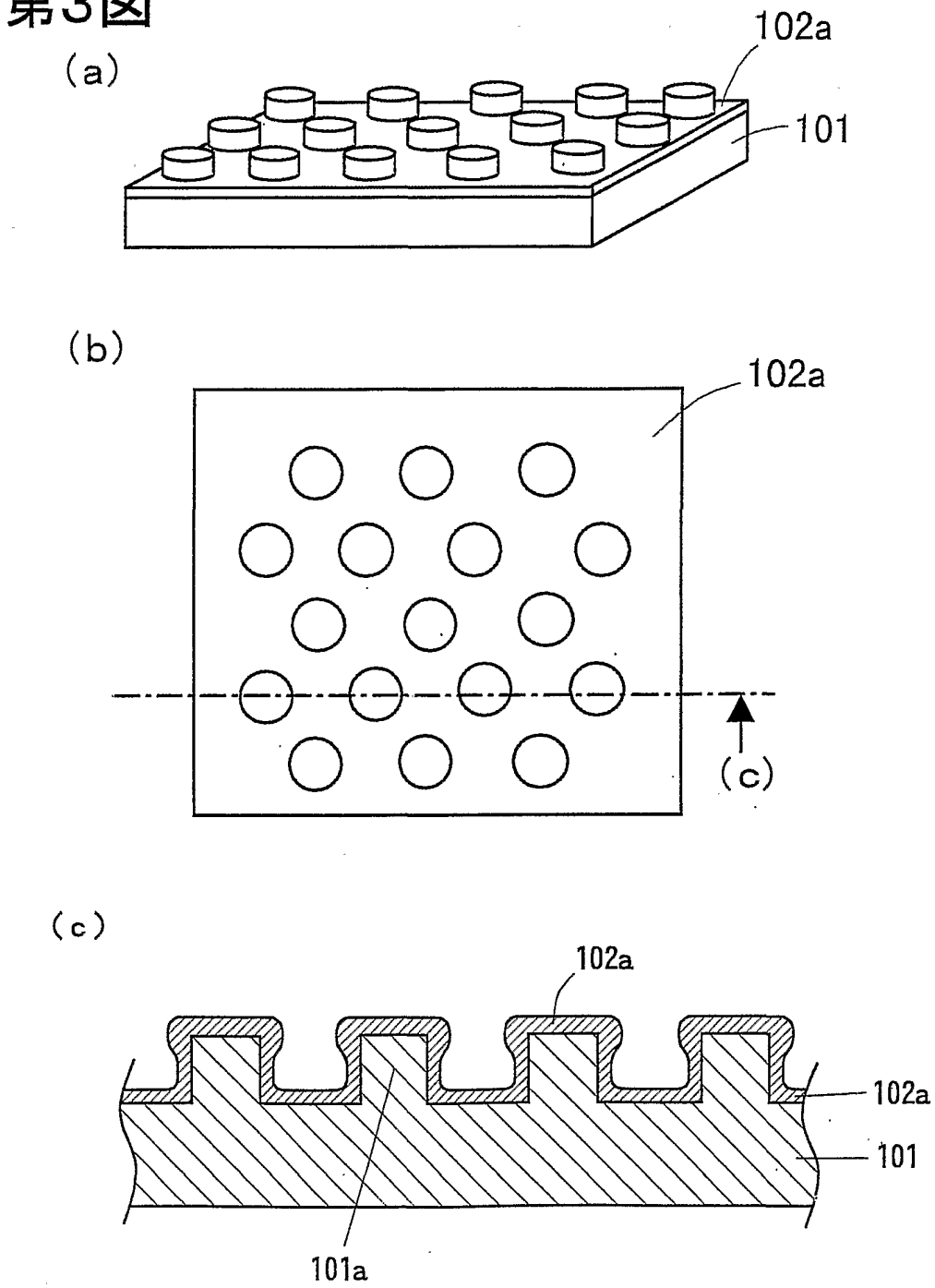
第1図



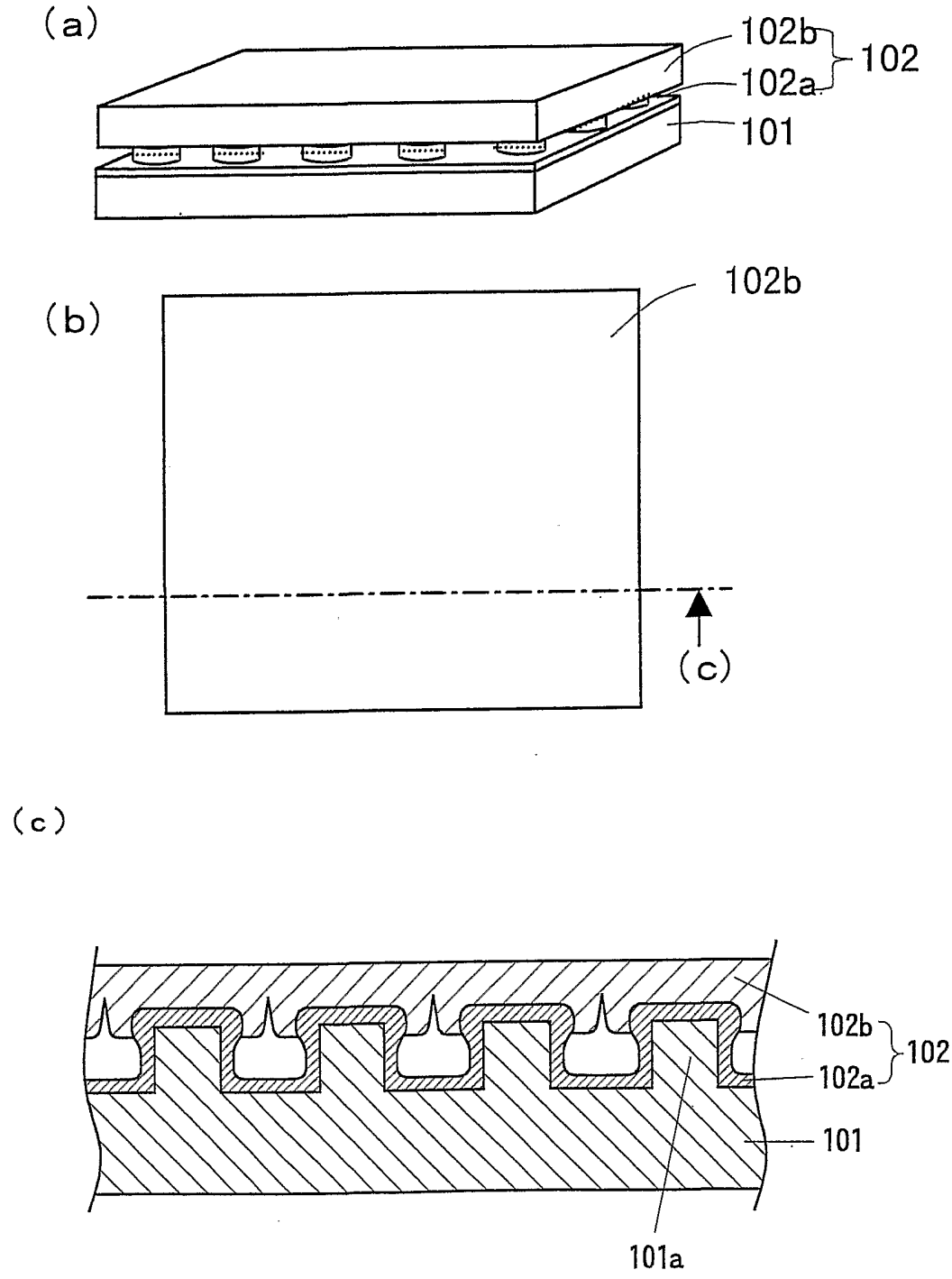
第2図

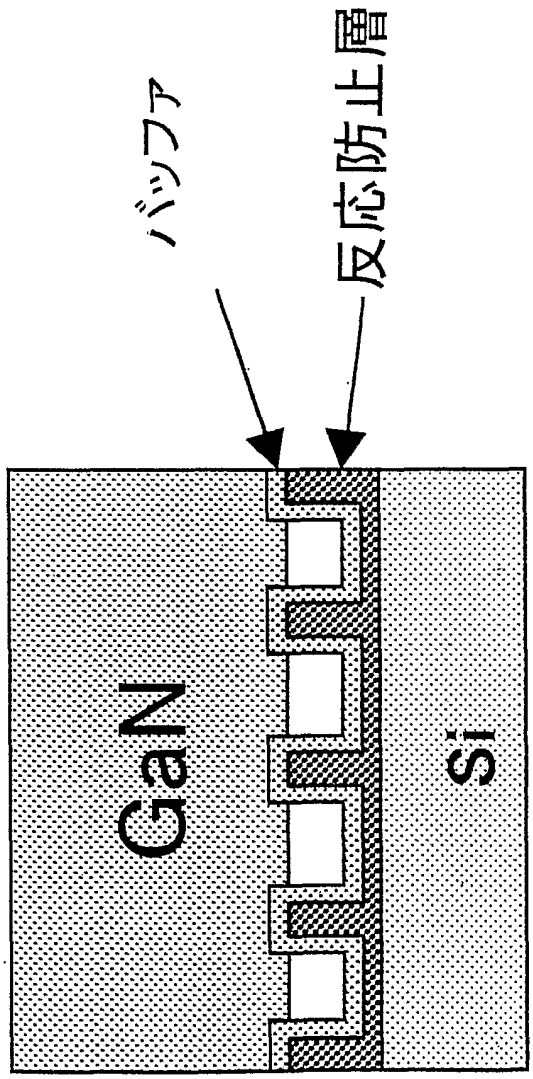


第3図



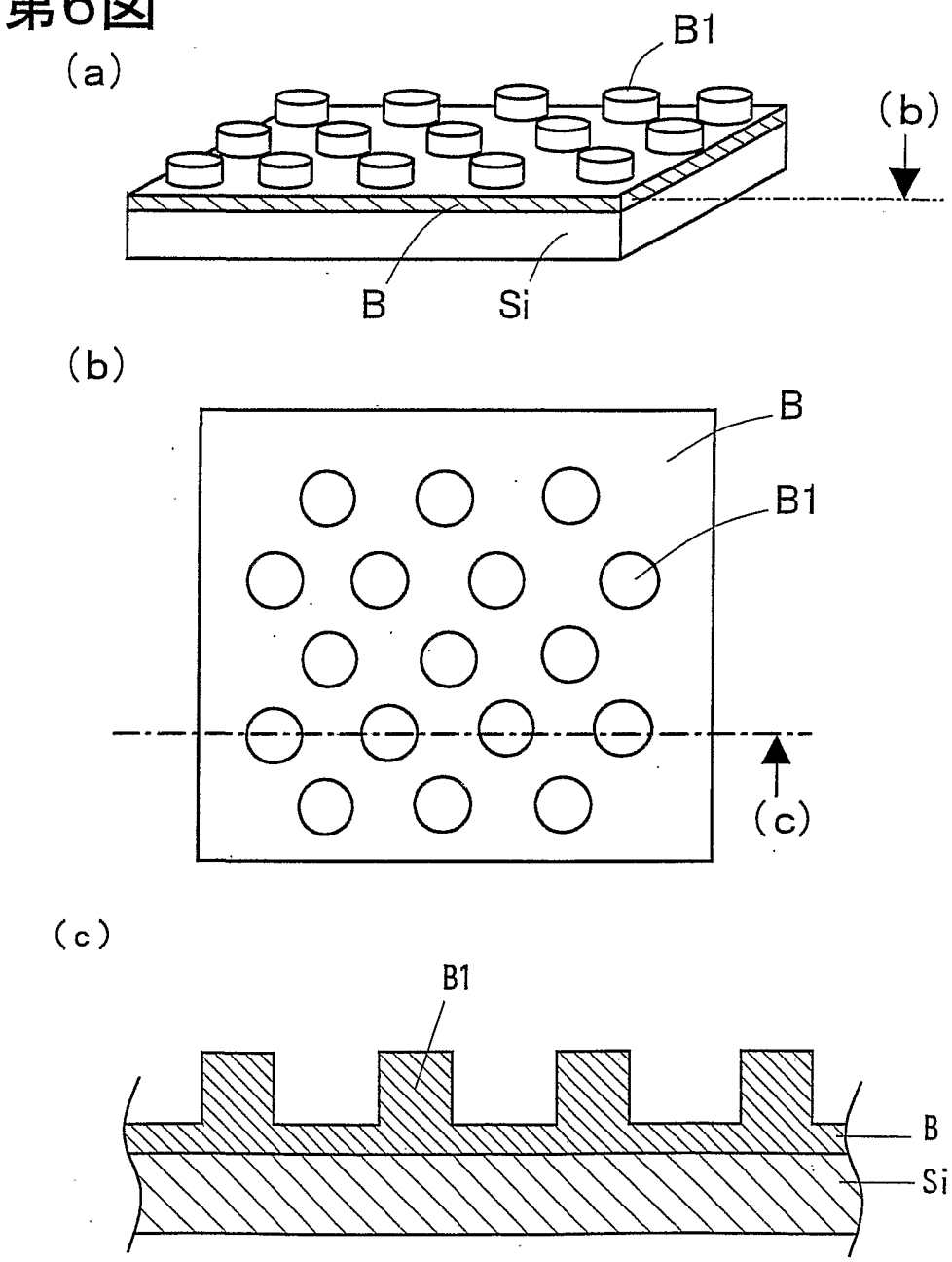
第4図



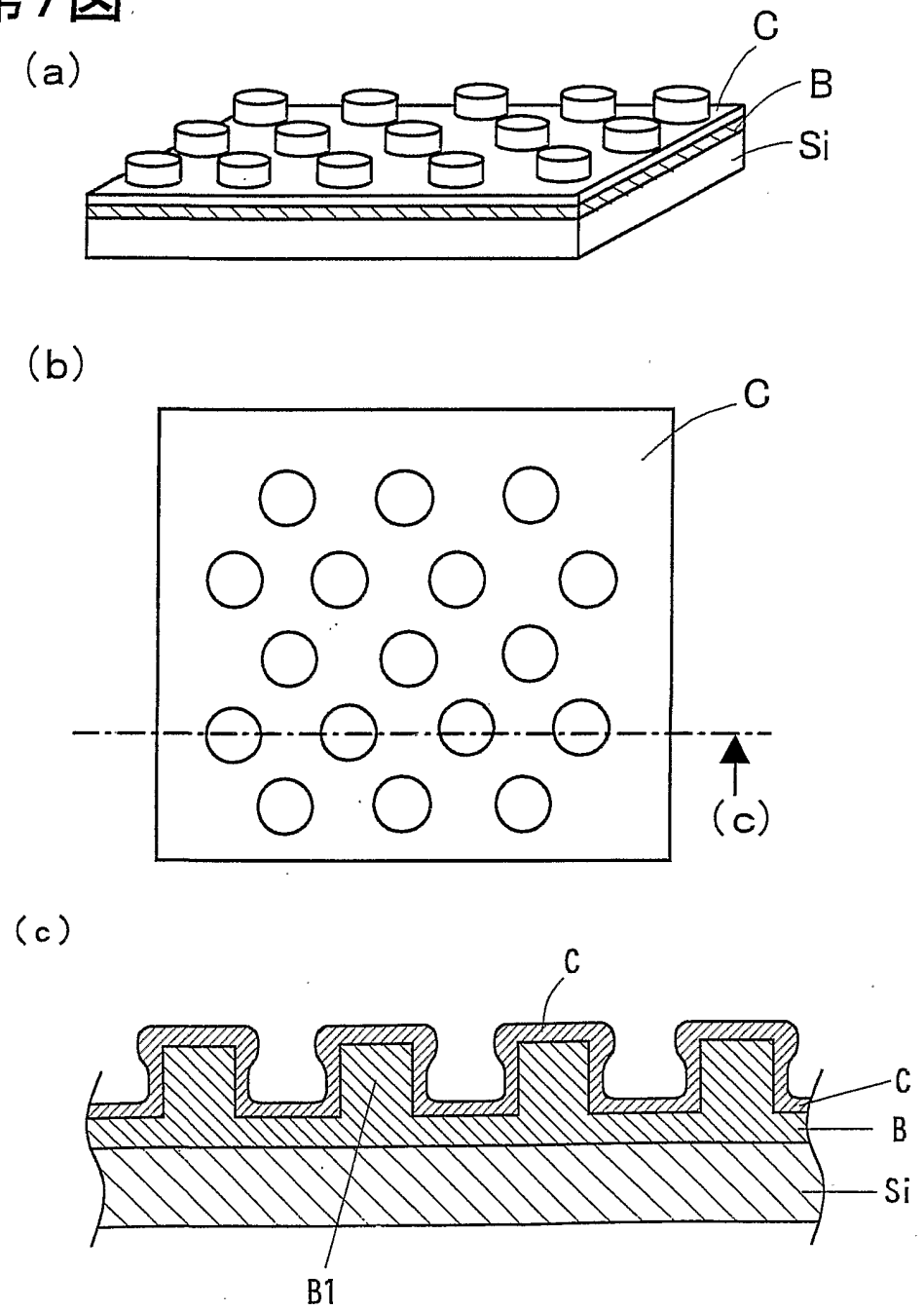


第5図

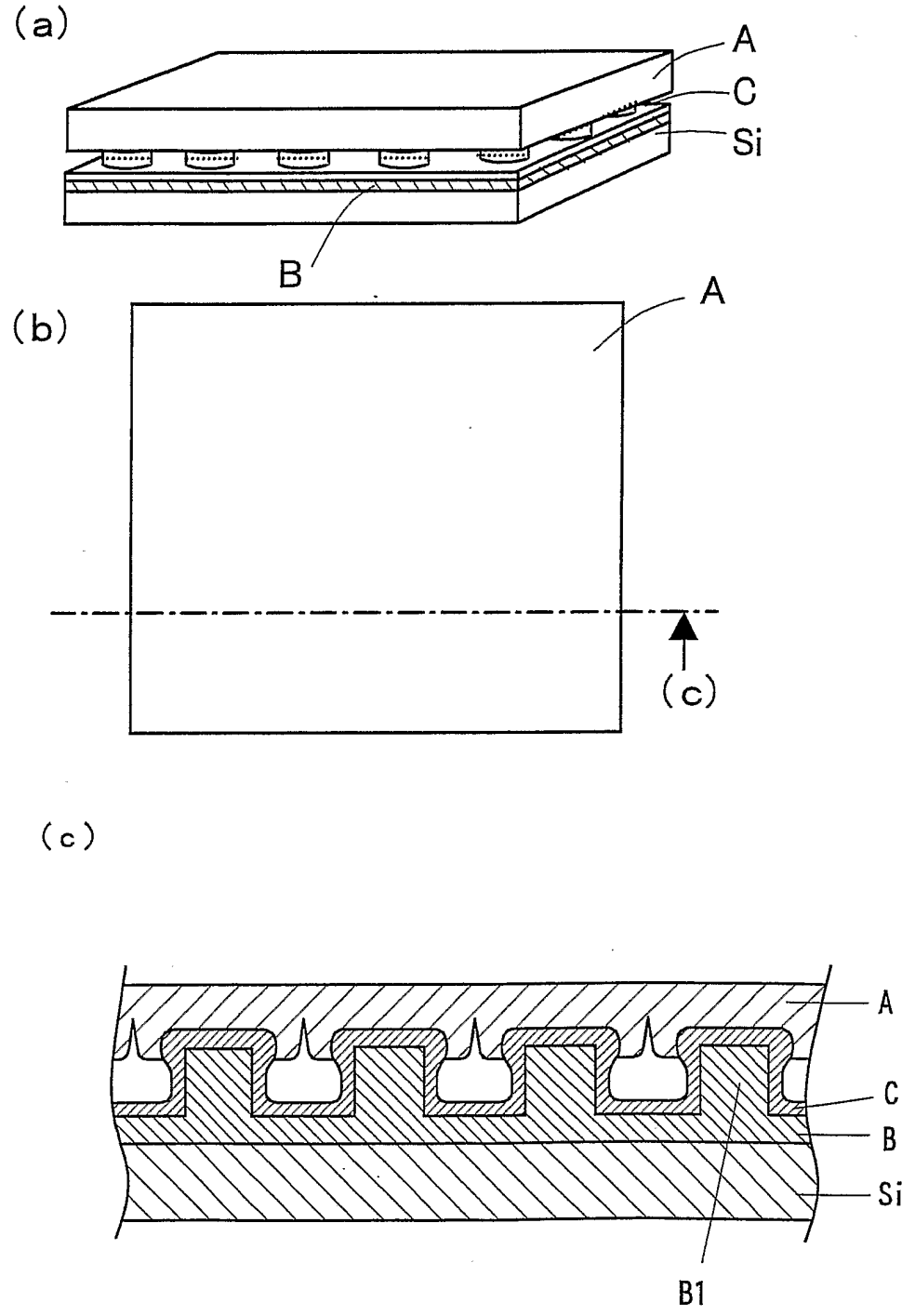
第6図



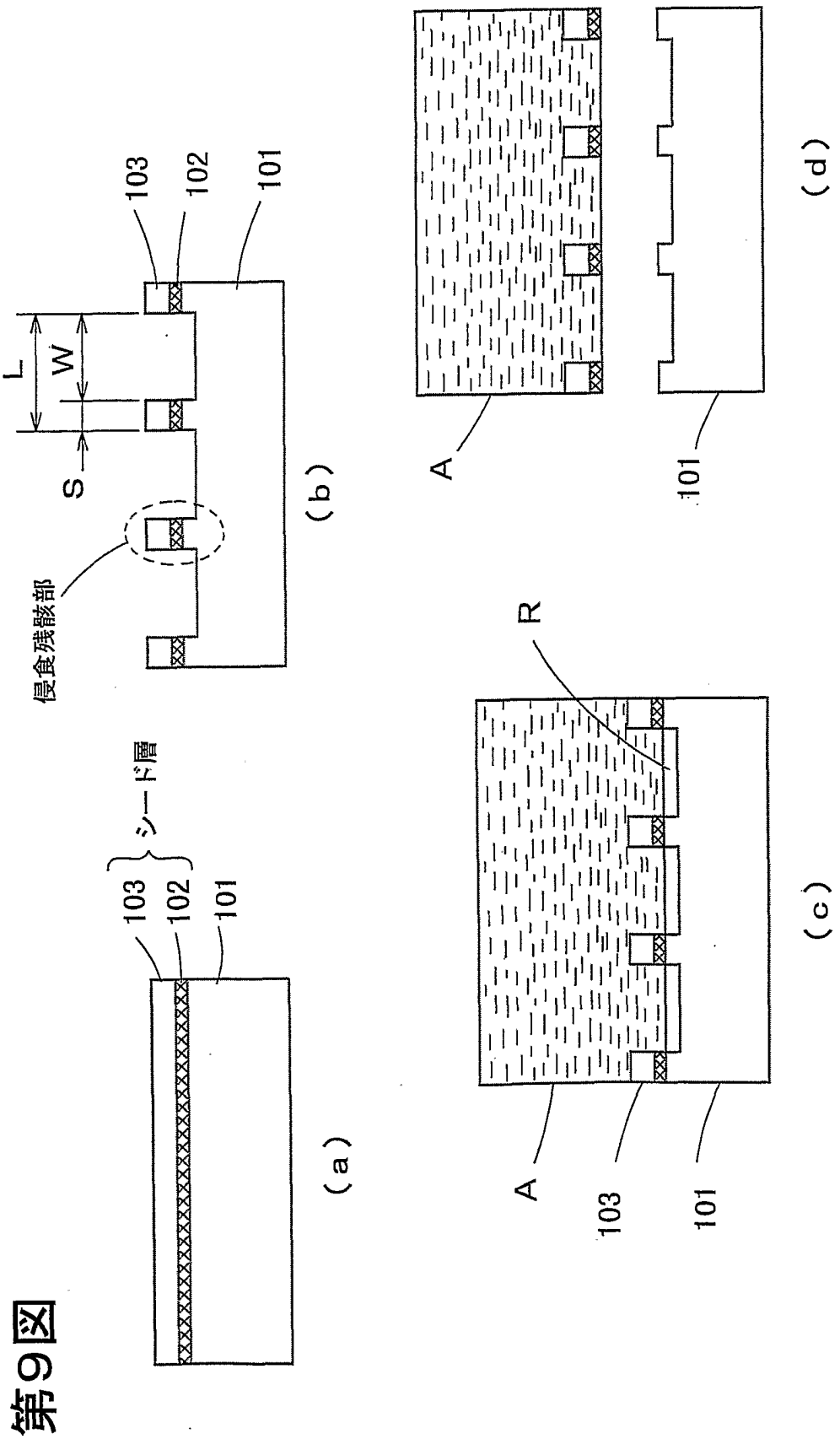
第7図



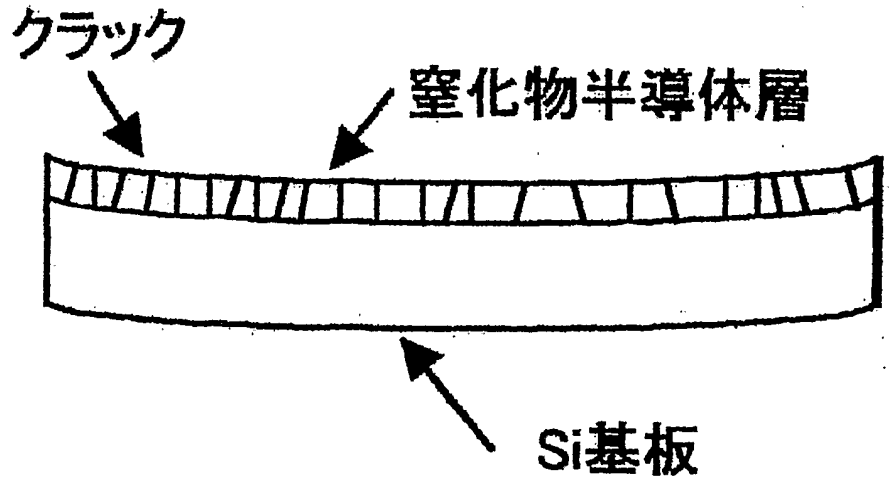
第8図

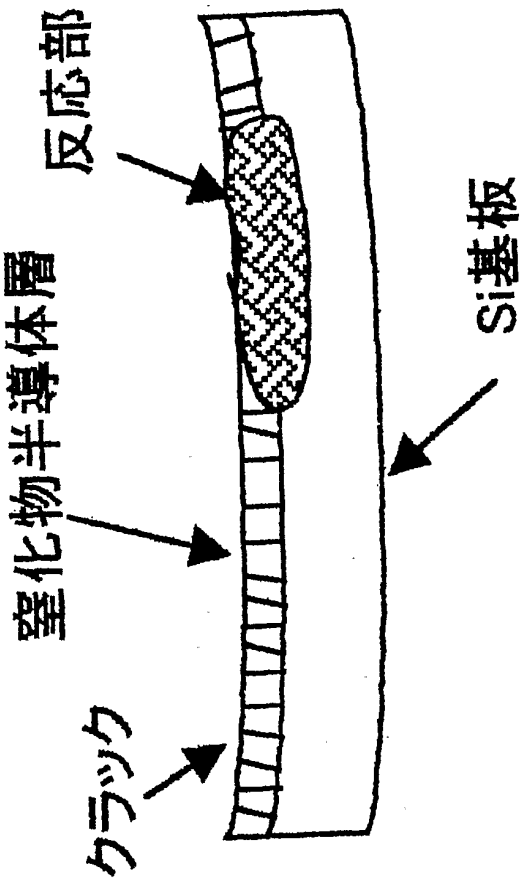


第9図



第10図





第１１図

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/01159

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] C30B25/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] C30B1/00-35/00, H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
CAS ONLINE, WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US, 6146457, A (CBL Technologies Inc.), 14 November, 2000 (14.11.00), Claims 1 to 30; column 6, line 55 to column 7, line 30; Figs. 7, 8 & WO 99/01594 A1 & EP 1007771 A1	21-43,54-55 1-20,44-53
PX PA	JP, 2001-176813, A (Nichia Chemical Industries, Ltd.), 29 June, 2001 (29.06.01), Claims 1 to 8; Par. Nos. [0016] to [0085]; Figs. 1, 2 (Family: none)	21-22,42-55 1-20,23-41
A	EP, 1045431, A1 (Matsushita Electronics Corp.), 18 October, 2000 (18.10.00), & JP 2000-357663 A & US 6274518 A	1-55

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 March, 2002 (13.03.02)	26 March, 2002 (26.03.02)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０２／０１１５９

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Ｉｎｔ．　Ｃｌ．⁷　Ｃ３０Ｂ２５／１８

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Ｉｎｔ．　Ｃｌ．⁷　Ｃ３０Ｂ１／００－３５／００，Ｈ０１Ｌ２１／２０５

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　　１９２６－１９９６年
日本国公開実用新案公報　１９７１－２００２年
日本国登録実用新案公報　１９９４－２００２年
日本国実用新案登録公報　１９９６－２００２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）
CAS ONLINE, WPI

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X A	US 6146457 A (CBL TECHNOLOGIES INC.) 2000.11.14 請求項1-30, 第6欄第55行-第7欄第30行, 図7,8 & WO 99/01594 A1 & EP 1007771 A1	21-43,54-55 1-20,44-53
PX PA	JP 2001-176813 A (日亜化学工業株式会社) 2001.06.29 請求項1-8, 【0016】-【0085】, 図1,2 (ファミリーなし)	21-22,42-55 1-20,23-41
A	EP 1045431 A1 (MATSUSHITA ELECTRONICS CORPORATION)2000.10.18 & JP 2000-357663 A & US 6274518 A	1-55

☐ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．０３．０２	26.03.02

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	三崎　仁	４Ｇ	２９２７
	電話番号　０３－３５８１－１１０１　内線　３４１６		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）