

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 3 月 14 日 (14.03.2019)



(10) 国际公布号
WO 2019/047579 A1

(51) 国际专利分类号:
G06F 3/06 (2006.01)

(21) 国际申请号: PCT/CN2018/090578

(22) 国际申请日: 2018 年 6 月 11 日 (11.06.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710813215.9 2017年9月11日 (11.09.2017) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 周超 (ZHOU, Chao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 周佩青 (ZHOU, Peiqing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DATA ACCESS METHOD AND APPARATUS

(54) 发明名称: 数据访问的方法及装置

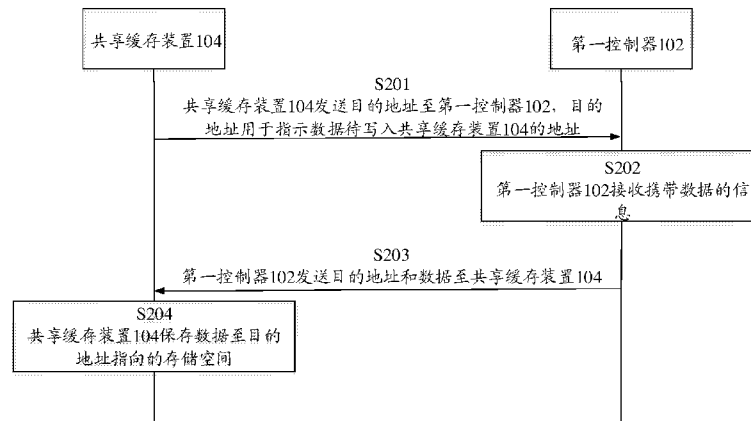


图 7

102 First controller

104 Shared cache device

S201 The shared cache device 104 sends a destination address to the first controller 102, wherein the destination address is used to indicate an address for data to be written to by the shared cache device 104

S202 The first controller 102 receives information carrying the data

S203 The first controller 102 sends the destination address and the data to the shared cache device 104

S204 The shared cache device 104 stores the data to a storage space as directed by the destination address

(57) Abstract: A data access method for application in a storage system. The storage system comprises a first controller (102) and further comprises at least one shared cache device (104), wherein the first controller (102) and each shared cache device of the at least one shared cache device (104) are connected via an internal bus. The method is applied to the first controller (102), and comprises: receiving a destination address sent by each shared cache device, wherein the destination address is used to indicate an address for data to be written to by the shared cache device (S201); receiving information carrying the data (S202); sending the destination address

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

and the data to the shared cache device sending the destination address (S203), such that each shared cache device stores the data to a storage space as directed by the destination address (S204). In the present invention, a controller (e.g. a first controller) and a shared cache device are connected via an internal bus, such that a host can access the shared cache device by means of memory access, so as to increase access speed of the host accessing the shared cache device.

(57) 摘要: 一种数据访问的方法, 应用于存储系统中, 该存储系统包括第一控制器(102), 该存储系统还包括至少一个共享缓存装置(104), 第一控制器(102)和至少一个共享缓存装置(104)中的每个共享缓存装置通过内部总线连接, 该方法应用于第一控制器(102), 包括: 接收每个共享缓存装置发送的目的地址, 目的地址用于指示数据待写入共享缓存装置的地址(S201); 接收携带该数据的信息(S202); 发送目的地址和数据至发送目的地址的共享缓存装置(S203), 以使每个共享缓存装置保存该数据至目的地址指向的存储空间(S204)。通过使控制器(例如, 第一控制器的一例)与共享缓存装置之间通过内部总线连接, 使得主机能够以内存访问方式访问该共享缓存装置, 从而提升主机访问共享缓存装置的访问速度。

数据访问的方法及装置

5 技术领域

本申请涉及数据访问领域，并且更具体地，涉及一种数据访问的方法及装置。

背景技术

双控制器磁盘阵列系统（简称双控磁盘阵列系统）包括两个控制器和分别与所述两个控制器连接的磁盘阵列。其中，两个控制器通过外部总线通信，例如，通过快捷外围部件互连标准（Peripheral Component Interconnect Express, PCIE）总线进行通信。双控磁盘阵列系统在运行过程中，其中一个控制器中的数据被同步备份到另一个控制器，当一个控制器发生故障时，可以从另一个控制器中恢复数据，从而保证数据不丢失。磁盘阵列由多个物理硬盘形成，两个控制器共同管理磁盘阵列。

15 现有的一种双控磁盘阵列系统还包括与两个控制器连接的共享缓存装置，每个控制器与共享缓存装置通过外部总线通信，例如，通过快捷外围部件互连标准（Peripheral Component Interconnect Express, PCIE）总线进行通信。在实现两个控制器的数据同步时，其中一个控制器通过内部总线接收到携带数据的信息后，将该信息的通信格式转换为外部总线格式，并通过外部总线将通信格式转换为外部总线格式的信息发送
20 至共享缓存装置，以实现两个控制器的数据同步。控制器转换通信格式发送信息至共享缓存装置的方式的传输效率低，对共享缓存装置的访问速度慢，进而导致主机保存共享缓存装置中的数据至磁盘阵列的速度慢。

发明内容

25 本申请实施例提供一种数据访问的方法及装置，能够提升主机对共享缓存设备的访问速度。

第一方面，提供了一种数据访问的方法，应用于存储系统中，所述存储系统包括第一控制器，所述存储系统还包括至少一个共享缓存装置，所述第一控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，所述方法应用于所述
30 所述第一控制器，包括：接收每个所述共享缓存装置发送的目的地址，所述目的地址用于指示数据待写入所述共享缓存装置的地址；接收携带所述数据的信息；发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置保存所述数据至所述目的地址指向的存储空间。

可选地，在本申请实施例中，内部总线至少包括以下内部总线中的任意一种：快速
35 路径互连（Quick Path Interconnect, QPI）总线、超级路径互连（Ultra Path Interconnect, UPI）总线、超级传输（Hyper Transport, HT）总线和全局内存互连（Global Memory Interconnect, GMI）总线。

因此，通过使控制器（例如，第一控制器的一例）与共享缓存装置之间通过内部总

线连接,使得主机能够以内存访问方式访问该共享缓存装置,从而提升主机访问共享缓存装置的访问速度。

结合第一方面,在第一方面的一种可能的实现方式中,发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置,包括:生成写数据指令,所述写数据指令包括所述数据和所述目的地址;发送所述写数据指令至发送所述目的地址的所述共享缓存装置。

结合第一方面,在第一方面的一种可能的实现方式中,所述第一控制器包括控制缓存模块,所述发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置,包括:保存所述数据至所述控制缓存模块;生成写数据指令,所述写数据指令包括源地址和所述目的地址,所述源地址为所述数据存储在该所述控制缓存模块中的地址;发送所述写数据指令至发送所述目的地址的所述共享缓存装置,以使每个所述共享缓存装置根据所述源地址从所述控制缓存模块中读取所述数据后保存所述数据至所述目的地址指向的存储空间。

第二方面,提供一种数据访问的方法,应用于存储系统中,所述存储系统包括第一控制器,所述存储系统还包括至少一个共享缓存装置,所述第一控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接,所述方法应用于所述至少一个共享缓存装置中的任一所述共享缓存装置,包括:发送目的地址至所述第一控制器,所述目的地址用于指示数据待写入所述共享缓存装置的地址;接收所述第一控制器发送的所述目的地址和所述数据;保存所述数据至所述目的地址指向的存储空间。

可选地,在本申请实施例中,内部总线至少包括以下内部总线中的任意一种:快速路径互联(Quick Path Interconnect, QPI)总线、超级路径互联(Ultra Path Interconnect, UPI)总线、超级传输(Hyper Transport, HT)总线和全局内存互联(Global Memory Interconnect, GMI)总线。

因此,通过使控制器(例如,第一控制器的一例)与共享缓存装置之间通过内部总线连接,使得主机能够以内存访问方式访问该共享缓存装置,从而提升主机访问共享缓存装置的访问速度。

结合第二方面,在第二方面的一种可能的实现方式中,所述接收所述第一控制器发送的所述目的地址和所述数据,包括:接收所述第一控制器发送的写数据指令,所述写数据指令包括所述数据和所述目的地址。

结合第二方面,在第二方面的一种可能的实现方式中,所述第一控制器包括控制缓存模块,所述接收所述第一控制器发送的所述目的地址和所述数据,包括:接收所述第一控制器发送的写数据指令,所述写数据指令包括源地址和所述目的地址,所述源地址为所述数据存储在该所述控制缓存模块中的地址;根据所述源地址从所述控制缓存模块中读取所述数据;保存所述数据至所述目的地址。

结合第二方面,在第二方面的一种可能的实现方式中,所述共享缓存装置包括处理模块和非易失缓存模块,所述非易失缓存模块由非易失性存储介质(Non-Volatile Memory, NVM)组成,所述非易失缓存模块与所述处理模块连接;所述接收所述第一控制器发送的所述目的地址和所述数据,包括:通过所述处理模块接收所述第一控

制器发送的所述目的地址和所述数据；所述保存所述数据至所述目的地址指向的存储空间，包括：通过所述处理模块保存所述数据至所述非易失缓存模块，所述缓存单元包括所述目的地址指向的存储空间。

5 通过在共享缓存装置中配置非易失性存储介质，从而避免因异常掉电导致的数据丢失问题。

结合第二方面，在第二方面的一种可能的实现方式中，所述共享缓存装置包括处理模块、非易失缓存模块和共享存储器，所述非易失缓存模块由 NVM 介质组成，所述共享存储器和所述非易失缓存模块分别与所述处理模块连接；所述接收所述第一控制器发送的所述目的地址和所述数据，包括：通过所述处理模块接收所述第一控制器发送的所述目的地址和所述数据；所述保存所述数据至所述目的地址指向的存储空间，
10 包括：通过所述处理模块保存所述数据至所述共享存储器；在所述共享存储器的数据量达到阈值时，通过所述处理器保存所述共享存储器中的所述数据至所述缓存单元，所述缓存单元包括所述目的地址指向的存储空间。

通过在共享缓存装置中配置共享存储器元，该共享存储器可以作为该非易失缓存模块的缓冲存储介质，从而减少对非易失缓存模块的访问频率，进而降低 NVM 存储介质的内部磨损。

可选地，该共享存储器为动态随机存取存储介质

第三方面，提供一种控制器，配置于存储系统中，所述存储系统包括至少一个共享缓存装置，所述控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过
20 内部总线连接，包括：接收模块，用于接收每个所述共享缓存装置发送的目的地址，还用于接收携带所述数据的信息，所述目的地址用于指示数据待写入所述共享缓存装置的地址；发送模块，用于发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置保存所述数据至所述目的地址指向的存储空间。所述控制器用于执行上述第一方面或第一方面的任一可能的实现方式中的由控制器执行的数据访问的方法。

第四方面，提供一种控制设备，配置于存储系统中，所述存储系统包括至少一个共享缓存装置，所述控制设备和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，所述控制设备包括：接收器，用于接收每个所述共享缓存装置发送的目的地址，接收携带所述数据的信息，所述目的地址用于指示数据待写入所述共享缓存装置的地址；所述发送器，用于发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置保存所述数据至所述目的地址指向的存储空间。所述控制设备用于执行上述第一方面或第一方面的任一可能的实现方式中的由控制器执行的数据访问的方法。

第五方面，提供一种计算机可读存储介质，其上存储有计算机程序，所述程序被处理器执行时实现第一方面或第一方面的任一方面的可能实现方式中的方法。

第六方面，提供一种共享缓存装置，配置于存储系统中，所述存储系统包括第一控制器，所述第一控制器和所述共享缓存装置通过内部总线连接，所述共享缓存装置包括：收发模块，用于发送目的地址至所述第一控制器，接收所述第一控制器发送的所述目的地址和所述数据，所述目的地址用于指示数据待写入所述装置的地址；处理模

块，用于保存所述数据至所述目的地址指向的存储空间。所述共享缓存装置用于执行上述第一方面或第一方面的任一可能的实现方式中的由共享缓存装置执行的数据访问的方法。

5 第七方面，提供一种共享缓存设备，配置于存储系统中，所述存储系统包括第一控制器，所述第一控制器和所述共享缓存设备通过内部总线连接，所述共享缓存设备包括：收发器，用于发送目的地址至所述第一控制器，还用于接收所述第一控制器发送的所述目的地址和所述数据，所述目的地址用于指示数据待写入所述装置的地址；处理器，用于保存所述数据至所述目的地址指向的存储空间。所述共享缓存设备用于执行上述第一方面或第一方面的任一可能的实现方式中的由共享缓存装置执行的数据访问的方法。

10 第八方面，提供一种计算机可读存储介质，其上存储有计算机程序，所述程序被处理器执行时实现第一方面或第一方面的任一方面的可能实现方式中的方法。

15 第九方面，提供一种存储系统，所述存储系统包括上述第三方面以及第三方面的各实现方式中的控制器，所述控制器为第一控制器，所述存储系统还包括上述第六方面以及第六方面的各实现方式中的至少一个共享缓存装置，所述第一控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置过内部总线连接。

20 结合第九方面，在第九方面的一种可能的实现方式中，所述存储系统还包括第二控制器，所述第二控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，所述共享缓存装置用于：在所述第一控制器故障时，接收所述第二控制器发送的读数据指令；查询所述数据；发送所述数据至所述第二控制器。

附图说明

图 1 为根据本申请实施例的存储系统的示意图。

图 2 为根据本申请实施例的控制器的示意性框图。

25 图 3 为根据本申请实施例的控制器的另一示意性框图。

图 4 为根据本申请实施例的共享缓存装置的示意性框图。

图 5 为根据本申请实施例的共享缓存装置的另一示意性框图。

图 6 为根据本申请实施例的共享缓存装置的再一示意性框图。

图 7 为根据本申请实施例的数据访问的方法的示意性流程图。

30 图 8 为根据本申请实施例的控制设备的示意性框图。

图 9 为根据本申请实施例的共享缓存设备示意性框图。

具体实施方式

下面将结合附图，对本申请中的技术方案进行描述。

35 如图 1 所示，该存储系统 100 至少包括：主机 101、第一控制器 102、第二控制器 103、至少一个共享缓存装置 104，其中，主机 101 分别与第一控制器 102 和第二控制器 103 连接，第一控制器 102 与第二控制器 103 分别与至少一个共享缓存装置 104 中每个共享缓存装置 104 通过内部总线 105 连接。

可选地，在本申请实施例中，内部总线至少包括以下内部总线中的任意一种：快速

路径互联 (Quick Path Interconnect, QPI) 总线、超级路径互联 (Ultra Path Interconnect, UPI) 总线、超级传输 (Hyper Transport, HT) 总线和全局内存互联 (Global Memory Interconnect, GMI) 总线。

5 主机 101 可以是任何计算设备, 如服务器、台式计算机等等, 服务器可以是高密服务器或者机架服务器或者刀片服务器。

可选地, 如图 2 所示, 第一控制器 102 包括接收模块 1021、发送模块 1022, 处理模块 1023, 该处理模块 1023 分别与接收模块 1021、发送模块 1022 连接。

在图 2 所示的第一控制器 102 中, 接收模块 1021 用于接收共享缓存装置 104 发送的目的地址, 所述目的地址用于指示数据待写入所述共享缓存装置 104 的地址。

10 接收模块 1021 还用于接收携带所述数据的信息。

处理模块 1023 用于解析所述携带所述数据的信息, 获取所述数据。

发送模块 1022 用于向共享缓存装置 104 发送该数据和目的地址, 指示共享缓存装置 104 将数据写入所述目的地址指向的存储空间。

15 可选地, 如图 3 所示, 在图 2 所示的第一控制器 102 的基础上, 第一控制器 102 还可以包括控制缓存模块 1024, 该控制缓存模块 1024 与处理模块 1023 连接, 该处理模块 1023 将待写入共享缓存装置 104 的数据先存储在该控制缓存模块 1024 中。

20 发送模块 1022 还用于发送源地址和所述目的地址至共享缓存装置 104, 所述源地址为所述数据存储在所述控制缓存模块 1024 中的地址。共享缓存装置 104 根据所述源地址从该控制缓存模块 1024 中读取该数据, 并将该数据写入该数据的目的地址指向的共享缓存装置 104 的存储空间中。

25 可选地, 如图 4 所示, 共享缓存装置 104 包括收发模块 1041、处理模块 1042 与非易失缓存模块 1043, 该处理模块 1042 分别与收发模块 1041、非易失缓存模块 1043 连接, 该收发模块 1041 用于向第一控制器 102 发送共享缓存装置 104 的目的地址, 还用于接收第一控制器 102 发送的该数据、该数据的目的地址, 该处理模块 1023 用于确定收发模块 1041 接收到的该数据的目的地址, 并将该数据存储至该目的地址指向的非易失缓存模块 1043 的存储空间中。

30 可选地, 如图 5 所示, 在图 5 所示的共享缓存装置 104 的基础上, 共享缓存装置 104 还包括共享存储器 1044, 该共享存储器 1044 与处理模块 1042 连接。该处理模块 1023 在接收到数据和目的地址后, 用于将该数据存储至共享存储器 1044 中, 待该共享存储器 1044 中存储的数据量达到数据量阈值时, 再将该共享存储器 1044 中存储的数据一次性写入该目的地址指向的非易失缓存模块 1043 的存储空间中。

可选地, 该共享存储器 1044 为动态随机存取 (Dynamic Random Access Memory, DRAM) 存储介质。

35 由于 DRAM 存储介质存在掉电丢失存储数据的问题, 因此, 当共享缓存装置 104 中配置有该 DRAM 存储介质时, 为了避免因异常断电而导致的数据丢失问题, 可以在共享缓存装置 104 配置备份电源, 该备份电源用于在异常掉电时为该 DRAM 存储介质进行供电。作为示例而非限定, 该 DRAM 存储介质可以为超级电容。

通过在共享缓存装置 104 中配置共享存储器 1044, 该共享存储器 1044 可以作为该非易失缓存模块 1043 的缓冲存储介质, 从而减少对非易失性存储介质的访问频率, 进

而降低 NVM 存储介质的内部磨损。

可选地，如图 6 所示，共享缓存装置 104 中的收发模块 1041 还可以包括第一接口 1045、第二接口 1046。第一控制器 102 与共享缓存装置 104 之间通过该共享缓存装置 104 的第一接口 1045 连接，第二控制器 103 与该共享缓存装置 104 之间通过该共享缓存装置 104 的第二接口 1046 连接。该第一接口 1045 用于接收第一控制器 102 发送的该数据、该数据的目的地址，并将该数据、该数据的目的地址发送至共享缓存装置 104 中的处理模块 1042，该处理模块 1042 对接收到的该数据以及该数据的目的地址进行处理，根据目的地址确定该数据需要存储至该共享缓存装置 104 的存储空间，将该数据存储在目的地址指向的非易失缓存模块 1043 的存储空间中。

下面以一个共享缓存装置 104 与第一控制器 102 之间的通信为例对本申请实施例提供的数据库访问的方法进行说明。

图 7 为本申请实施例提供的数据库访问的方法的示意性流程图。如图 7 所示，数据库访问的方法中的步骤 S201 可以由图 1 或图 4 或图 5 所示的共享缓存装置 104 执行，或者，还可以由图 4 中所示的共享缓存装置 104 中的收发模块 1041 执行；数据库访问的方法中的步骤 S202 可以由图 1 中所示的第一控制器 102 或第二控制器 103 执行，或者也可以由图 2 中所示的接收模块 1021 执行；数据库访问的方法中的步骤 S203 可以由图 1 中所示的第一控制器 102 或第二控制器 103 执行，或者，也可以由图 2 中所示的发送模块 1022 执行，或者，还可以由图 2 中所示的处理模块 1023 和发送模块 1022 配合执行；数据库访问的方法中的步骤 S204 可以由图 1 或图 4 或图 5 中所示的共享缓存装置 104 执行，或者，还可以由图 5 中所示的共享缓存装置 104 的处理模块 1041 执行。本申请实施例对此不作特别限定。

S201，共享缓存装置 104 发送目的地址至该第一控制器 102，该目的地址用于指示数据待写入该共享缓存装置 104 的地址。

第一控制器 102 根据目的地址，将该共享缓存装置 104 的目的地址指向的存储空间映射到系统的全局存储空间，保存共享缓存装置 104 的目的地址与逻辑地址的映射关系。共享缓存装置 104 的逻辑地址表示了共享缓存装置 104 的目的地址对应的存储空间在存储系统的全局存储空间的地址布局。

该目的地址包括一段连续的物理地址指向的存储空间的起始地址和终止地址或该共享缓存装置 104 的标识。

具体地，作为示例而非限定，该目的地址对应的存储空间为一段连续的物理地址指向的存储空间。

系统开机或重启时，共享缓存装置 104 发送目的地址至该第一控制器 102，该目的地址包括该共享缓存装置 104 的存储空间的起始地址与终止地址，第一控制器 102 根据该起始地址与终止地址，将该共享缓存装置 104 的存储空间映射到系统的全局存储空间。第一控制器 102 将共享缓存装置 104 的目的地址对应的存储空间映射至存储系统的全局存储空间时，第一控制器 102 创建共享缓存装置 104 的逻辑地址，保存共享缓存装置 104 的逻辑地址和目的地址的映射关系。如此，目的地址为共享缓存装置 104 的存储空间的物理地址，每个控制器保存映射关系表后，共享缓存装置 104 的存储空间的物理地址对于每个控制器是可见的，每个控制器可以利用共享缓存装置 104 的存

存储空间物理地址进行存储处理。

例如，该目的地址包括的起始地址为 0G，终止地址为 128G，第一控制器 102 根据该目的地址，将该 0G~128G 对应的存储空间映射到系统的全局存储空间。例如，共享缓存装置 104 的 0G~128G 的存储空间被第一控制器 102 映射到全局存储空间的 80G~208G 的存储空间上，该 80G~208G 即为共享缓存装置 104 的逻辑地址。

需要说明的是，上述仅以目的地址包括共享缓存装置 104 的存储空间的起始地址与终止地址为例进行说明，但本申请实施例并不限于此。

可选的，该目的地址包括共享缓存装置 104 的标识和共享缓存装置 104 的存储空间的存储容量，第一控制器 102 根据共享缓存装置 104 的存储空间的存储容量，将共享缓存装置 104 的存储空间映射到全局存储空间。

在第一控制器 102 将共享缓存装置 104 的逻辑地址与共享缓存装置 104 的目的地址之间的映射关系创建完成之后，第一控制器 102 可以将该映射关系表通过第一控制器 102 的基本输入输出系统 (Basic Input Output System, BIOS) 配置给共享缓存装置 104。如此，共享缓存装置 104 的存储空间在存储系统的全局存储空间的地址布局对于共享缓存装置 104 是可见的。

可选的，该目的地址包括共享缓存装置 104 的标识，该共享缓存装置 104 的标识可以为共享缓存装置 104 的编号或者共享缓存装置 104 的通信地址中的任意一种，本申请实施例对此不作特别限定。第一控制器 102 预先保存有共享缓存装置 104 的存储容量，第一控制器 102 可以根据共享缓存装置 104 的标识查询到预先保存的共享缓存装置 104 的存储容量，根据共享缓存装置 104 的存储容量将共享缓存装置 104 的存储空间映射到全局存储空间后，保存该共享缓存装置 104 的标识与逻辑地址的映射关系。

需要说明的是，在本申请实施例中，上述仅以第一控制器 102 通过接收共享缓存装置 104 发送的目的地址获取共享缓存装置 104 的存储空间信息。但本申请实施例并不限于此。

例如，第一控制器 102 还能够在系统开机或重启时，通过第一控制器 102 的基本输入输出系统 (Basic Input Output System, BIOS) 获取共享缓存装置 104 的目的地址。

S202，第一控制器 102 接收携带数据的信息。

具体地，第一控制器 102 通过步骤 S201 接收目的地址后，第一控制器 102 接收主机 101 发送的携带有数据的信息，该数据为待写入该共享缓存装置 104 的数据。

第一控制器 102 接收携带该数据的信息后，解析携带该数据的信息，获取所述数据。第一控制器 102 确定该数据待存储至存储系统的全局存储空间的逻辑地址，并根据逻辑地址和共享缓存装置 104 的标识之间的映射关系表，确定待写入该数据的共享缓存装置 104。

可选的，如果基于步骤 S201，第一控制器 102 接收到包括起始地址和终止地址的目的地址后，创建了共享缓存装置的逻辑地址与共享缓存装置 104 的目的地址之间的映射关系表，第一控制器 102 可以根据该共享缓存装置 104 的逻辑地址与共享缓存装置 104 的目的地址之间的映射关系表，确定数据待存储至该共享缓存装置 104 的目的地址指向的存储空间，该共享缓存装置 104 的目的地址指向的存储空间为起始地址和终止地址范围内的存储空间。

具体地，第一控制器 102 首先根据步骤 S201 中的该共享缓存装置 104 的逻辑地址与共享缓存装置 104 的目的地址之间的映射关系表，确定数据待存储至存储系统的全局存储空间的逻辑地址位于 80G~208G 之间，并根据共享缓存装置 104 的逻辑地址 80G~208G 与共享缓存装置 104 的目的地址 0G~128G 的映射关系，确定待存储该数据的共享缓存装置 104 的目的地址指向的存储空间为共享缓存装置 104 的 0G~128G 地址范围内的存储空间。

S203，第一控制器 102 发送该目的地址和该数据至共享缓存装置 104，以使共享缓存装置 104 保存该数据至该目的地址指向的存储空间。

具体地，在步骤 S203 中，该第一控制器 102 向共享缓存装置 104 发送携带目的地址的信息以实现目的地址的发送。基于步骤 S201 描述的，目的地址包括一段连续的物理地址指向的存储空间的起始地址和终止地址，或者包括共享缓存装置 104 的标识。

第一控制器 102 发送该目的地址和该数据的同时，还向该共享缓存装置 104 发送该数据的有效长度，该数据的有效长度指示该数据需要占据的存储空间大小，以指示共享缓存装置 104 分配数据的有效长度指示大小的存储空间存储所述数据。

可选地，作为步骤 S203 的另一种实现方式，该第一控制器 102 生成写数据指令，该写数据指令包括该数据、该数据的目的地址（例如，该数据的目的地址为一段存储空间的起始地址和终止地址或共享缓存装置 104 的标识），该第一控制器 102 发送该写数据指令至第一该共享缓存装置 104。

可选地，作为步骤 S203 的另一种实现方式，该第一控制器 102 还可以生成写数据指令，该写数据指令包括该数据、该数据的目的地址（例如，该数据的目的地址为一段存储空间的起始地址或该共享缓存装置 104 的标识），以及该数据的有效长度，该第一控制器 102 发送该写数据指令至第一该共享缓存装置 104。

可选地，作为步骤 S203 的另一种实现方式，第一控制器 102 发送数据至共享缓存装置 104 的可选实现方式为，第一控制器 102 首先将该数据保存至该控制缓存模块 1021，并生成写数据指令，该写数据指令包括源地址以及该数据将要写入该共享缓存装置 104 中的目的地址，所述源地址为该数据在该控制缓存模块 1021 中的存储位置，第一控制器 102 向该共享缓存装置 104 发送该写数据指令，以使该共享缓存装置 104 根据该源地址从该控制缓存模块 1021 中读取该数据。

S204，共享缓存装置 104 保存该数据至该目的地址指向的存储空间。

共享缓存装置 104 接收第一控制器 102 发送的该目的地址和该数据后，保存该数据至该目的地址指向的存储空间。

具体地，共享缓存装置 104 保存该数据至该目的地址指向的存储空间有以下四种实现方法。

方法一

在该第一控制器 102 向共享缓存装置 104 发送的目的地址包括共享缓存装置 104 的标识的情况下，该共享缓存装置 104 确定接收到的共享缓存装置 104 的标识与自身保存标识一致时，保存数据至共享缓存装置 104。

方法二

该数据的目的地址包括一段连续的物理地址指向的存储空间的起始地址和终止地

址时，则共享缓存装置 104 将该数据直接存储该目的地址指示的共享缓存装置 104 存储空间中。

方法三

5 如果共享缓存装置 104 的目的地址包括一段连续的物理地址指向的存储空间的起始地址和终止地址，以及包括共享缓存装置 104 的标识，该共享缓存装置 104 首先根据该标识确定该标识与自身保存的标识一致时，将该数据直接存储该目的地址指示的共享缓存装置 104 存储空间中。

方法四

10 基于步骤 S201，如果第一控制器 102 将共享缓存装置 104 的逻辑地址与共享缓存装置 104 的目的地址之间的映射关系表通过第一控制器 102 的基本输入输出系统（Basic Input Output System, BIOS）配置给了共享缓存装置 104，在该第一控制器 102 向共享缓存装置 104 发送的目的地址包括共享缓存装置 104 的标识和逻辑地址的情况下，共享缓存装置 104 首先根据该标识确定该标识与自身保存的标识一致时，可以查询该映射关系表，根据共享缓存装置 104 的逻辑地址确定对应的目的地址，并将该数据
15 存储在该共享缓存装置 104 的目的地址指向的存储空间中。

可选地，第一控制器 102 向共享缓存装置 104 发送的目的地址包括共享缓存装置 104 的标识，并且第一控制器 102 在向共享缓存装置 104 发送该目的地址的同时，还向共享缓存装置 104 发送该数据待存储至全局存储空间的逻辑地址，当共享缓存装置 104 首先根据该标识确定该标识与自身保存的标识一致时，共享缓存装置 104 进一步
20 根据上述的第一控制器 102 为共享缓存装置 104 配置的共享缓存装置 104 的逻辑地址与共享缓存装置 104 的目的地址之间的映射关系表，确定该数据待存储至全局存储空间的逻辑地址相对于起始逻辑地址的偏移量，并根据该偏移量，确定该数据待存储至共享缓存装置 104 的物理地址，最终将该数据存储至该物理地址指向的共享缓存装置 104 的存储空间中。

25 需要说明的是，上述的起始逻辑地址可以为全局存储空间的起始逻辑地址（例如，全局存储空间的起始逻辑地址为 0G），或者，该起始逻辑地址还可以为共享缓存装置 104 的目的地址映射到全局存储空间后的起始逻辑地址（例如，共享缓存装置 104 的目的地址映射到全局存储空间后的起始逻辑地址为 90G），本申请对此不作特别限定。

30 可选地，该主机 101 可以与多个共享缓存装置 104 进行连接，该多个共享缓存装置 104 中的任意两个共享缓存装置之间构成镜像共享缓存装置。即，主机 101 对该任意两个共享缓存装置中的其中一个共享缓存装置 104 的读写访问也会发生在主机 101 与另一个共享缓存装置 104 之间，使得同一数据可以即存储在该任意两个共享缓存装置中的其中一个共享缓存装置 104 中，同时又可以存储在另一个共享缓存装置 104 中，避免因其中一个共享缓存装置 104 发生故障而导致该数据的丢失问题，即，提高数
35 据存储的可靠性。

上述的其中一个共享缓存装置 104 的两个接口分别与第一控制器 102 和第二控制器 103 连接。同样的，上述的另一个共享缓存装置 104 的两个接口也分别与第一控制器 102 和第二控制器 103 连接，即，每个控制器分别与两个接口连接，该两个接口分别为上述其中一个共享缓存装置 104 的一个接口和上述另一个共享缓存装置 104 的一个

接口。

需要说明的是，在本申请实施例中，仅以第一控制器 102 将共享缓存装置的逻辑地址与共享缓存装置的物理地址之间的映射关系表通过第一控制器 102 的基本输入输出系统（Basic Input Output System, BIOS）配置给共享缓存装置 104 为例进行示例性说明，但本申请实施例并不限于此。例如，第一控制器 102 还可以将该映射关系表与携带有该数据的信息一起发送至共享缓存装置 104。

本申请实施例提供了一种控制器（例如，第一控制器 102），该控制器的示意性框图如图 2 至图 3 中所示，为了简洁，此处不再赘述，下面仅对图 2 至图 3 中示出的各个模块所执行的操作进行说明。

其中，接收模块 1021，用于接收每个该共享缓存装置 104 发送的目的地址，该目的地址用于指示数据待写入该共享缓存装置 104 的地址；

该接收模块 1021 还用于：

接收携带该数据的信息；

发送模块 1022 用于：

发送该目的地址和该数据至发送该目的地址的该共享缓存装置 104，以使每个该共享缓存装置 104 保存该数据至该目的地址指向的存储空间。

可选地，该控制器 102 还包括：

处理模块 1023，用于生成写数据指令，该写数据指令包括该数据和该目的地址；

该发送模块 1022 还用于：

发送该写数据指令至发送该目的地址的该共享缓存装置 104。

可选地，该控制器 102 还包括控制缓存模块 1024，该处理模块 1023 还用于：

保存该数据至该控制缓存模块 1024；

生成写数据指令，该写数据指令包括源地址和该目的地址，该源地址为该数据存储在该控制缓存模块 1024 中的地址；

该发送模块 1022 还用于：

发送该写数据指令至发送该目的地址的该共享缓存装置 104，以使每个该共享缓存装置 104 根据该源地址从该控制缓存模块中读取该数据后保存该数据至该目的地址指向的存储空间。

应理解，本发明实施例中的处理模块 1023 可以由处理器或处理器相关电路组件实现，接收模块 1021 可以由接收器或接收器相关电路组件实现，发送模块 1022 可以由发送器或发送器相关电路组件实现。

如图 8 所示，本申请实施例还提供了一种控制设备 300，该控制设备 300 包括处理器 310，存储器 320 与收发器 330，其中，存储器 320 中存储指令或程序，存储器 320 还用于执行上述实施例中控制缓存模块 1024 执行的操作，处理器 330 用于执行存储器 320 中存储的指令或程序。存储器 320 中存储的指令或程序被执行时，该处理器 310 用于执行上述实施例中处理模块 1023 执行的操作，收发器 330 用于执行上述实施例中接收模块 1021 或发送模块 1022 执行的操作。

本申请实施例提供了一种共享缓存装置 104，该共享缓存装置 104 的示意性框图如图 4 至图 6 中所示，为了简洁，此处不再赘述，下面仅对图 4 至图 6 中示出的各个模

块所执行的操作进行说明。其中，收发模块 1041，用于发送目的地址至该第一控制器 102，该目的地址用于指示数据待写入该共享缓存装置 104 的地址；

该收发模块 1041 还用于：

接收该第一控制器发送的该目的地址和该数据；

5 处理模块 1042，用于保存该数据至该目的地址指向的存储空间。

可选地，该收发模块 1041 还用于：

接收该第一控制器发送的写数据指令，该写数据指令包括该数据和该目的地址。

可选地，该第一控制器包括控制缓存模块 1024，该收发模块 1041 具体用于：

接收该第一控制器 102 发送的写数据指令，该写数据指令包括源地址和该目的地址，

10 该源地址为该数据存储在该控制缓存模块 1024 中的地址；

该处理模块 1042 还用于：

根据该源地址从该控制缓存模块中读取该数据；

保存该数据至该目的地址。

15 可选地，该共享缓存装置 104 还包括非易失缓存模块 1043，该非易失缓存模块 1043 由 NVM 介质组成，该非易失缓存模块 1043 与该处理模块 1042 连接；

该收发模块 1041 还用于：

接收该第一控制 102 器发送的该目的地址和该数据；

该处理模块 1042 还用于：

20 保存该数据至该非易失缓存模块 1043，该非易失缓存模块 1043 包括该目的地址指向的存储空间。

可选地，该装置还包括非易失缓存模块 1043 和共享存储器 1044，该非易失缓存模块 1043 由 NVM 介质组成，该共享存储器 1044 和该非易失缓存模块 1043 分别与该处理模块 1042 连接，

该收发模块 1041 还用于：

25 接收该第一控制器发送的该目的地址和该数据；

该处理模块 1042 还用于：

保存该数据至该共享存储器 1044；

在该共享存储器 1044 的数据量达到阈值时，保存该共享存储器 1044 中的该数据至该非易失缓存模块 1043，该非易失缓存模块 1043 包括该目的地址指向的存储空间。

30 应理解，本发明实施例中的处理模块 1042 可以由处理器或处理器相关电路组件实现，收发模块 1041 可以由收发器或收发器相关电路组件实现。

如图 9 所示，本申请实施例还提供了一种共享缓存设备 4400，该共享缓存设备 400 包括处理器 410，存储器 420 与收发器 430，其中，存储器 420 中存储指令或程序，存储器 420 还用于执行上述实施例中非易失缓存模块 1043 和共享存储器 1044 执行的操作，处理器 430 用于执行存储器 420 中存储的指令或程序。存储器 420 中存储的指令或程序被执行时，该处理器 410 用于执行上述实施例中处理模块 1042 执行的操作，收发器 430 用于执行上述实施例中收发模块 1041 执行的操作。

本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能

究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统、装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。

另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备）执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（Read-Only Memory, ROM）、随机存取存储器（Random Access Memory, RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应所述以权利要求的保护范围为准。

权 利 要 求 书

1、一种数据访问的方法，其特征在于，应用于存储系统中，所述存储系统包括第一控制器，所述存储系统还包括至少一个共享缓存装置，所述第一控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，所述方法应用于所述第一控制器，包括：

接收每个所述共享缓存装置发送的目的地址，所述目的地址用于指示数据待写入所述共享缓存装置的地址；

接收携带所述数据的信息；

发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置保存所述数据至所述目的地址指向的存储空间。

2、如权利要求1所述的方法，其特征在于，发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，包括：

生成写数据指令，所述写数据指令包括所述数据和所述目的地址；

发送所述写数据指令至发送所述目的地址的所述共享缓存装置。

3、如权利要求1所述的方法，其特征在于，所述第一控制器包括控制缓存模块，所述发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，包括：

保存所述数据至所述控制缓存模块；

生成写数据指令，所述写数据指令包括源地址和所述目的地址，所述源地址为所述数据存储在该控制缓存模块中的地址；

发送所述写数据指令至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置根据所述源地址从所述控制缓存模块中读取所述数据后保存所述数据至所述目的地址指向的存储空间。

4、一种数据访问的方法，其特征在于，应用于存储系统中，所述存储系统包括第一控制器，所述存储系统还包括至少一个共享缓存装置，所述第一控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，所述方法应用于所述至少一个共享缓存装置中的任一所述共享缓存装置，包括：

发送目的地址至所述第一控制器，所述目的地址用于指示数据待写入所述共享缓存装置的地址；

接收所述第一控制器发送的所述目的地址和所述数据；

保存所述数据至所述目的地址指向的存储空间。

5、如权利要求4所述的方法，其特征在于，所述接收所述第一控制器发送的所述目的地址和所述数据，包括：

接收所述第一控制器发送的写数据指令，所述写数据指令包括所述数据和所述目的地址。

6、如权利要求4所述的方法，其特征在于，所述第一控制器包括控制缓存模块，所述接收所述第一控制器发送的所述目的地址和所述数据，包括：

接收所述第一控制器发送的写数据指令，所述写数据指令包括源地址和所述目的地址，所述源地址为所述数据存储在该控制缓存模块中的地址；

根据所述源地址从所述控制缓存模块中读取所述数据；
保存所述数据至所述目的地址。

7、如权利要求4所述的方法，其特征在于，所述共享缓存装置包括处理模块和非易失缓存模块，所述非易失缓存模块由NVM介质组成，所述非易失缓存模块与所述处理模块连接；

所述接收所述第一控制器发送的所述目的地址和所述数据，包括：

通过所述处理模块接收所述第一控制器发送的所述目的地址和所述数据；

所述保存所述数据至所述目的地址指向的存储空间，包括：

通过所述处理模块保存所述数据至所述非易失缓存模块，所述非易失缓存模块包括所述目的地址指向的存储空间。

8、如权利要求4所述的方法，其特征在于，所述共享缓存装置包括处理模块、非易失缓存模块和共享存储器，所述非易失缓存模块由NVM介质组成，所述共享存储器和所述非易失缓存模块分别与所述处理模块连接；

所述接收所述第一控制器发送的所述目的地址和所述数据，包括：

通过所述处理模块接收所述第一控制器发送的所述目的地址和所述数据；

所述保存所述数据至所述目的地址指向的存储空间，包括：

通过所述处理模块保存所述数据至所述共享存储器；

在所述共享存储器的数据量达到阈值时，通过所述处理器保存所述共享存储器中的所述数据至所述非易失缓存模块，所述非易失缓存模块包括所述目的地址指向的存储空间。

9、一种控制器，其特征在于，配置于存储系统中，所述存储系统包括至少一个共享缓存装置，所述控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，包括：

接收模块，用于接收每个所述共享缓存装置发送的目的地址，还用于接收携带所述数据的信息，所述目的地址用于指示数据待写入所述共享缓存装置的地址；

发送模块，用于发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置保存所述数据至所述目的地址指向的存储空间。

10、如权利要求9所述的控制器，其特征在于，所述控制器还包括：

处理模块，用于生成写数据指令，所述写数据指令包括所述数据和所述目的地址；

所述发送模块，还用于发送所述写数据指令至发送所述目的地址的所述共享缓存装置。

11、如权利要求9所述的控制器，其特征在于，所述控制器还包括控制缓存模块，

所述处理模块，还用于保存所述数据至所述控制缓存模块，生成写数据指令，所述写数据指令包括源地址和所述目的地址，所述源地址为所述数据存储在所述控制缓存模块中的地址；

所述发送模块，还用于发送所述写数据指令至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置根据所述源地址从所述控制缓存模块中读取所述数据后保存所述数据至所述目的地址指向的存储空间。

12、一种共享缓存装置，其特征在于，配置于存储系统中，所述存储系统包括第

一控制器，所述第一控制器和所述共享缓存装置通过内部总线连接，所述共享缓存装置包括：

收发模块，用于发送目的地址至所述第一控制器，接收所述第一控制器发送的所述目的地址和所述数据，所述目的地址用于指示数据待写入所述装置的地址；

5 处理模块，用于保存所述数据至所述目的地址指向的存储空间。

13、如权利要求 12 所述的装置，其特征在于，所述收发模块，还用于接收所述第一控制器发送的写数据指令，所述写数据指令包括所述数据和所述目的地址。

14、如权利要求 12 所述的装置，其特征在于，所述第一控制器包括控制缓存模块，所述收发模块，还用于接收所述第一控制器发送的写数据指令，所述写数据指令
10 包括源地址和所述目的地址，所述源地址为所述数据存储在该控制缓存模块中的地址；

所述处理模块，还用于根据所述源地址从所述控制缓存模块中读取所述数据，保存所述数据至所述目的地址。

15、如权利要求 12 所述的装置，其特征在于，所述装置还包括非易失缓存模块，所述非易失缓存模块由 NVM 介质组成，所述非易失缓存模块与所述处理模块连接；

所述收发模块，还用于接收所述第一控制器发送的所述目的地址和所述数据；

所述处理模块，还用于保存所述数据至所述非易失缓存模块，所述非易失缓存模块包括所述目的地址指向的存储空间。

16、如权利要求 12 所述的装置，其特征在于，所述装置还包括非易失缓存模块和共享存储器，所述非易失缓存模块由 NVM 介质组成，所述共享存储器和所述非易失
20 缓存模块分别与所述处理模块连接，

所述收发模块，还用于接收所述第一控制器发送的所述目的地址和所述数据；

所述处理模块，还用于保存所述数据至所述共享存储器，在所述共享存储器的数据量达到阈值时，保存所述共享存储器中的所述数据至所述非易失缓存模块，所述非
25 易失缓存模块包括所述目的地址指向的存储空间。

17、一种控制设备，其特征在于，配置于存储系统中，所述存储系统包括至少一个共享缓存装置，所述控制设备和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，所述控制设备包括：

30 接收器，用于接收每个所述共享缓存装置发送的目的地址，还用于接收携带所述数据的信息，所述目的地址用于指示数据待写入所述共享缓存装置的地址；

发送器，用于发送所述目的地址和所述数据至发送所述目的地址的所述共享缓存装置，以使每个所述共享缓存装置保存所述数据至所述目的地址指向的存储空间。

18、如权利要求 17 所述的控制设备，其特征在于，所述控制设备还包括：

处理器，用于生成写数据指令，所述写数据指令包括所述数据和所述目的地址；

35 所述发送器，还用于发送所述写数据指令至发送所述目的地址的所述共享缓存装置。

19、如权利要求 17 所述的控制设备，其特征在于，所述控制设备还包括：控制缓存器，

所述处理器，还用于保存所述数据至所述控制缓存器，生成写数据指令，所述写

数据指令包括源地址和所述目的地址，所述源地址为所述数据存储在所述控制缓存器中的地址；

所述发送器，还用于发送所述写数据指令至发送所述目的地址的所述控制缓存器，以使每个所述共享缓存装置根据所述源地址从所述控制缓存器中读取所述数据后保存所述数据至所述目的地址指向的存储空间。

20、一种共享缓存设备，其特征在于，配置于存储系统中，所述存储系统包括第一控制器，所述第一控制器和所述共享缓存设备通过内部总线连接，所述共享缓存设备包括：

收发器，用于发送目的地址至所述第一控制器，还用于接收所述第一控制器发送的所述目的地址和所述数据，所述目的地址用于指示数据待写入所述装置的地址；

处理器，用于保存所述数据至所述目的地址指向的存储空间。

21、如权利要求 20 所述的共享缓存设备，其特征在于，所述收发器，还用于接收所述第一控制器发送的写数据指令，所述写数据指令包括所述数据和所述目的地址。

22、如权利要求 20 所述的共享缓存设备，其特征在于，所述第一控制器包括控制缓存器，

所述收发器，还用于接收所述第一控制器发送的写数据指令，所述写数据指令包括源地址和所述目的地址，所述源地址为所述数据存储在所述控制缓存器中的地址；

所述处理器，还用于根据所述源地址从所述控制缓存器中读取所述数据，保存所述数据至所述目的地址。

23、如权利要求 20 所述的共享缓存设备，其特征在于，所述共享缓存设备还包括非易失缓存器，所述非易失缓存器由 NVM 介质组成，所述非易失缓存器与所述处理器连接；

所述收发器，还用于接收所述第一控制器发送的所述目的地址和所述数据；

所述处理器，还用于保存所述数据至所述非易失缓存器，所述非易失缓存器包括所述目的地址指向的存储空间。

24、如权利要求 20 所述的共享缓存设备，其特征在于，所述共享缓存设备还包括非易失缓存器和共享存储器，所述非易失缓存器由 NVM 介质组成，所述共享存储器和所述非易失缓存器分别与所述处理器连接，

所述收发器，还用于接收所述第一控制器发送的所述目的地址和所述数据；

所述处理器，还用于保存所述数据至所述共享存储器，在所述共享存储器的数据量达到阈值时，保存所述共享存储器中的所述数据至所述非易失缓存器，所述非易失缓存器包括所述目的地址指向的存储空间。

25、一种存储系统，所述存储系统包括如权利要求 9 至 11 中任一项所述的控制器，所述控制器为第一控制器，所述存储系统还包括如权利要求 12 至 16 中任一项所述的至少一个共享缓存装置，所述第一控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接。

26、如权利要求 25 所述的存储系统，其特征在于，所述存储系统还包括第二控制器，所述第二控制器和所述至少一个共享缓存装置中的每个所述共享缓存装置通过内部总线连接，所述共享缓存装置用于：

在所述第一控制器故障时，接收所述第二控制器发送的读数据指令；

查询所述数据；

发送所述数据至所述第二控制器。

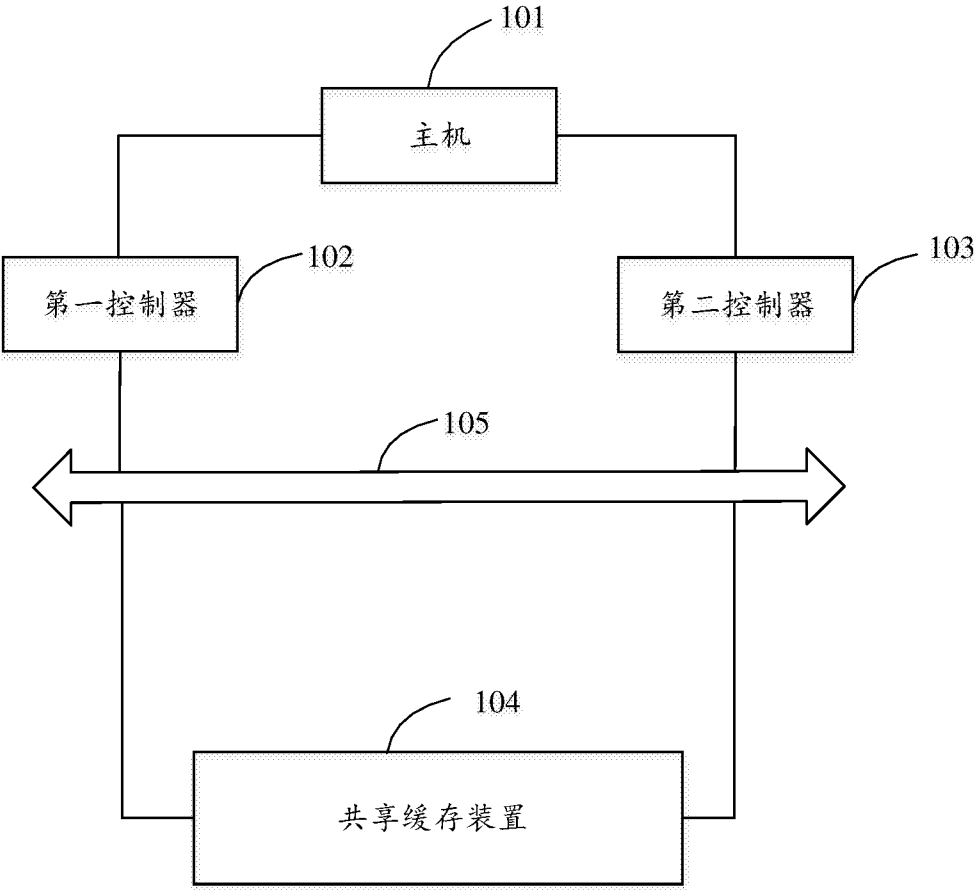


图 1

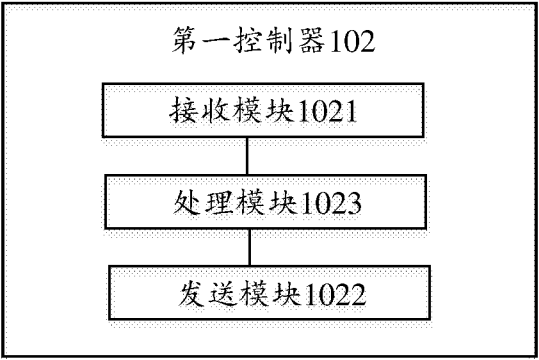


图 2

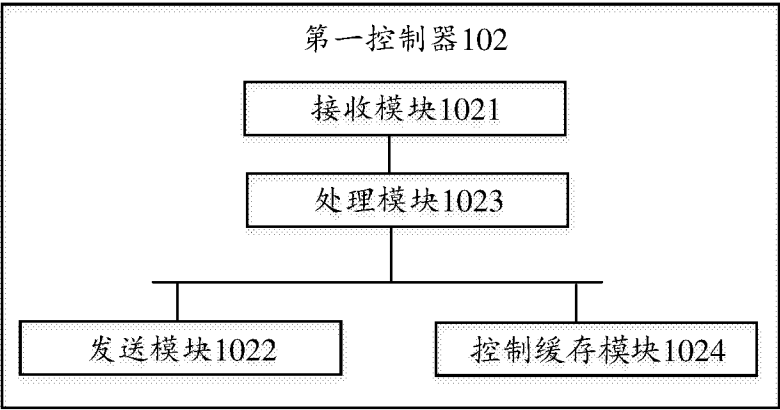


图 3



图 4

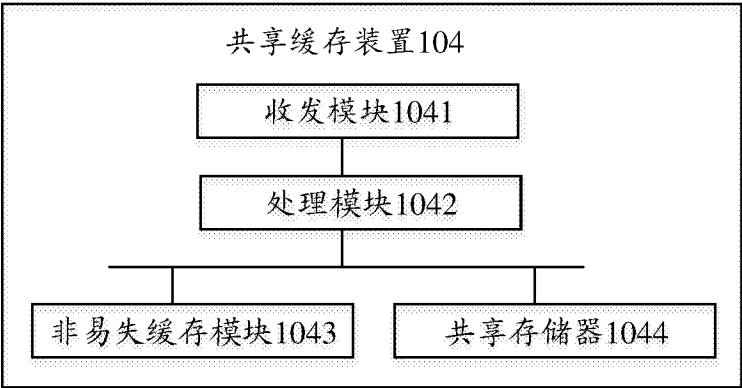


图 5

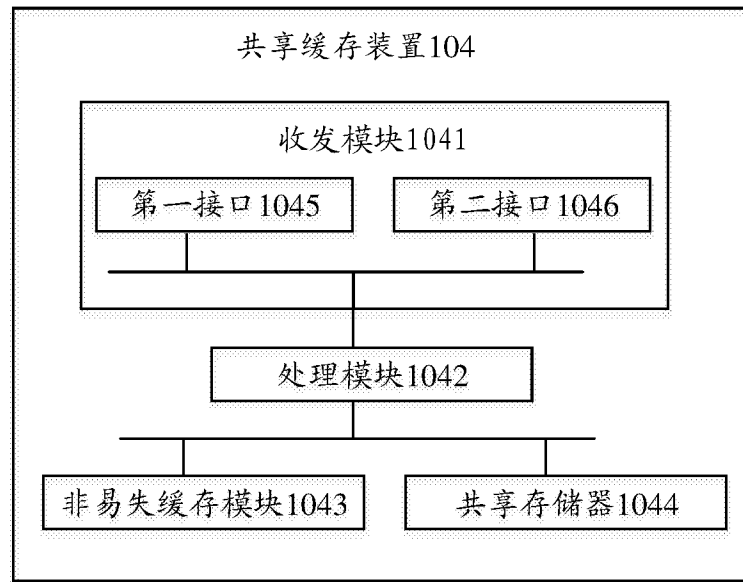


图 6

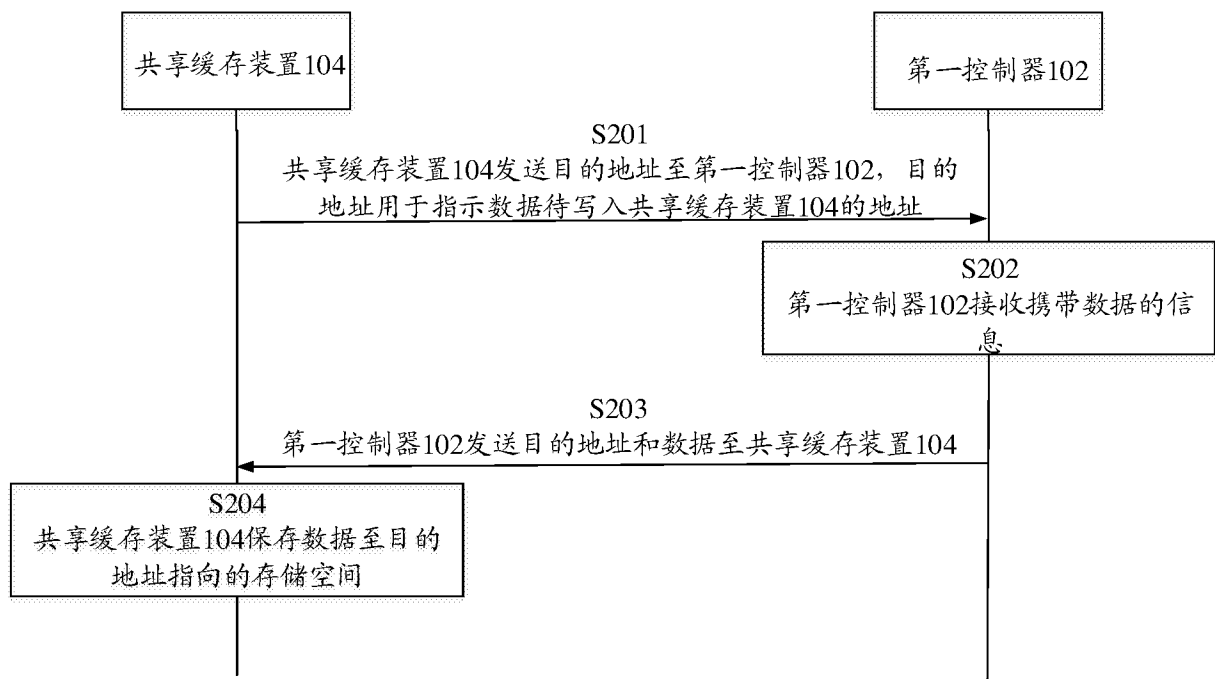


图 7

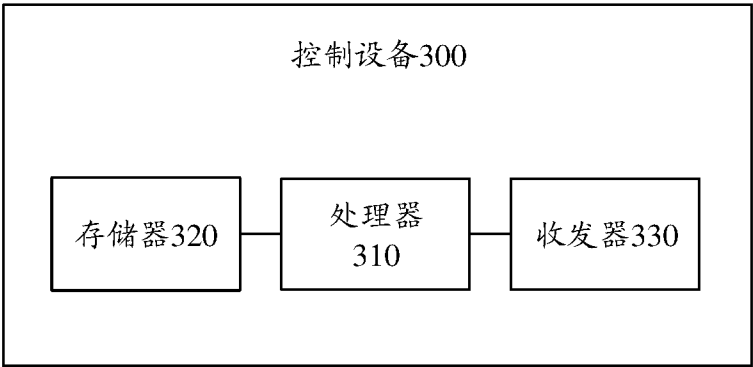


图 8

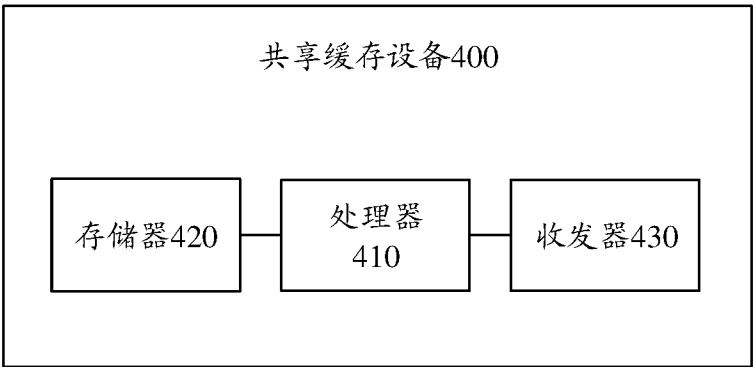


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/090578

A. CLASSIFICATION OF SUBJECT MATTER

G06F 3/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F,H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, GOOGLE: 磁盘阵列, 存储阵列, 控制器, 控制单元, 共享缓存, 共享内存, 内部总线, 前端总线, 通信, 通讯, 内存访问, 格式, 转换, disk, storage, memory, array, cache, controller, share, internal, bus, communication, access, QPI, UPI, HT, GMI, format, transition, transform

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102567227 A (BEIJING BRAINAIRE STORAGE TECHNOLOGY LTD.) 11 July 2012 (2012-07-11) claims 1-4, description, paragraphs [0021]-[0028], and figure 1	1-26
A	CN 1447257 A (VIA TECHNOLOGIES, INC.) 08 October 2003 (2003-10-08) entire document	1-26
A	CN 105991756 A (FUJI XEROX CO., LTD.) 05 October 2016 (2016-10-05) entire document	1-26
A	JP 2016177751 A (FUJI XEROX CO., LTD.) 06 October 2016 (2016-10-06) entire document	1-26

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 August 2018

Date of mailing of the international search report

29 August 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/090578

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102567227	A	11 July 2012	None			
CN	1447257	A	08 October 2003	GB	2390710	A	14 January 2004
				DE	10316725	A1	08 January 2004
				TW	200305103	A	16 October 2003
				US	2003191906	A1	09 October 2003
CN	105991756	A	05 October 2016	JP	2016177752	A	06 October 2016
				US	2016283414	A1	29 September 2016
JP	2016177751	A	06 October 2016	None			

国际检索报告

国际申请号

PCT/CN2018/090578

A. 主题的分类

G06F 3/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F, H04L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI, GOOGLE: 磁盘阵列, 存储阵列, 控制器, 控制单元, 共享缓存, 共享内存, 内部总线, 前端总线, 通信, 通讯, 内存访问, 格式, 转换, disk, storage, memory, array, cache, controller, share, internal, bus, communication, access, QPI, UPI, HT, GMI, format, transition, transform

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102567227 A (北京邦诺存储科技有限公司) 2012年 7月 11日 (2012 - 07 - 11) 权利要求1-4, 说明书第[0021]-[0028]段, 图1	1-26
A	CN 1447257 A (威盛电子股份有限公司) 2003年 10月 8日 (2003 - 10 - 08) 全文	1-26
A	CN 105991756 A (富士施乐株式会社) 2016年 10月 5日 (2016 - 10 - 05) 全文	1-26
A	JP 2016177751 A (FUJI XEROX CO., LTD.) 2016年 10月 6日 (2016 - 10 - 06) 全文	1-26

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 15日

国际检索报告邮寄日期

2018年 8月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王洋

电话号码 (86-10)53961523

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/090578

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102567227	A	2012年 7月 11日	无			
CN	1447257	A	2003年 10月 8日	GB	2390710	A	2004年 1月 14日
				DE	10316725	A1	2004年 1月 8日
				TW	200305103	A	2003年 10月 16日
				US	2003191906	A1	2003年 10月 9日
CN	105991756	A	2016年 10月 5日	JP	2016177752	A	2016年 10月 6日
				US	2016283414	A1	2016年 9月 29日
JP	2016177751	A	2016年 10月 6日	无			