



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201727655 A

(43)公開日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：106110808

(22)申請日：中華民國 104 (2015) 年 12 月 16 日

(51)Int. Cl.：

G11C16/30 (2006.01)

G11C16/14 (2006.01)

G11C16/04 (2006.01)

G11C16/08 (2006.01)

G11C17/06 (2006.01)

(30)優先權：2015/01/21

美國

14/602,262

2015/12/04

世界智慧財產權組織

PCT/US15/64082

(71)申請人：超捷公司(美國) SILICON STORAGE TECHNOLOGY, INC. (US)

美國

(72)發明人：陳 曉萬 TRAN, HIEU VAN (US)；李 英 LY, ANH (US)；武 順 VU, THUAN

(US)；阮 雄國 NGUYEN, HUNG QUOC (US)

(74)代理人：惲軼群

申請實體審查：有 申請專利範圍項數：12 項 圖式數：25 共 60 頁

(54)名稱

使用互補電壓供應之快閃記憶體系統

FLASH MEMORY SYSTEM USING COMPLEMENTARY VOLTAGE SUPPLIES

(57)摘要

一種非揮發性記憶體裝置，其包含一第一導電性類型之一半導體基材。一非揮發性記憶體單元陣列係位於該半導體基材中且以複數列及行配置。各記憶體單元包含在該半導體基材之一表面上的一第二導電性類型之一第一區域，及在該半導體基材之該表面上的該第二導電性類型之一第二區域。該第一區域與該第二區域間有一通道區域。一字線上覆(overlie)該通道區域之一第一部分且與其絕緣，且相鄰於該第一區域且與該第一區域幾乎沒有或完全沒有重疊。一浮閘上覆該通道區域之一第二部分、相鄰於該第一部分且與其絕緣，且相鄰於該第二區域。一耦合閘上覆該浮閘。一位元線經連接至該第一區域。在程式化、讀取或抹除操作期間，可將一負電壓施加至該等經選取或經取消選取記憶體單元之該等字線及/或耦合閘。

A non-volatile memory device comprises a semiconductor substrate of a first conductivity type. An array of non-volatile memory cells is located in the semiconductor substrate and arranged in a plurality of rows and columns. Each memory cell comprises a first region on a surface of the semiconductor substrate of a second conductivity type, and a second region on the surface of the semiconductor substrate of the second conductivity type. A channel region is between the first region and the second region. A word line overlies a first portion of the channel region and is insulated therefrom, and adjacent to the first region and having little or no overlap with the first region. A floating gate overlies a second portion of the channel region, is adjacent to the first portion, and is insulated therefrom and is adjacent to the second region. A coupling gate overlies the floating gate. A bit line is connected to the first region. During the operations of program, read, or erase, a negative voltage can be applied to the word lines and/or coupling gates of the selected or unselected memory cells.

指定代表圖：

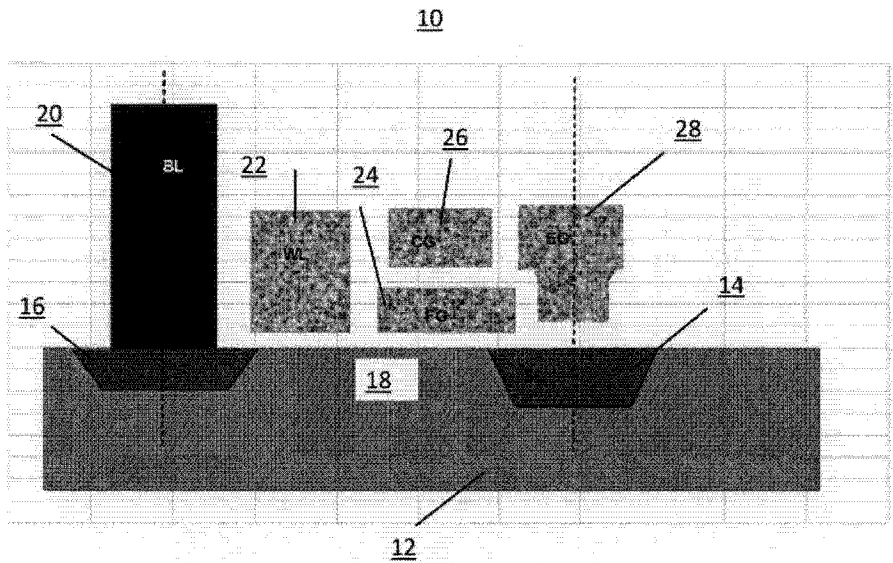


圖 1 (先前技術)

符號簡單說明：

- 10 . . . 非揮發性分離閘記憶體單元；記憶體單元；單元；非揮發性記憶體單元；記憶體裝置
- 12 . . . 半導體基材；基材；P 基材；基材區域
- 14 . . . 第一區域；區域；源極線；SL；源極區域
- 16 . . . 第二區域；字線區域；區域
- 18 . . . 通道區域；區域
- 20 . . . 位元線；BL
- 22 . . . 字線；WL
- 24 . . . 浮閘；FG
- 26 . . . 耦合閘；CG；控制閘；
- 28 . . . 抹除閘；EG

201727655

發明摘要

※ 申請案號：106110808（由104142264分割）

※ 申請日：104.12.16.

※IPC分類：

G11C 16/30 (2006.01)

G11C 16/14 (2006.01)

G11C 16/04 (2006.01)

G11C 16/08 (2006.01)

G11C 17/06 (2006.01)

【發明名稱】

使用互補電壓供應之快閃記憶體系統 / Flash Memory System Using
Complementary Voltage Supplies

【中文】

一種非揮發性記憶體裝置，其包含一第一導電性類型之一半導體基材。一非揮發性記憶體單元陣列係位於該半導體基材中且以複數列及行配置。各記憶體單元包含在該半導體基材之一表面上的一第二導電性類型之一第一區域，及在該半導體基材之該表面上的該第二導電性類型之一第二區域。該第一區域與該第二區域間有一通道區域。一字線上覆(overlie)該通道區域之一第一部分且與其絕緣，且相鄰於該第一區域且與該第一區域幾乎沒有或完全沒有重疊。一浮閘上覆該通道區域之一第二部分、相鄰於該第一部分且與其絕緣，且相鄰於該第二區域。一耦合閘上覆該浮閘。一位元線經連接至該第一區域。在程式化、讀取或抹除操作期間，可將一負電壓施加至該等經選取或經取消選取記憶體單元之該等字線及/或耦合閘。

【英文】

A non-volatile memory device comprises a semiconductor substrate of a first conductivity type. An array of non-volatile memory cells is located in the semiconductor substrate and arranged in a plurality of rows and columns. Each memory cell comprises a first region on a surface of the semiconductor substrate of a second conductivity type, and a second region on the surface of the semiconductor substrate of the second conductivity type. A channel region is between the first region and the second region. A word line overlies a first portion of the channel region and is insulated therefrom, and adjacent to the first region and having little or no overlap with the first region. A floating gate overlies a second portion of the channel region, is adjacent to the first portion, and is insulated therefrom and is adjacent to the second region. A coupling gate overlies the floating gate. A bit line is connected to the first region. During the operations of program, read, or erase, a negative voltage can be applied to the word lines and/or coupling gates of the selected or unselected memory cells.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 10...非揮發性分離閘記憶體單元；記憶體單元；單元；非揮發性記憶體單元；記憶體裝置
- 12...半導體基材；基材；P基材；基材區域
- 14...第一區域；區域；源極線；SL；源極區域
- 16...第二區域；字線區域；區域
- 18...通道區域；區域
- 20...位元線；BL
- 22...字線；WL
- 24...浮閘；FG
- 26...耦合閘；CG；控制閘；
- 28...抹除閘；EG

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

使用互補電壓供應之快閃記憶體系統

5 Flash Memory System Using Complementary Voltage Supplies

【技術領域】

10 【0001】本發明係關於一種非揮發性記憶體單元裝置及其操作方法。更具體地，本發明係關於使用互補電壓供應之此類記憶體裝置。一負電壓係在讀取、程式化或抹除操作期間施加至一經選取或經取消選取之記憶體單元之控制閘及/或字線。

【先前技術】

15 【0002】非揮發性記憶體單元已為所屬技術領域中所熟知。圖1展示一先前技術之非揮發性分離閘記憶體單元10。記憶體單元10包含第一導電性類型（諸如P類型）半導體基材12。基材12具有一表面，其上形成有第一區域14（亦已知為源極線(SL)），其為第二導電類型，如N型。在基材12的表面上形成有第二區域16
20 （亦已知為汲極線），其亦為N型。第一區域14與第二區域16之間係通道區域18。位元線BL 20連接至第二區域16。字線WL 22係位在通道區域18之第一部分上且與其絕緣。字線22幾乎沒有或完全沒有與第二區域16重疊。浮閘FG 24係在通道區域18的另一部分之

上。浮閘24與字線22相鄰且與其絕緣。浮閘24亦與第一區域14相鄰。浮閘24可與第一區域14重疊以提供自區域14至浮閘24中之耦合。耦合閘CG（亦已知為控制閘）26在浮閘24上方且與其絕緣。抹除閘EG 28係在第一區域14之上，並與浮閘24和耦合閘26相鄰且與其絕緣。浮閘24之頂隅角可指向T形抹除閘28之內側隅角以增強抹除效率。抹除閘28亦與第一區域14絕緣。USP 7,868,375中更具體描述單元10，其揭露全文以引用之方式併入本文。

【0003】下文說明習知非揮發性記憶體單元10之抹除及程式化的一例示性操作。透過Fowler-Nordheim穿隧機制，藉由在其他端子等於零伏特的情況下在抹除閘28上施加高電壓來抹除單元10。從浮閘24穿隧至抹除閘28的電子致使浮閘24帶正電，使單元10在讀取狀況下為接通狀態。所得的單元抹除狀態已知為「1」狀態。透過源極側熱電子程式化機制，藉由在耦合閘26上施加高電壓、在源極線14上施加高電壓、在抹除閘28施加中電壓、及在位元線20上施加程式化電流來程式化單元10。流過字線22和浮閘24之間間隙的一部分電子獲得足夠的能量以注入到浮閘24，致使浮閘24帶負電，使單元10在讀取條件中為斷開狀態。所得的單元程式化狀態係已知為「0」狀態。

【0004】在先前技術中，正或零電壓之多種組合經

施加至字線22、耦合閘26、以及浮閘24以執行讀取、程式化、以及抹除操作。對於這些操作，先前技術並未施加負電壓。

【0005】本發明的一項目標係將負電壓及正電壓用於一非揮發性記憶體單元裝置，以在經選取或經取消選取單元之讀取、程式化、及/或抹除操作期間施加一負電壓至字線22及/或耦合閘26（視操作而定）。這會允許使用一較先前技術低之正電壓供應，進而允許該記憶體單元裝置有一更緊密且更具空間效率的佈局。

【發明內容】

【0006】本發明將負電壓及正電壓用於一非揮發性記憶體單元裝置，以在經選取或經取消選取單元之讀取、程式化、及/或抹除操作期間施加一負電壓至字線22及/或耦合閘26（視操作而定）。因此，本發明較先前技術允許該記憶體單元裝置有一更緊密且更具空間效率的佈局。

【圖式簡單說明】

【0007】圖1係可應用本發明之方法之先前技術非揮發性記憶體單元之剖面圖。

【0008】圖2係一非揮發性記憶體裝置之方塊圖，該非揮發性記憶體裝置使用圖1所示之先前技術的非揮發性記憶體單元。

【0009】圖3描繪一非揮發性記憶體裝置之一程式化操作的例示性波形。

【0010】圖4描繪一非揮發性記憶體裝置之一抹除操作的例示性波形。

【0011】圖5描繪一非揮發性記憶體裝置之一正常讀取操作的例示性波形。

5 【0012】圖6描繪一非揮發性記憶體裝置之一讀取操作的例示性波形，該非揮發性記憶體裝置使用容許臨界值(tolerance threshold)來讀取一「0」及一「1」。

【0013】圖7A描繪一非揮發性記憶體單元之一剖面。

10 【0014】圖7B描繪圖7A之記憶體單元之一符號表示。

【0015】圖7C描繪圖7A之記憶體單元之一符號表示。

【0016】圖8描繪一負高電壓位準移位器。

15 【0017】圖9描繪另一負高電壓位準移位器。

【0018】圖10描繪另一負高電壓位準移位器。

【0019】圖11描繪一電壓供應電路。

【0020】圖12描繪另一電壓供應電路。

【0021】圖13描繪一負高電壓放電電路。

20 【0022】圖14描繪另一負高電壓放電電路。

【0023】圖15描繪一接地開關(ground switch)。

【0024】圖16描繪一解碼器電路。

【0025】圖17描繪一耦合閘解碼器電路。

【0026】圖18描繪一抹除閘解碼器電路。

【0027】圖19描繪一源極線解碼器電路。

【0028】圖20描繪一電荷泵。

【0029】圖21描繪一負高電壓位準移位器。

5 【0030】圖22A、圖22B、及圖22C描繪電容器。

【0031】圖23描繪另一負高電壓位準移位器。

【0032】圖24描繪一多工器。

【0033】圖25描繪另一負高電壓位準移位器。

【實施方式】

10 【0034】圖2描繪用於一快閃記憶體系統之一架構的一實施例，該快閃記憶體系統包含晶粒200。晶粒200包含：用於儲存資料的記憶體陣列215及記憶體陣列220，記憶體陣列215及記憶體陣列220包含如先前於圖1描述為記憶體單元10之記憶體單元行及記憶體單元列；墊240及墊280，用於致能晶粒200之其他組件與下列者之間的電連通：通常是，依序連接至接腳（未顯示）的導線接合（未顯示），或用以從封裝晶片外面接取積體電路的封裝凸塊，或用於互連至SOC（系統單晶片）上之其他大型物(macro)的大型介面接腳

15 (macro interface pin)（未顯示）；用以為該系統提供正及負電壓供應的高電壓電路275；用於提供如冗餘及內建自我測試之各種控制功能的控制邏輯270；類比電路265；用以分別自記憶體陣列215及記憶體陣列220

20

讀取資料的感測電路260及261；用以分別在記憶體陣列215及記憶體陣列220中存取欲讀取或欲寫入之列的列解碼器電路245及列解碼器電路246；用以分別在記憶體陣列215及記憶體陣列220中存取欲讀取或欲寫入之
 5 之位元的行解碼器電路255及行解碼器電路256；用以分別為記憶體陣列215及記憶體陣列220的程式化及抹除操作提供增高電壓的電荷泵電路250及電荷泵電路251；由記憶體陣列215及記憶體陣列220共用以用於讀寫操作的負電壓驅動器電路230；在讀寫操作期間由
 10 記憶體陣列215使用的高電壓驅動器電路225及在讀寫操作期間由記憶體陣列220使用的高電壓驅動器電路226。

【0035】回應於讀取命令、抹除命令或程式化命令，邏輯電路270使該多種電壓以一種合時且最不干擾
 15 之方式供應至經選取記憶體單元10及經取消選取記憶體單元10二者的多個部分。

【0036】對於經選取及經取消選取之記憶體單元10，施加之電壓及電流如下：如下文中所使用，使用
 20 下列縮寫：源極線或第一區域14 (SL)、位元線20 (BL)、字線22 (WL)、以及耦合閘26 (CG)。

【0037】先前技術對經選取記憶體單元10或經取消選取記憶體單元10執行讀取、抹除、及程式化操作的方法涉及施加下列電壓：

操作#1：PEO（正抹除操作）表

	WL	WL-取消選取	BL	BL-取消選取	CG	CG-取消選取相同區段	CG-取消選取	EG	EG-取消選取
讀取	1.0至2 V	0V	0.6至2 V	0V	0至2.6 V	0至2.6 V	0至2.6 V	0至2.6 V	0至2.6 V
抹除	0 V	0 V	0 V	0 V	0 V	0至2.6 V	0至2.6 V	11.5至12 V	0至2.6 V
程式化	1 V	0 V	1 uA	Vinh	10至11 V	0至2.6 V	0至2.6 V	4.5至5 V	0至2.6 V

	SL	SL-取消選取
讀取	0 V	0 V
抹除	0 V	0 V
程式化	4.5至5 V	0至1 V

5 【0038】 在一實施例中，當記憶體單元10在讀取及程式化操作期間經取消選取時可將負電壓施加至字線22，使得下列電壓被施加：

操作#2：PEO（正抹除操作）表

	WL	WL-取消選取	BL	BL-取消選取	CG	CG-取消選取相同區段	CG-取消選取	EG	EG-取消選取
讀取	1.0至2 V	-0.5 V / 0 V	0.6至2 V	0 V	0至2.6 V	0至2.6 V	0至2.6 V	0至2.6 V	0至2.6 V
抹除	0 V	0 V	0 V	0 V	0 V	0至2.6 V	0至2.6 V	11.5至12 V	0至2.6 V
程式化	1 V	-0.5 V / 0 V	1 uA	Vinh	10至11 V	0至2.6 V	0至2.6 V	4.5至5 V	0至2.6 V

	SL	SL-取消選取
讀取	0 V	0 V
抹除	0 V	0 V
程式化	4.5至5 V	0至1 V

5 【0039】 在另一實施例中，當記憶體單元10在讀取、抹除、及程式化操作期間經取消選取時可將負電壓施加至字線22，且在一抹除操作期間可將負電壓施加至耦合閘26，使得下列電壓被施加：

操作#3：PNEO（正負抹除操作）表

	WL	WL-取消選取	BL	BL-取消選取	CG	CG-取消選取相同區段	CG-取消選取	EG	EG-取消選取
讀取	1.0至2 V	-0.5 V /0 V	0.6至2 V	0至浮動V	0至2.6 V	0至2.6 V	0至2.6 V	0至2.6 V	0至2.6 V
抹除	0 V	-0.5 V /0 V	0 V	0至浮動V	-（5至9）V	0至2.6 V	0至2.6 V	8至9 V	0至2.6 V
程式化	1 V	-0.5 V /0 V	0.1-1uA	Vinh	8至9 V	CGINH（3至6V）	0至2.6 V	6至9 V	0至2.6 V

	SL	SL-取消選取
讀取	0 V	0至0.5 V
抹除	0 V	0至1 V
程式化	4.5至5 V	0至1 V

 【0040】 以上所列之CGINH信號係經施加至一經取消選取單元之耦合閘26的一抑制信號，該經取消選取單元與

一經選取單元共用一抹除閘28。

【0041】參照圖3，其顯示信號時序波形之一實例，該等信號時序波形係用於如上述操作#3下之一程式化操作。分別對應於記憶體單元10之端子WL、BL、CG、SL、EG的信號WL、BL、CG、SL、EG係如上述。對於程式化，一信號WL 302首先升高（例如 $\sim V_{dd}$ ）（諸如為了在下文描述之解碼器電路1600中設定一控制信號）然後開始穩定下來（至一偏壓電壓 V_{pw1} ）。接著信號BL 304及CG 306升高（例如分別為 $\sim V_{inh} = \sim V_{dd}$ 及10至11 V），再接著SL 308升高（例如 ~ 4.5 V至5 V）。替代地，CG 306在SL 308後升高（如虛線波形所示）。信號CGINH 312與信號CG 306同時升高或大約在相同時間升高（例如，3至6 V），且較佳地在信號EG 310升高（例如，6至9 V）前升高，以降低對具有CGINH位準之經取消選取CG的干擾效應。替代地，信號CGINH 312可與信號EG 310大約在相同時間升高。隨著CG升高，信號WL 302穩定至一電壓 V_{pw1} （例如，1 V），且信號BL 304穩定至一電壓 V_{dp} （例如 ~ 0.5 V）。在經選取WL 302升高之前或同時，經取消選取WL下降至0 V或負值（例如-0.5 V）。經取消選取CG及EG保持在待命值（例如，0至2.6 V）。隨著CG 306升高，經取消選取SL保持在一待命值（例如，0 V）或切換至一偏壓電壓（例如，1 V）

(經取消選取SL切換至一偏壓位準以預防洩漏電流透過該等BL而通過經取消選取單元)。P基材12在程式化中係處於0伏特或替代地可係處於一負電壓位準。

5 【0042】信號BL 304首先升高至Vinh（抑制電壓）以預防由於在斜坡升高(ramp)至程式化電壓期間多種信號尚未穩定而造成無意的程式化干擾。經時間定序之CG 306對SL 310經最佳化以降低干擾效應，例如引起較多干擾之信號則最後升高。程式化脈衝之斜坡下降經反轉以將干擾最小化（即，首先升高的信號現在最後下降）。信號SL 310下降，接著CG 306下降，隨後
10 WL 302及BL 304下降。在使基材P變為負值（例如-1 V）程式化之實施例中，此負切換與信號WL降低或CG升高係同時發生。EG 310及CGINH 312之經時間定序經最佳化以如所示般降低干擾效應（在共用EG經選取
15 列之軟抹除(soft erase)）。信號CGINH 312在信號EG 312之前升高或在大約相同時間升高。隨著CGINH 312在信號EG 312之後下降或在大約相同時間下降，該斜坡下降經反轉。

20 【0043】參照圖4，其顯示信號時序波形之一實例，該等信號時序波形係用於如上述操作#3下之一抹除操作。對於抹除，信號WL 302升高（例如Vdd）（諸如為了在下述之解碼器電路1600中設定控制信號）然後下降（例如0 V，或替代地一負值，諸如-0.5

V)。大約在WL 302降低的同時或稍後，信號CG 306變為負值（例如-6 V至-9 V）。經選取EG 310接著升高（例如9 V至6 V）。信號BL 304、SL 308保持在一待命值（例如0 V）。在經選取EG 310升高之前或同時，經取消選取WL下降至0 V或負值（例如-0.5 V）。經取消選取CG及EG保持在一待命值（例如，0至2.6 V）。替代地，經取消選取CG可處於一負位準（相同於經選取CG負位準）。經取消選取SL保持在一待命值（例如0 V）。P基材12係處於0伏特或替代地可係處於一負電壓位準以增強抹除。

【0044】抹除脈衝之斜坡下降經大約依序反轉（即，首先升高的信號現在最後下降）。信號EG 310及CG 306變為待命值（例如0 V）。

【0045】參照圖5，其顯示信號時序波形之一實例，該等信號時序波形係用於如上述操作#3下之一讀取操作。參照圖6，圖中展示用於如上述之正/負偏壓位準之讀取信號的一信號時序波形之一實例，其用於本發明之記憶體裝置10中。針對在完整的非揮發性抹除/程式化/讀取操作，此讀取信號之波形跟隨圖3中的程式化及抹除信號波形。對於讀取正常(Read Normal)波形，SL 308係在待命值（例如0 V）。CG 306係在待命值（例如0 V或2.6 V）或替代地在讀取中切換至一較高偏壓值（例如3.6V，以幫助提高記憶體單元電流，此

係由於在讀取條件中CG電壓耦合至FG電位)。EG 310
 係在待命值(例如0 V或2.6 V)或替代地在讀取中切
 換至一偏壓值(例如3.6V,以幫助提高記憶體單元電
 流,此係由於在讀取條件中EG電壓耦合至FG電位)。
 5 該等待命值相似於用於程式化及抹除條件之待命值。
 WL 302及BL 304在讀取中切換至偏壓位準(例如分
 別為2.6 V及1.0 V)至經選取記憶體單元以用於讀
 取。經取消選取WL可於0伏特或一負電壓位準經偏
 壓,例如-0.5 V(以降低經取消選取列上的漏電)。經
 10 取消選取SL可於0伏特或一正偏壓電壓位準經偏壓,例
 如0.1至0.7 V(以降低經取消選取列上的漏電)。經取
 取消選取BL可於0伏特經偏壓或替代地經浮動,意即未施
 加電壓(有效地在讀取中降低BL-BL電容)。

【0046】參照圖6,在程式化整個陣列後,執行一讀
 15 取邊限0 (Read Margin0)操作以偵測弱程式化單元。在程
 式化後,單元電流通常處在一非常低的值(<奈安培
 (nA)),此對應於讀出一「0」數位值(無單元電流)。然
 而,一些單元可能會約略保持在數微安培(由於因多種原
 因所致的弱程式化,諸如單元漏電、弱的單元程式化耦合
 20 比、程序幾何效應等),而這可在記憶體裝置10之操作壽
 命期間導致讀取「0」失敗。使用一讀取邊限0以篩除彼
 等弱的單元。對於讀取邊限0波形,SL 308係在待命值
 (例如0 V)。如同在讀取正常條件中,WL 302及BL 304

在讀取中切換至偏壓位準（例如分別為2.6 V及1.0 V）至經選取記憶體單元以用於讀取。CG 306在讀取中於一邊限0值經偏壓（例如3 V）以偵測弱的經程式化單元。CG電壓將耦合至FG電位中以放大該弱程式化效應，有效地提高單元電流，以使該等弱的單元現在讀數為「1」而不是「0」（實際上有單元電流，而非沒有單元電流）。

【0047】在抹除整個陣列後，執行一讀取邊限1操作以偵測弱的抹除單元。現將負CG用於偵測此情況。SL 308係在待命值（例如0 V）。如同在讀取正常條件中，WL 302及BL 304在讀取中切換至偏壓位準（例如分別為2.6 V及1.0 V）至經選取記憶體單元以用於讀取。CG 306在讀取中於一邊限1值經偏壓（例如-3 V至-5 V）以偵測弱的經抹除單元。CG電壓將負耦合至FG電位中以放大該弱抹除效應，有效地減少單元電流（較少的FG電位），以使該等弱的經抹除單元現在讀數為「0」而不是「1」（實際上沒有單元電流，而非有單元電流）。

【0048】參照圖7A，所描繪者係用於記憶體單元10之一裝置剖面的一實施例。用於記憶體單元10之一裝置剖面的替代實施例係於P基材730中（不具有高電壓P井710及深N井720）。經顯示，具有源極區域14、字線區域16、通道區域18、及基材區域12的記憶體單元10係坐落於區域高電壓(HV)P井710內部（未顯示記

憶體單元10之其他區域或端子)。區域P井710坐落於一深N井(DNW)區域720內部。深N井區域720坐落於一P
 5 基材730內部。由於DNW區域720(一般係連接至0伏特或Vdd)之隔離特徵，HV P井710可經負偏壓以增強該等記憶體單元(例如於抹除或程式化中)之電氣性能。

【0049】圖7中之裝置剖面亦適用於深N井中之一高電壓NMOS電晶體，其中分別以高電壓NMOS源極、汲極、及通道取代記憶體單元10之區域16、14、
 10 18。深N井720相似地作用為一電壓隔離區域以使該高電壓NMOS可應用於一負電壓操作中。實施例經完成以確保將跨DNW中之HV NMOS電晶體的端子及接面之應力降低。

【0050】參照圖7B，所描繪者係記憶體單元10之一符號表示740，其中深N井720經顯示為「DNW」而
 15 HV P井710經顯示為「P井」。顯示於圖7B中者係深N井720內部之HV P井710中之NMOS的一電晶體符號750。

【0051】參照圖8，所描繪者係一位準移位器之一第一實施例，即負高電壓位準移位器800，其可含在圖2中之邏輯270、負電壓驅動器電路230、高電壓驅動器電路
 20 225、及/或高電壓驅動器電路226中。

【0052】負高電壓位準移位器800接收一輸入IN，

並產生一輸出VNB_N。負高電壓位準移位器800驅動電晶體820及電晶體830之深N井DNWB 804，以將電晶體820及電晶體830之層間崩潰的發生減到最低。DNW控制電路835接收輸入IN₂ 802以產生適當的輸出DNWB 804位準以降低電晶體820及830之電壓應力。反相器805接收一輸入IN並產生一反相器輸出INB，該反相器輸出經輸入反相器810及PMOS電晶體825之閘極中。反相器810之輸出經耦合至PMOS電晶體815之閘極。PMOS電晶體815及825如所示經耦合至NMOS電晶體820及830。輸出VOUT 808可在VHVNEG 806與V_{dd}間變化，在此實例中分別係-8 V及2 V。該DNWB位準（例如）可係從0 V至V_{dd}（例如，2.5 V）且當VHVNEG係-8 V時其係0 V。此將DNWB及HV P井與電晶體820及830之源極/汲極間的電壓應力最小化至8 V（而非8 V+2.5 V=10.5 V）。替代地，當VHVNEG係-8 V時，該DNWB位準可經驅動至-0.5 V（而不需使P基材-DNW接面順向）以進一步將該電壓應力最小化。在其他時候（例如當VHVNEG係在0伏特或在一小的負電壓時），DNW控制電路835可將DNWB驅動為正（例如，V_{dd}位準）以將雜訊或閃鎖效應(latch-up)最小化（防止P基材與深N井接面成為順向）。此用於驅動DNWB之技術適用於所有將說明之實施例。

【0053】參照圖9，所描繪者係一位準移位器之一第二實施例，即負高電壓位準移位器900，其可含在圖2中之邏輯270、負電壓驅動器電路230、高電壓驅動器電路225、及/或高電壓驅動器電路226中。負高電壓位準移位器900包含與負高電壓位準移位器800相同的組件，再加上如所示之疊接PMOS電晶體935及945與疊接NMOS電晶體940及950。負高電壓位準移位器900接收一輸入IN，並產生一輸出OUT 908。輸出OUT 908在VHVNEG 906與Vdd間變化，在此實例中分別係-8 V及2 V。DNWB信號904係以相似於負高電壓位準移位器電路800之DNWB信號的方式來驅動，以將電壓應力最小化。將PMOS電晶體935及945之閘極連接至gnd (=0V而非= Vdd) 以將跨閘極-源極/汲極端子之電壓應力最小化。將NMOS電晶體940及950之閘極連接至VNBN 960 (=介於Vdd與一中間負位準之間，例如-3 V) 以將跨閘極-源極/汲極 (例如，8 V-3 V = 5 V而非8+Vdd=10.5 V)、源極-汲極 (例如，8 V-3 V-Vt~4 V而非8+Vdd=10.5 V，Vt = NMOS臨界值電壓) 之電壓應力最小化。

【0054】參照圖10，所描繪者係一位準移位器之一第三實施例，即負高電壓位準移位器1000，其可含在圖2中之邏輯270、負電壓驅動器電路230、高電壓驅動器電路225、及/或高電壓驅動器電路226中。負高電

壓位準移位器1000包含與負高電壓位準移位器900相同的組件，再加上由PMOS電晶體1075及1085與NMOS電晶體1080及1090組成之一中間（中）負位準移位器1002。引入中間負位準移位器1002（具有一中間負位準VHVNEGM（例如，-3 V）及用於PMOS電晶體之閘極及NMOS電晶體之閘極的額外中間負偏壓位準VNBP 1065）係為了在該負（高）位準移位器中跨該等PMOS及NMOS電晶體之端子降低電壓應力。負高電壓位準移位器1000接收一輸入IN，並產生一輸出OUT 1008。輸出OUT 1008在VHVNEG 1006、GND與Vdd間變化，在此實例中分別係-8 V、0 V及2 V。輸出OUT 1008在VHVNEG 1006與GND(=VDDSWX 1012)間變化，在此實例中當電壓VHVNEG 1006係於最大高負電壓-8 V時分別係-8 V及0 V。VHVNEGM可包含-3 V之一負電力供應。中間負位準移位器1002之輸出OUT 1086及OUTM_N 1076在VHVNEGM與Vdd間變化，在此實例中分別係-3 V及2 V。VDDSWX 1012可係於2 V及0 V間切換之一切換供應。VDDSWX（Vdd高供應）1012初始係於Vdd（例如，2 V），且當VHVNEG 1006係於最大負電壓之大約一半（例如，-4 V）或於最大負電壓（例如，-8 V）時，VDDSWX 1012係切換至0 V。VNBP 1065可於0 V及-3 V間切換。當VDDSWX 1012係於0 V

時，VNBP 1065係於-3 V、輸出OUTM_N 1076係於-3 V (=VHVNEGM)以傳輸0 V至輸出OUT 1008。由於電壓VNBP 1065係於中間負電壓-3 V，跨電晶體1035及1045之閘極-源極/汲極的電壓應力係經降低。

5 由於電壓VNBN 1060係於中間負電壓-3 V，跨電晶體1040及1050之閘極-源極/汲極的電壓應力係經降低、且跨電晶體1020及1030之源極-汲極的電壓應力係經降低。由於電壓OUT 1008係於0 V（而非=Vdd），跨電晶體1020及1030之閘極-源極/汲極的電壓應力係經降

10 低，且跨電晶體1040及1050之源極-汲極的電壓應力係經降低。疊接PMOS電晶體1035及1045使其等之主體（N井）連接至其源極以降低該主體與汲極/源極間的電壓應力。疊接NMOS電晶體1040及1050使其等之主體（P井）連接至其源極以降低該主體與汲極/源極間的

15 電壓應力。

【0055】參照圖 11，所描繪者係電壓供應電路1100。電壓供應電路1100包含一第一負電壓位準移位器電路1105及一第二負電壓位準移位器電路1110，其等之各者可包含負高電壓位準移位器800、900、及1000中之一者。在此實施例中，第一負電壓位準移位器電路1105及第二負電壓位準移位器電路1110一起包含負高電壓位準移位器1000並接收一輸入IN，並產生一中（中間）負電壓VHVNEGM（在此實例中於2 V與-3 V之範圍間）及

20

一高負電壓VHVNEG（在此實例中於0 V與-8 V之範圍間）。第一負電壓位準移位器電路1105及第二負電壓位準移位器電路1110如所示經耦合至NMOS電晶體1115（疊接電晶體）及NMOS電晶體1120。DNWB接收Vdd或0 V之值，而VPNext_pin 1101接收2 V或-8 V之一電壓。當電路1100經致能時，電路1105及1110之輸出係（例如）等於2 V，此使NMOS電晶體1115及1120可傳輸VPNext_pin 1101位準進入VHVNEG 1106。當電路1100經去能時，電路1105及1110之輸出係（例如）分別等於-3 V及-8 V，此使NMOS電晶體1115及1120去能。

【0056】參照圖12，所描繪者係電壓供應電路1200。電壓供應電路1200包含負電壓位準移位器電路1225及1240，其等之各者包含負高電壓位準移位器800、900、及1000中之一者。電壓供應電路1200接收一致能信號EN_TXN，致能信號EN_TXN在「斷開」狀態中係0 V而在「接通」狀態中係2 V，並產生一高負電壓VHVNEG（在此實例中係介於0 V與-8 V之範圍間）。VNEG_3V係2 V或-3 V。負電荷泵1230及1235各將一-8 V之輸入泵至一-12 V之輸出。當電路1200經致能時，電路1230及1235之輸出係於（例如）-12 V，從而使PMOS電晶體1215及1220可從VPNext_pin位準傳輸電壓進入VHVNEG 1206。當電路1200經去能時，電路1230及1235之輸出係（例如）

分別於2 V及0 V，此使PMOS電晶體1215及1220去能。PMOS電晶體1210及1245分別作用為降低電晶體1205及1250之電壓應力的疊接電晶體。

【0057】參照圖13，所描繪者係負高電壓放電電路1300。當輸入IN3、IN1st及IN2nd之狀態改變成致能，電晶體1315及1325經致能且電路1350及1355之輸出係（例如）等於Vdd (2 V)，VHVNEG係透過N2從-8 V放電至約-0.7 V。NMOS電晶體1340（疊接電晶體）及1345之閘極在斷開狀態（電路1350及1355去能）中等於（例如）-3 V及-8 V以將負位準VHVNEG從NMOS電晶體1335隔離。該放電電流係初始由電流偏壓1310（由輸入IN1st致能）控制接著由電晶體1325（由輸入IN2nd致能）控制。

【0058】參照圖14，所描繪者係負高電壓放電電路1400。當輸入IN1st及IN2nd之狀態改變為致能，VHVNEG係從-8 V放電至一中間負電壓位準，該位準由連接至NMOS電晶體1455及1460之二極體之Vt（臨界值電壓）的數目決定。該放電電流係初始由電流偏壓1435（由輸入IN1st致能）控制接著由電晶體1445（由輸入IN2nd致能）控制。接著將VHVNEG透過N1 1415及N2 1420電晶體快速從該中間負位準放電至約0.0 V。NMOS電晶體1415（疊接電晶體）及1420之閘極係分別由中負位準移位器1405及高負位準移位器1410控制。

【0059】參照圖15，所描繪者係接地開關電路1500。接地開關電路1500包含負高電壓電路1505、負高電壓電路1510、NMOS電晶體1515、及NMOS電晶體1520。接地開關電路1500接收一輸入信號IN，並產生一輸出信號VHVNEG。

【0060】參照圖16，所描繪者係解碼器電路1600。解碼器電路1600可含在圖2中之邏輯270、負電壓驅動器電路230、高電壓驅動器電路225、及/或高電壓驅動器電路226中。解碼器電路1600包含高電壓位準移位器1605、負高電壓位準移位器1610、高電壓決定器致能電路1615、抹除閘解碼器1620、控制閘解碼器1625、及源極線解碼器1630。高電壓致能電路1615係用於將來自高電壓位準移位器1605之一高電壓及/或來自負高電壓位準移位器1610之一負高電壓施加至抹除閘解碼器1620、耦合閘解碼器1625、及/或源極線解碼器1630。

【0061】參照圖17，顯示用於控制閘解碼器1625之一實施例1700。控制閘解碼器1700包含：PMOS電晶體1705及1710，其等於一讀取操作期間為控制閘提供一偏壓電壓VCGSUPR，其電流經由PMOS電晶體1705控制；PMOS電晶體1725，其為一負高電壓提供隔離；PMOS電晶體1715及1720，其等在程式化中透過PMOS電晶體提供一正高電壓；及NMOS電晶體1730、1735、1740及1745，其等可在程式化中為該

控制閘及NMOS電晶體1750及1755提供一抑制電壓，NMOS電晶體1750及1755可與NMOS電晶體1730一起在抹除中為該控制閘提供一負高電壓。NMOS電晶體1755作用為該等控制閘之負電壓供應的一電流控制。

5 NMOS電晶體1750係由一負電壓位準移位器致能，該負電壓位準移位器係由一局部經解碼區段致能，該局部之經解碼區段在抹除中致能線SECHV_EN。如所示，電路1700為四個控制閘CG [3:0]、一抹除閘EG、及一源極線SL提供解碼。有四個具有閘極之PMOS電晶體

10 1715經由四個總體經預解碼CG線CGPH_HV_N[3:0]被致能。有四個具有閘極之PMOS電晶體1710經由一局部經解碼區段致能，該局部經解碼區段致能線SECHV_EN。有四個具有閘極之隔離PMOS電晶體1725經由一接地線致能。有四個具有閘極之NMOS電

15 晶體1730經由四個總體經預解碼CG線CGNH_HV_N[3:0]被致能。PMOS電晶體1720係由一局部經解碼區段致能，該局部經解碼區段致能線SECHV_EN_N以將正高電壓VCGSUP傳輸進入該等控制閘。NMOS電晶體1735及1740係分別由一局部控制信號CGN_ISO1及CGN_ISO2致能，以傳輸

20 CG_LOW_BIAS（例如程式化中之抑制電壓）或作用為隔離電壓（例如，分別為-8 V及-3 V）。NMOS電晶體1745係由一局部經解碼區段致能，該局部經解碼區

段致能線SECHV_EN以將CG_LOW_BIAS位準傳輸進入該控制閘。DNWB 1704係經控制以在VHVNEG處於一負電壓（例如，-8 V）時為0 V。如所示，在CG解碼器1700之正CG解碼功能中不需要疊接電晶體。替代地，對於負CG解碼，疊接NMOS電晶體1740係可選的。替代地，用於負CG解碼1755之以電流控制的NMOS電晶體係可選的。

【0062】參照圖18，顯示用於抹除閘解碼器1620之一實施例1800。抹除閘解碼器1800包含PMOS電晶體1805及1810與NMOS電晶體1815。PMOS電晶體1810係一經電流控制以將一電壓或一高電壓VEGSUP傳輸進入該抹除閘。PMOS電晶體1805係由一局部經解碼區段致能，該局部經解碼區段致能線EN_HV_N以將電壓VEGSUP位準傳輸進入該抹除閘。NMOS電晶體1815係用於將電壓EG_LOW_BIAS位準（例如，0 V至2.6 V）傳輸進入該抹除閘。該經解碼抹除閘係跨記憶體單元之多個列共用。如所示，在EG解碼器1620中不需要疊接電晶體。替代地，可為EG解碼器1629實施疊接電晶體PMOS及NMOS。

【0063】參照圖19，顯示用於源極線解碼器1630之一實施例1900。源極線解碼器1900包含NMOS電晶體1905、1910、1915、及1920。源極線解碼器1900為一經取消選取單元之源極線提供在一值約0.5 V之一

偏壓電壓SLP_LOW_BIAS。施加此偏壓電壓可預防經取消選取記憶體單元之漏電。NMOS電晶體1915係用於在程式化中將VSLSUP位準傳輸進入該源極線。該經解碼源極線係跨記憶體單元的多個列共用。NMOS電晶體1920係用於在程式化中監視來自該源極線的VSLMON位準。NMOS電晶體1905係用於在讀取中將SLRD_LOW_BIAS（例如，0 V）位準傳輸進入該源極線。

【0064】參照圖20，所描繪者係高電壓負電荷泵電路2000。高電壓負電荷泵電路2000包含經耦合至負泵輸出之PMOS電晶體2005及PMOS電晶體2010、經耦合至正泵輸出之NMOS電晶體2015及NMOS電晶體2020、及泵級電路2025、2030、2035、及2040。高電壓負電荷泵電路2000提供一高負電壓VHV_NEG、及一高正電壓VHV_POS，其中泵級電路2025、2030、2035、及2045之各者接收一電壓並輸出一較高正電壓或一高負電壓。各級之傳輸型NMOS電晶體的主體（P井）係如所示般耦合至前一級之輸出。該等NMOS電晶體之DNWB在負電壓泵中係於0 V、在正電壓泵中係於HV、及可選地在其他時候係於Vdd經偏壓。

【0065】參照圖22A、圖22B、及圖22C，所描繪者係可用於電荷泵電路2000中之電容器的實例，包括

PMOS 電晶體 2205、電容器 2210、及 NMOS 電晶體 2215 之使用。

【0066】參照圖 21，所描繪者係負高電壓位準移位器 2100。負高電壓位準移位器 2100 之組件係與圖 10 中所示負高電壓位準移位器 1000 之彼等組件相同，不同處在於圖 21 中之 HV N 井（PMOS 電晶體之主體）係由輸入反相器驅動，當該特定電晶體為切斷時係於 0 V，以將該電晶體中之接面崩潰減到最低。

【0067】參照圖 23，所描繪者係負高電壓位準移位器 2300。負高電壓位準移位器 2300 接收一輸入 IN，並產生一輸出 OUT。在此實例中 OUT 係 -8 V 或 2 V。DNWB 係由 Vdd 或 0 V 驅動。在此電路中有兩個 PMOS 串聯，但在該位準移位器之各接腳中僅有單一 NMOS。

【0068】參照圖 24，多工電路 2400 僅描繪 NMOS 傳輸閘。

【0069】參照圖 25，所描繪者係負高電壓位準移位器 2500。負高電壓位準移位器 2500 之組件係與圖 9 中所示負高電壓位準移位器 900 之彼等組件相同，不同處在於用於疊接用途之 PMOS 及 NMOS 電晶體有其等自身之個別主體。

【0070】在讀取、抹除及程式化操作期間施加一負電壓至經取消選取或經選取記憶體單元 10 之字線 22 或

耦合閘26的益處是允許更有效地縮小記憶體單元之尺度。在抹除期間，經選取記憶體單元之字線上的負電壓允許讓整體抹除電壓降低，進而允許讓單元尺寸變得較小（跨多種單元間或層間維度之水平或垂直間隔、隔離、寬度、長度等維持較少的電壓）。在程式化期間，經取消選取記憶體單元之字線上的負電壓使經取消選取記憶體單元漏電減少，導致較少干擾（對於相同區段內之經取消選取單元）、較精確之程式化電流（對於經選取單元則為較少之漏電干擾）及較少耗電。對於讀取，經取消選取記憶體單元之字線上的負電壓由於來自漏電的干擾較少，導致較精確的感測。將負字線、負耦合閘及負P基材結合用於記憶體陣列操作中亦係有利的，得到降低的抹除/程式化電壓及電流、較有效的抹除及程式化、較少單元干擾、以及較少單元漏電。

【符號說明】

10...非揮發性分離閘記憶體單元；記憶體單元；單元；非揮發性記憶體單元；記憶體裝置

12...半導體基材；基材；P基材；基材區域

14...第一區域；區域；源極線；SL；源極區域

16...第二區域；字線區域；區域

18...通道區域；區域

20...位元線；BL

22...字線；WL

24...浮閘；FG

26...耦合閘；CG；控制閘；
 28...抹除閘；EG
 200...晶粒
 215、220...記憶體陣列
 225、226...高電壓驅動器電路
 230...負電壓驅動器電路
 240、280...墊
 245、246...列解碼器電路
 250、251...電荷泵電路
 255、256...行解碼器電路
 260、261...感測電路
 265...類比電路
 270...控制邏輯；邏輯電路；邏輯
 275...高電壓電路
 302...信號WL；WL
 304...信號BL；BL
 306...信號CG；CG
 308...SL；信號SL
 310...信號EG；SL；信號SL；EG
 312...信號CGINH；CGINH
 710...高電壓P井；區域高電壓P井；區域P井；HV P井
 720...深N井；深N井(DNW)區域；深N井區域；DNW區域
 730...P基材
 740...符號表示

750...電晶體符號

800...負高電壓位準移位器；負高電壓位準移位器電路

802...輸入IN2

804...深N井DNWB；輸出DNWB

805、810...反相器

806、906、1006、1106、1206...VHVNEG

808...輸出VOUT

815、825、1075、1085、1210、1215、1220、1245、
1705、1710、1715、1720、1805、1810、2005、
2010、2205...PMOS電晶體

820、830...電晶體；NMOS電晶體

835...DNW控制電路

900、1000、1610、2100、2300、2500...負高電壓位準移位器

904...DNWB信號

908、1086...輸出OUT

935...疊接PMOS電晶體；PMOS電晶體

940、950...疊接NMOS電晶體；NMOS電晶體

960...VNBIN

1002...中間（中）負位準移位器

1008...輸出OUT；電壓OUT

1012...VDDSWX

1020、1030、1205、1250、1315、1325、1445...電晶體

1035、1045...電晶體；疊接PMOS電晶體

1040、1050...電晶體；疊接NMOS電晶體

1060...電壓VNBN

1065...中間負偏壓位準VNBP；VNBP；電壓VNBP

1076...輸出OUTM_N

1080、1090、1115、1120、1335、1455、1460、1515、
1520、1730、1735、1745、1750、1815、1905、1910、
1915、1920、2015、2020、2215、...NMOS電晶體

1100、1200...電壓供應電路；電路

1101...VPNext_pin

1105...第一負電壓位準移位器電路；電路

1110...第二負電壓位準移位器電路；電路

1225、1240...負電壓位準移位器電路

1230、1235...負電荷泵；電路

1300、1400...負高電壓放電電路

1310、1435...電流偏壓

1340、1345...NMOS電晶體；疊接電晶體

1350、1355...電路

1405...中負位準移位器

1410...高負位準移位器

1415...N1；NMOS電晶體；疊接電晶體

1420...N2；NMOS電晶體；疊接電晶體

1500...接地開關電路

1505、1510...負高電壓電路

1600...解碼器電路

1605...高電壓位準移位器

1615...高電壓決定器賦能電路；高電壓賦能電路
 1620...抹除閘解碼器；EG解碼器
 1625...控制閘解碼器；耦合閘解碼器
 1630...源極線解碼器
 1700...實施例；控制閘解碼器；電路；CG解碼器
 1704...DNWB
 1725...PMOS電晶體；隔離PMOS電晶體
 1740...NMOS電晶體；疊接NMOS電晶體
 1755...NMOS電晶體；負CG解碼
 1800...實施例；抹除閘解碼器
 1900...實施例；源極線解碼器
 2000...高電壓負電荷泵電路；電荷泵電路
 2025、2030、2035、2040、2045...泵級電路
 2210...電容器
 2400...多工電路
 BL...位元線
 CG...控制閘
 EG...抹除閘
 FG...浮閘
 SL...源極線
 WL...字線

申請專利範圍

1. 一種用於與一快閃記憶體單元之一耦合閘並用之解碼器電路，該解碼器電路包含：

一第一電路，其用於在該快閃記憶體單元經選取以用於一讀取操作時提供一偏壓電壓至該耦合閘；

一第二電路，其用於在該快閃記憶體單元經選取以用於一程式化操作時提供一正電壓至該耦合閘；

一第三電路，其用於在該快閃記憶體單元經選取以用於一抹除操作時提供一電壓至該耦合閘；以及

一第四電路，其用於在該快閃記憶體單元經取消選取時提供一抑制電壓至該耦合閘。

2. 如請求項1之電路，其中該解碼器電路不含有疊接電晶體。

3. 如請求項1之電路，其中該第三電路為該耦合閘提供一負電壓。

4. 一種用於與一快閃記憶體單元並用之解碼器電路，該解碼器電路包含：

一抹除閘解碼器電路，其用於與該快閃記憶體單元之一抹除閘並用；

一源極線解碼器電路，其用於與該快閃記憶體單元之一源極線並用；

一耦合閘解碼器電路，其用於與該快閃記憶體單元之

一耦合閘並用，該耦合閘解碼器電路包含：

一第一電路，其用於在該快閃記憶體單元經選取以用於一讀取操作時提供一偏壓電壓至該耦合閘；

5 一第二電路，其用於在該快閃記憶體單元經選取以用於一程式化操作時提供一正電壓至該耦合閘；

一第三電路，其用於在該快閃記憶體單元經選取以用於一抹除操作時提供一電壓至該耦合閘；以及

一第四電路，其用於在該快閃記憶體單元經取消選取時提供一抑制電壓至該耦合閘。

10 5. 如請求項4之電路，其中該耦合閘解碼器電路不含有疊接電晶體。

6. 如請求項4之電路，其中該第三電路為該耦合閘提供一負電壓。

15 7. 一種操作包含一第一組記憶體單元及一第二組記憶體單元之一快閃記憶體裝置的方法，該方法包含：

抹除該第一組記憶體單元，該抹除步驟包含：

施加一第一負電壓至該第一組記憶體單元之各耦合閘；

20 施加一非負電壓至該第一組記憶體單元之各字線及位元線；以及

施加一第一正電壓至該第一組記憶體單元之各抹除閘；以及

藉由施加一第二正電壓至該第二組記憶體單元之各耦合閘來抑制抹除該第二組記憶體單元。

8. 如請求項7之方法，其中施加一第二正電壓之步驟與施加一第一負電壓之步驟同時發生或在大約相同時間發生，且施加一第二正電壓之步驟於施加一第一正電壓之步驟之前發生。

9. 一種用於接收一輸入並產生一輸出之負高電壓位準移位器，該負高電壓位準移位器包含：

一疊接電路，其包含一第一PMOS電晶體、一第二PMOS電晶體、一第一NMOS電晶體及一第二NMOS電晶體，該第一NMOS電晶體包含一深N井，該第二NMOS電晶體包含一深N井；

其中該第一NMOS電晶體之一端子經耦合至該第二NMOS電晶體之一端子並產生一高負電壓作為回應於該輸入之該輸出。

10. 如請求項9之負高電壓位準移位器，其中當該輸出產生一高負電壓時，該深N井經驅動至0伏特。

11. 如請求項9之負高電壓位準移位器，其進一步包含一負中電壓位準移位器電路。

12. 如請求項9之負高電壓位準移位器，其中當該負高電壓位準移位器之一輸出產生一負電壓時，一Vdd高壓供應切換至接地。

圖式

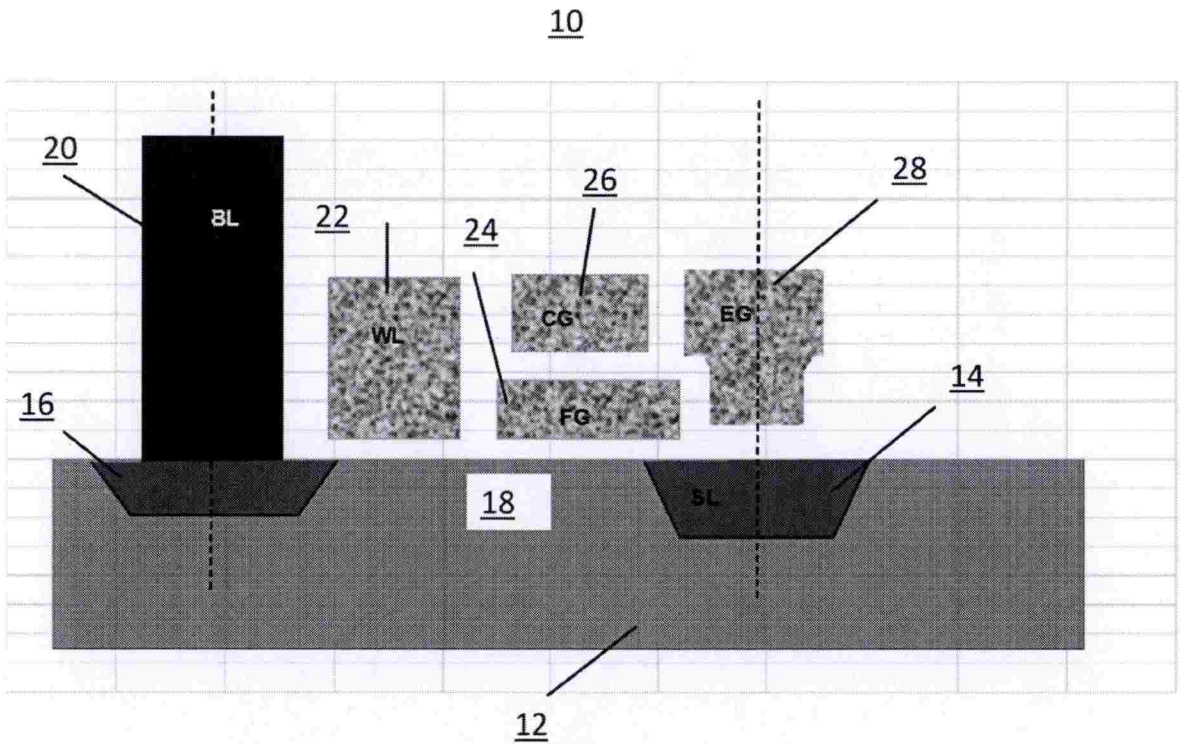


圖 1 (先前技術)

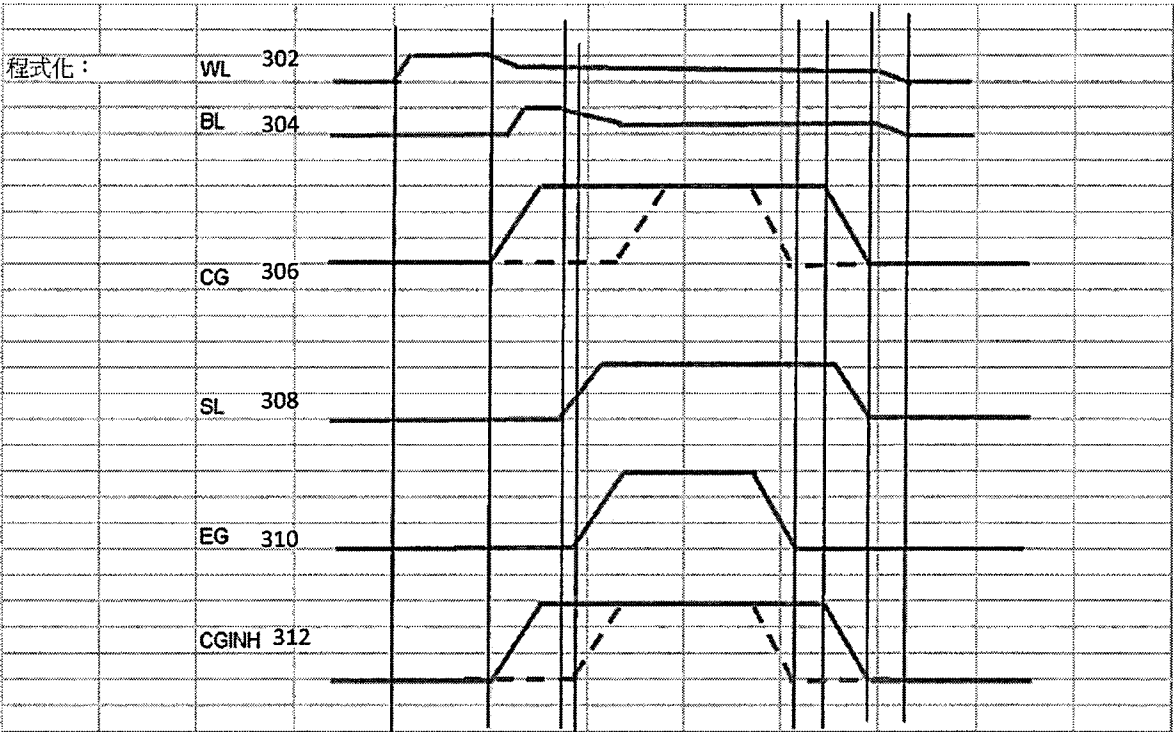


圖 3

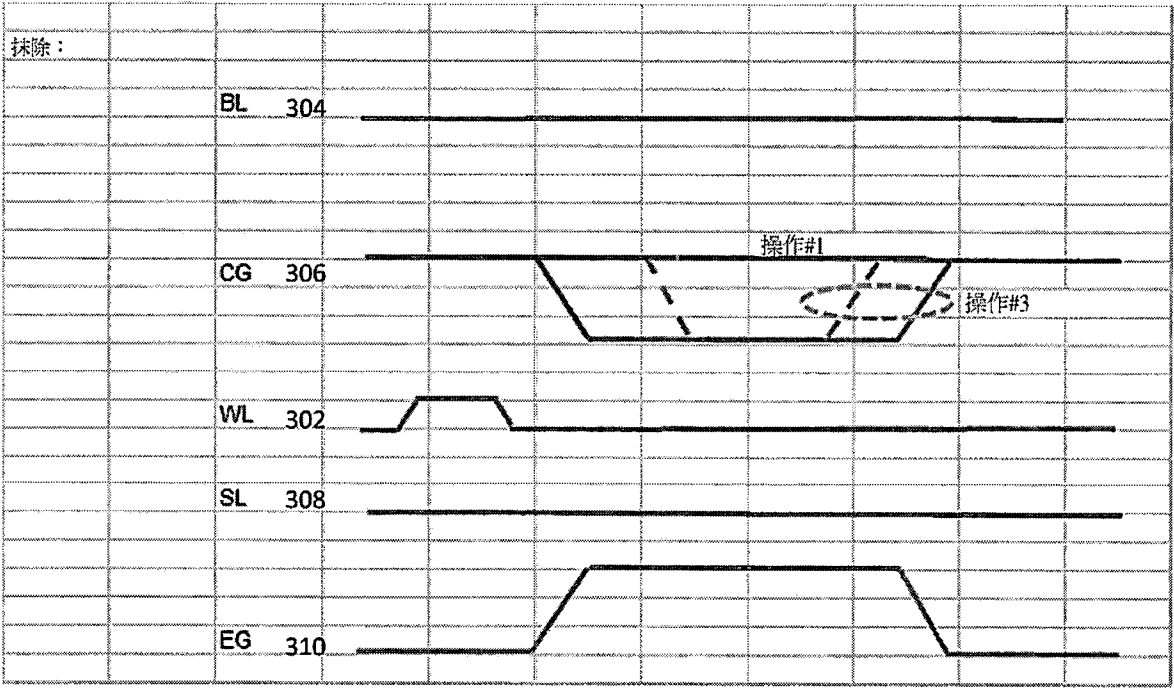


圖 4

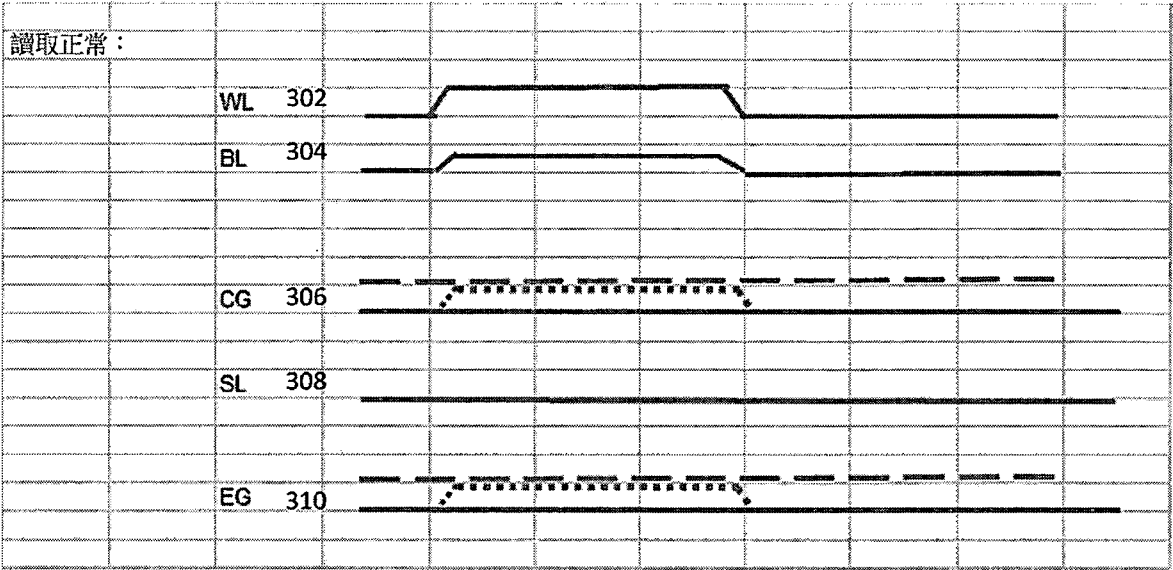


圖 5

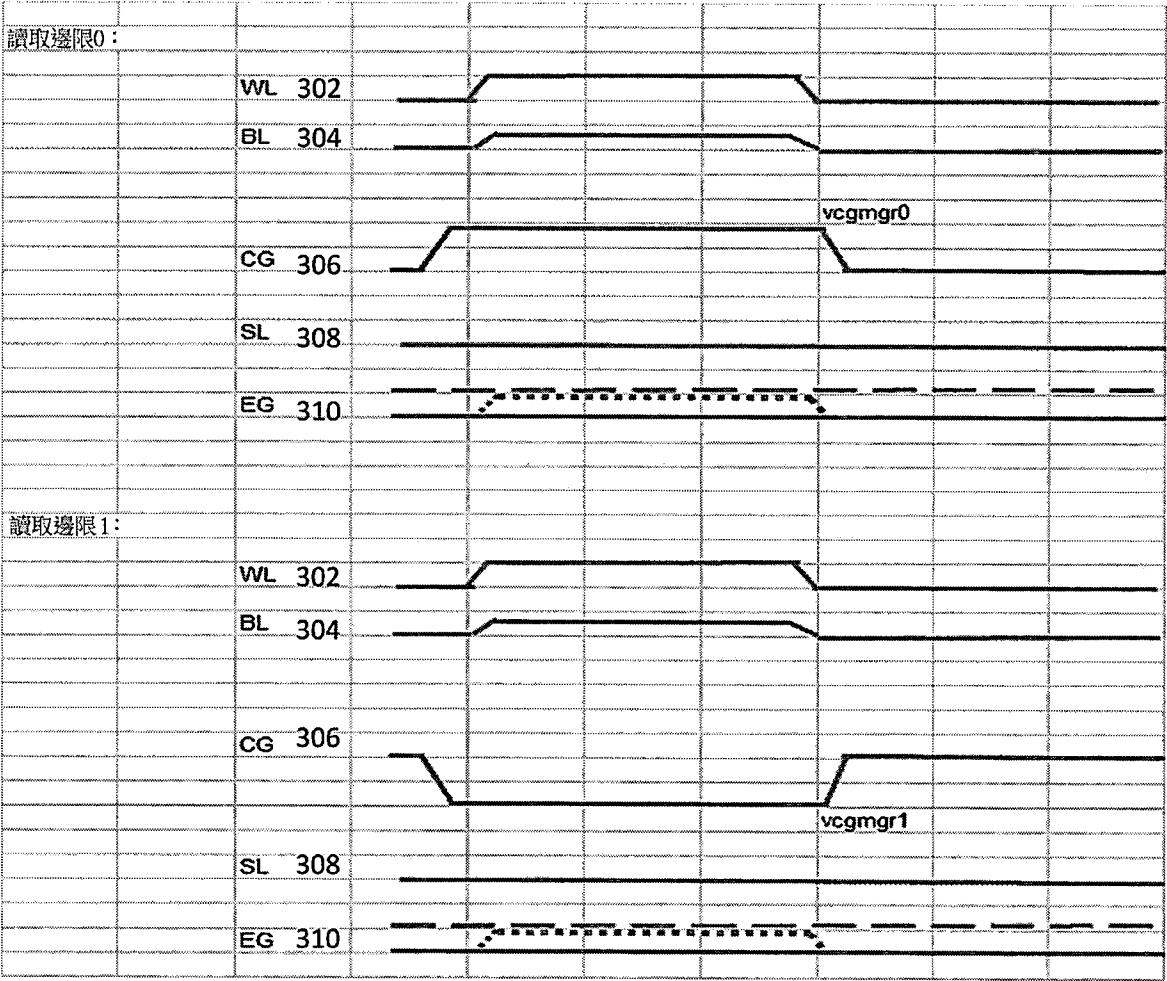


圖 6

圖 7A

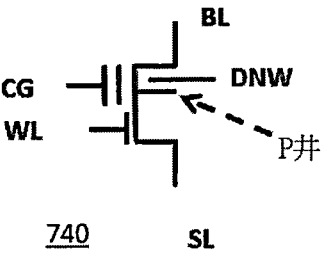
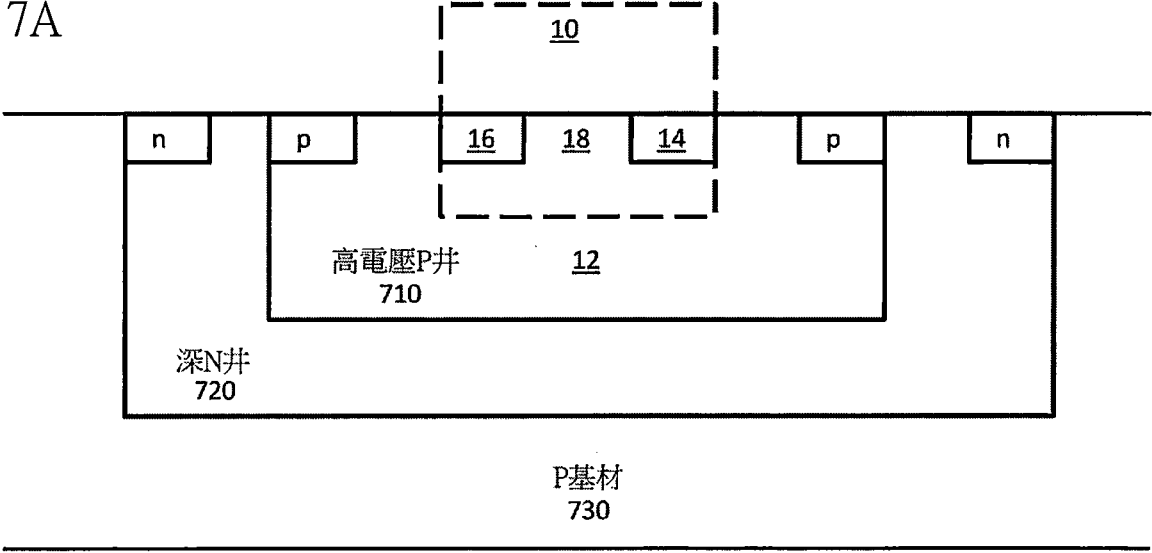


圖 7B

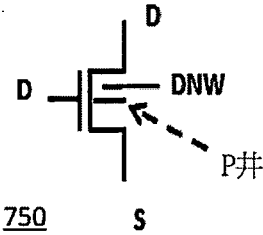


圖 7C

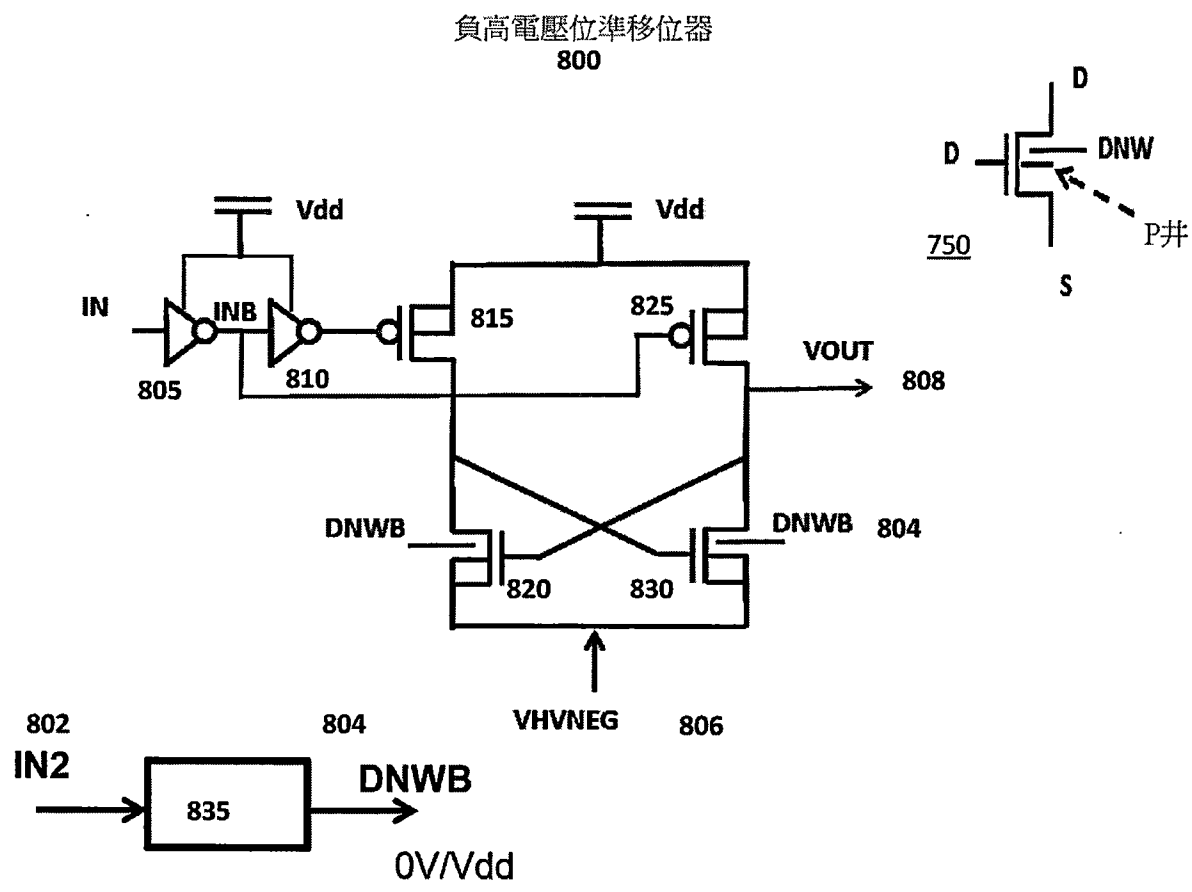


圖 8

負高電壓位準移位器
900

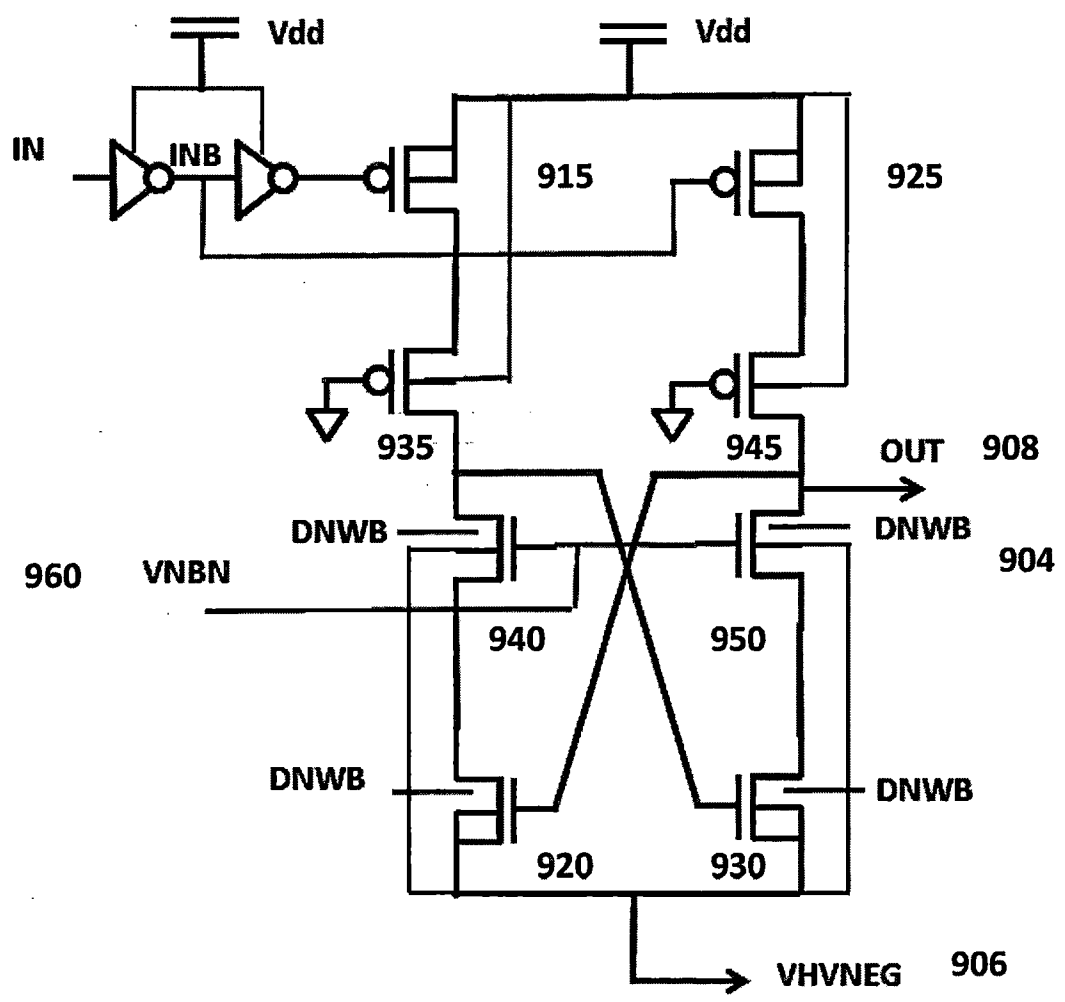


圖 9

電壓供應電路
1100

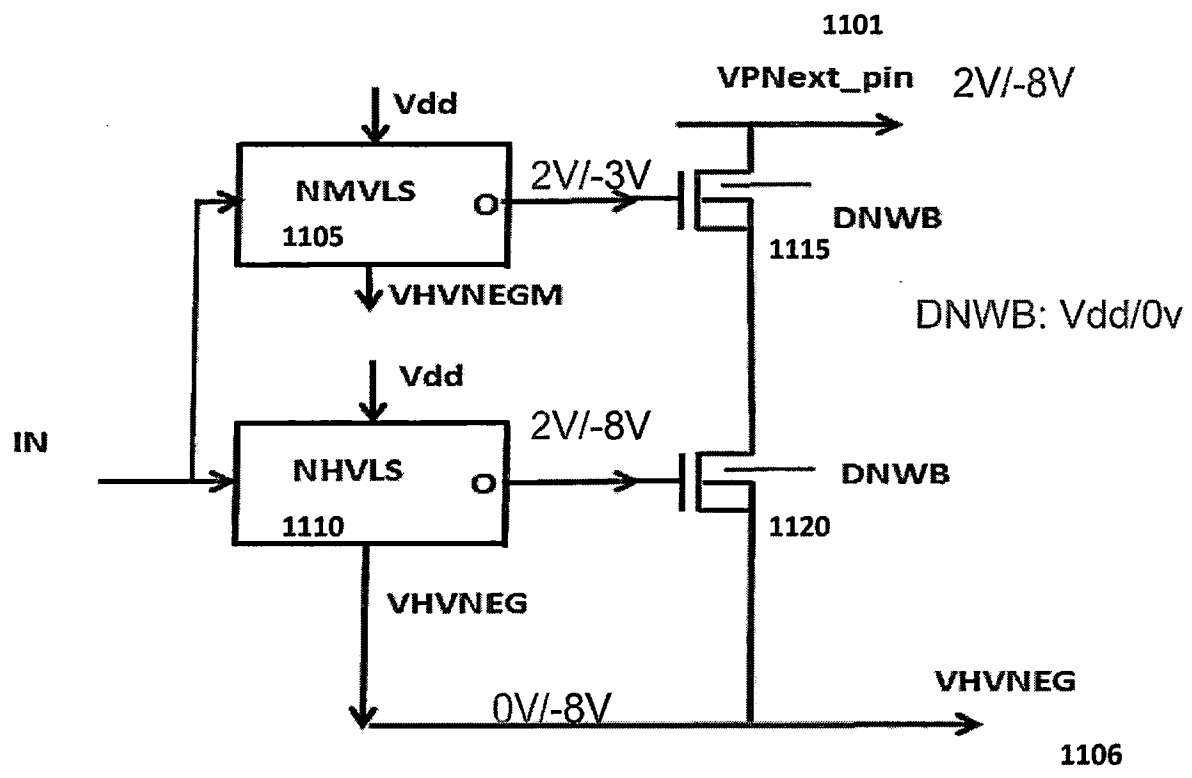


圖 11

電壓供應電路
1200

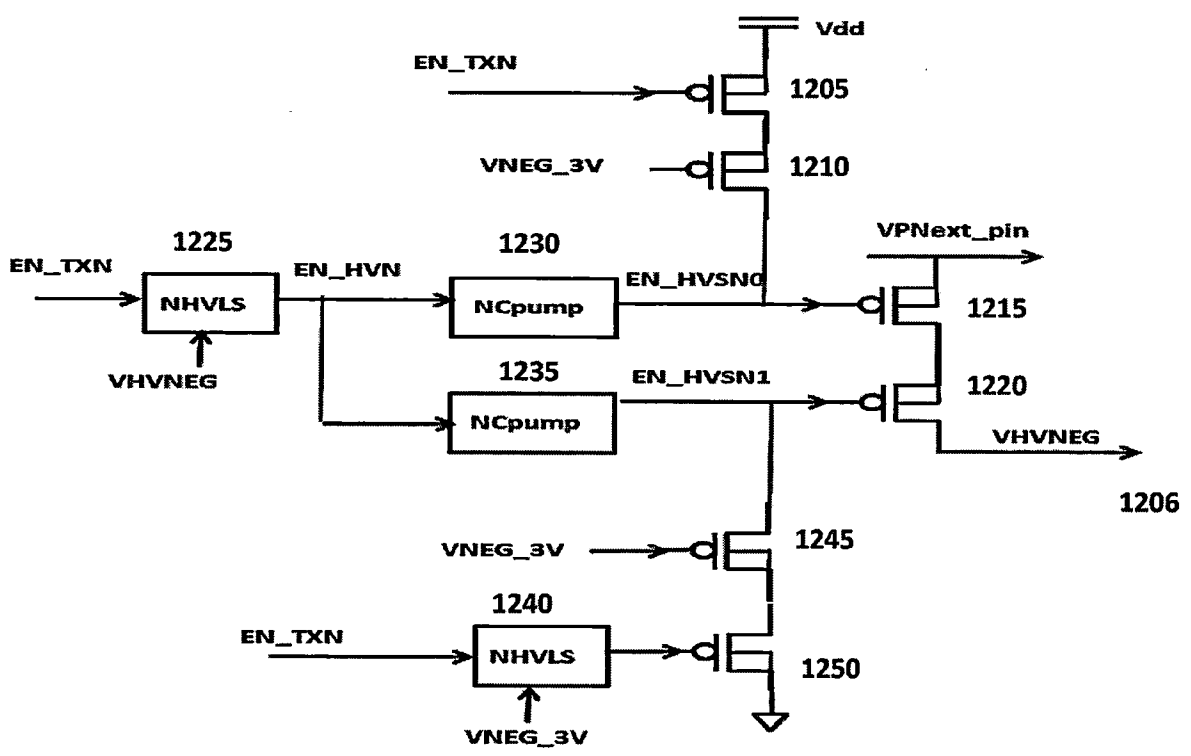


圖 12

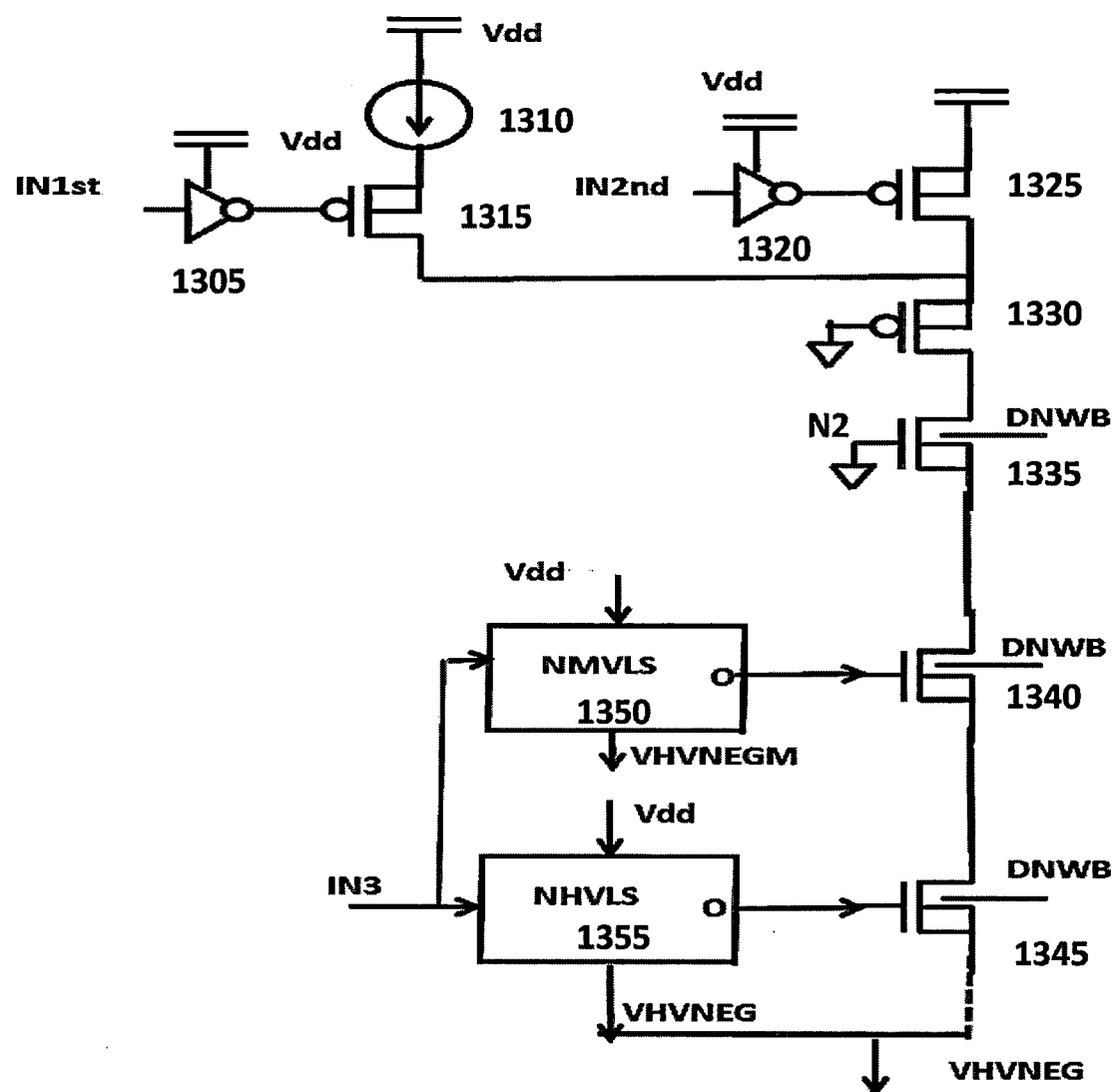


圖 13

負高電壓放電電路
1400

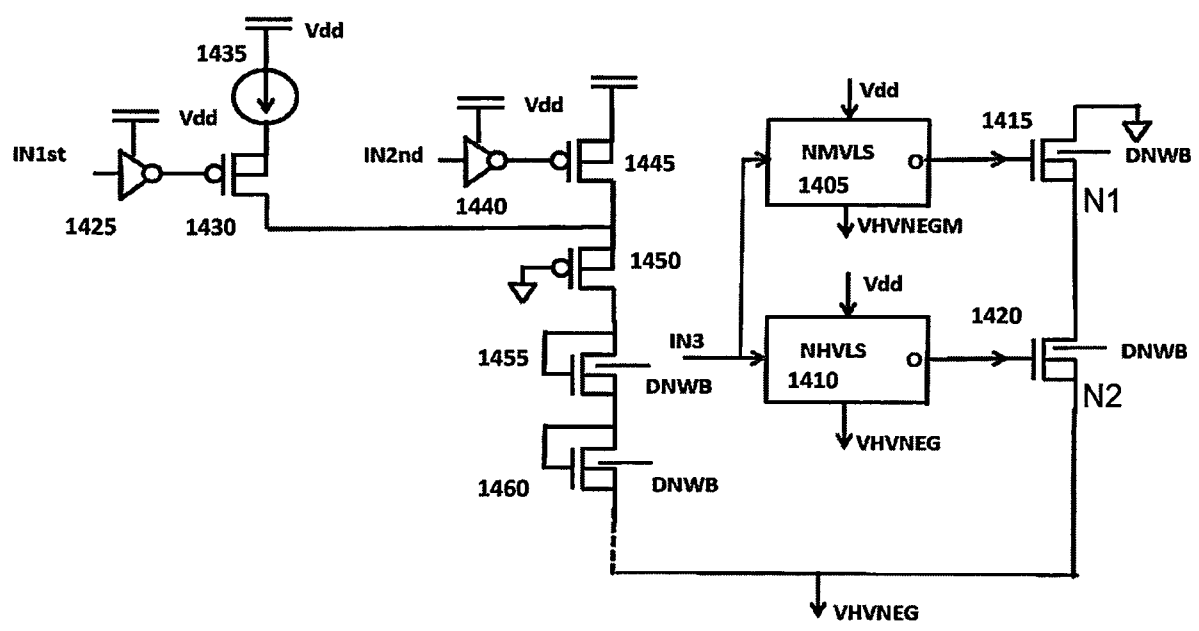


圖 14

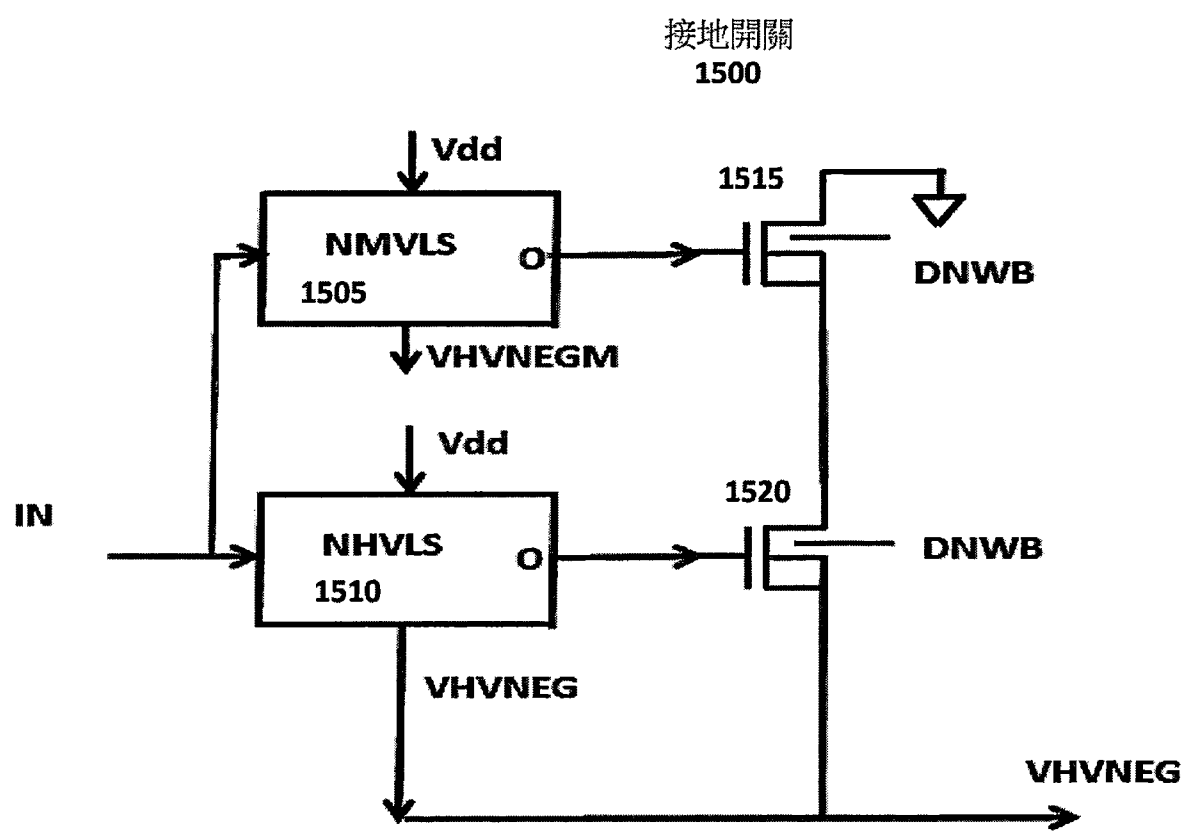


圖 15

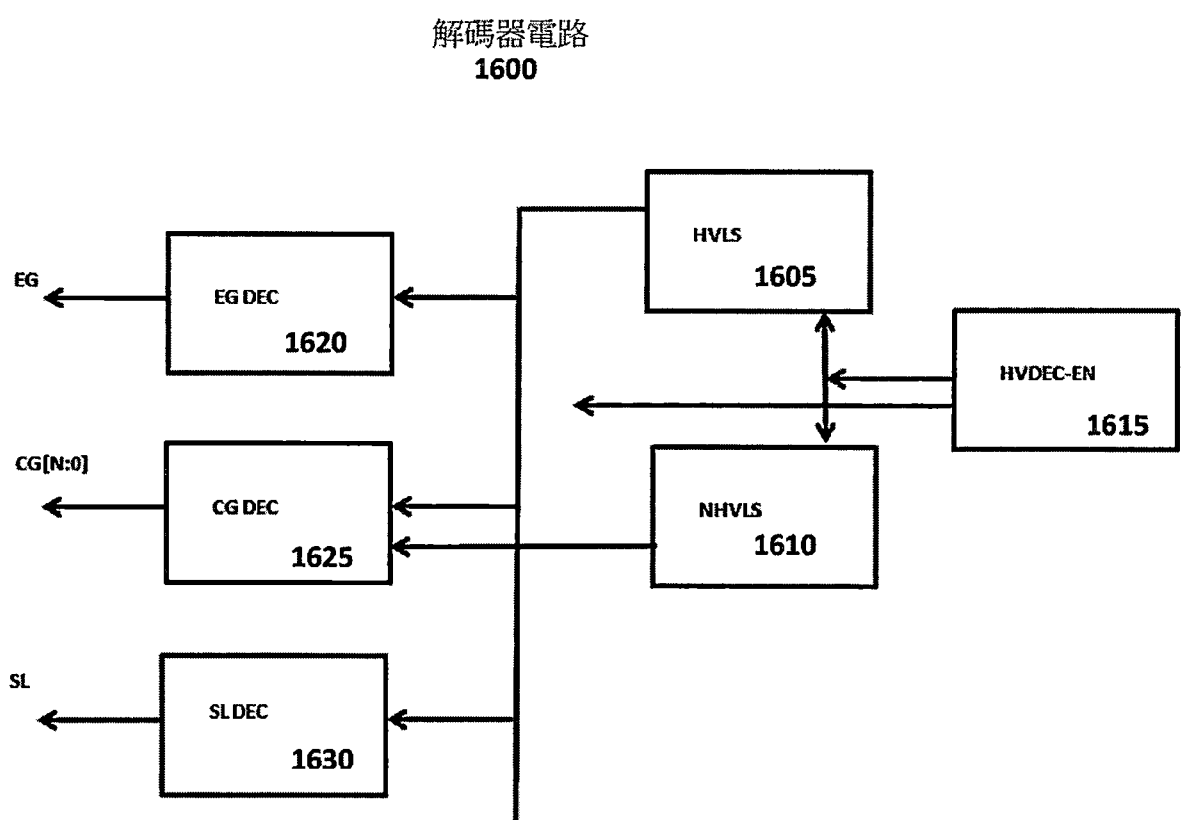


圖 16

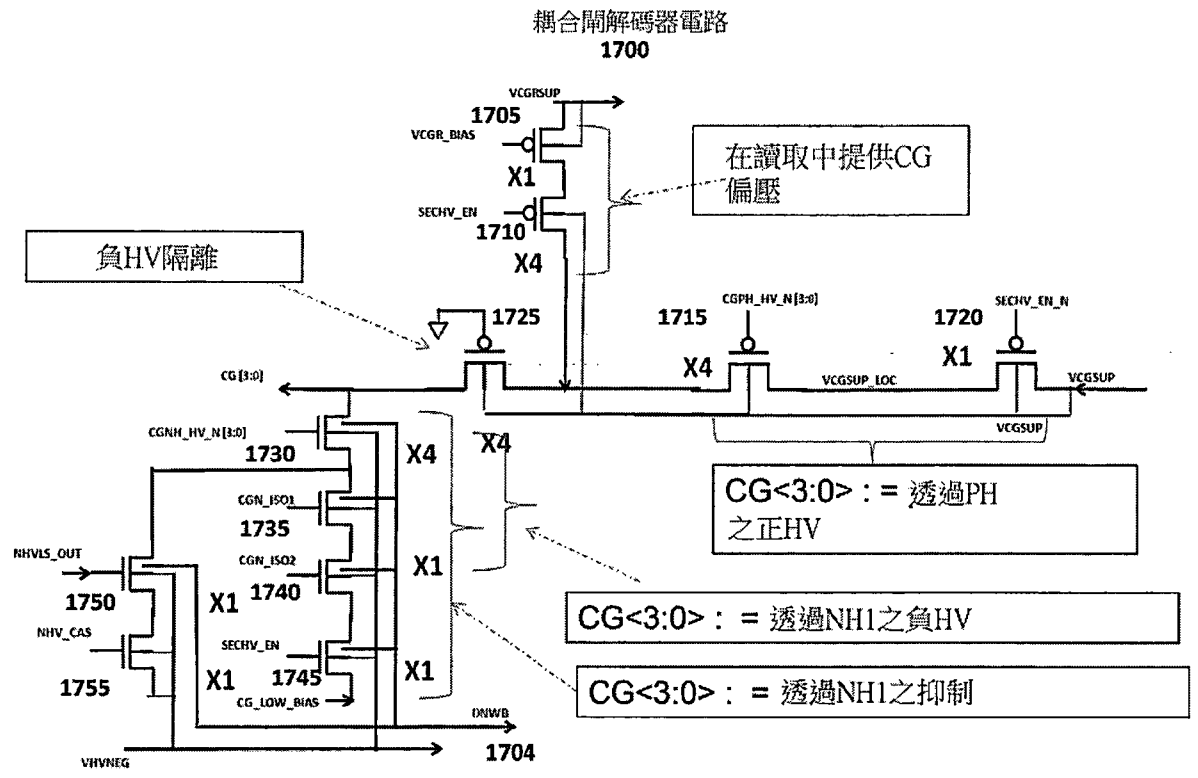


圖 17

抹除閘解碼器電路
1800

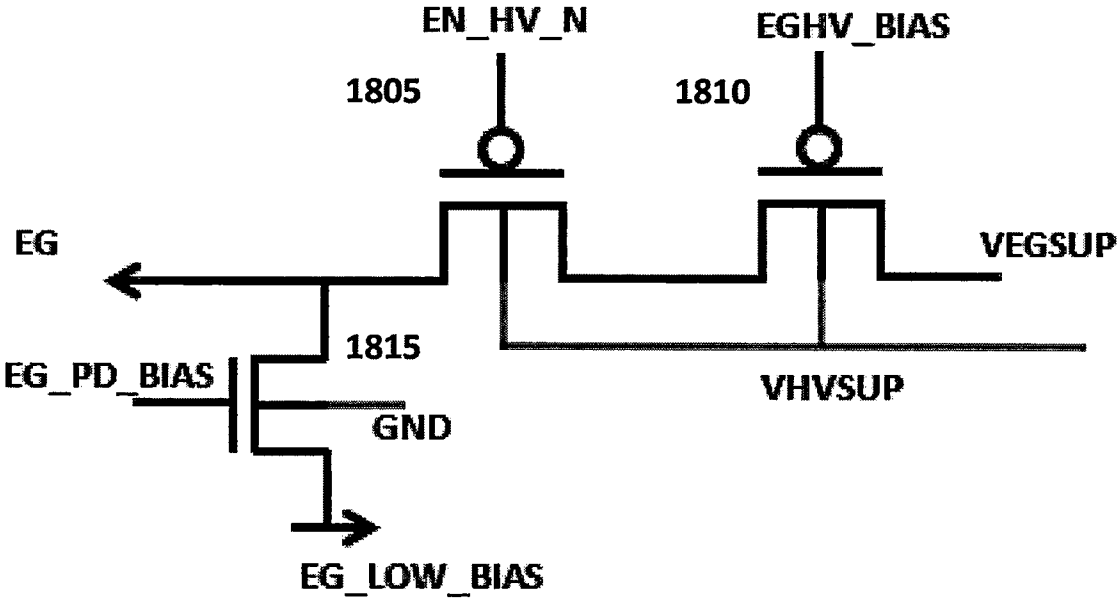


圖 18

源極線解碼器電路
1900

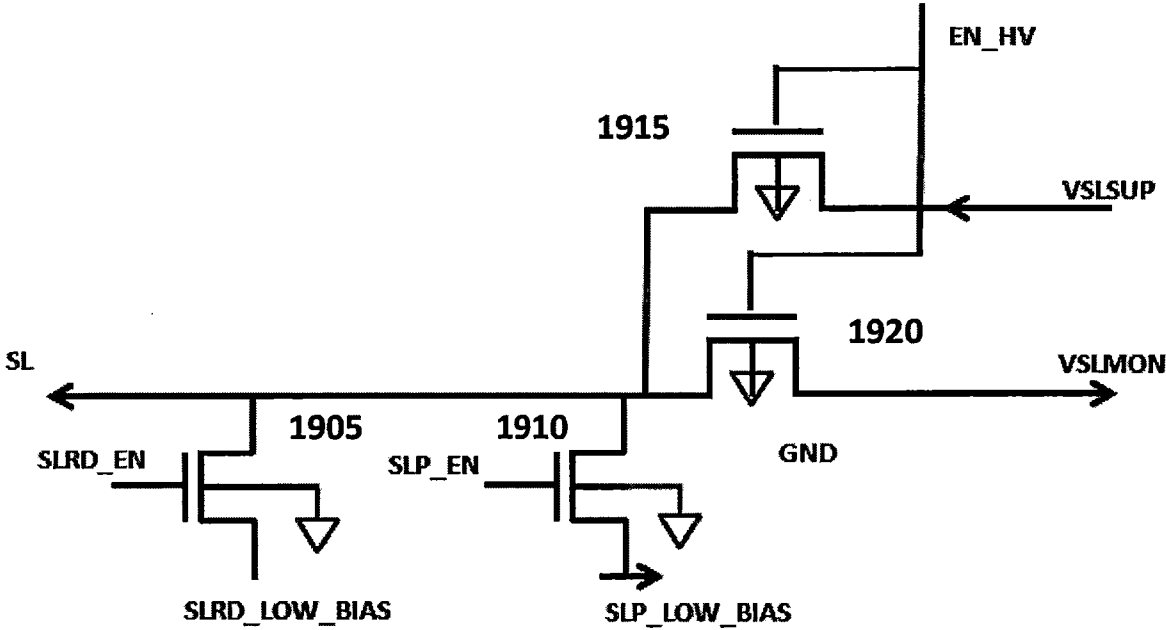
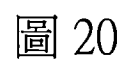


圖 19



負高電壓位準移位器
2100

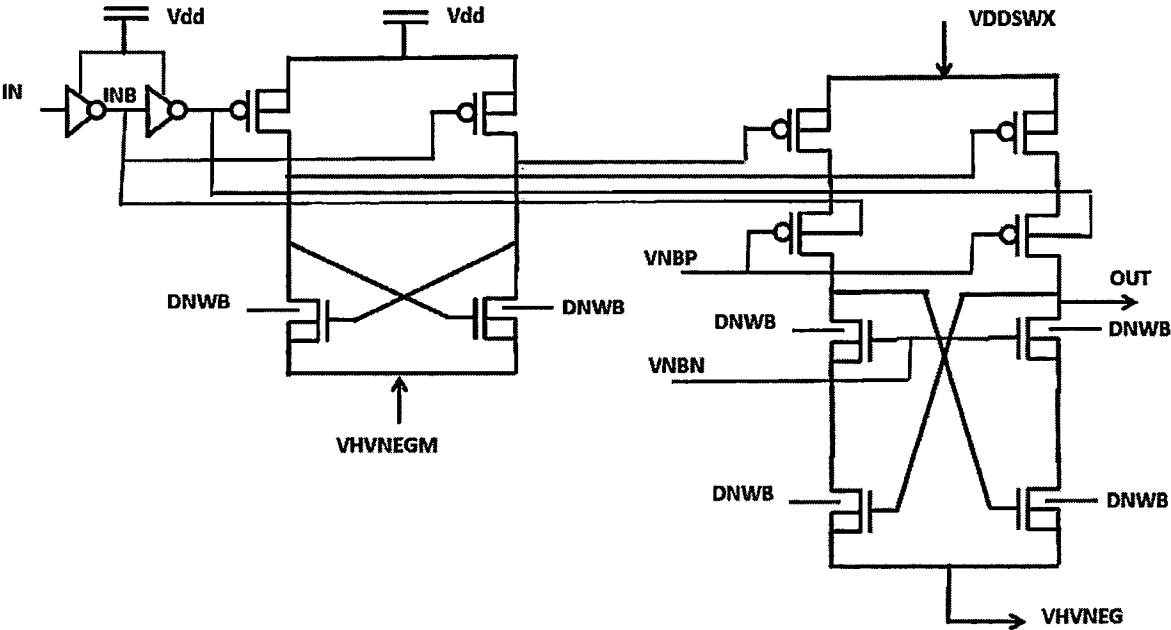


圖 21

2205

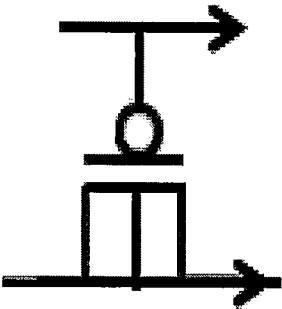


圖 22A

2210

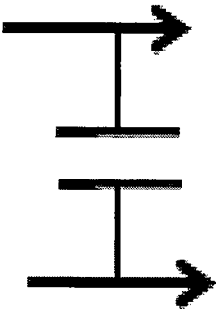


圖 22B

2215

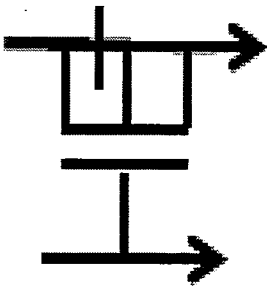


圖 22C

負高電壓位準移位器
2300

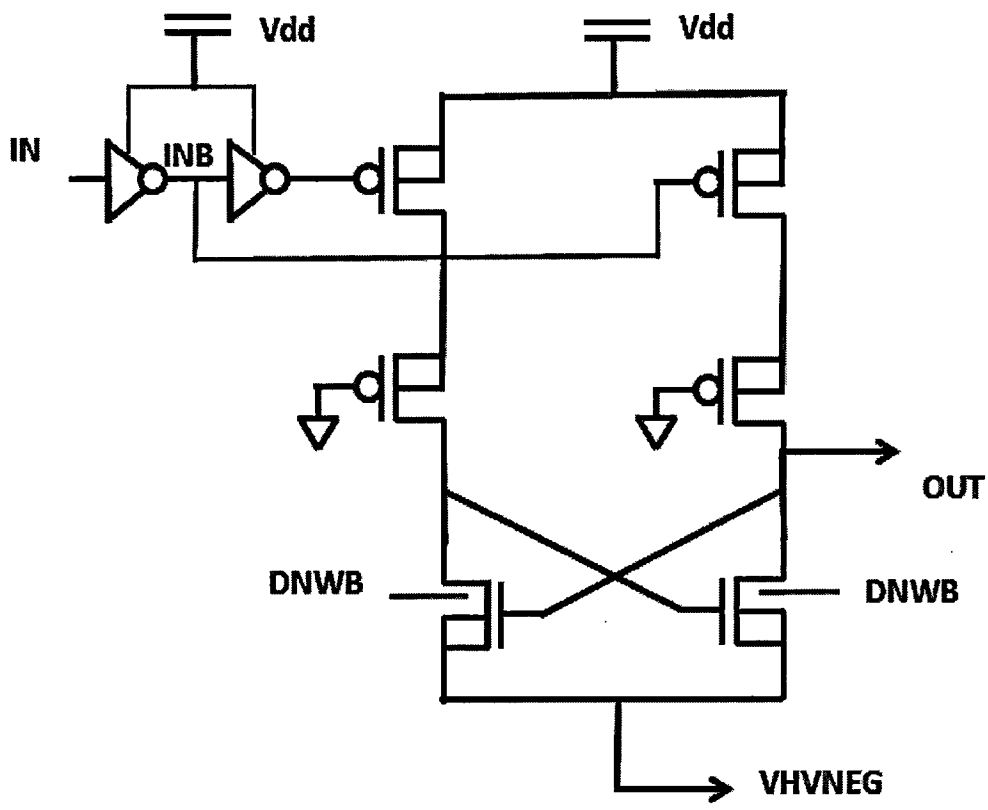


圖 23

多工器
2400

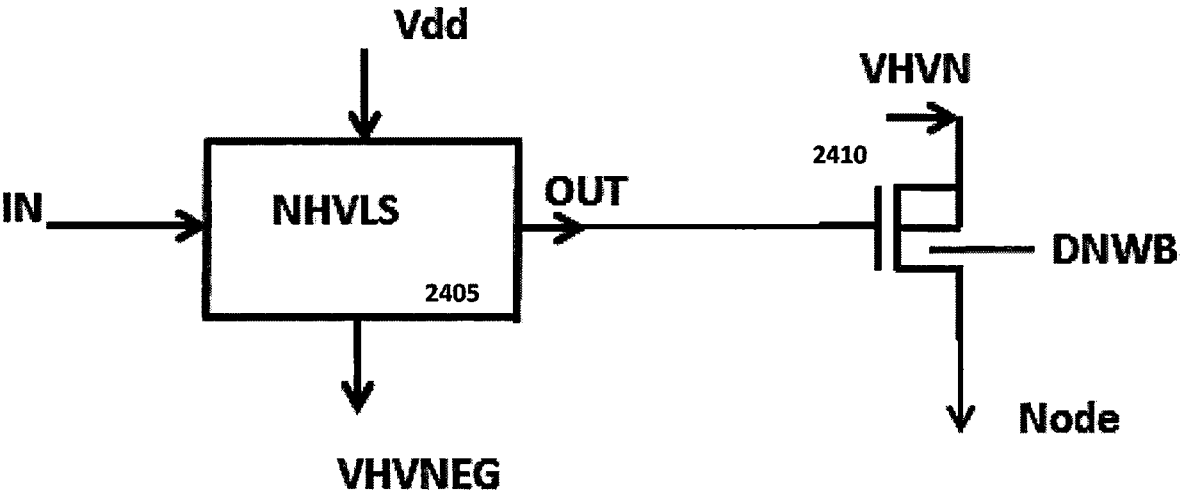


圖 24

負高電壓位準移位器
2500

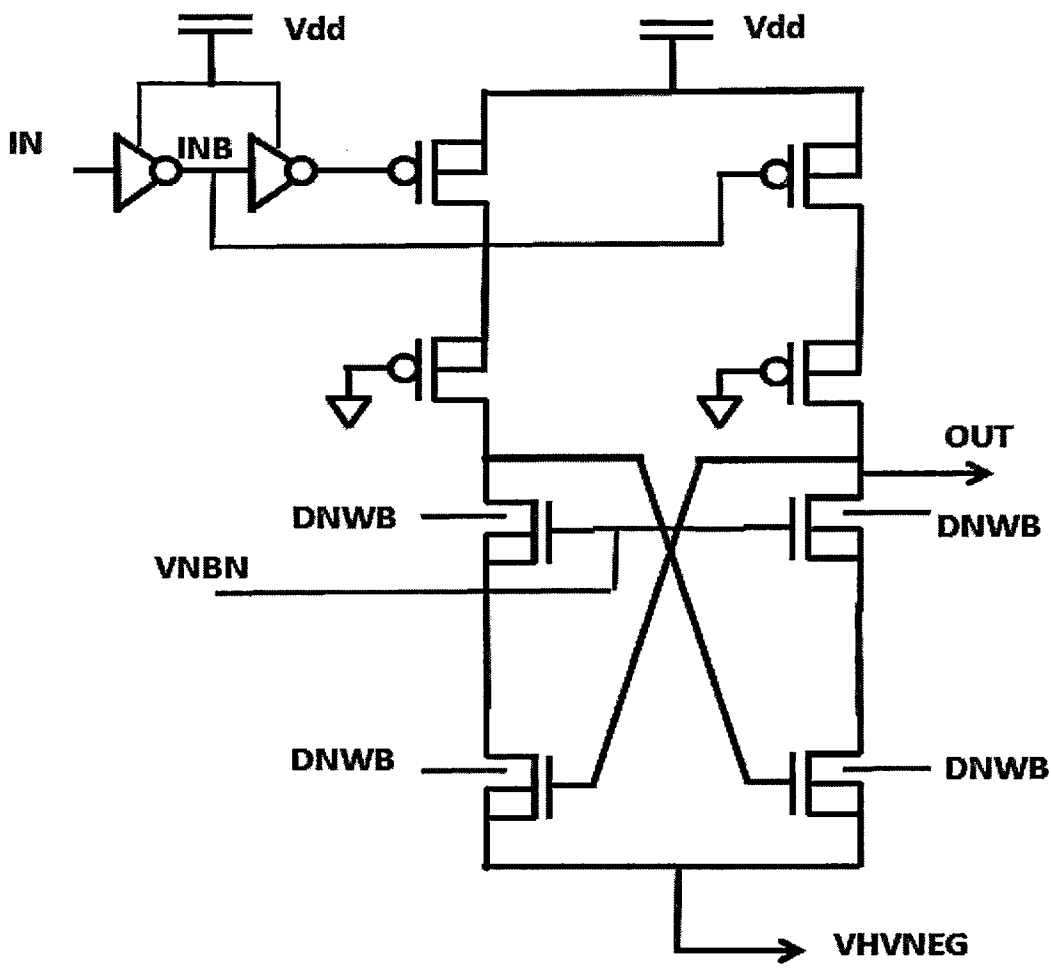


圖 25