

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/76 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월21일 10-0627552 2006년09월15일
---------------------------------------	-------------------------------------	--

(21) 출원번호	10-2004-0089137	(65) 공개번호	10-2006-0039981
(22) 출원일자	2004년11월04일	(43) 공개일자	2006년05월10일

(73) 특허권자	동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10
(72) 발명자	고관주 인천 서구 원당동 LG아파트 710-804
(74) 대리인	허용록

심사관 : 소재현

(54) 반도체 소자의 소자분리막 형성 방법

요약

본 발명은 반도체 소자의 소자분리막 형성 방법에 관한 것으로, 보다 자세하게는 STI 소자분리막 형성시 트렌치 표면을 라운딩하여 트렌치를 매립하는 산화막의 깎필 능력을 향상시키고 게이트 산화막의 두께가 얇아지는 현상을 방지할 수 있는 소자분리막 형성 방법에 관한 것이다.

본 발명의 상기 목적은 질화막과 패드 산화막 및 실리콘 웨이퍼의 소정 부분을 식각하여 트렌치를 형성하고 산화붕소를 증발시켜 상기 트렌치 표면을 BSG막으로 변형한 후 BSG막을 불산을 사용하여 제거하여 상기 트렌치를 라운딩하는 것을 포함하는 반도체 소자의 소자분리막 형성 방법에 의해 달성된다.

따라서, 본 발명의 반도체 소자의 소자분리막 형성 방법은 STI 형성시 트렌치 표면을 효과적으로 라운딩함으로써 트렌치를 매립하는 산화막의 깎필 능력을 향상시켜 보이드 발생을 억제할 뿐만 아니라 액티브 영역의 상부 모서리에서 게이트 산화막이 얇아지는 현상을 방지하여 전계의 집중에 의한 누설전류의 증가를 방지할 수 있다.

대표도

도 3d

색인어

STI, BSG, 산화붕소(B2O3), 불산(HF), 깎필(gap fill), Gate oxide thinning

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 종래의 STI 소자분리막 형성 공정 단면도.

도 2는 트렌치 매립시 생성된 보이드에 의해 야기된 불량 사진.

도 3a 내지 도 3g는 본 발명에 의한 STI 소자분리막 형성 공정 단면도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 소자분리막 형성 방법에 관한 것으로, 보다 자세하게는 STI 소자분리막 형성시 트렌치 상부 모서리를 라운딩하여 게이트 산화막의 두께가 얇아지는 현상을 방지할 수 있는 소자분리막 형성 방법에 관한 것이다.

반도체 소자의 집적도가 향상됨에 따라 LOCOS(LOCAl Oxidation of Silicon) 공정 대신 액티브 영역의 면적을 넓힐 수 있는 STI(Shallow Trench Isolation) 공정을 사용하여 반도체 소자의 소자분리막을 형성하고 있다.

STI 공정은 실리콘 웨이퍼를 선택적으로 식각하여 트렌치를 형성한 후 그 트렌치를 절연막으로 메우는 방법이다.

이하에서는 종래의 STI 소자분리막 형성 공정의 단면도인 도 1a 내지 도 1f를 참조하여 설명한다.

먼저, 도 1a에 도시한 바와 같이, 실리콘 웨이퍼(100) 위에 패드 산화막(pad oxide, 102)과 질화막(104)을 순차적으로 적층한다. 상기 질화막(104)은 후속하는 화학적 기계적 연마(Chemical Mechanical Polishing, 이하 CMP) 공정시 연마 저지막으로서의 역할을 하게 된다.

다음, 도 1b에 도시한 바와 같이, 질화막(104), 패드 산화막(102) 및 실리콘 웨이퍼(100)의 소정 영역을 식각하여 트렌치(130)를 형성한다.

다음, 도 1c에 도시한 바와 같이, 트렌치(130)에 인접한 질화막의 일부(104a)를 식각하는 풀백(pull back) 공정을 진행한다. 일반적으로 상기 풀백 공정은 웨이퍼를 인산( $H_3PO_4$ ) 용액에 침지하는 방법을 통해 수행된다.

다음, 도 1d에 도시한 바와 같이, 산소( $O_2$ )와 소량의 염화수소(HCl) 가스를 흘려주어 트렌치 표면의 실리콘을 산화시킴으로써 STI 라이너(liner)막(106)을 형성한다.

다음, 화학기상증착(Chemical Vapor Deposition, 이하 CVD)법을 통해 산화막을 증착하여 상기 트렌치(130)를 깎필(gap fill)한 후 900°C 이상의 고온에서 치밀화한다. 이후, 도 1e에 도시한 바와 같이, 상기 산화막(108)을 CMP 공정으로 평탄화한다.

다음, 상기 질화막(104)을 제거하여, 도 1f에 도시한 바와 같이, 소자분리막(108a)을 완성한다.

이후, 공지의 반도체 제조 공정을 통해 게이트 산화막, 소스/드레인 및 게이트 전극 등을 형성한다.

그러나, 반도체 소자의 집적도가 증가함에 따라 소자분리막의 사이즈가 점차 작아져 상기 산화막(108)의 깎필 능력이 한계에 부딪히고 있다. 즉, 트렌치를 매립하는 산화막(108)에 보이드(void, 140)가 발생하여 반도체 소자의 특성을 변형시켜 신뢰성을 저하시키거나 심할 경우 불량을 유발하기도 한다.

도 2는 상기 보이드에 의해 후속공정에서 발생한 폴리 스트링저(poly stringer) 불량을 나타낸 것이다.

또한, 상기와 같은 공정을 거쳐 완성된 STI 소자분리막은, 도 1f에 도시한 바와 같이, 트렌치 상부 모서리, 즉 액티브 영역의 상부 모서리(150)가 뾰족한 형태를 취하고 있어 이 부분에 전계가 집중되어 반도체 소자의 전기적 특성을 열화시킨다. 특히, 이후 형성되는 게이트 산화막이 이 부분에서 얇아지는 현상(gate oxide thinning)이 발생하여 게이트 산화막의 항복 전압(breakdown voltage)이 낮아지고 누설전류가 증가하는 문제가 발생하고 있다.

이러한 문제를 해결하기 위해 대한민국 공개특허공보 제2004-0001469호와 대한민국 공개특허공보 제2004-0038117호는 패드 산화막을 불산 용액으로 풀백하는 공정을 제안하고 있다. 그러나 이러한 방법은 각화(角化) 현상이 발생하는 트렌치 상부 모서리의 실리콘 웨이퍼를 식각하는 방법이 아닌 패드 산화막을 식각하는 방법으로서 간접적으로 각화 현상을 방지하고 있어 그 효과에 한계가 있다.

이와는 달리 트렌치 상부 모서리의 실리콘을 직접 식각하여 다수개의 계단 형상으로 형성하는 방법이 대한민국 등록특허공보 제10-0416795호에 개시되어 있다. 그러나 다수개의 계단 형상으로 형성하는 공정이 복잡하여 그 실질적인 응용에는 한계가 있으며 계단의 끝부분에 여전히 전계가 집중될 수 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, STI 소자분리막 형성시 간단한 공정으로 트렌치를 라운딩함으로써, 트렌치를 매립하는 산화막의 깎필 능력을 향상시키고, 액티브 영역의 상부 모서리에서 게이트 산화막의 두께가 얇아지는 현상을 방지하여 반도체 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 소자분리막 형성 방법을 제공함에 본 발명의 목적이 있다.

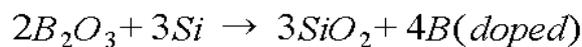
### 발명의 구성 및 작용

본 발명의 사상에 따른 반도체 소자의 소자분리막 형성방법은 실리콘 웨이퍼의 소정 부분을 식각하여 트렌치를 형성하는 단계; 소정의 화학반응을 통해 상기 트렌치 표면을 BSG막으로 변형시키는 단계; 및 상기 BSG막을 제거함으로써, 상기 트렌치 측벽의 소정 부위를 라운드시키는 단계;가 포함되고, 상기 BSG막은 기화된 산화붕소(B<sub>2</sub>O<sub>3</sub>)가 상기 트렌치 표면의 실리콘과 반응함으로써 형성되는 것을 특징으로 한다.

본 발명의 특징은 실리콘 웨이퍼에 트렌치를 형성한 후 상기 트렌치 표면의 실리콘을 BSG(Boron Silicate Glass)막으로 변형시킨 후 제거함으로써 트렌치를 라운딩(rounding)하는 것이다.

이를 위해서 산화붕소(B<sub>2</sub>O<sub>3</sub>)를 증발(evaporation)시켜 기화한 후 기화된 산화붕소가 트렌치 표면의 실리콘과 반응(반응식 1)하여 BSG막을 형성하도록 한다.

#### 반응식 1



이후 BSG막을 불산(HF)을 이용하여 등방성 식각함으로써 트렌치 표면을 라운딩한다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

도 3a 내지 도 3g는 본 발명에 의한 STI 소자분리막 형성 공정 단면도이다.

먼저, 도 3a에 도시한 바와 같이, 실리콘 웨이퍼(200) 위에 패드 산화막(202)과 질화막(204)을 순차적으로 적층한다. 상기 패드 산화막은 CVD 공정 또는 열산화 공정에 의해 형성할 수 있으나 열산화 공정이 더욱 바람직하며 수nm 내지 수십nm로 형성한다. 상기 질화막(204)의 형성은 LPCVD(Low Pressure CVD)와 같은 CVD 공정을 통해 형성하며 수십nm 내지 수백nm 정도 형성한다.

다음, 포토레지스트를 도포하고 노광 및 현상 공정을 거쳐 STI가 형성될 영역의 포토레지스트를 남긴(도시하지 않음) 후, 도 3b에 도시한 바와 같이, 질화막(204), 패드 산화막(202) 및 실리콘 웨이퍼(200)의 소정 영역을 식각하여 트렌치(230)를 형성한다. 이후 상기 포토레지스트를 제거한다.

다음, 도 3c에 도시한 바와 같이, 트렌치(230)에 인접한 질화막의 일부(204a)를 식각하여 제거하는 풀백 공정을 수행한다. 상기 일부 질화막의 제거는 웨이퍼(200)를 인산 용액에 침지하는 방법을 통해 수행할 수 있다.

다음, 도 3d에 도시한 바와 같이, 산화붕소를 증발시켜 노출된 트렌치(230)에 표면을 BSG막(200a)으로 변형시킨다. 상기 BSG막(200a)으로의 변형은 앞서 설명한 바와 같이 산화붕소를 증발시켜 산화붕소와 노출된 실리콘 웨이퍼의 실리콘을 반응시킴으로써 달성되며 산화붕소를 증발시키는 동안 또는 산화붕소를 증발시킨 후 어닐링 공정을 수행할 수 있다.

다음 상기 BSG막(200a)을 불산 용액으로 식각하여, 도 3e에 도시한 바와 같이, 트렌치(230) 표면을 라운딩한다. 상기 BSG막(200a)은 불산 용액으로 잘 식각되며 등방성 식각이 이루어지기 때문에 표면을 쉽게 라운딩할 수 있다. 또한 패드 산화막도 불산 용액으로 잘 제거되기 때문에 상기 BSG막(200a) 위에 존재하는 패드 산화막도 함께 제거된다.

다음, 도 3f에 도시한 바와 같이, APCVD(Atmospheric Pressure CVD), HDP(High Density Plasma)-CVD, LPCVD 등의 CVD 공정을 통해 USG(Undoped Silica Glass), O<sub>3</sub>-TEOS(Tetra Ethyl Ortho Silicate) USG와 같은 산화막(206)을 증착하여 껍질한 후 900°C 이상의 고온에서 치밀화한다.

상기 BSG막(200a)의 제거시 라운딩된 트렌치에 의해 상기 산화막(206)의 껍질 능력이 향상되어 보이드 발생을 억제할 수 있다.

또한 도면에 도시하지 않았으나 상기 산화막(206)을 증착하기 전에 STI 라이너막을 형성할 수 있다. 상기 STI 라이너막은 산소(O<sub>2</sub>)와 염화수소(HCl)를 포함하는 가스를 플로우시켜 실리콘을 열산화시킨다. 예를 들어, 산소에 염화수소가 소량 섞인 가스를 850°C 이상의 온도를 유지해 줌으로써 10 내지 30nm의 STI 라이너막을 형성할 수 있다.

이후 상기 산화막(206)을 CMP 공정으로 평탄화한 후 상기 질화막(204)을 제거하여, 도 3g에 도시한 바와 같이, STI 소자 분리막(206a)을 완성한다.

이후, 공지의 반도체 제조 공정을 통해 게이트 산화막, 소스/드레인 및 게이트 전극 등을 형성한다.

본 발명은 트렌치에 BSG막을 형성한 후 제거함으로써 트렌치 표면을 라운딩하여 트렌치를 매립하는 산화막의 껍질 성능을 향상시켜 보이드 발생을 억제한다. 또한 본 발명은 트렌치 상부 모서리, 즉 액티브 영역의 상부 모서리(250)가 라운딩되었기 때문에 이 부분에서 게이트 산화막(도시하지 않음)이 얇아지는 현상을 줄이거나 없앨 수 있다. 따라서 액티브 영역의 상부 모서리(250)에 전계가 집중되는 현상을 막을 수 있으며 게이트 산화막 품질을 향상시킬 수 있다. 아울러 트랜지스터의 누설전류를 감소시키고 역 좁은채널 효과(reverse narrow channel effect)를 감소시킬 수 있다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

### 발명의 효과

따라서, 본 발명의 반도체 소자의 소자분리막 형성 방법은 STI 형성시 트렌치 표면을 효과적으로 라운딩함으로써, 트렌치를 매립하는 산화막의 껍질 능력을 향상시켜 보이드 발생을 억제할 뿐만 아니라, 액티브 영역의 상부 모서리에서 게이트 산화막이 얇아지는 현상을 방지하여 전계의 집중에 의한 누설전류의 증가를 방지할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

삭제

**청구항 2.**

실리콘 웨이퍼의 소정 부분을 식각하여 트렌치를 형성하는 단계;

소정의 화학반응을 통해 상기 트렌치 표면을 BSG막으로 변형시키는 단계; 및

상기 BSG막을 제거함으로써, 상기 트렌치 측벽의 소정 부위를 라운드시키는 단계;가 포함되고,

상기 BSG막은 기화된 산화붕소( $B_2O_3$ )가 상기 트렌치 표면의 실리콘과 반응함으로써 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**청구항 3.**

실리콘 웨이퍼의 소정 부분을 식각하여 트렌치를 형성하는 단계;

소정의 화학반응을 통해 상기 트렌치 표면을 BSG막으로 변형시키는 단계; 및

상기 BSG막을 제거함으로써, 상기 트렌치 측벽의 소정 부위를 라운드시키는 단계;가 포함되고,

상기 BSG막의 제거는 불산(HF) 용액을 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**청구항 4.**

소정 두께의 산화막이 형성된 실리콘 웨이퍼의 소정 부분을 식각하여 트렌치를 형성하는 단계;

소정의 화학반응을 통해 상기 트렌치 표면을 BSG막으로 변형시키는 단계; 및

상기 BSG막을 제거함으로써, 상기 트렌치 측벽의 소정 부위를 라운드시키는 단계;가 포함되고,

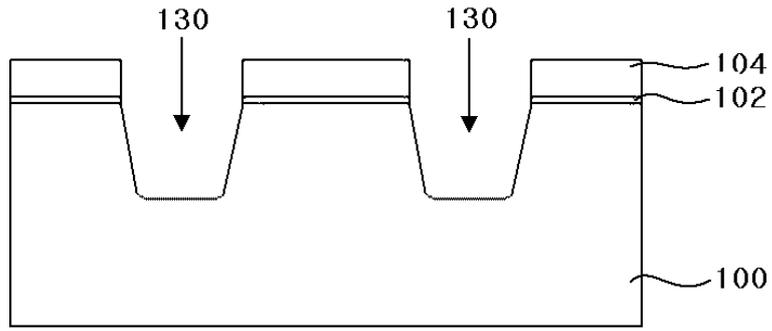
상기 BSG막 제거 단계는 상기 산화막의 소정 부위도 함께 제거되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**도면**

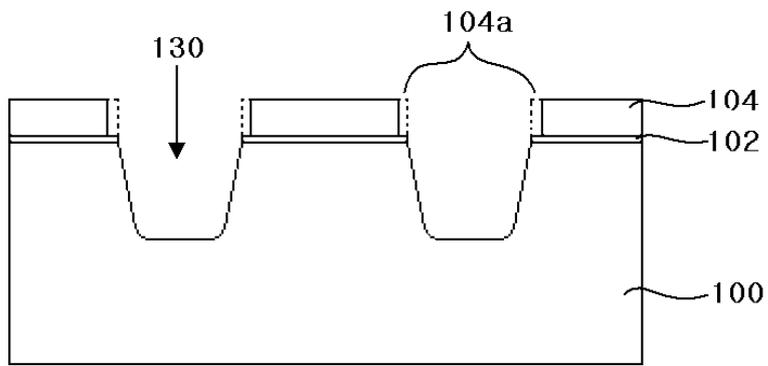
도면1a



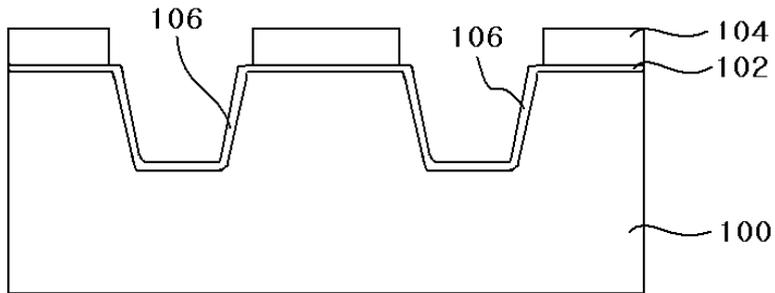
도면1b



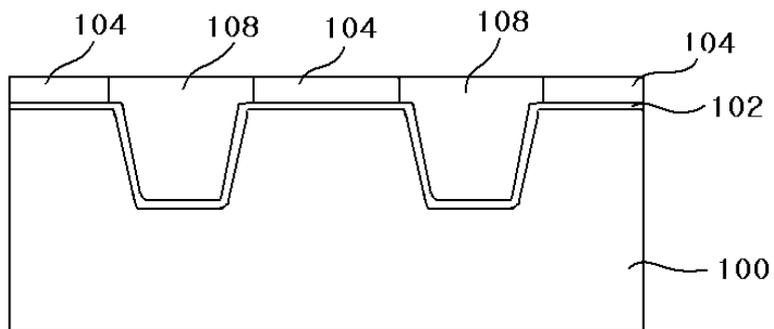
도면1c



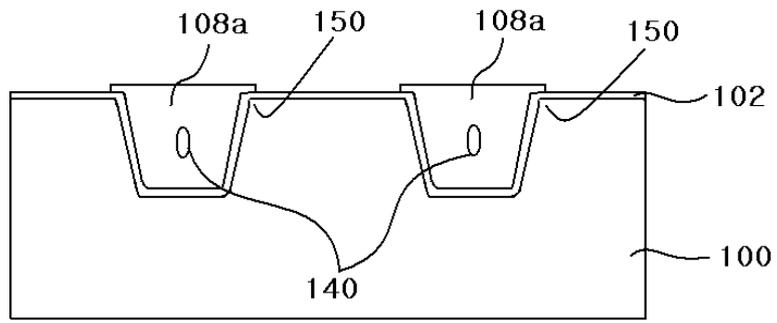
도면1d



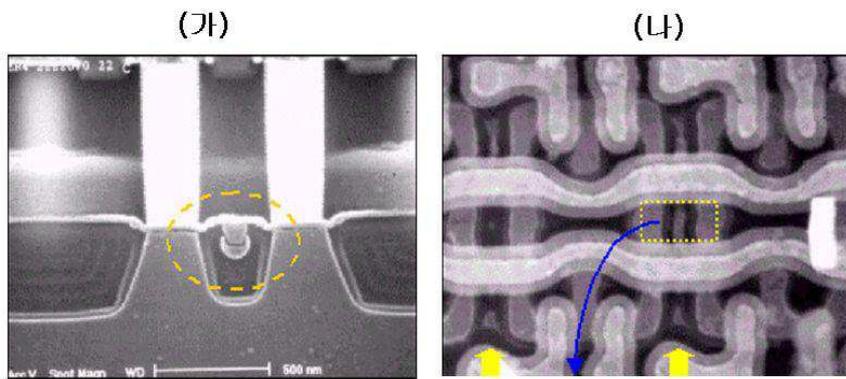
도면1e



도면1f



도면2

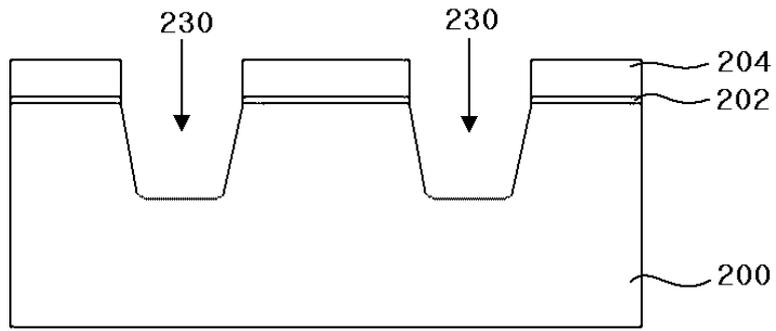


폴리 스트린저 (poly stringer)

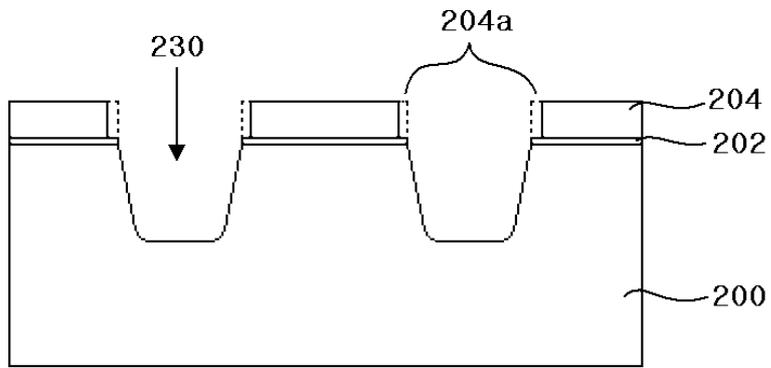
도면3a



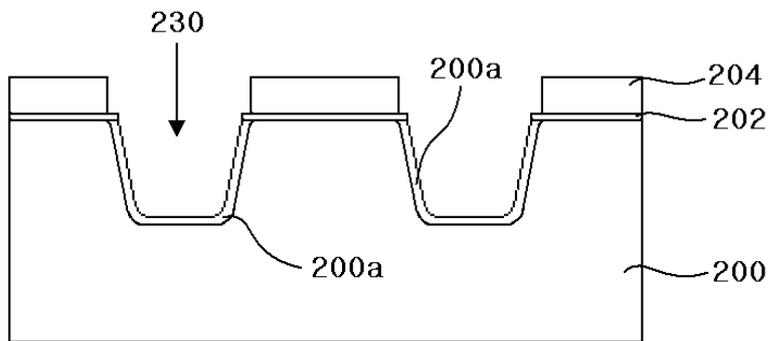
도면3b



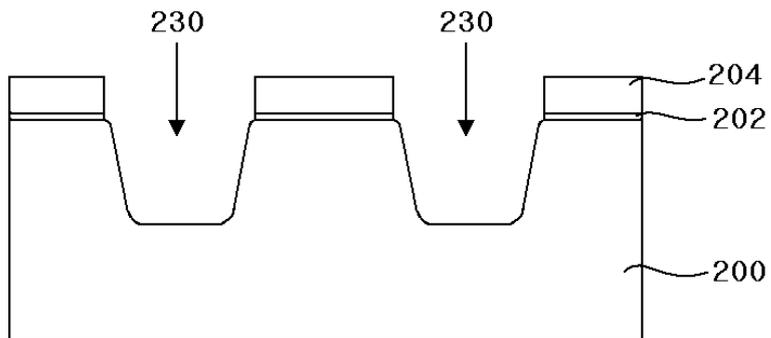
도면3c



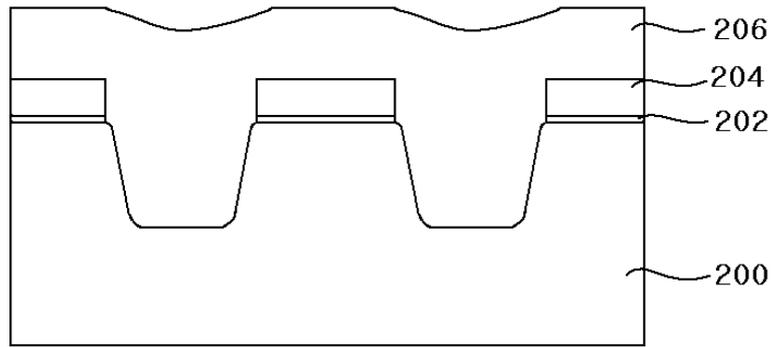
도면3d



도면3e



도면3f



도면3g

