



(21) 申請案號：107122984 (22) 申請日：中華民國 107 (2018) 年 07 月 03 日

(51) Int. Cl. : *H01L21/60 (2006.01)* *H01L21/76 (2006.01)*

(30) 優先權：2017/10/30 美國 62/579,030
2017/12/14 美國 15/841,945

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)
新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：高敏峰 KAO, MIN-FENG (TW)；楊敦年 YAUNG, DUN-NIAN (TW)；劉人誠 LIU,
JEN-CHENG (TW)；王俊智 WANG, CHING-CHUN (TW)；黃冠傑 HUANG,
KUAN-CHIEH (TW)；林杏芝 LIN, HSING-CHIH (TW)；朱怡欣 CHU, YI-SHIN
(TW)

(74) 代理人：陳長文；馮博生

申請實體審查：有 申請專利範圍項數：20 項 圖式數：14 共 41 頁

(54) 名稱

半導體結構及其製造方法

SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD FOR THE SAME

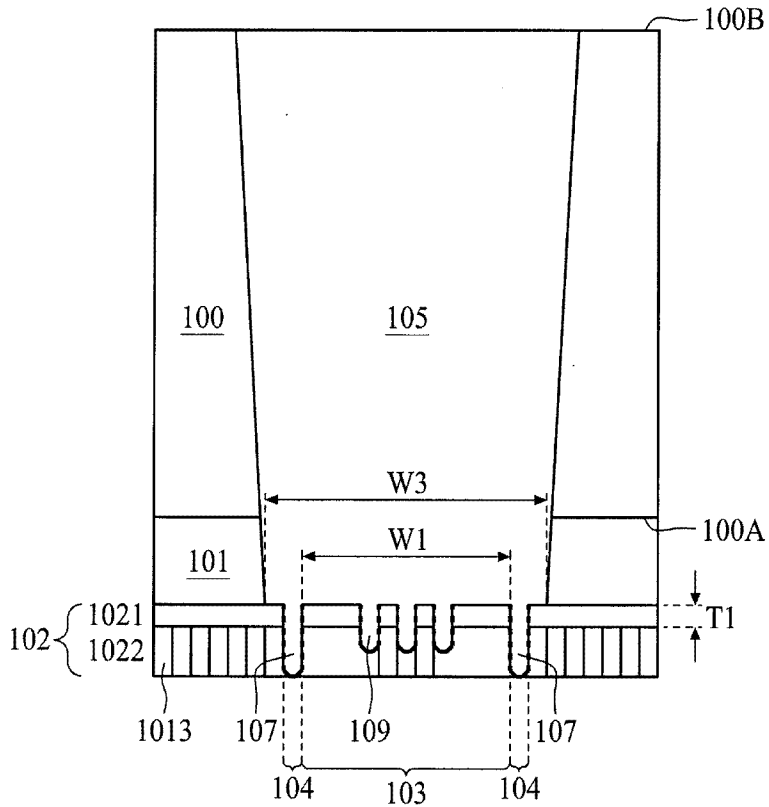
(57) 摘要

本發明實施例係關於一種半導體結構，其包含：一半導體基板，其具有一主動側；一互連層，其位於該半導體基板之該主動側上方；及一貫穿基板通路(TSV)，其自該半導體基板延伸至第一金屬層。該互連層包含最靠近該半導體基板之該主動側之一第一金屬層，該第一金屬層之一厚度低於 1 微米，且自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於 2 微米。該連續金屬構件由一第一介電構件切斷。本發明實施例亦係關於一種用於製造本文所描述之半導體結構之方法。

Present disclosure provides a semiconductor structure, including a semiconductor substrate having an active side, an interconnect layer over the active side of the semiconductor substrate, and a through substrate via (TSV) extending from the semiconductor substrate to the first metal layer. The interconnect layer includes a first metal layer closest to the active side of the semiconductor substrate, a thickness of the first metal layer is lower than 1 micrometer, and a dimension of a continuous metal feature of the first metal layer is less than 2 micrometer from a top view perspective. The continuous metal feature is cut off by a first dielectric feature. Present disclosure also provides a method for manufacturing the semiconductor structure described herein.

指定代表圖：

10



【圖1】

符號簡單說明：

- 10 . . . 半導體結構
- 100 . . . 基板
- 100A . . . 主動側
- 100B . . . 被動側
- 101 . . . 絕緣層/介電層
- 102 . . . 互連層
- 103 . . . 連續金屬構件
- 104 . . . 第一介電構件
- 105 . . . 貫穿基板通路(TSV)
- 107 . . . 第一組虎齒
- 109 . . . 第二組虎齒
- 1013 . . . 介電質/金屬間介電(IMD)層
- 1021 . . . 第一金屬層
- 1022 . . . 第一通路層
- T1 . . . 厚度
- W1 . . . 寬度/尺寸
- W3 . . . 寬度

【發明說明書】

【中文發明名稱】

半導體結構及其製造方法

【英文發明名稱】

SEMICONDUCTOR STRUCTURE AND MANUFACTURING
METHOD FOR THE SAME

【技術領域】

本發明實施例係關於半導體結構及其製造方法。

【先前技術】

半導體積體電路(IC)工業已經歷快速成長。IC材料及設計之技術進步已產生數代IC，其中各代具有比前一代更小及更複雜之電路。然而，此等進步已增加處理及製造IC之複雜性，且為實現此等進步，需要IC處理及製造之類似發展。在積體電路演進之過程中，功能密度(即，單位晶片面積之互連裝置之數目)已普遍增大，同時幾何大小(即，可使用一製程產生之最小組件(或線))已減小。

作為半導體製造之一部分，可形成導電元件以對一IC之各種組件提供電互連。例如，可藉由在一層間介電質(ILD)中蝕刻開口且使用一導電材料填充開口來形成用於使不同金屬層互連之導電通路。然而，隨著半導體製造技術節點不斷演進，臨界尺寸及節距變得越來越小，且處理窗變得越來越嚴緊。因此，會發生重疊誤差(例如失準通路)，其可導致諸如可靠性測試邊限減小或製造效能變差之問題。

因此，儘管習知通路形成程序一般已足以滿足其所欲目的，但其尚無法在各方面令人滿意。

【發明內容】

本發明的一實施例揭露一種半導體結構，其包括：一半導體基板，其具有一主動側；一互連層，其接近該半導體基板之該主動側，該互連層包括最靠近該半導體基板之該主動側之一第一金屬層，該第一金屬層之一厚度小於1微米，且自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第一介電構件切斷；一貫穿基板通路(TSV)，其自該半導體基板延伸至該第一金屬層。

本發明的一實施例揭露一種互連圖案結構，其包括：一第一金屬層，自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第一介電構件切斷；及一第二金屬層，其位於該第一金屬層上方，自一俯視視角看，該第二金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第二介電構件切斷，其中該第二介電構件安置成與該第一介電構件錯開。

本發明的一實施例揭露一種用於製造一半導體結構之方法，其包括：接收具有一主動側之一半導體基板；形成最靠近該半導體基板之該主動側之一第一金屬層，其中一第一介電構件切斷該第一金屬層之一連續金屬構件；形成位於該半導體基板之該主動側處且比該第一金屬層更遠離該主動側之一第二金屬層，其中一第二介電構件切斷該第二金屬層之一連續金屬構件，其中該第二介電構件安置成與該第一介電構件錯開；及形成自該半導體基板延伸至該第一金屬層之一貫穿基板通路(TSV)。

【圖式簡單說明】

附圖中依舉例而非限制之方式繪示一或多個實施例，其中具有相同元件符號之元件表示所有圖中之相同元件。除非另有揭露，否則圖式未按

比例繪製。

圖1係展示根據本揭露之一些實施例之一半導體結構之一互連的一剖面圖。

圖2係展示根據本揭露之一些實施例之一半導體結構之一互連的一剖面圖。

圖3係展示根據本揭露之一些實施例之一半導體結構之一互連的一剖面圖。

圖4係展示根據本揭露之一些實施例之一半導體結構之一互連的一剖面圖。

圖5係展示根據本揭露之一些實施例之一半導體結構之一互連的一剖面圖。

圖6係展示根據本揭露之一些實施例之兩個相鄰層之一互連圖案結構的一俯視圖。

圖7係展示根據本揭露之一些實施例之兩個相鄰層之一互連圖案結構的一俯視圖。

圖8係展示根據本揭露之一些實施例之兩個相鄰層之一互連圖案結構的一俯視圖。

圖9係展示根據本揭露之一些實施例之兩個相鄰層之一互連圖案結構的一俯視圖。

圖10至圖14係根據本揭露之一些實施例之各種製造操作中之一半導體結構之剖面圖。

【實施方式】

下文將詳細討論本揭露之實施例之製造及使用。然而，應瞭解，實

施例提供可在各種特定背景中體現之諸多適用發明概念。所討論之特定實施例僅繪示用於製造及使用實施例之特定方式，且不限制本揭露之範疇。在所有各種視圖及繪示性實例中，相同元件符號用於標示相同元件。現將詳細參考附圖中所繪示之例示性實施例。只要可能，則相同元件符號在圖式及描述中用於係指相同或相似部件。在圖式中，為清楚及方便起見，可放大形狀及厚度。本描述將尤其針對形成根據本揭露之一設備之部分或更直接地與該設備結合之元件。應瞭解，未特別展示或描述之元件可呈各種形式。參考本說明書中之「一實施例」意謂結合該實施例所描述之一特定特徵、結構或特性包含於至少一實施例中。因此，出現於本說明書之各種位置中之片語「在一實施例中」未必全部係指相同實施例。此外，特定特徵、結構或特性可在一或多個實施例中依任何適合方式組合。應瞭解，附圖未按比例繪製；確切而言，此等圖僅供說明。

此外，為便於描述，諸如「下面」、「下方」、「下」、「上方」、「上」及其類似者之空間相對術語可在本文中用於描述一元件或構件與另一(些)元件或構件之關係，如圖中所繪示。空間相對術語除涵蓋圖中所描繪之定向之外，亦意欲涵蓋裝置在使用或操作中之不同定向。設備可依其他方式定向(旋轉90度或依其他定向)且亦可相應地解譯本文所使用之空間相對描述詞。

作為半導體製造之一部分，需要形成電互連層來使半導體裝置之各種微電子元件(例如源極/汲極、閘極等等)電互連。一般而言，此涉及：在層中(諸如，在電絕緣層中)形成開口，且隨後使用一導電材料填充此等開口。接著，拋光導電材料以形成諸如金屬線或通路之電互連層。

然而，隨著半導體技術代不斷推進縮小比例尺度程序，準確對準或

重疊會因溝槽大小不斷減小而變得有問題。例如，會更難以使通路與上方及下方之所要金屬線準確對準。當發生通路失準或重疊問題時，習知製造方法會導致通路開口下方之一介電材料(例如ILD)之非所要過蝕刻。當隨後使用一金屬材料填充通路開口時，其形狀類似於一虎齒。此「虎齒」通路會導致不佳裝置效能。需要使用較嚴緊處理窗來避免此等問題，但其亦會使裝置效能降級。

另一方面，隨著技術節點不斷減小，不同互連組件依不同速率縮小。例如，在大於或等於20 N金屬(N20及以上)之技術節點中，具有約為或大於2.4微米之一寬度之一貫穿矽通路(TSV)與一第一金屬層之金屬線接觸。如本文所描述，第一金屬層係後段製程操作中之第一金屬線層。習知地，第一金屬層之一厚度大於1.5 μm ，且第一金屬層之一俯視圖案係不具有介電構件之固體。然而，當將技術節點推進至次20 nm (N16或N7)時，TSV之寬度保持實質上相同，但第一金屬層之厚度減小至約0.8 μm ，且一額外設計規則使第一金屬層中之連續金屬構件之一尺寸不大於2 μm 。連續金屬構件由無任何中斷或未由除金屬之外之材料(例如介電質(層間介電質(ILD)或金屬間介電質(IMD)))切斷之一特定金屬區域界定。該特定金屬區域中之距離之量測係連續金屬構件之尺寸。本揭露之附圖中呈現連續金屬構件之繪示。

顯而易見，在N16或N7中，第一金屬層處之TSV之一寬度(例如2.4 μm)大於第一金屬層中之連續金屬構件之尺寸(例如2 μm)，因此，先前所討論之一第一組虎齒結構出現於TSV/第一金屬層界面處。儘管第一金屬層之金屬部分充當與形成TSV溝槽相關之一蝕刻停止層，但當蝕刻劑容易地移除除金屬之外之材料(例如介電質)時，金屬在TSV鍍覆操作期間穿透

連續金屬構件之邊界處之第一金屬層。再者，因為第一金屬層之厚度減小且半導體基板之總厚度變動係為 $1\ \mu\text{m}$ ，所以TSV溝槽蝕刻操作會過蝕刻第一金屬層且穿通第一金屬層之金屬部分以致使形成一第二組虎齒結構。第二組虎齒結構之穿透程度不會像第一組虎齒結構之穿透程度般嚴重。本揭露之附圖中呈現第一組虎齒結構及第二組虎齒結構之繪示。

為減輕導致各種裝置效能擔憂(諸如歸因於TSV與非所要金屬層短接之信號損傷)之虎齒結構之形成，本揭露提出一種新穎結構及方法，其在不犧牲效能之情況下利用相鄰金屬層之圖案化來放大處理窗。現將參考圖1至圖14更詳細討論本揭露之各種態樣。

參考圖1，圖1係展示根據本揭露之一些實施例之一半導體結構10之一互連的一剖面圖。半導體結構10包含一基板100，其具有一主動側100A及與主動側100A對置之一被動側100B。諸如電晶體及記憶體之主動組件形成於主動側100A接近處。在技術節點N14及其以上中，基板100之一總厚度變動(TTV)係約 $1\ \mu\text{m}$ 。TTV之存在易於影響一貫穿基板溝槽之後續蝕刻操作之精確度，如下文將在製造操作中進一步討論。在一些實施例中，半導體基板100包含矽。替代地，根據一些實施例，基板100可包含諸如鍺之其他元素半導體。另外或替代地，在一些實施例中，基板100包含諸如碳化矽、鎵砷、砷化銮及磷化銮之一化合物半導體。在一些實施例中，基板100包含諸如矽鍺、碳化矽鍺、磷化鎵砷及磷化銮鎵之一合金半導體。

基板100可包含形成於主動側100A上之一磊晶層，諸如覆於一塊狀半導體晶圓上之一磊晶半導體層。在一些實施例中，基板100包含一絕緣體上覆半導體(SOI)結構。例如，基板可包含藉由諸如植氧分離(SIMOX)

之一程序所形成之一埋藏氧化物(BOX)層。在各種實施例中，基板100包含藉由諸如離子植入及/或擴散之一程序所形成之各種p型摻雜區域及/或n型摻雜區域，諸如p型井、n型井、p型源極/汲極構件及/或n型源極/汲極構件。基板100可包含諸如電阻器、電容器、二極體、電晶體(諸如場效電晶體(FET))之其他功能構件。基板100可包含經組態以使形成於基板100上之各種裝置分離之橫向隔離構件。基板100可進一步包含一多層互連(MLI)結構之一部分。多層互連結構包含複數個金屬層中之金屬線。不同金屬層中之金屬線可透過垂直導電構件(亦指稱通路構件)連接。多層互連結構進一步包含經組態以將金屬線連接至基板100上之閘極電極及/或摻雜構件之接點。多層互連結構經設計以耦合各種裝置構件(諸如各種p型及n型摻雜區域、閘極電極及/或被動裝置)以形成一功能電路。

如圖1中所展示，一絕緣層101安置於第一側100A上方且夾置於基板100與一互連層102之間。互連層102進一步包含一第一金屬層1021、一第一通路層1022及包圍第一金屬層1021及第一通路層1022之介電質1013。在一些實施例中，絕緣層101由相同於介電質1013之材料組成。與N20及更大技術節點中之1.5 μm 相比，N14技術節點中之第一金屬層1021之一厚度T1低於1 μm ，例如800埃。

參考圖6中之第一金屬層1021之俯視互連圖案60A，一連續金屬構件103可由無任何中斷或未由除金屬之外之材料(例如介電質(層間介電質(ILD)或金屬間介電質(IMD)))切斷之一特定金屬區域界定。該特定金屬區域中之距離之量測係連續金屬構件103之尺寸。如圖1及圖6中所繪示，自互連圖案60A之一中心開始朝向圖案之周邊，連續金屬構件103由一第一介電構件104切斷，且連續金屬構件103之一尺寸可為由第一介電構件104

圍封之一寬度 $W1$ 。返回參考圖1，就技術節點N14而言，在一些實施例中，連續金屬構件103之尺寸 $W1$ 小於 $2\ \mu\text{m}$ 。連續金屬構件之尺寸設定為金屬圖案設計之一設計規則。遵循此規則之金屬層將自包含金屬層中之應力之適當釋放之各種設計考量獲益。如圖6中之第一金屬層1021之俯視互連圖案60A中所展示，第一介電構件104顯現為具有一間斷帶結構。若干金屬橋1031連接第一介電構件104內之連續金屬構件103及第一介電構件104外之連續金屬構件103。儘管俯視圖案60A中未展示，但第一介電構件104外之連續金屬構件亦遵循上文所討論之小於 $2\ \mu\text{m}$ 設計規則。

參考圖1，一貫穿基板通路(TSV) 105自基板100之一被動側100B朝向主動側100A延伸且進而與第一金屬層1021接觸。TSV通常形成於一半導體IC晶粒中以促進形成三維(3D)堆疊晶粒結構。TSV可用於提供3D堆疊晶粒結構之不同晶粒中之組件之間的電互連。如先前所討論，在技術節點N14中，TSV 105之一寬度 $W3$ 不與互連層102同步縮小，因此，寬度 $W3$ 大於連續金屬構件103之尺寸 $W1$ 。例如，寬度 $W3$ 可等於或大於 $2.4\ \mu\text{m}$ ，而尺寸 $W1$ 應小於 $2\ \mu\text{m}$ 。TSV 105與第一金屬層1021之間的重疊區域係虎齒形成之一熱點。儘管穿透第一介電構件104之一第一組虎齒107可不出現於最終產品中，但其在圖1中以虛線繪示。在一些實施例中，穿透連續金屬構件103內之第一金屬層1021之一第二組虎齒109在圖1中亦以虛線繪示。一般技術者應瞭解，所繪示之虎齒107、109僅供展示且不意欲限制半導體結構10之最終互連層。

參考圖2，圖2係展示根據本揭露之一些實施例之一半導體結構20之一互連的一剖面圖。在圖2中，互連層102進一步包含一第二金屬層1031及一第二通路層1032，該兩個層安置於半導體基板100之主動側100A處且

比第一金屬層1021更遠離主動側100A。

參考圖6中之第二金屬層1031之俯視互連圖案60B，一連續金屬構件103'可由無任何中斷或未由除金屬之外之材料(例如介電質(層間介電質(ILD)或金屬間介電質(IMD)))切斷之一特定金屬區域界定。該特定金屬區域中之距離之量測係連續金屬構件130'之尺寸。如圖2及圖6中所繪示，自第二介電構件104'之一內部部分開始朝向圖案之周邊，連續金屬構件103'由第二介電構件104'之一外部部分切斷，且連續金屬構件103'之一尺寸可為第二介電構件104'之內部部分與外部部分之間所量測之一寬度W2。返回參考圖2，就技術節點N14而言，在一些實施例中，連續金屬構件103'之尺寸W2小於2 μm 。連續金屬構件之尺寸設定為金屬圖案設計之一設計規則。遵循此規則之金屬層將自包含金屬層中之應力之適當釋放之各種設計考量獲益。如圖6中之第二金屬層1031之俯視互連圖案60B中所展示，第二介電構件104'顯現為具有一間斷帶結構。若干金屬橋1031'連接第二介電構件104'之內部部分內之連續金屬構件103'及第二介電構件104'之內部部分外之連續金屬構件103'，如此等等。儘管俯視圖案60B中未展示，但第二介電構件104'之內部部分內之連續金屬構件亦遵循上文所討論之小於2 μm 設計規則。

如圖2中所展示，第二介電構件104'及第一介電構件104安置成彼此錯開。即，第一金屬層1021處之第一介電構件104之垂直投影不與第二金屬層1031處之第二介電構件104'重疊。第一介電構件104及第二介電構件104'之此錯開配置有效地防止第一組虎齒107穿透至更遠離主動側100A之金屬層。

參考圖3，圖3係展示根據本揭露之一些實施例之一半導體結構30之

一互連的一剖面圖。在圖3中，互連層102進一步包含一第三金屬層1041及一第三通路層1042，該兩個層安置於半導體基板100之主動側100A處且比第二金屬層1031更遠離主動側100A。

如圖3中所展示，第三金屬層1041可為無任何中斷或未由介電構件切斷之一連續金屬構件。在大於N20之技術節點中，通常採用無介電圖案之一固體金屬層作為第一金屬層。在技術節點N14及其以上中，如本文所討論，第三金屬層1041開始採用固體金屬層。另外，第三金屬層1041之一厚度可大於第一金屬層1021之厚度。例如，第三金屬層1041之厚度可為第一金屬層1021之厚度之兩倍。在一些實施例中，第三金屬層1041不必遵循上文所討論之小於2 μm 設計規則。

參考圖4，圖4係展示根據本揭露之一些實施例之一半導體結構40之一互連的一剖面圖。在圖4中，互連層102進一步包含一第三金屬層1041及一第三通路層1042，該兩個層安置於半導體基板100之主動側100A處且比第二金屬層1031更遠離主動側100A。

如圖4中所展示，第三金屬層1041可具有相同於第一金屬層1021之連續金屬構件103及第一介電構件104之一連續金屬構件103"及一第三介電構件104"兩者。另外，第三金屬層1041之厚度可相同於第一金屬層1021之厚度。在一些實施例中，第三金屬層1041亦遵循上文所討論之小於2 μm 設計規則。即使第三金屬層1041及第一金屬層1021共用實質上相同之連續金屬構件及介電構件，但該等構件安置成相對於第一金屬層與第三金屬層之間的第二金屬層1031錯開。本揭露規定：相鄰金屬層將必須應用錯開圖案，而非相鄰金屬層不必受限於此規則。

參考圖5，圖5係展示根據本揭露之一些實施例之一半導體結構50之

一互連的一剖面圖。在圖5中，互連層102進一步包含一第四金屬層1051及一第四通路層1052，該兩個層安置於半導體基板100之主動側100A處且比第三金屬層1041更遠離主動側100A。

如圖5中所展示，第三金屬層1041之連續金屬構件103''及第三介電構件104''不同於第二金屬層1031之連續金屬構件103'及第二介電構件104'。另外，第四金屬層1051之連續金屬構件103'''及第三介電構件104''不同於第三金屬層1041之連續金屬構件及介電構件。在一些實施例中，第四金屬層1051之厚度可相同於第一金屬層1021之厚度。在一些實施例中，第四金屬層1051亦遵循上文所討論之小於2 μm 設計規則。儘管圖5中未繪示，但在一些實施例中，第三金屬層1041之連續金屬構件103''及第三介電構件104''可實質上相同於第一金屬層1021之連續金屬構件及介電構件且第四金屬層1051之連續金屬構件103'''及第四介電構件104'''可實質上相同於第二金屬層1031之連續金屬構件及介電構件。在本發明實施例中，更遠離主動側100A之一第五金屬層(圖中未展示)可具有一固體金屬圖案及大於2 μm 之一設計規則，如先前所討論。

在技術節點N14及其以上之前提下遵循上文所討論之小於2 μm 設計規則。然而，在技術節點N7中，金屬層之設計規則可(例如)小於0.5 μm 。換言之，就技術節點N7而言，遵循設計規則之金屬層中之連續金屬構件之尺寸應小於0.5 μm 。

參考圖6，圖6係展示根據本揭露之一些實施例之兩個相鄰層之兩個互連圖案結構60A、60B的一俯視圖。如先前所討論，互連圖案結構60A係圖1及圖2中所展示之第一金屬層1021之一俯視圖，而互連圖案結構60B係圖2中所展示之第二金屬層1031之一俯視圖。相同於先前所提及之元件

符號的元件符號表示實質上相同組件，且為簡潔起見，此處不再重複。使用對準虛線繪示圖案結構60A及60B以展示將第一介電構件104向下投影至第二金屬層1031之一連續金屬構件103'。另一方面，將第二介電構件104'之一內部部分及外部部分向上投影至第一金屬層1021之一連續金屬構件103。可在圖6中清楚地看到第一介電構件104及第二介電構件104'之錯開安置。此外，亦自圖6之一俯視視角展示第一通路層1022及第二通路層1032。如先前所討論，第一介電構件104及第二介電構件104'具有一間斷帶。

參考圖7，圖7係展示根據本揭露之一些實施例之兩個相鄰層之兩個互連圖案結構70A、70B的一俯視圖。如先前所討論，互連圖案結構70A係圖1及圖2中所展示之第一金屬層1021之一俯視圖，而互連圖案結構70B係圖2中所展示之第二金屬層1031之一俯視圖。在一些實施例中，第一介電構件104及第二介電構件104'顯現為具有一閉合帶結構。無金屬橋連接第一介電構件104內之連續金屬構件103及第一介電構件104外之連續金屬構件103。類似地，無金屬橋連接第二介電構件104'之內部部分內之連續金屬構件103'及第二介電構件104'之內部部分外之連續金屬構件103'。使用對準虛線繪示圖案結構70A及70B以展示將第一介電構件104向下投影至第二金屬層1031之一連續金屬構件103'。另一方面，將第二介電構件104'之一內部部分及外部部分向上投影至第一金屬層1021之一連續金屬構件103。儘管俯視圖案60B中未展示，但第二介電構件104'之內部部分內之連續金屬構件亦遵循上文所討論之小於2 μm 設計規則。

參考圖8，圖8係展示根據本揭露之一些實施例之兩個相鄰層之一互連圖案結構80A、80B的一俯視圖。如先前所討論，互連圖案結構80A係

圖1及圖2中所展示之第一金屬層1021之一俯視圖，而互連圖案結構80B係圖2中所展示之第二金屬層1031之一俯視圖。在一些實施例中，第一介電構件104顯現為具有一斷開帶結構。若干介電橋將第一介電構件104連接至第一介電構件104之另一部分(圖中未展示)。然而，為維持相鄰金屬層之間的錯開特徵，第二介電構件104'顯現為具有一閉合帶結構。使用對準虛線繪示圖案結構80A、80B以展示將第一介電構件104向下投影至第二金屬層1031之一連續金屬構件103'。另一方面，將第二介電構件104'之一內部部分及外部部分向上投影至第一金屬層1021之一連續金屬構件103。

參考圖9，圖9係展示根據本揭露之一些實施例之兩個相鄰層之一互連圖案結構90A、90B之一俯視圖。如先前所討論，互連圖案結構90A係圖1及圖2中所展示之第一金屬層1021之一俯視圖，而互連圖案結構90B係圖2中所展示之第二金屬層1031之一俯視圖。在一些實施例中，第一介電構件104顯現為具有一間斷帶結構。若干金屬橋1031連接第一介電構件104內之連續金屬構件103及第一介電構件104外之連續金屬構件103。為維持相鄰金屬層之間的錯開特徵，第二介電構件104'顯現為具有一斷開帶結構。使用對準虛線繪示圖案結構90A、90B以展示將第一介電構件104向下投影至第二金屬層1031之一連續金屬構件103'。另一方面，將第二介電構件104'之一內部部分及外部部分向上投影至第一金屬層1021之一連續金屬構件103。

圖10至圖14係根據本揭露之一些實施例之各種製造操作中之一半導體結構30之剖面圖。在圖10中，接收具有一主動側100A及一被動側100B之一半導體基板100。如先前所討論，將諸如記憶體或電晶體之主動組件定位於主動側100A接近處，使用於使不同主動區域分離之一絕緣層101

(諸如一淺溝槽隔離區)亦形成於基板之主動側100A接近處。隨後，可使諸如一層間介電質(ILD)之一介電層101形成於絕緣層101及基板100上方。在介電層101上方，製造具有各金屬層之先前所討論圖案之裝置之互連層102。在圖10所繪示之實施例中，形成三個金屬層及通路層。在一些實施例中，金屬層係諸如一金屬線、一金屬通路構件或一金屬接點構件之一金屬構件。

例如，藉由一鑲嵌程序來形成第一金屬層1021，如下文將進一步描述。使第一介電材料層形成於介電層101上。替代地，使一蝕刻停止層(圖中未展示)形成於介電層101上且使第一介電材料層形成於蝕刻停止層上。在一些實施例中，第一介電材料層包含諸如氧化矽、氮化矽、低介電係數(低k)材料或其等之一組合之一介電材料。低k材料可包含(例如)摻氟矽玻璃(FSG)、摻碳氧化矽、Black Diamond[®] (Applied Materials of Santa Clara, Calif.)、乾凝膠、氣凝膠、非晶氟化碳、聚對二甲苯、雙苯並環丁烯(BCB)、SiLK (Dow Chemical, Midland, Mich.)、聚醯亞胺、多孔聚合物及/或其他適合材料。形成第一介電材料層之一程序可利用化學氣相沈積(CVD)、旋塗塗覆或其他適合沈積技術。蝕刻停止層包含不同於第一介電材料層之一材料，其經設計以提供蝕刻選擇性，使得一後續蝕刻程序能夠實質上蝕刻第一介電材料層且停止於蝕刻停止層上。例如，蝕刻停止層包含氮化矽、氧化矽、氮氧化矽、碳化矽或用於停止後續蝕刻程序之蝕刻之其他適合材料。可藉由CVD或其他適合技術來形成蝕刻停止層。在沈積(蝕刻停止層及)第一介電材料層之後，可藉由諸如化學機械拋光(CMP)之一技術來進一步平坦化第一介電材料層。

其後，藉由一微影程序來圖案化第一金屬層1021之一遮罩層(圖中未

展示)，藉此形成具有一(或多個)開口之一圖案化遮罩層以界定一(或若干)金屬線之一(或若干)區域，如圖6至圖9中所繪示。在一些實施例中，圖案化遮罩層之開口對應於第一金屬層1021中之連續金屬構件103之位置，且圖案化遮罩層之覆蓋區域對應於第一金屬層1021中之第一介電構件104之位置。金屬線係指待形成之一上金屬層中之一金屬線。在一些實施例中，遮罩層係一光阻層，圖案化程序係包含旋塗塗覆、曝光及顯影之一微影程序。在一些實施例中，遮罩層係一硬遮罩，圖案化程序包含：使用一微影程序使一圖案化光阻層形成於硬遮罩上；及使用圖案化光阻層作為一蝕刻遮罩，透過圖案化光阻層之開口蝕刻硬遮罩。在形成圖案化硬遮罩之後，可藉由電漿灰化或濕式剝離來移除圖案化光阻層。

第一通路層1022之形成可參考先前關於第一金屬層1021之形成所討論之段落，且為簡潔起見，此處不再重複。當然，第一通路層1022之圖案化隨第一金屬層1021之圖案化而對應改變。第二金屬層1031之形成可參考先前關於第一金屬層1021之形成所討論之段落，且為簡潔起見，此處不再重複。第二金屬層1031之圖案包含一連續金屬構件103'及一第二介電構件104'，如先前所描述。第一金屬層1021中之第一介電構件104經設計以與第二金屬層1031中之第二介電構件104'錯開安置。此外，在圖10中，第三金屬層1041之形成可參考先前關於第一金屬層1021之形成所討論之段落，且為簡潔起見，此處不再重複。在一些實施例中，第三金屬層1041可為無任何中斷或未由介電構件切斷之一連續金屬構件。

在一些實施例中，可接著透過諸如背面研磨、蝕刻、CMP或其類似者之已知技術自一被動側100B薄化基板100，且使一厚鈍化層100'（例如氧化物層）形成於被動側100B上之薄化表面上方。

在圖11中，經由一第一蝕刻操作自基板100之被動側100B部分形成一貫穿基板通路(TSV)凹槽105'。第一蝕刻操作自被動側100B移除基板100，直至到達絕緣層303。在一些實施例中，第一蝕刻操作利用適合於移除基板材料之一蝕刻化學作用。在基板100之主動側100A接近處形成CMOS裝置之後及在互連層102中形成金屬層(例如至少M1至M3)之金屬化程序之後形成TSV凹槽105'。在使用先進處理技術所製造之一IC中，金屬間介電(IMD)層1013通常由具有低介電係數(低k)或極低介電係數之介電材料形成以試圖減少金屬層間寄生電容以因此提高信號速度及增強信號完整性。作為一實例，一低k介電材料具有小於2.9之一介電係數且由一多孔有機介電材料形成。

在圖12中，經由一第二蝕刻操作自基板100之被動側100B完全形成一貫穿基板通路(TSV)凹槽105''。第二蝕刻操作移除剩餘絕緣層303、介電層303，直至到達第一金屬層1021。在一些實施例中，第二蝕刻操作利用不同於第一蝕刻操作之蝕刻化學作用之一蝕刻化學作用，例如，第二蝕刻操作利用適合於移除介電材料之化學作用。其能夠控制判定虎齒形成之第二蝕刻。例如，若第二蝕刻被視為過蝕刻，則第一金屬層1021層級及第一通路層1022處之IMD層1013可由蝕刻劑移除以提供由後續金屬材料填充之一虎齒凹穴。第一金屬層1021層級處之IMD層1013對應於先前所討論之第一介電構件104。

此TSV凹槽105''形成程序在先進處理技術中產生若干問題。問題之一係在金屬間介電層中形成TSV凹槽105''通常涉及多個蝕刻程序；處理中之晶圓通常要排隊等待各種蝕刻程序完成。在處理期間，一晶圓處理設施中之水分或其他化學試劑可自TSV凹槽之側壁滲出至低k金屬間介電層中

且在金屬間介電層中擴散，其會導致低k介電材料之非所要特性變化。歸因於TSV凹槽之大暴露表面積，此有害效應會較為顯著且引起嚴重裝置效能降級及良率損失。此處所提供之第一蝕刻及第二蝕刻提供藉由在TSV凹槽105"形成之最後蝕刻操作中暴露低k IMD層1013來減少IMD層1013之特性變化之一方法。

隨後，藉由諸如一金屬化學氣相沈積程序(CVD)或一金屬電鍍程序之一金屬化程序來使形成於IMD層及基板100中之TSV凹槽105"填充導電金屬材料。隨後，可對基板100之被動側100B執行諸如金屬CVD或金屬鍍覆之金屬化程序以在TSV凹槽105"中填充銅(Cu)或適合導電材料以在基板100中形成TSV 105。亦可使用其他適合導電材料(諸如鋁(Al)、鎢(W)、鈷(Co)、金(Au)、銀(Ag)、鉑(Pt)、矽(Si))及其他適合沈積程序以形成TSV 105。

接著，在圖13中，可對基板100之被動側100B執行一CMP操作以移除過量TSV材料且提供用於後續處理操作之所要平坦基板表面。在形成TSV 105之金屬化程序之前，可藉由諸如CVD或物理氣相沈積(PVD)之適合程序來使諸如氮化鈦(TiN)層及/或金屬晶種層(圖中未展示)之一阻障層視情況保形地形成於TSV凹槽105"中。TSV凹槽105"中之一阻障層可防止任何導電TSV材料滲出至基板100之主動側100A處之電路之任何主動部分中。亦如圖13中所展示，使用虛線繪示第一組虎齒107以展示可能位置及第二金屬層1031可如何有效防止第一組虎齒107朝向較高金屬層進一步穿透。

在圖14中，可進一步處理基板100之被動側100B以形成絕緣層116、介電層(圖中未展示)、導電界面(圖中未展示)、接墊(圖中未展示)，其中

類似材料及處理技術用於先前形成於基板100之主動側100A上方之類似構件。因此所處理之基板100可自兩側接合至其他積體電路晶圓及晶粒。亦如圖14中所展示，在金屬化程序之後，接近第一金屬層1021之TSV 105之一寬度W3大於第一金屬層1021之第一介電構件104之一尺寸。由於「虎齒」通路穿通不再成問題，所以可放寬用於形成TSV 105之處理窗且亦可提高裝置效能。

一些實施例提供一種半導體結構，其包含：一半導體基板，其具有一主動側；一互連層，其位於該半導體基板之該主動側上方；及一貫穿基板通路(TSV)，其自該半導體基板延伸至第一金屬層。該互連層包含最靠近該半導體基板之該主動側之一第一金屬層，該第一金屬層之一厚度低於1微米，且自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米。該連續金屬構件由一第一介電構件切斷。

一些實施例提供一種互連圖案結構，其包含一第一金屬層及該第一金屬層上方之一第二金屬層。自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米。該連續金屬構件由一第一介電構件切斷。自一俯視視角看，該第二金屬層之一連續金屬構件之一尺寸小於2微米。該連續金屬構件由一第二介電構件切斷。該第二介電構件安置成與該第一介電構件錯開。

一些實施例提供一種用於製造一半導體結構之方法。該方法包含：接收具有一主動側之一半導體基板；形成最靠近該半導體基板之該主動側之一第一金屬層，其中一第一介電構件切斷該第一金屬層之一連續金屬構件；形成位於該半導體基板之該主動側處且比該第一金屬層更遠離該主動側之一第二金屬層，其中一第二介電構件切斷該第二金屬層之一連續金屬

構件。該第二介電構件安置成與該第一介電構件錯開。形成自該半導體基板延伸至該第一金屬層之一貫穿基板通路(TSV)。

儘管已詳細描述本發明實施例及其優點，但應瞭解，可在不背離由隨附申請專利範圍界定之本發明實施例之精神及範疇之情況下對本文進行各種改變、替代及更改。例如，上文所討論之諸多程序可以不同方法實施且由其他程序或其等之一組合替換。

再者，本申請案之範疇不意欲受限於本說明書中所描述之程序、機器、製造、物質組成、措施、方法及步驟之特定實施例。一般技術者應易於自本發明實施例之揭露瞭解，可根據本發明實施例利用現存或後來發展之程序、機器、製造、物質組成、措施、方法或步驟，其等執行實質上相同於本文所描述之對應實施例之功能或達成實質上相同於本文所描述之對應實施例之結果。因此，隨附申請專利範圍意欲將此等程序、機器、製造、物質組成、措施、方法或步驟包含於其範疇內。

【符號說明】

10	半導體結構
20	半導體結構
30	半導體結構
40	半導體結構
50	半導體結構
60A	互連圖案結構
60B	互連圖案結構
70A	互連圖案結構
70B	互連圖案結構

80A	互連圖案結構
80B	互連圖案結構
90A	互連圖案結構
90B	互連圖案結構
100	基板
100'	鈍化層
100A	主動側
100B	被動側
101	絕緣層/介電層
102	互連層
103	連續金屬構件
103'	連續金屬構件
103''	連續金屬構件
103'''	連續金屬構件
104	第一介電構件
104'	第二介電構件
104''	第三介電構件
104'''	第四介電構件
105	貫穿基板通路(TSV)
105'	TSV凹槽
105''	TSV凹槽
107	第一組虎齒
109	第二組虎齒

116	絕緣層
303	絕緣層/介電層
1013	介電質/金屬間介電(IMD)層
1021	第一金屬層
1022	第一通路層
1031	金屬橋/第二金屬層
1031'	金屬橋
1032	第二通路層
1041	第三金屬層
1042	第三通路層
1051	第四金屬層
1052	第四通路層
T1	厚度
W1	寬度/尺寸
W2	寬度/尺寸
W3	寬度



201917801

【發明摘要】

【中文發明名稱】

半導體結構及其製造方法

【英文發明名稱】

SEMICONDUCTOR STRUCTURE AND MANUFACTURING
METHOD FOR THE SAME

【中文】

本發明實施例係關於一種半導體結構，其包含：一半導體基板，其具有一主動側；一互連層，其位於該半導體基板之該主動側上方；及一貫穿基板通路(TSV)，其自該半導體基板延伸至第一金屬層。該互連層包含最靠近該半導體基板之該主動側之一第一金屬層，該第一金屬層之一厚度低於1微米，且自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米。該連續金屬構件由一第一介電構件切斷。本發明實施例亦係關於一種用於製造本文所描述之半導體結構之方法。

【英文】

Present disclosure provides a semiconductor structure, including a semiconductor substrate having an active side, an interconnect layer over the active side of the semiconductor substrate, and a through substrate via (TSV) extending from the semiconductor substrate to the first metal layer. The interconnect layer includes a first metal layer closest to the active side of the semiconductor substrate, a thickness of the first metal layer is lower than 1 micrometer, and a dimension of a continuous metal feature of the first metal layer is less than 2

micrometer from a top view perspective. The continuous metal feature is cut off by a first dielectric feature. Present disclosure also provides a method for manufacturing the semiconductor structure described herein.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

10	半導體結構
100	基板
100A	主動側
100B	被動側
101	絕緣層/介電層
102	互連層
103	連續金屬構件
104	第一介電構件
105	貫穿基板通路(TSV)
107	第一組虎齒
109	第二組虎齒
1013	介電質/金屬間介電(IMD)層
1021	第一金屬層
1022	第一通路層
T1	厚度
W1	寬度/尺寸
W3	寬度

【發明申請專利範圍】

【第1項】

一種半導體結構，其包括：

一半導體基板，其具有一主動側；

一互連層，其接近該半導體基板之該主動側，該互連層包括：

一第一金屬層，其最靠近該半導體基板之該主動側，該第一金屬層之一厚度小於1微米，自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第一介電構件切斷；

一貫穿基板通路(TSV)，其自該半導體基板延伸至該第一金屬層。

【第2項】

如請求項1之半導體結構，其進一步包括位於該半導體基板之該主動側處且比該第一金屬層更遠離該主動側之一第二金屬層，該第二金屬層包括一第二介電構件，自一俯視視角看，該第二介電構件切斷該第二金屬層之一連續金屬構件，該第二介電構件安置成與該第一介電構件錯開。

【第3項】

如請求項2之半導體結構，該第二介電構件包括該第二金屬層中之一內部部分及一外部部分。

【第4項】

如請求項2之半導體結構，其進一步包括位於該半導體基板之該主動側處且比該第二金屬層更遠離該主動側之一第三金屬層，該第三金屬層包括一連續金屬構件。

【第5項】

如請求項2之半導體結構，其進一步包括位於該半導體基板之該主動側處且比該第二金屬層更遠離該主動側之一第三金屬層，該第三金屬層包括一第三介電構件，自一俯視視角看，該第三介電構件切斷該第三金屬層之一連續金屬構件，該第三介電構件實質上相同於該第一介電構件。

【第6項】

如請求項1之半導體結構，其中該第一介電構件包括一間斷帶。

【第7項】

如請求項1之半導體結構，其中該第一金屬層處之該TSV之一寬度大於該連續金屬構件之該尺寸。

【第8項】

一種互連圖案結構，其包括：

一第一金屬層，自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第一介電構件切斷；及

一第二金屬層，其位於該第一金屬層上方，自一俯視視角看，該第二金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第二介電構件切斷，

其中該第二介電構件安置成與該第一介電構件錯開。

【第9項】

如請求項8之互連圖案結構，其中該第一金屬層之一厚度低於1微米。

【第10項】

如請求項9之互連圖案結構，其進一步包括：

一半導體基板，其接近該第一金屬層；及

一貫穿基板通路(TSV)，其自該半導體基板延伸至該第一金屬層。

【第11項】

如請求項10之互連圖案結構，其中該第一金屬層處之該TSV之一寬度大於該連續金屬構件之該尺寸。

【第12項】

如請求項8之互連圖案結構，其中該第一介電構件包括一閉合帶。

【第13項】

如請求項8之互連圖案結構，其中該第一介電構件包括一斷開帶。

【第14項】

如請求項8之互連圖案結構，其中自一俯視視角看，該第一金屬層之該連續金屬構件之該尺寸小於0.5微米。

【第15項】

如請求項8之互連圖案結構，其進一步包括：

一第三金屬層，其位於該第二金屬層上方，該第三金屬層之一連續金屬構件由一第三介電構件切斷；及

一第四金屬層，其位於該第三金屬層上方，該第四金屬層之一連續金屬構件由一第四介電構件切斷，

其中該第三介電構件安置成與該第二介電構件錯開，且該第四介電構件安置成與該第三介電構件錯開。

【第16項】

如請求項15之互連圖案結構，其中該第三介電構件實質上相同於該第一介電構件，且該第四介電構件實質上相同於該第二介電構件。

【第17項】

如請求項15之互連圖案結構，其中自一俯視視角看，該第三金屬層之該連續金屬構件之一尺寸小於2微米。

【第18項】

一種用於製造一半導體結構之方法，其包括：

接收具有一主動側之一半導體基板；

形成最靠近該半導體基板之該主動側之一第一金屬層，其中一第一介電構件切斷該第一金屬層之一連續金屬構件；

形成位於該半導體基板之該主動側處且比該第一金屬層更遠離該主動側之一第二金屬層，其中一第二介電構件切斷該第二金屬層之一連續金屬構件，其中該第二介電構件安置成與該第一介電構件錯開；及

形成自該半導體基板延伸至該第一金屬層之一貫穿基板通路(TSV)。

【第19項】

如請求項18之方法，其中該形成該TSV包括：

自該半導體基板之一被動側執行一第一蝕刻，直至到達接近該主動側之一絕緣層，該被動側與該主動側對置；及

自該絕緣層執行一第二蝕刻，直至到達該第一金屬層。

【第20項】

如請求項18之方法，其中該第一金屬層處之該TSV之一寬度大於該第一介電構件之一尺寸。

【發明申請專利範圍】

【第1項】

一種半導體結構，其包括：

一半導體基板，其具有一主動側；

一互連層，其接近該半導體基板之該主動側，該互連層包括：

一第一金屬層，其最靠近該半導體基板之該主動側，該第一金屬層之一厚度小於1微米，自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第一介電構件切斷；

一貫穿基板通路(TSV)，其自該半導體基板延伸至該第一金屬層。

【第2項】

如請求項1之半導體結構，其進一步包括位於該半導體基板之該主動側處且比該第一金屬層更遠離該主動側之一第二金屬層，該第二金屬層包括一第二介電構件，自一俯視視角看，該第二介電構件切斷該第二金屬層之一連續金屬構件，該第二介電構件安置成與該第一介電構件錯開。

【第3項】

如請求項2之半導體結構，該第二介電構件包括該第二金屬層中之一內部部分及一外部部分。

【第4項】

如請求項2之半導體結構，其進一步包括位於該半導體基板之該主動側處且比該第二金屬層更遠離該主動側之一第三金屬層，該第三金屬層包括一連續金屬構件。

【第5項】

如請求項2之半導體結構，其進一步包括位於該半導體基板之該主動側處且比該第二金屬層更遠離該主動側之一第三金屬層，該第三金屬層包括一第三介電構件，自一俯視視角看，該第三介電構件切斷該第三金屬層之一連續金屬構件，該第三介電構件實質上相同於該第一介電構件。

【第6項】

如請求項1之半導體結構，其中該第一介電構件包括一間斷帶。

【第7項】

如請求項1之半導體結構，其中該第一金屬層處之該TSV之一寬度大於該連續金屬構件之該尺寸。

【第8項】

一種互連圖案結構，其包括：

一第一金屬層，自一俯視視角看，該第一金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第一介電構件切斷；及

一第二金屬層，其位於該第一金屬層上方，自一俯視視角看，該第二金屬層之一連續金屬構件之一尺寸小於2微米，其中該連續金屬構件由一第二介電構件切斷，

其中該第二介電構件安置成與該第一介電構件錯開。

【第9項】

如請求項8之互連圖案結構，其進一步包括：

一第三金屬層，其位於該第二金屬層上方，該第三金屬層之一連續金屬構件由一第三介電構件切斷；及

一第四金屬層，其位於該第三金屬層上方，該第四金屬層之一連續金屬構件由一第四介電構件切斷，

其中該第三介電構件安置成與該第二介電構件錯開，且該第四介電構件安置成與該第三介電構件錯開。

【第10項】

一種用於製造一半導體結構之方法，其包括：

接收具有一主動側之一半導體基板；

形成最靠近該半導體基板之該主動側之一第一金屬層，其中一第一介電構件切斷該第一金屬層之一連續金屬構件；

形成位於該半導體基板之該主動側處且比該第一金屬層更遠離該主動側之一第二金屬層，其中一第二介電構件切斷該第二金屬層之一連續金屬構件，其中該第二介電構件安置成與該第一介電構件錯開；及

形成自該半導體基板延伸至該第一金屬層之一貫穿基板通路(TSV)。