

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2011-0000090 (43) 공개일자 2011년01월03일
(51) Int. Cl. H01L 21/8247 (2006.01) H01L 27/115 (2006.01) H01L 21/203 (2006.01) (21) 출원번호 10-2009-0057452 (22) 출원일자 2009년06월26일 심사청구일자 2009년06월26일	(71) 출원인 경희대학교 산학협력단 경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내 (72) 발명자 최석호 경기도 수원시 영통구 영통동 989-2 현대아파트 726-1103 홍승휘 서울특별시 성북구 미아9동 신성빌라 나동 B-2호 김민철 경기도 수원시 장안구 정자동 13 기산아파트 909호 (74) 대리인 이덕록	

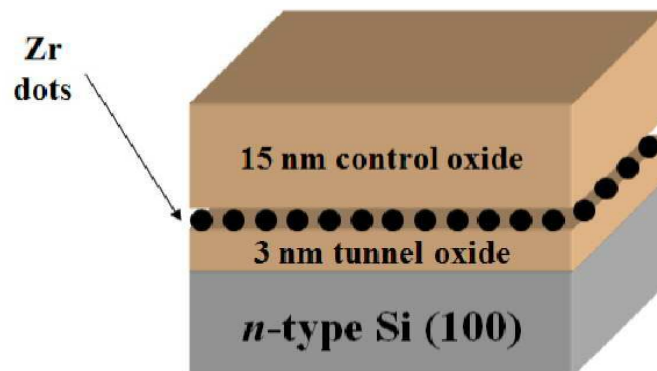
전체 청구항 수 : 총 6 항

(54) 이온빔 스퍼터링 증착법을 이용한 Zr 나노점 플래쉬 메모리 소자 제조 방법

(57) 요약

본 발명은 초고진공의 청정 조건하에서 증착 조건을 제어할 수 있는 이온빔 스퍼터링 증착법을 이용하여 Zr 및 ZrO₂ 나노점을 부유 게이트로 하는 플래쉬 메모리 소자의 제조 방법에 관한 것으로, 본 발명에 따른 방법에 의하여 플래쉬 메모리 소자를 제조함으로써 원하는 위치에 균일한 밀도의 Zr 나노점을 상온에서 형성할 수 있어 확산이나 내부식임 등의 문제점을 방지할 수 있는 효과가 있다.

대표도 - 도7



특허청구의 범위

청구항 1

웨이퍼 표면을 전처리하여 자연 산화막을 제거하는 단계;

상기 전처리한 웨이퍼 상에 터널 옥사이드 층을 증착시키는 단계;

상기 터널 옥사이드 상에 부유게이트로서 Zr 나노점 층을 증착시키는 단계; 및

상기 Zr 나노점 상에 컨트롤 옥사이드 층을 증착시키는 단계

로 이루어지며, 상기 각 층의 증착이 이온빔 스퍼터링 증착법을 이용하여 수행되는 것을 특징으로 하는 Zr 나노점 플래쉬 메모리 소자의 제조 방법.

청구항 2

제1항에 있어서, 상기 이온빔 스퍼터링 증착이 상온에서 5×10^{-9} torr의 초진공하에 수행되는 것을 특징으로 하는 Zr 나노점 플래쉬 메모리 소자의 제조 방법.

청구항 3

제1항에 있어서, 상기에서 제조된 Zr 나노점 플래쉬 메모리 소자를 600 내지 900 °C로 열처리하는 단계를 추가로 포함하여 Zr 나노점을 ZrO₂ 나노점으로 산화시키는 것을 특징으로 하는 Zr 나노점 플래쉬 메모리 소자의 제조 방법.

청구항 4

제1항의 방법에 따라 제조되어 웨이퍼 상에 터널 옥사이드 층, Zr 나노점 층 및 컨트롤 옥사이드 층이 순차적으로 증착되어 구성된 Zr 나노점 플래쉬 메모리 소자.

청구항 5

제4항에 있어서, 상기 Zr 나노점 층이 ZrO₂ 나노점 층인 것을 특징으로 하는 Zr 나노점 플래쉬 메모리 소자.

청구항 6

제4항에 있어서, 상기 터널 옥사이드 층 및 컨트롤 옥사이드 층이 SiO₂ 층인 것을 특징으로 하는 Zr 나노점 플래쉬 메모리 소자.

명세서

발명의 상세한 설명

기술 분야

[0001]

본 발명은 이온빔 스퍼터링 증착법을 이용한 플래쉬 메모리 소자 제조 방법에 관한 것으로, 보다 구체적으로는 초고진공의 청정 조건하에서 증착 조건을 제어할 수 있는 이온빔 스퍼터링 증착법을 이용하여 Zr 및 ZrO₂ 나노점

을 부유 게이트로 하는 플래쉬 메모리 소자의 제조 방법에 관한 것이다.

배경 기술

- [0002] 현재 플래쉬 메모리 분야에서 폴리 Si 부유 게이트 메모리(poly Si floating gate memory)는 9 ~ 10 V의 높은 조작 전압이 필요하고, 터널 옥사이드(tunnel oxide)의 두께가 두꺼우며, 프로그래밍/삭제(programing/erasing) 속도가 느리고, 65 nm 공정 이하에서는 타당성이 낮다는 문제점이 있었다(*S. J. Baik, S. Choi, U. -I. Chung, IEMD Tech. Dig., 2003*)(도 1 참조).
- [0003] 이러한 문제점을 극복하기 위한 대안으로 현재 연구되고 있는 차세대 플래쉬메모리 분야 중 NFGM(nano floating gate memory)(도 2 참조)은 조작 전압이 2 ~ 5 V로 낮고, lateral charge movement가 방지됨으로 인해 내구력이 개선되었으며, 프로그래밍/삭제 속도가 빠르고, 유지 시간이 긴 장점이 있다.
- [0004] 현재 NFGM에서 금속 나노점 (metal nanodot)을 부유 게이트(floating gate)로 사용하는 메모리의 연구가 활발히 진행 중에 있다. 금속 나노점은 일함수(work function)의 범위가 다양하고 상태밀도 (density of state)가 높아 특히 각광을 받고 있으며, 이러한 메모리의 연구 과정 중 부유게이트 (floating gate)를 구성하는 금속 나노점의 형성방법은 핵심적인 요소라 할 수 있다(도 3 및 4 참조).
- [0005] 그러나 현재까지의 연구에 따라 제작된 금속 나노점을 포함한 박막이나 이를 이용한 소자는 형성된 나노점의 크기가 균일하지 않거나 박막 내에서 형성되는 위치가 일정치 않고, 또한 대부분의 제작 방법은 고온에서 증착하기 때문에 이로 인한 금속 나노점의 확산(diffusion) 이나 내부섞임(intermixing) 등을 피할 수 없었다. 이러한 문제점들이 차후 제작되는 소자의 작동 시 특성을 저하 시키는 원인이 되고 있다.
- [0006] 기존의 성장법으로는 화학 증착법(Chemical Vapor Deposition), 펄스파 레이저 증착법(Pulse Laser Deposition), 이온 주입법(Ion Implantation), 공스퍼터링 및 열처리법(Cosputtering and Thermal annealing) 등이 사용되고 있으나, 이들은 결함 (defect)이 상대적으로 많이 생기고, 금속점의 위치나 크기를 제어하기 힘들며, 도트 크기의 균일도가 낮고, 위치의 분포편차가 크다는 단점이 있었다.
- [0007] 이에 본 발명에서는 상기와 같은 문제점을 해결하기 위하여, 초고진공의 청정 조건하에서 여러 증착조건이 잘 제어되는 이온빔 스퍼터링 증착법(ion beam sputtering deposition; IBSD)을 이용하여 Zr 및 ZrO₂ 나노점을 부유 게이트(floating gate)로 하는 플래쉬 메모리 소자를 제작하고, Zr 의 양, 열처리 온도 등을 조절하여 나노점이 형성되는 조건을 찾아내어, 다른 성장 방법들과는 달리, 원하는 위치에 균일한 밀도의 Zr 나노점을 상온에서 형성할 수 있기 때문에 확산이나 내부섞임 등의 문제점을 방지할 수 있음을 확인하고 본 발명에 이르게 되었다.

발명의 내용

해결 하고자하는 과제

- [0008] 따라서 본 발명의 목적은 초고진공의 청정 조건하에서 증착 조건을 제어할 수 있는 이온빔 스퍼터링 증착법을 이용하여 Zr 및 ZrO₂ 나노점을 부유 게이트로 하는 플래쉬 메모리 소자의 제조 방법을 제공하는 것이다.
- [0009] 또한 본 발명의 다른 목적은 상기 방법을 수행하기 위한 최적 조건을 제공하는 것이다.
- [0010] 또한 본 발명의 다른 목적은 상기 방법에 의하여 제조된 Zr 나노점 플래쉬 메모리 소자를 제공하는 것이다.

과제 해결수단

- [0011] 상기와 같은 본 발명의 목적은 이온빔 스퍼터링 증착법을 이용하여 웨이퍼 위에 Zr 및 ZrO₂ 나노점을 부유 게이트로 하여 플래쉬 메모리 소자를 제조하고, XPS 실험과 메모리 특성 측정을 통해 결함과 경계면 상태가 감소되고, 낮은 위치 분포 편차로 균일한 밀도의 Zr 나노점을 상온에서 형성할 수 있음을 확인함으로써 달성되었다.
- [0012] 본 발명은 이온빔 스퍼터링 증착법을 이용한 Zr 나노점 플래쉬 메모리 소자의 제조 방법을 제공한다.

- [0013] 본 발명의 방법은 다음과 같은 단계로 이루어진다:
- [0014] 웨이퍼 표면을 전처리하여 자연 산화막을 제거하는 단계;
- [0015] 상기 전처리한 웨이퍼 상에 터널 옥사이드 층을 증착시키는 단계;
- [0016] 상기 터널 옥사이드 상에 부유게이트로서 Zr 나노점 층을 증착시키는 단계; 및
- [0017] 상기 Zr 나노점 상에 컨트롤 옥사이드 층을 증착시키는 단계
- [0018] 로 이루어진다.
- [0019] 본 발명의 방법에 있어서, 상기 웨이퍼는 바람직하게는 n-형 Si를 사용할 수 있으나, 이에 제한되는 것은 아니며, 당업계에서 플래쉬 메모리 소자의 제작에 사용되는 일반적인 웨이퍼를 사용할 수 있다.
- [0020] 본 발명의 방법에 있어서, 웨이퍼 표면의 전처리는 바람직하게는 불산 용액을 사용하여 수행될 수 있으나, 이에 제한되는 것은 아니며, 당업계에서 웨이퍼 표면의 자연산화막을 제거하는 사용되는 일반적인 용제를 사용하여 수행할 수 있다.
- [0021] 본 발명의 방법에 있어서, 웨이퍼 상에 증착된 터널 옥사이드(tunnel oxide) 층은 중간 절연을 위해 매립한 산화막으로 바람직하게는 실리콘 산화막(SiO_2)를 사용할 수 있다. 본 발명의 방법에 따라 형성된 터널 옥사이드 층은 바람직하게는 3 nm의 두께로 형성시킬 수 있다.
- [0022] 본 발명의 방법에 있어서, 부유 게이트로서 터널 옥사이드 층 상에 증착된 Zr 나노점 층은 Zr의 양을 3 내지 6 ML(monolayer)로 하여 증착시킬 수 있다.
- [0023] 본 발명의 방법에 있어서, Zr 나노점 상에 증착된 컨트롤 옥사이드(control oxide) 층은 바람직하게는 실리콘 산화막(SiO_2)를 사용할 수 있다. 본 발명의 방법에 따라 형성된 컨트롤 옥사이드 층은 바람직하게는 15 nm의 두께로 형성시킬 수 있다.
- [0024] 도 5에 도시한 바와 같이, 본 발명의 방법을 수행하는데 이용된 이온빔 스퍼터링 증착 시스템은 이온빔 스퍼터의 타겟은 두 종류를 설치할 수 있도록 설계되었으며, Zr과 SiO_2 를 증착하기 위해 Zr과 Si의 두 가지 타겟을 준비한다.
- [0025] 상기와 같은 본 발명의 방법은 상온에서 진공, 바람직하게는 5×10^{-9} torr의 초진공 상태로 수행된다.
- [0026] 본 발명의 방법에 있어서, 상기와 같이 제조된 플래쉬 메모리 소자를 600 내지 900 °C로 가열하여 Zr 나노점을 ZrO_2 나노점으로 산화시킴으로써 또 다른 형태 부유 게이트가 형성된 플래쉬 메모리 소자를 제공할 수 있다.
- [0027] 본 발명에 있어서, “Zr 나노점”이라 함은 Zr 나노점 및 ZrO_2 나노점을 모두를 포함하는 의미로 사용되며, 필요한 경우 ZrO_2 나노점으로 특정하여 기재하였다. 따라서 본 발명에서는 다른 지시가 없으면 Zr 나노점은 Zr 나노점과 ZrO_2 나노점을 모두를 포함하는 의미로 사용된다.
- [0028] 본 발명은 또한 상기와 같은 방법으로 제조된 웨이퍼, 터널 옥사이드 층, Zr 나노점 층 및 컨트롤 옥사이드 층으로 이루어진 Zr 나노점 플래쉬 메모리 소자를 제공한다.
- [0029] 본 발명의 플래쉬 메모리 소자에 있어서, 상기 터널 옥사이드 및 컨트롤 옥사이드 층은 SiO_2 층일 수 있다.
- [0030] 본 발명의 플래쉬 메모리 소자에 있어서, 상기 Zr 나노점 층은 Zr 나노점 층을 열처리하여 산화시킨 ZiO_2 나노점 층일 수 있다.
- [0031] 이와 같은 본 발명에 따른 Zr 나노점 플래쉬 메모리 소자는 -10 ~ +10 V의 스위핑(sweeping) 전압을 인가한 경우, 시료 중 Zr 6 mL 시료가 5 V의 가장 큰 메모리 윈도우를 보였으며, Zr 양이 증가할수록 Zr 나노점, ZrO_2 나노점 시료 모두 메모리 윈도우가 증가하였다.
- [0032] 또한 본 발명에 따른 Zr 나노점 플래쉬 메모리 소자는 게이트 전압이 증가함에 따라 선형으로 윈도우 폭이 증가하였으며, Zr 나노점 시료보다는 ZrO_2 나노점 시료가 같은 전압 하에서 약간 더 넓은 메모리 윈도우 폭을 보였다.

[0033] 또한 본 발명에 따른 ZrO_2 나노점 플래쉬 메모리 소자는 열처리 온도 $600^\circ C$ 및 $700^\circ C$ 에서는 열처리전의 시료 (Zr nanodot) 보다 더 넓거나 비슷한 메모리 윈도우를 나타내었으며, $800^\circ C$ 에서부터 급격히 메모리 윈도우가 감소하는 현상이 관찰되었다.

효 과

[0034] 본 발명에 따른 이온빔 스퍼터링 증착법을 이용한 플래쉬 메모리 소자 제조 방법은 초고진공의 청정 조건하에서 증착 조건을 제어할 수 있는 이온빔 스퍼터링 증착법을 이용하여 Zr 및 ZrO_2 나노점을 부유 게이트로 하여 Zr의 양, 열처리 온도 등 최적의 나노점이 형성 조건을 조절하여 초고진공 상태에서 플래쉬 메모리 소자를 제조함으로써, 결함과 경계면 상태를 줄일 수 있고, 단일 챔버 공정에 의해 낮은 위치 분포 편차로 원하는 위치에 균일한 밀도의 Zr 나노점을 상온에서 형성할 수 있어 확산이나 내부섭입 등의 문제점을 방지할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0035] 이하에서 본 발명의 바람직한 실시형태를 실시예를 참고로 보다 구체적으로 설명한다. 하지만 본 발명의 범위가 이러한 실시예에 한정되는 것은 아니다.

[0036] 실시예 1 : 이온빔 스퍼터링 증착법을 이용한 플래쉬 메모리 소자의 제조

[0037] 본 발명의 실시예에서는 본 발명에 따른 이온빔 스퍼터링 증착법을 이용하여 하기와 같이 플래쉬 메모리 소자를 제조하였다.

[0038] 소자를 이루는 박막은 이온빔 스퍼터링 방법을 사용하여 제작하였다. 웨이퍼는 n-형 Si(100) 을 사용하였으며, 증착 전 불산(HF) 용액으로 표면의 자연산화막을 제거하였다. 도 5에 도시한 바와 같이, 이온빔 스퍼터링 증착 시스템에는 이온빔 스퍼터의 타겟으로서 두 종류를 설치할 수 있도록 설계되었으며, Zr과 SiO_2 를 증착하기 위해 Zr과 Si의 두 가지 타겟을 준비하였다.

[0039] 증착 챔버에 웨이퍼를 넣은 후 진공은 5×10^{-9} torr을 유지하였다. 이온빔은 빔전압 750V, 빔전류 25mA의 조건으로 사용하였으며 1분당 증착률은 약 2nm로 나타났다. 도 7에 도시한 바와 같이, 웨이퍼 위부터 터널 옥사이드, Zr 층, 컨트롤 옥사이드의 순서대로 증착하였으며, 터널 옥사이드와 컨트롤 옥사이드의 두께는 각각 3nm 및 15nm였다.

[0040] 이와 같이 증착된 Zr 나노점 층은 높이 2 내지 3 nm, 밀도 $6.4 \times 10^{12} \text{ cm}^{-2}$ 였다.

[0041] 박막의 증착 후, 600 내지 $900^\circ C$ 의 온도로 열처리(annealing)를 행하였다. MOS 구조를 만들기 위해 샘플의 상부에 열기상증착기를 이용하여 직경 $100 \mu m$ 크기의 알루미늄 전극을 형성하였다.

[0042] 도 8의 TEM 사진에 나타난 바와 같이, 상기와 같은 방법에 의해 Si(100) 웨이퍼 위에 SiO_2 (터널 옥사이드) 15 nm / Zr 나노점 3 ML / SiO_2 (컨트롤 옥사이드) 3 nm의 박막이 형성되었음을 알 수 있고, $600^\circ C$ 로 1 분 간 열처리를 통해 상기 Zr 나노점이 ZrO_2 나노점으로 변환되었음을 알 수 있다.

[0043] 상기에서 제조한 플래쉬 메모리 소자의 특성을 분석하기 위해 실험예를 통해 조사하였다.

[0044] 실험예 1 : 본 발명의 Zr 나노점 플래쉬 메모리 소자에 대한 XPS(X-ray Photoelectron Spectroscopy) 실험

[0045] 열처리 전과 후에 나타나는 Zr 나노점의 변화를 알아보기 위해 XPS 실험을 수행하였다. X-ray의 소스는 Al K α 를 사용하였고 Zr이 컨트롤 옥사이드 층의 밑에 위치하기 때문에 이온빔으로 3초씩 반복해서 식각 후 측정하는

방법을 사용하였다. 본 실험에서 사용한 XPS 자료는 약 160초간 식각 후 나타난 자료이다.

[0046] 도 9에 도시한 바와 같이, 열처리를 하지 않은 시료에서는 Zr 3d 관련 피크가 관찰되지만, 열처리 과정을 거친 시료의 경우에는 ZrO_2 3d 관련 피크가 나타났다. 이 결과로 상온에서는 Zr 나노점이 형성되고 열처리 후에는 산화가 되어 ZrO_2 나노점으로 변환되었음을 알 수 있다.

[0047] 실험예 2 : 본 발명의 Zr 나노점 플래쉬 메모리 소자에 대한 메모리 특성 측정

[0048] 상기 실시예에서 제작한 Zr 나노점 플래쉬 메모리 소자의 MOS(metal-oxide-semiconductor) 구조를 이용하여 메모리 특성을 측정하였다.

[0049] 메모리 특성을 측정하는 방법으로 Agilent 4284A LCR meter 장비를 이용하여 Al 전극에 전압을 인가하여 MOS 구조 내부의 캐패시턴스(capacitance)를 측정하고, 인가 전압에 따른 캐패시턴스의 변화량을 측정하여 전자가 저장 혹은 방출되는지를 확인하였다. 인가 전압 대비 캐패시턴스 커브의 문턱전압(Threshold voltage)을 측정하여 문턱전압의 이동량을 메모리 윈도우로 정의하였다.

[0050] 도 10에 도시한 바와 같이, -10 ~ +10 V의 스위핑(sweeping) 전압을 인가한 경우, 시료 중 Zr 6 mL 시료가 5 V의 가장 큰 메모리 윈도우를 보였다. Zr 양이 증가할수록 Zr 나노점, ZrO_2 나노점 시료 모두 메모리 윈도우가 증가하였다.

[0051] 도 11에 도시한 바와 같이, Zr이 존재하지 않는 SiO_2 만을 증착한 시료는 게이트 전압을 증가시켜도 히스테리시스 윈도우 폭이 거의 변화가 없음을 알 수 있다. Zr 나노점 이나 ZrO_2 나노점이 존재하는 시료는 게이트 전압이 증가함에 따라 선형으로 윈도우 폭이 증가하였다. Zr 나노점 시료보다는 ZrO_2 나노점 시료가 같은 전압 하에서 약간 더 넓은 메모리 윈도우 폭을 보였다.

[0052] 도 12에 도시한 바와 같이, 열처리 온도 600℃ 및 700℃에서는 열처리전의 시료(Zr nanodot) 보다 더 넓거나 비슷한 메모리 윈도우를 나타내었다. 800℃에서부터 급격히 메모리 윈도우가 감소하는 현상이 관찰되었으며, 이는 고온에서 ZrO_2 의 결정화로 인한 누설전류의 증가가 기인한 것으로 여겨진다.

도면의 간단한 설명

[0053] 도 1은 폴리 Si 부유 게이트 메모리 타당성을 나타낸 그래프이다.

[0054] 도 2는 NFGM의 개념도를 간략히 나타낸 도이다.

[0055] 도 3 및 4는 기존 금속 나노점을 이용한 NFGM을 나타낸 도이다.

[0056] 도 5는 본 발명에 따른 이온빔 스퍼터링 증착법을 이용한 플래쉬 메모리 소자의 제조 과정을 개략적으로 나타낸 도이다.

[0057] 도 6은 본 발명에 따른 이온빔 스퍼터링 증착법을 이용한 플래쉬 메모리 소자의 제조 장치를 나타낸 사진이다.

[0058] 도 7은 본 발명의 방법으로 제조된 플래쉬 메모리 소자를 개략적으로 나타낸 도이다.

[0059] 도 8은 본 발명의 방법으로 제조된 플래쉬 메모리 소자의 TEM 사진이다.

[0060] 도 9는 본 발명의 방법으로 제조된 플래쉬 메모리 소자에 대한 XPS 스펙트럼을 나타낸 그래프이다.

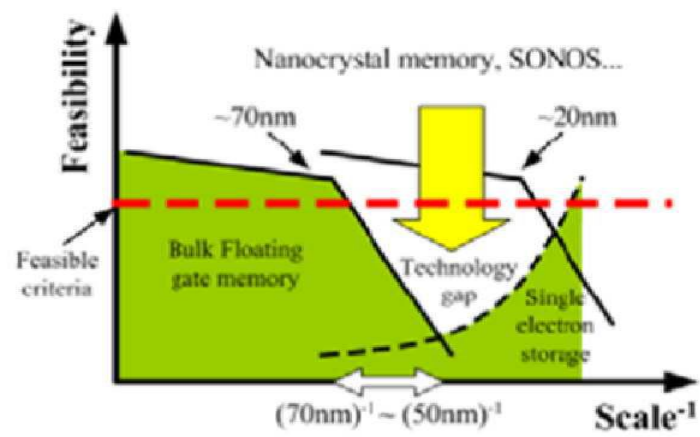
[0061] 도 10은 본 발명의 방법으로 제조된 플래쉬 메모리 소자에 있어, Zr 양의 함수로서 C-V 히스테리시스 곡선을 나타낸 그래프이다.

[0062] 도 11은 본 발명의 방법으로 제조된 플래쉬 메모리 소자에 있어, Zr 나노점과 ZrO_2 나노점을 포함한 시료와 Zr을 포함하지 않은 시료의 히스테리시스 윈도우를 비교한 그래프이다.

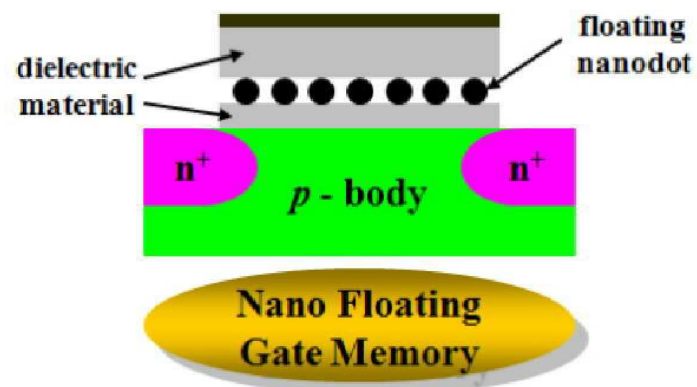
[0063] 도 12는 본 발명의 방법으로 제조된 플래쉬 메모리 소자에 있어, 열처리 온도에 따른 메모리 윈도우의 변화를 나타낸 그래프이다.

도면

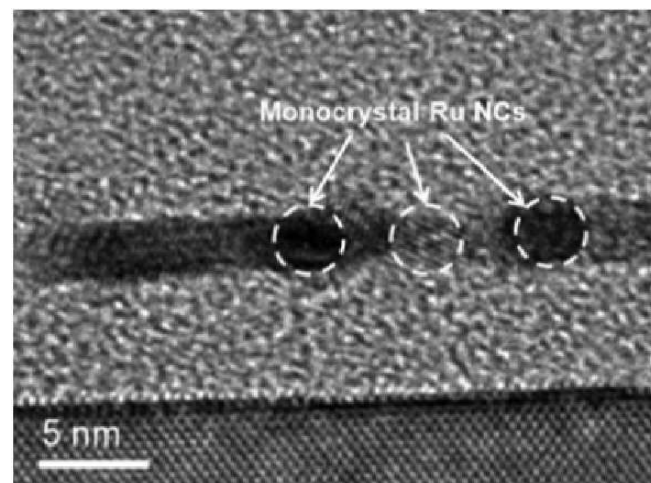
도면1



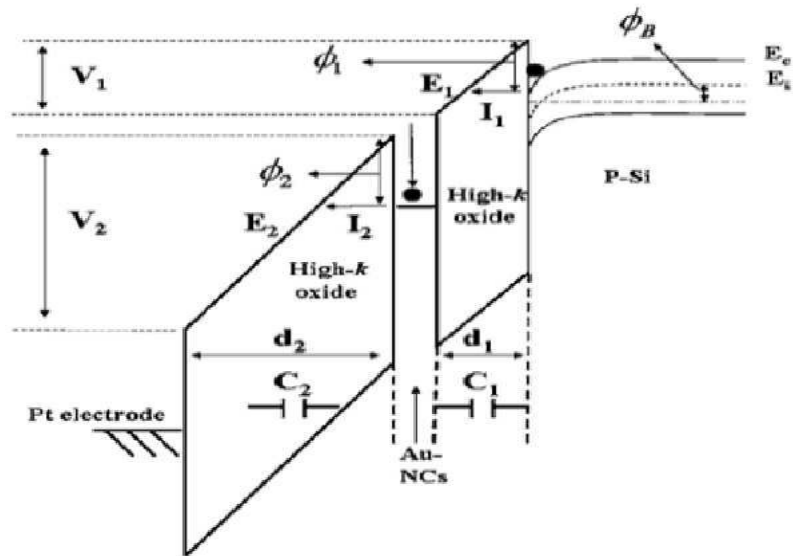
도면2



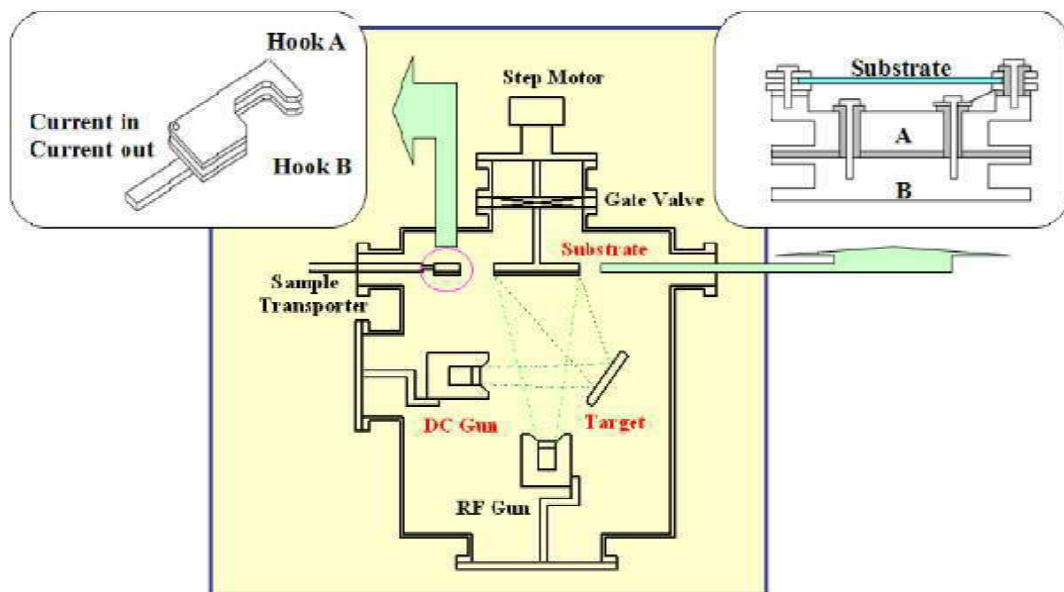
도면3



도면4



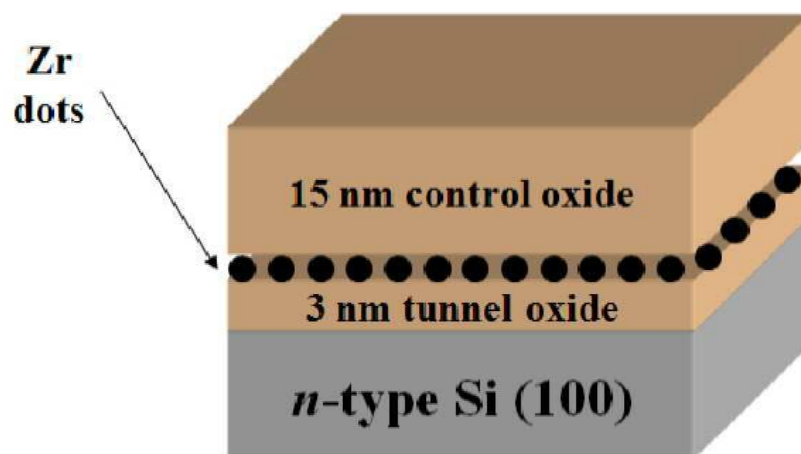
도면5



도면6

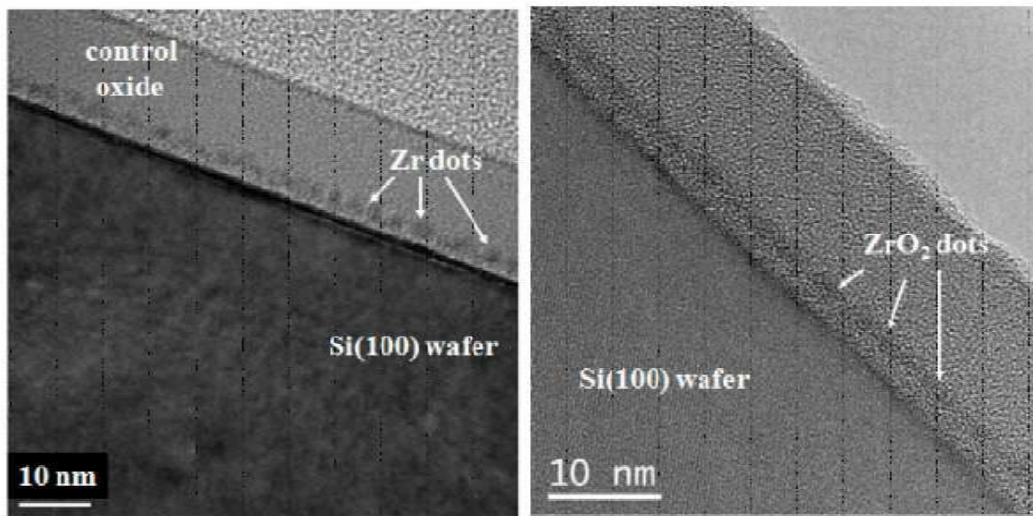


도면7



도면8

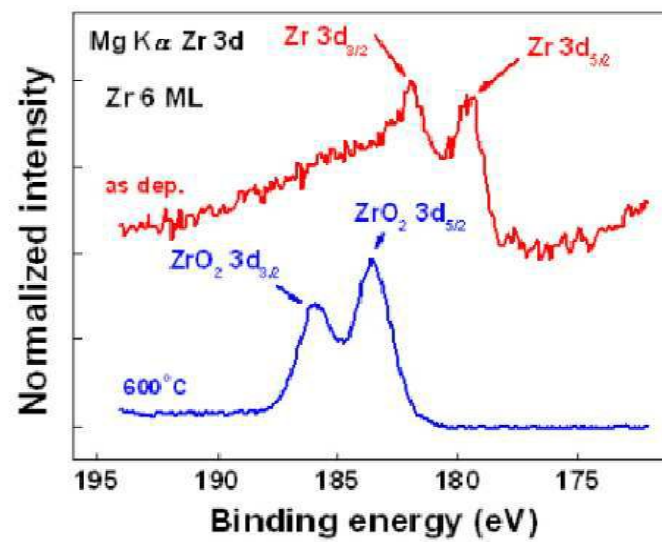
SiO₂ 15nm / Zr 3 ML / SiO₂ 3nm



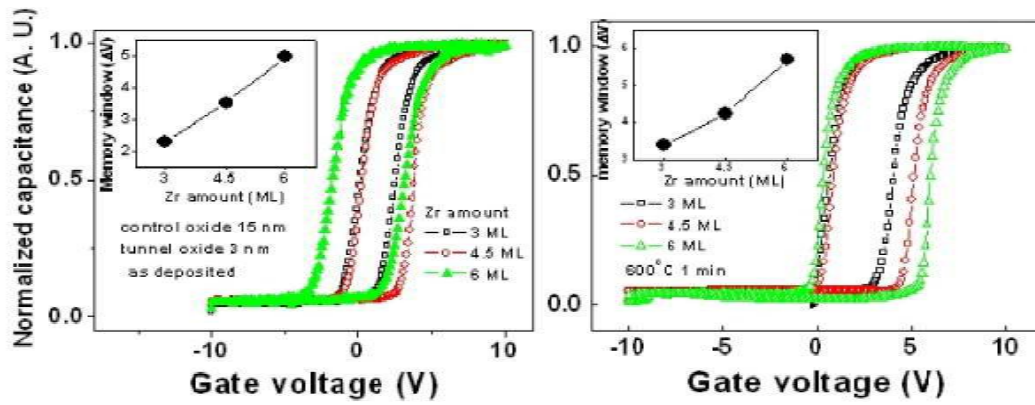
< 열처리 전 >

< 600℃ 1분 열처리 후 >

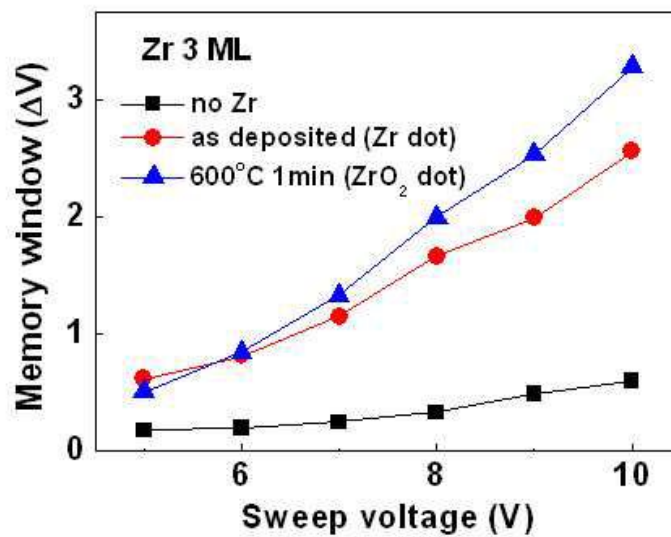
도면9



도면10



도면11



도면12

