



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월06일

(11) 등록번호 10-1533965

(24) 등록일자 2015년06월30일

(51) 국제특허분류(Int. Cl.)

G11C 16/34 (2006.01) G11C 16/06 (2006.01)
G11C 16/08 (2006.01)

(21) 출원번호 10-2010-7005088

(22) 출원일자(국제) 2008년08월20일
심사청구일자 2013년07월09일

(85) 번역문제출일자 2010년03월08일

(65) 공개번호 10-2010-0075833

(43) 공개일자 2010년07월05일

(86) 국제출원번호 PCT/US2008/073750

(87) 국제공개번호 WO 2009/035834

국제공개일자 2009년03월19일

(30) 우선권주장

11/852,229 2007년09월07일 미국(US)

(56) 선행기술조사문헌

JP2006228407 A

JP1995228407 A

EP1130600 A1

US5996041 A

(73) 특허권자

샌디스크 테크놀로지스, 인코포레이티드

미국 텍사스 75024 플라노 노스 달라스 파크웨이
6900 투 리가시 타운 센터

(72) 발명자

리, 얀

미국, 캘리포니아 95035, 밀피타스, 케베네어 드
라이브 695

퐁, 유핀, 카웡

미국, 캘리포니아 94539, 프레몬트, 브루스 드라
이브 2938

모클레시, 니마

미국, 캘리포니아 95032, 로스 가토스, 셀린다 웨
이 14285

(74) 대리인

박경재

전체 청구항 수 : 총 23 항

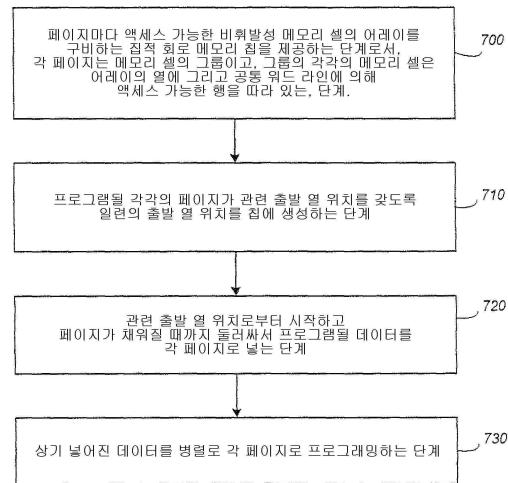
심사관 : 한선경

(54) 발명의 명칭 페이지 내 및 페이지 사이에서 데이터의 온칩 의사-랜덤화를 위한 비휘발성 메모리와 방법

(57) 요약

집적 회로 메모리 칩 내에 특징은, 비휘발성 메모리 셀 어레이에 저장된 데이터의 스크램블링 또는 랜덤화를 가능하게 한다. 일 실시예에서, 각 페이지 내의 랜덤화는 감지 동안 소스 로딩 오류를 제어하고, 인접한 셀 사이의 플로팅 게이트와 플로팅 게이트의 커플링을 제어할 수 있도록 한다. 페이지에서 페이지로의 랜덤화는 프로그램 교란, 사용자 관독 교란, 및 특정 데이터 패턴의 반복적이고 오랜 기간의 저장으로 인한 플로팅 게이트와 플로팅 게이트의 커플링을 감소시키도록 한다. 다른 실시예에서, 랜덤화는 페이지 내와 페이지 사이에서 구현된다. 스크램블링 또는 랜덤화는, 소정의, 또는 코드 생성 의사 랜덤화 또는 다른 실시예에서 사용자에 의해 구동된 랜덤화일 수 있다. 이러한 특징은 제한된 자원 및 집적 회로 메모리 칩의 버짓 내에서 이루어진다.

대 표 도 - 도26



명세서

청구범위

청구항 1

집적 회로 메모리 칩에 있어서,

페이지마다 액세스 가능한 비휘발성 메모리 셀의 어레이로서, 각 페이지는 메모리 셀의 그룹이고, 상기 그룹의 각 메모리 셀은 상기 어레이의 열에 그리고 공통 워드 라인에 의해 액세스 가능한 행(row)을 따라 있는, 비휘발성 메모리 셀의 어레이와;

프로그램될 각 페이지가 관련 출발 열 위치를 갖도록 하는 일련의 시작 열 위치(starting column position)와;

상기 관련 출발 열 위치에 대해 어드레스를 생성하기 위한 어드레스 생성기(address generator)와;

프로그램될 데이터를 각 페이지에 로드(load)하기 위해 상기 어드레스 생성기에 대응하는 각 열에 연관된 한 세트의 데이터 래치(data latch)로서, 상기 로드된 데이터는 상기 관련 출발 열 위치로부터 시작하여 상기 페이지가 채워질 때까지 상기 페이지를 둘러싸는(wrapping around) 데이터 래치와;

상기 로드된 데이터(staged data)를 각 페이지에 병렬로 프로그램하기 위한 프로그래밍 회로;

를 포함하는, 집적 회로 메모리 칩.

청구항 2

제 1항에 있어서, 상기 페이지는 연속적으로 번호가 매겨지고, 페이지와 연관된 상기 출발 열 위치는 상기 페이지 번호의 함수인, 집적 회로 메모리 칩.

청구항 3

제 2항에 있어서, 상기 출발 열 위치로 주어지는 상기 페이지 번호의 함수는 상기 페이지 번호 MOD (n-1)에 미리 결정된 수를 더하여 주어지는 함수인- 여기에서 (n-1)은 상기 그룹 내 셀의 수 임 -, 집적 회로 메모리 칩.

청구항 4

제 3항에 있어서, 상기 미리 결정된 수는 0인, 집적 회로 메모리 칩.

청구항 5

제 1항에 있어서, 의사 랜덤 생성기를 더 포함하고,

상기 일련의 시작 열 위치는 상기 의사 랜덤 생성기에 의해 칩에 생성되는, 집적 회로 메모리 칩.

청구항 6

제 5항에 있어서, 상기 의사 랜덤 생성기는 상기 메모리 칩 외부의 이벤트 (event)에 의해 트리거되는 타이밍에 응하고,

상기 일련의 시작 열 위치는 또한 상기 타이밍의 함수인, 집적 회로 메모리 칩.

청구항 7

제 1항에 있어서,

프로그램될 각 한 페이지의 데이터에 대한 제 1 및 제 2 인코딩과,

각 페이지에 대해 하나인 일련의 극성 비트와,

상기 페이지에 대한 상기 극성 비트가 제 1 또는 제 2 상태에 있는지에 따라 제 1 또는 제 2 인코딩으로 상기 페이지의 데이터를 인코딩하는 인코더를

더 포함하는, 집적 회로 메모리 칩.

청구항 8

집적 회로 메모리 칩에 있어서,

페이지마다 액세스 가능한 비휘발성 메모리 셀의 어레이로서, 각 페이지는 메모리 셀의 그룹이고, 상기 그룹의 각 메모리 셀은 상기 어레이의 열에 그리고 공통 워드 라인에 의해 액세스 가능한 행을 따라 있는, 비휘발성 메모리 셀의 어레이와,

데이터가 프로그램될 각 세트의 열에 대한 제 1 및 제 2 인코딩과,

페이지의 한 세트의 열에 대해 하나인 일련의 극성 비트와,

상기 세트의 열에 대한 상기 극성 비트가 제 1 또는 제 2 상태에 있는지에 따라 제 1 또는 제 2 인코딩으로 각 세트의 열과 연관된 데이터 비트를 인코딩하는 인코더와,

상기 인코딩된 데이터를 각 페이지에 병렬로 프로그램하기 위한 프로그래밍 회로를

포함하는, 집적 회로 메모리 칩.

청구항 9

제 8항에 있어서, 상기 제 1 인코딩은 각각의 열과 연관된 상기 데이터 비트를 변경되지 않도록 하고 상기 제 2 인코딩은 상기 데이터 비트를 반전시키는, 집적 회로 메모리 칩.

청구항 10

제 8항에 있어서, 의사 랜덤 생성기를 더 포함하고,

상기 일련의 극성 비트는 상기 의사 랜덤 생성기에 의해 생성되는, 집적 회로 메모리 칩.

청구항 11

제 1항에 있어서, 상기 어레이의 상기 메모리 셀은 NAND 구조로 구성되는, 집적 회로 메모리 칩.

청구항 12

각 페이지는 메모리 셀의 그룹이고, 상기 그룹의 각 메모리 셀은 어레이의 열에 그리고 공통 워드 라인에 의해 액세스 가능한 행을 따라 있는, 페이지마다 액세스 가능한 비휘발성 메모리 셀의 어레이를 갖는 집적 회로 메모리 칩에서, 데이터를 상기 어레이에 프로그래밍하는 방법으로서,

프로그램될 각 페이지가 관련 출발 열 위치를 갖도록 일련의 시작 열 위치를 칩에 생성하는 단계와,

상기 관련 출발 열 위치로부터 시작하고 상기 페이지가 채워질 때까지 상기 페이지를 둘러싸서 프로그램될 데이터를 각 페이지에 로드하는 단계,

상기 로드된 데이터를 각 페이지에 병렬로 프로그래밍하는 단계를

포함하는, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 13

제 12항에 있어서, 상기 페이지는 연속적으로 번호가 매겨지고, 페이지와 연관된 상기 출발 열 위치는 상기 페이지 번호의 함수인, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 14

제 13항에 있어서, 상기 출발 열 위치로 주어지는 상기 페이지 번호의 함수는 상기 페이지 번호 MOD (n-1)에 미리 결정된 수를 더하여 주어지는 함수인- 여기에서 (n-1)은 상기 그룹 내 셀의 수 임 -, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 15

제 14항에 있어서, 상기 미리 결정된 수는 0인, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 16

제 12항에 있어서, 상기 일련의 시작 열 위치는 의사 랜덤 생성기에 의해 칩에 생성되는, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 17

제 16항에 있어서, 상기 의사 랜덤 생성기는 또한 상기 메모리 칩 외부의 이벤트에 의해 트리거되는 타이밍에 응하고,

상기 일련의 시작 열 위치는 또한 상기 타이밍의 함수인, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 18

제 16항에 있어서, 상기 의사 랜덤 생성기는 또한 상기 메모리 칩 외부의 이벤트에 의해 트리거되는 타이밍에 응하고,

청구항 19

제 17항에 있어서, 상기 외부 이벤트는 상기 메모리 칩의 사용자에 의해 개시되는, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 20

제 12항에 있어서, 프로그램될 각 페이지의 데이터에 대해 제 1 및 제 2 인코딩을 제공하는 단계와,

각 페이지에 대해 하나인 일련의 극성 비트를 칩에 생성하는 단계와,

페이지에 대한 상기 극성 비트가 제 1 또는 제 2 상태에 있는지에 따라 제 1 또는 제 2 인코딩으로 상기 페이지의 데이터를 인코딩하는 단계를

더 포함하는, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 21

각 페이지는 메모리 셀의 그룹이고, 상기 그룹의 각 메모리 셀은 어레이의 열에 그리고 공통 워드 라인에 의해 액세스 가능한 행을 따라 있는, 페이지마다 액세스 가능한 비휘발성 메모리 셀의 어레이를 갖는 집적 회로 메모리 칩에서, 데이터를 상기 어레이에 프로그래밍하는 방법으로서,

데이터가 프로그램될 각 세트의 열에 대해 제 1 및 제 2 인코딩을 제공하는 단계와,

페이지의 각 세트의 열에 대해 하나인 일련의 극성 비트를 칩에 생성하는 단계와,

각 세트의 열에 대한 상기 극성 비트가 제 1 또는 제 2 상태에 있는지에 따라 제 1 또는 제 2 인코딩으로 각 세트의 열과 연관된 데이터 비트를 인코딩하는 단계와,

상기 인코딩된 데이터를 각 페이지에 병렬로 프로그램하는 단계를

포함하는, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 22

제 21항에 있어서, 상기 제 1 인코딩은 각 세트의 열과 연관된 상기 데이터 비트를 변경되지 않도록 하고, 상기 제 2 인코딩은 상기 데이터 비트를 반전시키는, 데이터를 상기 어레이에 프로그래밍하는 방법.

청구항 23

제 21항에 있어서, 상기 일련의 극성 비트는 의사 랜덤 생성기에 의해 칩에 생성되는, 데이터를 상기 어레이에 프로그래밍하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 전하 저장 소자들을 구비한 플래시 메모리와 같은 비휘발성 메모리에 관한 것이고, 보다 구체적으로는 메모리에 오기능을 야기할 수 있는 가능한 바람직하지 못한 데이터 패턴을 방지하기 위해 메모리에 데이터를 의사 랜덤하게 저장하는 것에 관한 것이다.

배경 기술

[0002] 플래시 메모리 카드 및 드라이브의 용량이 증가함에 따라, 메모리 어레이 내 메모리 셀의 규모는 계속하여 감소 한다. 특히 다양한 NAND의 고밀도 어레이 내에서 어레이의 한 셀 또는 부분에 저장되는 전하는 이웃 셀의 팬독 또는 프로그램 동작에 영향을 미칠 수 있다. 이것이 팬독 또는 프로그램 교란 및 셀 커플링으로서 알려진 것이다.

[0003] 일반적으로 셀 커플링, 교란들 및 NAND 플래시의 동작 및 구조에 대한 더 많은 정보에 대해서는 미국특허출원 공개번호로서 "Method for Non-Volatile Memory With Background Data Latch Caching During Program Operations" 명칭의 US-2006-0233026-A1; "Method for Non-Volatile Memory With Background Data Latch Caching During Erase Operations" 명칭의 US-2006-0233023-A1; "Method for Non-Volatile Memory With Background Data Latch Caching During Read Operations" 명칭의 US-2006-0221696-A1; "Techniques for Reducing Effects of Coupling Between Storage Elements of Adjacent Rows of Memory Cells" 명칭의 미국특허 6,870,768; "Reducing Floating Gate to Floating Gate Coupling Effect" 명칭의 US-2006-0140011-A1를 참조할 수 있고, 이는 모든 목적을 위해 전체 기재 내용이 본 명세서에 참조로 포함되어 있다.

[0004] 플래시 메모리는 이의 여러 블록들에 반복하여 동일 데이터 패턴을 끊임없이 저장하기 위해 일부 사용자들에 의해 흔히 사용된다. 결과는 소거되었지만 결코 프로그램되지 않은 채로 남아 있는 일부 비트들이 있을 것이라는 것이다. 또한, 항상 프로그램되고 드물게 소거되는 일부 비트들도 있을 것이다. 이를 영속적 데이터 패턴들은 교란들 및 이외에 플로팅 게이트 대 플로팅 게이트 효과, NAND 스트링 저항효과, 및 감소된 메모리 내구성 및 신뢰성 등과 같은 다른 난제들을 초래할 수 있다는 점에서 문제가 된다.

[0005] 전하를 비휘발성으로 저장할 수 있는, 특히 소형 품 팩터 카드로서 패키지되는 EEPROM 및 플래시 EEPROM 형태의 고체 상태 메모리는 최근에 다양한 이동 및 휴대 디바이스들, 특히 정보기기 및 소비자 전자제품들에서 선택되는 기억장치가 되었다. 고체 상태 메모리이기도 한 RAM(random access memory)과는 달리, 플래시 메모리는 비휘발성이고 전원이 턴 오프 된 되에도 이의 저장된 데이터를 보존한다. 높은 비용에도 불구하고 플래시 메모리는 점점 더 대량 저장용용들에 사용되고 있다. 하드 드라이브들 및 플로피 디스크들과 같은 회전하는 자기 매체에 기초한, 종래의 대량 저장장치는 이동 및 휴대 환경에 적합하지 않다. 이것은 디스크 드라이브들이 부피가 커지기 쉽고, 기계적 고장이 나기 쉬우며 큰 레이턴시 및 큰 전력요건을 갖기 때문이다. 이를 바람직하지 못한 속성들로 인해서 디스크 기반의 저장장치는 대부분의 이동 및 휴대 응용들에서 실현되지 못한다. 반면, 내장형이면서도 착탈 가능한 카드 형태인 플래시 메모리는 이의 소형 크기, 저 전력 소비, 고속 및 고 신뢰도 특징으로 인해 이동 및 휴대 환경에서 이상적으로 적합하다.

[0006] EEPROM 및 전기적으로 프로그램 가능한 팬독 전용 메모리(EPROM)는, 소거될 수 있고 새로운 데이터를 이들의 메모리 셀에 기록 또는 "프로그램"시킬 수 있는 비휘발성 메모리이다. 이들은, 전계 효과 트랜지스터 구조에서, 소스 영역과 드레인 영역 사이에 반도체 기판 내 채널 영역 위에 배치된 플로팅(비접속의) 도전성 게이트를 이용한다. 이때 제어 게이트는 플로팅 게이트 위에 설치된다. 트랜지스터의 임계 전압 특성은 플로팅 게이트 상에 보존되는 전하량에 의해 제어된다. 즉, 플로팅 게이트 상에 주어진 레벨의 전하에 대해서, 소스 영역과 드레인 영역 사이에 도통이 되게 트랜지스터가 턴 "온"이 되기 전에 제어 게이트에 인가되어야 하는 대응하는 전압(임계)이 있다.

[0007] 플로팅 게이트는 일 범위의 전하들을 보존할 수 있고 따라서 임계 전압 윈도우 내의 어떤 임계 전압 레벨로 프로그램될 수 있다. 임계 전압 윈도우의 크기는 디바이스의 최소 및 최대 임계 레벨들에 의해 그 경계가 정해지고, 이는 플로팅 게이트로 프로그램될 수 있는 일 범위의 전하들에 대응한다. 임계 윈도우는 일반적으로 메모리 디바이스의 특성들, 동작조건들 및 이력에 따른다. 윈도우 내의 각각의 서로 구별되고 확정가능한 임계 전압 레벨의 범위는 셀의 명확한 메모리 상태를 나타내는데 사용될 수 있다.

[0008] 통상, 메모리 셀로서 작용하는 트랜지스터는 두 가지 메커니즘들 중 한 메커니즘에 의해 "프로그램된" 상태로 프로그램된다. "핫 전자 주입"에서, 드레인에 인가되는 하이(high) 전압은 기판 채널 영역을 지나는 전자들을

가속시킨다. 이와 동시에, 제어 게이트에 인가되는 하이 전압은 핫 전자들을 얹은 게이트 유전체를 거쳐 플로팅 게이트로 끌어낸다. "터널링 주입"에서, 하이 전압이 기판에 관하여 제어 게이트에 인가된다. 이렇게 하여, 기판으로부터 전자들이 개재된 플로팅 게이트로 유입된다. 메모리 디바이스는 많은 메커니즘들에 의해 소거될 수 있다. EEPROM에 있어서, 메모리는 자외 방사에 의해 플로팅 게이트로부터 전하를 제거함으로써 전체적으로 소거가 될 수 있다. EEPROM에 있어서, 메모리 셀은 플로팅 게이트 내 전자들을 얹은 산화막을 통과하여 기판 채널 영역으로 터널링되게 하기 위해서(즉, 파울러-노다임 터널링) 제어 게이트에 관하여 기판에 하이 전압을 인가함으로써 전기적으로 소거될 수 있다. 통상, EEPROM은 한 바이트씩 소거될 수 있다. 플래시 EEPROM에 있어서, 메모리는 한꺼번에 또는 한번에 하나 이상의 블록들로 전기적으로 소거될 수 있고, 여기서 한 블록은 메모리의 512바이트 또는 그 이상으로 구성될 수 있다.

[0009] 비휘발성 메모리 셀의 예

[0010] 메모리 디바이스는 통상 카드 상에 실장될 수 있는 하나 이상의 메모리 칩을 포함한다. 각 메모리 칩은 디코더들 및 소거, 기록 판독 회로들과 같은 주변회로에 의해 지원되는 메모리 셀의 어레이를 포함한다. 보다 정교한 메모리 디바이스는 처리 능력이 있고 보다 높은 레벨의 메모리 동작들 및 인터페이싱을 수행하는 제어기가 구비된다. 최근에 사용되는 많은 상업적으로 성공한 비휘발성 고체 상태 메모리 디바이스가 있다. 이들 메모리 디바이스는 각 유형이 하나 이상의 전하 저장요소를 구비하는, 서로 다른 유형들의 메모리 셀을 채용할 수 있다.

도 1a ~ 1e는 비휘발성 메모리 셀의 서로 다른 예를 개략적으로 도시한다.

[0012] 도 1a는 전하를 저장하기 위한 플로팅 게이트를 구비한 EEPROM 셀 형태의 비휘발성 메모리를 개략적으로 도시한다. 전기적으로 소거 가능하고 프로그램 가능한 판독 전용 메모리(EEPROM)는 EEPROM과 유사한 구조를 갖지만, UV 방사에 노출시킬 필요없이 적합한 전압을 인가하였을 때 플로팅 게이트로부터 전기적으로 전하를 로딩 및 제거하는 메커니즘을 추가로 제공한다. 이러한 셀과 이를 제조하는 방법의 예가 미국특허 5,595,924에 있다.

[0013] 도 1b는 선택 게이트 및 제어 또는 스티어링(steering) 게이트를 모두 갖춘 플래시 EEPROM 셀을 개략적으로 도시한다. 메모리 셀(10)은 소스(14) 확산 영역과 드레인(16) 확산 영역 사이에 "스플릿(split)-채널"(12)을 구비한다. 셀은 실제로 직렬의 두 개의 트랜지스터(T1, T2)로 형성된다. T1은 플로팅 게이트(20) 및 제어 게이트(30)를 구비한 메모리 트랜지스터로 작용한다. 플로팅 게이트는 선택 가능한 양의 전하를 저장할 수 있다. 채널의 T1의 부분을 흐를 수 있는 전류량은 제어 게이트(30) 상의 전압 및 개재된 플로팅 게이트(20) 상에 있는 전하량에 따른다. T2는 선택 게이트(40)를 구비한 선택 트랜지스터로서 작용한다. T2가 선택 게이트(40)에서의 전압에 의해 턴 온 될 때, 이에 의해 채널의 T1의 부분의 전류가 소스와 드레인 사이에 흐르게 된다. 선택 트랜지스터는 제어 게이트의 전압에 관계없이 소스-드레인 채널을 따른 스위치를 제공한다. 한 이점은 셀의 플로팅 게이트에서의 전하 공핍(포지티브)에 기인하여 제로 제어 게이트 전압에서도 여전히 도통하여 있는 이들 셀을 턴 오프시키는데 사용될 수 있다는 것이다. 다른 이점은 소스측 주입 프로그래밍이 보다 쉽게 구현될 수 있도록 한다는 것이다.

[0014] 스플릿-채널 메모리 셀의 한 간단한 실시예는 선택 게이트 및 제어 게이트가 도 1b에 도시된 점선으로 개략적으로 나타낸 바와 같이 동일 워드 라인에 접속되는 경우이다. 이것은 전하 저장 요소(플로팅 게이트)를 채널의 일부분 상에 배치하고 제어 게이트 구조(워드 라인의 일부)를 다른 채널 부분 및 채널 저장 요소 상에 배치시킴으로써 달성된다. 이것은 직렬의 두 개의 트랜지스터를 구비하는 셀을 효과적으로 형성하며, 하나는(메모리 트랜지스터) 전하 저장요소의 전하량과 채널 부분을 통해 흐를 수 있는 전류량을 제어하는 워드 라인의 전압과의 조합을 가지며, 다른 하나는(선택 트랜지스터) 이의 게이트로서 작용하는 워드 라인만을 구비한다. 이러한 셀의 예, 메모리 시스템에서 이들의 사용 및 이를 제조하는 방법은 미국특허 5,070,032, 5,095,344, 5,315,541, 5,343,063, 및 5,661,053에 있다.

[0015] 도 1b에 도시된 스플릿-채널 셀의 보다 개선된 실시예는 선택 게이트 및 제어 게이트가 독립적이고 점선에 의해 이들 사이에 연결되지 않을 때이다. 일 구현은 셀 어레이 내 한 열(column)의 제어 게이트를, 워드 라인에 수직 한 제어(또는 스티어링) 라인에 연결하는 것이다. 효과는 워드 라인이, 선택된 셀을 판독 또는 프로그램할 때 동시에 두 기능을 수행해야 하는 것을 면하게 하는 것이다. 이들 두 기능은 (1) 선택 트랜지스터의 게이트로서 작용하여, 이에 따라 선택 트랜지스터를 턴 온 및 오프시키기 위한 적합한 전압을 요하는 것과, (2) 워드 라인과 전하 저장 요소 사이의 전계 (용량성) 커플링을 통해 전하 저장 요소의 전압을 원하는 레벨로 구동시키는 것이다. 이들 기능을 단일의 전압으로 최적으로 수행하는 것은 대부분 어렵다. 제어 게이트 및 선택 게이트를 개

별적으로 제어함으로써, 워드 라인은 기능(1)만을 수행하는 것이 필요하게 되고, 부가된 제어 라인이 기능(2)을 수행한다. 이 능력은 프로그래밍 전압을 타깃의 데이터에 맞게 하는 고성능의 프로그래밍을 설계할 수 있게 하여 준다. 플래시 EEPROM 어레이에서 독립적인 제어(또는 스티어링) 게이트들의 사용은 예를 들면 미국특허들 5,313,421 및 6,222,762에 기재되어 있다.

[0016] 도 1c는 이중 플로팅 게이트들 및 독립적인 선택 및 제어 게이트를 구비한 또 다른 플래시 EEPROM 셀을 개략적으로 도시한 것이다. 메모리 셀(10)은 실제로 직렬의 3개의 트랜지스터들을 구비한 것을 제외하곤 도 1b와 유사하다. 이러한 유형의 셀에서, 두 개의 저장 요소들(즉 T1-좌측 및 T1-우측의 요소)은 소스 확산 영역과 드레인 확산 영역 사이에 선택 트랜지스터(T1)를 구비하고 이들 확산 영역들 사이에 채널 상에 포함된다. 메모리 트랜지스터는 플로팅 게이트들(20, 20'), 및 제어 게이트들(30, 30')을 각각 구비한다. 선택 트랜지스터(T2)는 선택 게이트(40)에 의해 제어된다. 언제든 한 시간에, 한 쌍의 메모리 트랜지스터들 중 단지 하나만이 판독 또는 기록을 위해 액세스된다. 저장 유닛(T1-좌측)이 액세스되고 있을 때, T2 및 T1-우측 모두 턴 온이 되어 채널의 T1-좌측 부분의 전류가 소스와 드레인 사이에 흐르게 된다. 유사하게, 저장 유닛(T1-우측)이 액세스되고 있을 때, T2 및 T1-좌측이 턴 온 된다. 소거는 선택 게이트 다결정 부분을 플로팅 게이트에 근접시키고 플로팅 게이트 내 저장된 전자들이 선택 게이트 다결정에 터널링 될 수 있게 선택 게이트에 상당크기의 정(positive) 전압(예를 들면 20V)을 인가함으로써 달성된다.

[0017] 도 1d는 NAND 셀로 구성된 일렬의 메모리 셀을 개략적으로 도시한 것이다. NAND 셀(50)은 소스들 및 드레인들을 테이지 체인 연결의 일련의 메모리 트랜지스터{M1, M2, ..., Mn (n= 4, 8, 16 또는 그 이상)}로 구성된다. 한 쌍의 선택 트랜지스터들(S1, S2)은 NAND 셀의 소스 단자(54) 및 드레인 단자(56)를 통해 외부와의 메모리 트랜지스터들의 체인의 연결을 제어한다. 메모리 어레이에서, 소스 선택 트랜지스터(S1)가 턴 온 되었을 때, 소스 단자는 소스 라인에 결합된다. 마찬가지로, 드레인 선택 트랜지스터(S2)가 턴 온 되었을 때, NAND 셀의 드레인 단자는 메모리 어레이의 비트 라인에 결합된다. 체인 내 각 메모리 트랜지스터는 의도하는 메모리 상태를 나타내기 위해서 주어진 전하량을 전하 저장 요소에 저장한다. 각각의 메모리 트랜지스터의 제어 게이트는 판독 및 기록 동작들에 대한 제어를 제공한다. 각각의 선택 트랜지스터들(S1, S2)의 제어 게이트는 각각 소스 단자(54) 및 드레인 단자(56)를 통하여 NAND 셀에 대한 제어 액세스를 제공한다.

[0018] NAND 셀 내의 어드레스된 메모리 트랜지스터가 프로그래밍 동안에 판독되어 검증될 때, 이 트랜지스터의 제어 게이트에 적합한 전압이 공급된다. 동시에, NAND 셀(50) 내의 어드레스 지정이 안 된 나머지 메모리 트랜지스터는 이들의 제어 게이트들에 충분한 전압을 인가함으로써 완전히 턴 온 된다. 이에 따라, 개개의 메모리 트랜지스터의 소스에서 NAND 셀의 소스 단자(54)로 마찬가지로 개개의 메모리 트랜지스터의 드레인에 대해 셀의 드레인 단자(56)로의 도전경로가 유효하게 만들어진다. 이러한 NAND 셀 구조들을 갖는 메모리 디바이스는 미국특허들 5,570,315, 5,903,495 및 6,046,935에 기재되어 있다.

[0019] 도 1e는 전하를 저장하기 위한 유전충을 구비한 비휘발성 메모리를 개략적으로 도시한 것이다. 앞서 기술된 도 전성 플로팅 게이트 요소들 대신에, 유전충이 사용된다. 유전성 저장요소를 이용하는 이러한 메모리 디바이스는 Eitan 등의 "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell," IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545에 기재되어 있다. ONO 유전충은 소스 확산 영역과 드레인 확산 영역 사이의 채널을 가로질러 확장하여 있다. 한 데이터 비트용의 전하는 드레인에 인접한 유전충에 모이고 다른 데이터 비트용의 전하는 소스에 인접한 유전충에 모인다. 예를 들면, 미국특허 5,768,192 및 6,011,725는 두 개의 이산화실리콘층들 사이에 개재된 트랩 유전충을 구비한 비휘발성 메모리 셀을 개시하고 있다. 복수 상태 데이터 저장은 유전충 내 공간적으로 분리된 전하 저장 영역들의 2진 상태를 개별적으로 읽어냄으로써 구현된다.

메모리 어레이

[0020] 통상적으로 메모리 디바이스는, 행과 열로 배열되고 워드 라인과 비트 라인에 의해 어드레스될 수 있는 2차원 메모리 셀 어레이로 구성된다. 어레이는 NOR 유형 또는 NAND 유형 구조에 따라 형성될 수 있다.

NOR 어레이

[0021] 도 2는 메모리 셀의 NOR 어레이의 예를 도시한 것이다. NOR형 구조를 구비한 메모리 디바이스는 도 1b 또는 도 1c에 도시된 유형의 셀로 구현되었다. 메모리 셀의 각 행은 이들의 소스와 드레인에 의해 데이터 체인 형식으로

연결된다. 이 설계는 가상접지 설계라고도 한다. 각 메모리 셀(10)은 소스(14), 드레인(16), 제어 게이트(30) 및 선택 게이트(40)를 구비한다. 행 내 셀은 이들 선택 게이트가 워드 라인(42)에 연결되어 있다. 열의 셀은 이들의 소스들 및 드레인이 각각, 선택된 비트 라인(34, 36)에 연결된다. 메모리 셀의 제어 게이트 및 선택 게이트가 독자적으로 제어되는 일부 실시예에서, 스티어링 라인(36)은 열의 셀의 제어 게이트를 또한 연결한다.

[0024] 많은 플래시 EEPROM 디바이스는 각각이 이의 제어 게이트 및 선택 게이트를 함께 접속하여 형성된 메모리 셀로 구현된다. 이 경우, 스티어링 라인들에 대한 필요성은 없으며 워드 라인은 간단히 각 행을 따라 셀의 제어 게이트들 및 선택 게이트들 모두를 연결한다. 이들 설계들의 예들은 미국특허 5,172,338 및 5,418,752에 기재되어 있다. 이들 설계들에서, 워드 라인은 근본적으로 두 가지 기능들, 즉 행 선택과, 판독 또는 프로그래밍을 위해 행 내 모든 셀에 제어 게이트 전압을 공급하는 것을 수행하였다.

[0025] NAND 어레이

[0026] 도 3은 도 1d에 도시된 것과 같은, 메모리 셀의 NAND 어레이의 예를 도시한 것이다. 각 열의 NAND 셀을 따라, 비트 라인이 각 NAND 셀의 드레인 단자(56)에 결합되어 있다. 각 행의 NAND 셀을 따라, 소스 라인은 이들의 모든 소스 단자들(54)을 연결할 수도 있다. 또한, 한 행을 따라 NAND 셀의 제어 게이트들은 일련의 대응하는 워드 라인들에 연결된다. 전체 한 행의 NAND 셀은 연결된 워드 라인을 통해 이들의 제어 게이트들에 적합한 전압들로 한 쌍의 선택 트랜지스터들(도 1d 참조)을 턴 온 함으로써 어드레스될 수 있다. 한 체인의 NAND 셀 내의 한 메모리 트랜지스터가 판독되고 있을 때, 체인 내 나머지 메모리 트랜지스터는 이들의 연관된 워드 라인을 통해 거의 턴 온 되지 않으므로 체인을 통해 흐르는 전류는 근본적으로 판독 중의 셀 내 저장된 전하의 레벨에 달려있다. 메모리 시스템의 일부로서 NAND 구조 어레이 및 이의 동작의 예는 미국특허들 5, 570,315, 5,774,397 및 6,046,935에 있다.

[0027] 블록 소거

[0028] 전하 저장 메모리 디바이스들의 프로그래밍은 전하 저장 요소에 더 많은 전하를 부가하는 결과가 될 수 있을 뿐이다. 그러므로, 프로그램 동작에 앞서, 전하 저장 요소 내 현존한 전하는 제거(또는 소거)되어야 한다. 소거 회로들(도시 생략)은 메모리 셀의 하나 이상의 블록들을 소거하기 위해 제공된다. EEPROM과 같은 비휘발성 메모리는 셀의 전체 어레이, 또는 어레이의 셀의 상당량의 그룹들이 함께 전기적으로 소거될 때(즉, 플래시로) "플래시" EEPROM이라 한다. 일단 소거되면, 일 그룹의 셀은 프로그램될 수 있다. 함께 소거 가능한 일 그룹의 셀은 하나 이상의 어드레스 가능한 소거 유닛으로 구성될 수 있다. 소거 유닛 또는 블록은 통상, 하나 이상의 페이지에 저장되고, 상기 페이지는 프로그래밍 및 판독 단위의 데이터를 저장하지만, 한 페이지 이상이 단일의 동작으로 프로그램 또는 판독될 수도 있다. 각각의 페이지는 통상적으로 하나 이상의 데이터 섹터들을 저장하며, 섹터의 크기는 호스트 시스템에 의해 정의된다. 예는 자기 디스크 드라이브에 대해 제정된 규격에 따라, 사용자 데이터의 512바이트 섹터이며, 이에 추가하여 사용자 데이터 및/또는 이 내부의 블록에 관한 몇 바이트의 오버헤드 정보가 저장된다.

[0029] 판독/기록 회로

[0030] 통상의 2상태 EEPROM 셀에서는, 도통 윈도우를 두 영역으로 분할하기 위해서 적어도 한 전류 구분점 레벨을 정한다. 미리 결정된 고정된 전압을 인가함으로써 셀이 판독될 때, 이 셀의 소스/드레인 전류는 구분점 레벨(또는 기준 전류 I_{REF})과 비교함으로써 메모리 상태로 결정된다. 읽혀진 전류가 구분점 레벨보다 크다면, 셀은 한 논리 상태(예를 들면 "제로"상태)에 있는 것으로 판정된다. 반면, 전류가 구분점 레벨보다 낮다면, 셀은 다른 논리 상태(예를 들면, "1" 상태)인 것으로 판정된다. 이에 따라, 이러한 2-상태 셀은 1비트의 디지털 정보를 저장한다. 외부에서 프로그램될 수 있는 기준 전류원은 흔히 구분점 레벨 전류를 생성하기 위해 메모리 시스템의 일부로서 제공된다.

[0031] 메모리 용량을 증가시키기 위해서, 플래시 EEPROM 디바이스는 반도체 기술 상태가 진보함에 따라 점점 더 고밀도로 제조되고 있다. 저장용량을 증가시키는 또 다른 방법은 각 메모리 셀에 2상태 이상을 저장하는 것이다.

[0032] 복수 상태 또는 복수 레벨 EEPROM 메모리 셀에 있어서, 도통 윈도우는 각 셀이 한 비트 데이터 이상을 저장할

수 있도록 하나 이상의 구분점에 의해 2이상의 영역으로 분할된다. 이에 따라 주어진 EEPROM 어레이가 저장할 수 있는 정보는 각 셀이 저장할 수 있는 상태의 수에 따라 증가된다. 복수 상태 또는 복수 레벨의 메모리 셀을 구비한 EEPROM 또는 플래시 EEPROM은 미국특허 5,172,338에 기재되어 있다.

[0033] 실제로, 셀의 메모리 상태는 통상적으로 기준 전압이 제어 게이트에 인가되었을 때 셀의 소스 전극 및 드레인 전극을 지나는 도통 전류를 감지함으로써 읽혀진다. 이에 따라, 셀의 플로팅 게이트 상의 각각의 주어진 전하에 대해서, 고정된 기준 제어 게이트 전압에 관한 대응하는 도통 전류가 검출될 수 있다. 이와 유사하게, 플로팅 게이트에 프로그램될 수 있는 일 범위의 전하는 대응하는 임계 전압 윈도우 또는 대응하는 도통 전류 윈도우를 정의한다.

[0034] 대안적으로, 분할된 전류 윈도우 중에서 도통 전류를 검출하는 대신, 제어 게이트에 테스트 하의 주어진 메모리 상태에 대해 임계 전압을 설정하고 도통 전류가 임계 전류보다 낮거나 높은지 검출하는 것이 가능하다. 일 구현에서 임계 전류에 관한 도통 전류의 검출은 도통 전류가 비트 라인의 용량을 통해 방전하는 레이트를 조사함으로써 달성된다.

[0035] 도 4는 임의의 한 시각에 플로팅 게이트가 선택적으로 저장할 수 있을 4개의 서로 다른 전하(Q1 ~ Q4)에 대해 소스-드레인 전류(ID)와 제어 게이트 전압(VCG) 사이의 관계를 도시한 것이다. 4개의 실선의 VCG 대 ID 곡선들은 각각이 4개의 가능한 메모리 상태들에 대응하는 것인 메모리 셀의 플로팅 게이트에 프로그램될 수 있는 4개의 가능한 전하 레벨들을 나타낸다. 예로서, 일단의 셀의 임계 전압 윈도우는 0.5V 내지 3.5V의 범위일 수 있다. 임계 윈도우를 각각 0.5V의 간격으로 5개의 영역으로 분할함으로써 6개의 메모리 상태들이 구별될 수 있다. 예를 들면, 기준 전류로서 $2\mu\text{A}$ 의 I_{REF} 가 도시된 바와 같이 사용된다면, Q1에 프로그램된 셀은 $VCG=0.5\text{V}$ 및 1.0V 에 의해 구별되는 임계 윈도우의 영역에서 곡선이 I_{REF} 와 교차하기 때문에 메모리 상태 "1"에 있는 것으로 간주될 수 있다. 유사하게, Q4는 메모리 상태 "5"에 있다.

[0036] 전술한 바로부터 알 수 있듯이, 메모리 셀에 더 많은 상태들이 저장되게 할수록, 임계 윈도우는 더욱 미세하게 분할된다. 이것은 요구되는 분해능을 달성할 수 있기 위해서 프로그래밍 및 판독 동작에 보다 큰 정밀도를 요할 것이다.

[0037] 미국특허 4,357,685는 셀이 주어진 상태로 프로그램될 때, 매번 충분 전하가 플로팅 게이트에 더해지는 것으로 연속적인 프로그래밍 전압 펄스가 가해지는, 2상태 EEPROM 프로그램 방법을 개시한다. 펄스들 사이에서, 구분점 레벨에 관하여 셀의 소스-드레인 전류를 판정하기 위해서 셀이 다시 읽혀지거나 검증된다. 프로그래밍은 전류 상태가 원하는 상태에 도달한 것으로 검증되었을 때 중지한다. 사용되는 프로그래밍 펄스열은 증가하는 기간 또는 진폭을 가질 수 있다.

[0038] 종래 기술의 프로그래밍 회로들은 목표 상태에 도달할 때까지 소거된 또는 접지 상태부터 임계 윈도우를 단계별로 나아가기 위해 단순히 프로그래밍 펄스들을 인가한다. 실제로, 적절한 분해능이 가능하기 위해선, 각각의 분할된 또는 구분되는 영역은 적어도 약 5 프로그래밍 단계들을 거쳐야 할 것이다. 2상태 메모리 셀에 있어 수행은 수락 가능하다. 그러나, 복수 상태 셀에 있어, 요구되는 단계의 수는 분할 수에 따라 증가하므로, 프로그래밍 정밀도 또는 분해능이 증가해야 한다. 예를 들면, 16상태 셀은 목표 상태로 프로그램하기 위해 평균으로 적어도 40 프로그래밍 펄스들을 요할 수 있다.

[0039] 도 5는 행 디코더(130) 및 열 디코더(160)를 통해 판독/기록 회로(170)에 의해 액세스 가능한 메모리 어레이(100)의 전형적인 구성을 가진 메모리 디바이스를 개략적으로 도시한 것이다. 도 2 및 도 3에 관련하여 기술된 바와 같이, 메모리 어레이(100) 내 메모리 셀의 메모리 트랜지스터는 한 세트의 선택된 워드 라인(들) 및 비트 라인(들)을 통해 어드레스될 수 있다. 어드레스된 메모리 트랜지스터의 각각의 게이트에 적합한 전압을 인가하기 위해서 행 디코더(130)는 하나 이상의 워드 라인을 선택하며 열 디코더(160)는 하나 이상의 비트 라인을 선택한다. 어드레스된 메모리 트랜지스터의 메모리 상태를 판독 또는 기록(프로그램)하기 위해 판독/기록 회로(170)가 설치된다. 판독/기록 회로(170)는 비트 라인을 통해 어레이 내 메모리 요소에 접속될 수 있는 다수의 판독/기록 모듈을 포함한다.

[0040] 도 6a는 개개의 판독/기록 모듈(190)의 개략적 블록도이다. 근본적으로, 판독 또는 검증 동안, 감지 증폭기는 선택된 비트 라인을 통해 연결된 어드레스된 메모리 트랜지스터의 드레인을 통해 흐르는 전류를 판정한다. 전류는 메모리 트랜지스터에 저장된 전하 및 이 트랜지스터의 제어 게이트 전압에 좌우된다. 예를 들면, 복수-상태 EEPROM 셀에서, 이의 플로팅 게이트는 여러 서로 다른 레벨 중 하나로 충전될 수 있다. 4-레벨 셀에 있어서는 2비트의 데이터를 저장하는데 사용될 수 있다. 감지 증폭기에 의해 검출된 레벨은 레벨을 비트로 변환하는 로직

에 의해 데이터 래치에 저장될 한 세트의 데이터 비트로 전환된다.

판독/기록 수행 및 정확도에 영향을 미치는 요인

판독 및 프로그램 수행을 향상시키기 위해서, 어레이 내 복수의 전하 저장 요소 또는 메모리 트랜지스터는 병렬로 판독 또는 프로그램된다. 이에 따라, 메모리 요소들의 논리적 "페이지"가 함께 판독 또는 프로그램된다. 기존의 메모리 구조에서, 통상적으로 행은 몇 개의 인터리브된 페이지들을 포함한다. 한 페이지의 모든 메모리 요소들은 함께 판독 또는 프로그램될 것이다. 열 디코더는 인터리브된 페이지 각각을 대응하는 수의 판독/기록 모듈들에 선택적으로 연결할 것이다. 예를 들면, 일 구현에서, 메모리 어레이에는 532 바이트(512 바이트에 20바이트의 오버헤드를 더한 것)의 페이지 크기를 갖도록 설계된다. 각 열이 드래인 비트 라인을 포함하고 행당 두 개의 인터리브된 페이지가 있다면, 이는 각 페이지가 4256 열에 연관되어 총 8512 열이 된다. 우수 비트 라인들 또는 기수 비트 라인들 전부를 병렬로 판독 또는 기록하기 위해 접속가능한 센스 모듈들은 4256가 될 것이다. 따라서, 4256비트(즉, 532 바이트) 데이터의 한 페이지가 병렬로 메모리 요소들의 한 페이지로부터 판독되거나 이에 프로그램된다. 판독/기록 회로들(170)을 형성하는 판독/기록 모듈들은 여러 가지 구조들로 구성될 수 있다.

도 5를 참조하면, 판독/기록 회로들(170)은 다수 뱅크들의 판독/기록 스택들(180)로 구성된다. 각각의 판독/기록 스택(180)은 한 스택의 판독/기록 모듈들(190)이다. 메모리 어레이에서, 열 간격은 이를 점유하는 하나 또는 2개의 트랜지스터들의 크기에 의해 결정된다. 그러나, 도 6a로부터 알 수 있는 바와 같이, 판독/기록 모듈의 회로는 더 많은 트랜지스터들 및 회로 요소들로 구현될 것이며 따라서 많은 열들에 공간을 점유할 것이다. 점유된 열들 중에 하나 이상의 열에 사용하기 위해서, 복수의 모듈들이 수직으로 적층된다.

도 6b는 종래에 한 스택의 판독/기록 모듈들(190)에 의해 구현되는 도 5의 판독/기록 스택을 도시한 것이다. 예를 들면, 판독/기록 모듈은 16 열에 걸쳐 확장할 수 있고 8개 판독/기록 모듈들의 스택을 가진 판독/기록 스택(180)은 8 열들에 병렬로 사용하기 위해 이용될 수 있다. 판독/기록 스택은 열 디코더를 통해 뱅크 중에 8개의 기수 (1, 3, 5, 7, 9, 11, 13, 15) 열들에 또는 8개의 우수 (2, 4, 6, 8, 10, 12, 14, 16) 열들에 결합될 수 있다.

전술한 바와 같이, 종래의 메모리 디바이스는 한번에 모든 우수 또는 모든 기수 비트 라인들에 대해 대량으로 병렬 방식으로 조작함으로써 판독/기록 동작들을 향상시킨다. 2개의 인터리브된 페이지들로 구성된 한 행의 이러한 구조는 한 블록의 판독/기록 회로들에 맞추어야 하는 문제를 완화시킬 수 있게 할 것이다. 또한, 비트 라인 사이에 용량성 커플링을 제어하는 것을 고려하여 채용된다. 블록 디코더는 한 세트의 판독/기록 모듈을 우수 페이지 또는 기수 페이지에 멀티플렉스하기 위해 사용된다. 따라서, 한 세트의 비트 라인들이 판독 또는 프로그램되고 있을 때는 언제나, 인터리빙 세트는 바로 인접 커플링을 최소화하기 위해 접지될 수 있다.

그러나, 인터리빙 페이지 구조는 적어도 3가지 면에서 불리하다. 첫째, 추가의 멀티플렉싱 회로를 필요로 한다. 두 번째로, 수행이 느린다. 워드 라인 또는 행으로 연결된 메모리 셀의 판독 또는 프로그램을 완료하기 위해서, 두 번의 판독 동작 또는 두 번의 프로그램 동작이 필요하다. 세 번째로, 두 개의 이웃한 전하 저장 요소들이 이를테면 개별적으로 기수 페이지 및 우수 페이지로 서로 다른 시간에 프로그램될 때 플로팅 게이트 레벨에서 이를 이웃하는 요소들간의 필드 커플링과 같은 다른 교란 영향들을 해결하는 데에는 최적이 아니다.

인접 필드 커플링의 문제는 메모리 트랜지스터들간 간격이 더 밀접한 경우에 두드러지게 된다. 메모리 트랜지스터에서, 전하 저장 요소는 채널 영역과 제어 게이트 사이에 개재된다. 채널 영역에서 흐르는 전류는 제어 게이트와 전하 저장요소에서의 전계에 의해 기여된 합성 전계의 함수이다. 밀도가 증가함에 따라서, 메모리 트랜지스터는 더욱 서로 밀접하여 형성된다. 인접 전하 저장 요소들로부터의 전계는 영향받는 셀의 합성 전계에의 현저한 기여자가 된다. 인접 전계는 이웃한 전하 저장 요소에 프로그램되는 전하에 따른다. 이 교란 전계는 인접한 요소들의 프로그램된 상태들에 따라 변하기 때문에 사실상 동적이다. 이에 따라, 영향받는 셀은 인접 요소들의 변하는 상태들에 따라 다른 시각에 다르게 판독될 수도 있다.

인터리빙 페이지의 종래의 구조는 인접 플로팅 게이트 커플링에 의해 악화시킨다. 우수 페이지 및 기수 페이지는 서로 독립적으로 프로그램되고 판독되기 때문에, 어떤 페이지는 한 세트의 조건 하에서 프로그램될 수도 있으나 완전히 다른 세트의 조건 하에서는 중도에, 개재된 페이지에 어떤 일이 일어나는가에 따라, 다시 판독될 수도 있다. 판독 오류들은 밀도가 증가함에 따라 더욱 심하게 될 것이고, 따라서 보다 정확한 판독 동작과 복수 상태 구현을 위한 임계 윈도우를 보다 크게 분할해야 할 것이다. 성능은 나빠질 것이고 복수 상태

구현에서 가능한 용량은 제한된다.

[0049]

미국특허공개번호 US-2004-0060031-A1은 병렬로 대응 한 블록의 메모리 셀을 판독 또는 기록하기 위해 큰 블록의 판독/기록 회로들을 갖춘 고성능이면서도 콤팩트한 비휘발성 메모리 디바이스를 개시한다. 특히, 메모리 디바이스는 한 블록의 판독/기록 회로들을 최소로 용장성을 감소시키는 구조를 갖는다. 파워뿐만 아니라 공간에 현저한 절약은 시간 다중화 방식으로 실질적으로 더 작은 다수 세트들의 공통되는 부분들과 상호작용하면서 병렬로 동작하는 한 블록의 판독/기록 모듈 코어 부분들로 한 블록의 판독/기록 모듈을 재분배시킴으로써 달성된다. 특히, 복수의 감지 증폭기들과 데이터 래치 사이에 판독/기록 회로 사이에 데이터 처리는 공유된 프로세서에 의해 수행된다.

발명의 내용

해결하려는 과제

[0050]

그러므로, 고성능 및 고용량 비휘발성 메모리에 대한 일반적인 요구가 있다. 특히, 콤팩트하고 효율적이면서도 판독/기록 회로 사이에 데이터의 처리에 매우 다기능적인 개선된 프로세서를 구비한 향상된 판독 및 프로그램 수행을 갖는 콤팩트한 비휘발성 메모리에 대한 필요성이 있다.

과제의 해결 수단

[0051]

발명의 일면에 따라서, 각 메모리 페이지에 데이터는 여러 페이지로부터의 데이터가 늘어섰을 때 문제의 데이터 패턴들이 프로그래밍 동안 회피되도록 랜덤화된다.

[0052]

바람직한 일실시예에서, 페이지 상의 데이터를 스크램블링하는 간단한 방법은 다른 페이지마다 독립된 또는 다른 출발 어드레스에 데이터를 기록하는 것이다. 대응 페이지의 데이터는 각 페이지마다 다른 출발 위치에 각 페이지의 메모리 셀에 기록된다. 데이터가 페이지의 끝까지 채워질 때, 출발 위치 바로 전까지 페이지의 제 1 어드레스로부터 둘러싸서 계속된다.

[0053]

또 다른 바람직한 실시예에서, 각 페이지마다 하나씩 일련의 출발 물리적 열 어드레스들은 의사-랜덤 생성기에 의해 제공된다.

[0054]

발명의 또 다른 면에 따라서, 평균하여 페이지가 소거되고 프로그램 상태를 가진 셀의 동일 혼합을 내포하도록 페이지에 데이터 비트는 랜덤화된다. 소스 라인 바이어스 또는 로딩은 실질적으로 달라지지 않으며 감지동작 동안에 적합한 조절이 가능할 수 있게 된다.

[0055]

이것은 페이지 내 개개의 비트를 랜덤화함으로써 달성된다. 바람직하게, 각각이 어떤 극성을 특정하고 있는 일련의 의사 랜덤 비트는 페이지 내 비트를 인코딩하기 위해 채용된다. 일실시예에서, 페이지에 각 데이터 비트마다 극성 비트가 있다. 또 다른 실시예에서, 페이지에 데이터의 각 바이트마다 극성 비트가 있다. 이 실시예에서, 극성 비트가 비트들의 반전을 명시한다면, 데이터 바이트 내 모든 비트들이 반전될 것이다.

[0056]

발명의 또 다른 면에 따라서, 페이지 내 랜덤화는 페이지간 랜덤화와 결합된다. 특히, 온칩 회로의 제한된 자원이 주어졌을 때, 페이지 내 랜덤화는 바람직하게는 각 페이지를 독립적인 출발 위치를 갖게 함으로써 달성되며 페이지간 랜덤화는 바람직하게는 각 페이지를 독립적인 인코딩 극성을 갖게 함으로써 달성된다.

[0057]

또 다른 실시예에서, 독립적인 출발 위치를 갖는 각 페이지에 의해 구현되는 페이지 내 랜덤화는 독립적인 인코딩 극성을 갖는 페이지 내 각 세트의 데이터 비트에 의해 증가된다.

[0058]

다양한 랜덤화 방법들 및 실시예들은 메모리 칩(EEPROM)에 구현된다. 즉 이들은 칩과 통신하는 메모리 제어기에 서가 아니라 메모리 칩 자체 내에서 일어난다. 이것은 시스템 수준에서 흔히 이행되고 데이터가 메모리 칩 내 어떻게 저장되는가를 변경하기 위해 제어기를 이용하는 마모 레벨링으로서 알려진 문제를 해결하는 다른 기술과는 다르다.

발명의 효과

[0059]

본 발명은 NAND 스트리밍 저항 효과를 감소시키며 메모리 내구성 및 신뢰도를 증가시킬 뿐만 아니라 프로그램 교란들 또는 사용자 판독 교란들을 야기할 수 있는 특정 데이터 패턴들을 감소 또는 제거할 것이다. 이것은 또한, 플로팅 게이트 대 플로팅 게이트 커플링의 문제를 감소시킬 것이다.

도면의 간단한 설명

[0060]

도 1a ~ 1e는, 비휘발성 메모리 셀의 서로 다른 예를 개략적으로 도시한 도면.

도 2는, 메모리 셀의 NOR 어레이의 예를 도시한 도면.

도 3은, 도 1d에 도시된 바와 같은, 메모리 셀의 NAND 어레이의 예를 도시한 도면.

도 4는, 임의의 한 시각에 플로팅 게이트가 저장할 수 있을 4개의 서로 다른 전하(Q1-Q4)에 대해 소스-드레인 전류와 제어 게이트 전압 사이의 관계를 도시한 도면.

도 5는, 행 디코더와 열 디코더를 통해 판독/기록 회로에 의해 액세스 가능한 메모리 어레이의 전형적인 구성을 개략적으로 도시한 도면.

도 6a는, 개개의 판독/기록 모듈의 개략적인 블록도.

도 6b는, 한 스택의 판독/기록 모듈들에 의해 종래에 구현되는 도 5의 판독/기록 스택을 도시한 도면.

도 7a는, 본 발명의 개선된 프로세서가 구현된 한 맹크의 분할된 판독/기록 스택을 갖는 콤팩트 메모리 디바이스를 개략적으로 도시한 도면.

도 7b는, 도 7a에 도시된 콤팩트한 메모리 디바이스의 바람직한 구성을 도시한 도면.

도 8은, 도 7a에 도시된 판독/기록 스택에 기본 성분의 일반적 구성을 개략적으로 도시한 도면.

도 9는, 도 7a 및 도 7b에 도시된 판독/기록 회로 사이에 판독/기록 스택들의 바람직한 하나의 구성을 도시한 도면.

도 10은, 도 9에 도시된 공통 프로세서의 개선된 실시예도.

도 11a는, 도 10에 도시된 공통 프로세서의 입력 로직의 바람직한 실시예도.

도 11b는, 도 11a의 입력 로직의 진리표.

도 12a는, 도 10에 도시된 공통 프로세서의 출력 로직의 바람직한 실시예도.

도 12b는, 도 12a의 출력 로직의 진리표.

도 13은, 본 발명의 2비트 실시예에서 본 논의에 관계되는 일부 특정 요소를 나타낸 것으로 도 10을 간단히 한 도면.

도 14는, 하위 페이지 데이터를 독입하는 상위 페이지 프로그램을 위한 도 13과 동일한 요소에 대한 래치 할당을 도시한 도면.

도 15는, 단일 페이지 모드에서 캐시 프로그램의 면을 도시한 도면.

도 16은, 하위 페이지에서 풀 시퀀스로의 전환에서 사용될 수 있는 프로그래밍 파형도.

도 17은, 풀 시퀀스 전환에 따른 캐시 프로그램 동작에서 상대적 타이밍도.

도 18은, 캐시 페이지 복사 동작에서 래치의 배치를 기술한 도면.

도 19a 및 도 19b는, 캐시 페이지 복사 동작에서의 상대적 타이밍도.

도 20은, LM 코드를 사용하여 각 메모리 셀이 2비트 데이터를 저장하는 4상태 메모리 어레이의 임계 전압 분포도.

도 21은, EEPROM 또는 메모리 칩(600)의 어떤 성분의 개략적 블록도.

도 22a는, 페이지 어드레스에 의한 여러 페이지의 데이터의 극성 비트 및 인코딩 기법도.

도 22b는, 사용자 데이터의 인코딩을 변환하는데 사용되는 17비트 코드의 예의 적용을 나타낸 표.

도 22c는, 예시적인 NAND 체인/스트링의 메모리 셀에 저장된 상위 및 하위 비트에 극성 비트의 적용을 도시한 도면.

도 23a는, 공통 클럭 신호의 함수로서 인코딩 기법 결정을 도시한 도면.

도 23b는, 명령의 클럭 신호.

도 23c는, 데이터 인코딩 결정 및 반전을 위한 제어 회로의 실시예도.

도 23d는, 극성 비트가 저장된 한 페이지의 사용자 데이터를 도시한 도면.

도 23e는, 판독 동작을 위해 잠재적으로 반전된 데이터의 인코딩을 역전시키기 위한 제어 회로의 실시예도.

도 24a는, 명령 클럭 신호의 상승에지에서 FSM 클럭의 값을 보인 유한 상태 머신 클럭 및 명령 클럭 신호의 시간 라인도.

도 24b는, 도 24a에 도시된 명령 클럭 신호의 함수로서 극성 비트를 결정하기 위한 회로도.

도 25는, 도 7a 및 도 9에 도시된 온칩 제어 회로의 상세도.

도 26은, 각 페이지에 대한 다른 출발 위치로부터 기록하는 바람직한 일 실시예에 따라, 메모리 페이지 상에 데이터를 스크램블링하는 방법을 도시한 도면.

도 27은, 데이터를 기록하기 위한 서로 다른 출발 위치를 갖는 서로 다른 페이지의 예를 도시한 표.

도 28a는, 접지에의 유한 저항을 갖는 소스 라인에 전류 흐름에 기인한 소스 전압 오류의 문제를 도시한 도면.

도 28b는, 소스 라인 전압 강하에 의해 야기되는 메모리 셀의 임계 전압 레벨에 오류를 도시한 도면.

도 29는, 페이지 내 비트를 랜덤화하는 방법을 도시한 도면.

도 30은, 발명의 또 다른 면에 따라 페이지마다 각 페이지 내에서 데이터를 랜덤화하는 방법을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0061] 도 7a 내지 도 20은, 본 발명이 구현되는 바람직한 메모리 시스템을 도시한다.

[0062] 도 7a는 본 발명의 개선된 프로세서가 구현된, 한 뱅크의 분할된 판독/기록 스택들을 구비한 콤팩트 메모리 장치를 개략적으로 도시한 것이다. 메모리 장치는 2차원 어레이의 메모리 셀들(300), 제어 회로(310), 및 판독/기록 회로들(370)을 포함한다. 메모리 어레이(300)는 행 디코더(330)을 통해 워드 라인들에 의해 그리고 열 디코더(360)을 통해 비트 라인들에 의해 어드레스될 수 있다. 판독/기록 회로들(370)은 한 뱅크의 분할된 판독/기록 스택들(400)로서 구현되며 한 블록("페이지"라고도 함)의 메모리 셀들이 별별로 판독 또는 프로그램될 수 있게 한다. 바람직한 실시예에서, 한 페이지는 인접한 한 행의 메모리 셀로부터 구성된다. 또 다른 실시예에서, 한 행의 메모리 셀들이 복수의 블록들 또는 페이지들로 분할되는 경우, 판독/기록 회로들(370)을 개개의 블록들에 멀티플렉스하기 위해 블록 멀티플렉서(350)가 제공된다.

[0063] 제어 회로(310)는 메모리 어레이(300)에 대해 메모리 동작들을 수행하기 위해 판독/기록 회로들(370)과 협동한다. 제어 회로(310)는 상태 머신(312), 온칩 어드레스 디코더(314) 및 파워제어 모듈(316)을 포함한다. 상태 머신(312)은 메모리 동작들의 칩 수준의 제어를 제공한다. 온칩 어드레스 디코더(314)는 호스트 또는 메모리 제어 기에 의해 사용된 어드레스와 디코더들(330, 370)에 의해 사용되는 하드웨어 어드레스 사이에 어드레스 인터페이스를 제공한다. 파워 제어 모듈(316)은 메모리 동작들 동안 워드 라인들 및 비트 라인들에 공급되는 파워 및 전압을 제어한다.

[0064] 도 7b는 도 7a에 도시된 콤팩트 메모리 디바이스의 바람직한 구성을 도시한 것이다. 여러 주변회로들에 의한 메모리 어레이(300)에의 액세스는 각측에 액세스 라인들 및 회로가 절반으로 감소되며 어레이의 양 대향측들 상에 대칭형으로 구현된다. 이에 따라, 행 디코더는 행 디코더들(330A, 330B)로 분할되고 열 디코더는 열 디코더들(360A, 360B)로 분할된다. 한 행의 메모리 셀들이 복수의 블록들로 분할되는 실시예에서, 블록 멀티플렉서(350)는 블록 멀티플렉서들(350A, 350B)로 분할된다. 마찬가지로, 판독/기록 회로들은 어레이(300)의 하부로부터 비트 라인들에 연결하는 판독/기록 회로들(370A) 및 어레이(300)의 상부로부터 비트 라인에 연결하는 및 판독/기록 회로(370B)로 분할된다. 이에 따라, 판독/기록 모듈의 밀도, 따라서 분할된 판독/기록 스택들(400)의 밀도가 근본적으로 절반으로 감소된다.

[0065] 도 8은 도 7a에 도시된 판독/기록 스택에 기본 성분들의 일반적으로 배열을 개략적으로 도시한 것이다. 발명의 일반적으로 구조에 따라, 판독/기록 스택(400)은 k 비트 라인을 감지하기 위한 한 스택의 감지 증폭기들(212), I/O 버스(231)을 통해 데이터의 입력 또는 출력을 위한 I/O 모듈(440), 입력 또는 출력 데이터를 저장하기 위한 한 스택의 데이터 래치들(430), 판독/기록 스택(400) 사이에 데이터를 처리 및 저장하기 위한 공통 프로세서

(500), 및 스택 성분 사이에 통신을 위한 스택 버스(421)를 포함한다. 판독/기록 회로(370) 사이에 스택 버스 제어기는 판독/기록 스택 사이에 다양한 성분들을 제어하기 위해 라인들(411)을 통해 제어 및 타이밍 신호들을 제공한다.

[0066] 도 9는 도 7a 및 도 7b에 도시된 판독/기록 회로 사이에 판독/기록 스택들의 바람직한 배열을 도시한 것이다. 각각의 판독/기록 스택(400)은 병렬로 한 그룹의 k 비트 라인들에 동작한다. 페이지가 $p=r*k$ 비트 라인을 갖고 있다면, r개의 판독/기록 스택들(400-1, ..., 400-r)이 있을 것이다.

[0067] 전체 한 뱅크의 분할된 판독/기록 스택(400)이 병렬로 동작함으로써 한 행을 따른 한 블록(또는 페이지)의 p 셀들이 병렬로 판독 또는 프로그램될 수 있다. 이에 따라, 전체 한 행의 셀에 대해 p 개의 판독/기록 모듈들이 있을 것이다. 각 스택이 k 개의 메모리 셀에 사용되고 있으므로, 뱅크 내 판독/기록 스택들의 총 수는 $r = p/k$ 로 주어진다. 예를 들어, 뱅크에 스택 수가 r이면, $p = r*k$ 가 된다. 일례의 메모리 어레이에는 $p = 512$ 바이트(512×8 비트), $k = 8$ 을 가질 수 있고 따라서 $r = 512$ 이다. 바람직한 실시예에서, 블록은 한 행 전체의 연이은 셀들이다. 또 다른 실시예에서, 블록은 행 내 셀의 부분집합이다. 예를 들면, 셀의 부분집합은 전체 행의 절반이거나 전체 행의 1/4일 수 있다. 셀의 부분집합은 연이은 이웃한 셀들이거나, 하나 걸러 한 셀이거나, 소정 수 걸러 하나의 셀일 수 있다.

[0068] 400-1과 같은 각각의 판독/기록 스택은 필수로 병렬로 한 구획의 k 메모리 셀에 사용되는 한 스택의 감지 증폭기(212-1 내지 212-k)를 내포한다. 바람직한 감지 증폭기는 전체 개시된 바를 본 명세서에 참조로 포함하는 미국 특허 공개번호 2004-0109357-A1에 개시되어 있다.

[0069] 스택 버스 제어기(410)는 라인(411)을 통해 판독/기록 회로(370)에 제어 및 타이밍 신호들을 제공한다. 스택 버스 제어기 자체는 라인들(311)을 통해 메모리 제어기(310)에 의존한다. 각각의 판독/기록 스택(400) 사이에 통신은 스택 버스(431)을 상호연결함으로써 달성되고 스택 버스 제어기(410)에 의해 제어된다. 제어 라인들(411)은 스택 버스 제어기(410)로부터 판독/기록 스택들(400-1)의 성분들로 제어 및 클럭 신호들을 제공한다.

[0070] 바람직한 실시예에서, 스택 버스는 공통 프로세서(500)와 한 스택의 감지 증폭기(212) 사이에 통신을 위한 SABus(422)와, 프로세서와 한 스택의 데이터 래치(430) 사이에 통신을 위한 DBus(423)으로 분할된다.

[0071] 한 스택의 데이터 래치들(430)은 스택에 연관된 각 메모리 셀에 하나씩 데이터 래치들(430-1 내지 430-k)를 포함한다. I/O 모듈(440)은 데이터 래치들이 데이터를 I/O 버스(231)를 통해 외부와 교환할 수 있게 한다.

[0072] 또한, 공통 프로세서는 오류상태와 같은 메모리 동작의 상태를 나타내는 상태신호의 출력을 위한 출력(507)을 포함한다. 상태신호는 Or 결선 구성으로 FLAG BUS(509)에 묶인 n-트랜지스터(550)의 게이트를 구동하기 위해 사용된다. FLAG BUS는 바람직하게는 제어기(310)에 의해 프리차지되고 판독/기록 스택들 중 어느 것에 의해 상태신호가 발현되었을 때 풀-다운 될 것이다.

[0073] 도 10은 도 9에 도시된 공통 프로세서의 개선된 실시예도이다. 공통 프로세서(500)는 프로세서 버스, 외부회로들과 통신을 위한 PBUS(505), 입력 로직(510), 프로세서 래치 PLatch(520) 및 출력 로직(530)을 포함한다.

[0074] 입력 로직(510)은 PBUS로부터 데이터를 수신하고 신호 라인(411)을 통해 스택 버스 제어기(410)로부터 제어 신호에 따라 논리 상태 "1", "0", 또는 "Z"(플로팅) 중 한 상태로 변환된 데이터로서 BSI 노드에 출력한다. 이어서 셋/리셋 래치, PLatch(520)는 BSI를 래치하여 MTCH 및 MTCH*로서 한 쌍의 상보 출력 신호가 된다.

[0075] 출력 로직(530)은 MTCH 및 MTCH* 신호를 수신하고 신호 라인(411)을 통해 스택 버스 제어기(410)로부터 제어 신호에 따라 논리 상태 "1", "0" 또는 "Z"(플로팅) 중 하나의 상태로 변환된 데이터를 PBUS(505) 상에 출력한다.

[0076] 임의의 한 시간에 공통 프로세서(500)는 주어진 메모리 셀에 관계된 데이터를 처리한다. 예를 들면, 도 10은 비트 라인(1)에 결합된 메모리 셀에 대한 경우를 도시한 것이다. 대응하는 감지 증폭기(212-1)는 감지 증폭기 데이터가 나타나는 노드를 포함한다. 바람직한 실시예에서, 노드는 데이터를 저장하는 SA 래치(214-1)의 형태를 취한다. 유사하게, 대응하는 한 세트의 데이터 래치들(430-1)은 비트 라인 1에 결합된 메모리 셀에 연관된 입력 또는 출력 데이터를 저장한다. 바람직한 실시예에서, 한 세트의 데이터 래치들(430-1)은 n 비트의 데이터를 저장하는데 충분한 데이터 래치들(434-1, ..., 434-n)을 포함한다.

[0077] 공통 프로세서(500)의 PBUS(505)는 한 쌍의 상보 신호(SAP, SAN)에 의해 전송 게이트(501)가 활성화되었을 때 SBUS(422)를 통해 SA 래치(214-1)에 액세스할 수 있다. 마찬가지로, PBUS(505)는 한 쌍의 상보 신호(DTP, DTN)에 의해 전송 게이트(502)가 활성화되었을 때 DBUS(423)를 통해 한 세트의 데이터 래치들(430-1)에 액세스할 수 있다. 신호들(SAP, SAN, DTP, DTN)이 스택 버스 제어기(410)로부터 제어 신호의 일부로서 분명히

도시되었다.

[0078] 도 11a는 도 10에 도시된 공통 프로세서의 입력 로직의 바람직한 실시예도이다. 입력 로직(520)은 PBUS(505) 상에 데이터를 수신하고 제어 신호들에 따라, 출력(BSI)를 같게 하거나, 반전되게 하거나, 플로팅되게 한다. 출력 BSI 노드는 전송 게이트(522), 또는 Vdd와 직렬의 p-트랜지스터들(524, 525)을 포함하는 풀-업 회로, 또는 접지에 직렬의 n-트랜지스터들(526, 527)을 포함하는 풀-다운 회로의 출력에 의해 근본적으로 영향을 받는다. 풀-업 회로는 p-트랜지스터(524, 525)에의 게이트들이 신호들(PBUS, ONE)에 의해 제어되게 한다. 풀-다운 회로는 n-트랜지스터들(526, 527)에의 게이트들이 ONEB<1> 및 PBUS 신호들에 의해 각각 제어되게 한다.

[0079] 도 11b는 도 11a의 입력 로직의 진리표를 도시한 것이다. 로직은 PBUS 및 스택 버스 제어기(410)로부터의 제어 신호들의 일부인 제어 신호들 ONE, ONEB<0>, ONEB<1>에 의해 제어된다. 근본적으로, 3가지 전송모드들로서 PASSTHROUGH, INVERTED, 및 FLOATED이 지원된다.

[0080] BSI가 입력 데이터와 동일한 PASSTHROUGH 모드의 경우에, 신호들 ONE은 논리 "1"에 있으며, ONEB<0>는 "0"에 그리고 ONEB<1>은 "0"에 있다. 이것은 풀-업 또는 풀-다운을 비활성화할 것이지만 전송 게이트(522)가 PBUS(505) 상의 데이터를 출력(523)에 전달할 수 있게 할 것이다. BSI가 입력 데이터의 반전인 INVERTED 모드인 경우에, 신호들 ONE은 "0"에 있고, ONEB<0>은 "1"에, 그리고 ONEB<1>은 "1"에 있다. 이것은 전송 게이트(522)를 비활성화할 것이다. 또한, PBUS가 "0"에 있을 때, 풀-다운 회로는 비활성화될 것이며 풀-업 회로는 활성화되어, BSI는 "1"에 있게 된다. 마찬가지로, PBUS가 "1"에 있을 때, 풀-업 회로는 비활성화되고 풀-다운 회로는 활성화되어 BIS는 "0"에 있게 된다. 마지막으로, FLOATED 모드의 경우에, 출력 BSI는 신호들 ONE을 "1"에, ONEB<0>을 "1"에, ONEB<1>을 "0"에 있게 함으로써 플로팅될 수 있다. FLOATED 모드는 실제로는 사용되지 않으나 완전함을 위해 열거되었다.

[0081] 도 12a는 도 10에 도시된 공통 프로세서의 출력 로직의 바람직한 실시예를 도시한 것이다. 입력 로직(520)으로부터 BSI 노드에 신호는 프로세서 래치 PLatch(520)에 래치된다. 출력 로직(530)은 PLatch(520)의 출력으로부터 데이터 MTCH 및 MTCH*을 수신하며 제어 신호들에 따라 PASSTHROUGH, INVERTED 또는 FLOATED 모드에서처럼 PBUS 상에 출력한다. 즉, 4개의 브랜치들은 PBUS(505)에 대한 드라이버들로서 작용하여 능동적으로 HIGH, LOW 또는 FLOATED 상태로 가져간다. 이것은 4개의 브랜치 회로들로서 즉 PBUS(505)를 위한 2개의 풀-업 및 2개의 풀-다운 회로들에 의해 달성된다. 제 1 풀-업 회로는 Vdd와의 직렬의 p-트랜지스터들(531, 532)를 포함하며, MTCH가 "0"에 있을 때 PBUS를 풀-업 할 수 있다. 제 2 풀-업 회로는 접지에 직렬의 p-트랜지스터들(533, 534)을 포함하며 MTCH가 "1"에 있을 때 PBUS를 풀-업 할 수 있다. 마찬가지로, 제 1 풀-다운 회로는 Vdd에 직렬의 n-트랜지스터들(535, 536)을 포함하며 MTCH가 "0"에 있을 때 PBUS를 풀-다운 할 수 있다. 제 2 풀-업 회로는 접지에 직렬의 n-트랜지스터들(537, 538)을 포함하며 MTCH가 "1"에 있을 때 PBUS를 풀-업 할 수 있다.

[0082] 발명의 한 특징은 PMOS 트랜지스터들로 풀-업 회로들과 NMOS 트랜지스터들로 풀-다운 회로들을 구성하는 것이다. NMOS에 의한 풀(pull)이 PMOS의 풀보다 훨씬 강하기 때문에, 풀-다운은 어떤 경합에서도 풀-업을 항시 이겨낼 것이다. 즉, 노드 또는 버스는 풀-업 또는 "1" 상태로 항시 내정될 수 있고 요망된다면 풀-다운에 의해 "0" 상태로 항시 반전(flip)될 수 있다.

[0083] 도 12b는 도 12a의 출력 로직의 진리표이다. 로직은 입력 로직으로부터 래치된 MTCH, MTCH*와 스택 버스 제어기(410)로부터 제어 신호들의 일부인 제어 신호들(PDIR, PINV, NDIR, NINV)에 의해 제어된다. 4개의 동작 모드들로서 PASSTHROUGH, INVERTED, FLOATED, 및 PRECHARGE이 지원된다.

[0084] FLOATED 모드에서, 4개의 모든 브랜치들이 비활성화된다. 이것은 신호들을 디폴트값들이기도 한 PINV = 1, NINV = 0, PDIR = 1, NDIR = 0로 함으로써 달성된다. PASSTHROUGH 모드에서, MTCH = 0일 때, PBUS = 0임을 요구할 것이다. 이것은 NDIR = 1을 제외하고 모든 제어 신호들을 이들의 디폴트값들로 하여, n-트랜지스터들(535, 536)로 풀-다운 브랜치만을 활성화함으로써 달성된다. MTCH = 1일 때, 이것은 PBUS = 1임을 요구할 것이다. 이것은 PINV = 0을 제외하고 모든 제어 신호들을 이들의 디폴트값들로 하여, p-트랜지스터들(533, 534)로 풀-업 브랜치만을 활성화함으로써 달성된다. INVERTED 모드에서, MTCH = 0일 때, 이것은 PBUS = 1임을 요구할 것이다. 이것은 PDIR = 0을 제외하고 모든 제어 신호들을 이들의 디폴트값들로 하여, p-트랜지스터들(531, 532)로 풀-업 브랜치만을 활성화함으로써 달성된다. MTCH = 1일 때, 이것은 PBUS = 0임을 요구할 것이다. 이것은 NINV = 1을 제외하고 모든 제어 신호들을 이들의 디폴트값들로 하여, n-트랜지스터들(537, 538)로 풀-다운 브랜치만을 활성화함으로써 달성된다. PRECHARGE 모드에서, PDIR = 0 및 PINV = 0의 제어 신호 설정은 MTCH = 1일 때 p-트랜지스터(531, 531)로 풀-업 브랜치를 활성화하거나, MTCH = 0일 때 p-트랜지스터(533, 534)로 풀-업 브랜치를 활성화할 것이다.

[0085] 공통 프로세서 동작들은 전체 기재 내용이 본 명세서에 참조로 포함되어 있는 미국 특허 출원 공개번호 US-2006-0140007 A1에 더 개시되어 있다.

[0086] 캐시 동작에서 데이터 래치의 사용

[0087] 본 발명의 다수의 면들은 내부 메모리가 판독, 기록 또는 소거와 같은 다른 동작들을 행하고 있을 때 데이터를 입력 및 출력할 캐시 동작들을 위해 도 10에서 위에 기술된 판독/기록 스택들의 데이터 래치들을 이용한다. 위에 기술된 구조들에서, 데이터 래치들은 다수의 물리적 페이지들에 의해 공유된다. 예를 들면, 모든 워드 라인들에 의해 공유되는 비트 라인들의 판독/기록 스택들에서와 같이, 한 동작이 진행되고 있을 때, 이들 래치들 중 어느 하나가 비어 있다면, 이들은 같은 또는 다른 워드 라인에서 미래의 동작들을 위해 데이터를 캐시하여 전송이 다른 동작 뒤로 숨을 수 있어 전송 시간을 절약할 수 있다. 이것은 서로 다른 동작들 또는 동작들의 국면들을 파이프라인하는 양을 증가시킴으로써 성능을 향상시킬 수 있다. 일예에서, 캐시 프로그램 동작에서, 한 페이지의 데이터를 프로그램하는 중에 다른 한 페이지의 데이터가 로딩될 수 있어 전송 시간을 절약한다. 또 다른 예로서, 일 실시예에서, 한 워드 라인 상에 판독 동작은 다른 워드 라인 상에 기록 동작에 삽입되어, 데이터 기록이 계속되는 중에 판독으로부터 데이터가 메모리로부터 전송될 수 있다.

[0088] 이것은 제 1 페이지의 데이터에 대해 기록 또는 다른 동작이 진행되고 있는 동안에 동일 블록 내 또 다른 페이지로부터 그러나 다른 워드 라인 상의 데이터가 토글 아웃되게(예를 들면 ECC 동작을 행하기 위해) 함에 유의한다. 동작들의 국면간 파이프라인에 의해서 데이터 전송에 필요한 시간은 제 1 페이지의 데이터에 대한 동작 뒤로 숨을 수 있게 된다. 보다 일반적으로, 이것은 통상 더 긴 다른 동작의 국면들 사이에 한 동작의 부분이 삽입될 수 있게 한다. 또 다른 예는 이를테면 소거 펄스전 또는 소거의 나중 부분으로서 사용되는 소프트 프로그래밍 국면전과 같이 소거 동작의 국면들 사이에 감지동작을 삽입하는 것이다.

[0089] 논의된 동작들의 일부에 필요한 상대적 시간들을 만들기 위해서, 위에 기술된 시스템에 대해 한 세트의 시간값들이 다음처럼 취해질 수 있다.

[0090] 데이터 기록: ~700 μ s (하위 페이지~600 μ s, 상위 페이지 800 μ s)

[0091] 2진 데이터 기록: ~200 μ s

[0092] 소거: ~2,500 μ s

[0093] 판독: ~20~40 μ s

[0094] 데이터 판독 및 토글 아웃: 2KB 데이터, ~80 μ s; 4KB ~ 160 μ s; 8KB ~ 320 μ s

[0095] 이들 값들은 이하 타이밍도에 대해 연루되는 상대적 시간을 알려주기 위한 기준으로 사용될 수 있다. 서로 다른 국면들을 가진 긴 동작이 있다면, 주 특징은 래치가 사용 가능할 경우 판독/기록 스택들의 공유된 래치들을 사용하는 것을 더 신속한 동작에 삽입할 것이다. 예를 들면, 판독이 프로그램 또는 소거 동작에 삽입될 수 있고, 또는 2진 프로그램이 소거에 삽입될 수 있다. 주 실시예들은 예를 들면 토글 아웃되어 수정될 데이터의 판독이 데이터 기록의 검증 국면에 삽입되는 경우, 동일 판독 기록 스택들을 공유하는 다른 페이지에 대한 프로그램 동작 동안 한 페이지에 대해 데이터를 토글 인 및/또는 아웃할 것이다.

[0096] 개방 데이터 래치들의 이용성이 많은 방법들로 일어날 수 있다. 일반적으로, 셀당 n 비트를 저장하는 메모리에 있어서는 각 비트 라인마다 n개의 이러한 데이터 래치들이 필요하게 될 것이지만, 그러나, 이들 래치들 전부가 항상 필요하는 것은 아니다. 예를 들면, 상위 페이지/하위 페이지 포맷으로 데이터를 저장하는 셀 메모리 당 2비트에서, 하위 페이지를 프로그램하는 동안에 2개의 데이터 래치들이 필요하게 될 것이다. 보다 일반적으로, 복수 페이지들을 저장하는 메모리들에 있어서는 최상위 페이지를 프로그램할 때만 모든 래치들이 필요하게 될 것이다. 이것은 다른 래치들을 캐시 동작들에 사용할 수 있게 한다. 또한, 최상위 페이지를 기록하는 동안이라도, 기록 동작의 검증 국면으로부터 각종 상태들이 제거되므로, 래치들은 방면될 것이다. 구체적으로, 일단 최상위 상태만이 검증된 상태에 있게 되면, 검증목적들을 위해 단일 래치만이 필요하게 되고 다른 것들은 캐시 동작들을 위해 사용될 수 있다.

[0097] 다음 논의는 앞에서 포함시켰던 본원과 동시에 출원된 "Use of Data Latches in Multi-Phase Programming of Non-Volatile Memories" 명칭의 미국특허출원에 기술된 바와 같이, 다음에 논의는 셀당 2비트를 저장하고 각 비트 라인 상에 데이터에 대해 2개의 래치들과 신속 패스 기록을 위해 하나의 추가의 래치를 구비하는 4상태 메모

리에 기초할 것이다. 하위 페이지를 기록하거나 소거하거나 또는 사후 소거 소프트 프로그램을 행하는 동작들은 기본적으로 2진 동작이며 데이터 래치들 중 하나를 자유롭게 하며 이것은 데이터를 캐시하는데 사용할 수 있다. 마찬가지로, 상위 페이지 또는 완전한 시퀀스 기록을 행하는 경우, 최상위 레벨을 제외하고 모든 레벨이 일단 검증되었으면, 단일 상태만이 검증할 필요가 있고 메모리는 데이터를 캐시하는데 사용될 수 있는 래치를 해방시킬 수 있다. 이것이 어떻게 사용될 수 있는가의 예는, 복사 동작에서와 같이 한 페이지를 프로그래밍할 때, 이를테면 동일한 세트의 비트 라인들 상에 다른 워드 라인과 같이 동일한 세트의 데이터 래치들을 공유하는 다른 페이지의 판독이 기록의 검증 국면 동안 슬립인 될 수 있는 예이다. 이어서 어드레스는 기록되는 페이지로 전환될 수 있어, 다시 시작할 필요없이 기록 프로세스가 그만둘 곳을 취할 수 있게 한다. 기록이 계속되는 동안, 인터플레이트된 판독 동안 캐시된 데이터는 토글 아웃되거나, 체크되거나 수정되고 일단 앞선 기록 동작이 완료하면 다시 기록하기 위해 존재해 있게 다시 전송될 수 있다. 이러한 종류의 캐시 동작으로 제 2 페이지의 데이터의 토글 아웃 및 수정은 제 1 페이지의 프로그래밍 뒤로 숨을 수 있게 된다.

[0098] 제 1 예로서, 단일 페이지(하위 페이지/상위 페이지 포맷) 프로그램 모드에서 동작하는 2비트 메모리에 대한 캐시 프로그램 동작. 도 13은 2비트 실시예에서 본 논의에 관계된 일부 특정의 요소들을 도시하고 다른 것들은 논의를 간단하게 위해 언급하지 않은 것으로 도 10을 간단하게 한 도면이다. 이들은 데이터 I/O 라인(231)에 연결되는 데이터 래치 DL0(434-0), 라인(423)에 의해 공통 프로세서(500)에 연결된 데이터 래치 DL1(434-1), 라인(435)에 의해 다른 데이터 래치들에 공통으로 연결된 데이터 래치 DL2(434-2), 및 라인(422)에 의해 공통 프로세서(500)에 연결된 감지 증폭기 데이터 래치 DLS(214)를 포함한다. 도 13의 여러 요소들은 하위 페이지의 프로그래밍 동안 이들의 배치에 따라 표기된다. 래치 DL2(434-2)는 본원과 동시에 출원된 "Use of Data Latches in Multi-Phase Programming of Non-Volatile Memories" 명칭의 미국특허출원에 기술된 바와 같이, 신속 패스 기록 모드에서 하위 검증(VL)을 위해 사용되는데, 상기 출원에서는 레지스터의 포함, 및 포함되었을 때 신속 패스 기록이 포함되었을 때 이를 사용하는 것을 포함시키는 것은 선택적이지만 본 실시예는 이 레지스터를 포함할 것이다.

[0099] 하위 페이지의 프로그래밍은 다음 단계들을 포함할 수 있다.

[0100] [00127] 하위 페이지의 프로그래밍은 다음 단계들을 포함할 수 있다:

[0101] (1) 프로세스는 데이터 래치들 DL0(434-0)을 디폴트값 "1"로 제설정함으로써 시작한다. 이 관례는 프로그램되지 않을 선택된 행에 셀들이 프로그램 금지될 것이기 때문에 부분적 페이지 프로그래밍을 단순화하기 위해 사용된다.

[0102] (2) 프로그램 데이터가 I/O 라인(231)을 따라 DL0(434-0)에 공급된다.

[0103] (3) 프로그램 데이터가 DL1(434-1) 및 DL2(434-2)에 전송될 것이다(이 래치가 포함되고 신속 패스 기록이 이행된다면).

[0104] (4) 일단 프로그램 데이터가 DL1(434-1)에 전송되면, 데이터 래치 DL0(434-0)이 "1"로 재설정될 수 있고, 프로그램 시간 동안, 다음 데이터 페이지가 I/O 라인(231)을 따라 DL0(434-0)에 로딩될 수 있어, 제 1 페이지가 기록되는 동안 제 2 페이지를 캐시할 수 있게 된다.

[0105] (5) 제 1 페이지가 일단 DL1(434-1)에 로딩되면, 프로그래밍이 시작될 수 있다. DL1(434-1) 데이터는 셀을 추가 프로그래밍으로서 록아웃하기 위해 사용된다. DL2(434-2) 데이터는 본 발명과 동시에 출원된 "Use of Data Latches in Multi-Phase Programming of Non-Volatile Memories" 명칭의 미국 특허 출원에 기술된 바와 같이 신속 패스 기록의 제2 국면으로의 천이를 결정하는 하위 검증 록아웃을 위해 사용된다.

[0106] (6) 일단 프로그래밍이 시작되면, 프로그래밍 펄스 다음에, DL2(434-2)를 업데이트하기 위해 하위 검증의 결과가 사용되는데, 상위 검증 결과는 DL1(434-1)을 업데이트하기 위해 사용된다. (이 논의는 "관례적" 코딩에 근거하는데, 여기서 하위 페이지 프로그래밍은 A 상태에 대한 것이다. 이 코딩, 및 그외의 코딩들이 본원과 동시에 출원된 "Use of Data Latches in Multi-Phase Programming of Non-Volatile Memories" 명칭의 미국특허출원 및 2005년 3월 16일에 출원된 "Non-Volatile Memory and Method with Power-Saving Read and Program-Verify Operations" 명칭의 미국특허출원에 더 논의되어 있다. 다른 코딩들에 대한 본 논의의 확장은 쉽게 이해된다).

[0107] (7) 프로그래밍이 완료되었는지 판정함에 있어, 행(또는 적합한 물리적 프로그램 단위)의 셀의 DL1(434-1) 레지스터들만이 체크된다.

[0108] 일단 하위 페이지가 기록되면, 상위 페이지가 프로그램될 수 있다. 도 14는 도 13과 동일한 요소들을 도시하나,

하위 페이지 데이터가 독립되는 경우 상위 페이지 프로그램을 위한 래치 할당을 나타낸다. (이 설명은 통상적 코딩을 사용하므로, 상위 페이지의 프로그래밍은 B 상태 및 C 상태에 대한 것이다). 상위 페이지의 프로그래밍은 다음 단계들을 포함할 수 있다.

[0109] (1) 일단 하위 페이지가 프로그래밍을 종료하면, 상위 페이지(또는 다음 페이지) 기록은 (비실행된) 캐시 프로그램 명령들이 유지되는 상태 머신 제어기로부터의 신호로 시작할 것이다.

[0110] (2) 프로그램 데이터가 DL0(434-0)에서(하위 페이지 기록동안 단계(3)에서 로딩되었던) DL1(434-1) 및 DL2(434-2)로 전송될 것이다.

[0111] (3) 하위 페이지 데이터가 어레이로부터 독립되어 DL0(434-0)에 넣어질 것이다.

[0112] (4) DL1(434-1) 및 DL2(434-2)은 검증 하이 및 검증 로우 록아웃 데이터를 위해 각각 사용된다. 래치 DL0(434-0)(하위 페이지 데이터를 유지하는)가 프로그램 기준 데이터로서 체크되는데, 그러나 검증 결과들로 업데이트되지 않는다.

[0113] (5) B 상태를 검증하는 부분으로서, 하위 검증 VBL에서 감지후에, 그에 따라 데이터가 DL2(434-2)에서 업데이트될 것이며, DL1(434-1) 데이터는 하이 검증 VBH 결과들로 업데이트된다. 마찬가지로, C 검증은 각각의 VCL 및 VCH 결과들로 래치들 DL2(434-2) 및 DL1(434-1)을 업데이트하는 대응 명령들을 가질 것이다.

[0114] (6) 일단 B 데이터가 완료되면, 하위 페이지 데이터(참조를 위해 DL0(434-0)에 유지된)는 C 상태에 대한 검증만이 수행될 필요가 있으므로 필요하지 않다. DL0(434-0)은 "1"로 재설정되고 프로그램 데이터의 또 다른 페이지가 I/O 라인(231)로부터 로딩되어 래치 DL0(434-0)에 캐시될 수 있다. 공통 프로세서(500)는 C 상태만이 검증될 것이라는 지시를 설정할 수 있다.

[0115] (7) 상위 페이지 프로그래밍이 완료되었는지 판정함에 있어, B 상태에 대해서, 래치들 DL1(434-1) 및 DL0(434-0) 둘 다가 체크된다. 일단 셀들이 B 상태로 프로그램되고 C 상태만이 검증되고 있다면, 프로그램되지 않은 임의의 비트들이 있는지를 알기 위해서 래치 DL1(434-1) 데이터만이 체크될 필요가 있다.

[0116] 이러한 구성하에서, 단계 6에서, 래치 DL0(434-0)은 더 이상 필요하지 않고 다음 프로그래밍 동작을 위해 데이터를 캐시하기 위해 사용될 수 있음에 유의한다. 또한, 신속 패스 기록을 사용하는 실시예들에서, 일단 제 2의 느린 프로그래밍 단계에 진입되면, 데이터 캐시를 위해 래치 DL2(434-2)를 사용할 수 있게 할 수도 있지만, 실제로는 이러한 식으로는 흔히 이 특징을 구현하는데 요구되는 추가의 오버헤드를 정당화하지 않는 꽤 짧은 기간 동안만 가능한 경우가 대부분이다.

[0117] 도 15는 마지막 여러 단락에 기술된 단일 페이지 모드에서 캐시 프로그램의 많은 특징을 예시하는데 사용될 수 있다. 도 15는 메모리 내부에서 어떤 이벤트들이 일어나고 있는지(하위 "트루 비지" 라인) 및 메모리 외부로부터 알 수 있는(상위 "캐시 비지" 라인) 상대적 타이밍을 나타낸 것이다.

[0118] 시간 t_0 에서, 선택된 워드 라인(WLn)에 프로그램될 하위 페이지가 메모리에 로딩된다. 이것은 제 1 하위 페이지 데이터가 후속 페이지들도 마찬가지로 이전에 캐시되지 않은 것으로 가정한다. 시간 t_1 에서 하위 페이지 로딩이 종료되고 메모리는 이를 기록하기를 시작한다. 이때 이것은 2진 동작과 동등하기 때문에, 상태 A만이 검증될 필요가 있고("pvfyA"), 여기에서는 결국 하위 페이지의 프로그래밍동안 래치 DL0(434-0)에 캐시되는 것으로 시간 t_2 에서 WLn에 프로그램될 상위 페이지들로서 취해진 다음 페이지의 데이터를 수신하기 위해 데이터 래치 DL0(434-0)가 사용될 수 있다. 상위 페이지는 시간 t_3 에서 로딩을 종료하고 t_4 에서 하위 페이지가 종료하는 즉시 프로그램될 수 있다. 이러한 구성 하에서, 물리적 프로그래밍 단위(여기에서는 워드 라인 WLn)에 모든 데이터(하위 및 상위 페이지)가 기록될지라도, 메모리는 이하 기술되는 풀 시퀀스 실시예와는 달리, 상위 페이지 데이터가 기록될 수 있기 전에 시간 t_3 부터 시간 t_4 까지 메모리는 기다려야 한다.

[0119] 상위 페이지의 프로그래밍은 시간 t_4 에서 시작하며 여기서 초기에 B 상태만이 검증되며("pvfyB"), C 상태가 t_5 에서 더해진다("pvfyB/C"). 일단 B 상태가 t_6 에서 더 이상 검증되고 있지 않으면, C 상태만이 검증될 필요가 있고("pvfyC") 래치 DL0(434-0)은 해방된다. 이것은 상위 페이지가 프로그래밍을 종료할 때 다음 데이터 세트가 캐시될 수 있게 한다.

[0120] 언급된 바와 같이, 캐시 프로그램으로 단일 페이지 알고리즘에 따라, 도 15에 도시된 바와 같이, 시간 t_3 에서 상위 페이지 데이터가 가용할 수 있을지라도, 메모리는 이 데이터를 기록하기 시작하기 전에 시간 t_4 까지 기다릴

것이다. 미국특허출원 11/013,125에 더 자세히 기재된 바와 같이, 풀 시퀀스 프로그램 동작으로 전환에서, 일단 상위 페이지가 가용하게 되면 상위 및 하위 페이지 데이터가 동시에 프로그램될 수 있다.

[0121] 풀 시퀀스 캐시 프로그램(하위에서 풀로의 전환)을 위한 알고리즘은 전술한 바와 같이 하위 페이지 프로그램으로 시작한다. 결국, 단계들 (1) ~ (4)은 단일 페이지 프로그램 모드에서 하위 페이지 프로세스에 관한 것이다.

[0122] (1) 프로세스는 데이터 래치들 DL0(434-0)을 디폴트값 "1"로 제설정함으로써 시작한다. 이 관례는 프로그램되지 않을 선택된 행에 셀들이 프로그램 금지될 것이기 때문에 부분적 페이지 프로그래밍을 단순화하기 위해 사용된다.

[0123] (2) 프로그램 데이터가 I/O 라인(231)을 따라 DL0(434-0)에 공급된다.

[0124] (3) 프로그램 데이터가 DL1(434-1) 및 DL2(434-2)에 전송될 것이다(이 래치가 포함되고 신속 패스 기록이 이행된다면).

[0125] (4) 일단 프로그램 데이터가 DL1(434-1)에 전송되면, 데이터 래치 DL0(434-0)이 "1"로 재설정될 수 있고, 프로그램 시간동안, 다음 데이터 페이지가 I/O 라인(231)을 따라 DL0(434-0)에 로딩될 수 있어, 제 1 페이지가 기록되는 동안 제 2 페이지를 캐시할 수 있게 된다.

[0126] 일단 제 2 페이지의 데이터가 로딩되면, 기록되는 하위 페이지의 상위에 대응하고 하위 페이지가 아직 프로그래밍을 마치지 않은 경우에는, 풀 시퀀스 기록으로의 전환이 이행될 수 있다. 이 논의는 이러한 알고리즘에서 데이터 래치들의 사용에 중점을 둔 것으로, 그외 상세들 대부분은 본 출원인의 계류중의 미국특허 7,120,051에 더 자세히 전개되어 있다.

[0127] (5) 상위 페이지 데이터가 래치 DL0(434-0)에 로딩된 후에, 한 페이지는 하위 페이지이고 또 한 페이지는 상위 페이지인 두 페이지가 같은 워드 라인 및 같은 블록 상에 있는지를 체크하기 위한 판단이 어드레스 블록에서 행해질 것이다. 그러하다면, 프로그램 상태 머신은 하위 페이지 프로그램을 풀 시퀀스 프로그램으로 전환을 트리거하는 것이 허용된다면 이와 같이 할 것이다. 임의의 미결 검증이 완료된 후에, 천이가 완료된다.

[0128] (6) 프로그램 시퀀스가 하위 페이지에서 풀 시퀀스로 바뀌었을 때 통상적으로 일부 동작 파라미터들이 변경될 것이다. 본 실시예에서 이들은 다음을 포함한다.

[0129] (i) 하위 페이지 데이터가 롤아웃되지 않았다면 펄스 검증 사이클들의 수에 대한 최대 프로그램 루프는 하위 페이지 알고리즘의 루프에서 풀 시퀀스의 루프로 전환될 것이지만, 완료된 프로그램 루프 수는 전환에 의해 재설정되지 않을 것이다.

[0130] (ii) 도 16에 나타낸 바와 같이, 하위 페이지 프로그래밍 프로세스에서 사용된 값 VPGM_L으로 프로그래밍 파형이 시작한다. 풀 시퀀스로의 전환에서, 프로그래밍 파형이 이것이 상위 페이지 프로세스에서 사용되는 시작 값 VPGM_U를 초과하는 곳까지 나아갔다면, 계단은 계속 올라가기 전에 VPGM_U으로 떨어질 것이다.

[0131] (iii) 프로그램 펄스의 스텝 크기 및 최대값을 결정하는 파라미터들은 변경되지 않는다.

[0132] (7) 올바른 데이터가 복수-레벨 코딩을 위해 프로그램될 것임을 보증하기 위해서 메모리 셀의 현 상태의 풀 시퀀스 판독이 수행될 것이다. 이것은 하위 페이지 프로그래밍에서 전에 롤아웃되어 있을 수 있지만, 이들의 상위 페이지 데이터를 고려하여 추가 프로그래밍을 요구하는 상태는 풀 시퀀스가 시작될 때 프로그램이 금지되지 않도록 하는 것이다.

[0133] (8) 신속 패스 기록이 활성화되면, 상위 페이지 프로그램 데이터를 반영하기 위해 래치 DL2(434-2)의 데이터도 업데이트될 것이며, 이것은 A 상태만에 대해 전에 하위 검증에 기초하였기 때문이다.

[0134] (9) 프로그래밍은 복수-레벨, 풀 시퀀스 프로그램 알고리즘으로 재개한다. 하위 페이지에서 프로그램 파형이 상위 페이지 시작 레벨을 넘어 증가하였다면, 파형은 도 16에 도시된 바와 같이, 변환 시간에 이 레벨로 되돌아간다.

[0135] 도 17은 하위 페이지에서 풀 시퀀스로의 전환 기록 프로세스에 연루된 상대적 시간들의 개략도이다. 시간 t_3 까지 프로세스는 도 15에 프로세스에 대해 전술한 바와 같다. t_3 에서 상위 페이지의 데이터가 로딩되었으며 검증 프로세스가 A 상태들과 함께 B 상태를 포함하게 전환되는 풀 시퀀스 알고리즘으로 전환된다. 일단 모든 A 상태들이 롤아웃되면, 시간 t_4 에서 검증 프로세스는 B 및 C 상태를 체크하는 것으로 전환한다. 일단 B 상태들이 t_5 에서

검증되었으면, C 상태만이 체크될 필요가 있고 레지스터는 캐시 비지 라인 상에 나타나는 다음 워드 라인(WL_{n+1}) 상에 하위 페이지와 같은 프로그램될 다음 데이터를 로딩하기 위해 해방될 수 있다. 시간 t_6 에서, 이 다음 데이터 세트는 캐시되어 있으며 이전 세트에 대한 C 데이터의 프로그래밍이 일단 시간 t_7 에서 끝났다면 이 다음 데이터 세트는 프로그래밍을 시작한다. 또한, 워드 라인(WL_{n+1}) 상에 (여기에서의) 하위 페이지가 프로그래밍되고 있는 중에, 다음 데이터(이를테면 대응하는 상위 페이지 데이터)가 열린 래치 DL0(434-0)에 로딩될 수 있다.

[0136] 풀 시퀀스 기록 동안, 독립적으로 하위 페이지 및 상위 페이지 상태를 제공하게 상태 보고가 이행된다. 프로그램 시퀀스 끝에서, 종료되지 않은 비트들이 있다면, 물리적 페이지의 스캔이 수행될 수 있다. 제 1 스캔은 종료되지 않은 상위 페이지 데이터에 대해 래치 DL0(434-0)를 체크할 수 있고, 제 2 스캔은 종료되지 않은 하위 페이지 데이터에 대해 DL1(434-1)을 체크할 수 있다. B 상태의 검증은 DL0(434-0) 및 DL1(434-1) 데이터 둘 다를 변경할 것이기 때문에, A 상태 검증은 비트의 임계값이 A 검증 레벨보다 높다면 DL1(434-1) 데이터 "0"이 "1"로 변경되도록 수행되어야 한다. 이 사후 검증은 임의의 프로그램되고 있는 B 레벨들이 A 레벨에서 통과하였는지를 체크할 것이며 이들이 A 레벨에서 통과하였다면 오류는 상위 페이지 상에만 있고 하위 페이지 상에는 없는 것이며, 이들이 A 레벨에서 통과하지 않았다면 하위 및 상위 페이지들 둘 다는 오류가 있는 것이다.

[0137] 캐시 프로그램 알고리즘이 사용된다면, A 및 B 데이터가 프로그램된 후에, 프로그래밍을 종료하기 위해서 C 상태는 래치 DL1(434-1)로 전송될 것이다. 이 경우, 하위 페이지는 임의의 실패된 비트들 없이 프로그램을 이미 통과하였을 것이기 때문에 하위 페이지에 대해 래치의 스캔은 필요하지 않다.

[0138] 본 발명의 또 다른 한 세트의 실시예들은 페이지 복사 동작들에 관한 것으로, 여기서 데이터 세트는 한 위치에서 다른 위치로 재배치된다. 데이터 재배치 동작들의 여러 가지 면들은 본 명세서에 모두 참조로 포함하고 이미 포함한, 미국 특허 출원 공개번호 US-2005-0257120-A1; US-2006-0136687-A1; 및 US-2006-0031593-A1; 및 미국 특허 6,266,273에 기술되어 있다. 데이터가 한 위치에서 다른 위치로 복사되었을 때, 데이터는 흔히 체크(예를 들면, 오류에 대해서), 업데이트(이를테면 헤더를 업데이트), 또는 둘 다(이를테면 검출된 오류를 정정)를 위해 토글 아웃된다. 이러한 전송들은 가비지 수거 동작들에서 데이터를 합체하기 위한 것이다. 본 발명의 주요 특징은 열린 레지스터에의 데이터 판독이 기록 동작의 검증 국면동안 인터폴레이트될 수 있게 하여 이 캐시된 데이터는 기록 동작이 계속될 때 메모리 디바이스로부터 전송되게 하여 데이터를 토글 아웃하는 시간이 기록 동작 뒤로 숨을 수 있게 한다.

[0139] 다음은 캐시 페이지 복사 동작의 2개의 실시예가다. 두 경우들에 있어서, 신속 패스 기록 구현을 사용하는 구현이 기술된다. 도 18은 프로세스가 진전됨에 따라 래치들의 배열의 배치를 나타낸다.

[0140] 캐시 페이지 복사의 제 1 버전은 하위 페이지에 기록할 것이며 다음 단계들을 포함할 수 있으며 여기어 판독 어드레스들은 M, M+1, ...으로 표기하였으며 기록 어드레스들은 N, N+1, ...로 표기하였다.

[0141] (1) 복사할 페이지("페이지 M")은 래치 DL1(434-1)에 독입된다. 이것은 상위 또는 하위 페이지의 데이터일 수 있다.

[0142] (2) 페이지 M이 DL0(434-0)에 전송된다.

[0143] (3) DL0(434-0)에 데이터가 토글 아웃되고 수정되며, 이후에 이것은 래치로 다시 보내진다.

[0144] (4) 프로그램 시퀀스가 시작될 수 있다. 하위 페이지 N에 기록될 데이터가 DL1(434-1) 및 DL2(434-2)에 전송된 후에, 래치 DL0(434-0)은 데이터를 캐시할 준비가 되어 있다. 이 하위 페이지가 프로그램될 것이다. 이 실시예에 있어서, 프로그램 상태 머신은 여기서 중지할 것이다.

[0145] (5) 복사할 다음 페이지가 DL0(434-0)에 독입된다. 프로그래밍은 재개할 수 있다. 단계(4)의 끝에서 중지된 상태 머신은 처음부터 프로그램 시퀀스를 재개할 것이다.

[0146] (6) 프로그래밍은 하위 페이지가 종료할 때까지 계속된다.

[0147] 복사 목적지 페이지 어드레스는 기록이 하위 페이지에 대한 것인지 아니면 상위 페이지에 대한 것인지를 판정할 것이다. 프로그램 어드레스가 상위 페이지 어드레스이면, 프로그래밍 시퀀스는 프로그래밍이 종료할 때까지 중단되지 않을 것이며 단계(5)의 판독은 기록이 완료된 후에 실행될 것이다.

[0148] 제 2 캐시 페이지 복사 방법에서, 프로그램/검증 프로세스는 판독 동작을 삽입하고 이어서 기록 동작을 그만둔 지점을 취하고 재시작하기 위해 중지될 수 있다. 이 인터리브된 감지 동작 동안 판독되었던 데이터는 토글 아웃

될 수 있고 이때 재개된 기록 동작은 계속될 수 있다. 또한, 이 제 2 프로세스는 일단 C 상태만이 검증되고 한 비트 라인 상에 한 래치가 해방되면 상위 페이지 또는 풀 시퀀스 기록 프로세스에서 페이지 복사 메커니즘이 사용될 수 있게 한다. 제 2 캐시 페이지 복사 동작은 제 1 경우에서처럼 동일한 제 1의 3개의 단계로 시작되는지 그 이후는 다르다. 이것은 다음 단계들을 포함할 수 있다.

[0149] (1) 복사할 페이지("페이지 M")이 래치 DL1(434-1)에 독립된다. 이것은 상위 또는 하위 페이지일 수 있다.

[0150] (2) 페이지 M으로부터의 데이터가 DL0(434-0)에 전송된다. (전처럼, N 등은 기록 어드레스를 나타내고 M 등은 판독 어드레스를 나타낸다).

[0151] (3) DL0(434-0)에 데이터가 토글 아웃되고 수정되며, 이후에 이것은 래치로 다시 보내진다.

[0152] (4) 상태 머신 프로그램은 판독 명령이 들어올 때까지 무한 대기 상태를 계속할 것이며 또 다른 페이지, 예를 들면 다음 페이지 M+1을 래치 DL0(434-0)으로의 판독이 시작될 것이다.

[0153] (5) 일단 단계(4)의 판독이 완료되면, 어드레스는 단계(1~3)에서 데이터를 페이지 N(여기에서는, 하위 페이지)에 프로그램하기 위한 워드 라인 및 블록 어드레스로 전환되고 프로그래밍이 재개된다.

[0154] (6) 페이지 M+1의 판독이 종료된 후에, 데이터는 토글 아웃, 수정 및 리턴될 수 있다. 일단 프로세스가 완료되면, 기록은 2개의 페이지가 동일 WL 상의 대응 상위 및 하위 페이지이면 풀 시퀀스 동작으로 전환될 수 있다.

[0155] (7) 풀 시퀀스 기록에서 일단 A 및 B 레벨들이 행해지면, DL0(434-0)에 데이터는 앞서 기술된 정규 캐시 프로그램에서와 같이, DL1(434-1)에 전송될 것이며, 다른 페이지(예를 들면 페이지 M+2)에 대한 판독 명령이 발생될 수 있다. 단일 페이지에서 풀 시퀀스로의 전환이 없다면, 하위 페이지는 기록을 종료할 것이며 상위 페이지가 시작될 것이다. B 레벨 상태가 완전히 행해진 후에, 같은 DL0(434-0)에서 DL1(434-1)로의 데이터 전송이 행해질 것이며, 상태 머신은 페이지(M+2)에 대한 판독 명령을 대기하는 상태로 갈 것이다.

[0156] (8) 일단 판독 명령이 도착하면, 어드레스는 판독 어드레스로 전환되고 다음 페이지(페이지 M+2)가 판독된다.

[0157] (9) 일단 판독이 완료되면, 기록이 종료할 때까지 어드레스는 이전 상위 페이지 어드레스(프로그램 어드레스 N+1)로 전환될 것이다.

[0158] 위에 언급된 바와 같이, 실시예들은 메모리 셀 각각에 프로그램될 수 있는 데이터(여기에서는 2비트)를 유지하는데 사용되는 래치들 DL0(434-0) 및 DL1(434-1) 외에도 신속 페스 기록 기술의 하위 검증을 위해 사용되는 래치 DL2(434-2)를 포함한다. 일단 하위 검증이 통과되면, 래치 DL2(434-2) 또한 해방되어 데이터를 캐시하기 위해 사용되는 것이 실시예들에서 행해지지 않을지라도, 이것이 행해질 수 있다.

[0159] 도 19a 및 도 19b는 제 2 캐시 페이지 복사 방법의 상대적 타이밍을 도시한 것으로서, 도 19b는 풀 시퀀스 기록 전환을 가진 알고리즘을 도시한 것이며, 도 19a는 이 알고리즘이 없는 알고리즘을 도시한 것이다. (도 19a 및 도 19b 둘 다는 2부분들로 구성되는데, 제 1 위측 부분은 t_0 에 대응하는 점선의 수직선 A에서 시작하며, t_5 에 대응하는 점선의 수직선 B에서 끝나며, 제 2 하측 부분은 상측 부분의 계속이며 t_5 에 대응하는 점선의 수직선 B에서 시작한다. 두 경우에 시간 t_5 에서 선 B은 하측 부분에서와 같이 상측 부분에서 동일하며 2개의 선들로 표시될 수 있게 두 부분으로 이음부가 있다)

[0160] 도 19a는 이 예에서 하위 페이지로 취해진 제 1 페이지(페이지 M)의 판독부터 시작하여 어떠한 데이터도 이전에 캐시되지 않은 것으로 가정하며 단일 페이지 모드에서 동작하며 상위 페이지를 기록하기를 시작하기 전에 하위 페이지가 기록을 종료할 때까지 기다리는 프로세스를 도시한 것이다. 프로세스는 여기에서는 이 코딩에서 A 및 C 레벨들에서 판독에 의해 감지되는 하위인 페이지 M를 판독(페이지 M(L) 감지)하는 시간 t_0 에서 시작한다. 시간 t_1 에서 판독이 완료되고 페이지 M은 토글 아웃되고 체크되거나 수정될 수 있다. 시간 t_2 에서 시작하여 다음 페이지(여기에서는 페이지 M+1, 하위 페이지 M과 동일한 물리적으로 대응하는 상위 페이지)가 B 레벨로 판독됨으로써 감지되고 프로세스는 시간 t_3 에서 종료한다. 이때, 제 1 페이지(페이지 M에서 온)(하위)는 페이지 N의 메모리에 다시 프로그램될 준비가 되어 있고 페이지 M+1로부터 판독된 데이터는 래치에 유지되고 있으며 수정/체크되기 위해 전송될 수 있다. 이를 프로세스들 둘 다는 동시에, 여기에서는 t_3 에서 시작할 수 있다. 위에 기술된 전형적인 시간 값들을 사용하여, 페이지 M+1로부터의 데이터는 시간 t_4 까지 토글아웃 및 수정되었으나, 그러나 풀 시퀀스 전환을 이행하지 않는 실시예에 있어서, 메모리는 제 2 판독된 페이지의 데이터(페이지 M+1에서

온)를 페이지 N+1에 기록하기 시작하기 위해서 시간 t_5 에서 페이지 N이 종료할 때까지 기다릴 것이다.

[0161] 페이지 N+1이 상위 페이지이기 때문에, 이의 기록은 초기에 B 레벨로 검증부터 시작하며, C 레벨은 t_6 에서 추가된다. 시간 t_7 에서 타깃 상태 B를 갖는 저장소자들이 일단 모두 록아웃되면(또는 최대 카운트에 도달되면), B 상태 검증은 빠진다. 위에 기술된 바와 같이, 본 발명의 몇 가지 주 특징에 따라서, 이것은 데이터 래치를 해방되며, 진행중의 기록 동작이 중단되고, 판독 동작(중단된 프로그램/검증 동작과는 다른 어드레스에서)이 삽입되고 이어서 기록은 그만 둔 곳에서 재개되고 개재된 기록 동작에서 감지된 데이터는 재개된 기록 동작이 진행되는 동안 토글 아웃될 수 있다.

[0162] 시간 t_7 에서 여기에서는 하위 페이지 M+2에 대해 개재된 기록 동작이 수행된다. 이 감지는 시간 t_8 에서 종료되고 페이지 N+1의 기록이 다시 취해져 페이지 M+2로부터 데이터가 동시에 토글 아웃되고 수정된다. 이 예에서, 페이지 N+1은 시간 t_{10} 에서 페이지 M+2가 종료되기 전에 시간 t_9 에서 프로그래밍을 종료한다. 시간 t_{10} 에서 페이지 M+2로부터 온 데이터의 기록이 시작될 수 있지만, 이 실시예에서는, 페이지 M+3의 판독이 먼저 실행되어 이 페이지의 데이터가 토글 아웃되고, 시간 t_{11} 에서 시작하는, 페이지 M+2에서 생성되는 데이터를 페이지 N+2에 기록한 뒤 수정이 감추어지도록 한다. 이어서, 프로세스는 도면의 앞 부분들에서처럼 계속되나 페이지 번호들을 옮겨지고, 시간 t_{11} 은 시간 t_3 에 대응하고 시간 t_{12} 는 시간 t_4 에 대응하며, 등등이 복사 프로세스가 중지될 때까지 계속된다.

[0163] 도 19b는 하위 페이지로 취해진 하위 페이지 M의 판독부터 시작하여 어떠한 데이터도 이전에 캐시되지 않은 것으로 가정하는 프로세스를 나타낸 것이다. 도 19b는 시간 t_4 에서 풀 시퀀스 기록으로의 전환을 이행함으로써 도 19a와는 다르다. 이것은 도 19a의 시간 (t_5-t_4)까지 프로세스를 개략적으로 가속한다. 시간 t_4 (도 19a에서는 $=t_5$)에서, 풀 시퀀스 전환에 관계된 다양한 변화들이 이전에 기술된 바와 같이 구현된다. 그렇지 않다면, 프로세스는 시간 t_7 내지 t_{12} 사이에 발견된 본 발명의 면들을 포함하여, 도 19a의 프로세스와 유사하다.

[0164] 둘 다에서 페이지 복사 프로세스들 및 상태들이 소정 시간에 검증되는 데이터 기록을 포함하는 여기 기술된 기타 기술은 본 명세서에 참조로 포함된 미국 특허 공개번호 US-2004-0109362-A1에 기술된 바와 함께 합리적으로 선택될 수 있다. 예를 들면, 풀 시퀀스 기록에서, 기록 프로세스는 A 레벨만을 검증하는 것을 시작할 수 있다. A 검증 후에, 임의의 비트들이 통과하였는지 알기 위해 체크된다. 그러하다면, B 레벨이 검증 국면에 추가될 수 있다. A 레벨 검증은 모든 저장 유닛들의 타깃 값들이 검증되었을 때(또는 설정 가능 파라미터에 기초한 최대 카운트를 제외하고) 검증된 이들 유닛들 후에 제거될 것이다. 마찬가지로, B 레벨에서 검증 후에, C 레벨의 검증이 추가될 수 있고, B 레벨 검증은 모든 저장 유닛들의 타깃 값들이 검증되었을 때(또는 설정 가능 파라미터에 기초한 최대 카운트를 제외하고) 검증된 이들 유닛들 후에 제거될 것이다.

[0165] 백그라운드 데이터를 다른 동작들을 위해 캐시하는 프로그래밍 동작이 바람직한 복수-상태 코딩에 관하여 기술된다.

4-상태 메모리를 위한 바람직한 "LM" 코딩

[0166] 도 20은 2비트 논리 코드("LM" 코드)로 인코딩된 4-상태 메모리의 프로그래밍 및 판독을 도시한 것이다. 이 코드는 장애-허용성(fault-tolerance)을 제공하며 유픈 효과에 기인한 이웃 셀 커플링을 완화시킨다. 도 20은 각 메모리 셀이 LM 코드를 사용하여 2비트 데이터를 저장할 때 4 상태 메모리 어레이의 임계 전압 분포를 도시한 것이다. LM 코드는 상위 및 하위 비트들이 상태 "A" 및 상태 "C"에 대해 반대로 되는 점에서 종래의 그레이 코드와는 다르다. "LM" 코드는 미국특허 6,657,891에 개시되어 있고 전하들의 큰 변화를 요구하는 프로그램 동작들을 포함으로써 이웃 플로팅 게이트 사이의 전계 효과 커플링을 감소시키는 데에 이점이 있다.

[0167] 코딩은 하위 및 상위인 2비트가 개별적으로 프로그램 및 판독될 수 있게 설계된다. 하위 비트를 프로그래밍할 때, 셀의 임계레벨은 비프로그래밍 영역에 남아있거나 임계 원도우의 "하위 중간" 영역으로 이동된다. 상위 비트를 프로그래밍할 때, 이들 두 영역들 중 어느 하나에 임계 레벨은 임계 원도우의 1/4 미만으로 약간 더 높은 레벨까지 더 나아간다.

[0169] 데이터 패턴의 의사 및 사용자 구동의 랜덤화

랜덤화 방법 및 메모리 EEPROM 또는 칩의 다양한 실시예들은 증가된 NAND 스트링 저항, 감소된 내구성 및 신뢰도, 및 원하지 않는 커플링과 같은 반복적 데이터 저장 패턴들에 기인하는 문제들을 최소화하려는 것이다. 본 발명의 의사 랜덤화 기술은 실제적이며 데이터 처리용량 면에서 이들은 구현이 비용이 들지 않는다.

본 발명은 플래시 메모리 칩 상에 저장된 데이터의 의사 랜덤화 및 실제 사용자 기반의 랜덤화를 구현하는 서로 다른 실시예들 및 방법들을 포함한다. 모든 실시예들은 플래시 EEPROM에 구현되기 위해 단지 간단하고 작은 회로 수정만을 요구하는 잇점이 있다. 이것은 랜덤화 기술들 및 회로가 계산집약적이 아니고 있다고 해도 거의 성능 페널티없이 구현되기 때문에 주목할만하다. 본 발명의 해결책들은 언제든 랜덤화가 용이하게 활성화 또는 비활성화될 수 있는 점에서 유통성이 있다. 또한, 어떤 실시예들에서 이용되는 의사 랜덤화의 패턴은 많은 방법으로 가변될 수 있고, 시간에 따라 쉽게 변경될 수 있다.

도 21은 랜덤화 프로세스에 관계된 EEPROM 또는 메모리 칩(600)의 주 성분을 도시한 것이다. 칩(600)은 메모리 어레이(602), 주변회로에 레지스터(들)(610), 및 멀티플렉서(614)를 포함한다. 칩(600)의 다른 성분들이 추가의 도면들을 참조하여 예시되고 기술될 것이다. 레지스터(610)는 복수의 비트를 유지할 수 있고 복수의 레지스터들을 포함할 수 있다. 일부 실시예들에서 이것은 시프트 레지스터로서 기능한다. 메모리 어레이(602)는 은닉된 영역(604) 및 사용자 데이터 영역(606)을 포함한다. 은닉된 영역은 펌웨어 및 메모리 동작 제어코드들과 같은 그 외 오버헤드 데이터를 저장하기 위해 사용될 수 있다. NAND 구조에서, 앞에서 기술된 바와 같이, 데이터는 블록들로 구성되고, 그 각각은 복수의 페이지들의 데이터를 포함할 수 있다. 어떤 실시예들에서는 레지스터(610)도, 멀티플렉서(614)도 없을 것이다.

본 발명의 여러 실시예들은 프로그램 교란들 또는 사용자 관독 교란들을 야기할 수 있는 특정 데이터 패턴들의 장기간 및 반복된 저장을 감소 또는 제거할 것이다. 이것은 의사 랜덤 메커니즘들에 의해서 또는 사용자 유발 랜덤화에 의해서 데이터의 인코딩을 변화시킴으로써 그와 같이 행한다. 사용자 활동의 타이밍은 완전히 예측 불가능하기 때문에, 활동을 트리거로서 사용하면 인코딩 기법들은 실제로 랜덤한 시퀀스가 된다. 실시예들 각각은 NAND 스트링 저항 효과를 감소시키며 메모리 내구성 및 신뢰도를 증가시키며 플로팅 케이트 대 플로팅 케이트 커플링의 문제를 감소시킬 것이다.

실시예들 각각은 플래시 EEPROM의 회로에 대해 최소한의 수정만을 요구하며 그러면서도 동시에 데이터 저장의 무작위성을 극적으로 증가시킬 것이며 따라서 EEPROM의 성능을 증가시킨다. 데이터의 랜덤화는 어레이 내에서 쉽게 활성화 또는 비활성화될 수 있다. 또한, 의사 랜덤화에 따른 시퀀스는 연속적으로 변할 수 있어 시스템 내에서 유통성을 제공한다.

일 실시예에서, 0 또는 1일 수 있는 코드 또는 시퀀스 비트는 어레이(602)의 은닉된 영역(604)에 저장된다. 코드가 저장되는 은닉 영역(604)의 부분을 "ROM 블록"이라고 한다. 코드는 2 이상의 비트를 포함할 수 있으나 그러나 바람직하게 17 이상의 비트를 포함한다. 비트가 많을수록 랜덤화는 더 커질 것이다. 칩(600) 기동시, 값이 레지스터(610)에 로딩된다. 레지스터에 각 비트는 특정 페이지 어드레스에 할당된다. 각 비트는 페이지의 페이지 어드레스와 비교되고, 비교에 근거하여, 페이지의 데이터의 인코딩은 반전되거나 페이지에 대해 동일한 상태로(통과되어) 있을 것이다. 예를 들면, 비트에 대한 0 값은 데이터의 인코딩 기법이 동일한 그래도 있을 것임을 나타내기 위해 사용될 수 있고, 레지스터에 1의 값은 페이지 내 데이터의 인코딩이 반전될 것임을 나타낼 수 있다. 코드가 블록 내 페이지들 수보다 적은 비트를 포함한다면, 코드는 하나 이상의 그룹의 하나 이상의 페이지들에 적용될 수 있다. 즉, 코드는 모든 페이지가 비교될 때까지 일련으로 반복하여 사용될 수 있다. 또한, 코드는 사이를 사이에 변경될 수도 있다. 대안적으로, 코드는 한 코드의 한 비트가 사용자 데이터 영역(602)에 저장된 복수 페이지들의 데이터의 인코딩을 관정하도록 멀티플렉서(614)를 통해 멀티플렉스될 수 있다. 코드의 각 비트는 사용자 데이터의 어떤 부분에 대해 사용된 인코딩의 극성을 변경하게 작용하기 때문에 극성 비트라 지칭될 수 있다. 이것도 도 22a에 도시되었다. 이 경우에, 인코딩은 페이지 어드레스에 기초하므로, 페이지들 0, N은 1의 극성을 가지며 페이지들 1, n+1은 극성 0을 가지며 페이지들 2, n+2는 극성 1을 가지며, 등등임이 알려진다. 그러므로, 인코딩이 페이지 어드레스에 기초하는 실시예에서, 용장성 목적을 위해 행해질 수 있을지라도 페이지와 함께 극성 비트를 저장하는 것은 필요하지 않다.

아래 나타내고 도 22b로서 다시 나타낸 표 1은 사용자 데이터의 부분들에 레지스터(610)에 코드의 극성 비트들의 적용을 보여준다. 사용자 데이터의 임의의 부분이 비교되고 특정 극성 비트에 연관될 수 있으나, 기술된 바람직한 실시예들은 기본단위로서 페이지를 나타낸다.

표 1

레지스터 위치	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
코드 (극성 비트)	1	0	1	0	0	1	1	1	1	0	0	0	1	1	0	1	0
UD 오리지널 인코딩	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
UD 후속 인코딩	1	1	1	1	0	0	1	0	1	1	0	1	1	0	0	0	0
상태	ER	ER	B	C	ER	A		C		B							

[0177]

표에서 알 수 있는 바와 같이, 코드의 각 (극성) 비트는 비트의 원 인코딩(데이터)가 동일한 그대로 인지 아니면 바뀔 것인지를 결정할 것이다. 예를 들면, 레지스터 위치 1을 살펴보면, 이 위치에 극성 코드는 1의 값을 갖는다. 이에 따라, 1이 데이터가 반전될 것임을 나타내는 실시예에서, 0으로서 저장된 사용자 데이터의 오리지널 비트는 1의 값을으로 반전될 것이다. 표는 복수 상태 셀을 예시하는데, 여기서 2비트는 상태를 정의하는데 사용된다. 상태는 도 20에 도시되었으며 도 20에서 볼 수 있는 바와 같이, 상위 및 하위 비트는 상태를 규정한다. 도 20에 도시된 유형의 2 비트 또는 4 상태 메모리 셀에서, (1:1)은 소거("ER") 또는 비프로그램된("U") 상태를 규정하며; (0:1)은 상태 A를 규정하며; (0:0)은 상태 B를 규정하며, (1:0)은 상태 C를 규정한다. 상위 및 하위 비트는 물리적으로 단일 메모리 셀에 위치될 수 있다.

[0179]

비트 17에 대응하는 일 그룹의 데이터가 상태를 결정하기 위해 적용된 다음 코드의 비트 1에 대응하는 데이터에 관련하여 사용되며 동일 또는 서로 다른 코드가 다른 일 그룹의 데이터에 적용될 수도 있을 것이다. 각각의 극성 레지스터는 대응하는 페이지 상에 모든 데이터에 대한 극성을 제어할 것이다. 하위 및 상위 비트는 바람직하게는 동일 물리적 워드 라인들 상에 위치된다. 표1에 주어진 예는 많은 워드 라인들에 걸쳐 단순 패턴을 랜덤 패턴(들)로 전환하기 위한 극성 비트들의 함수를 예시한다. 랜덤화는 동일 NAND 체인 구조 상에 위치된 데이터에 대해 달성되고 그 예가 이 개념을 보이기 위해 도 22c에 제공된다.

[0180]

도 22c에서, 주어진 셀의 하위 및 상위 비트들이 NAND 스트링 또는 체인의 예시된 셀들 각각에 예시되었다. 도시된 NAND 스트링은 단순히 예이며, 물론 스트링에 더 많은 또는 더 적은 셀들이 있을 수 있고 도시된 것과는 다른 구조들은 본 발명에 사용될 수 있다. 예를 들면, 3, 4 또는 그 이상의 비트를 저장하는 셀이 채용될 수도 있다. 또한, 특히 복수 상태 메모리에서 비트 반전의 개념을 예시하기 위해 비트 레벨에의 적용이 보여졌을지도, 극성 비트를 하나 이상의 페이지의 데이터에 적용하는 것이 바람직함을 기억할 것이다. 도 22c에서, 극성 비트는 사용자 데이터의 각 비트에 적용되고, 반전되거나 극성 비트에 의해 통과된 결과적인 사용자 데이터는 세이브된 데이터로 표기하였다. 세이브된 데이터는 후속하여 랜덤화 동작의 결과로서 메모리 어레이에 기록되어 저장될 데이터이다. 알 수 있는 바와 같이, 도면의 우측에 나타낸 상태들은 셀의 상위 및 하위 비트에 의해 규정된다. 도 22c에 채용된 "세이브된 데이터"라는 용어는 표1 및 도 22b에 "인코딩 후 사용자 데이터(UD)"이라고 하는 것에 대응한다.

[0181]

도 23a는 도 21에 도시된 레지스터가 피드백을 가진 시프트 레지스터인 또 다른 실시예를 도시한 것이다. 이러한 실시예에서, 레지스터(610)는 의사-랜덤 생성기로서 구성된다. 이의 콘텐트는 순환적으로 피드백되어 일련의 의사 난수를 생성한다. 이렇게 하여, 코드의 모든 비트들이 한번에 사용되었던 실시예와는 대조적으로, 1비트가 한번에 사용될 것이다. 사용자에 의해 명령이 발행되었을 때, 시프트 레지스터는 다음 비트로 시프트할 것이다. 들어오는 사용자 페이지에 대해 사용되는 극성 비트는 마지막 레지스터 출력으로부터 올 것이다. 이것은 바람직하게는 명령의 상승 에지에서 행해진다. 트리거링 명령은 프로그램 명령, 캐시 프로그램 명령, 판독 명령, 소거 명령, 또는 그 외 사용자가 발행한 명령일 수 있다. 프로그램 명령 신호의 예가 도 23b에 도시되었다. 명령에 연관된 클럭 신호가 도시되었으며 명령의 실현은 사용자 요청에 의해 유발될 것이며, 이의 타이밍 및 유형은 예측 불가하고 근본적으로 랜덤하다. 도 23a는 극성 비트를 결정하는 입력들 중 하나로서 사용자 명령에 연관된 클럭 신호를 도시한 것이다. 도면에서 다른 입력은 사용자 데이터이다. 극성 비트의 인가는 이전에 기술된 바와 같이 데이터의 인코딩을 반전하거나 그대로 놔둘 것이다.

[0182]

도 23c는 데이터 반전을 위한 제어 회로의 예를 도시한 것이다. 단일 인버터를 가진 데이터 경로는 인코딩의 반

전을 야기하나 2개의 직렬의 인버터를 가진 경로는 데이터 인코딩 수법을 변경되지 않게 할 것이다. 이러한 경우에, 일 그룹의 데이터에 연관된 극성 비트는 이 일 그룹의 데이터와 함께 저장될 것이다. 예를 들면, 도 23d에 보인 바와 같이, 한 페이지의 데이터(630)에 대해서, 사용자 영역(636)에 데이터에 대한 극성 비트(632)는 페이지(630)의 은닉 영역(634)에 프로그램될 것이다. 페이지(630)가 판독될 때, 극성 비트(632)는 전송되어 출력 데이터를 제어하기 위해 래치될 것이며 도 23e에 도시된 회로에 의해 달성되는 바와 같이, 출력 데이터가 반전되었다면 인코딩 수법을 반대로 할 것이다. 이에 따라, 페이지의 극성은 이의 원 인코딩으로 역전될 것이다.

[0183] 시프트 레지스터에 의해 이용되는 코드의 패턴은 다를 수 있고 응용마다 수정될 수 있다. 모든 비트들이 제로로 설정된다면(제로가 변경없음을 나타내는 경우), 랜덤화는 비활성화될 것이다. 레지스터에 비트들의 패턴이 의사 랜덤인 반면, 사용자 거동은 예측불가하고 임의의 주어진 시간에 결과적인 극성 또한 예측불가하고 랜덤하다. 사용자 거동의 2가지 예들은 다음과 같다: 1) 사용자는 여러 페이지를 프로그램하고 일부 페이지들을 판독하거나 프로그램하기 위해 다른 어드레스로 도약하거나 일부 블록을 소거하고, 이어서 마지막 프로그램이 행해졌던 블록으로 되돌아와 더 많은 페이지들을 계속하여 프로그램하는 것과; 2) 사용자가 다른 어드레스로 도약함이 없이 순차로 모든 페이지들을 프로그램하는 것이다. 경우 1에서, 새로운 극성 비트가 사용자 명령마다 트리거될 수 있고 경우 2에서는 순차적 프로그래밍이 이용하고 한 극성 비트에 근거할 것이다. 그러므로, 사용자가 저장하기를 원하는 원 데이터가 두 경우에 동일할 수 있을지라도, 메모리에 최종 프로그램된 데이터는 여러 개의 페이지들의 적어도 일부 및 이들 두 경우들에서 다수 그룹의 페이지마다 다를 가능성이 있을 것이다. EEPROM은 제어기 칩에 의해 전형적으로 제어되고 "사용자"의 동작들의 일부는 제어기 칩의 동작일 수 있음에 유의한다.

[0184] 다른 실시예에서, 극성 비트는 앞에서 기술된 캐시 프로그램 동작과 같이, 사용자 명령의 결과로서 랜덤하게 생성된다. 이 실시예는 동기화되지 않은 2개의 입력을 이용한다. 첫 번째는 사용자 명령들의 타이밍이며 이것은 앞에서 언급된 바와 같이 예측 불가능하다. 두 번째는 유한상태 머신 클럭이다. 어떤 메모리 시스템들에서, 유한 상태 머신 클럭은 어떤 시간에서만 활성되며(예를 들면, 캐시 동작 동안), 다른 시스템들에서는 이것은 항상 활성일 수 있다. 이 실시예의 이 기술은 메모리 시스템의 유한상태 머신 클럭이 활성일 때는 언제나 사용될 수 있다.

[0185] 사용자 명령 클럭 신호의 상승 에지에서, 유한 상태 머신("FSM") 클럭의 레벨 또는 상태가 참조된다. 상태는 도 24a에 나타낸 바와 같이 하이이거나 로우일 수 있다. 로우 상태는 제로의 극성 비트에 대응할 수 있다(반대의 대응도 가능할지라도). 시간 t=0에서, FSM은 로우이며 따라서 극성 비트는 제로가 될 것이며, 이것은 앞에서 언급된 바와 같이 데이터 인코딩의 변경없음을 나타낸다. 시간 t=1에서, FSM은 하이이고, 극성 비트는 1이 될 것이며, 시간 t=3에서, FSM은 다시 로우 상태에 있다. 일부 실시예들에서, 극성 비트(632)는 실행명령이 생성되고 감지되는 즉시 은닉 영역(634)에 로딩된다. 다른 실시예들에서 시스템의 다른 메모리에 일시 저장될 수 있다. 도 24b는 위에 기술된 바와 같이 극성 비트를 판정하기 위한 회로를 도시한 것이다. 인버터는 바람직하게는 상승에지에서 트리거될 것이다.

[0186] 도 25는 더 상세히 도 7a 및 도 9에 도시된 온칩 제어 회로도이다. 상태 머신(312) 및 어드레스 디코더 또는 생성기(314)에 더하여, 데이터 스크램블러(318)를 내장할 수도 있다. 바람직한 실시예에서, 도 21 및 도 23a에 도시된 레지스터(610) 및 멀티플렉서(614)를 내장한다. 또 다른 바람직한 실시예에서는 도 23c에 도시된 데이터 반전 회로 및 도 23e에 도시된 데이터 반전회로를 내장한다.

[0187] 도 21 내지 도 25d 및 연관된 텍스트에 개시된 바와 같이, 공통 워드 라인에 의해 액세스 가능한 각각의 한 페이지의 데이터가 병렬로 프로그램 또는 판독된다. 페이지별로 랜덤화는 어떤 페이지들의 비트들의 극성을 반대가 되게 하기 위해 이들 페이지는 의사 랜덤하게 선택함으로써 달성된다.

[0188] 온칩, 페이지별 데이터의 랜덤화는 전체를 본 명세서에 참조로 포함하는 Yan Li 등의 "Methods in a Pseudo Random and Command Driven Bit Compensation for the Cycling Effects in Flash Memory" 명칭의 2006년 9월 8일에 출원된 미국출원번호 11/530,392에 개시되어 있다.

페이지 내 데이터의 온칩 의사 랜덤화

[0190] 각 페이지 내 데이터를 스크램블링하는 것도 바람직하다. 이것은 프로그래밍동안 문제를 야기할 수도 있을 어떤 매우 규칙적인 데이터 패턴을 피하고 병렬로 한 페이지의 데이터를 감지할 때 소스 로딩 오류들을 제어하는데 있어 잇점이 있다.

[0191] 사용자나 제어기에 의해서, 반복된 데이터 패턴이 어떤 페이지들에 저장된다면, 데이터는 어떤 NAND 체인에 대

해 프로그래밍하는 동안 부스팅 모드에 불리한 어떤 패턴들을 늘어서게 할 수 있다. 다수의 NAND 체인들(도 1d 및 도 3 참조)이 프로그래밍 동안 선택된 워드 라인을 공유할 때, 프로그램될 되지 않을 체인들은 선택된 워드 라인에 인가되는 유효 프로그래밍 전압을 감소시키기 위해서 이들 체인들의 채널 영역을 부스트되게 함으로써 프로그램 금지된다. 예를 들면, NAND 형 메모리는 일반적으로 소스측에서 드레인 측으로 각각의 NAND 체인이 프로그램되게 한다. 소스측에 다수의 메모리 셀들이 소거된 상태에 있다면, 프로그램 금지 동안 드레인측에 부스트된 채널은 소거된 셀에 의해 생성된 고 도전성 채널을 통해 부스트된 채널로부터의 전하들이 소스를 향해 누설될 수 있기 때문에 매우 효율적이지 않을 것이다. 덜 유효한 채널 부스팅 및 따라서 프로그램 금지는 프로그램 교란 및 오류 결과를 야기할 수 있다. 부스팅 효율의 문제는 본 명세서에 참조로 포함되어 있는 Farookh Moogat 등의 "Method of NAND Flash Memory Cell Array with Adaptive Memory State Partitioning" 명칭의 2006년 12월 29일에 출원된 미국특원공개번호 US-2006-0198195-A1 및 미국출원번호 11/618,482에 논의되어 있다.

[0192] 발명의 일면에 따라서, 페이지에 데이터는 여러 페이지로부터 데이터가 늘어섰을 때 문제의 데이터 패턴들이 프로그래밍 동안 피해지도록 랜덤화된다.

각 페이지의 출발 위치를 옮김에 의한 스크램블링

[0194] 한 바람직한 실시예에서, 페이지의 데이터를 스크램블링하는 간단한 방법은 다른 페이지마다 독립된 또는 다른 출발 어드레스에 데이터를 기록하는 것이다. 대응 페이지의 데이터는 각 페이지마다 다른 출발 위치에 각 페이지의 메모리 셀에 기록된다. 데이터가 페이지의 끝까지 채워질 때, 출발 위치 바로 전까지 페이지의 제 1 어드레스로부터 둘러싸서 계속된다.

[0195] 도 26은 페이지마다 다른 출발 위치부터 기록하는 한 바람직한 실시예에 따라, 메모리 페이지의 데이터를 스크램블링하는 방법을 도시한 것이다.

[0196] 단계 700: 각 페이지는 메모리 셀의 그룹이며, 그룹의 각 메모리 셀은 어레이의 열에 그리고 공통 워드 라인에 의해 액세스 가능한 행을 따라 있는 것으로, 비휘발성 메모리 셀의 어레이를 구비한 접적 회로 메모리 칩을 제공한다.

[0197] 단계 710: 프로그램될 각 페이지가 관련 출발 열 위치를 갖도록 일련의 시작 열 위치를 칩에 생성한다.

[0198] 단계 720: 관련 출발 열 위치부터 시작하고 페이지가 채워질 때까지 둘러싸서 프로그램될 데이터를 각 페이지에 올린다.

[0199] 단계 730: 올린 데이터를 병렬로 각 페이지에 프로그램한다.

[0200] 도 27은 데이터를 기록하기 위한 서로 다른 출발 위치들을 갖는 서로 다른 페이지들의 예를 도시한 표이다. 예를 들면, 페이지 0에는 열 0으로부터 출발하여 바이트 0이 로딩될 것이다. 페이지 1에는 열 1로부터 출발하여 바이트 0이 로딩될 것이다. 데이터는 계속하여 열 n-1까지 로딩되고 다시 열 0으로 랩핑(wrapping)될 것이다. 이 예에서, 각 페이지는 페이지 사이에 데이터에 임의의 반복된 패턴이 정렬되지 않게 하기 위한 지정된 시프트를 갖는다. 일반적으로, 출발 열 어드레스는 페이지 번호의 함수로서 주어진다. 물리적인 열의 끝에 도달되었을 때, 데이터는 물리적 열의 시작 부분으로 둘러싼다. 예를 들면,

[0201] $\text{Starting_Column_Address}(\text{Page_Number}) = \text{Page_Number} \text{ (MOD } (n-1)) + k,$

[0202] 여기서, k는 미리 결정된 수이고, (n-1)은 병렬로 프로그램되는 총 메모리 셀의 수이다. 예를 들면, k = 0일 때, 각 페이지는 이전 페이지로부터 한 열만큼 옮겨진다.

[0203] 바람직한 실시예에서, 주어진 페이지에 대해 출발 열 위치의 시프트는 도 9에 도시된 I/O 회로(440)를 제어함으로써 구현된다. 전형적으로, 어드레스 디코더(314)는 데이터 로드 동작에서 물리 페이지의 출발 어드레스를 I/O 회로에 발행한다. 출발 어드레스에 따라 열씩 I/O 회로에 데이터가 클러된다. 둘러싸는 경우, 물리 열의 끝에 도달되었을 때 제 2 출발 어드레스가 발행된다.

[0204] 도 23d는 각 페이지에 대한 출발 열 어드레스가 시스템 사용을 위해 유보해 둔 페이지의 부분에 저장될 수 있음을 도시한 것이다. 예를 들면, 페이지(630)에 대해 출발 열 어드레스는 메모리 어레이의 부분(634)에 저장된다.

[0205] 또 다른 바람직한 실시예에서, 각 페이지에 하나씩 일련의 출발 물리 열 어드레스들이 도 23a에 도시된 것과 같

이 의사-랜덤 생성기에 의해 제공된다.

[0206] 각 페이지의 출발 위치를 시프트하는 것은 NAND 체인들 내에 바람직하지 못한 데이터 패턴들이 늘어서는 것을 피할 수 있고 프로그래밍 동안 부스팅 문제들을 완화시킬 수 있게 한다.

[0207] 프로그래밍동안 채널 부스팅 문제들을 완화시키는 것 외에도, 페이지 내 데이터의 스크램블링은 감지 동안 소스로딩 오류를 제어할 수 있게 한다.

[0208] 소스 로딩 오류들은 소스 라인과 칩의 접지 패드 사이에 유한 저항에 의해 야기된다. 메모리 셀들 감지에 한 잠재적 문제는 유한 저항에 걸쳐 소스 로딩에 의해 야기되는 소스 라인 바이어스이다. 상당 수의 메모리 셀들이 병렬로 감지되었을 때, 이들 전류들의 결합으로 유한 저항을 가진 접지 루프에 현저한 전압 강하가 초래될 수 있다. 이것은 임계 전압 감지를 사용하는 판독 동작에서 오류들을 야기하는 소스 라인 바이어스를 초래한다.

[0209] 도 28a는 그라운드에 대한 유한 저항을 갖는 소스 라인에 전류 흐름에 기인한 소스 전압 오류 문제를 도시한 것이다. 판독/기록 회로들(370A, 380B)은 동시에 한 페이지의 메모리 셀에 동작한다. 판독/기록 회로에 각각의 감지 모듈들(480)은 비트 라인(36)을 통해 대응 셀에 결합된다. 도 8에 도시된 판독/기록 스택(400)에 대해서, 각각의 감지 모듈(480)은 비트 라인들 중 하나에 연결된 감지 증폭기(212), 한 세트의 데이터 래치들(430), 공통 프로세서(500) 및 I/O 회로들(440) 공유를 포함한다. 병렬 동작을 위해 페이지에 메모리 셀들 각각마다 감지 모듈이 있을 것이다.

[0210] 예를 들면, 감지 모듈(480)은 메모리 셀(10)의 도통 전류 i_1 (소스-드레인 전류)를 감지한다. 도통 전류는 감지 모듈로부터 비트 라인(36)을 통해 메모리 셀(10)의 드레인에 흐르고 소스 라인(34)을 통해 접지로 가기 전에 소스(14)로부터 나간다. 접지 회로 칩에서, 메모리 어레이 내 셀의 소스들은 모두가 함께, 메모리 칩의 어떤 외부 접지 패드(예를 들면, V_{SS} 패드)에 연결된 소스 라인(34)의 복수의 브랜치들로서 결선되어 있다. 소스 라인의 저항을 감소시키기 위해 금속 스트랩핑이 사용될 때라도, 메모리 셀의 소스 전극과 접지 패드 사이에 유한 저항 R이 남아 있다. 일반적으로, 접지 루프 저항 R은 약 10 오옴이다.

[0211] 메모리의 전체 페이지가 병렬로 감지됨에 있어, 소스 라인(34)을 통해 흐르는 총 전류는 모든 도통 전류들의 합, 즉 $i_{TOT} = i_1 + i_2 + \dots + i_p$ 이다. 일반적으로, 각 메모리 셀은 이의 전하 저장요소에 프로그램되는 전하량에 따르는 도통 전류를 갖는다. 메모리 셀의 주어진 제어 게이트 전압에 대해서, 작은 전하는 비교적 큰 도전 전류를 야기할 것이다(도 4 참조). 메모리 셀의 소스 전극과 접지 패드 사이에 유한 저항이 존재할 때, 저항에 전압 강하는 $V_{drop} = i_{TOT}R$ 로 주어진다.

[0212] 예를 들면, 각각이 1 μ A의 전류를 갖는 64000 비트 라인들이 동시에 방전한다면, 소스 라인 전압강하는 64000 라인 \times 1 μ A/line \times 10 오옴 \sim 0.64 볼트와 같게 될 것이다. 이 소스 라인 바이어스는 소스 전압에 0.64V 상승이 임계 전압에 0.96V 상승이 되게 바디 효과가 있다고 가정하고 메모리 셀의 임계 전압들이 감지될 때 0.96 볼트의 감지 오류에 기여할 것이다.

[0213] 도 28b는 소스 라인 전압 강하에 의해 야기되는 메모리 셀의 임계 전압 레벨에 오류를 도시한 것이다. 메모리 셀(10)의 제어 게이트(30)에 공급되는 임계 전압 V_T 는 GND에 대한 것이다. 그러나, 메모리 셀에 의해 보여진 유효 V_T 는 이의 제어 게이트(30)와 소스(14) 사이에 전압차이다. 공급된 것과 유효한 V_T 사이에 대략 $1.5 \times V_{drop}$ 의 차이가 있다(소스(14)에서 소스 라인으로 전압강하의 작은 기여는 무시한다). 이 V_{drop} 또는 소스 라인 바이어스는 메모리 셀의 임계 전압들이 감지될 때 예를 들면 0.96 볼트의 감지 오류에 기여할 것이다.

[0214] 바이어스는 데이터 의존성이 때문에, 즉 페이지의 메모리 셀의 메모리 상태에 의존성이기 때문에 쉽게 제거될 수 없다. 바이어스는 페이지의 모든 메모리 셀들이 소거된 상태에 있을 때인 한 극한 경우에 가장 크다. 이 경우, 각 셀은 매우 도전성이어서 큰 V_{drop} 에 따라서 하이 소스 라인 바이어스에 기여한다. 한편, 다른 극한에서, 페이지에 모든 메모리 셀들이 최상위 프로그램된 상태에 있을 때, 각 셀은 비도전성이 되어 최소 또는 전혀 소스 라인 바이어스가 없게 된다.

[0215] 발명의 또 다른 면에 따라서, 평균하여 페이지가 소거되고 프로그램 상태를 가진 셀의 동일 혼합을 내포하도록 페이지에 데이터 비트는 랜덤화된다. 이에 따라, 소스 라인 바이어스 또는 로딩은 실질적으로 달라지지 않으며 감지동작 동안에 적합한 조절이 가능할 수 있게 된다.

[0216] 이것은 페이지 내 개개의 비트를 랜덤화함으로써 달성된다. 바람직하게, 각각이 어떤 극성을 특정하고 있는 일

련의 의사 랜덤 비트는 페이지 내 비트를 인코딩하기 위해 채용된다. 일실시예에서, 페이지에 각 데이터 비트마다 극성 비트가 있다. 또 다른 실시예에서, 페이지에 데이터의 각 바이트마다 극성 비트가 있다. 이 실시예에서, 극성 비트가 비트들의 반전을 명시한다면, 데이터 바이트 내 모든 비트들이 반전될 것이다.

[0217] 도 29는 페이지 내 비트를 랜덤화하는 방법을 도시한 것이다.

[0218] 단계 750: 각 페이지는 메모리 셀의 그룹이며, 그룹의 각 메모리 셀은 어레이의 열에 그리고 공통 워드 라인에 의해 액세스 가능한 행을 따라 있는 것으로, 비휘발성 메모리 셀의 어레이를 구비한 접적 회로 메모리 칩을 제공한다.

[0219] 단계 760: 프로그램될 페이지의 각 세트의 데이터 비트에 대해 제 1 및 제 2 인코딩을 제공한다.

[0220] 단계 762: 각 세트의 데이터 비트에 하나씩 일련의 극성 비트를 칩에 생성한다.

[0221] 단계 764: 각 세트의 데이터 비트에 대한 극성 비트가 제 1 또는 제 2 상태에 있는지에 따라 제 1 또는 제 2 인코딩으로 각 세트의 데이터 비트를 인코딩한다.

[0222] 단계 770: 인코딩된 모든 세트의 데이터 비트를 병렬로 페이지에 프로그래밍한다.

[0223] 각 세트의 데이터 비트에 대해 하나인 일련의 극성 비트는 바람직하게는 도 23a에 도시된 것과 같이 의사-랜덤 생성기에 의해 제공된다. 각 세트의 데이터 비트는 소정 수의 비트를 내포한다. 예를 들면, 일 실시예에서, 소정 수의 비트는 하나이다. 또 다른 실시예에서, 소정 수의 비트는 8비트이다.

한 페이지 내 및 페이지 사이에 데이터의 온칩 의사 랜덤화

[0225] 이를테면 모두 소거된 상태를 갖는 페이지와 같이 어떤 극히 규칙적인 데이터 패턴에 대해서, 페이지 내에서 스크램블링하는 기법만으로 충분하지 않다.

[0226] 발명의 또 다른 면에 따라서, 페이지 내 랜덤화는 페이지간 랜덤화와 결합된다. 특히, 온칩 회로의 제한된 자원이 주어졌을 때, 페이지 내 랜덤화는 바람직하게는 각 페이지를 독립적인 출발 위치를 갖게 함으로써 달성되며 페이지간 랜덤화는 바람직하게는 각 페이지를 독립적인 인코딩 극성을 갖게 함으로써 달성된다.

[0227] 도 30은 발명의 또 다른 면에 따라서, 페이지별로 그리고 각 페이지 내에서 데이터를 랜덤화하는 방법을 도시한 것이다.

[0228] 단계 800: 각 페이지는 메모리 셀의 그룹이며, 그룹의 각 메모리 셀은 어레이의 열에 그리고 공통 워드 라인에 의해 액세스 가능한 행을 따라 있는 것으로, 페이지별로 액세스 가능한 비휘발성 메모리 셀의 어레이를 구비한 접적 회로 메모리 칩을 제공한다.

[0229] 단계 810: 프로그램될 각 한 페이지의 데이터에 대해 제 1 및 제 2 인코딩을 제공한다.

[0230] 단계 812: 각 페이지에 하나씩 일련의 극성 비트를 칩에 생성한다.

[0231] 단계 814: 페이지에 대한 극성 비트가 제 1 또는 제 2 상태에 있는지에 따라 제 1 또는 제 2 인코딩으로 각 페이지의 데이터를 인코딩한다.

[0232] 단계 820: 프로그램될 각 페이지가 관련 출발 열 위치를 갖도록 일련의 시작 열 위치를 칩에 생성한다.

[0233] 단계 822: 관련 출발 열 위치로부터 시작하고 페이지가 채워질 때까지 둘러싸서 프로그램될 데이터를 각 페이지에 로드하는다.

[0234] 단계 830: 로드된 데이터를 병렬로 각 페이지에 프로그래밍한다.

[0235] 또 다른 실시예에서, 페이지 내 데이터 비트 랜덤화는 단계 810 내지 단계 822 중에 도 29에 도시된 단계 760, 단계 762 및 단계 764를 삽입함으로써 구현된다. 이 실시예에서, 워드 라인 방향 및 열 방향의 비트들 모두가 랜덤화된다.

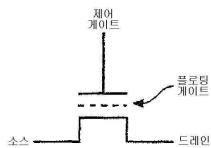
[0236] 모든 특히, 특히 출원서, 기사, 책, 명세서, 기타 출판물, 문서 및 본 명세서에 참조된 것은 모든 목적을 위해 본 명세서에 완전히 참조로 포함되어 있다. 포함된 출판물, 문서 또는 기타 중 임의의 것과 본 명세서 사이의 용어의 정의 또는 사용에서 임의의 불일치 또는 충돌의 정도로, 본 명세서에서 용어의 정의나 사용이 우세할 것이다.

[0237]

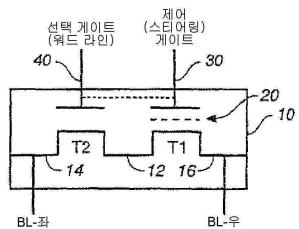
본 발명의 실시예가 기술되었으나, 본 발명은 이러한 실시예에 한정되지 않고, 첨부한 청구항에 의해 한정됨이 이해될 것이다.

도면

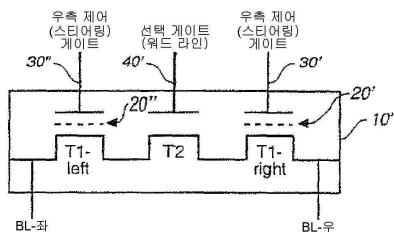
도면1a



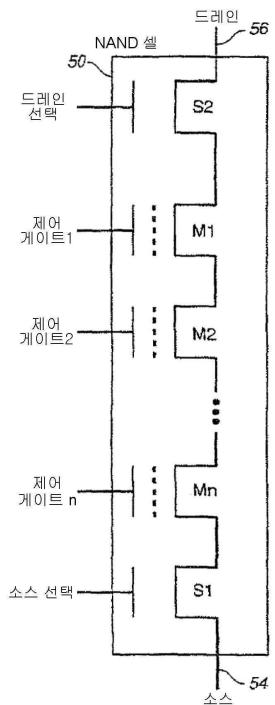
도면1b



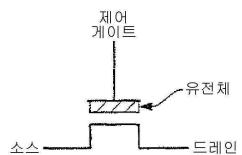
도면1c



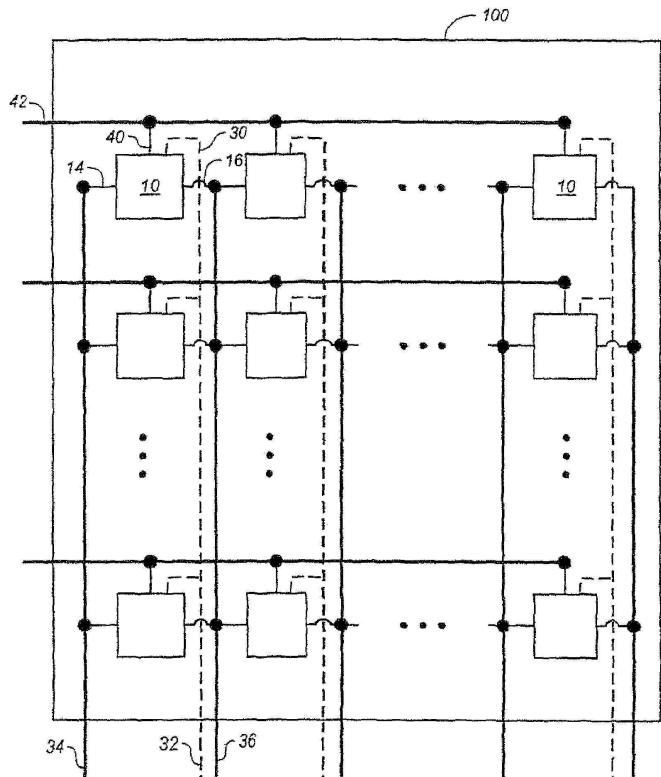
도면1d



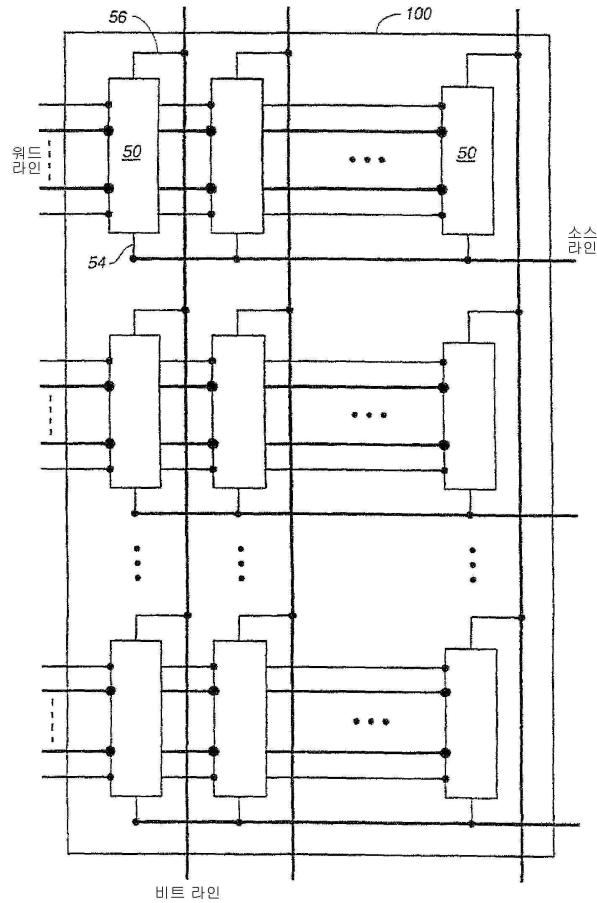
도면1e



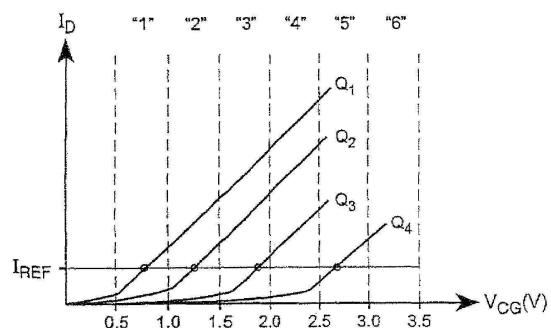
도면2



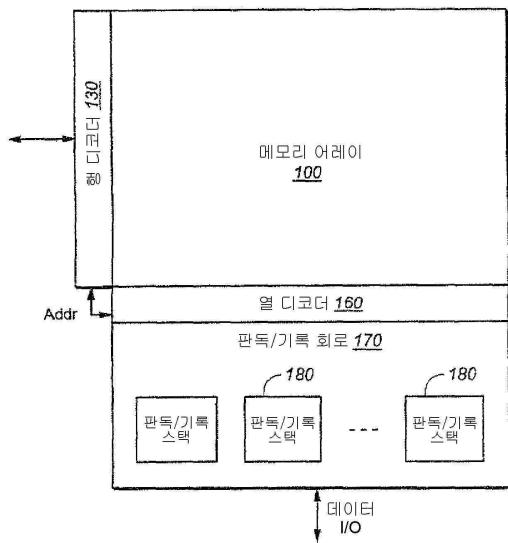
도면3



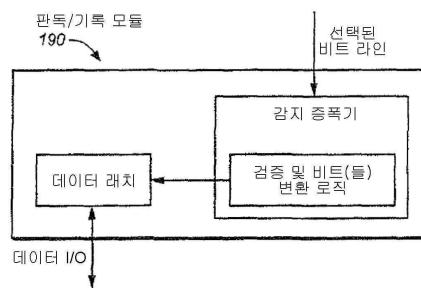
도면4



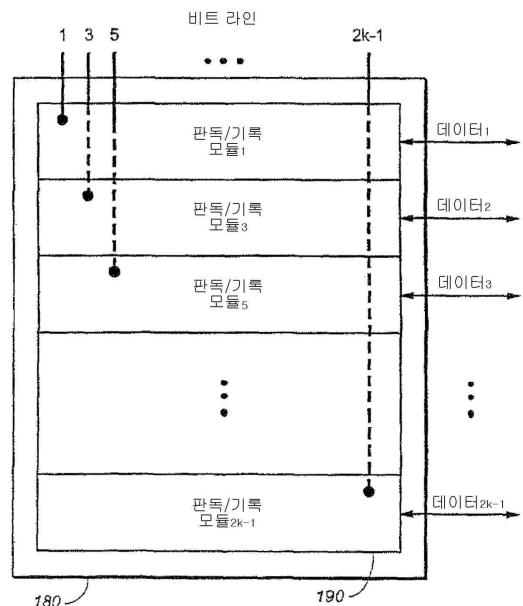
도면5



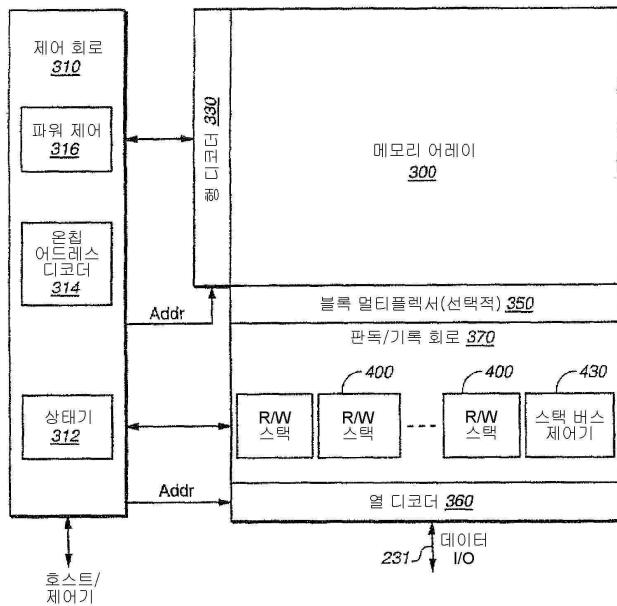
도면6a



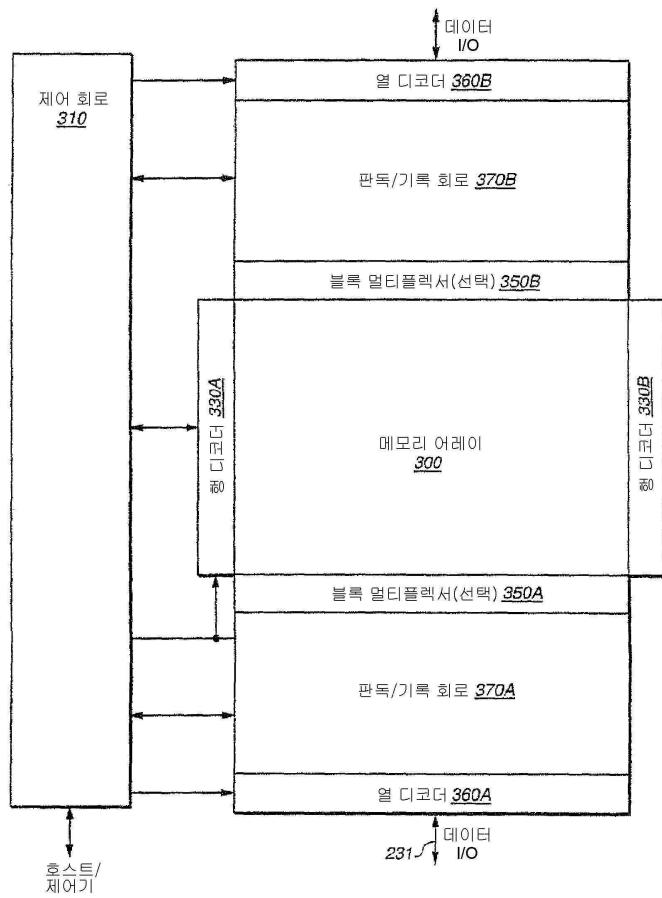
도면6b



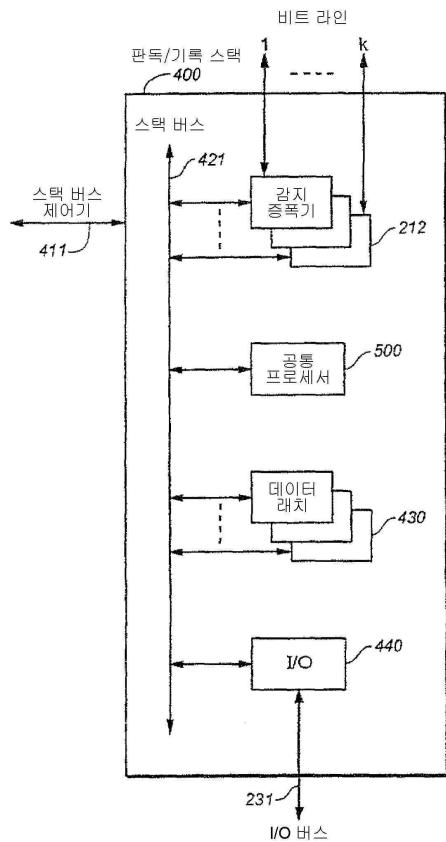
도면7a



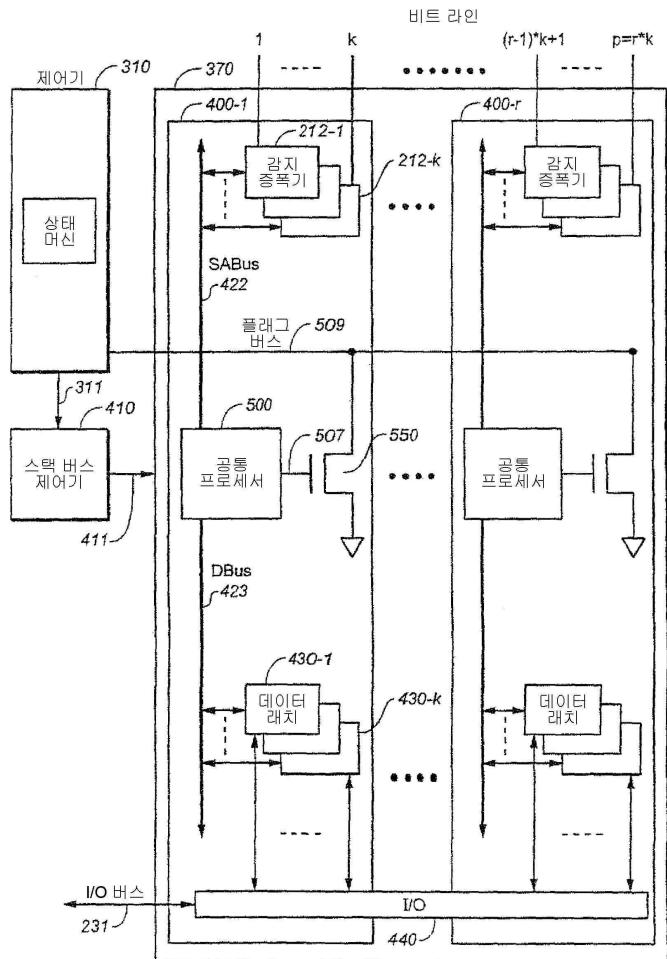
도면7b



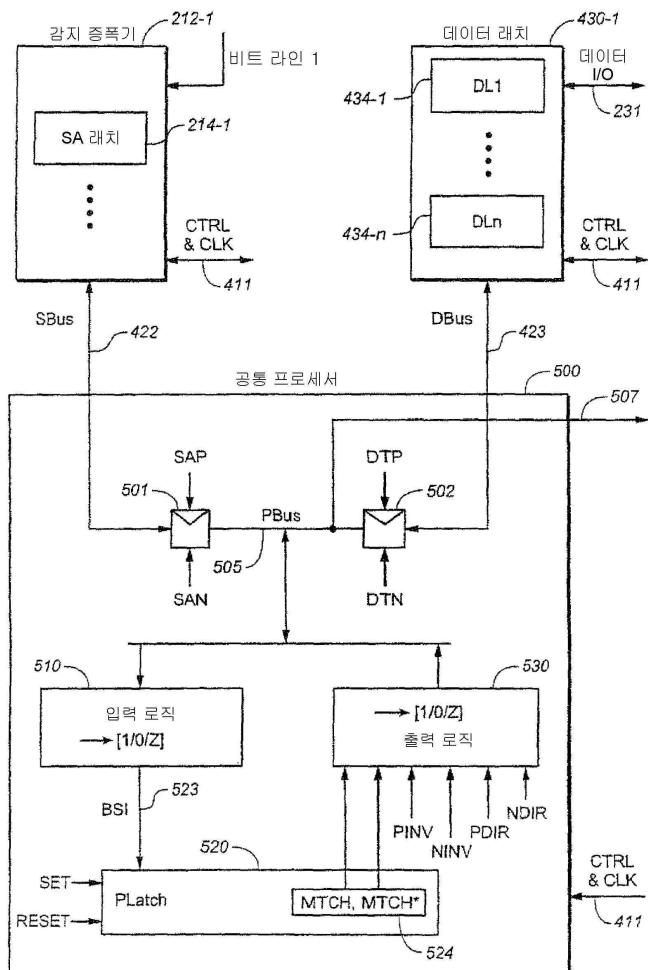
도면8



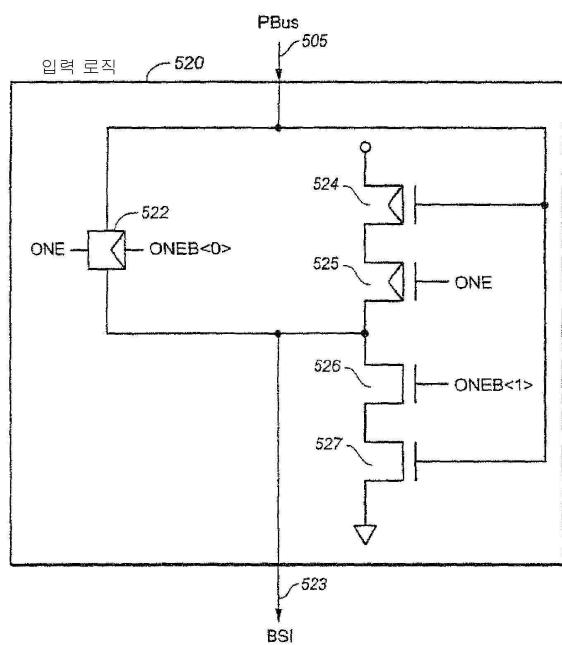
도면9



도면10



도면11a

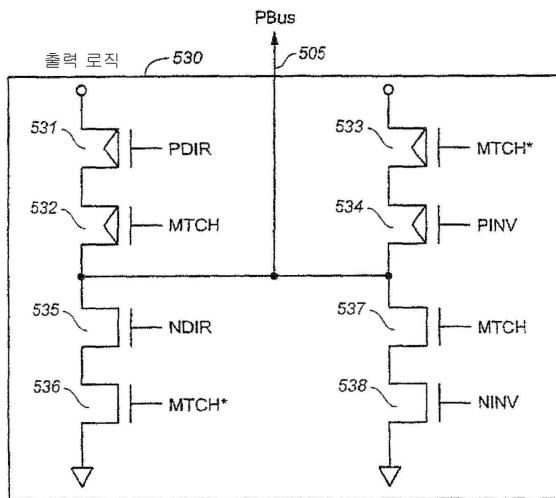


도면11b

입력 로직 진리표

전송모드	ONE	ONEB<0>	ONEB<1>	PBus (입력)	BSI (출력)
패스스루	1	0	0	PBus	PBus
반전	0	1	1	PBus	PBus*
플로트	1	1	0	PBus	Float

도면12a



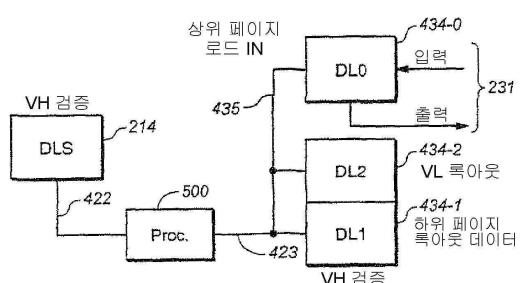
도면12b

출력 로직 진리표

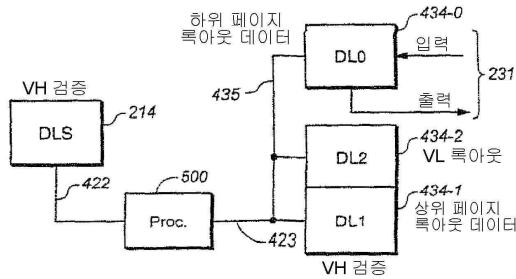
전송모드	PINV	NINV	PDIR	NDIR	MTCH	PBus (출력)
패스스루	D	D	D	1	0	0
	0	D	D	D	1	1
반전	D	D	0	D	0	1
	D	1	D	D	1	0
플로트	D	D	D	D	X	Z
예비충전	0	D	0	D	X	1

(디플트값 : PINV=1, NINV=0, PDIR=1, NDIR=0)

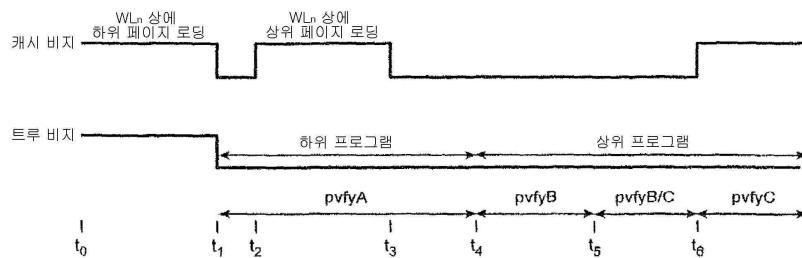
도면13



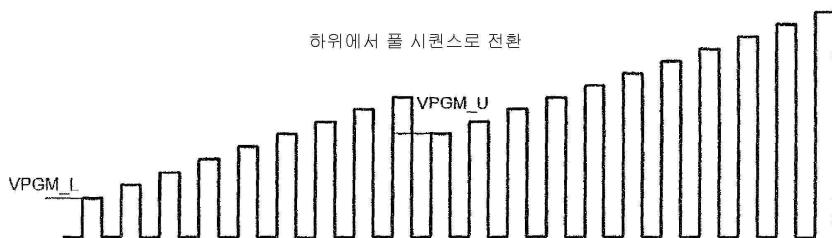
도면14



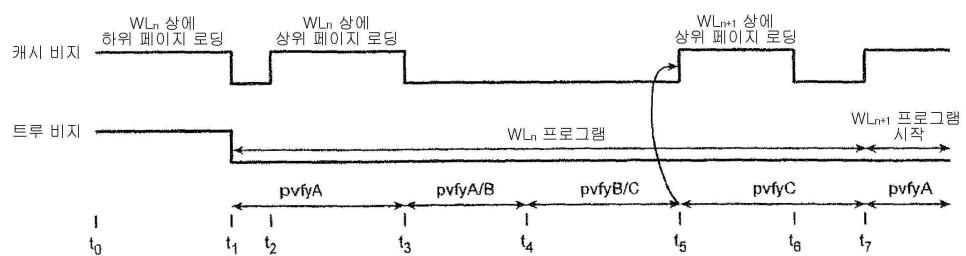
도면15



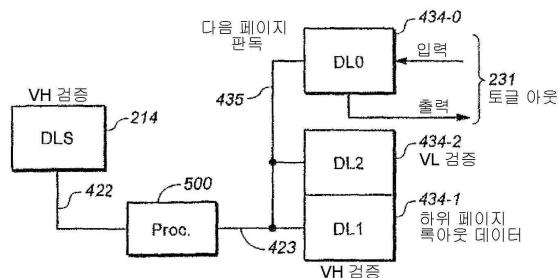
도면16



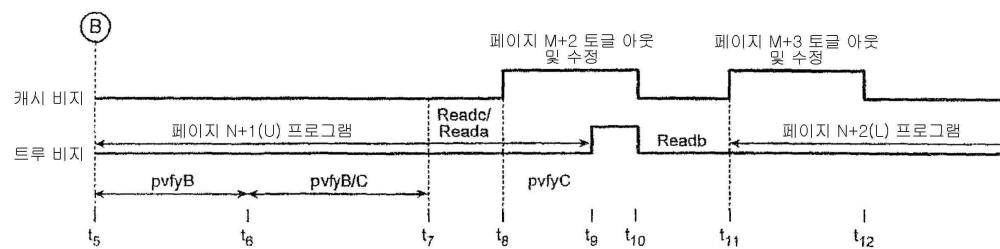
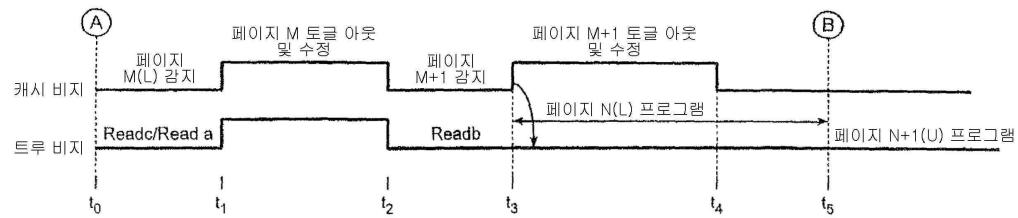
도면17



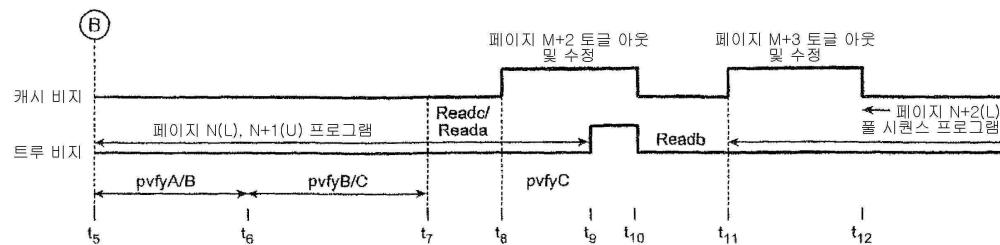
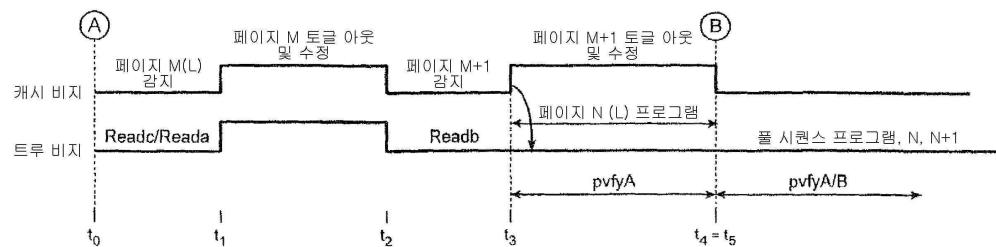
도면18



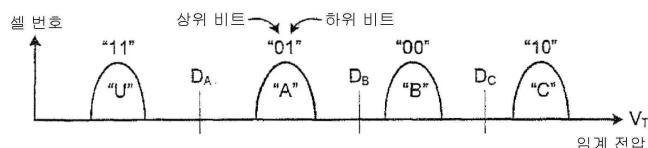
도면19a



도면19b

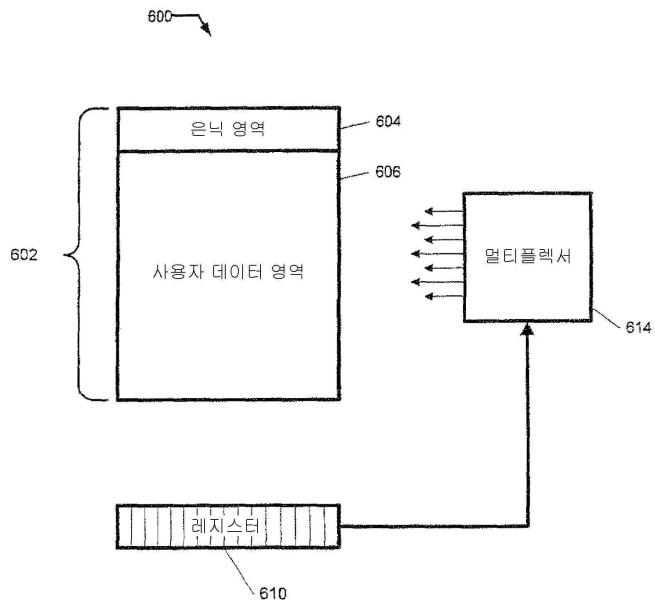


도면20

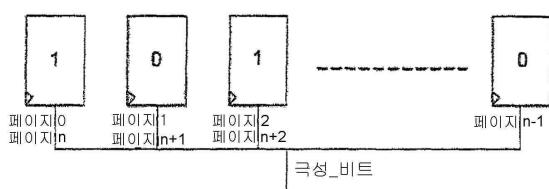


복수 상태 메모리 (LM 그레이 코드)

도면21



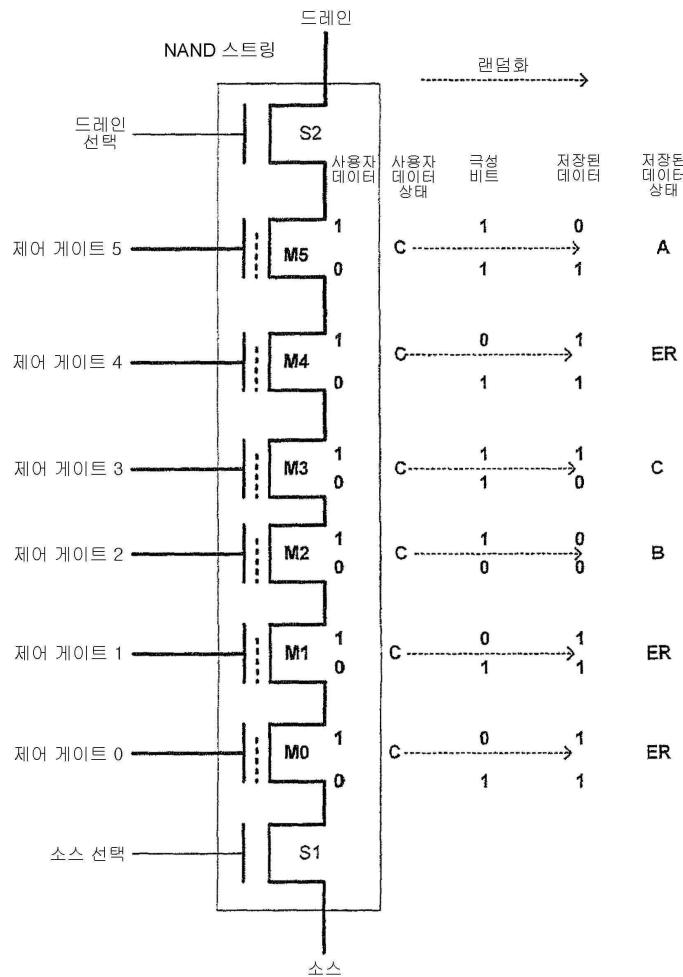
도면22a



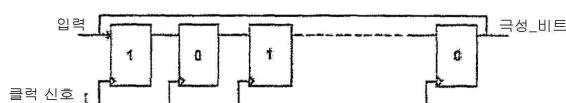
도면22b

레지스터 위치	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
코드 (극성 비트)	1	0	1	0	0	1	1	1	1	0	0	0	1	1	0	1	0
UD 오리지널 인코딩	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
UD 후속 인코딩	1	1	1	1	0	0	1	0	1	1	0	1	1	0	0	0	0
상태	ER	ER	B	C	ER	A	C	B									

도면22c



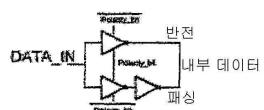
도면23a



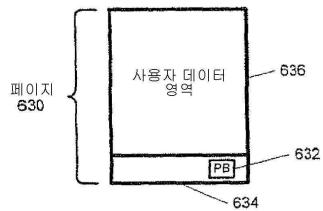
도면23b



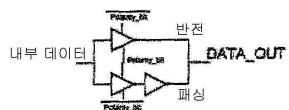
도면23c



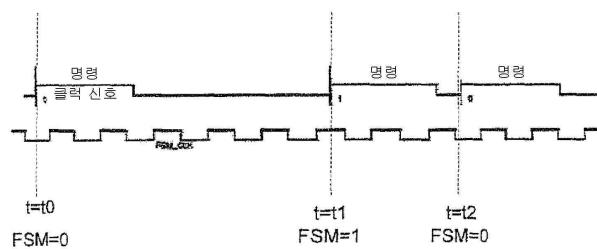
도면23d



도면23e



도면24a

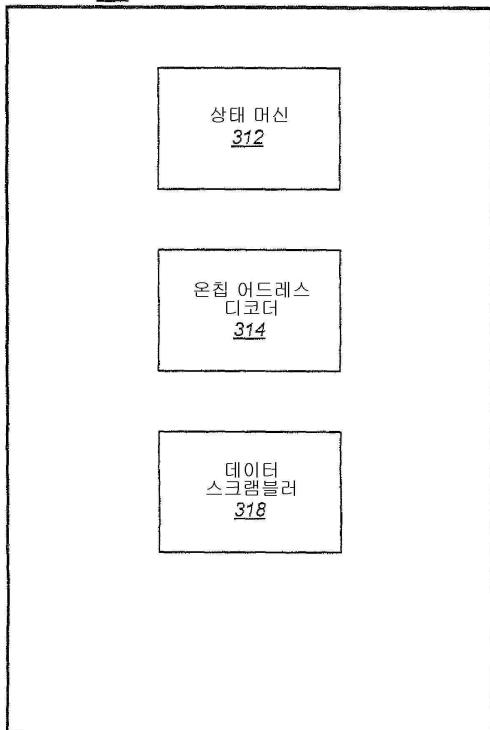


도면24b

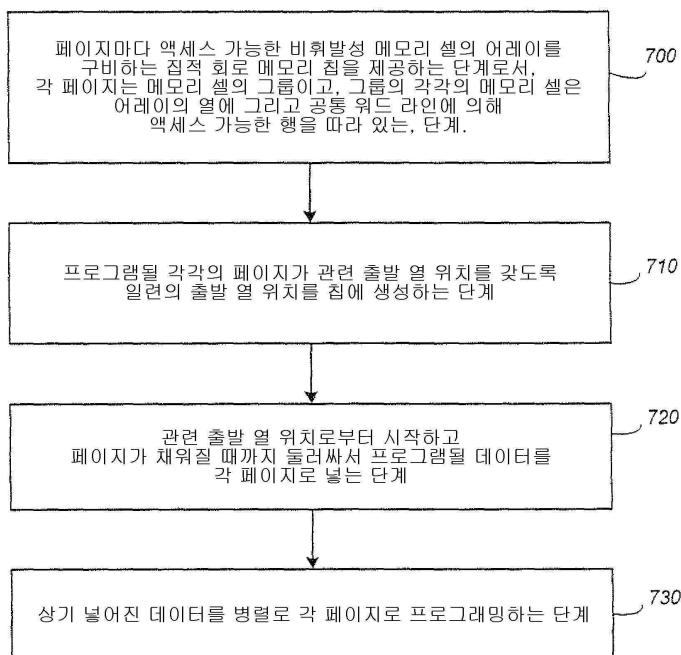


도면25

제어 회로 310

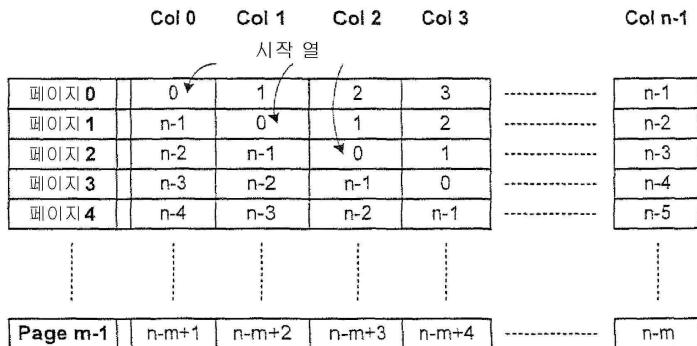


도면26

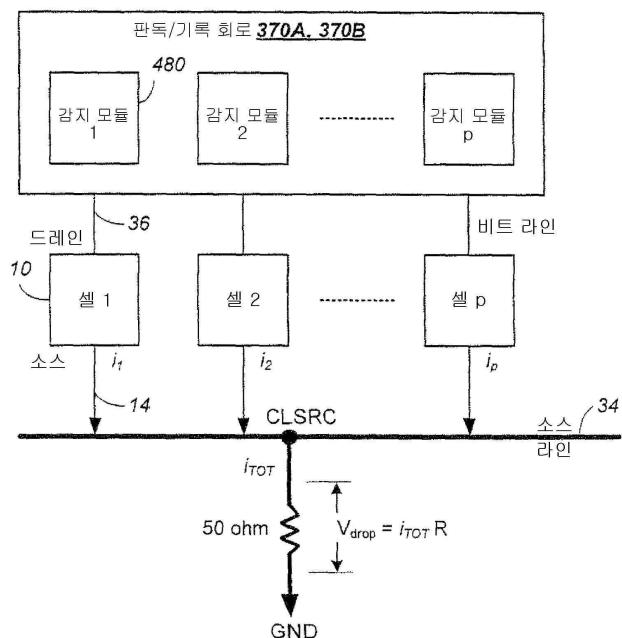


시작 위치를 옮겨서 페이지에 데이터를 스크램블하기

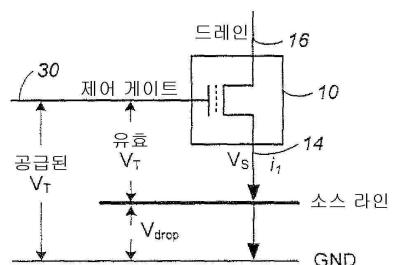
도면27



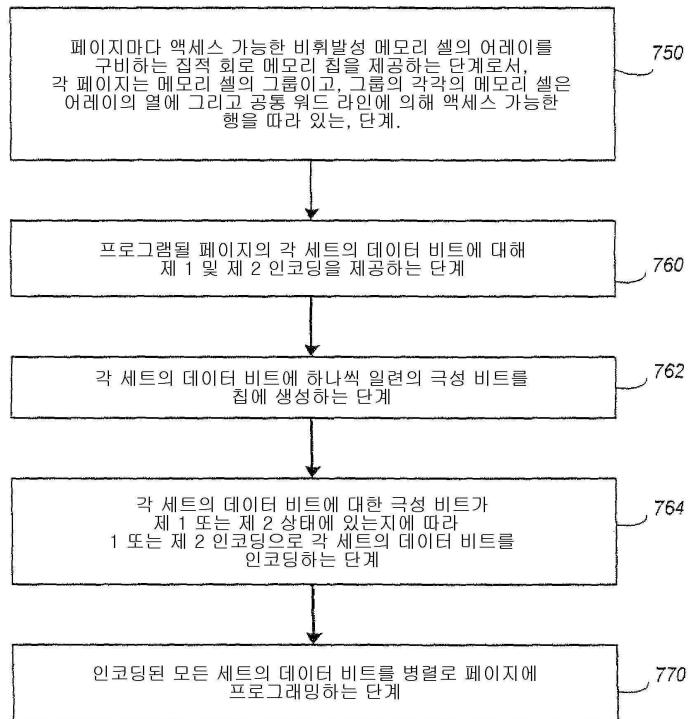
도면28a



도면28b

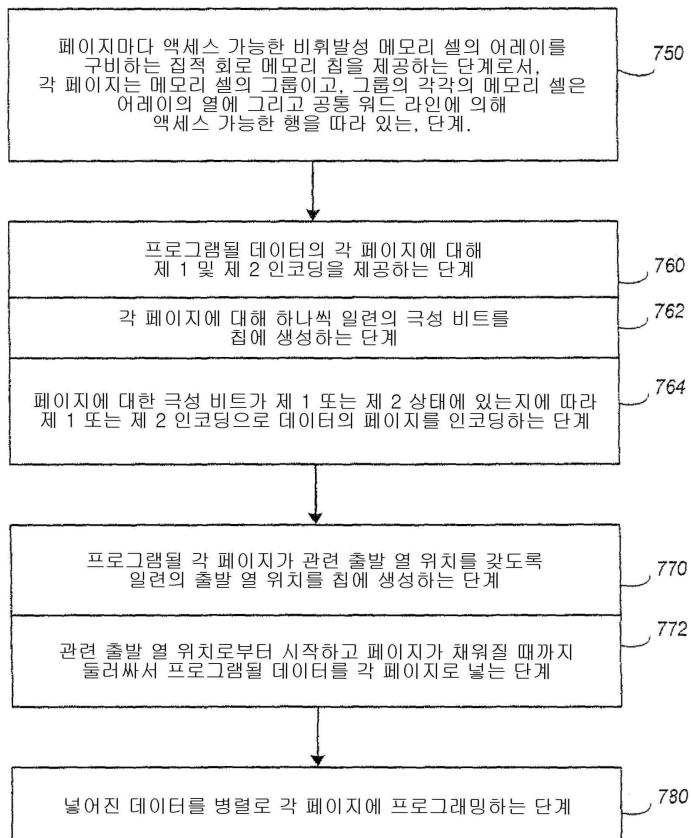


도면29



각 페이지 내에 비트를 랜덤화하기

도면30



페이지마다 그리고 각 페이지 내에 랜덤화하기