

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5173863号  
(P5173863)

(45) 発行日 平成25年4月3日(2013.4.3)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.	F I
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 N
HO 1 L 23/532 (2006.01)	HO 1 L 21/316 P
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 X

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2009-10156 (P2009-10156)	(73) 特許権者	000005821
(22) 出願日	平成21年1月20日(2009.1.20)		パナソニック株式会社
(65) 公開番号	特開2010-171072 (P2010-171072A)		大阪府門真市大字門真1006番地
(43) 公開日	平成22年8月5日(2010.8.5)	(74) 代理人	110001427
審査請求日	平成22年2月10日(2010.2.10)		特許業務法人前田特許事務所
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

複数の空孔を有する単層構造の層間絶縁膜と、  
 前記層間絶縁膜の少なくとも上部に形成された配線と、  
 前記層間絶縁膜の少なくとも下部に形成され且つ前記配線と接続するビアとを備え、  
 前記層間絶縁膜における単位体積当たりの空孔占有率が膜厚方向に変化しており、  
 前記配線の上面から前記配線の下面までの高さ範囲に位置する前記層間絶縁膜の前記空孔占有率は、前記ビアにおける前記配線との接続面から前記ビアの下面までの高さ範囲に位置する前記層間絶縁膜の前記空孔占有率よりも高く、  
 前記ビアにおける前記配線との接続面から前記ビアの下面までの高さ範囲に位置する前記層間絶縁膜は、前記空孔を有していることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、  
 前記ビアにおける前記配線との前記接続面の高さ近傍に位置する前記層間絶縁膜の前記空孔占有率は連続的に変化していることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、  
 前記層間絶縁膜は、炭素含有シリコン酸化膜からなることを特徴とする半導体装置。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置において、

20

前記配線の上面から前記配線の下面までの高さ範囲に位置する前記層間絶縁膜の前記空孔占有率は、１５％以上で且つ３５％以下であり、

前記ビアにおける前記配線との接続面から前記ビアの下面までの高さ範囲に位置する前記層間絶縁膜の前記空孔占有率は、５％以上で且つ２５％以下であることを特徴とする半導体装置。

【請求項５】

複数の空孔を有する単層構造の層間絶縁膜を備えた半導体装置の製造方法であって、  
前記層間絶縁膜における単位体積当たりの空孔占有率を膜厚方向に変化させることにより、前記空孔占有率が相対的に高い第１の領域と、前記空孔占有率が相対的に低い第２の領域とを少なくとも含む前記層間絶縁膜を形成する工程と、

10

前記第２の領域にビアを形成する工程と、

前記第１の領域に配線を形成する工程とを備え、

前記第２の領域は、前記空孔を有していることを特徴とする半導体装置の製造方法。

【請求項６】

請求項５に記載の半導体装置の製造方法において、

前記層間絶縁膜を形成する工程で、前記第１の領域と前記第２の領域との間に介在し且つ前記空孔占有率が連続的に変化する第３の領域を有するように前記層間絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項７】

請求項５又は６に記載の半導体装置の製造方法において、

20

前記層間絶縁膜を形成する工程で、化学的気相成長法により前記層間絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項８】

請求項５～７のいずれか１項に記載の半導体装置の製造方法において、

前記層間絶縁膜を形成する工程は、

前記層間絶縁膜の少なくとも膜骨格を形成するプリカーサ、及び空孔形成剤を、前記プリカーサ及び前記空孔形成剤の少なくとも一方の流量を時間的に変化させながら用いることにより、前記空孔形成剤を含有する膜を形成する第１の工程と、

前記空孔形成剤を含有する膜に対して熱処理を行うか又は電子線若しくは紫外線を照射することにより、当該膜中から前記空孔形成剤を除去して前記層間絶縁膜を形成する第２の工程とを含むことを特徴とする半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、空孔を有する層間絶縁膜を備えた半導体装置及びその製造方法に関するものである。

【背景技術】

【０００２】

半導体装置の微細化及び高集積化に伴い、配線抵抗及び配線間容量の増大に起因する電気信号の伝搬速度の遅れが深刻な問題となっている。

40

【０００３】

特に、高集積半導体装置では、配線間容量の増大が半導体装置の動作速度の低下を招くので、比誘電率の低い材料を層間絶縁膜に用いて、つまり低誘電率層間絶縁膜を用いて配線間容量の増大を抑制している。また、近年では、ＳｉＯＣ等を多孔質化して比誘電率をさらに低減させた材料の開発や実用化も検討されている。

【０００４】

以下、従来の低誘電率層間絶縁膜を用いた半導体装置（特許文献１参照）について、図６を参照しながら説明する。この従来の半導体装置においては、例えば配線が形成される部分の絶縁膜（配線層絶縁膜）と、ビアが形成される部分の絶縁膜（ビア層絶縁膜）とにそれぞれ物性の異なる膜が用いられている。

50

## 【 0 0 0 5 】

具体的には、図 6 に示すように、基板 1 1 の上に、空孔を有する第 1 の絶縁膜 1 2 を形成した後、第 1 の絶縁膜 1 2 上に、空孔を有する第 2 の絶縁膜 1 3 を形成する。ここで、第 2 の絶縁膜 1 3 の炭素含有率が第 1 の絶縁膜 1 2 の炭素含有率よりも高くなるように、第 2 の絶縁膜 1 3 の材料及び成膜条件が選択されている。次に、異なる炭素含有率を有する第 1 及び第 2 の絶縁膜 1 2 及び 1 3 が積層された層間絶縁膜に対して、リソグラフィ、ドライエッチング、アッシング及び洗浄などの加工プロセスを用いることにより、図 6 に示すように、第 1 の絶縁膜 1 2 中にはビアホール 1 4 を形成すると共に第 2 の絶縁膜 1 3 中には配線溝 1 5 を形成する。次に、図示は省略しているが、配線溝 1 5 及びビアホール 1 4 に Cu などの金属を埋め込むことにより、配線及びビアからなる配線構造を形成する。

10

## 【 0 0 0 6 】

以上に説明した特許文献 1 に示す従来の層間絶縁膜構成は、炭素含有率の異なる 2 種類の絶縁膜を積層したハイブリッド構造を有し、配線層絶縁膜（第 2 の絶縁膜 1 3）中の炭素含有率をビア層絶縁膜（第 1 の絶縁膜 1 2）中の炭素含有率と比べて高くすることを特徴としている。一般に、絶縁膜中の炭素含有率が高くなるほど、エッチングレートが高くなる傾向がある。従って、特許文献 1 に示す方法によれば、配線層絶縁膜をエッチングする際、つまりエッチング加工により配線溝を形成する際、ビア層絶縁膜に対するエッチング選択性を高めることができる。これにより、配線溝の深さを均一に制御することが可能となり、配線抵抗ばらつきの少ない配線構造を持つ半導体装置を形成することができる。

20

【特許文献 1】特開 2 0 0 7 - 2 5 0 7 0 6 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 7 】

しかしながら、特許文献 1 に示した従来の半導体装置においては、1 つの配線構造が形成される層間絶縁膜が複数の膜から構成されているため、異種膜同士の界面が配線又はビアに垂直に交差することになる。このため、異種膜同士の界面において膜剥れが発生しやすくなると共に当該界面が隣接配線間のリークパスになりやすくなり、その結果、半導体装置の信頼性が低下するという問題が生じる。

## 【 0 0 0 8 】

30

前記に鑑み、本発明は、相異なる膜質領域を有する層間絶縁膜中に形成された配線構造を有する半導体装置において、膜界面における膜剥れや隣接配線間リークの発生を抑制して半導体装置の信頼性の低下を防止することを目的とする。

【課題を解決するための手段】

## 【 0 0 0 9 】

前記の目的を達成するために、本発明に係る半導体装置は、複数の空孔を有する単層構造の層間絶縁膜を備えた半導体装置であって、前記層間絶縁膜における単位体積当たりの空孔占有率が膜厚方向に変化している。

## 【 0 0 1 0 】

本発明に係る半導体装置によると、単層構造の層間絶縁膜において単位体積当たりの空孔占有率を膜厚方向に変化させているため、相異なる膜質領域を有し且つ膜中に界面が存在しない層間絶縁膜に配線構造を形成できる。従って、層間絶縁膜中に膜界面が存在しないので、膜剥れの発生がない。また、隣接する異電位配線間においてリークパスとなる膜中界面が存在しないため、半導体装置の信頼性を高めることができる。さらに、例えば、ビア形成領域の層間絶縁膜（層間絶縁膜下部）の空孔占有率と比べて、配線形成領域の層間絶縁膜（層間絶縁膜上部）の空孔占有率が高くなるように、層間絶縁膜における膜厚方向の空孔占有率分布を設定することにより、エッチングにより配線溝を形成する際のエッチング選択比を高くすることができる。すなわち、ビア形成領域の層間絶縁膜がエッチングストッパーとなるため、加工制御性が向上して配線抵抗バラツキを低減することができる。

40

50

## 【 0 0 1 1 】

尚、このような膜厚方向に空孔占有率が変化する層間絶縁膜は、少なくとも骨格形成材であるプリカーサーと空孔形成材であるポロジェンとを用いることにより形成することができる。

## 【 0 0 1 2 】

また、本発明に係る半導体装置において、前記層間絶縁膜は、前記空孔占有率が相対的に高い第1の領域と、前記空孔占有率が相対的に低い第2の領域と、前記第1の領域と前記第2の領域との間に介在し且つ前記空孔占有率が連続的に変化する第3の領域とを有していてもよい。

## 【 0 0 1 3 】

10

また、本発明に係る半導体装置において、前述のように、前記層間絶縁膜の少なくとも上部に形成された配線と、前記層間絶縁膜の少なくとも下部に形成され且つ前記配線と接続するビアとをさらに備え、前記配線の上面から前記配線の下面までの高さ範囲に位置する前記層間絶縁膜の前記空孔占有率は、前記ビアにおける前記配線との接続面から前記ビアの下面までの高さ範囲に位置する前記層間絶縁膜の前記空孔占有率よりも高いことが好ましい。

## 【 0 0 1 4 】

本発明に係る半導体装置の製造方法は、複数の空孔を有する単層構造の層間絶縁膜を備えた半導体装置の製造方法であって、前記層間絶縁膜における単位体積当たりの空孔占有率が膜厚方向に変化するように前記層間絶縁膜を形成する工程を備えている。

20

## 【 0 0 1 5 】

本発明に係る半導体装置の製造方法によると、前述の本発明に係る半導体装置を得ることができる。

## 【 0 0 1 6 】

また、本発明に係る半導体装置の製造方法において、前記層間絶縁膜を形成する工程で、前記空孔占有率が相対的に高い第1の領域と、前記空孔占有率が相対的に低い第2の領域と、前記第1の領域と前記第2の領域との間に介在し且つ前記空孔占有率が連続的に変化する第3の領域とを有するように前記層間絶縁膜を形成してもよい。

## 【 0 0 1 7 】

また、本発明に係る半導体装置の製造方法において、前記層間絶縁膜を形成する工程で、化学的気相成長法により前記層間絶縁膜を形成することが好ましい。このようにすると、膜厚方向に空孔占有率が変化する層間絶縁膜を形成することができる。

30

## 【 0 0 1 8 】

また、本発明に係る半導体装置の製造方法において、前記層間絶縁膜を形成する工程は、前記層間絶縁膜の少なくとも膜骨格を形成するプリカーサ、及び空孔形成剤を、前記プリカーサ及び前記空孔形成剤の少なくとも一方の流量を時間的に変化させながら用いることにより、前記空孔形成剤を含有する膜を形成する第1の工程と、前記空孔形成剤を含有する膜に対して熱処理を行うか又は電子線若しくは紫外線を照射することにより、当該膜中から前記空孔形成剤を除去して前記層間絶縁膜を形成する第2の工程とを含むことが好ましい。このようにすると、膜厚方向に空孔占有率が変化する層間絶縁膜を確実に形成することができる。

40

## 【 発明の効果 】

## 【 0 0 1 9 】

本発明によると、相異なる膜質領域を有する層間絶縁膜中に形成された配線構造を有する半導体装置において、当該層間絶縁膜中には界面が存在しないので、膜界面における膜剥れや隣接配線間リークの発生を抑制して半導体装置の信頼性の低下を防止することができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 0 】

( 実施形態 )

50

以下、本発明の一実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。

【0021】

図1は本実施形態に係る半導体装置の断面構造を示している。図1に示すように、例えばSiからなる基板101の上に形成された例えば酸化シリコン( $\text{SiO}_2$ )からなる第1の絶縁膜102中に第1の配線105が形成されている。具体的には、第1の絶縁膜102に形成された配線溝中に、例えば窒化タンタル(TaN)からなるバリアメタル膜103を介して、例えば銅(Cu)からなる配線用導電膜104が埋め込まれている。第1の絶縁膜102の上には、第1の配線105を覆うように、例えば炭化シリコン(SiC)からなる第2の絶縁膜106が金属拡散防止膜として形成されている。

10

【0022】

第2の絶縁膜106上には、例えば比誘電率が3.0以下の炭素含有シリコン酸化膜( $\text{SiOC}$ 膜)からなる第3の絶縁膜107が形成されている。第3の絶縁膜107の少なくとも上部には配線溝が設けられており、当該配線溝には、例えばTa<sub>2</sub>N<sub>5</sub>からなるバリアメタル膜108を介して例えばCuからなる配線用導電膜109が埋め込まれており、それにより、第2の配線110が形成されている。また、第1の配線105と第2の配線110とを電氣的に接続するために、第3の絶縁膜107の少なくとも下部と第2の絶縁膜106とを貫通するようにビア111が形成されている。

【0023】

図2は本実施形態に係る半導体装置の特徴的構成要素である第3の絶縁膜107及びその近傍の断面構造を示している。

20

【0024】

図2に示すように、第3の絶縁膜107は単層構造を有する層間絶縁膜である。すなわち、第3の絶縁膜107中には界面は存在しない。また、第3の絶縁膜107は複数の空孔120を有しており、第3の絶縁膜107における単位体積当たりの空孔占有率(物体中に存在する空孔の体積の当該物体の体積に対する割合)は膜厚方向(基板101の主面に対して垂直な方向)に変化している。

【0025】

具体的には、図2に示すように、第2の配線110の上面から第2の配線110の下面までの高さ範囲に位置する第3の絶縁膜107(第1の領域 $R_A$ )の空孔占有率は、ビア111における第2の配線110との接続面からビア111の下面までの高さ範囲に位置する第3の絶縁膜107(第2の領域 $R_B$ )の空孔占有率よりも高い。すなわち、第3の絶縁膜107は相異なる膜質領域を有している。

30

【0026】

尚、本実施形態では、図2に示すように、第3の絶縁膜107は、第1の領域 $R_A$ と第2の領域 $R_B$ との間に介在し且つ空孔占有率が連続的に変化する第3の領域 $R_C$ を有している。第3の領域 $R_C$ においては、第1の領域 $R_A$ 側から第2の領域 $R_B$ 側に向けて空孔占有率が連続的に下がっていく。

【0027】

以上に説明した本実施形態によると、単層構造の層間絶縁膜として(つまり1つの連続体として)形成された第3の絶縁膜107において単位体積当たりの空孔占有率を膜厚方向に変化させているため、相異なる膜質領域を有し且つ膜中に界面が存在しない層間絶縁膜に配線構造を形成できる。すなわち、層間絶縁膜中に膜界面が存在しないので、膜剥れの発生がない。また、隣接する異電位配線間においてリークパスとなる膜中界面が存在しないため、半導体装置の信頼性を高めることができる。

40

【0028】

ところで、一般的に、低誘電率層間絶縁膜の比誘電率が低下するに従って、低誘電率層間絶縁膜のエッチングレートが高くなるという傾向がある。従って、低誘電率層間絶縁膜に対する配線溝形成工程においては、加工プロセス及び加工条件によっては配線溝の深さを均一に制御することが困難となり、配線溝の深さがばらつくという問題が生じる。その

50

結果、完成した多層配線構造において配線抵抗がばらつき、半導体装置の特性が変動してしまう場合がある。

【 0 0 2 9 】

それに対して、本実施形態によると、ビア形成領域の層間絶縁膜（第3の絶縁膜107の下部）の空孔占有率と比べて、配線形成領域の層間絶縁膜（第3の絶縁膜107の上部）の空孔占有率が高くなるように、第3の絶縁膜107における膜厚方向の空孔占有率分布を設定している。このため、エッチングにより第3の絶縁膜107に配線溝を形成する際のエッチング選択比を高くすることができる。すなわち、ビア形成領域の層間絶縁膜（第3の絶縁膜107の下部）がエッチングストッパーとなるため、加工制御性が向上して配線抵抗バラツキを低減することができる。

10

【 0 0 3 0 】

また、本実施形態によると、配線形成領域の層間絶縁膜（第3の絶縁膜107の上部）において空孔占有率を高くしているため、配線間容量を低減することができる。一方、低誘電率化により配線間容量を低減する必要性の小さいビア形成領域の層間絶縁膜（第3の絶縁膜107の下部）においては空孔占有率を低くしているため、膜強度を維持することができる。

【 0 0 3 1 】

以下、本実施形態に係る半導体装置の製造方法について説明する。図3（a）～（d）は、本実施形態の半導体装置の製造方法の各工程における配線構造の断面状態を工程順に示している。

20

【 0 0 3 2 】

まず、図3（a）に示すように、基板101の上に、例えばSiO<sub>2</sub>からなる第1の絶縁膜102を形成した後、第1の絶縁膜102の上にレジストを塗布し、リソグラフィ法を用いて配線溝パターン（図示省略）を形成する。次に、この配線溝パターンをマスクとして、第1の絶縁膜102に対してドライエッチングを行って配線溝を形成した後、アッシングによりレジストを除去する。続いて、配線溝の壁面及び底面を覆うように例えばTa<sub>2</sub>N<sub>5</sub>からなるバリアメタル膜103をスパッタリングにより形成した後、バリアメタル膜103上に配線溝が埋まるように例えばCuからなる配線用導電膜104を電気メッキ法により形成する。その後、配線溝からはみ出した余分なバリアメタル膜103及び配線用導電膜104を例えば化学的機械的研磨（CMP）法により除去し、バリアメタル膜103と配線用導電膜104とからなる第1の配線105を形成する。

30

【 0 0 3 3 】

次に、図3（b）に示すように、第1の絶縁膜102上に第1の配線105を覆うように、例えば化学的気相成長（CVD）法を用いてSiCからなる第2の絶縁膜106を形成し、次いで、第2の絶縁膜106の上に、膜骨格が例えばSiOCからなり且つポロジェン（空孔形成剤と同義）を含有する膜を例えばCVD法により形成した後、基板101を加熱しながら当該膜に対して例えば紫外線を照射することにより、当該膜中のポロジェンを分解除去して、複数の空孔を有する第3の絶縁膜107を形成する。

【 0 0 3 4 】

次に、図3（c）に示すように、第3の絶縁膜107の少なくとも下部にビアホール112を形成すると共に第3の絶縁膜107の少なくとも上部に配線溝113をビアホール112と接続するように形成する。

40

【 0 0 3 5 】

具体的には、まず、第3の絶縁膜107上にレジストを塗布し、リソグラフィ法を用いてビアパターン（図示省略）を形成した後、このビアパターンをマスクとして、第3の絶縁膜107に対してドライエッチングを行ってビアホール112を形成する。その後、残存したレジストパターン（ビアパターン）をアッシング及び洗浄により除去した後、第3の絶縁膜107上に再度レジストを塗布し、リソグラフィ法を用いて配線パターン（図示省略）を形成した後、この配線パターンをマスクとして、第3の絶縁膜107に対して再度ドライエッチングを行って、配線溝113をビアホール112と接続するように形

50

成する。最後に、ビアホール 112 の底部に露出する第 2 の絶縁膜 106 (第 1 の配線 105 上の第 2 の絶縁膜 106) をドライエッチングにより除去して、ビアホール 112 を第 1 の配線 105 に到達させる。

#### 【0036】

続いて、図 3 (d) に示すように、ビアホール 112 及び配線溝 113 の壁面及び底面を覆うように例えば TaN からなるバリアメタル膜 108 をスパッタリングにより形成した後、バリアメタル膜 108 上にビアホール 112 及び配線溝 113 が埋まるように例えば Cu からなる配線用導電膜 109 を電気メッキ法により形成する。その後、配線溝 113 からはみ出した余分なバリアメタル膜 108 及び配線用導電膜 109 を例えば化学的機械的研磨 (CMP) 法により除去し、バリアメタル 108 と導電膜 109 とからなる第 2 の配線 110 及びビア 111 を形成する。

10

#### 【0037】

ここで、本実施形態の特徴である第 3 の絶縁膜 107 の形成方法について詳細に説明する。まず、第 2 の絶縁膜 106 まで形成された基板 101 を、真空中に保持した CVD チャンバー内の高温ステージ上に配置し、絶縁膜の基本骨格を形成する材料 (例えばジエトキシメチルシラン (DEMS) などの炭素含有プリカーサー) と、酸素と、空孔形成材料 (例えば テルピネンなどのポロジェン) とを少なくとも含む混合ガスを、ヘリウムなどのキャリアガスとともに CVD チャンバー内に供給し、高周波電力を印加する。このときの混合ガス中の各材料の流量及び高周波電力のパワーのタイミングチャートの一例を図 4 に示す。図 4 に示すように、まず、DEMS (precursor) を 0.3 g/min、テルピネン (porogen) を 0.25 g/min、酸素 (oxidizer) を 15 cc/min (標準状態) の各流量で流しながら、高周波電力を 1500 W 印加し (t1)、この状態を一定時間 (t1 から t2 まで) 維持する。次いで、DEMS を 0.2 g/min、テルピネンを 0.35 g/min、酸素を 12 cc/min (標準状態) の各流量に、高周波電力を 400 W に一定時間 (t2 から t3 まで) かけて変更し、この状態を一定時間 (t3 から t4 まで) 維持する。

20

#### 【0038】

以上のように、本実施形態においては、混合ガス中の各材料の流量及び高周波電力のパワーを時間的に変化させることにより、第 2 の絶縁膜 106 上に、ポロジェンを含有する膜 (ポロジェン含有膜) を形成する。

30

#### 【0039】

次いで、第 2 の絶縁膜 106 上にポロジェン含有膜が形成された基板 101 を、真空中に保持したチャンバー内の高温ステージ上に配置し、ポロジェン含有膜に対して波長領域 200 ~ 400 nm の紫外線を照射する。これにより、ポロジェン含有膜中のポロジェンが分解除去されて、配線形成領域 (高空孔占有率領域) では例えば約 15 % 以上で且つ約 35 % 以下の空孔占有率を有し、且つビア形成領域 (低空孔占有率領域) では約 5 % 以上で且つ 25 % 以下の空孔占有率を有する第 3 の絶縁膜 107 が形成される。尚、言うまでもなく、同じ第 3 の絶縁膜 107 において、高空孔占有率領域の空孔占有率が低空孔占有率領域の空孔占有率よりも低くなることはない。図 5 は、第 3 の絶縁膜 107 における膜厚方向の空孔占有率分布の概要を示している。本実施形態では、ポロジェン含有膜の形成において、膜形成の前半と比べて後半においてプリカーサーに対するポロジェンの比率が高い条件に設定しているため、膜厚方向の上面側で空孔占有率が相対的に高くなる膜質を持つ第 3 の絶縁膜 107 が形成されている。

40

#### 【0040】

尚、本実施形態において、第 3 の絶縁膜 107 を形成する材料であるプリカーサー及びポロジェンは、前述の DEMS や テルピネンに限定されるものではなく、また、高空孔占有率領域と低空孔占有率領域とで絶縁膜形成に用いる材料系が全く異なっても、膜厚方向に空孔占有率を変化させられる膜を形成可能であれば特に問題は無い。

#### 【0041】

また、本実施形態において、第 3 の絶縁膜 107 の形成条件は、前述の条件に限定され

50

るものではない。例えば高空孔占有率領域は配線形成領域に好適であるから、この領域の第3の絶縁膜107を形成する際のポロジェン比率をさらに高めることによって、配線形成領域の第3の絶縁膜107の空孔占有率をさらに高くすることができるので、より配線間容量の低い配線構造を有する半導体装置を実現することができる。

【0042】

また、本実施形態において、第3の絶縁膜107を形成する際に、プリカーサー、酸素及びポロジェンの各流量、並びに高周波電力のパワーを時間的に変化させたが、これに限らず、プリカーサー及びポロジェンの少なくとも一方の流量を時間的に変化させれば、膜厚方向に空孔占有率が変化する第3の絶縁膜107を形成可能である。

【0043】

また、本実施形態において、第3の絶縁膜107をCVD法により形成する際のタイミングチャート(図4)における $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ は所望の膜厚(全体膜厚、配線形成領域の膜厚、ビア形成領域の膜厚)に応じて任意に設定してもよい。さらに、 $t_2$ から $t_3$ までの時間間隔については、高空孔占有率領域の絶縁膜の成膜に用いるガス流量や圧力などが安定するのに十分な時間を確保できれば、エッチング選択比の観点から空孔占有率の遷移領域(図2の第3の領域 $R_C$ )の膜厚を薄くするために、可能な限り短く設定した方がよい。

【0044】

また、本実施形態において、ポロジェンを分解除去する方法は、前述の紫外線照射に限定されるものではなく、膜中のポロジェンを分解除去できる他の方法、例えば電子線照射や熱処理等を用いてもよい。

【0045】

また、本実施形態において、低誘電率層間絶縁膜である第3の絶縁膜107の材料は、前述の炭素含有シリコン酸化膜(SiOC膜)に限定されるものではなく、例えばフッ素含有シリコン酸化膜(FSG膜)等の他の低誘電率絶縁膜を用いてもよい。

【0046】

また、本実施形態において、バリアメタル膜103及び108並びに配線用導電膜104及び109の材料は、前述の窒化タンタル及びCuに限定されるものではない。例えば、バリアメタル膜103及び108の材料としては、Ta、Ti、TiN、Ru又はRuNなどを用いてもよい。

【0047】

ここで、本実施形態のように、多層配線構造に用いられる導電膜材料として、従来のアルミニウム(Al)系合金材料に代えて、より抵抗率の低い銅(Cu)を用いた場合、ドライエッチングによるパターンニングは困難となる。このため、Cuを用いた多層配線の形成方法としては、絶縁膜に配線溝を形成し、配線溝にCu膜を埋め込み、化学的機械的研磨(CMP)法により余分なCu膜を除去して配線を形成するダマシン法が一般に適用されている。特に、本実施形態のように、ビアホール及び配線溝を形成した上で、Cu埋め込みをビアホールと配線溝とに同時に行って配線及びビアを形成するデュアルダマシン法を用いた場合、工程数の削減に有効である。

【産業上の利用可能性】

【0048】

以上に説明したように、本発明は、空孔を有する層間絶縁膜を備えた半導体装置及びその製造方法に関し、相異なる膜質、特に空孔占有率の異なる領域を有し且つ膜中に界面が存在しない層間絶縁膜に配線構造を形成できるので、膜界面における膜剥れや隣接配線間リークの発生を抑制して半導体装置の信頼性の低下を防止できるという効果が得られ、非常に有用である。

【図面の簡単な説明】

【0049】

【図1】図1は、本発明の一実施形態に係る半導体装置の断面構造を示す図である。

【図2】図2は、本発明の一実施形態に係る半導体装置の層間絶縁膜及びその近傍の断面

10

20

30

40

50



構造を示す図である。

【図3】図3(a)～(d)は、本発明の一実施形態に係る半導体装置の製造方法の各工程における配線構造の断面状態を工程順に示す図である。

【図4】図4は、本発明の一実施形態に係る半導体装置の製造方法において層間絶縁膜をCVD法により形成する際の混合ガス中の各材料の流量及び高周波電力のパワーのタイミングチャートの一例を示す図である。

【図5】図5は、本発明の一実施形態に係る半導体装置の層間絶縁膜における膜厚方向の空孔占有率分布の概要を示す図である。

【図6】図6は、従来の低誘電率層間絶縁膜を用いた半導体装置の断面構造を示す図である。

10

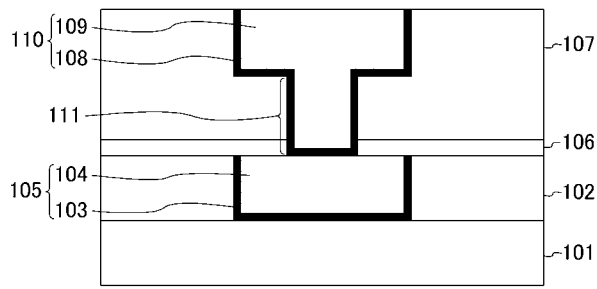
【符号の説明】

【0050】

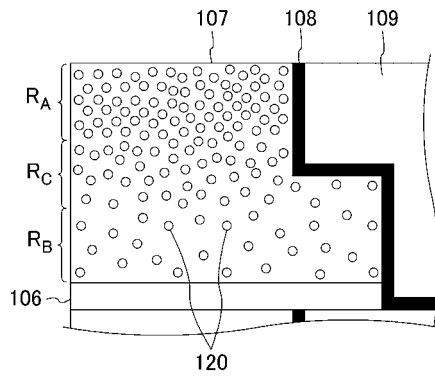
101	基板
102	第1の絶縁膜
103	バリアメタル膜
104	配線用導電膜
105	第1の配線
106	第2の絶縁膜
107	第3の絶縁膜
108	バリアメタル膜
109	配線用導電膜
110	第2の配線
111	ビア
112	ビアホール
113	配線溝
120	空孔

20

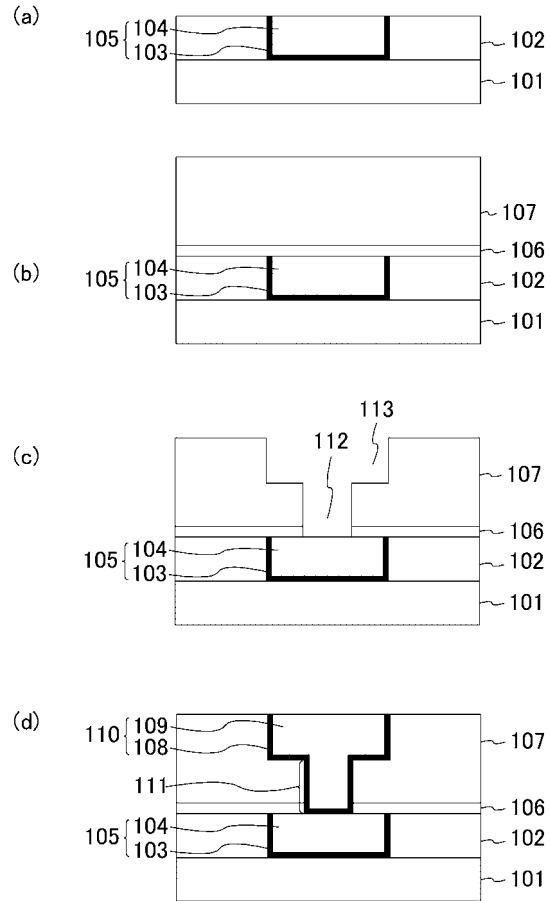
【図 1】



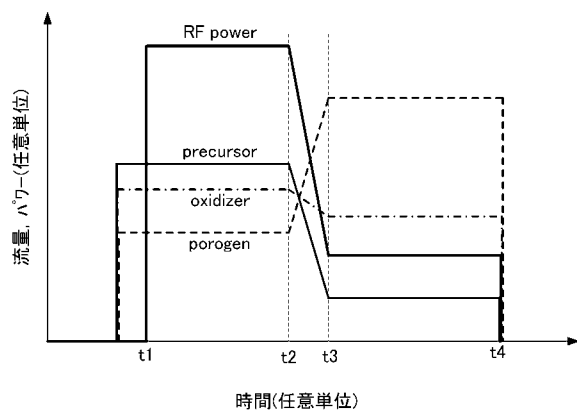
【図 2】



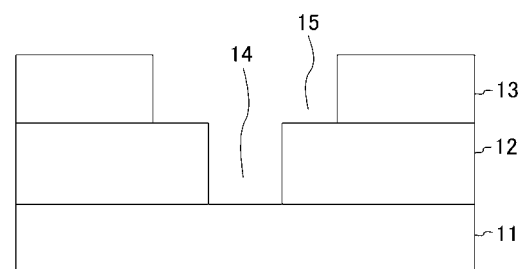
【図 3】



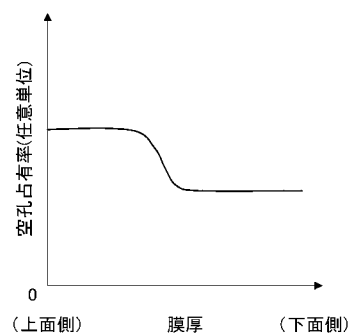
【図 4】



【図 6】



【図 5】



---

フロントページの続き

- (74)代理人 100115691  
弁理士 藤田 篤史
- (74)代理人 100117581  
弁理士 二宮 克也
- (74)代理人 100117710  
弁理士 原田 智雄
- (74)代理人 100121728  
弁理士 井関 勝守
- (74)代理人 100124671  
弁理士 関 啓
- (74)代理人 100131060  
弁理士 杉浦 靖也
- (72)発明者 筒江 誠  
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

審査官 瀧内 健夫

- (56)参考文献 特開 2 0 0 3 - 0 6 8 8 5 1 ( J P , A )  
特開 2 0 0 8 - 1 9 3 0 3 8 ( J P , A )  
特開 2 0 0 6 - 1 8 6 3 3 0 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 1 / 7 6 8  
H 0 1 L 2 1 / 3 1 6