

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G11B 20/10(11) 공개번호 10-2005-0041969
(43) 공개일자 2005년05월04일(21) 출원번호 10-2004-0087322
(22) 출원일자 2004년10월29일

(30) 우선권주장 JP-P-2003-00371112 2003년10월30일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고(72) 발명자 히가시노사토루
일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 소니 가부시끼
가이샤내

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 적응 등화장치, 복호장치 및 오차 검출장치

요약

PR 등화를 실시하면서 역치판정기 보다도 판정 성능이 향상된 FDTS에 의해 판정값을 얻는다. 통신이나 자기 기록, 광기록 재생 장치 등의 파형 등화장치에 있어서, 전단에 FFF를 배치하고, 그 후에 DFE 또는 판정 장치를 FDTS를 사용한 FDTS/DFE를 배치한 구성에서, FFF에서 등화한 파형의 ISI의 최초의 부분(앞쪽 ISI)만 PR 응답이고, 그 이후의 응답(뒤쪽 ISI)은 고려하지 않는 등화를 행하고, FBF 에서 뒤쪽 ISI의 응답을 작성하며, 이것을 DFE 구성에 의해 FFF 후의 응답으로부터 공제함으로써, 그 결과가 PR 응답이 되도록 한다.

대표도

도 1

색인어

피드포워드 필터, 등화 회로, 피드백 필터, 적응 등화장치.

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예를 적용한 광기록 장치 또는 자기 기록 장치의 기본적인 구성을 나타낸 블록도.

도 2는 도 1에 있어서의 PR 등화장치의 상세를 나타낸 블록도.

도 3은 도 2에 나타난 PR 등화장치의 입력 파형을 나타낸 설명도.

도 4는 도 2에 나타난 PR 등화장치에 설치되는 FFF의 구성을 나타낸 블록도.

도 5는 도 2에 나타난 PR 등화장치에 설치되는 FBF의 구성을 나타낸 블록도.

도 6은 도 2에 나타난 PR 등화장치에 설치되는 예측기의 구성을 나타낸 블록도.

도 7은 $\tau=1$ 의 FDTS의 트리 구조를 나타낸 설명도.

- 도 8은 도 2에 나타난 PR 등화장치에 설치되는 FBW의 구성을 나타낸 블록도.
- 도 9는 도 2에 나타난 PR 등화장치에 설치되는 FDTs의 구성을 나타낸 블록도.
- 도 10은 도 2에 나타난 PR 등화장치에 설치되는 LMS-FFF의 구성을 나타낸 블록도.
- 도 11은 도 10에 나타난 FIR 계수 갱신부의 i번째의 탭 계수 f_i 의 계수에 대한 상세 블록도.
- 도 12는 도 10에 나타난 IIR 계수 갱신부의 i번째의 탭 계수 h_i 의 계수에 대한 상세 블록도.
- 도 13은 도 2에 나타난 PR 등화장치에 설치되는 LMS-FBF의 구성을 나타낸 블록도.
- 도 14는 도 13에 나타난 FIR 계수 갱신부의 i번째의 탭 계수 b_i 의 계수에 대한 상세 블록도.
- 도 15는 도 13에 나타난 IIR 계수 갱신부의 i번째의 탭 계수 c_i 의 계수에 대한 상세 블록도.
- 도 16은 도 2에 나타난 PR 등화장치에 설치되는 LMS-예측기의 구성을 나타낸 블록도.
- 도 17은 도 13에 나타난 계수 갱신부의 i번째의 탭 계수 f_i 의 계수에 대한 상세 블록도.
- 도 18은 앞쪽 ISI가 존재하는 등화 파형의 일례를 나타낸 설명도.
- 도 19는 위상 시프터의 특성예를 나타낸 설명도.
- 도 20은 도 18에 나타난 등화 파형이 위상 시프터를 통과한 파형의 모습을 나타낸 설명도.
- 도 21은 위상 시프터 블록을 고려하여 PR 등화장치의 상세를 나타낸 블록도.
- 도 22는 도 21에 나타난 PR 등화장치에 설치되는 위상 컨트롤러의 구성을 나타낸 블록도.
- 도 23은 도 21에 나타난 PR 등화장치에 설치되는 레벨 에러 검출기의 구성을 나타낸 블록도.
- 도 24는 도 21에 나타난 PR 등화장치에 설치되는 타이밍 에러 검출기의 구성을 나타낸 블록도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 변조 회로, 20 : 기록 제어 회로, 30 : 레이저 픽업 또는 자기 헤드

40 : 재생 앰프, 50 : AGC, 60 : PLL, 70 : PR 등화장치

80 : 최대우도 복호기, 90 : 복조 회로, 100 : 미디어

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 광기록이나 자기 기록 장치에 있어서 재생 파형을 부분 응답(PR: Partial Response) 등화하는 적응 등화장치, 그 적응 등화(adaptive equalization)를 이용한 복호장치 및 오차 검출장치에 관한 것이다.

종래부터, LMS(Least Mean Square: 최소평균자승) 알고리즘 등을 사용하여 적응 등화를 행하는 적응 등화장치가 알려져 있다.

또, 종래부터 신호 판정 수단에 FDTs(Fixed Delay Tree Search: 고정지연 트리탐색)를 이용한 DFE(Decision Feedback Equalizer: 결정 피드백 등화기)인 FDTs/DFE가, 예컨대 문헌[J. Moon and L. R. Carley, "Performance comparison of detection methods in magnetic recording", IEEE Transaction on magnetics, Vol.26, No.6, November 1990, pp. 3155-3172]에 의해 알려져 있다.

그러나, 전술한 LMS 알고리즘 등을 사용하여 적응 등화를 행할 때, 파형으로부터 원래의 데이터를 임시 판정해야 한다. 그리고, 그 임시 판정으로 노이즈나 등화 오차 등의 많은 SDNR이 낮은 데이터를 역치(반응을 일으키는 최소의 물리량)검출하면 판정 결과가 크게 잘못되고, 적응 이득(adaptive gain)을 높여 고속으로 추종시키는 것이 곤란하게 된다.

또, PLL(Phase Locked Loop: 위상 동기 루프)나 AGC(automatic gain control: 자동 이득 제어)라고 하는 다이내믹하게 보다 빠르게 추종시키고자 하는 것에 대해서도 마찬가지로, SDNR이 낮은 데이터를 역치검출하여 오차 신호를 얻으면 오류가 많아지고, 고속으로 추종시키는 것이 곤란하게 된다.

또, PR에 필요한 주파수 영역에, 출력이 부족한 또는 결락(缺落) 부분이 있는 입력 파형을 PR 등화하려고 해도, 등화할 수 없는 주파수 영역이 있다. 이와 같은 오차는 입력 데이터의 패턴에 크게 의존하는 등화 오차로 되어 잔류하기 때문에, 복호 장치의 성능을 크게 열화시키고, 이에 의해 비트 에러율(BER)이 증가하게 된다.

또, 전술한 FDTS/DFE에 있어서, FFF(Feed Forward Filter: 피드포워드 필터)는 인과(因果: 원인과 결과)법칙을 만족하는 파형으로 등화할 필요가 있다. 만약, 앞쪽 ISI[FFF로 등화한 파형의 ISI(Inter-Symbol Interference: 부호간 간섭)의 최초의 부분]가 잔류하고 있어 인과법칙을 만족하지 않는 파형이 FDTS/DFE에 입력되면, DFE 구조에서는 뒤쪽 ISI(앞쪽 ISI 이후의 부분)를 제거할 수 밖에 없기 때문에, 앞쪽 ISI에 기인하는 등화 오차는 제거할 수가 없게 된다. 따라서, FDTS는 앞쪽 ISI에 기인하는 등화 오차에 의해 에러율이 증가하게 된다.

또, FFF는 통상 잡음백색화(noise whitening)의 기능도 갖게 하는 것이 일반적이다. 이것은 FDTS가 잡음백색화에 의한 판정 성능 향상을 도모하고 있는 것이지만, 상기의 인과법칙을 만족시키면서 잡음백색화라고 하는 성능을 갖게 한 FFF를 설계하는 것은 입력 파형에 의해서 매우 곤란하다.

또한, FFF를 잡음백색화 또는 인과법칙을 만족시키는 기준으로 선택했을 경우, FDTS의 검출 거리가 통상의 PR 등화의 경우와 비교해볼 때 짧아지는 경향이 있다.

FFF가 인과법칙을 만족하는 등화를 행하지 않는 경우, FDTS/DFE로부터 FFF를 제어하는 위해, LMS 알고리즘을 사용하여 적응시켜도 인과법칙을 효율적으로 만족시키도록 작용하지는 않는다. 이것은 FDTS/DFE에서 얻어진 오차 검출에서는 앞쪽 ISI에 의한 것인지 뒤쪽 ISI에 의한 것인지의 판단이 서지 않아, 국소적 최소값으로 정해지고 등화 오차가 많이 남는 등화만 가능하기 때문이다.

발명이 이루고자 하는 기술적 과제

여기서, 본 발명은 FDTS/DFE 등을 이용하여 적절한 등화 처리를 행하는 것이 가능한 적응 등화장치, 복호장치 및 오차 검출장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

전술한 목적을 달성하기 위해, 본 발명의 적응 등화장치는, 피드포워드(feed forward) 필터(FFF)와, 이 FFF에서 등화한 파형의 부호간 간섭[Inter-Symbol Interference(ISI)]의 앞쪽 부분만 부분 응답(PR) 방식에 의한 응답을 행하는 동시에 앞쪽 부분 이후의 뒤쪽 ISI에 대해서는 고려하지 않는 등화를 행하는 등화 회로와, 뒤쪽 ISI의 응답을 작성하는 피드백 필터(FBF)를 구비하고, 이 등화 회로는 결정 피드백 등화기[Decision Feedback Equalizer(DFE)]의 구성을 가지며, FBF로 생성된 응답을 FFF에 의한 응답으로부터 공제함으로써, 그 결과가 PR 응답이 되도록 한다.

또, 본 발명의 복호장치는, 피드포워드 필터(FFF)와 결정 피드백 등화기(DFE)의 구성을 가지며, FFF에서 등화한 파형의 부호간 간섭(ISI)의 앞쪽 부분만 부분 응답(PR) 방식에 의한 응답을 행하는 동시에 앞쪽 부분 이후의 뒤쪽 ISI에 대해서는 고려하지 않는 등화를 행하는 등화 회로와, 뒤쪽 ISI의 응답을 작성하는 피드백 필터(FBF)와, DFE의 피드백 루프의 내부에 배치한 노이즈 예측기(noise predictor)와, 이 노이즈 예측기의 출력 신호를 NPML(Noise Predictive Maximum Likelihood) 복호화하는 복호기를 구비하고, 등화 회로는 상기 FBF로 생성된 응답을 FFF에 의한 응답으로부터 공제함으로써, 그 결과가 PR 응답이 되도록 한다.

또, 본 발명의 오차 검출장치는, 피드포워드 필터(FFF)와 결정 피드백 등화기(DFE)의 구성을 가지고, FFF로 등화한 파형의 부호간 간섭(ISI)의 앞쪽 부분만 부분 응답(PR)방식에 의한 응답을 행하는 동시에 앞쪽 부분 이후의 뒤쪽 ISI에 대해서는 고려하지 않는 등화를 행하는 등화 회로와, 뒤쪽 ISI의 응답을 작성하는 피드백 필터(FBF)를 구비하고, 등화 회로는 고정 지연 트리탐색[Fixed Delay Tree Search(FDTS)]을 이용한 판정 회로를 가짐과 동시에, FBF로 생성된 응답을 FFF에 의한 응답으로부터 공제함으로써, 그 결과가 PR 응답이 되도록 구성하고, FDTS의 출력인 판정값을 이용하여, AGC 및 PLL 중 적어도 한쪽에 피드백하기 위한 오차 정보를 검출하는 오차 검출 회로를 구비한다.

또, 본 발명의 적응 등화 방법은, 피드포워드 필터(FFF)에서 등화한 파형을, 등화 회로에 의해 부호간 간섭(ISI)의 앞쪽 부분만 부분 응답(PR) 방식에 의한 응답을 행하는 동시에, 등화 파형의 ISI의 앞쪽 부분 이후의 뒤쪽 ISI는 고려하지 않는 등화를 행하고, 피드백 필터(FBF)에 의해 뒤쪽 ISI의 응답을 작성하고, 생성된 뒤쪽 ISI의 응답을 FFF에 의한 응답으로부터 공제함으로써, 그 결과가 PR 응답이 되도록 한다.

(발명을 실시하기 위한 최선의 실시예)

본 발명의 실시예에서는, 통신이나 자기 기록, 광기록 재생 장치 등의 파형 등화장치에 있어서, 전단(前段)에 FFF(Feed Forward Filter: 피드포워드 필터)를 배치하고, 그 후에 DFE(Decision Feedback Equalizer: 결정 피드백 등화기) 또는 판정 장치를 FDTS(Fixed Delay Tree Search: 고정 지연 트리탐색)를 사용한 FDTS/DFE를 배치한 구성에 있어서, FFF에서 등화한 파형의 ISI(Inter-Symbol Interference: 부호간 간섭)의 최초의 부분만 PR(Partial Response: 부분 응답) 응답으로 하고, 그 이후의 응답(이하, 뒤쪽 ISI 라고 한다)은 고려하지 않는 등화를 행하고, FBF(Feed Back Filter: 피드백 필터)에서 뒤쪽 ISI의 응답을 작성하고, 그것을 DFE 구성에 의해 FFF 후의 응답으로부터 공제함으로써, 그 결과가 PR 응답이 되도록 한다.

이하, 본 발명의 실시예에 대하여 도면을 이용하여 설명한다.

도 1은 본 실시예를 적용한 광기록 장치 또는 자기 기록 장치의 기본적인 구성을 나타내는 블록도이다.

도시된 바와 같이, 본 실시예의 장치는 변조 회로(10)와, 기록 레이저 또는 자기 헤드의 기록 전류를 변조 신호에 따라 제어하는 기록 제어 회로(20)와, 기록 및 재생을 행하는 레이저 픽업 또는 자기 헤드(30)와, 재생 앰프(40)와, AGC(Automatic Gain Control: 자동 이득 제어)(50)와, PLL(Phase Locked Loop: 위상 동기 루프)(60)과, PR 등화장치(70)와, 최대우도 복호기(maximum likelihood decoder)(80)와, 복조 회로(90)를 구비하며, 매체(100)에 각종 데이터의 기록 또는 재생을 행하는 것이다.

도 2는 도 1에 있어서의 PR 등화장치(70)의 상세를 나타낸 블록도이다.

도시한 바와 같이, 이 PR 등화장치(70)는 FFF(110), LMS-FFF(111), LMS-FBF(112), FBF(113), FBW(FeedBack Whitener: 피드백 화이트너)(114), FDTS(115), 지연기(116), LMS-예측기(117), 예측기(118) 등을 구비하여 구성되어 있다.

그리고, FFF(110)에는 PLL(60)에 의해 재생 입력 파형이 원하는 PR의 검출점의 타이밍이 되도록 표본화된 이산 데이터가 클록마다 공급되고, 도 2의 모든 블록은 이 클록으로 동작하는 디지털 회로이다.

이하, 입력 파형과 등화 파형 등을 예로 들어 설명한다. 그러나, 어디까지나, 이것은 하나의 예이며 본 발명의 청구의 범위를 제한하는 것은 아니다.

먼저, 도 2의 FFF(110)에는 도 3의 파형 (a)에 나타낸 바와 같은 표본화 된 관측 파형이 입력된다. 예를 들면, 최초의 2 데이터분을 PR(11)에 등화하고자 한다면, 출력으로서 도 3의 (b)에 나타낸 바와 같은 등화 파형을 얻을 수 있다.

이 FFF(110)는,

$$y0_n = \sum_{i=0}^{N_1} f_i \cdot x_{n-i} - \sum_{i=0}^{N_2} h_i \cdot y0_{n-i}$$

수학식 1

의 연산을 행하는 디지털 필터이며, 도 4에 나타낸 바와 같이, 지연기(120), 승산기(121), 가산기(122)를 도시한 바와 같이 접속한 구조를 가지고 있다. 여기서, 계수 f_i , h_i (i 는 정수)는 후술하는 FFF의 LMS 블록에 의해 공급되는 값을 설정한다. 또, $x(n-N1-2)$, $y0(n-N2-2)$ 를 얻기 위해, 각각 FDTS의 트리 길이분(여기서는 2)의 지연 소자를 가지고 있다. 이것은 상기의 디지털 필터 연산과는 관계없지만, 후술하는 FFF의 LMS 블록의 연산에 필요하다.

또, 도 2의 FBF에는 도 3의 파형 (b)로 나타낸 등화 파형의 3데이터째 이후의 뒤쪽 ISI를 제거하기 위해서, 후술하는 FBF의 LMS 블록에 의해 공급되는 b_i ($i=0, 1, \dots, L1$), c_i ($i=0, 1, \dots, L2$)의 탭 계수가 설정되고,

$$y1_n = \sum_{i=0}^{L_1} b_i \cdot \hat{a}_{n-2-i} - \sum_{i=0}^{L_2} c_i \cdot y1_{n-i}$$

수학식 2

의 연산을 행하는 디지털 필터이며, 도 5에 나타낸 바와 같이, 지연기(140), 승산기(141), 가산기(142)를 도시한 바와 같이 접속한 구조를 가지고 있다. 다만, 전술한 설명에 있어서, h_k ($k=0, 1, \dots, L2$)의 값은 모두 0인 것으로 가정하여 설명했다. 또, $a(n-2-L1-2)$, $y1(n-L2-2)$ 를 얻기 위해, 각각 FDTS의 트리 길이분(여기서는 2)의 지연 소자를 가지고 있다. 이것은 상기의 디지털 필터 연산과는 관계없지만, 후술하는 FBF의 LMS 블록의 연산에 필요하다. 이 FBF에는 FDTS의 판정 결과인 0 또는 1의 데이터 $a(n-2)$ 가 입력된다.

다만, 이 뒤쪽 ISI가 존재하지 않고, b_k ($k=0, 1, \dots, L1$)가 모두 0의 경우는 FBF가 없는 것과 등가이며, 이 FBF는 반드시 필요로 하지 않는다.

이 결과가 감산기에 의해 FFF의 등화 파형(도 3의 파형 (a))으로부터 유도하여, 도 3의 파형 (c)의 PR(11)의 파형으로 정형된다. 이 파형을 $y2(n)$ 로서 식으로 나타내면,

수학식 3

$$y2_n = y0_n - y1_n$$

으로 된다.

도 2의 예측기(Predictor)는 잡음백색화를 행하는 블록으로서, 이를 위한 예측 계수 p_k ($k=1, 2, \dots, N$)가 설정되고. 이 p_k 를 구하는 방법에 대하여는 후술한다. 이 예측기는,

수학식 4

$$y3_n = y2_n - \sum_{i=1}^N p_i \cdot y2_{n-i}$$

의 연산을 행하는 디지털 필터이며, 도 6에 나타낸 바와 같이, 지연기(150), 승산기(151), 가산기(152)를 도시한 바와 같이 접속한 구조를 가지고 있다.

다음에, FDTTS의 동작을 설명한다.

FDTTS의 브랜치 매트릭(branch matrices)의 연산은, E. Eleftheriou and W. Hirt, "Noise-predictive maximum-likelihood(NPML) detection for the magnetic recording channel," in *IEEE Conf. Records, ICC'96*, June 1996, pp. 556-560의 (7)식에 기술되어 있는 것으로 행한다. 다만, 본 예에서는, 매트릭은 최소의 것을 사용하는 것으로 식의 부호는 역전하여 생각하는 것으로 한다. 또, 이 논문에서는 PR4를 예로서 기재하고 있지만, 본 예에서는 PR(11)의 예로서 계산한다. 또 여기서는, FDTTS의 중단 심도 $\tau=1$ 을 예로 본다.

예측기의 전달 함수 $P(D)$ 는,

수학식 5

$$P(D) = p_1 \cdot D + p_2 \cdot D^2 + \dots + p_N \cdot D^N$$

로 나타낼 수 있다.

PR(11)의 전달 함수는 $1+D$ 이므로, $G(D)$ 를 아래와 같이 정의한다.

수학식 6

$$G(D) = (1+D) \cdot (1-P(D)) \equiv 1 - g_1 \cdot D - \dots - g_{N+1} \cdot D^{N+1}$$

여기서, 계수 g_i 는 후에 설명하는 도 16의 LMS 예측기의 $G(D)$ 연산 블록에서 계산된다.

또, 시각 n 의 브랜치 매트릭은 다음과 같이 된다.

수학식 7

$$\lambda_n = (y3_n + \sum_{i=2}^{N+2} a_{n-i} \cdot g_i + a_{n-1} \cdot g_1 - a_n)^2$$

여기서, DFE 구조에 있어서의 FBW는 임시 판정값을 사용하여,

수학식 8

$$y5_n = \sum_{i=2}^{N+2} a_{n-i} \cdot g_i$$

의 연산을 행하고 있는 부분이며, 그 구조는 도 8에 나타낸 바와 같은 지연기(160), 승산기(161), 가산기(162)로 구성된다.

다음에, 도 2의 y4를 사용하여 브랜치 매트릭의 식을 고쳐 쓰면,

수학식 9

$$\lambda_n = (y4_n + a_{n-1} \cdot g_1 - a_n)^2$$

와 같이 된다.

또, $\tau=1$ 의 FDTS의 트리 구조를 도 7에 나타낸다. 또, 이 FDTS 연산 장치의 내부 구조를 도 9에 나타낸다. 도 9에 나타낸 바와 같이, 이 FDTS 연산 장치는 패스 매트릭 연산 블록(161, 162), 브랜치 매트릭 연산 블록(163~166), 가산기(167~170), 최소값 선택회로(171, 172), 및 비교회로(173)를 포함하고 있다.

여기서, 도 7에 나타낸 가지(branch)의 $a(n)$, $a(n-1)$ 의 값에 따라, 브랜치 매트릭 $b11$, $b10$, $b01$, $b00$ 은 이하의 연산을 행한다.

수학식 10

$$b11 = (y4_n + g_1 - 1)^2$$

$$b10 = (y4_n + g_1)^2$$

$$b01 = (y4_n - 1)^2$$

$$b00 = (y4_n)^2$$

이들 연산은 도 9에 나타낸 각 브랜치 매트릭 연산 블록(163~166)에 상당한다. 또, 패스 매트릭 $p11$, $p10$, $p01$, $p00$ 은 이하의 연산을 행한다.

수학식 11

$$p11 = p1 + b11$$

$$p10 = p1 + b10$$

$$p01 = p0 + b01$$

$$p00 = p0 + b00$$

이들 연산은 도 9의 패스 매트릭 연산 블록(161, 162)과 브랜치 매트릭 연산 블록(163~166)의 출력을 가산하는 가산기(167~170)에 상당한다.

또, $a(n-1)$ 의 값을 판정하기 위해, 도 9의 각각의 최소값 선택회로(171, 172)에서 $MIN1=\min(p11, p10)$, $MIN0=\min(p01, p00)$ 의 계산을 행하고, 비교회로에서 $MIN1 < MIN0$ 의 경우, $a(n-1)=1$ 이라 판정하고, $MIN1 \geq MIN0$ 의 경우, $a(n-1)=0$ 이라고 판정한다.

또, 도 9의 비교회로(173)에는 패스 매트릭 $p11, p10, p01, p00$ 이 입력되어 있고, 다음 후보인 $p1, p0$ 을 선택하여 출력한다. 구체적으로는, $MIN1 < MIN0$ 의 경우에는 $p1=p11, p0=p10$, $MIN1 \geq MIN0$ 의 경우에는 $p1=p01, p0=p00$ 이 되도록 갱신한다.

다음에, FFF의 LMS 블록인 LMS-FFF의 동작에 대하여 설명한다.

도 10은 이 LMS-FFF의 내부를 나타낸 블록도이다. 도시한 바와 같이, FIR(Finite Impulse Response: 유한 임펄스 응답) 계수 갱신부(181)와 IIR(Infinite Impulse Response: 무한 임펄스 응답) 계수 갱신부(182)로 이루어진다. 계수 갱신 결과는, FIR, IIR의 각각의 탭 계수 단자에 출력된다.

FFF 출력 파형의 평가함수로서 이하의 $F(n)$ 를 고려한다. 여기서 n 은 현재의 시각을 나타낸다.

수학식 12

$$F(n) = \{y2_n - (a_n + a_{n-1})\}^2$$

LMS 알고리즘에서는 자승 오차를 최소로 하기 위해 필터 계수를 제어한다.

예를 들면, FFF의 탭 번호 i 의 FIR부의 계수 f_i 에 대하여 편미분(partial differential)을 행하면 다음과 같이 된다.

수학식 13

$$\frac{\partial}{\partial f_i} F(n) = 2\{y2_n - (a_n + a_{n-1})\} \cdot x_{n-i}$$

그러나, 실제로 이 시스템에서는 FDTTS가 고정 지연을 가지므로, $\tau + 1=2$ 만큼 지연한 판정값을 제공하는 것으로 되므로, 이하의 편미분을 계산하는 것으로 된다.

수학식 14

$$\frac{\partial}{\partial f_i} F(n-2) = 2\{y2_{n-2} - (a_{n-2} + a_{n-3})\} \cdot x_{n-2-i}$$

이 연산은 도 10의 FIR 계수 갱신부(181)의 내부에서 행해진다.

도 11은 도 10의 FIR 계수 갱신부의 i 번째의 탭 계수 f_i 의 계수에 대한 상세 블록도이다. 이 도 11에 나타낸 FIR 계수 갱신부는 탭 계수의 수 $N1+1$ 만 존재하지만, 모두 같은 구조이므로, i 번째를 예를 들어 나타낸다.

도시한 바와 같이, FIR 계수 갱신부는 FIR 편미분 연산부(191), 이동평균 연산부(192), 승산기(193), 감산기(194) 및 지연기(195)를 구비한다.

그리고, 상기의 편미분 연산은 FIR 편미분 연산부(191)에서 행해진다. 이 편미분 결과에 대해 이동평균 연산부(192)에 의해 주어진 이동평균수 $M0$ 의 이동평균 연산이 행해진다. 그리고, 그 결과는 갱신 계수 $a0$ 가 승산되고, 1클럭 이전의 f_i 로부터 감산되어 갱신된다.

마찬가지로 IIR부의 계수 h_i 에 대하여 편미분을 행하면 다음과 같이 된다.

수학식 15

$$\frac{\partial}{\partial h_i} F(n) = 2\{y2_n - (a_n + a_{n-1})\} \cdot (-y0_{n-i})$$

그러나, 실제로 이 시스템에서는 FDTs가 고정 지연을 가지므로, $\tau+1=2$ 만큼 지연한 판정값을 제공하는 것으로 되므로, 이하의 편미분을 계산하게 된다.

수학식 16

$$\frac{\partial}{\partial h_i} F(n-2) = 2\{y2_{n-2} - (a_{n-2} + a_{n-3})\} \cdot (-y0_{n-2-i})$$

이 연산은 도 10의 IIR 계수 갱신부(182)에서 행해진다.

도 12는 도 10의 IIR 계수 갱신부의 i 번째의 탭 계수 h_i 의 계수에 대한 상세 블록도이다. 이 도 12에 나타낸 IIR 계수 갱신부는 탭 계수의 수 $N2+1$ 만 존재하지만, 모두 같은 구조이므로, i 번째를 예를 들어 나타낸다.

도시한 바와 같이, IIR 계수 갱신부는 IIR 편미분 연산부(201), 이동평균 연산부(202), 승산기(203), 감산기(204) 및 지연기(205)를 구비한다.

그리고, 상기의 편미분 연산은 IIR 편미분 연산부(201)에서 행해지고, 이 편미분 결과에 대해 이동평균 연산부(202)에 의해 주어진 이동평균수 M1의 이동평균 연산이 행해진다. 그리고, 그 결과는 갱신 계수 $a1$ 이 승산되고 1클럭 이전의 h_i 로부터 감산되어 갱신된다.

다음에, FBF의 LMS 블록인 LMS-FBF(112)의 동작에 대하여 설명한다.

도 13은 이 LMS-FBF(112)의 내부를 나타낸 블록도이다. 도시한 바와 같이, 이 LMS-FBF는 FIR 계수 갱신부(211)과 IIR 계수 갱신부(212)를 포함하고 있다. 그리고, 계수 갱신 결과는 FIR, IIR의 각각의 탭 계수 단자에 출력된다.

여기서, FBF 출력 파형의 평가 함수로서 FFF의 경우와 같게 $F(n)$ 를 고려한다.

예를 들면, FBF의 FIR부의 탭 번호 i의 계수 b_i 에 대하여 편미분을 행하면 다음과 같이 된다.

수학식 17

$$\frac{\partial}{\partial b_i} F(n) = 2\{y2_n - (a_n + a_{n-1})\} \cdot (-a_{n-2-i})$$

그러나, 실제로 이 시스템에서는 FDTs가 고정 지연을 가지므로, $\tau+1=2$ 만큼 지연한 판정값을 제공하는 것으로 되므로, 이하의 편미분을 계산하게 된다.

수학식 18

$$\frac{\partial}{\partial b_i} F(n-2) = 2\{y2_{n-2} - (a_{n-2} + a_{n-3})\} \cdot (-a_{n-4-i})$$

이 연산은 FIR 계수 갱신부(211)의 내부에서 행해진다.

도 14는 FIR 계수 갱신부의 i 번째의 탭 계수 b_i 의 계수에 대한 상세 블록도이다. 이 도 14에 나타낸 FIR 계수 갱신부는 탭 계수의 수 $L1+1$ 만 존재하지만, 모두 같은 구조이므로, i 번째를 예를 들어 나타낸다.

도시한 바와 같이, FIR 계수 갱신부는 FIR 편미분 연산부(221), 이동평균 연산부(222), 승산기(223), 감산기(224) 및 지연기(225)를 구비한다.

그리고, 상기의 편미분 연산은 FIR 편미분 연산부(221)에서 행해진다. 이 편미분 결과는 이동평균 연산부(222)에 의해 주어진 이동평균수 M2의 이동평균 연산을 행한다. 그리고, 그 결과는 갱신 계수 a2가 승산되고 1클럭 이전의 bi로부터 감산되어 갱신된다.

마찬가지로, IIR부의 계수 ci에 대하여 편미분을 행하면 다음과 같이 된다.

수학식 19

$$\frac{\partial}{\partial c_i} F(n) = 2\{y_{2n} - (a_n + a_{n-1})\} \cdot y_{1n-i}$$

이 연산은 IIR 계수 갱신부(212)에서 행해진다.

그러나, 실제로 이 시스템에서는 FDTS가 고정 지연을 가지므로, $\tau + 1 = 2$ 만큼 지연한 판정값을 제공하는 것으로 되므로, 이하의 편미분을 계산하게 된다.

수학식 20

$$\frac{\partial}{\partial c_i} F(n-2) = 2\{y_{2n-2} - (a_{n-2} + a_{n-3})\} \cdot y_{1n-2-i}$$

도 15는 IIR 계수 갱신부(212)의 i 번째의 탭 계수 ci의 계수에 대한 상세 블록도이다. 이 도 15에 나타낸 IIR 계수 갱신부는 탭 계수의 수 L2+ 1만 존재하지만, 모두 같은 구조이므로, i 번째를 예를 들어 나타낸다.

도시한 바와 같이, IIR 계수 갱신부는 IIR 편미분 연산부(231), 이동평균 연산부(232), 승산기(233), 감산기(234) 및 지연기(235)를 구비한다.

그리고, 상기의 편미분 연산은 IIR 편미분 연산부(231)에서 행해진다. 이 편미분 결과에 대해 이동평균 연산부(232)에 의해 주어진 이동평균수 M3의 이동평균 연산이 행해진다. 그리고, 그 결과는 갱신 계수 a3이 승산되고 1클럭 이전의 ci로부터 감산되어 갱신된다.

다음에, LMS 예측기(117)에 대하여 설명한다.

도 16은 LMS 예측기(117)의 내부 블록도이다.

이 LMS 예측기는 계수 갱신부(241), G(D) 연산 블록(242) 등을 구비하고, y_{2n} 과 FDTS의 판정값 $a(n-2)$ 가 입력되어, 시각 n-2에 있어서의 오차 신호 $w(n-2)$ 를 계산한다. 이 $w(n-2)$ 를 노이즈 예측기인 FIR에 입력하여, 그 결과와 $w(n-2-i)$ 의 신호를 계수 갱신부에 입력하여 각 탭 계수 pi를 갱신한다($i=1, 2, \dots, N$).

여기서, 예측기의 평가 함수로서 이하의 $e^2(n)$ 를 고려한다. 여기서 n은 현재의 시각을 나타내고 있다.

수학식 21

$$e^2(n) = \left\{ w_n - \sum_{i=1}^N w_{n-i} \cdot p_i \right\}^2$$

그리고, LMS 알고리즘을 사용하여 이것을 최소로 하는 방법을 알아본다.

예를 들면, 예측기의 탭 번호 i의 계수 p_i 에 대하여 편미분을 행하면 다음과 같이 된다.

수학식 22

$$\frac{\partial}{\partial p_i} [e^2(n)] = 2 \left\{ w_n - \sum_{j=1}^N w_{n-j} \cdot p_j \right\} \cdot w_{n-i}$$

그러나, 실제로 이 시스템에서는 FDTS가 고정 지연을 가지므로, $\tau+1=2$ 만큼 지연한 판정값을 제공하는 것으로 되므로, 이하의 편미분을 계산하게 된다.

수학식 23

$$\frac{\partial}{\partial p_i} [e^2(n-2)] = 2 \left\{ w_{n-2} - \sum_{j=1}^N w_{n-2-j} \cdot p_j \right\} \cdot w_{n-2-i}$$

이 연산은 계수 갱신부(241)의 내부에서 행해진다.

도 17은 계수 갱신부(241)의 i 번째의 탭 계수 p_i 의 계수에 대한 상세 블록도이다. 이 도 17에 나타난 계수 갱신부는 탭 계수의 수 N만 존재하지만, 모두 같은 구조이므로, i 번째를 예를 들어 나타낸다.

도시한 바와 같이, 이 계수 갱신부는 편미분 연산부(251), 이동평균 연산부(252), 승산기(253), 감산기(254) 및 지연기(255)를 구비한다.

그리고, 상기의 편미분 연산은 편미분 연산부(251)에서 행해진다. 이 편미분 결과에 대해 이동평균 연산부(252)에 의해 주어진 이동평균수 M4의 이동평균 연산이 행해진다. 그리고, 그 결과는 갱신 계수 a_4 가 승산되고, 1클럭 이전의 p_i 로부터 감산되어 갱신된다.

이상이 하이브리드(hybrid) 구성으로 한 FFF, FDTS/DFE의 PR(11) 적응 등화기의 구성이다.

다음에, 여기까지는 도 3에 나타난 바와 같은 앞쪽 ISI가 없는 등화 파형을 상정하고 있었다. 여기서, 도 18에 나타난 바와 같은 앞쪽 ISI가 존재하는 등화 파형에 대해서 등화하는 방법에 대하여 설명한다.

먼저, 앞쪽 ISI가 존재하는 등화 파형의 위상을 회전시키는 것 같은 조작을 고려한다. 위상 θ 를 회전시킨다고 하는 것은, 주파수 축상에서 보면, 도 19와 같은 특성을 만드는 것으로 된다. 다만, f_s 는 샘플링 주파수이다.

여기서, 도 19의 주파수 특성의 역DFT를 행한 탭 계수를 가지는 FIR을 위상 시프터(Phase Shifter)라고 정의한다.

그리고, 등화 파형이 위상 시프터를 통과한 파형의 모습을 도 20에 나타낸다.

기서, 위상 θ 를 크게 하면 앞쪽 ISI의 오버슛(overshoot)이 크게 되고, 위상 θ 를 작게 하면 앞쪽 ISI의 언더슛이 크게 되는 것을 알 수 있다. 앞쪽 ISI가 작아지도록 자동 제어에서 θ 에 귀환을 걸면, 앞쪽 ISI가 적당하게 작은 값이 되도록 등화할 수 있다.

도 21은 위상 시프터 블록을 고려하여 전체 시스템을 나타낸 블록도이다.

도 2에 나타난 블록 구성에 추가로, 위상 시프터(261), 위상 컨트롤러(262), 레벨 에러 검출기(263), 타이밍 에러 검출기(264)의 각 블록이 형성되어 있다.

위상 시프터(261)는 위상 컨트롤러(262)에서 계산된 θ 를 부여하여, 입력 파형의 위상을 θ 만큼 회전한다.

도 20의 오버슛은 파형 검출점에서의 앞쪽 ISI의 간섭으로 되어 나타난다. 그리고, 도 20과 같이 θ 가 큰 경우, 검출점에서의 오차가 + 방향으로 크게 되고, θ 가 작은 경우는 검출점에서의 오차가 - 방향으로 크게 된다. 이로부터 이하의 식을 계산하면, θ 의 오차에 비례한 것을 계산할 수 있다.

수학식 24

$$\left\{ y_{2n} - (a_n + a_{n-1}) \right\} \cdot (a_{n+1} + a_n)$$

그러나, 실제로는 FDTS로부터 주어지는 데이터는 2클록 늦게 도달한다. 또, 수학식 24의 $a(n+1)$ 는 시각 n 의 다음의 데이터이며, 다음의 판정을 기다리지 않으면 얻을 수 없다. 여기서, 또한 1클록 늦은 판정값도 사용하는 것으로서, 합계 3클록 늦은 판정값을 사용하여, 이하의 식의 계산을 행하는 것으로 한다.

수학식 25

$$\left\{ y_{2n-3} - (a_{n-3} + a_{n-3-1}) \right\} \cdot (a_{n-3+1} + a_{n-3})$$

이것을 사용하여, θ 의 갱신을 행하는 블록이 위상 컨트롤러(262)이며, 그 상세 블록을 도 22에 나타낸다. 위상 컨트롤러(262)는 θ 연산부(271), 이동평균 가산부(272), 승산기(273), 감산기(274) 및 지연기(275)를 구비하고, θ 연산부(271)에서 상기의 연산을 행한다. 그리고, 이동평균 가산부(272)에서 M5의 사이의 이동평균을 행하고, a_5 의 갱신 계수를 승산하며, 1클록 이전의 θ 로부터 감산한다.

다음에, 레벨 에러 검출기(263)에 대하여 설명한다. 도 23은 레벨 에러 검출기(263)의 구성을 나타낸 블록도이며, 지연기(281), 가산기(282) 및 승산기(283)를 도시한 바와 같이 접속한 구성으로 되어 있다.

이와 같은 레벨 에러 검출기에 있어서, 레벨 오차는 이하의 식을 사용하여 연산된다.

수학식 26

$$\left\{ y_{2n} - (a_n + a_{n-1}) \right\} \cdot (a_n + a_{n-1})$$

그러나, 실제로는 FDTS로부터 주어지는 데이터는 2클록 늦은 판정값이므로, 이하의 식의 계산을 행하게 된다.

수학식 27

$$\left\{ y_{2n-2} - (a_{n-2} + a_{n-2-1}) \right\} \cdot (a_{n-2} + a_{n-2-1})$$

다음에, 타이밍 에러 검출기(264)에 대하여 설명한다. 도 24는 타이밍 에러 검출기(264)의 구성을 나타낸 블록도이며, 지연기(291), 가산기(292), 승산기(293)를 도시한 바와 같이 접속한 구성으로 되어 있다.

이와 같은 타이밍 에러 검출기에 있어서, 타이밍 오차는 이하의 식을 사용하여 연산된다.

수학식 28

$$- y_{2n} \cdot (a_{n-1} + a_{n-2}) + y_{2n-1} \cdot (a_n + a_{n-1})$$

그러나, 실제로는 FDTS로부터 주어지는 데이터는 2클록 늦은 판정값이므로, 이하의 식의 계산을 행하게 된다.

수학식 29

$$-y_{2n-2} \cdot (a_{n-2-1} + a_{n-2-2}) + y_{2n-1} \cdot (a_{n-2} + a_{n-2-1})$$

이상과 같은 구성의 본 실시예에 따르면, PR 등화를 실시하면서, 역치판정기 보다도 판정 성능이 향상된 FDTS에 의해 판정값을 얻을 수 있다.

그리고, FFF의 출력 파형의 최초의 응답을 PR로 하는 것으로, 후단에 비터비 복호 등의 PR에 적절한 최대우도 복호기를 배치하여 복호하는 것이 가능하게 되었다.

또, 노이즈 예측기와 조합시킴으로써, FDTS의 판정 성능이 향상되었다. 또, 이 노이즈 예측기의 출력을 NPML 복호기에 제공하는 것으로, ISI가 감소한 파형에 대해서, NPML 복호를 행할 수 있다.

또한, FDTS/DFE에 있어서, 앞쪽 ISI가 있는 파형이 입력했을 경우, 종래 등화 오차가 뒤쪽 ISI에 기인하는 것인가, 앞쪽 ISI에 기인하는 것인가를 몰랐기 때문에, 적응적으로 FFF 출력의 앞쪽 ISI를 없앨 수가 없었지만, 위상 시프터를 배치함으로써, 앞쪽 ISI에 기인하는 것을 구별하여 등화하는 것이 가능하도록 되었다.

또, ISI가 감소한 파형을 사용하고, 또 상기 판정 성능이 향상된 FDTS의 판정값을 사용하여 레벨 오차나 위상 오차의 검출을 행할 수 있는 것으로 되었다.

발명의 효과

본 발명에 관한 적응 등화장치, 복호장치 및 오차 검출장치에 의하면, 전단의 FFF에서 등화한 파형의 ISI의 최초의 부분만 PR 응답이며, 그 이후의 뒤쪽 ISI는 고려하지 않는 등화를 행하고, FBF에서 뒤쪽 ISI의 응답을 작성하며, 이것을 DFE 구성에 의해 FFF 후의 응답으로부터 공제함으로써, 그 결과가 PR 응답이 되도록 한 것으로부터, PR 등화를 행하면서, FDTS/DFE 등을 사용한 적절한 등화 처리를 행할 수 있으며, 또한 유효한 복호 처리나 오차 검출에 이용하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

피드포워드 필터(FFF)와;

이 피드포워드 필터(FFF)에서 등화한 파형의 부호간 간섭(Inter-Symbol Interference: ISI)의 앞쪽 부분만 부분 응답(PR) 방식에 의한 응답을 행하는 동시에, 앞쪽 부분 이후의 뒤쪽 ISI는 고려하지 않는 등화를 수행하는 등화 회로와;

상기 뒤쪽 부호간 간섭(ISI)의 응답을 작성하는 피드백 필터(FBF)

를 구비하며,

상기 등화 회로는 결정 피드백 등화기(Decision Feedback Equalizer: DFE)의 구성을 가지고, 상기 피드백 필터(FBF)에서 생성된 응답을 상기 피드포워드 필터(FFF)에 의한 응답으로부터 공제함으로써 그 결과가 부분 응답(PR)이 되도록 한 것을 특징으로 하는 적응 등화장치.

청구항 2.

제1항에 있어서,

상기 결정 피드백 등화기(DFE)는 고정 지연 트리탐색(Fixed Delay Tree Search: FDTS)을 이용하는 판정 회로를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 3.

제2항에 있어서,

상기 피드포워드 필터(FFF)는 상기 결정 피드백 등화기(DFE)의 판정 결과를 이용하여 과형을 적응 등화하는 것을 특징으로 하는 적응 등화장치.

청구항 4.

제1항에 있어서,

상기 등화 회로는 상기 뒤쪽 부호간 간섭(ISI) 이외의 등화 과형을 부분 응답(PR) 방식에 의한 목적 과형으로 적응 등화하는 것을 특징으로 하는 적응 등화장치.

청구항 5.

제2항에 있어서,

상기 피드백 필터(FBF)는 상기 결정 피드백 등화기(DFE)의 판정 결과를 이용하여 적응 등화하는 것을 특징으로 하는 적응 등화장치.

청구항 6.

제1항에 있어서,

상기 피드백 필터(FBF)가 상기 뒤쪽 부호간 간섭(ISI)의 부분에 상당하는 과형을 작성하기 위한 탭 계수를 적응적으로 구하는 계수 갱신부를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 7.

제1항에 있어서,

상기 피드포워드 필터(FFF)가 상기 결정 피드백 등화기(DFE)의 판정 결과를 이용하여 적응 등화하는 처리와, 상기 등화 회로가 상기 뒤쪽 부호간 간섭(ISI) 이외의 등화 과형을 부분 응답(PR) 방식에 의한 목적 과형에 적응 등화하는 처리를 동시에 수행하는 것을 특징으로 하는 적응 등화장치.

청구항 8.

제6항에 있어서,

상기 피드포워드 필터(FFF)가 상기 결정 피드백 등화기(DFE)의 판정 결과를 이용하여 적응 등화하는 처리와, 상기 계수 갱신부가 탭 계수를 적응적으로 구하는 처리를 동시에 수행하는 것을 특징으로 하는 적응 등화장치.

청구항 9.

제3항에 있어서,

상기 피드포워드 필터(FFF)는 등화 과형의 지연을 맞추기 위해 상기 고정지연 트리탐색(FDTS)의 트리 길이에 대응하는 입력 과형 메모리를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 10.

제5항에 있어서,

상기 피드백 필터(FBF)는 등화 과형의 지연을 맞추기 위해 상기 고정지연 트리탐색(FDTS)의 트리 길이에 대응하는 입력 과형 메모리를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 11.

제1항에 있어서,

상기 피드포워드 필터(FFF) 및 피드백 필터(FBF)는 유한 임펄스 응답(FIR)과 유한 임펄스 응답(IIR)에 의해 구성되는 것을 특징으로 하는 적응 등화장치.

청구항 12.

제1항에 있어서,

상기 피드포워드 필터(FFF)에서 등화한 과정에서 부분 응답(PR) 전에 기대하지 않는 응답으로서의 앞쪽 ISI가 생긴 경우, 그 앞쪽 ISI를 제거할 수 있도록 하기 위하여 앞쪽 ISI 제거 회로를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 13.

제12항에 있어서,

상기 앞쪽 ISI 제거 회로는 위상 시프터인 것을 특징으로 하는 적응 등화장치.

청구항 14.

제12항에 있어서,

상기 앞쪽 ISI 제거 회로는 적응적으로 앞쪽 ISI를 제거하는 것을 특징으로 하는 적응 등화장치.

청구항 15.

제13항에 있어서,

상기 앞쪽 ISI를 제거하는데 필요한 위상 시프트량을 상기 위상 시프터에 적응적으로 부여하여, 적응적으로 앞쪽 ISI를 제거하는 위상 컨트롤러를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 16.

제2항에 있어서,

상기 결정 피드백 등화기(DFE)의 피드백 루프의 내부에 노이즈 예측기를 배치한 것을 특징으로 하는 적응 등화장치.

청구항 17.

제16항에 있어서,

상기 노이즈 예측기에 대해서 상기 고정지연 트리탐색(FDTS)에 의한 판정값을 이용하여 적응적으로 잡음 예측하도록 제어하는 연산 회로를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 18.

제17항에 있어서,

상기 연산 회로는 상기 피드포워드 필터(FFF)의 출력으로부터 상기 피드백 필터(FBF)의 결과를 도출한 파형과, 상기 고정지연 트리탐색(FDTS)의 판정값과의 차에 의한 오차 신호를 유한 임펄스 응답(FIR) 연산함으로써, 최소평균자승(LMS: Least Mean Square) 알고리즘을 이용한 적응 등화 연산을 수행하는 것을 특징으로 하는 적응 등화장치.

청구항 19.

제17항에 있어서,

상기 노이즈 예측기의 출력을 NPML(noise predictive maximum likelihood) 복호기에 부여하여 복호화하는 것을 특징으로 하는 적응 등화장치.

청구항 20.

제2항에 있어서,

상기 고정지연 트리탐색(FDTS)의 출력인 판정값을 이용하여, 자동 이득 제어(AGC: Automatic Gain Control) 및 위상 동기 루프(PLL: Phase Locked Loop) 중 적어도 한쪽에 피드백하기 위한 오차 정보를 검출하는 오차 검출 회로를 구비하는 것을 특징으로 하는 적응 등화장치.

청구항 21.

피드포워드 필터(FFF)와;

결정 피드백 등화기(DFE)의 구성을 가지며, 상기 피드포워드 필터(FFF)에서 등화한 파형의 부호간 간섭(ISI)의 앞쪽 부분만 부분 응답(PR) 방식에 의한 응답을 행하는 동시에, 앞쪽 부분 이후의 뒤쪽 ISI에 대해서는 고려하지 않는 등화를 수행하는 등화 회로와;

상기 뒤쪽 ISI의 응답을 작성하는 피드백 필터(FBF)와;

상기 결정 피드백 등화기(DFE)의 피드백 루프의 내부에 배치한 노이즈 예측기와;

상기 노이즈 예측기의 출력 신호를 NPML(noise predictive maximum likelihood) 복호하는 복호기

를 구비하고,

상기 등화 회로는 상기 피드백 필터(FBF)에서 생성된 응답을 상기 피드포워드 필터(FFF)에 의한 응답으로부터 공제함으로써, 그 결과가 부분 응답(PR)이 되도록 하는 것을 특징으로 하는 복호장치.

청구항 22.

제21항에 있어서,

상기 결정 피드백 등화기(DFE)는 고정지연 트리탐색(FDTS)을 이용하는 판정 회로를 구비하고,

상기 노이즈 예측기에 대해서 상기 고정지연 트리탐색(FDTS)에 의한 판정값을 이용하여 적응적으로 잡음 예측하도록 제어하는 연산 회로를 구비하는 것을 특징으로 하는 복호장치.

청구항 23.

피드포워드 필터(FFF)와;

결정 피드백 등화기(DFE)의 구성을 가지고, 상기 피드포워드 필터(FFF)에서 등화한 파형의 부호간 간섭(ISI)의 앞쪽 부분만 부분 응답(PR) 방식에 의한 응답을 행하는 동시에, 앞쪽 부분 이후의 뒤쪽 ISI는 고려하지 않는 등화를 수행하는 등화 회로와;

상기 뒤쪽 ISI의 응답을 작성하는 피드백 필터(FBF)

를 구비하고,

상기 등화 회로는 고정지연 트리탐색(FDTS)을 사용하는 판정 회로를 포함하면서, 상기 피드백 필터(FBF)에서 생성된 응답을 상기 피드포워드 필터(FFF)에 의한 응답으로부터 공제함으로써, 그 결과가 부분 응답(PR)이 되도록 구성하며,

상기 고정지연 트리탐색(FDTS)의 출력인 판정값을 이용하여, 자동 이득 제어(AGC: Automatic Gain Control) 및 위상 동기 루프(PLL: Phase Locked Loop) 중 적어도 한쪽에 피드백하기 위한 오차 정보를 검출하는 오차 검출 회로를 포함하는 것을 특징으로 하는 오차 검출장치.

청구항 24.

제23항에 있어서,

상기 오차 정보는 검출되는 신호의 레벨 또는 타이밍 중 적어도 한쪽을 포함하는 것을 특징으로 하는 오차 검출장치.

청구항 25.

피드포워드 필터(FFF)에서 등화한 파형을 등화 회로에 의해 부호간 간섭(ISI)의 앞쪽 부분만 부분 응답(PR) 방식에 의한 응답을 행하는 동시에, 상기 등화 파형의 ISI의 앞쪽 부분 이후의 뒤쪽 ISI는 고려하지 않는 등화를 행하는 단계와;

피드백 필터(FBF)에 의해 상기 뒤쪽 ISI의 응답을 작성하는 단계와;

생성된 상기 뒤쪽 부호간 간섭(ISI)의 응답을 상기 피드포워드 필터(FFF)에 의한 응답으로부터 공제함으로써, 그 결과가 부분 응답(PR)이 되도록 하는 단계

를 포함하는 것을 특징으로 하는 적응 등화 방법.

청구항 26.

제25항에 있어서,

상기 등화 회로는 결정 피드백 등화기(DFE)의 구성을 가지며, 이 결정 피드백 등화기(DFE)의 피드백 루프의 내부에 노이즈 예측기를 배치한 것을 특징으로 하는 적응 등화 방법.

청구항 27.

제26항에 있어서,

상기 노이즈 예측기에 대해서 상기 고정지연 트리탐색(FDTS)에 의한 판정값을 이용하여 적응적으로 잡음 예측하는 것을 특징으로 하는 적응 등화 방법.

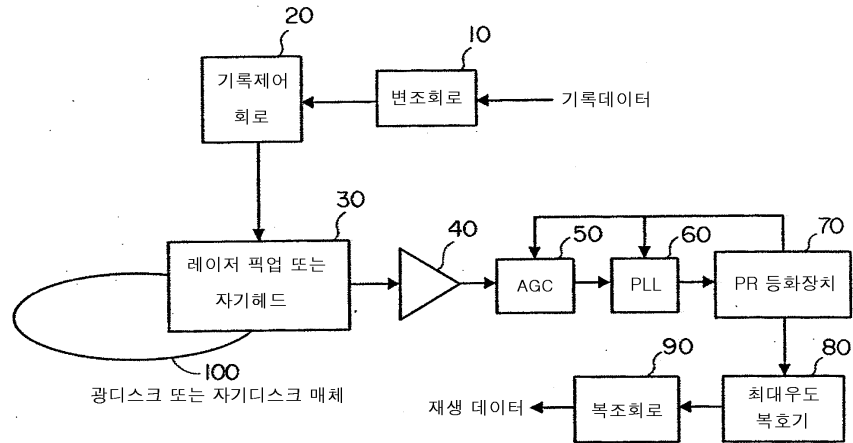
청구항 28.

제27항에 있어서,

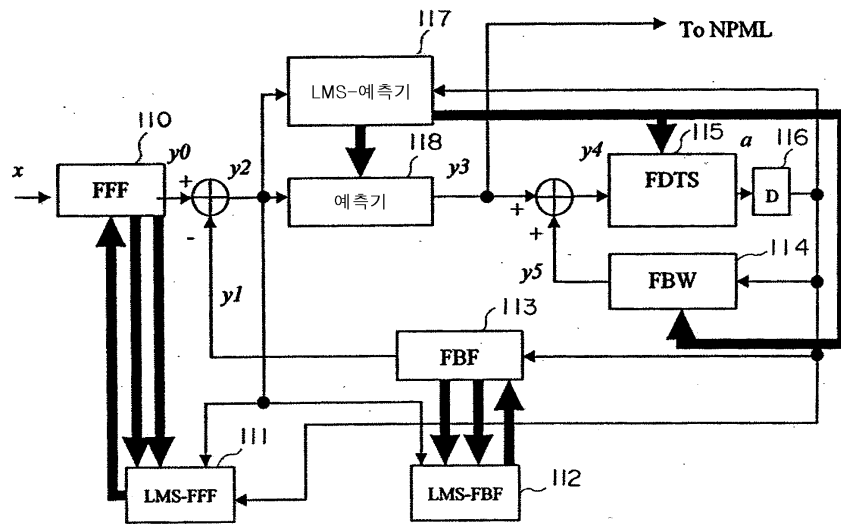
상기 피드포워드 필터(FFF)의 출력으로부터 상기 피드백 필터(FBF)의 결과를 도출한 파형과, 상기 고정지연 트리탐색(FDTS)의 판정값과의 차에 의한 오차 신호를 유한 임펄스 응답(FIR) 연산함으로써, 최소평균자승(LMS: Least Mean Square) 알고리즘을 이용하는 적응 등화 연산을 수행하는 것을 특징으로 하는 적응 등화 방법.

도면

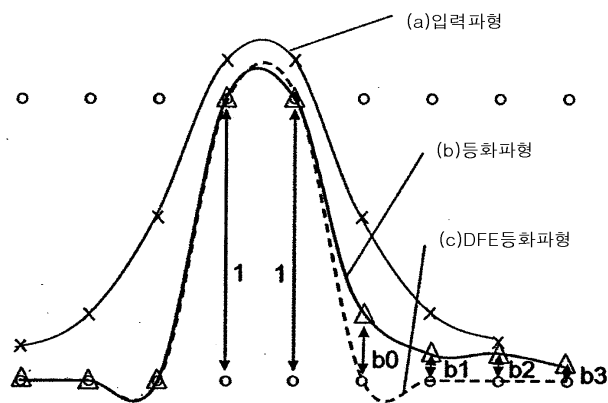
도면1



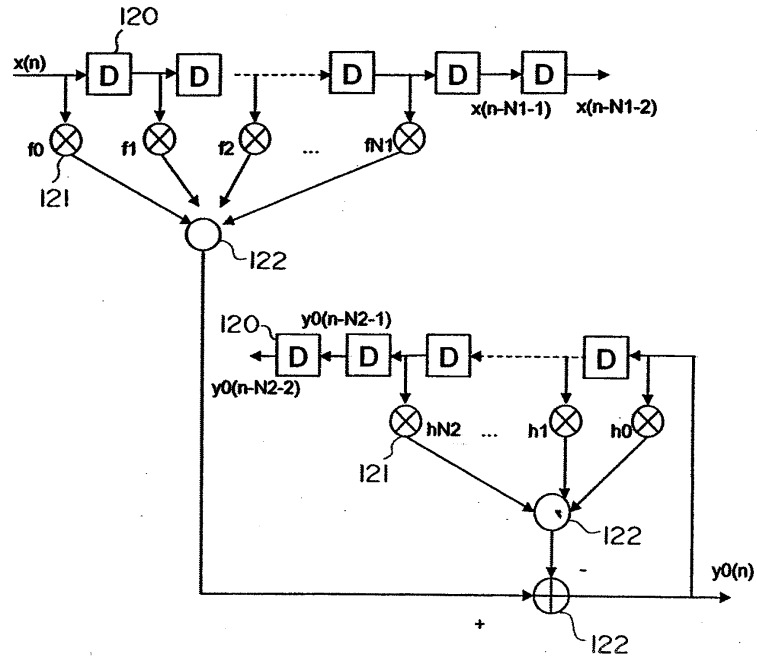
도면2



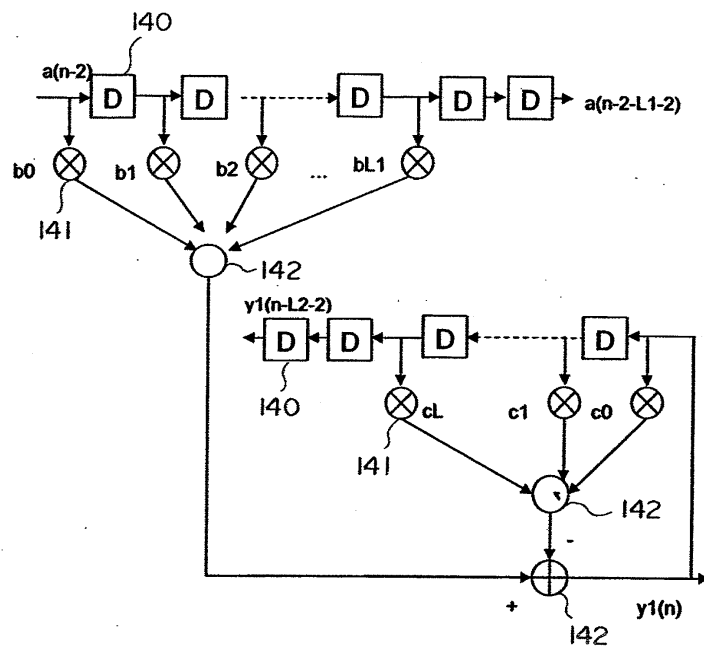
도면3



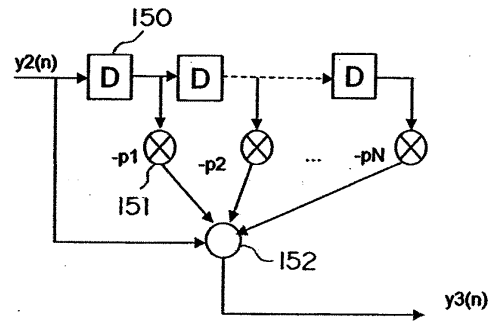
도면4



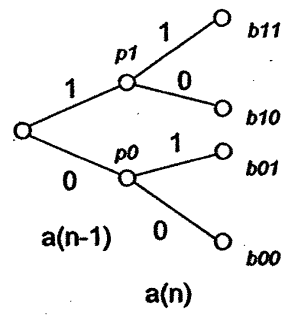
도면5



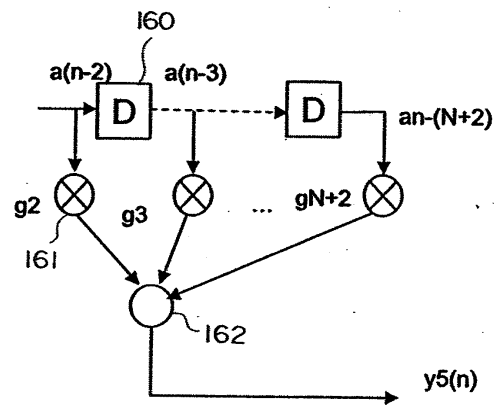
도면6



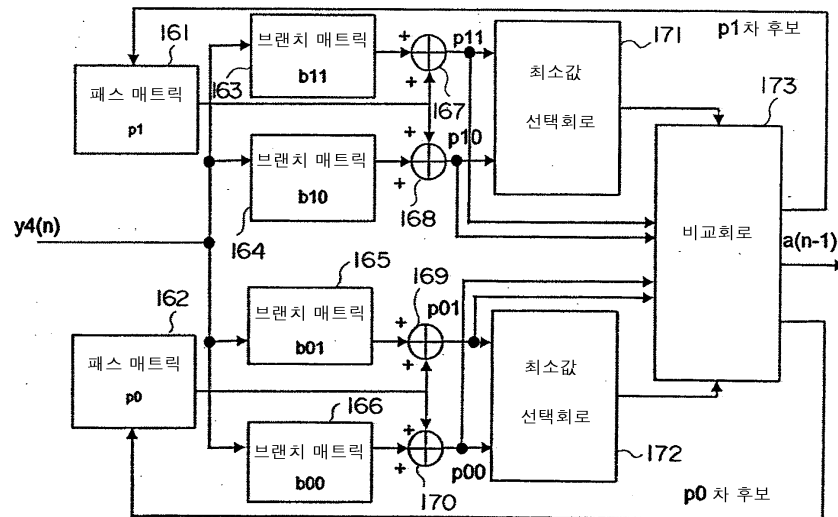
도면7



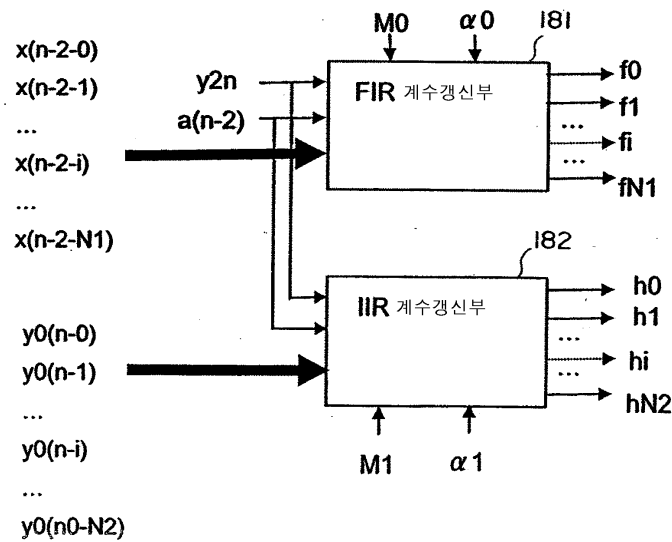
도면8



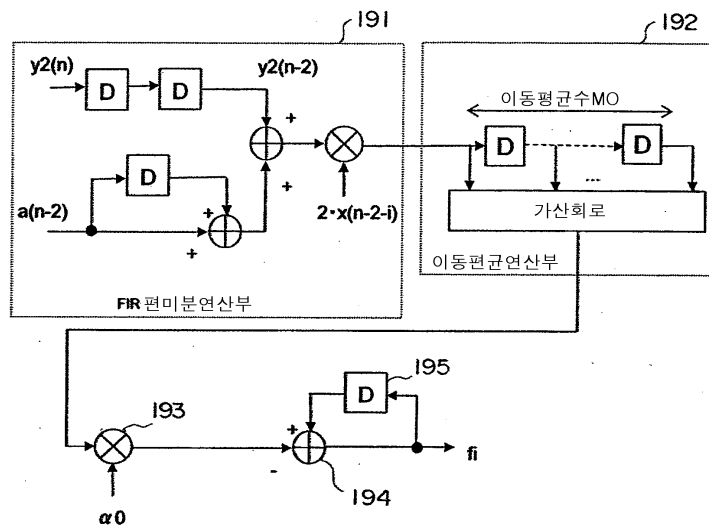
도면9



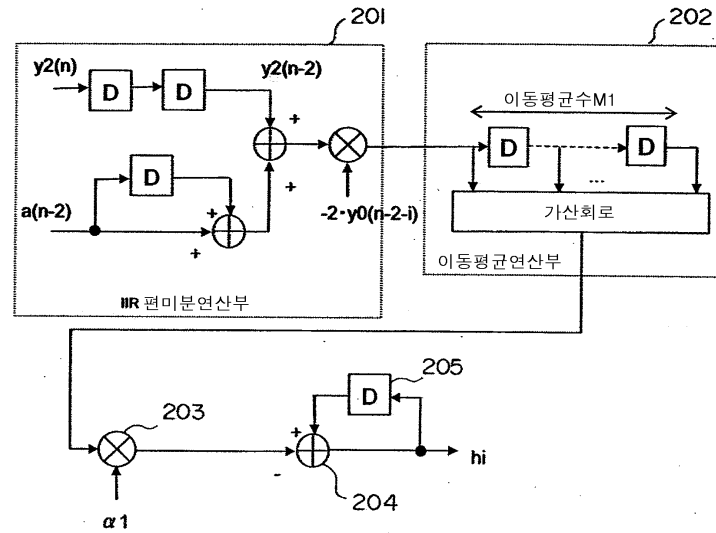
도면10



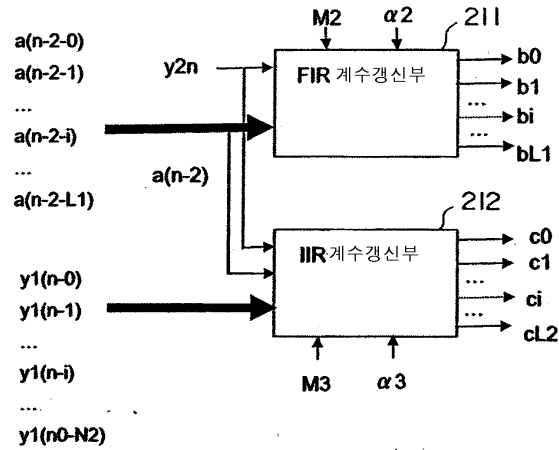
도면11



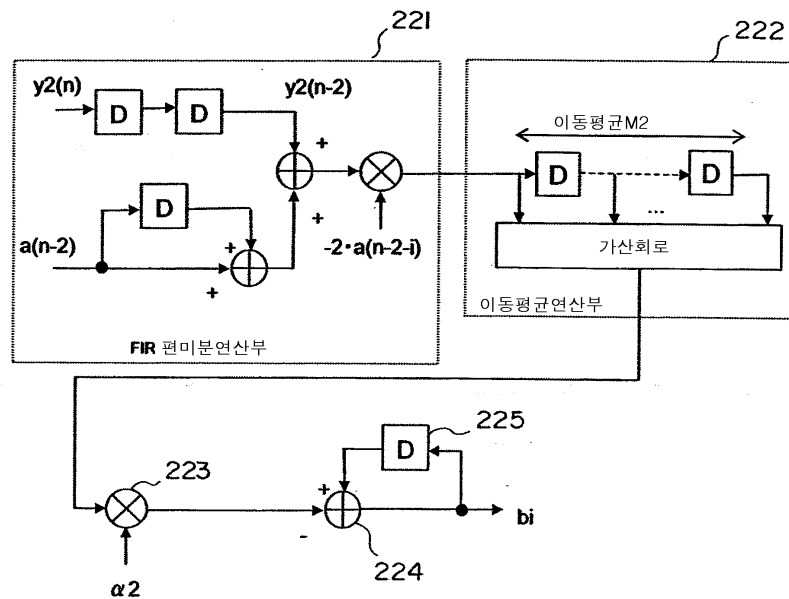
도면12



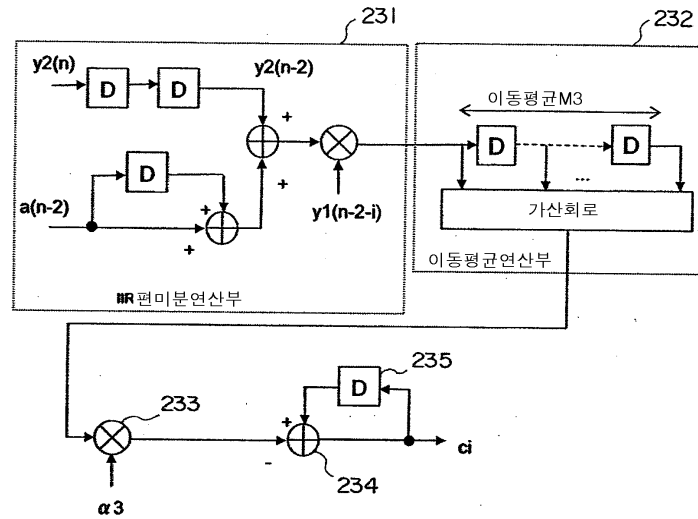
도면13



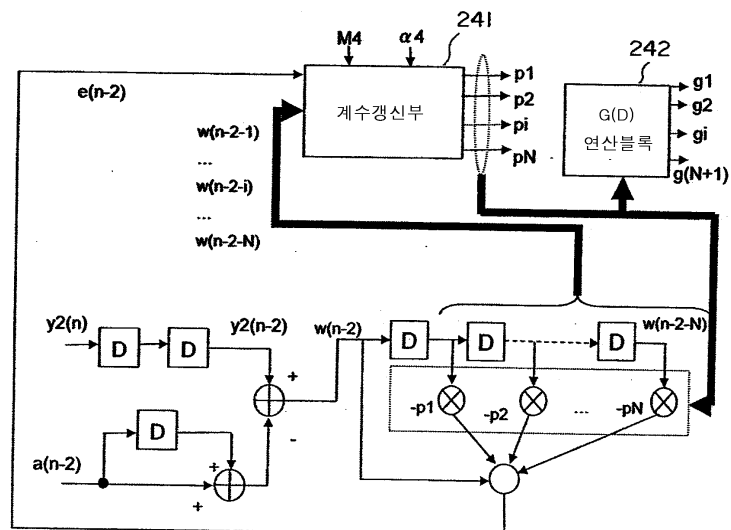
도면14



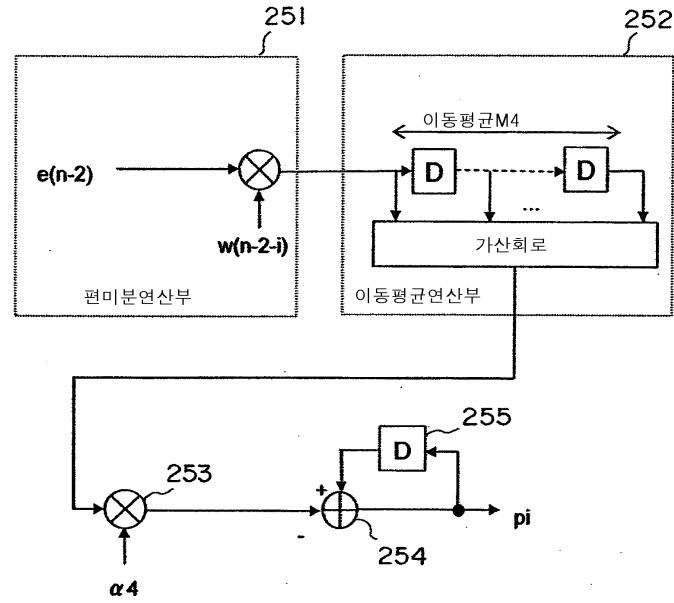
도면15



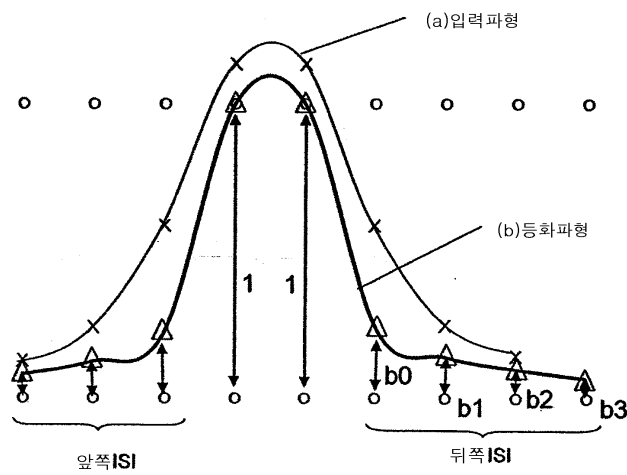
도면16



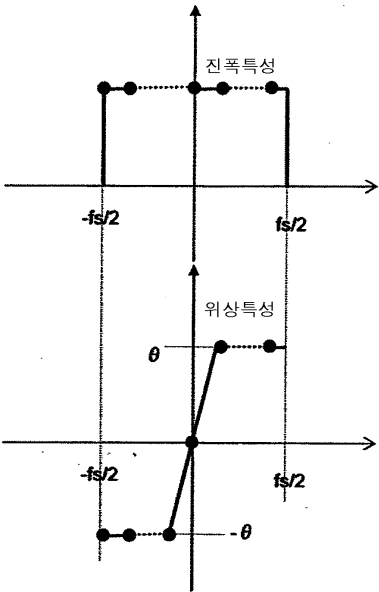
도면17



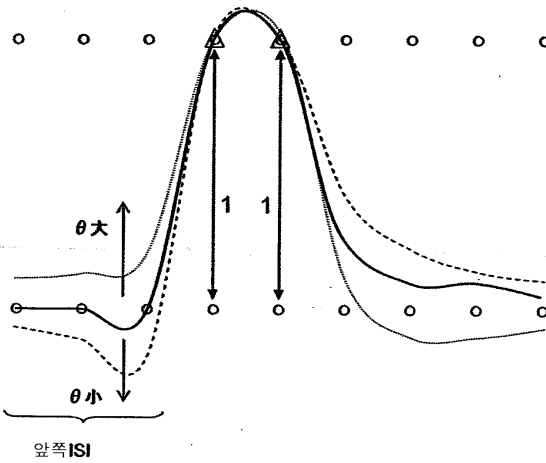
도면18



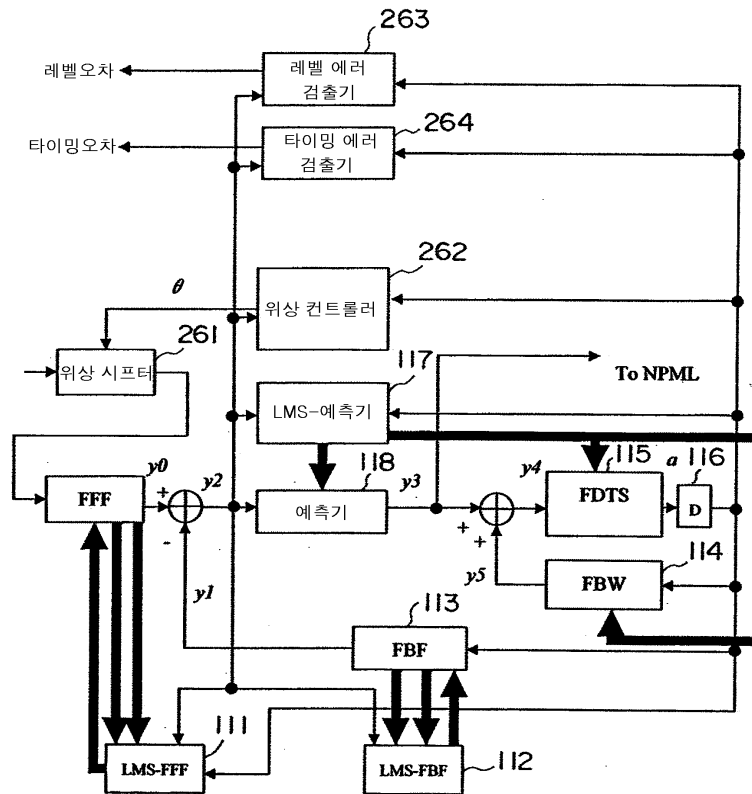
도면19



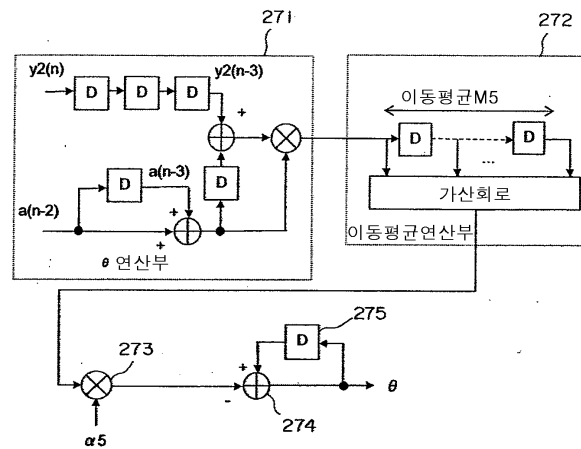
도면20



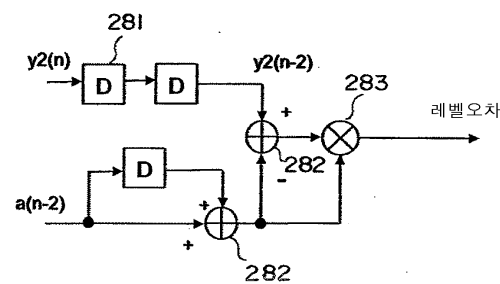
도면21



도면22



도면23



도면24

