(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 16/00

(45) 공고일자 2005년09월06일
(11) 등록번호 10-0512501
(24) 등록일자 2005년08월29일

(21) 출원번호 10-2000-0056966
(22) 출원일자 2000년09월28일

(65) 공개번호 10-2001-0082527
(43) 공개일자 2001년08월30일

(30) 우선권주장 1999-275327 1999년09월28일 일본(JP)
1999-345299 1999년12월03일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 다께우찌겐
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터

다나까도모하루
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터

시바따노보루
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터

(74) 대리인 장수길
구영창

심사관 : 조명관

(54) 불휘발성 반도체 메모리

요약

셀 데이터를 다치화하더라도 데이터 회로의 규모를 크게 하지 않는다.

메모리셀에는, 3치 이상의 데이터가 불휘발로 기억된다. 데이터 회로(2)는, 복수의 기억 회로를 갖는다. 하나는, 래치 회로 LATCH1이다. 또 하나는, 캐패시터 DLN(C1)이다. 이들 래치 회로 LATCH1 및 캐패시터 DLN(C1)은, 2 비트 이상의 기록/판독 데이터를 일시적으로 기억하는 역할을 담당한다. 캐패시터 DLN(C1)에 유지되는 데이터에 대하여는, 누설에 의한 데이터 변동이 문제가 된 경우에는, 래치 회로 LATCH1를 이용하여 리프레시를 행한다.

대표도

도 2

색인어

불휘발성 반도체 메모리, 리프레시, 데이터 회로, 래치 회로, 캐패시터, 메모리셀

명세서

도면의 간단한 설명

도 1은 본 발명에 관한 다치 NAND 셀형 EEPROM의 개요를 도시한 도면.

도 2는 도 1의 메모리내의 데이터 회로를 도시한 도면.

도 3은 도 1의 메모리내의 메모리셀 어레이를 도시한 도면.

도 4는 도 1의 메모리내의 컬럼 디코더의 일부를 도시한 도면.

도 5는 도 1의 메모리내의 일괄 검지 회로를 도시한 도면.

도 6은 도 1의 메모리내의 워드선 제어 회로를 도시한 도면.

도 7은 도 6의 제1 메모리셀 블록 내의 디바이스 구조를 나타내는 도면.

도 8은 도 6의 제2 메모리셀 블록 내의 디바이스 구조를 나타내는 도.

도 9는 도 6의 로우 어드레스 디코더 RADD1을 도시한 도면.

도 10은 도 6의 워드선 드라이버 RMAIN1을 도시하는 도면.

도 11은 도 6의 로우 어드레스 디코더 RADD2를 도시한 도면.

도 12는 도 6의 워드선 드라이버 RMAIN2를 도시한 도면.

도 13은 4치 데이터와 메모리셀의 임계치 전압과의 관계를 나타낸 도면.

도 14는 짝수 페이지 데이터의 기록 후의 메모리셀의 임계치 전압 분포를 도시한 도면.

도 15는 홀수 페이지 데이터의 기록 후의 메모리셀의 임계치 전압 분포를 도시한 도면.

도 16은 짝수 페이지 데이터의 판독에 관한 동작 타이밍을 도시하는 파형도.

도 17은 짝수 페이지 데이터의 판독에 관한 동작 타이밍을 도시하는 파형도.

도 18은 짝수 페이지 데이터의 판독 동작의 개략을 도시한 도면.

도 19는 홀수 페이지 데이터의 판독에 관한 동작 타이밍을 도시하는 파형도.

도 20은 홀수 페이지 데이터의 판독 동작의 개략을 도시한 도면.

도 21은 짝수 페이지 데이터의 기록 동작의 일련의 흐름을 도시하는 도면.

도 22는 기록 동작 중의 프로그램 펄스 인가에 관한 동작 타이밍을 도시하는 파형도.

도 23은 기록 동작 중의 프로그램 펄스 인가의 개요를 도시한 도면.

도 24는 기록 동작 중의 "10" 검증 판독(Verify Read)에 관한 동작 타이밍을 도시하는 파형도.

도 25는 기록 동작 중의 "10" 검증 판독의 개요를 도시하는 도면.

도 26은 기록 동작 중의 "프로그램 완료 검출(Program Completion Detection)"에 관한 동작 타이밍을 나타내는 파형도.

도 27은 기록 동작 중의 "프로그램 완료 검출"의 개요를 도시한 도면.

도 28은 홀수 페이지 데이터의 기록 동작의 일련의 흐름을 도시한 도면.

도 29는 기록 동작 중의 "내부 데이터 로드 1번째/3번째 쿼터(Internal Data Load 1st/3rd Quarter)"에 관한 동작 타이밍을 도시하는 파형도.

도 30은 기록 동작 중의 "내부 데이터 로드 2번째/4번째 쿼터(Internal Data Load 2nd/4th Quarter)"에 관한 동작 타이밍을 도시하는 파형도.

도 31은 기록 동작 중의 "내부 데이터 로드 1번째 쿼터(Internal Data Load 1st Quarter)"의 개략을 도시한 도면.

도 32는 기록 동작 중의 "내부 데이터 로드 2번째 쿼터(Internal Data Load 2nd Quarter)"의 개략을 도시한 도면.

도 33은 기록 동작 중의 "내부 데이터 로드 3번째 쿼터(Internal Data Load 3rd Quarter)"의 개략을 도시한 도면.

도 34는 기록 동작 중의 "내부 데이터 로드 4번째 쿼터(Internal Data Load 4th Quarter)"의 개략을 도시한 도면.

도 35는 기록 동작 중의 "O1" 검증 판독에 관한 동작 타이밍을 도시하는 파형도.

도 36은 기록 동작 중의 "O1" 검증 판독의 개요를 도시한 도면.

도 37은 기록 동작 중의 "O0" 검증 판독에 관한 동작 타이밍을 도시하는 파형도.

도 38은 기록 동작 중의 "O0" 검증 판독의 개요를 도시한 도면.

도 39는 소거 동작 중의 소거 펄스 인가에 관한 동작 타이밍을 도시하는 파형도.

도 40은 소거 동작 중의 소거 검증 판독에 관한 동작 타이밍을 도시하는 파형도.

도 41은 소거 동작 중의 "소거 완료 검출(Erase Completion Detection)"에 관한 동작 타이밍을 도시하는 파형도.

도 42는 "DRAM 번인(Burn-in)"에 관한 동작 타이밍을 도시하는 파형도.

도 43은 DRAM 셀의 리프레시에 관한 동작 타이밍을 도시하는 파형도.

도 44는 도 2의 데이터 회로의 변형예를 도시한 도면.

도 45는 복수 페이지에 대한 기록의 일반적인 시퀀스를 도시한 도면.

도 46은 도 44의 데이터 회로를 이용한 경우의 복수 페이지에 대한 기록의 시퀀스를 도시한 도면.

도 47은 도 44의 데이터 회로내의 라이트 캐쉬에 대한 데이터 입력의 동작 타이밍을 도시하는 파형도.

도 48은 도 44의 데이터 회로내의 라이트 캐쉬로부터 래치 회로로의 데이터 전송의 동작 타이밍을 도시하는 파형도.

도 49는 도 44의 데이터 회로내의 라이트 캐쉬의 데이터의 리프레시에 관한 동작 타이밍을 도시하는 파형도.

도 50은 도 2의 데이터 회로의 변형예를 도시한 도면.

도 51은 도 50의 데이터 회로내의 라이트 캐쉬에 대한 데이터 입력의 동작 타이밍을 도시하는 파형도.

도 52는 도 50의 데이터 회로내의 라이트 캐쉬로부터 래치 회로에의 데이터 전송의 동작 타이밍을 도시하는 파형도.

도 53은 기록 속도에 관한 본 발명(구체예1)의 개요를 도시한 도면.

도 54는 본 발명의 2치 NAND셀형 EEPROM의 칩 레이아웃을 도시한 도면.

도 55는 도 54의 메모리의 데이터 회로의 일례를 도시한 도면.

도 56은 기록 속도에 관한 본 발명의 동작의 상세를 도시한 도면.

도 57은 데이터 로드에 관한 동작 타이밍을 도시하는 파형도.

도 58은 데이터 로드에 관한 동작 타이밍을 도시하는 파형도.

도 59는 기록 펄스의 인가에 관한 동작 타이밍을 도시하는 파형도.

도 60은 리프레시에 관한 동작 타이밍을 도시하는 파형도.

도 61은 기록 펄스의 인가에 관한 동작 타이밍을 도시하는 파형도.

도 62는 기록 데이터 전송에 관한 동작 타이밍을 도시하는 파형도.

도 63은 검증 판독에 관한 동작 타이밍을 도시하는 파형도.

도 64는 기록 펄스의 인가에 관한 동작 타이밍을 도시하는 파형도.

도 65는 기록 데이터 전송에 관한 동작 타이밍을 도시하는 파형도.

도 66은 검증 판독에 관한 동작 타이밍을 도시하는 파형도.

도 67은 기록 속도에 관한 본 발명(구체예2)의 개요를 도시한 도면.

도 68은 기록 속도에 관한 본 발명의 동작을 상세히 도시한 도면.

도 69는 기록 속도에 관한 본 발명의 동작을 상세히 도시한 도면.

도 70은 기록 속도에 관한 본 발명의 동작을 상세히 도시한 도면.

도 71은 기록 속도에 관한 본 발명(구체예2)의 변형예를 도시한 도면.

도 72는 NAND 셀형 EEPROM의 메모리셀 어레이를 도시하는 회로도.

도 73은 NAND 셀 유닛의 디바이스 구조를 나타내는 평면도.

도 74는 도 73의 LXXIV-LXXIV 선에 따른 단면도.

도 75는 도 73의 LXXV-LXXV 선에 따른 단면도.

도 76은 도 73의 NAND 셀 유닛의 등가 회로를 도시한 도면.

도 77은 NAND 셀형 EEPROM의 웰 구조를 나타내는 도면.

도 78은 종래의 데이터 회로를 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

2 : 데이터 회로

3 : 워드선 제어 회로

4 : 컬럼 디코더

5 : 어드레스 버퍼

6 : I/O 감지 증폭기

7 : 데이터 입출력 버퍼

8 : 웰 전위 제어 회로

9A : 전위 발생 회로

9B : 전환 회로

l0 : 일괄 검지 회로

11 : 메모리칩

11-1 : p형 실리콘 기판

11-2 : n형 웰 영역

11-3 : p형 웰 영역

22 : 신호선(RDECADS)

23 : 로우실드선

24 : 드레인 확산층

25 : 소스 확산층

26 : 승압 회로

TNl, … TN21 : 저전압 증가형 N 채널 MOS 트랜지스터

HN1e, HN1o, HN2e, HN2o, HN3, … HN8, HNt1, ··HNt16 : 고전압 증가형 N 채널 MOS 트랜지스터

DLN1, ··DLN3 : 저전압 공핍형 N 채널 MOS 트랜지스터

DLN(C1), DLN(C2) : MOS 캐패시터 (DRAM 셀)

DHN1, … DHN9 : 고전압 공핍형 N 채널 MOS 트랜지스터

TP1, …TP7S : 저전압 증가형 N 채널 MOS 트랜지스터

IHN1, IHN2 : 임계 전압이 0.1V 정도인 고전압 N 채널 MOS 트랜지스터

CINV1, … CINV7 : 클럭형 인버터

LATCH1 : 래치회로

I1, … I3 : 인버터

NAND1, NAND2 : NAND 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 메모리에 관한 것으로, 특히, 다치 NAND셀형 EEPROM (Multi-level NAND cell type EEPROM), 예를 들면, 4치 NAND셀형 EEPROM에 사용된다.

불휘발성 반도체 메모리의 하나로 NAND셀형 EEPROM이 알려져 있다. 이 EEPROM은 복수의 NAND 유닛으로 구성되는 메모리셀 어레이를 갖는다. 각 NAND 셀 유닛은 직렬 접속되는 복수의 메모리셀과 그 양단에 1개씩 접속되는 2개의 셀렉트 트랜지스터로 구성되어, 비트선과 소스선의 사이에 접속된다.

각 메모리셀은, 플로팅 게이트 전극 상에 콘트롤 게이트 전극이 중첩된 소위 스택 게이트 구조를 갖는 n 채널 MOS 트랜지스터로 구성된다. 각 셀렉트 트랜지스터는, 메모리셀과 마찬가지로, 하부 전극 상에 상부 전극이 중첩된 구조를 갖는 n 채널 M0S 트랜지스터로 구성된다. 그러나, 셀렉트 트랜지스터의 게이트 전극으로서 실제로 기능하는 것은, 예를 들면, 하부 전극이다.

NAND 셀 유닛내의 복수의 트랜지스터 (메모리셀, 셀렉트 트랜지스터) 중 상호 이웃하는 2개의 트랜지스터에 대해서는, 1개의 소스 영역 또는 1개의 드레인 영역이 이들 2개의 트랜지스터에 공유된다.

이하, NAND셀형 EEPROM의 구체적인 구조에 관해서 설명한다.

도 72는, NAND셀형 EEPROM의 메모리셀 어레이의 일부를 도시하고 있다.

NAND 셀 유닛은, 직렬 접속되는 복수(4,8,16 등)개의 메모리셀과 그 양단에 1개씩 접속되는 2개의 셀렉트 트랜지스터로 구성되고, 비트선 BLi와 소스선 SL의 사이에 접속된다. 소스선 SL은, 소정의 개소에서, 알루미늄, 폴리실리콘 등의 도전체로 구성되는 기준 전위선에 접속된다.

소스선 SL은, 로우 방향으로 연장되고, 비트선 BLi 및 기준 전위선은, 컬럼 방향으로 연장된다. 소스선 SL과 기준 전위선의 컨택트부는, 예를 들면, 소스선 SL이 64 개의 비트선 BL0, …BL63과 교차할 때마다 설치된다. 기준 전위선은, 메모리셀 어레이의 주변부에 배치되는 소위 주변 회로에 접속된다.

워드선(콘트롤 게이트선) WL1,…WLn은, 로우 방향으로 연장되고, 셀렉트 게이트선 SG1, SG2도, 로우 방향으로 연장된다. 1개의 워드선(콘트롤 게이트선) WL1에 연결되는 메모리셀의 집합은 1페이지라고 불린다. 또한, 2개의 셀렉트 게이트선 SG1, SG2에 끼워진 워드선 WL1, WLn에 연결되는 메모리셀의 집합은, 1 NAND 블록 또는 단순히 1 블록이라고 불린다.

1 페이지는, 예를 들면, 256 바이트(256 × 8개)의 메모리셀로 구성된다. 1 페이지내의 메모리셀에 대하여는, 거의 동시에 기록이 행해진다. 또한, 1 페이지가 256 바이트의 메모리셀로 구성되고, 1개의 NAND 셀 유닛이 8개의 메모리셀로 구성되는 경우, 1 블록은, 2048 바이트(2048 × 8개)의 메모리셀로 구성된다. 1 블록 내의 메모리셀에 대하여는 거의 동시에 소거가 행해진다.

도 73은 메모리셀 어레이내의 1개의 NAND 셀 유닛의 평면도를 나타내고 있다. 도 74는 도 73의 LXXIV-LXXIV 선에 따른 단면도를 나타내고, 도 75는 도 73의 LXXV-LXXV 선에 따른 단면도를 나타내고 있다. 또한, 도 76은 도 73 내지 도 75의 디바이스의 등가 회로를 나타내고 있다.

p형 기판(p-sub)(11-1)내에는, n형 웰 영역(Cell n-wel1)(11-2) 및 p형 웰 영역(Cell p-well)(l1-3)로 구성되는 소위 더블 웰 영역이 형성된다. 메모리셀 및 셀렉트 트랜지스터는 p형 웰 영역(11-3)내에 형성된다.

메모리셀 및 셀렉트 트랜지스터는, p형 웰 영역(11-3) 내의 소자 영역 내에 배치된다. 소자 영역은, p형 웰 영역(11-3) 상에 형성되는 소자 분리 산화막(소자 분리 영역)(12)에 의해 둘러싸인다.

본 예에서는, 1개의 NAND 셀 유닛은, 직렬 접속되는 8개의 메모리셀 M1～M8과, 그 양단에 1개씩 접속되는 2개의 셀렉트 트랜지스터 S1, S2로 구성된다.

메모리셀은, p형 웰 영역(Cell p-well)(11-3) 상에 형성되는 실리콘 산화막(게이트 절연막)(13)과, 실리콘 산화막(13) 상의 플로팅 게이트 전극(14)(14_1, 14_2, …14_8)과, 플로팅 게이트 전극(14)(14_1, 14_2, …14_8) 상의 실리콘 산화막(층간 폴리 절연막)(15)과, 실리콘 산화막(16) 상의 콘트롤 게이트 전극(16)($l6_1$, 16_2,‥16_8)과, p 웰 영역(Cell p-well)(11-3) 내의 소스 드레인 영역(19)으로 구성된다.

또한, 셀렉트 트랜지스터는, p형 웰 영역(11-3) 상에 형성되는 실리콘 산화막(게이트 절연막)과, 이 실리콘 산화막 상의 게이트 전극(14)(14_9, 14_{10}), 16(16_9 , 16_{10})과, p 웰 영역(11-3) 내의 소스 드레인 영역(19)으로 구성된다.

셀렉트 트랜지스터의 구조가 메모리셀의 구조에 근사하고 있는 이유는, 메모리셀과 셀렉트 트랜지스터를 동일 프로세스로 동시에 형성하는 것에 의해, 프로세스의 스텝수의 삭감에 의한 제조 비용의 저감을 도모하기 위해서이다.

NAND 셀 유닛 안의 복수의 트랜지스터 (메모리셀, 셀렉트 트랜지스터)중 상호 인접하는 2개의 트랜지스터에 대해서는, 1개의 소스 영역(n^+형 확산층)(19) 또는 1개의 드레인 영역(n^+형 확산층)(19)이 이들 2개의 트랜지스터에 공유된다.

메모리셀 및 셀렉트 트랜지스터는, CVD법에 의해 형성되는 실리콘 산화막(CVD 산화막)(17)에 의해 덮여진다. CVD 산화막(17) 상에는, NAND 셀 유닛의 일단(n^+형 확산층;19)에 접속되는 비트선(18)이 배치된다.

도 77는, NAND셀형 EEPROM의 웰 구조를 나타내고 있다.

p형 기판(p-sub)(11-1) 내에는, n형 웰 영역(Cell n-well)(11-2) 및 p형 웰 영역(Cell p-we11)(11-3)로 구성되는 소위 더블 웰 영역, n형 웰 영역(n-well) (11-4) 및 p형 웰 영역(p-well)(11-5)이 형성된다.

더블 웰 영역은, 메모리셀 어레이부에 형성되고, n형 웰 영역(11-4) 및 p형 웰 영역(11-5)은 주변 회로부에 형성된다.

메모리셀은 p형 웰 영역(11-3) 내에 형성된다. n형 웰 영역(11-2) 및 p형 웰 영역(11-3)은 동일 전위로 설정된다.

전원 전압보다도 높은 전압이 인가되는 고전압 n 채널 MOS 트랜지스터는, P형 기판(p-sub)(11-1) 상에 형성된다. 전원 전압이 인가되는 저전압 p 채널 MOS 트랜지스터는, n형 웰 영역(n-well)(11-4) 상에 형성되고, 전원 전압이 인가되는 저전압 n 채널 MOS 트랜지스터는, p형 웰 영역(p-well)(11-5) 상에 형성된다.

다음에, NAND 셀형 EEPROM의 기본 동작에 대해 설명한다.

우선, 이하의 설명을 이해하기 쉽게 하기 위해서, 전제 조건에 관해서 다음과 같이 규정한다. 메모리셀에는, 2치의 데이터 "0", "1"이 기억되는 것으로 하고, 메모리셀의 임계치 전압이 낮은 상태(예를 들면, 임계치 전압이 마이너스의 상태)를 "0" 상태로 하고, 메모리셀의 임계치 전압이 높은 상태(예를 들면, 임계치 전압이 플러스의 상태)를 "1" 상태로 한다.

통상, 2치 NAND 셀형 EEPROM 에서는, 메모리셀의 임계치 전압이 낮은 상태를 "1" 상태, 메모리셀의 임계치 전압이 높은 상태를 "O" 상태로 하지만, 후술하는 바와 같이, 본 발명은, 주로, 다치(예를 들면, 4치) NAND 형 EEPROM을 대상으로 하기 때문에, 이 점을 고려하여, 상술된 바와 같이, 메모리셀의 임계치 전압이 낮은 상태를 "O" 상태, 메모리셀의 임계치 전압이 높은 상태를 "1" 상태로 한다.

또한, 메모리셀에 관해서는, "0" 상태를 소거 상태로 하고, "1" 상태를 기록 상태로 한다. "기록"이라고 할 때는, "O" 기록과 "1" 기록을 포함하는 것으로 하고, "O" 기록이란 소거 상태("O" 상태)를 유지하는 것을 말하고, "1" 기록이란 "0" 상태에서 "1" 상태로 변화시키는 것을 말한다.

기록 동작(Program operation)

기록 동작에서는, 비트선의 전위는, 그 비트선에 연결되는 선택된 메모리셀에 대한 기록 데이터에 따른 값, 예를 들면, 기록 데이터가 "1"인 경우("1" 기록의 경우)에는 접지 전위(OV) Vss로 설정되고, 기록 데이터가 "O"인 경우("0" 기록의 경우)에는 전원 전위 Vcc로 설정된다.

선택된 블록 내, 즉, 선택된 메모리셀을 포함하는 NAND 셀 유닛 내의 비트선측(드레인측)의 셀렉트 게이트선 SG1의 전위는, 전원 전위 Vcc로 설정되고, 선택된 블록 내, 즉, 선택된 메모리셀을 포함하는 NAND 셀 유닛 안의 소스선측의 셀렉트 게이트선 SG2의 전위는, 접지 전위(OV) Vss로 설정된다.

비선택의 블록 내, 즉, 선택된 메모리셀을 포함하지 않은 NAND 셀 유닛 내의 2개의 셀렉트 게이트선 SG1, SG2의 전위는, 함께, 접지 전위(OV) Vss로 설정된다.

그리고, "1" 기록의 경우, 선택된 블록 내의 선택된 메모리셀의 채널에는, 접지 전위(OV) Vss가 전달된다. 한편, "0" 기록의 경우, 선택된 블록 내의 선택된 메모리셀의 채널의 전위는, Vcc-Vthsg (Vthsg는 셀렉트 트랜지스터 S1의 임계치 전압이다)로 된다. 이후, 선택된 블록 내의 비트선측(드레인측)의 셀렉트 트랜지스터 S1은, 차단하기 때문에, 선택된 블록 내의 선택된 메모리셀의 채널은, Vcc-Vthsg의 전위를 유지하면서 플로팅 상태가 된다.

또, 선택된 메모리셀이 가장 비트선에 가까운 메모리셀이 아니고, 또한, 선택된 메모리셀보다도 비트선 측에 위치하는 메모리셀(선택된 메모리셀보다도 비트선측에 복수의 메모리셀이 존재하는 경우에는, 그 중의 적어도 1개의 메모리셀)의 임계치 전압이 플러스의 전압 Vthcell인 경우에는, 선택된 메모리셀의 채널은, Vcc-Vthcell의 전위를 유지하면서 플로팅 상태가 된다.

이후, 선택된 블록 내의 선택된 워드선, 즉, 선택된 메모리셀의 콘트롤 게이트 전극에는, 기록 전위 Vpp (예를 들면, 약 20V)이 인가되고, 선택된 블록 내의 비선택의 워드선, 즉, 비선택의 메모리셀의 콘트롤 게이트 전극에는, 중간 전위 Vpass (예를 들면, 약 1OV)가 인가된다.

이때, "1" 기록의 대상으로 되는 선택된 메모리셀에 대해서는, 채널 전위가 접지 전위 (OV) Vss 이기 때문에, 플로팅 게이트 전극과 채널(Cell p-well)의 사이에 "1" 기록에 필요한 고전압이 걸리고, F-N 터널 효과에 의해, 채널로부터 플로팅 게이트 전극으로 전자가 이동한다. 그 결과, 선택된 메모리셀의 임계치 전압은, 상승(예를 들면, 마이너스로부터 플러스로 이동)한다.

한편, "O" 기록의 대상으로 되는 선택된 메모리셀에 대해서는, 채널 전위가 Vcc-Vthsg 또는 Vcc-Vthcell이고, 또한, 채널이 플로팅 상태로 되어 있다. 이 때문에, 워드선에 Vpp 또는 Vpass가 인가되면, 콘트롤 게이트 전극과 채널의 사이의 용량 커플링에 의해, 채널의 전위가 상승한다. 그 결과, 플로팅 게이트 전극과 채널(Cell p-well)의 사이에 "1" 기록에 필요한 고전압이 인가되지 않고, 선택된 메모리셀의 임계치 전압은, 현재 상태를 유지(소거 상태를 유지)한다.

소거 동작(Erase operation)

데이터 소거는, 블록 단위로 행해지고, 선택된 블록 내의 메모리셀의 데이터는, 거의 동시에 소거된다.

구체적인 소거 동작은, 이하와 같다.

우선, 선택된 블록 내의 모든 워드선(콘트롤 게이트 전극)을 OV로 설정하고, 또한, 비선택의 블록 내의 모든 워드선(콘트롤 게이트 전극) 및 모든 블록 내의 모든 셀렉트 게이트선을, 초기 전위 Va로 설정한 후, 플로팅 상태로 한다.

이후, p형 웰 영역(Cell p-well) 및 n형 웰 영역(Cell n-well)에, 소거를 위한 고전위 VppE(예를 들면, 약20V)을 인가한다.

이때, 선택 블록 내의 메모리셀에 관해서는, 워드선(콘트롤 게이트 전극)의 전위가 0V, 웰 영역의 전위가 VppE 이기 때문에, 콘트롤 게이트 전극과 웰 영역의 사이에는, 소거를 행하기 위해서 충분한 고전압이 인가된다.

따라서, 선택 블록 내의 메모리셀에서는, F-N 터널 효과에 의해, 플로팅게이트 전극내의 전자가 웰 영역으로 이동하여, 메모리셀의 임계치 전압이 저하한다(예를 들면, 임계치 전압이 마이너스로 된다).

한편, 비선택 블록 내의 모든 워드선의 전위는, 워드선과 웰 영역의 용량 커플링에 의해, 초기 전위 Va에서 VppE 또는 그 근방까지 상승한다. 마찬가지로, 모든 블록 내의 모든 셀렉트 게이트선의 전위도, 셀렉트 게이트선과 웰 영역의 용량 커플링에 의해, 초기 전위 Va로부터 VppE 또는 그 근방까지 상승한다.

따라서, 비선택 블록 내의 메모리셀에서는, 콘트롤 게이트 전극과 웰 영역의 사이에 소거를 행하기 위해서 충분한 고전압이 인가되지 않는다. 즉, 플로팅게이트 전극내의 전자의 이동이 없기 때문에, 메모리셀의 임계치 전압은, 변화하지 않는다(현재 상태를 유지한다).

판독 동작(Read operation)

데이터 판독은, 비트선의 전위를 메모리셀의 데이터에 따라서 변화시키고, 이 변화를 검출함으로써 행한다.

우선, 데이터 판독의 대상으로 되는 메모리셀이 접속되는 비트선(모든 비트선 또는 비트선 실드 판독 수법 등을 채용하는 경우에는 일부의 비트선)을 프리차지하고, 이 비트선을, 프리차지 전위, 예를 들면, 전원 전위 Vcc로 설정한 후, 플로팅 상태로 한다.

이후, 선택된 워드선, 즉, 선택된 메모리셀의 콘트롤 게이트 전극을 OV로 설정하고, 비선택의 워드선(비선택의 메모리셀의 콘트롤게이트 전극) 및 셀렉트 게이트선을 전원 전위 Vcc (예를 들면, 약 3V)로 설정하고, 소스선을 OV로 설정한다.

이때, 선택된 메모리셀의 데이터가 "1"인 경우(메모리셀의 임계치 전압 Vth가, Vth > 0인 경우), 선택된 메모리셀은, 오프 상태가 되기 때문에, 이 메모리셀이 접속되는 비트선은, 프리차지 전위(예를 들면, 전원 전위 Vcc)를 유지한다.

한편, 선택된 메모리셀의 데이터가 "O"인 경우(메모리셀의 임계치 전압 Vth가, Vth < O의 경우), 선택된 메모리셀은 온 상태가 된다. 그 결과, 선택된 메모리셀이 접속되는 비트선의 전하는 방전되고, 그 비트선의 전위는 프리차지 전위로부터 ΔV만큼 내려 간다.

이와 같이, 메모리셀의 데이터에 따라서, 비트선의 전위가 변화하기 때문에, 이 변화를 감지 증폭기 회로에 의해서 검출하면, 메모리셀의 데이터를 판독할 수 있다.

그런데, 최근, one-chip의 메모리 용량을 증가시키고, 비트당의 비용을 줄이는 것을 목적으로하는, 소위 다치 NAND 셀형 EEPROM의 개발 및 실용화가 진행되고 있다.

상술한 바와 같은 NAND 셀형 EEPROM에서는, 메모리셀에 2치(1 비트)의 데이터("0", "1")를 기억시킬 수 있지만, n (n은, 3 이상의 자연수)값 NAND 셀형 EEPROM은, 메모리셀에 n 치의 데이터를 기억시킬 수 있는 점에 특징을 갖는다.

예를 들면, 4치 NAND 셀형 EEPROM 에서는, 메모리셀에 4치(2 비트)의 데이터 ("O0", "O1", "10", "11")를 기억할 수 있다.

또, 다치 NAND 셀형 EEPROM의 선행 기술로서는, 예를 들면, 문헌 1(특원평8-98627호)가 있다.

발명이 이루고자 하는 기술적 과제

통상, n 치 NAND 셀형 EEPROM 에서는, 선택된 메모리셀에 접속되는 1개의 비트선에 대응하여, 여러개의 래치 회로가 설치된다. 즉, 선택된 메모리셀에 대하여, n 치 데이터를 기록하거나 또는 판독하기도 하는 경우에, 여러개의 래치 회로는, n 치 데이터를 일시적으로 기억하는 역할을 담당한다.

예를 들면, 문헌1에도 기재되어 있는 바와 같이, 4치 NAND 셀형 EEPROM 에서는, 기록 시 또는 판독 시에, 4치(2 비트) 데이터를 일시적으로 기억하여 놓기 위해서, 선택된 메모리셀에 접속되는 1개의 비트선에 대응하여, 2개의 래치 회로가 설치된다.

그러나, 예를 들면, 도 78에 도시한 바와 같이, 래치 회로는, SRAM (Static RAM) 셀로 구성된다. 또한, SRAM 셀로 구성되는 래치 회로는 큰 면적을 갖는다. 또한, 1개의 메모리셀에 기억되는 데이터수를 늘리면 (n의 값을 증가하면),이것에 따라, 선택된 메모리셀에 접속되는 1개의 비트선에 대응하여 설치되는 래치 회로의 수도 증가한다.

예를 들면, 4 (= 2^2)치 NAND 셀형 EEPROM 에서는, 선택된 메모리셀에 접속되는 1개의 비트선에 대응하여 2개의 래치 회로가 설치되고, 8 (= 2^3)치 NAND 셀형 EEPROM 에서는, 선택된 메모리셀에 접속되는 1개의 비트선에 대응하여 3개의 래치 회로가 설치된다.

따라서, 메모리셀에 기억하는 데이터를 다치화(n치화)하고, 또한, n의 값을 증가하는 것에 따라, 메모리칩 내의 래치 회로(SRAM 셀)의 수가 증가하여, 칩 면적이 증가한다고 하는 문제가 있다.

본 발명은, 상기 결점을 해결하기 위해 이루어진 것으로, 그 목적은 메모리셀에 기억하는 데이터를 다치화하더라도, 칩 면적이 극단적으로 증가하지 않는 데이터 회로(기록/판독 시에 다치 데이터를 일시적으로 기억하여 놓은 기억 회로)를 제공하는 것에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명의 불휘발성 반도체 메모리는, 적어도 1개의 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되어, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하고, 상기 데이터 회로는, 제1 데이터를 기억하는 제1 캐패시터와 제2 데이터를 기억하는 제1 래치 회로를 포함한다.

본 발명의 불휘발성 반도체 메모리는, 3치 이상의 정보를 기억하는 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되어, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하고, 상기 데이터 회로는, 제1 데이터를 기억하는 제1 캐패시터와 제2 데이터를 기억하는 제1 래치 회로를 포함한다.

본 발명의 불휘발성 반도체 메모리는, 3치 이상의 정보를 기억하는 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되어, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하고, 상기 데이터 회로는, 제1 래치 회로와 제1 캐패시터를 포함하여, 상기 제1 래치 회로에 기억된 메모리의 외부에서 입력된 데이터와, 상기 제1 캐패시터에 기억된 상기 메모리셀에서 판독된 데이터에 기초하여, 상기 메모리셀에 대하여 기록을 행한다.

본 발명의 불휘발성 반도체 메모리는, 3치 이상의 정보를 기억하는 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되어, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하되, 상기 데이터 회로는, 제1 래치 회로와 제1 캐패시터를 포함하고, 메모리의 외부에서 입력되어, 상기 제1 래치 회로에 기억된 데이터와, 상기 메모리셀로부터 판독되어, 상기 제1 캐패시터에 기억된 데이터에 기초하여, 상기 메모리셀에 대하여 기록을 행한다.

본 발명의 불휘발성 반도체 메모리는, 3치 이상의 정보를 기억하는 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되어, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하고, 상기 데이터 회로는, 제1 래치 회로와 제1 캐패시터를 포함하고, 상기 메모리셀은,

제1 로우 어드레스에 의해서 선택되는 제1 데이터와 제2 로우 어드레스에 의해서 선택되는 제2 데이터를 포함하고, 상기 제1 로우 어드레스가 선택된 제1 기록 동작에서는, 상기 제1 래치 회로에 기억된 메모리의 외부에서 입력된 제1 데이터에 기초하여 기록이 행해지고, 상기 제2 로우 어드레스가 선택된 제2 기록 동작에서는, 메모리의 외부에서 입력되어, 상기 제1 래치 회로에 기억된 제2 데이터와, 상기 메모리셀로부터 판독되어, 상기 제1 캐패시터에 기억된 상기 제1 데이터에 기초하여 기록이 행해진다.

본 발명의 불휘발성 반도체 메모리는, "1" 상태는 제1 임계치 레벨을 갖고, "2" 상태는 제2 임계치 레벨을 가지며, "3" 상태는 제3 임계치 레벨을 갖고, "i" 상태(i는 n 이하의 자연수이고, n은 3 이상의 자연수)는 제1 임계치 레벨을 갖는 것 같은 n 치를 기억하는 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되고, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하고, 상기 데이터 회로는, 제1 래치 회로와 제1 캐패시터를 포함하고, 상기 메모리셀은, 제1 로우 어드레스에 의해서 선택되는 제1 데이터와 제2 로우 어드레스에 의해서 선택되는 제2 데이터를 포함하며, 상기 제1 로우 어드레스가 선택된 제1 기록 동작에서는, 상기 제1 래치 회로에 기억된 메모리의 외부에서 입력된 제1 데이터에 기초하여, 상기 메모리셀을 "1", "2",…"m-1", "m" 상태(m은 자연수)로 하는 기록이 행해지고, 상기 제2 로우 어드레스가 선택된 제2 기록 동작에서는, 메모리의 외부에서 입력되고, 상기 제1 래치 회로에 기억된 제2 데이터와, 상기 메모리셀로부터 판독되어, 상기 제1 캐패시터에 기억된 상기 제1 데이터에 기초하여, 상기 메모리셀을 "1", "2", "k-1", "k" 상태(k는 m보다 큰 자연수)로 하는 기록이 행해진다.

본 발명의 불휘발성 반도체 메모리는, 3치 이상의 정보를 기억하는 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되어, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하고, 상기 비트선에 접속하는 제1 메모리셀부 및 제2 메모리셀부를 포함하며, 상기 데이터 회로는, 상기 제1 메모리셀부에 기록하는 혹은 상기 제1 메모리셀부로부터 판독한 제1 데이터를 기억하는 제1 캐패시터와, 상기 제2 메모리셀부에 기록하는 혹은 상기 제2 메모리셀부로부터 판독한 제2 데이터를 기억하는 제1 래치 회로를 포함한다.

본 발명의 불휘발성 반도체 메모리는, 3치 이상의 정보를 기억하는 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀부의 일단에 접속되는 비트선과, 상기 비트선에 접속되어, 2 비트 이상의 상기 메모리셀부에의 기록 데이터 혹은 판독 데이터를 기억하는 데이터 회로를 구비하고, 상기 비트선에 접속하는 제1 메모리셀부 및 제2 메모리셀부를 포함하며, 상기 데이터 회로는, 제1 래치 회로와 제1 캐패시터를 포함하여, 상기 제1 메모리셀부에 대하여 기록을 행할 때는, 상기 제1 캐패시터는 제1 데이터를 유지하고, 상기 제1 래치 회로에 기억된 제2 데이터에 기초하여 기록이 행해지고, 상기 제1 메모리셀부에 대한 기록이 종료 후, 상기 제1 캐패시터의 상기 제1 데이터가 상기 제1 래치 회로에 전송되고, 상기 제1 래치 회로에 유지한 상기 제1 데이터에 기초하여, 상기 제2 메모리셀부에 대한 기록이 행해진다.

상기 불휘발성 반도체 메모리의 각각은, 상기 제1 캐패시터에 기억된 데이터를 리프레시하는 기능을 갖고 있다.

상기 리프레시하는 기능은, 상기 제1 래치 회로에 기억하는 데이터를 상기 비트선에 출력하여, 상기 비트선이 상기 제1 래치 회로에 기억하는 데이터를 유지하고 있는 동안에, 상기 제1 래치 회로를 이용하여 상기 제1 캐패시터에 유지하는 데이터를 리프레시하고, 그 후, 상기 비트선에 유지한 데이터를 상기 제1 래치 회로에 유지한다고 하는 기능을 포함하고 있다.

상기 리프레시는 기록 메모리셀에 대한 기록 펄스의 인가 중 혹은 기록 펄스 종료 동작 중에 행한다.

상기 메모리셀부는, 직렬 접속된 복수의 메모리셀로 구성된다.

본 발명의 불휘발성 반도체 메모리는, 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀의 일단에 접속되는 제1 신호선과, 상기 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로와, 상기 제1 신호선과 상기 데이터 회로의 사이에 접속되는 제1 스위치 회로를 구비하고, 상기 제1 스위치 회로를 오프 상태로 함으로써, 상기 제1 신호선과 상기 데이터 회로를 전기적으로 비 접속 상태로 하고, 상기 메모리셀에 대한 기록 또는 판독 데이터를 상기 제1 신호선에 유지한다.

본 발명의 불휘발성 반도체 메모리는, 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀의 일단에 접속되는 제1 신호선과, 상기 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로와, 상기 제1 신호선과 상기 데이터 회로의 사이에 접속되는 제1 스위치 회로를 구비하고, 상기 제1 스위치 회로를 오프 상태로 하는 것에 의해, 상기 제1 신호선과 상기 데이터 회로를 전기적으로 비 접속 상태로 하여, 상기 메모리셀에 대한 기록 또는 판독 데이터를, 상기 데이터 회로에 유지하지 않고, 상기 제1 신호선에 유지한다.

상기 메모리셀에 대하여 기록 전압이 인가되어 있는 동안에, 상기 제1 스위치 회로를 오프 상태로 하는 것에 의해 상기 제1 신호선과 상기 데이터 회로를 전기적으로 비 접속 상태로 하여, 상기 메모리셀에 대한 기록 데이터를 상기 제1 신호선에 유지한다.

본 발명의 불휘발성 반도체 메모리는, 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀의 일단에 접속되는 제1 신호선과, 상기 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로와, 상기 제1 신호선과 상기 데이터 회로의 사이에 접속되는 제1 스위치 회로를 구비하고, 상기 메모리셀에 대하여 기록 전압이 인가되어 있는 동안은, 상기 제1 스위치 회로를 오프 상태로 하는 것에 의해 상기 제1 신호선과 상기 데이터 회로를 전기적으로 비 접속 상태로 하고, 상기 메모리셀에 대한 기록 데이터를 상기 제1 신호선에 유지하고, 상기 기록 전압의 인가 후에, 상기 제1 스위치 회로를 온 상태로 하는 것에 의해 상기 데이터 회로와 상기 제1 신호선을 전기적으로 접속 상태로 하여, 상기 제1 신호선에 유지된 상기 기록 데이터를 상기 데이터 회로에 전송한다.

본 발명의 불휘발성 반도체 메모리는, 메모리셀을 포함하는 메모리셀부와, 상기 메모리셀의 일단에 접속되는 제1 신호선과, 상기 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로와, 상기 제1 신호선과 상기 데이터 회로의 사이에 접속되는 제1 스위치 회로를 구비하고, 상기 메모리셀에 대하여 기록 전압이 인가되어 있는 동안은, 상기 제1 스위치 회로를 오프 상태로 하는 것에 의해 상기 제1 신호선과 상기 데이터 회로를 전기적으로 비 접속 상태로 하고, 상기 메모리셀에 대한 기록 데이터를 상기 제1 신호선에 유지하고, 상기 기록 전압의 인가 후에, 상기 제1 스위치 회로를 온 상태로 하는 것에 의해 상기 데이터 회로와 상기 제1 신호선을 전기적으로 접속 상태로 하여, 상기 제1 신호선에 유지된 상기 기록 데이터를 상기 데이터 회로에 전송하여, 상기 데이터 회로에 기억된 상기 기록 데이터를 이용하여, 상기 메모리셀에 대한 기록이 충분히 행해졌는지 여부를 조사하는 검증 판독을 행한다.

본 발명의 불휘발성 반도체 메모리는, 제1 메모리셀을 포함하는 제1 메모리셀부와, 제2 메모리셀을 포함하는 제2 메모리셀부와, 상기 제1 메모리셀의 일단에 접속되는 제1 신호선과, 상기 제2 메모리셀의 일단에 접속되는 제2 신호선과, 상기 제1 및 제2 신호선이 함께 접속되어, 상기 제1 또는 제2 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고, 상기 제1 메모리셀의 기록 또는 판독 데이터는, 상기 데이터 회로에 기억되고, 상기 제2 메모리셀에 대한 기록 또는 판독 데이터는 상기 제2 신호선에 유지된다.

본 발명의 불휘발성 반도체 메모리는, 제1 메모리셀을 포함하는 제1 메모리셀부와, 제2 메모리셀을 포함하는 제2 메모리셀부와, 상기 제1 메모리셀의 일단에 접속되는 제1 신호선과, 상기 제2 메모리셀의 일단에 접속되는 제2 신호선과, 상기 제1 및 제2 신호선이 함께 접속되어, 상기 제1 또는 제2 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고, 상기 제1 및 제2 메모리셀에 대한 기록을 거의 동시에 행하고, 상기 제2 메모리셀에 대하여 기록 전압을 인가하고 있는 동안은, 상기 제2 메모리셀에 대한 기록 데이터는, 상기 제2 신호선에 유지되고, 상기 제2 메모리셀에 대하여 기록 전압을 인가하고 있는 동안은, 상기 데이터 회로를 이용하여, 상기 제1 메모리셀에 대한 기록이 충분히 행해졌는지 여부를 조사하는 검증 판독이 행해진다.

본 발명의 불휘발성 반도체 메모리는, 제1 메모리셀을 포함하는 제1 메모리셀부와, 제2 메모리셀을 포함하는 제2 메모리셀부와, 상기 제1 메모리셀의 일단에 접속되는 제1 신호선과, 상기 제2 메모리셀의 일단에 접속되는 제2 신호선과, 상기 제1 및 제2 신호선이 함께 접속되어, 상기 제1 또는 제2 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고, 상기 제1 및 제2 메모리셀에 대한 기록을 거의 동시에 행하고, 상기 제2 메모리셀에 대하여 기록 전압을 인가하고 있는 동안은, 상기 제2 메모리셀에 대한 기록 데이터는, 상기 제2 신호선에 유지되어, 상기 제2 메모리셀에 대하여 기록 전압을 인가하고 있는 사이에, 상기 데이터 회로를 이용하여, 상기 제1 메모리셀에 대한 기록이 충분히 행해졌는지 여부를 조사하는 검증 판독이 행해지고, 상기 제1 메모리셀에 대하여 기록 전압을 인가하고 있는 동안은, 상기 제1 메모리셀에 대한 기록 데이터는, 상기 제1 신호선에 유지되고, 상기 제1 메모리셀에 대하여 기록 전압을 인가하고 있는 동안에, 상기 데이터 회로를 이용하여, 상기 제2 메모리셀에 대한 기록이 충분히 행해졌는지 여부를 조사하는 검증 판독이 행해진다.

본 발명의 불휘발성 반도체 메모리는, 제1 메모리셀을 포함하는 제1 메모리셀부와, 제2 메모리셀을 포함하는 제2 메모리셀부와, 상기 제1 메모리셀의 일단에 접속되는 제1 신호선과, 상기 제2 메모리셀의 일단에 접속되는 제2 신호선과, 상기 제1 및 제2 신호선이 함께 접속되어, 상기 제1 또는 제2 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고, 상기 제1 및 제2 메모리셀에 대한 기록을 거의 동시에 행하고, 상기 제2 메모리셀에 대하여 기록 전압을 인가하고 있는 동안은, 상기 제2 메모리셀에 대한 기록 데이터는, 상기 제2 신호선에 유지되고, 상기 제2 메모리셀에 대하여 기록 전압을 인가하고 있는 동안에, 상기 제1 신호선에 유지된 상기 제1 메모리셀에 대한 기록 데이터가 상기 데이터 회로에 전송되고, 또한, 상기 데이터 회로를 이용하여, 상기 제1 메모리셀에 대한 기록이 충분히 행해졌는지 여부를 조사하

는 검증 판독이 행해지고, 상기 제1 메모리셀에 대하여 기록 전압을 인가하고 있는 동안은, 상기 제1 메모리셀에 대한 기록 데이터는, 상기 제1 신호선에 유지되고, 상기 제1 메모리셀에 대하여 기록 전압을 인가하고 있는 동안에, 상기 제2 신호선에 유지된 상기 제2 메모리셀에 대한 기록 데이터가 상기 데이터 회로에 전송되고, 또한, 상기 데이터 회로를 이용하여, 상기 제2 메모리셀에 대한 기록이 충분히 행해졌는지 여부를 조사하는 검증 판독이 행해진다.

상기 제1 메모리셀과 상기 제2 메모리셀은, 상호 다른 워드선에 의해 선택된다.

본 발명의 불휘발성 반도체 메모리는, 제1 메모리셀을 포함하는 제1 메모리셀부와, 상기 제1 메모리셀의 일단에 접속되는 제1 신호선과, 제2 신호선과, 상기 제1 및 제2 신호선이 함께 접속되어, 상기 제1 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고, 상기 제1 메모리셀에 대한 기록 또는 판독 데이터가 상기 제2 신호선에 유지된다.

본 발명의 불휘발성 반도체 메모리는, 제1 메모리셀을 포함하는 제1 메모리셀부와, 상기 제1 메모리셀의 일단에 접속되는 제1 신호선과, 제2 신호선과, 상기 제1 및 제2 신호선이 함께 접속되어, 상기 제1 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고, 상기 제1 메모리셀에 대하여 기록 전압을 인가하고 있는 동안, 상기 제1 메모리셀에 대한 기록 데이터가 상기 제1 또는 제2 신호선에 유지되고, 상기 기록 전압의 인가 후에, 상기 데이터 회로와 상기 제2 신호선을 전기적으로 접속하여, 상기 제2 신호선에 유지된 상기 제1 메모리셀에 대한 기록 데이터를 상기 데이터 회로에 전송하고, 상기 데이터 회로에 기억된 기록 데이터를 이용하여, 상기 제1 메모리셀에 대하여 기록이 충분히 행해졌는지 여부를 조사하는 검증 판독을 행한다.

본 발명의 불휘발성 반도체 메모리는, 제1 메모리셀을 포함하는 제1 메모리셀부와, 상기 제1 메모리셀의 일단에 접속되는 제1 신호선과, 제2 신호선과, 제3 메모리셀을 포함하는 제3 메모리셀부와, 상기 제3 메모리셀의 일단에 접속되는 제3 신호선과, 제4 신호선과, 상기 제1, 제2, 제3 및 제4 신호선이 함께 접속되어, 상기 제1 또는 제3 메모리셀에 대한 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고, 상기 제1 및 제3 메모리셀에 대한 기록이 거의 동시에 행해지고, 상기 제1 및 제3 메모리셀에 대하여 기록 전압을 인가하고 있는 동안, 상기 제1 메모리셀에 대한 기록 데이터는, 상기 제1 또는 제2 신호선에 유지되고, 상기 제3 메모리셀에 대한 기록 데이터는, 상기 제3 또는 제4 신호선에 유지되며, 상기 데이터 회로를 이용하여, 상기 제1 메모리셀에 대하여 충분히 기록이 행해졌는지 여부를 조사하는 검증 판독이 행해지고, 상기 제1 메모리셀에 대한 검증 판독 동안, 상기 제3 메모리셀에 대한 기록 데이터가 상기 제4 신호선에 유지되고, 상기 데이터 회로와 상기 제4 신호선이 전기적으로 접속되어, 상기 제4 신호선에 유지된 상기 제3 메모리셀에 대한 기록 데이터가 상기 데이터 회로에 전송된 후, 상기 데이터 회로에 기억된 상기 제3 메모리셀에 대한 기록 데이터를 이용하여, 상기 제3 메모리셀에 대한 기록이 충분히 행해졌는지 여부를 조사하는 검증 판독이 행해지고, 상기 제3 메모리셀에 대한 검증 판독 동안, 상기 제1 메모리셀에 대한 기록 데이터가 상기 제2 신호선에 유지된다.

상기 제1 메모리셀과 상기 제3 메모리셀은, 동일 워드선에 의해 선택된다.

상기 기록 또는 판독 데이터를 상기 제1 신호선에 유지하고 있는 동안, 상기 제1 신호선에 이웃하는 신호선을 고정 전위로 설정하고, 상기 기록 또는 판독 데이터를 상기 제3 신호선에 유지하고 있는 동안, 상기 제3 신호선에 이웃하는 신호선을 고정 전위로 설정한다.

상기 고정 전위는, 접지 전위 또는 전원 전위이다.

상기 제1, 제2, 제3 및 제4 신호선은 비트선이다.

(실시 형태)

이하, 도면을 참조하면서, 본 발명의 불휘발성 반도체 메모리에 관해서 상세히 설명한다.

[전제]

우선, 이하의 설명을 이해하기 쉽게 하기 위해서, 전제 조건에 대해 다음과 같이 규정한다. 단지, 이 전제 조건은, 설명을 이해하기 쉽게 하기 위해서 설정하는 것이며, 본 발명은 이 전제 조건 이외의 조건의 경우에도 성립하는 것이다.

본 발명은 메모리셀에 n(n은, 3 이상의 자연수)치의 데이터가 기억되는 불휘발성 반도체 메모리를 대상으로 하지만, 이하의 실시의 형태에서는 그 대표예로서, 4치 NAND 셀형 EEPROM에 관해서 설명한다.

메모리셀에는, 4치의 데이터 "00", "01", "10", "11"이 기억되는 것으로 하고, 메모리셀의 임계치 전압이 가장 낮은 상태(예를 들면, 임계치 전압이 마이너스의 상태)를 데이터 "11" (또는 "0" 상태)로 하고, 메모리셀의 임계치 전압이 2번째로 낮은 상태(예를 들면, 임계치 전압이 플러스인 상태)를 데이터 "10" (또는 "1" 상태)로 하고, 메모리셀의 임계치 전압이 3번째로 낮은 상태(예를 들면, 임계치 전압이 플러스의 상태)를 데이터 "00" (또는 "2" 상태)로 하며, 메모리셀의 임계치 전압이 가장 높은 상태(예를 들면, 임계치 전압이 플러스의 상태)를 데이터 "01" (또는 "3" 상태)로 한다.

또한, 메모리셀에는 4치 데이터가 기억되는 것으로 하였기 때문에, 예를 들면, 기록/판독 시에는 홀수 페이지 데이터의 기록/판독 동작과 짝수 페이지 데이터의 기록/판독 동작이 필요해진다. 여기서, 데이터 "**" 중, 좌측의 *를 홀수 페이지 데이터로 하고, 우측의 *를 짝수 페이지 데이터로 한다.

또한, 메모리셀에 대해서는, 데이터 "11"이 기억되어 있는 상태를 소거 상태로 하고, 데이터"10", "O0", "01"이 기억되어 있는 상태를 각각 기록 상태로 한다.

[개략]

도 1은 본 발명에 관한 4치 NAND 셀형 EEPROM의 주요부를 나타내는 블록도이다.

1은 메모리셀 어레이이다. 메모리셀 어레이(1)는, 직렬 접속된 복수의 메모리셀과 그 양단에 1개씩 접속된 2개의 셀렉트 트랜지스터로 구성되는 NAND 셀 유닛을 갖는다. 메모리셀 어레이(1)의 구체적인 구조는, 도 54 내지 도 56에 도시한 바와 같다.

메모리셀 어레이(1)의 구조나 등가 회로는, 2치 NAND 셀형 EEPROM과 거의 동일하지만, 4치 NAND 셀형 EEPROM 에서는, 메모리셀에는 4치 데이터가 기억된다.

데이터 회로(2)는, 복수의 기억 회로를 포함하고 있다. 데이터 회로(2)에 대해서는, 후에 상술한다. 여기서는, 데이터 회로(2)의 기능에 관해서 간단히 진술한다.

데이터 회로(2)는, 기록 시에 2 비트(4치)의 기록 데이터를, 판독 시에 2 비트(4치)의 판독 데이터를 일시적으로 기억하여 놓은 기억 회로를 포함하고 있다. 구체적으로는, 선택된 메모리셀에 접속되는 1개의 비트선에 대응하여 2개의 기억 회로가 설치된다.

2개의 기억 회로 중의 한쪽은, 예를 들면, 홀수 페이지 데이터를 일시적으로 기억하고, 2개의 기억 회로중의 다른 쪽은, 예를 들면, 짝수 페이지 데이터를 일시적으로 기억한다. 2개의 기억 회로에 기억된 홀수/짝수 페이지 데이터는, 기록 시에 메모리셀에 기록되어, 판독 시에 메모리칩(11)으로부터 출력된다.

워드선 제어 회로(3)는, 로우 어드레스 디코더 및 워드선 드라이버를 포함하고 있다. 워드선 제어 회로(3)는, 동작 모드(기록, 소거, 판독 등)나 로우 어드레스 신호에 기초하여, 메모리셀 어레이(1)내의 각 워드선의 전위를 제어한다. 워드선 제어 회로(3)에 대해서는, 후에 상술한다.

컬럼 디코더(4)는, 컬럼 어드레스 신호에 기초하여, 메모리셀 어레이(1)의 컬럼을 선택한다.

기록 시, 선택된 컬럼에 속하는 데이터 회로내의 기억 회로에는, 입력 데이터가 데이터 입출력 버퍼(7) 및 I/O 감지 증폭기(6)를 경유하여 입력된다. 또한, 판독 시, 선택된 컬럼에 속하는 데이터 회로내의 기억 회로의 출력 데이터는, I/O 감지 증폭기(6) 및 데이터 입출력 버퍼(7)를 경유하여 메모리칩(11)의 외부로 출력된다.

로우 어드레스 신호는, 어드레스 버퍼(5)를 경유하여 워드선 제어 회로(3)에 입력된다. 컬럼 어드레스 신호는, 어드레스 버퍼(5)를 경유하여, 컬럼 디코더(4)에 입력된다.

웰 전위 제어 회로(8)는 동작 모드(기록, 소거, 판독 등)에 기초하여, 메모리셀이 배치되는 셀 웰 영역(예를 들면, n 웰과 p 웰로 이루어지는 더블 웰 영역)의 전위를 제어한다.

전위 발생 회로(승압 회로)(9A)는, 예를 들면, 기록 시에, 기록 전위(예를 들면, 약20 V) Vpp나 전송 전위(예를 들면, 약1 0 V) Vpass를 발생한다. 이것들의 전위 Vpp, Vpass는, 전환 회로(9B)에 의해, 예를 들면, 선택된 블록 내의 복수 라인의 워드선에 분류된다.

또한, 전위 발생 회로(9A)는, 예를 들면, 소거 시에, 소거 전위(예를 들면, 약20 V) VppE를 발생하고, 이 전위 VppE를 메모리셀이 배치되는 셀 웰 영역(n 웰과 p 웰의 쌍방)에 제공한다.

일괄 검지 회로(10)는, 기록 시에, 메모리셀에 정확하게 소정의 데이터가 기록되었는지 여부를 검증하고, 소거시에, 메모리셀의 데이터가 깔끔히 소거되었는지의 여부를 검증한다.

본 발명의 제1 특징은, 데이터 회로(2)에 있다. 즉, 본 발명에서는, 후에 상술하는 바와 같이, 데이터 회로(2)내에 배치되는 다치 데이터(n 치 데이터)의 일시 기억용으로서 이용되는 복수의 기억 회로 중의 적어도 1개를, DRAM 셀(캐패시터)로 구성한다. 예를 들면, 4치 NAND 셀형 EEPROM과 같이, 4치 데이터의 일시 기억용으로서 2개의 기억 회로를 이용하는 경우에는, 한쪽의 기억 회로를 SRAM 셀(래치 회로)로 하고, 다른 쪽의 기억 회로를 DRAM 셀로 한다.

주지와 같이, DRAM (dynamic RAM) 셀의 면적은, SRAM (static RAM) 셀의 면적보다도 작기 때문에, n (n은, 3 이상의 자연수)값 NAND 셀형 EEPROM 에 관해서 생각하면, 복수의 기억 회로의 일부를 DRAM 셀로 구성하는 경우에는, 종래와 같이 모든 기억 회로를 SRAM 셀만으로 구성하는 경우보다도, 데이터 회로(2)의 면적을 작게 할 수가 있다.

본 발명의 제2 특징은, 워드선 제어 회로(3)에 있다. 즉, 본 발명에서는,후에 상술하는 바와 같이, 워드선 제어 회로(3)를 로우 어드레스 디코더와 워드선 드라이버로 구성하고, 메모리셀 어레이(1)의 한쪽 측에만 로우 어드레스 디코더를 배치하여, 메모리셀 어레이(1)의 양측에 각각 워드선 드라이버를 배치하는 레이아웃을 C 용한다.

이 경우, 메모리셀 어레이(1)의 한쪽 측의 로우 어드레스 디코더와 다른쪽 의 워드선 드라이버를 접속하기 위한 신호선이 메모리셀 어레이(1) 상에 배치된다. 본 발명에서는, 이 신호선이 메모리셀의 동작에 제공하는 악 영향을 최소한으로 억제하기 위해서, 워드선 제어 회로(3)를 개선하고 있다.

본 발명의 제3 특징은, 판독 동작에 있다. 즉, 본 발명에서는, 예를 들면, 4치 데이터와 메모리셀의 임계치 전압의 관계를, 도 13에 도시한 바와 같이 설정하고 있다 (상세는 후술한다).

이 경우, 짝수 페이지 데이터의 판독은, 2회의 판독 동작("READ01", "READ10")에 의해 판독되고, 홀수 페이지 데이터의 판독은, 1회의 판독 동작(READ "00")에 의해 판독된다. 즉, 합계 3회의 판독 동작에 의해, 4치 데이터를 판독할 수 있어, 판독 시간의 단축(판독의 고속화)을 도모할 수 있다.

본 발명의 제4 특징은, 기록 동작(특히, 검증 동작)에 있다. 즉, 본 발명에서는, 예를 들면, 4치 데이터와 메모리셀의 임계치 전압의 관계를, 도 13에 도시한 바와 같이 설정하고 있다 (상세는, 후술한다).

이 경우, 짝수 페이지 데이터의 기록 동작에 있어서, "11", "10"이 메모리셀에 기록된다. 그리고, 홀수 페이지 데이터의 기록 동작에 있어서, 홀수 페이지 데이터가 "O"일 때, "11" 상태는, "O1" 상태로 변경되고, "10" 상태는 "00" 상태로 변경된다. 여기서, "11" 상태를 "O1" 상태로 변경하는 경우의 임계치 전압의 변동량은, "10" 상태를 "00" 상태로 변경하는 경우의 임계치 전압의 변동량보다도 커진다.

따라서, "O0" 기록은, 당연히, "01"기록보다도 빠르게 종료하기 때문에, "0"기록 종료 후에는, "0" 검증 판독을 생략하고, "01" 검증 판독만을 행하면 좋다. 이에 따라, 4치 데이터의 기록에 관하여, 기록 시간의 단축(기록의 고속화)을 도모할 수 있다.

본 발명의 제5 특징은, 예를 들면, 기록 동작에 있어서, 데이터 회로(2)내에, 래치 회로 대신에 설치한 DRAM 셀 캐패시터에 대하여, 리프레시 동작을 행하는 점에 있다. 즉, 본 발명에서는, 상술한 제1 특징에 도시한 바와 같이, 다치 데이터 (n 치 데이터)의 일시 기억용으로서 이용되는 복수의 기억 회로 중의 적어도 1개를 DRAM 셀(캐패시터)로 변경하고 있다.

이 경우, 데이터 회로의 면적을 작게 할 수 있다고 하는 효과를 얻을 수 있지만, 캐패시터의 전하는 누설에 의해 점차 감소하여 가기 때문에, 누설에 의한 데이터 변동이 문제가 된 경우에는, DRAM 셀에 대하여 리프레시 동작이 필요하게 된다. 즉, 기록 시에서, 통상의 기록 시퀀스에, 데이터 회로(2)내의 DRAM 셀에 대한 리프레시 시퀀스를 추가해야만 한다.

본 발명의 제6 특징은, 데이터 회로 내에, 라이트 캐쉬를 설치한 점에 있다. 이 경우, 예를 들면, 복수페이지에 걸치는 기록을 실행하면, 기록(기록 펄스 인가) 와 기록 데이터의 입력을 병렬로 행할 수 있기 때문에, 실질적으로, 2 페이지째 이후의 데이터 로드 시간을 불필요로 할 수 있어 기록의 고속화를 도모할 수 있다.

본 발명의 제7 특징은, 데이터 회로내에 설치한 라이트 캐쉬가 DRAM 셀(캐패시터)로 구성되는 경우에, 누설에 의한 데이터 변동이 문제가 될 때에는, DRAM 셀에 대하여 리프레시 동작을 행하는 점에 있다.

이하, 본 발명에 관한 4치 NAND 셀형 EEPROM에 관해서, 상기 제1 내지 제7 특징과 같이 상세히 설명한다.

[데이터 회로] … 제1 특징

도 2는, 도 1의 데이터 회로(2)의 일례를 보이고 있다. 도 3은, 도 2의 메모리셀 어레이(1)의 일부를 나타내고 있다.

본 예에서는, 1 컬럼분만의 데이터 회로를 도시한다. 실제는, 예를 들면, 메모리셀 어레이(1)의 복수의 컬럼의 각각에 대하여 1개의 데이터 회로가 설치된다. 즉, 도 1의 데이터 회로(2)는, 메모리셀 어레이(1)의 복수의 컬럼에 대응하는 복수의 데이터 회로에 의해 구성된다.

또한, 본 예에서는, 1 컬럼내에 2개의 비트선 BLe, BLo가 배치되고, 이 2개의 비트선 BLe, BLo에 1개의 데이터 회로가 접속된다. 이와 같이, 1개의 데이터 회로에 2개의 비트선 BLe, BLo를 접속하는 이유는, (1) 판독 시에 있어서, 상호 인접하는 비트선 사이에 용량 결합에 의한 노이즈가 생기는 것을 방지하고 (실드 비트선 판독 수법의 채용), (2) 데이터 회로의 수를 줄여, 칩 면적의 축소를 도모하는 등의 목적을 달성하는 것에 있다.

또한, 본 예에서는, 4치 데이터(2 비트 데이터)를 1개의 메모리셀에 기억시키는 것을 전제로 하기 때문에, 1개의 데이터 회로 내에는, 기록/ 판독 시에 있어서의 4치 데이터의 일시 기억용으로서 2개의 기억 회로가 설치된다.

LATCH1은, 2개의 기억 회로 중의 1개이고 래치 회로이다. 래치 회로 LATCH1는, 클럭드 인버터 CINV1, CINV2로 구성되는 플립플롭 회로(SRAM 셀)로 구성된다. 래치 회로 LATCH1은, 제어 신호 SEN, SENB, LAT, LATB에 의해 제어된다.

또, 신호 "*** B"는, 신호 "***"의 반전 신호를 의미한다. 즉, 신호"*** B"의 레벨과 신호"***"의 레벨은, 상호 역상(한쪽이 "H"일 때, 다른 쪽은 "L")이다. 이하, 전부 동일하다.

DLN (C1)은, 2개의 기억 회로중의 다른 1개를 구성하는 캐패시터를 보이고 있다. 이 캐패시터 DLN (Cl)은, 전원 전압 Vcc 이하의 전압이 인가되는 저전압용 공핍형 N 채널 MOS 트랜지스터(MOS 캐패시터)로 구성된다. 본 예에서는, N 채널 MOS 트랜지스터 TN5가 게이트로서 기능하고, 노드 CAPlij에 데이터가 래치된다. 즉, 래치 회로는, 캐패시터DLN (C1)과 MOS 트랜지스터 TN5로 이루어지는 DRAM 셀로 구성된다.

또, 도 2에 있어서, 기호"HN** (*는, 숫자, 기호 등)"이 첨부되고 있는 MOS 트랜지스터는, 예를 들면, 약 0.6V의 임계치 전압을 갖는 고전압 인핸스먼트 N 채널 MOS 트랜지스터이다. 이 MOS 트랜지스터에는, 전원 전압 Vcc보다도 높은 전압이 인가된다. 이 MOS 트랜지스터는, 게이트가 0V일 때, 오프 상태가 된다.

또한, 기호"DLN**"가 첨부되고 있는 MOS 트랜지스터는, 예를 들면, 약 11V의 임계치 전압을 갖는 저전압 공핍형 N 채널 MOS 트랜지스터이고, 전원 전압 Vcc 이하의 전압이 인가된다. 본 예에서는, 이 트랜지스터를 MOS 캐패시터로서 사용하고 있다.

또한, 기호"TN**"가 부여되어 있는 MOS 트랜지스터는, 예를 들면, 약 0.6V의 임계치 전압을 갖는 저전압 인핸스먼트 N 채널 MOS 트랜지스터이고, 전원 전압 Vcc 이하의 전압이 인가된다. 이 트랜지스터는, 게이트가 OV일 때, 오프 상태가 된다.

MOS 트랜지스터 HN1e, HN1o, HN2e, HN2o는, 예를 들면, 판독 시에, 2개의 비트선 BLe, BLo 중의 1개를, 데이터가 판독되는 비트선으로 하여, 남은 1개를 실드 비트선으로 하는 기능을 갖는다.

즉, BLCRL은, 접지 전위 Vss로 설정된다. 또한, BIASo가 "H", BIASe가 "L"일 때, 비트선 BLe에 데이터가 판독되고, 비트선 BLo는 비트선 BLe에 데이터를 판독할 때의 노이즈를 방지하는 실드 비트선이 된다. 한편, BIASe가 "H", BIASo가 "L"일 때, 비트선 BLo에 데이터가 판독되고, 비트선 BLe는, 비트선 BLo에 데이터를 판독할 때의 노이즈를 방지하는 실드 비트선이 된다.

MOS 트랜지스터 TN7는, 판독 시에, 2개의 비트선 BLe, BLo 중, 데이터가 판독되는 1개의 비트선을, 예를 들면, 미리 전원 전위 Vcc로 설정하여 놓기 위한 비트선 프리차지용 MOS 트랜지스터이다. MOS 트랜지스터 TN7는, 제어 신호 BLPRE에 의해 제어된다.

MOS 트랜지스터 TN9는, 비트선 BLe, BLo와 데이터 회로(주요부)의 전기적인 접속/절단을 제어하는 클램프용 MOS 트랜지스터이다. MOS 트랜지스터 TN9는, 예를 들면, 판독 시에, 비트선 BLe, BLo를 프리차지한 후, 비트선 BLe, BLo에 판독된 데이터를 감지하기 까지, 비트선 BLe, BLo를 플로팅 상태로 하여두는 기능을 갖는다. MOS 트랜지스터 TN9는, 제어 신호 BLCLMP에 의해 제어된다.

MOS 트랜지스터 TN1, …TN6, TN8, TN10은, 기록/ 판독 시(또는 검증 판독 시)에 있어서, 홀수/짝수 페이지 데이터의 제어를 하거나, 또한, 기록/소거시에 있어, 검증 판독 후, 선택된 모든 메모리셀에 대하여 깔끔히 기록/ 소거가 행해졌는지의 여부를 조사하기 위해서 설치된다 (Program/Erase completion detection).

또, 출력 신호 COMi는, 기록/소거 완료 검출(Program/Erase completion detection) 시에 사용된다.

MOS 트랜지스터 TP1은, 감지 노드(DTNiJ)를 Vdd로 프리세트하는 프리 셋트용 트랜지스터이다. MOS 트랜지스터 TP1은, 제어 신호 nPRST에 의해 제어된다.

MOS 트랜지스터 TNl0은, 래치 회로 LATCH1의 2개의 출력 노드 Naij, Nbij의 전위를 이퀄라이즈하는 이퀄라이즈 회로이다. MOS 트랜지스터 TNl0은, 제어 신호 EQPB에 의해 제어된다.

MOS 트랜지스터 TN11, TN12는, 노드 Naij, Nbij와 입출력선 IOj, nIOj의 전기적인 접속/ 절단을 결정하는 컬럼 스위치로서 기능한다. 컬럼 선택 신호 CSLi가 "H"일 때, MOS 트랜지스터 TN11, TN12가 온 상태로 되어, 래치 회로의 출력 노드 Naij, Nbij가 입출력선 Ioj, nIOj에 전기적으로 접속된다.

컬럼 선택 신호 CSLi는 도 1의 컬럼 디코더(4)로 출력된다. 컬럼 디코더로서는, 예를 들면, 도 4에 도시한 바와 같이, AND 회로로 구성된다. 즉, 예를 들면, CAk1, CBK2, CCK3이 모두 "H"일 때, 컬럼 선택 신호 CSLi가 "H"가 된다.

또한, 도 2에 있어서, Vdd(예를 들면, 약2.3V)는 외부 전원 전위 Vcc보다도 낮은 칩내 전원 전위이다. 칩내 전원 전위 Vdd는 강압 회로에 의해 외부 전원 전위 Vcc로부터 생성된다. 단지, 칩내 전원 전위 Vdd 대신에 외부 전원 전위 Vcc를 데이터 회로에 공급하더라도 좋다.

[일괄 검지 회로]

도 5는 도 1의 일괄 검지 회로(10)의 주요부를 나타내고 있다.

일괄 검지 회로(10)는 검증 판독 후, 선택된 모든 메모리셀에 대하여 기록/소거가 잘 행해졌는지의 여부를 조사하는 기능을 갖는다(Program/Erase completion detection).

각 데이터 회로는 각각 도 2에 도시한 바와 같은 구성을 갖는다. REG2-k(k=0,1,2,3)는, 제 k+ 1 및 제 k+ 5의 데이터 회로내의 REG2(도 2 참조)가 된다.

제1 내지 제4 데이터 회로의 출력 노드 COMi는 공통 접속되고, 그 접속 노드 COMl1는 P 채널 MOS 트랜지스터 TP2의 게이트에 접속된다. 마찬가지로, 제5 내지 제8 데이터 회로의 출력 노드 COMi도 공통 접속되고, 그 접속 노드 COMi2는 P 채널 MOS 트랜지스터 TP3의 게이트에 접속된다.

P 채널 MOS 트랜지스터 TP13, TP14는, 기록/소거 완료 검출시에, 노드 COMi1, COMi2를 칩내 전원 전위 Vdd로 설정한 후, 플로팅 상태로 하는 기능을 갖는다. MOS 트랜지스터 TN13, TN14는 제어 신호 COMHn에 의해 제어된다.

N 채널 MOS 트랜지스터 TN15는, 기록/소거 완료 검출시에, 노드 NCOM을 접지 전위 Vss로 설정한 후, 플로팅 상태로 하는 기능을 갖는다. MOS 트랜지스터 TN15는 제어 신호 NCOML에 의해 제어된다.

기록/소거 완료 검출, 기록/소거가 충분히 행해지지 않은 메모리셀에 대응하는 데이터 회로에서는, COMi(도 2 참조)의 전위 레벨이 "H"에서 "L"로 저하한다. 따라서, 노드 NCOM이 "L"에서 "H" 가 되고, FLAG는 "L"이 된다.

한편, 모든 메모리셀에 대하여, 기록/소거가 충분히 행해지고 있는 경우에는, 모든 데이터 회로의 출력 신호 COMi(도 2 참조)의 전위 레벨이 "H"를 유지한다. 따라서, 노드 NCOM은 "L" 그대로이고, FLAG는 "H"이 된다.

이와 같이, 노드 FLAG의 전위 레벨을 검출함으로써, 선택된 모든 메모리셀에 대하여, 기록/소거가 잘 행해졌는지의 여부를 조사할 수 있다. 또한, 기록/소거 완료 검출 시의 동작에 대해서는, 후에 상술한다.

본 예에서는, 8개의 데이터 회로를 1개로 통합하여, 이들 8개의 데이터 회로에 대응하는 8 컬럼의 메모리셀에 대하여, 노드 FRAG의 전압 레벨을 검출함으로써, 기록/소거가 충분히 행해졌는지의 여부를 조사하고 있다.

이와 같이, 8개의 데이터 회로를 통합한 것은, 이들 8개의 데이터 회로에 대응하는 8 컬럼 단위로, 리던던시 회로에 의한 메모리셀의 치환을 행하기 위해서이다. 즉, 퓨즈 소자(파선으로 둘러싼 부분)을 절단하면, 이들 8개의 데이터 회로에 접속되는 메모리셀은, 항상 비선택 상태가 되며, 이것 대신에, 리던던시 영역의 예비의 메모리셀이 선택된다.

따라서, 리던던시 회로에 의한 메모리셀의 치환을 n(n은, 자연수)개의 데이터 회로에 대응하는 n 컬럼 단위로 행할 경우에는, n개의 데이터 회로를 통합한다.

또한, FRAG는 모든 컬럼에 대응하는 공통 노드로 되어 있다. 예를 들면, 컬럼수가 2048인 경우, 8개의 데이터 회로(컬럼)를 리던던시 치환의 단위로 하면, 칩내에는, 도 5에 도시한 바와 같은 회로가 256개 존재하게 된다. 그리고, 이들 256개의 회로는 공통 노드 FRAG에 접속된다.

[워드선 제어 회로]...제2 특징

도 6은 도 1의 워드선 제어 회로3의 구체예를 나타내고 있다.

메모리셀 어레이(1)는 컬럼 방향에 배치된 복수개의 메모리셀 블록으로 구성된다. 각각의 메모리셀 블록은, 로우 방향으로 배치된 복수의 NAND 셀 유닛을 갖는다. 메모리셀 어레이 및 NAND 셀 유닛의 구체예에 대해서는, 도 54 내지 도 56에 도시한 바와 같다.

본 예에서는, 1개의 메모리셀 블록에 대응하여, 1개의 로우 어드레스 디코더와 1개의 워드선 드라이버가 설치된다.

예를 들면, 제1 메모리셀 블록 내의 워드선 WL1,…WL16 및 셀렉트 게이트선 SG1, SG2는 제1 워드선 드라이버 RMAIN1에 접속되고, 제1 워드선 드라이버 RMAIN1는 제1 메모리셀 블록의 선택/비선택을 결정하는 제1 로우 어드레스 디코더 RADD1의 출력 신호(디코드 결과)를 받는다.

이와 같이, 제 i(i=1,2,…)의 메모리셀 블록 내의 워드선 WL1,··WL16 및 셀렉트 게이트선 SG1, SG2는 제 i의 워드선 드라이버 RMAINi에 접속되고, 제 i의 워드선 드라이버 RMAINi는 제1 메모리셀 블록의 선택/비선택을 결정하는 제 i의 로우 어드레스 디코더 RADDi의 출력 신호(디코드 결과)를 받는다.

여기서, 본 예에서는, 워드선 드라이버를 메모리셀 어레이(1)의 양측(로우 방향의 2개의 단부)에 배치하고 있다.

구체적으로는, 홀수번째의 메모리셀 어레이 블록에 대응하는 워드선 드라이버 RMAIN1, RMAIN3,…는 메모리셀 어레이(1)의 로우 방향의 2개의 단부 중 한쪽(좌측)에 배치되고, 짝수번째의 메모리셀 어레이 블록에 대응하는 워드선 드라이버 RMAIN2, RMAIN4,…는 메모리셀 어레이(1)의 로우 방향의 2개의 단부 중 다른쪽(우측)에 배치된다.

이와 같이, 워드선 드라이버 RMAINi를 메모리셀 어레이(1)의 양단에 배치함으로써, 워드선 드라이버 RMAINi의 설계를 용이하게 할(또는 레이아웃의 자유도를 크게 할) 수 있다. 즉, 본예의 경우, 1개의 워드선 드라이버는, 컬럼 방향에 관하여 메모리셀 블록 2개분의 레이아웃 스페이스를 확보할 수 있다.

또한, 1개의 메모리셀 블록 내의 워드선 WL1,…WL16 및 셀렉트 게이트선 SG1, SG2는 이 메모리셀 블록에 대응하는 워드선 드라이버에 의해, 항상, 메모리셀 어레이(1)의 일측(또는 다른측)으로부터 구동되기 때문에, 선택된 블록 내의 소정의 1개의 NAND 셀 유닛내의 메모리셀 및 셀렉트 트랜지스터에 관하여, 구동 신호가 공급되는 것 타이밍의 격차는 생기지 않는다.

한편, 로우 어드레스 디코더 RADDi(i=1,2,··)는 메모리셀 어레이(1)의 로우 방향의 2개의 단부중의 한쪽(일측)에만 배치된다. 이 경우, 로우 어드레스 신호를 로우 어드레스 디코더 RADDi에 공급하기 위한 신호선(어드레스 버스)를 메모리셀 어레이(1)의 일측에만 배치하면 되기 때문에, 어드레스 버스의 면적을 줄일 수 있으며, 결과적으로 칩 면적의 축소에 공헌할 수 있다.

즉, 만일, 워드선 드라이버 RMAINi와 마찬가지로, 로우 어드레스 디코더 RADDi를, 메모리셀 어레이(1)의 로우 방향의 2개의 단부의 각각에 배치하면, 어드레스 버스에 관해서도, 메모리셀 어레이(1)의 로우 방향의 2개의 단부의 각각에 배치해야만 하며, 칩 면적의 축소에 관해서는 불리해진다.

로우 어드레스 디코더 RADDi를 메모리셀 어레이(1)의 로우 방향의 2개의 단부 중 한쪽(일측)에만 배치한 결과, 본 예에서는, 신호선(22)이 메모리셀 어레이(1)상에 배치된다. 신호선(22)은 짝수번째의 메모리셀 어레이 블록에 대응하는 로우 어드레스 디코더 RADD2,RADD4,…의 출력 신호(디코드 결과) RDECADS를, 워드선 드라이버 RMAIN2,RMAIN4,…에 공급하기 위해서 사용된다.

이 신호선(22)에는, 통상 동작시에 있어서, 신호 RDECADS가 전해진다. 따라서, 통상 동작시, 이 신호선(22)의 전위가 메모리셀의 동작에 악영향을 끼치지 않도록 할 필요가 있다. 본 발명은, 이 신호선(22)의 전위가 메모리셀의 동작에 악영향을 끼치지 않는 신규의 로우 어드레스 디코더 RADDi 및 워드선 드라이버 RMAINi를 제공한다. 이것에 대해서는 후에 상술한다.

전위 발생 회로(9A)는, 승압 회로(차지 펌프 회로)를 가지며, 예를 들면, 기록시에 사용하는 기록 전위 Vpp나 전송 전위 Vpass를 생성한다. 전위 발생 회로(9A)는 전환 회로(9B)에 접속된다. 전환 회로(9B)는 기록 전위 Vpp, 전송 전위 Vpass, 칩내 전원 전위 Vdd, 접지 전위 Vss 등의 전위를 워드선 WL1,…WL16에 대응하는 신호선 CG1, CG16로 분류하는 기능을 갖는다.

신호선 CG1,…CG16은 워드선 드라이버 RMAINi에 접속된다. 즉, 신호선 CG1,··CG16은 워드선 드라이버 RMAINi 내의 전위 전송용 트랜지스터 HNtl,HNt2,HNt16(후술함)을 경유하여, 워드선 WL1,…WL16에 접속된다.

[디바이스 구조]…도 6의 신호선(22)에 관하여

도 7은 도 6에 있어서의 홀수번째의 메모리셀 블록의 컬럼 방향의 단면을 도시하고 있다.

홀수번째의 메모리셀 블록에서는, 로우 어드레스 디코더 RADD1,RADD3,… 및 워드선 드라이버 RMAIN1,RMAIN3,…은 모두 메모리셀 어레이(1)의 일측에 배치되기 때문에, 로우 어드레스 디코더 RADD1, RADD3, …과 워드선 드라이버 RMAIN1, RMAIN3, …을 접속하는 신호선은 메모리셀 어레이(1)상에 배치되지 않는다.

이하, 구체적인 구조에 관해서 설명한다.

p형 실리콘 기판(11-1)내에는, n형 웰 영역(11-2) 및 p형 웰 영역(11-3)으로 구성되는 더블웰 영역이 형성된다. 예를 들면, 직렬 접속된 16개의 메모리셀 M1, …M16은 p형 웰 영역(l1-3)상에 형성된다. 각 메모리셀은 N 채널형 MOS 트랜지스터로 구성되고, 또한, 플로팅 게이트 전극과 콘트롤 게이트 전극으로 이루어진 스택 게이트 구조를 갖는다.

직렬 접속된 메모리셀 M1, …M16의 2개의 단부에는, 각각 셀렉트 트랜지스터 S1, S2가 접속된다. 셀렉트 트랜지스터 S1, S2는, N 채널형 MOS 트랜지스터로 구성된다. 예를 들면, 비트선측의 셀렉트 트랜지스터 S1의 확산층(드레인)(24)은, 제1 배선층 M0내의 금속 배선 B에 접속되고, 소스선측의 셀렉트 트랜지스터 S2의 확산층(소스)(25) 제1 배선층 M0내의 소스선 SL에 접속된다.

셀렉트 트랜지스터 S1의 게이트 전극(셀렉트 게이트선(폴리실리콘))은, 그 셀렉트 게이트선의 배선 저항을 낮게 하기 위해서, 제1 배선층 M0내의 금속 배선 SG1에 접속된다. 셀렉트 게이트선(폴리실리콘)과 금속 배선 SG1의 컨택트부는, 예를 들면, 셀렉트 게이트선이 528개의 비트선과 교차할 때마다 설치된다.

마찬가지로, 셀렉트 트랜지스터 S2의 게이트 전극(셀렉트 게이트선(폴리실리콘))은, 그 셀렉트 게이트선의 배선 저항을 낮게 하기 위해서, 제1 배선층 M0내의 금속 배선 SG2에 접속된다. 셀렉트 게이트선(폴리실리콘)과 금속 배선 SG2의 컨택트부는, 예를 들면, 셀렉트 게이트선이 528개의 비트선과 교차할 때마다 설치된다.

제1 배선층 M0상에 설치되는 제2 배선층 M1 내에는 비트선 BL이 배치된다. 비트선 BL은 컬럼 방향으로 연장되고, 또한, 제1 배선층 M0내의 금속 배선 B를 경유하여, 셀렉트 트랜지스터 S1의 확산층(드레인)(24)에 접속된다.

또한, 제1 및 제2 배선층 M0, M1내의 각 신호선은 예를 들면 알루미늄, 구리, 이것들의 합금등으로 구성된다.

메모리셀 M1, …M16 상으로서, 또한, 금속 배선 SG1, SG2의 사이에는 로우 실드선(Row shleld line)(23)이 배치된다.

로우 실드선(23)은 기록/판독시에 소위 커플링 노이즈를 방지하여, 소거시에 비선택 워드선의 전위를 충분히 상승시키기 위해서 등을 목적으로 하여 배치된다. 로우 실드선(23)은, 통상, 더블웰 영역(셀 웰)(11-2,11-3)의 전위와 동일 전위로 설정된다.

기록/판독시에는, 통상, 셀 웰 전위는 접지 전위 Vss로 설정되기 때문에, 이 때, 로우 실드선(23)도 접지 전위 Vss로 고정된다. 이 경우, 비트선 BL과 워드선 WL 사이의 용량 결합이 거의 없어지기 때문에, 비트선을 전하는 데이터에 대한 커플링 노이즈의 발생을 방지할 수 있다.

또한, 기록/판독시에 있어서, 비선택 블록 내의 셀렉트 게이트선(금속 배선) SGl, SG2f, 접지 전위 Vss로 설정된다. 이 때문에, 셀렉트 게이트선(금속 배선) SGl, SG2도 기록/판독시에 있어서의 실드선으로서의 기능을 갖는다.

이와 같이, 기록/판독시에 로우 실드선(23) 및 비선택 블록 내의 셀렉트 게이트선(금속 배선)SG1, SG2을 각각 접지 전위 Vss로 설정함으로써, 비트선 BL과 워드선 WL 사이의 용량 결합을 적게 하여, 비트선을 전하는 데이터에 커플링 노이즈가 가해지는 것을 방지한다.

한편, 소거시에는, 로우 실드선(23)은 소거 전위 Vera(예를 들면, 약 20V)로 설정된다. 그 이유는, 소거시에, 비선택 블록 내의 워드선 WL의 전위를 충분히 상승시키는 데 있다.

즉, 소거시, 비선택 블록의 워드선(콘트롤 게이트선) WL은, 플로팅 상태에 있고, 더블웰 영역(셀 웰)(11-2,11-3)에 소거 전위(예를 들면, 약 20V)를 제공했을 때에, 용량 커플링에 의해 비선택 블록의 워드선 WL의 전위를 상승시키도록 하고 있다.

따라서, 소거시에, 로우 실드선(23)을 소거 전위 Vera로 설정해 두면, 셀 웰(11-21,11-3)의 전위를 예를 들면 접지 전위 Vss에서 소거 전위 Vera로 상승시켰을 때에, 워드선 WL의 전위가 로우 실드선(23)의 전위에 영향받지 않게 되어, 비선택 블록 내의 워드선 WL의 전위를 소거 전위 Vera와 동일 정도까지 충분히 상승시킬 수 있다.

또한, 비선택 블록 내의 워드선 WL의 전위가 소거 전위 Vera와 동일 정도까지 충분히 상승하기 때문에, 비선택 메모리셀에 있어서, 플로팅 게이트 전극과 셀 웰 사이의 터널 산화막에 큰 전계가 걸리는 일없이 오 소거도 방지할 수 있다.

이 때, 만일, 로우 실드선(23)의 전위가 접지 전위 Vss 또는 전원 전위 Vcc이면, 워드선 WL의 전위는 로우 실드선(23)의 전위(Vss 또는 Vcc)에 영향을 받아서 소거 전위 Vera와 동일 정도까지 상승하지 않게 된다. 따라서, 비선택 메모리셀에 있어서, 터널 산화막에 큰 전계가 걸리고, 오 소거가 발생할 경우가 있다.

도 8은 도 6에 있어서의 짝수번째의 메모리셀 블록의 컬럼 방향의 단면을 도시하고 있다.

짝수번째의 메모리셀 블록에서는, 로우 어드레스 디코더 RADD2, RADD4, …는, 메모리셀 어레이(1)의 로우 방향의 일단에 배치되고, 워드선 드라이버 RMAIN2, RMAIN4, …는, 메모리셀 어레이(1)의 로우 방향의 타단에 배치된다. 따라서, 로우 어드레스 디코더 RADD2, RADD4, …와 워드선 드라이버 RMAIN2, RMAIN4, …를 접속하는 신호선(22)이 메모리셀 어레이(1)상에 배치된다.

이하, 구체적인 구조에 관해서 설명한다.

p형 실리콘 기판(11-1)내에는, n형 웰 영역(11-2) 및 p형 웰 영역(11-3)으로 구성되는 더블웰 영역이 형성된다. 예를 들면, 직렬 접속된 16개의 메모리셀 M1, …M16은, p형 웰 영역(11-3)상에 형성된다. 각 메모리셀은, N 채널형 MOS 트랜지스터로 구성되고, 또한, 플로팅 게이트 전극과 콘트롤 게이트 전극으로 이루어진 스택 게이트 구조를 갖는다.

직렬 접속된 메모리셀 M1, …M16의 2개의 단부에는, 각각 셀렉트 트랜지스터 S1, S2가 접속된다. 셀렉트 트랜지스터 S1, S2는 N 채널형 MOS 트랜지스터로 구성된다. 예를 들면, 비트선측의 셀렉트 트랜지스터 S1의 확산층(드레인)(24)은 제1 배선층 M0내의 금속 배선 B에 접속되고, 소스선측의 셀렉트 트랜지스터 S2의 확산층(소스)(25)는 제1 배선층 M0내의 소스선 SL에 접속된다.

셀렉트 트랜지스터 S1의 게이트 전극(셀렉트 게이트선(폴리실리콘))은, 그 셀렉트 게이트선의 배선 저항을 낮게 하기 위해서, 제1 배선층 M0내의 금속 배선 SG1에 접속된다. 셀렉트 게이트선(폴리실리콘)과 금속 배선 SG1의 컨택트부는, 예를 들면 셀렉트 게이트선이 528개의 비트선과 교차할 때마다 설치된다.

마찬가지로, 셀렉트 트랜지스터 S2의 게이트 전극(셀렉트 게이트선(폴리실리콘))은, 그 셀렉트 게이트선의 배선 저항을 낮게 하기 위해서, 제1 배선층 M0내의 금속 배선 SG2에 접속된다. 셀렉트 게이트선(폴리실리콘)과 금속 배선 SG2의 컨택트부는, 예를 들면, 셀렉트 게이트선이 528개의 비트선과 교차할 때마다 설치된다.

제1 배선층 M0상에 설치되는 제2 배선층 M1내에는 비트선 BL이 배치된다. 비트선 BL은 컬럼 방향으로 연장되고, 또한, 제1 배선층 M0내의 금속 배선 B를 경유하여, 셀렉트 트랜지스터 S1의 확산층(드레인)(24)에 접속된다.

또한, 제1 및 제2 배선층 M0, M1내의 각 신호선은 예를 들면 알루미늄 구리, 이것들의 합금등으로 구성된다.

메모리셀 M1, …M16상으로서, 또한, 금속 배선 SG1, SG2 사이에는 신호 RDECADS의 경로가 되는 신호선(22)이 배치된다.

짝수번째의 메모리셀 블록의 디바이스의 특징은, 홀수번째의 메모리셀 블록의 디바이스의 로우 실드선(23)(도 7 참조) 대신에 신호선(22)이 설치되는 점에 있다.

신호선(22)은 도 6에서 설명한 바와 같이, 로우 어드레스 디코더의 출력 신호 RDECADS를 워드선 드라이버에 전하는 역할을 한다. 따라서, 신호선(22)의 전위는 로우 실드선과 동일하게 할 수 없다.

본 발명에서는, 상술의 신호선(22)의 역할을 손상시키지 않고, 신호선(22)의 전위를 동작 모드에 따라서 최적인 값으로 설정하여, 기록/판독시에 소위 커플링 노이즈를 방지하여, 소거시에 비선택 워드선의 전위를 충분히 상승시킬 수 있는 워드선 제어 회로를 제안한다.

이하, 본 발명의 워드선 제어 회로의 회로예를 설명하고, 그 후, 이 회로를 이용한 경우에, 각 동작 모드에 있어서 신호선(22)의 전위 레벨이 어떻게 될지에 관해서 설명한다.

[워드선 제어 회로의 회로예]

우선, 도면에 첨부되는 기호에 관해서 이하와 같이 정의한다.

기호 "HN** (*는, 숫자, 기호 등)"이 첨부되어 있는 MOS 트랜지스터는, 예를 들면, 약 0.6V의 임계치 전압을 갖는 고전압 인핸스먼트 N 채널 MOS 트랜지스터이고, 전원 전압 Vcc보다도 높은 전압이 인가된다. 이 트랜지스터는, 게이트가 OV일 때 오프 상태가 된다.

기호 "IHN**(*는, 숫자, 기호 등)"이 첨부되어 있는 MOS 트랜지스터는, 예를 들면, 약 0.1V의 임계치 전압을 갖는 고전압 인핸스먼트 N 채널 MOS 트랜지스터이고, 전원 전압 Vcc보다도 높은 전압이 인가된다.

기호 "DHN**"이 첨부되어 있는 MOS 트랜지스터는, 예를 들면, 약 -1V의 임계치 전압을 갖는 고전압 디플레이션 N 채널 MOS 트랜지스터이고, 게이트와 드레인을 전원 전위 Vcc로 하면, 드레인의 전위 Vcc가 소스로 전송된다. 또한, 이 트랜지스터는, 소스와 드레인이 Vcc일 때, 게이트를 OV로 하면, 오프 상태가 된다.

또한, 기호 "TN**"가 첨부되어 있는 MOS 트랜지스터는, 예를 들면, 약 0.6V의 임계치 전압을 갖는 저전압 인핸스먼트 N 채널 MOS 트랜지스터이고, 전원 전압 Vcc 이하의 전압이 인가된다. 기호 "TP**"가 첨부되어 있는 MOS 트랜지스터는, 예를 들면, 약 0.6V의 임계치 전압을 갖는 저전압 인핸스먼트 P 채널 MOS 트랜지스터이다.

도 9는 홀수번째의 메모리셀 블록에 대응하여 설치되는 로우 어드레스 디코더의 주요부를 나타내고 있다.

이 로우 어드레스 디코더 RADD1는, 정확하게는 블록 디코더로서 기능한다. 즉, 예를 들면, 제1 메모리셀 블록이 선택될 때, 로우 어드레스 신호 AROWi, ··AROWj의 모두가 "H"이 되고, 출력 신호 RDECAD가 "H"가 된다. 로우 어드레스 디코더 RADD1의 동작에 대해서는 후에 상술한다.

도 10은, 홀수번째의 메모리셀 블록에 대응하여 설치되는 워드선 드라이버의 주요부를 나타내고 있다.

워드선 드라이버 RMAIN1의 주된 구성 요소는, 고전압 스위치 회로(26)와 전송용 MOS 트랜지스터 HN5, HN6, HNt1, ··HNt16이다.

고전압 스위치 회로(26)는 MOS 캐패시터 DHN4 및 MOS 트랜지스터 IHN1로 이루어진 제1 승압 유닛과, MOS 캐패시터 DHN5 및 MOS 트랜지스터 IHN2로 이루어진 제2 승압 유닛을 구비한다.

MOS 트랜지스터 HN3의 게이트는 MOS 트랜지스터 IHN1, IHN2의 접속 노드 B에 접속된다. 이 경우, MOS 트랜지스터 HN3의 게이트와 소스의 전위 레벨이 역상을 유지하면서, 클럭 신호0wc에 동기하여, 점차로 각 노드 A, B, TransferG1의 전위가 상승하기 때문에 승압 효율이 향상한다.

고전압 스위치 회로(26)는, 로우 어드레스 디코더 RADDl의 출력 신호 RDECAD가 "H"일 때 동작 상태가 된다. 즉, 출력 신호 RDECAD가 "H"일 때, NAND 회로 NAND1의 출력 신호는 클럭 신호 Owc와 역상의 클럭 신호가 된다. NAND 회로 NANDl의 출력 신호는 MOS 캐패시터 DHN4, DHN5의 일단에 인가된다.

그 결과, 전송용 MOS 트랜지스터 HN5, HN6, HNt1, ··HNt16의 게이트에 승압 전위가 인가되고, 전송용 MOS 트랜지스터 HN5, HN6, HNt1, ···HNt16은 온 상태가 된다.

로우 어드레스 디코더 RADD1의 출력 신호 RDECAD가 "H"일 때, MOS 트랜지스터 HN7, HN8은 오프 상태가 된다. 이 때, 신호선 SGD, SGS는, 예를 들면, 칩내 전원 전위 Vdd가 되고, 이 Vdd는 전송용 MOS 트랜지스터 HN5, HN6를 경유하여, 셀렉트 게이트선 SGl, SG2에 공급된다.

또한, 신호선 CGl, CG2, ···CG16은, 전환 회로(9B)(도 1 참조)에 의해, 각각 동작 모드에 따라서 소정의 전위로 설정된다. 그리고, 신호선 CGl, CG2,···CG16의 전위는, 전송용 MOS 트랜지스터 HNt1, ··HNt16을 경유하여, 워드선 WL1, WL2, ···WL16에 공급된다.

도 11은 짝수번째의 메모리셀 블록에 대응하여 설치되는 로우 어드레스 디코더의 주요부를 나타내고 있다.

로우 어드레스 디코더 RADD2는, 도 9의 로우 어드레스 디코더 RADD1과 동일 회로를 포함하고 있다. 즉, 파선 X1로 둘러싼 부분의 회로는, 도 9의 로우 어드레스 디코더 RADD1와 동일하다. 또한, 도 11에 있어서, 도 9와 동일 부분에는 동일 부호를 붙인다.

본 발명의 로우 어드레스 디코더 RADD2의 특징은, 인버터 I4, 클럭드 인버터 CINV3, CINV4 및 공핍형 고전압 N 채널 MOS 트랜지스터 DHN6, DHN7를 신규로 설치한 점에 있다.

클럭드 인버터 CINV4는, 소거(ERASE)시에, 선택된 메모리셀 블록에 대응하는 로우 어드레스 디코더의 출력 신호 RDECADS(도 8의 신호선(22)의 전위)를 접지 전위 Vss로 하고, 비선택의 메모리셀 블록에 대응하는 로우 어드레스 디코더의 출력 신호 RDECADS를 칩내 전원 전위 Vdd로 하는 기능을 갖는다.

MOS 트랜지스터 DHN6는, 후술하는 도 12의 트랜지스터 DHN9와 함께 신호선(22)(도 8 참조)를 플로팅 상태로 하는 기능을 갖는다.

소거시, 선택된 메모리셀 블록에서는, 신호 RDECADS1는 "H(Vdd)"이 되고, 비선택의 메모리셀 블록에서는 신호 RDECADS1는 "L(Vss)"가 된다.

만일, 종래와 마찬가지로, 이 신호 RDECADS1를 메모리셀 어레이상의 신호선(22)(도 8 참조)에 제공하면, 비선택의 메모리셀 블록에서는 메모리셀 어레이상의 신호선(22)(도 8 참조)이 "L(Vss)"가 된다.

이 경우, 셀 웰과 워드선의 용량 커플링에 의해, 셀 웰에 소거 전위 Vera를 제공했을 때에, 비선택의 메모리셀 블록 내의 워드선의 전위를 상승시키고자 하면, 접지 전위 Vss인 신호선(22)(도 8)의 영향에 의해, 워드선의 전위가 충분히 상승하지 않게 된다.

본 발명에서는, 클럭드 인버터 CINV4를 신규로 설치하고 있기 때문에, 소거시, 선택된 메모리셀 블록에서는, 출력 신호 RDECADS는 "L(Vss)"이 되고, 비선택의 메모리셀 블록에서는 신호 RDECADS는 "H(Vdd)"가 된다.

즉, 비선택의 메모리셀 블록에서는, 메모리셀 어레이상의 신호선(22)(도 8 참조)는, "H(Vdd)"이 되고, 또한, MOS 트랜지스터 DHN6와 MOS 트랜지스터 DHN9(도 12)의 컷오프에 의해 플로팅 상태가 된다.

따라서, 셀 웰과 워드선의 용량 커플링에 의해, 비선택의 메모리셀 블록 내의 워드선의 전위를 상승시킬 경우, 칩내 전원 전위 Vdd인 신호선(22)(도 8)의 영향은 적어지고, 워드선의 전위가 충분히 상승한다.

도 12는 짝수번째의 메모리셀 블록에 대응하여 설치되는 워드선 드라이버의 주요부를 나타내고 있다.

워드선 드라이버 RMAIN2의 주된 구성 요소 중, 고전압 스위치 회로(26)와 전송용 MOS 트랜지스터 HN5, HN6, HNt1, …HNtl6에 관해서는, 도 10에 도시하는 워드선 드라이버 RMAIN1과 동일하다. 즉, 파선 X2로 둘러싼 부분의 회로는, 도 10의 로우 어드레스 디코더 RADD1와 거의 동일하다. 또한, 도 12에 있어서, 도 10과 동일 부분에는,동일 부호를 붙인다.

본 발명의 워드선 드라이버 RMAIN2의 특징은, 클럭드 인버터 CINV5, CINV6, CINV7, 공핍형 고전압 N 채널 MOS 트랜지스터 DHN8, DHN9 및 증가형 P 채널 MOS 트랜지스터 TP6, TP7를 신규로 설치한 점에 있다.

클럭드 인버터 CINV7는, 소거(ERASE)시에, 선택된 메모리셀 블록에 대응하는 로우 어드레스 디코더의 출력 신호 RDECADS (도 8의 신호선(22)의 전위)를 접지 전위 Vss에서 칩내 전원 전위 Vdd로 되돌리고, 비선택의 메모리셀 블록에 대응하는 로우 어드레스 디코더의 출력 신호 RDECADS를 칩내 전원 전위 Vdd로부터 접지 전위 Vss로 되돌린 후에, 파선 X2내의 회로에, 신호 RDECADS2로서 제공하는 기능을 갖는다.

MOS 트랜지스터 DHN9는, 도 11의 트랜지스터 DHN6과 함께, 신호선(22) (도 8 참조)를 플로팅 상태로 하는 기능을 갖는다.

이와 같이, 도 11의 로우 어드레스 디코더 RADD2내의 인버터 I4, 클럭드 인버터 CINV3, CINV4 및 공핍형 고전압 N 채널 MOS 트랜지스터 DHN6, DHN7과, 도 12의 워드선 드라이버 RMAIN2내의 클럭드 인버터 CINV5, CINV6, CINV7, 공핍형 고전압 N 채널 MOS 트랜지스터 DHN8, DHN9 및 증가형 P 채널 MOS 트랜지스터 TP6, TP7는, 동일한 목적을 달성하기 위해서, 쌍으로 사용된다.

또, 도 9 내지 도 12에서는, 이것들의 회로에 전원 전위로서 Vdd (외부 전원 전위 Vcc보다도 낮은 칩내 전원 전위)를 공급하였지만, 이것을 대신하여, 예를 들면, 외부 전원 전위 Vcc를 공급하더라도 좋다.

[신호선(22)의 전위 레벨에 관하여]

다음에, 각 동작 모드에 있어서, 신호선(22)(도 8 참조)의 전위 레벨이 어떻게 될지에 대해 설명한다. 또, 여기서는, 신호선(22)의 전위 레벨에 관해서만 설명하고, 신호선(22)의 전위 레벨을 포함시킨 워드선 제어 회로의 동작에 대해서는, 후에 상술한다.

본 예에서는, 신호선(22)(도 8)은, 짝수번째의 메모리셀 블록에 대응하는 로우 어드레스 디코더(도 11)와 워드선 드라이버(도 12)를 접속한다. 따라서, 도 11 및 도 12을 참조하면서, 신호선(22) (도 8)으로 전해지는 워드선 드라이버 선택 신호 RDECADS의 전위 레벨에 관해서 설명한다.

로우 어드레스 디코더 RADD2의 출력 신호 RDECADS의 전위 레벨은, 동작 모드에 따라 다르다.

소거 동작 이외의 동작(기록·판독·검증 판독)에서는, ROWERASE1B, ROWPROG1, ROWERASE2B, ROWERASE3n, ROWGATE를, 각각 전원 전위 Vdd (외부 전원 전위 Vcc보다도 낮은 칩내 전원 전위. 단지, 외부 전원 전위 Vcc라도 좋다)로 설정하여, ROWERASE1, ROWPROG1B, ROWERASE2를, 각각 접지 전위 Vss로 설정한다.

이때, 클럭드 인버터 CINV3, CINV5, CINV6이 동작 상태가 되고, 클럭드 인버터 CINV4, CINV7가 비 동작 상태가 된다. 또한, MOS 트랜지스터 TP6은 오프 상태가 된다.

선택된 메모리셀 블록에서는, 파선 X1로 둘러싼 부분의 출력 신호 RDECADSl은, "H", 즉, 칩내 전원 전위 Vdd가 되고, 로우 어드레스 디코더 RADD2의 출력 신호 RDECADS도, "H", 즉, 칩내 전원 전위 Vdd가 된다.

한편, 비선택의 메모리셀 블록에서는, 파선 X1로 둘러싼 부분의 출력 신호 RDECADS1는, "L", 즉, 접지 전위 Vss가 되고, 로우 어드레스 디코더 RADD2의 출력 신호 RDECADS도, "L", 즉, 접지 전위 Vss가 된다.

따라서, 소거 동작 이외의 동작에서는, 비선택의 메모리셀 블록 내의 메모리셀 어레이 상에 배치되는 신호선(22)(도 8 참조)은, 접지 전위 Vss, 비선택의 메모리셀 블록 내의 셀렉트 게이트선 SGl, SG2도, 접지 전위 Vss로 되고, 이것들의 신호선(22), SG1, SG2는, 비트선과 워드선의 사이의 실드선으로서 기능한다 (도 7의 로우 실드선23과 동일 기능). 그 결과로서, 비트선으로 전해지는 데이터에 생기는 커플링 노이즈를 저감할 수 있다.

소거 동작에서는, ROWERASE1B, ROWPROG1, ROWERASE2B, ROWERASE3n, ROWGATE를, 각각 접지 전위 Vss로 설정하고, ROWERASE1, ROWPROG1B, ROWERASE2를, 각각 칩내 전원 전위 Vdd(전원 전위 Vcc라도 좋다)로 설정한다.

이 때, 클럭드 인버터 CINV4, CINV7이 동작 상태가 되고, 클럭드 인버터 CINV3, CINV5, CINV6이 비동작 상태가 된다. 또한, MOS 트랜지스터 TP6은 온 상태가 된다.

선택된 메모리셀 블록에서는, 파선 X1로 둘러싼 부분의 출력 신호 RDECADS1은, "H", 즉, 칩내 전원 전위 Vdd가 되고, 로우 어드레스 디코더 RADD2의 출력 신호 RDECADS는, "L", 즉, 접지 전위 Vss가 된다.

한편, 비선택의 메모리셀 블록에서는, 파선 X1로 둘러싼 부분의 출력 신호 RDECADS1는, "L", 즉, 접지 전위 Vss가 되고, 로우 어드레스 디코더 RADD2의 출력 신호 RDECADS는, "H", 즉, 칩내 전원 전위 Vdd가 된다.

또한, ROWGATE가 접지 전위 Vss 이기 때문에, 비선택의 메모리셀 블록 내의 신호선(22)(도 8 참조)은 그 전위(RDECADS의 전위)가 1 ~ 1.5 V 정도가 되면, MOS 트랜지스터 DHN6, DHN9가 차단됨으로써 플로팅 상태가 된다.

이와 같이, 소거 동작에서는, 비선택의 메모리셀 블록 내의 메모리셀 어레이 상에 배치되는 신호선(22)(도 8 참조)은 1~1.5V에서, 또한, 플로팅 상태가 된다. 즉, 셀 웰에 소거 전위 Vera를 제공하였을 때에, 신호선(22)(도 8)의 전위도, 워드선과 마찬가지로, 용량커플링에 의해 상승하기 때문에, 신호선(22)(도 8)이 워드선의 전위의 상승을 억제하는 일이 없다.

따라서, 셀 웰에 소거 전위 Vera를 제공하였을 때에, 셀 웰과 워드선의 사이의 용량 커플링에 의해, 비선택의 메모리셀 블록 내의 워드선의 전위가 상승하기 쉽게 된다고 하는 효과를 얻을 수 있다.

또한, 이것에 따라, 비선택의 메모리셀 블록 내의 메모리셀의 터널 산화막에 큰 전계가 걸리는 일이 없기 때문, 비선택의 메모리셀 블록에 있어서의 오소거를 방지할 수 있다.

그런데, 도 11의 파선 X 내의 퓨즈 소자(도 9의 퓨즈 소자도 동일)는, 그 퓨즈 소자(로우 어드레스 디코더)에 대응하는 메모리셀 블록을 사용자용의 통상의 메모리 영역으로 하는 경우에는 절단되지 않는다.

그러나, 그 퓨즈 소자(로우 어드레스 디코더)에 대응하는 메모리셀 블록을 예를 들면, 디바이스 코드를 기억하는 ROM BLOCK 영역으로 하는 경우에는, 그 퓨즈 소자를 절단하고, 사용자가, ROM BLOCK 영역에 대하여, 자유롭게, 기록/소거를 행하지 않도록 하고 있다.

이 ROM BLOCK 영역은, 이하의 의의가 있다.

최근, NAND 형 플래시 메모리는, 여러가지 전자 기기의 메모리에 사용되고 있다. 그러나, 전화 통신에 의해 음악 정보를 기억하기 위한 메모리 등, NAND 형 플래시 메모리는, 저작권에 관한 데이터의 메모리로서 사용되는 경우가 있다.

그래서, NAND 형 플래시 메모리에는, 부정복사를 방지하기 위해서, 칩의 번호, 즉, 디바이스 코드가 기억된다.

이 디바이스 코드는, 개개의 NAND 형 플래시 메모리에 고유의 것이지만, 임시로, 사용자가 이 디바이스 코드를 자유롭게 재기록하도록 해서는, 디바이스 코드의 본래의 목적을 달성할 수 없다.

이 때문에, 디바이스 코드는, 제품의 출하 전에, NAND 형 플래시 메모리의 ROM BLOCK 영역에 기록되고, ROM BLOCK 영역에 대하여는, 사용자가 기록/소거를 행하지 않도록 하고 있다. 즉, ROM BLOCK 영역으로 되는 메모리셀 블록에서는, 퓨즈 소자가 절단된다.

이에 따라, 예를 들면, 정보 제공측의 NAND 형 플래시 메모리로부터 정보수취 측의 NAND 형 플래시 메모리에 음악 정보를 카피하려고 하는 경우, 정보 제공 측의 NAND 형 플래시 메모리로부터 디바이스 코드를 판독하고, 이것이, 정보 수취 측의 NAND 형 플래시 메모리의 디바이스 코드와 다른 경우에는, 카피를 할 수 없도록 하고 있다.

퓨즈 소자는, ROM BLOCK 영역으로 되는 메모리셀 블록에 디바이스 코드를 기록한 직후에 절단한다.

임시로, 퓨즈 소자를 절단하지 않은 상태에서, 출하 전 시험을 행하면, 이 시험으로, 디바이스 코드가 소거되어 버리기 때문이다.

즉, 출하 전 시험에서는, 시험 시간의 단축을 위해, 전 블록을 동시에 선택하여 기록/소거를 행한다. 즉, 모든 로우 어드레스 신호 AROWi, …AROWj가 "H"가 되기 때문에, 퓨즈 소자가 절단되어 있지 않으면, CMD ROMBA가 "L"이더라도, RDECADS1가 "H" (도 9에서는, RDECAD가 "H")로 되고, ROM BLOCK 영역으로 되는 메모리셀 블록이 선택되어 버린다.

한편, 출하 전 시험에 있어서, 모든 로우 어드레스 신호 AROWi, …AROWj가 "H"로 되어도, 퓨즈 소자가 절단되어 있으면, CMD ROMBA가 "L"이기 때문에, RDECADS1가 "L"(도 9에서는, RDECAD가 "L")로 되고, ROM BLOCK 영역으로 되는 메모리셀 블록은 선택되지 않는다.

퓨즈 소자를 절단하더라도, ROM BLOCK 영역에 기억된 디바이스 코드를 판독할 필요가 있다.

ROM BLOCK 영역에 대한 데이터 판독은, CMD ROMBA를 "H"로 하는 것에 의해 달성할 수 있다. 즉, CMD ROMBA가 "H", ROM BLOCK 영역 내의 AROWi, …AROWj가 "H"가 되면, ROM BLOCK 영역으로 되는 메모리셀 블록이 선택된다.

또한, 퓨즈 소자를 절단한 후에 있어서도, 특수한 커맨드를 입력함으로써, CMD LROMBA 및 ROM BLOCK 영역 내의 AROWi, …AROWj를 "H"로 하는 것에 의해, ROM BLOCK 영역 내의 데이터를 재기록하는 것도 가능하다. 이 경우에는, CMD ROMBA를 "H"로 하는 커맨드는, 일반의 사용자에게는 비공개로 하여, 부정하게, ROM BLOCK 영역 내의 데이터가 재기록되지 않도록 한다.

또, 본 예에서는, ROM BLOCK 영역의 퓨즈를 절단하는 경우를 설명하였지만, 도 9의 퓨즈나 도 11의 파선 X 내의 퓨즈는, 메모리셀 블록이 불량 블록인 경우에도, 절단된다. 이 경우, 이 불량 블록은, 리던던시 회로에 의해, 예비의 블록으로 치환된다.

[기본 동작의 설명]… 제3 내지 제5 특징

이하에서는,판독, 기록, 소거, 테스트(바인) 등의 각 동작 모드에 있어서의 본 발명의 4치 NAND 셀형 EEPROM (도 1)의 주요부의 동작, 구체적으로는, 데이터 회로(도 2), 일괄 검지 회로(도 5) 및 워드선 제어 회로(도 6,도 9 내지 도 12)의 동작에 관해서 상세히 설명한다.

동작의 설명을 행하기 전에, 우선, 메모리셀의 임계치 전압과 데이터 기록 방법의 일례에 관해서 간단히 설명한다.

도 13은 4치 NAND 셀형 EEPROM의 메모리셀의 임계치 전압(Vth)의 분포를 나타내고 있다.

1개의 메모리셀에는, 4치 데이터(2 비트 데이터)가 기억된다. 본 예에서는,상술한 바와 같이, 4치 데이터를, "11", "10", "00", "01"로 한다. 또한, 4치 데이터("11", "l0", "00", "01")와 메모리셀의 임계치 전압과의 관계는, 도 13에 도시하는 관계가 되는 것으로 한다.

즉, "11"을 소거 상태로 한다. 소거 상태의 메모리셀은, 마이너스의 임계치 전압 Vth를 갖는다. 또한, "10", "00", "01"을 기록 상태로 한다. 기록 상태의 메모리셀은, 플러스의 임계치 전압 Vth를 갖는다. 또한, 기록 상태 중, "10" 상태가 가장 임계치 전압이 낮게, "O1" 상태가 가장 임계치 전압이 낮게, "O0" 상태는, "10" 상태와 "O1" 상태의 사이의 임계치 전압을 갖는 것으로 한다.

4치 데이터(2 비트 데이터)는, 짝수 페이지 데이터와 홀수 페이지 데이터로 이루어지고, 2회의 기록 동작에 의해, 메모리셀에 기록된다.

우선, 짝수 페이지 데이터의 기록이 행해진다.

모든 메모리셀은, 소거 상태, 즉, "11" 상태에 있는 것으로 한다. 이후, 도 14에 도시한 바와 같이, 짝수 페이지 데이터의 기록을 행하면, 메모리셀의 임계치 전압 Vth의 분포는, 짝수 페이지 데이터의 값("1", "0")에 따라서, 2개로 나누어진다.

즉, 짝수 페이지 데이터가 "1"의 경우에는, 메모리셀의 터널 산화막에 고전계가 걸리지 않도록 하여, 메모리셀의 임계치 전압 Vth의 상승을 방지한다. 그 결과, 메모리셀은, 소거 상태("11" 상태)를 유지한다 (짝수 페이지 데이터"1"의 기록).

한편, 짝수 페이지 데이터가 "O"의 경우에는, 메모리셀의 터널 산화막에 고전계를 인가하고, 플로팅 게이트 전극에 전자를 주입하여, 메모리셀의 임계치 전압 Vth를 소정량만큼 상승시킨다. 그 결과, 메모리셀은, 기록 상태("10" 상태)로 변화한다 (짝수 페이지 데이터"O"의 기록).

이후, 홀수 페이지 데이터의 기록이 행해진다.

홀수 페이지 데이터의 기록은, 칩의 외부에서 입력되는 기록 데이터(즉, 홀수 페이지 데이터)와, 메모리셀에 이미 기록되고 있는 짝수 페이지 데이터에 기초하여 행해진다.

즉, 도 15에 도시한 바와 같이, 홀수 페이지 데이터가 "1"의 경우에는, 메모리셀의 터널 산화막에 고전계가 걸리지 않도록 하고, 메모리셀의 임계치 전압 Vth의 상승을 방지한다. 그 결과, "11" 상태(소거 상태)의 메모리셀은, "11" 상태를 그대로 유지하고, "10" 상태의 메모리셀은, "l0" 상태를 그대로 유지한다 (홀수 페이지 데이터 "1"의 기록).

한편, 홀수 페이지 데이터가 "O"의 경우에는, 메모리셀의 터널 산화막에 고전계를 인가하고, 플로팅 게이트 전극에 전자를 주입하여, 메모리셀의 임계치 전압 Vth를 소정량만큼 상승시킨다. 그 결과, "11" 상태(소거 상태)의 메모리셀은, "O1" 상태로 변화하고, "10" 상태의 메모리셀은,"00" 상태로 변화한다 (홀수 페이지 데이터"O"의 기록).

즉, 본 예에서는, 짝수 페이지 데이터가 "1", 홀수 페이지 데이터가 "1"일 때, 데이터"11"이 메모리셀에 기록되고, 짝수 페이지 데이터가 "O", 홀수 페이지 데이터가 "1"일 때, 데이터"10"이 메모리셀에 기록된다. 또한, 짝수 페이지 데이터가 "1", 홀수 페이지 데이터가 "O"일 때, 데이터"O1"이 메모리셀에 기록되고, 짝수 페이지 데이터가 "O", 홀수 페이지 데이터가 "O"일 때, 데이터"00"가 메모리셀에 기록된다.

이와 같이, 2회의 기록 동작에 의해, 메모리셀의 임계치 전압 Vth의 분포는, 4개("11", "10", "00", "01")으로 나누어진다.

본 발명은, 홀수 페이지 데이터가 "O"일 때의 기록 방법에 특징을 갖는다 (제4 특징). 즉, 본 예에서는, 4치 데이터와 메모리셀의 임계치 전압과의 관계를, 도 13에 도시한 바와 같이 설정하였기 때문, 홀수 페이지 데이터가 "0"일 때, "11" 상태를 "O1" 상태로 바꾸고, "10" 상태를 "O0" 상태로 바꾸도록 하고 있다 (도 15 참조).

여기서, 도 15로부터 명확한 바와 같이, "11" 상태를 "01" 상태로 바꾸는 경우의 임계치 전압의 변동량은, 당연히, "10" 상태를 "00" 상태로 바꾸는 경우의 임계치 전압의 변동량보다도 커진다. 즉, "O0" 기록을 행하는 메모리셀 및 "O1" 기록을 행하는 메모리셀에 대하여, 기록 펄스는, 동일 조건으로 주어지기 때문에, "00" 기록은, "O1"기록보다도 빠르게 종료하게 된다.

본 발명(제4 특징)에서는, 이것을 이용하여, "00" 기록 종료 후의 "00" 검증 판독을 생략하고, 이후는, "O1" 검증 판독만을 행하도록 하여, 기록 시간의 단축(기록의 고속화)를 도모하고 있다 (이것에 대해서는, 후술한다). 또한, 이러한 기록 방법을 채용한 것에 의해, 본 발명은, 데이터 회로(도 2) 내의 검증에 관한 회로(예를 들면, MOS 트랜지스터 TN1, …TN6, TN8, TN10 등)에도 특징을 갖는다.

또한, 본 예에서는, 4치 데이터와 메모리셀의 임계치 전압과의 관계를, 도 13에 도시한 바와 같이 설정하였기 때문, 본 발명은, 데이터의 판독 방법에도 특징을 갖고 있다(제3 특징).

또, 예를 들면, 선행 기술(특원평8-98627호)에서는, 도 13의 관계에 관하여, "00" 상태와 "O1" 상태가 반대로 되어 있다. 즉, "11" 상태를 "01" 상태로 하는 경우의 임계치 전압의 변동량과 "10" 상태를 "O0" 상태로 하는 경우의 임계치 전압의 변동량이 거의 동일하게 되어 있다.

이하, 동작 타이밍도를 이용하여, 구체적인 동작 설명을 행한다.

1.판독 동작(Read operation)

판독 동작은, 짝수 페이지 데이터의 판독 동작과 홀수 페이지 데이터의 판독 동작으로 이루어진다.

1.-1., 짝수 페이지 데이터의 판독 동작

도 13으로부터 명확한 바와 같이, "11" 상태와 "01" 상태가, 짝수 페이지 데이터가 "1"이고, "10" 상태와 "O0" 상태가, 짝수 페이지 데이터가 "O" 이다. 즉, 짝수 페이지 데이터가 "1"인지 또는 "0"인지는, 2회의 판독 동작 "READ01", "READ10"에 의해 판단할 수 있다.

따라서, 짝수 페이지 데이터의 판독 동작은, 2회의 판독 동작 "READ01", "READ10"으로 이루어진다. 우선, "READ01" 동작이 행해지고, 계속해서, "READ10" 동작이 행해진다.

1. -1. -1. "READ01"

도 16은, "READ01" 동작을 나타내고 있다.

"READ01" 동작은, 판독 전위(선택된 워드선의 전위)를 Vcgr01 (예를 들면, 약1.45V)로 설정하고, 메모리셀의 데이터가 "01"인지, 또는 그것 이외의 데이터"11", "10", "O0"인지를 인식하는 동작이다.

우선, 로우 어드레스 디코더(도 9,도 11)에 있어서, RDECPB가 "L"로 설정된다. 이때, RDECAD (도 9) 및 RDECADS1(도 11)은, 함께, "L(Vss)"이고, 모든 메모리셀 블록은, 비선택 상태로 되어있다.

이후, RDECPB가 "L"로부터 "H"로 변화한다. 이 때, MOS 트랜지스터 TP4가 오프 상태, MOS 트랜지스터 TN21가 온 상태가 된다 (도 9, 도 11).

또한, 선택된 메모리셀 블록에서는, 모든 로우 어드레스 신호 AROWi, ··AROWj가 "H"로 되고, RDECAD (도 9) 및 RDECADS1(도 11)이 함께, "H"가 된다. 비선택의 메모리셀 블록에서는, 로우 어드레스 신호 AROWi, ··AROWj의 적어도 1개가 "L"이기 때문에, RDECAD (도 9) 및 RDECADS1 (도 11)은 "L"을 유지한다.

선택된 메모리셀 블록 내의 워드선 드라이버(도 10,도 12)에서는, 입력 신호 RDECAD, RDECADS1가 "H"로 되기 때문에,오실레이션 신호(클럭 신호) Owc에 의해, 고전압 스위치 회로(NMOS 차지 펌프 회로)(26)가 동작한다.

따라서, 선택된 메모리셀 블록 내의 워드선 드라이버(도 10, 도 12)에서는, 고전압 스위치 회로(26)의 출력 노드에 전위 VRDEC가 전송된다.

예를 들면, 제1 메모리셀 블록 내의 워드선 드라이버 RMAIN1 (도 10)이 선택된 경우에는, 출력 노드 TransferG1에, 전위 VRDEC (예를 들면, 약 6V)가 전송되고, 제2 메모리셀 블록 내의 워드선 드라이버 RMAIN2 (도 12)가 선택된 경우에는, 출력 노드 TransferG2에, 전위 VRDEC (예를 들면, 약 6V)이 전송된다.

그 결과, 전송용 트랜지스터 HNt1, HNt2, …HNt16의 게이트는, VRDEC로 되고, 신호선 CG1, CG2, …CG16의 전위는, 전송용 트랜지스터 HNt1, HNt2, …HNt16을 경유하여, 워드선(콘트롤 게이트선) WL1, WL2, …WL16에 전송된다.

또한, 신호선 SGD, SGS의 전위도, 전송용 트랜지스터 HN5, HN6를 경유하여, 셀렉트 게이트선 SG1, SG2에 전송된다.

여기서, 신호선 CG1, CG2, …CG16중, 선택된 1개의 신호선의 전위는, 전환 회로(도 1)에 의해, Vcgr01 (예를 들면, 약 1.45 V)로 설정되고, 남은 비선택의 신호선의 전위는, 전환 회로(도 1)에 의해, Vread (예를 들면, 약 3.5V)로 설정된다.

또, 신호선 SGD, SGS의 전위도, Vread (예를 들면, 약 3.5V)로 설정된다.

한편, 비선택의 메모리셀 블록 내의 워드선 드라이버(도 10, 도 12)에서는, 고전압 스위치 회로(26)의 출력 노드 TransferG1, TransferG2에, 전위 RDECAD, RDECADS2가 전송된다.

즉, 비선택의 메모리셀 블록 내의 워드선 드라이버(도 10, 도 12)에서는, 출력 노드 TransferG1, TransferG2이, 함께, 접지 전위 Vss가 된다.

그 결과, 전송용 트랜지스터 HNt1, HNt2, …HNt16은, 오프 상태로 되고, 워드선(콘트롤 게이트선) WL1, WL2,…WL16은 플로팅 상태가 된다. 또한, 셀렉트 게이트선 SG1, SG2는 신호선 SGS, SGD에 의해 접지된다.

도 16의 동작타이밍에 대해 상세히 설명한다.

또, 비트선 BLe에 접속되는 메모리셀이 선택되어, 비트선 BLo는, 실드 비트선으로 한다.

로우측(워드선 제어 회로측)에서는, 먼저, 시각 RCLK1에, BSTON이 "H"로 된다. 이 때, 선택된 메모리셀 블록에서는, 워드선 드라이버내의 고전압 스위치 회로의 출력 노드(TransferG1 또는 TransferG2)에, Vdd(RDECAD 또는 RDECADS2)이 전송된다.

또한, 시각 RCLK2에, BSTON이 "L"이 되고, 시각 RCLK3에, VRDEC가 VsgHH로 되기 때문에, 선택된 메모리셀 블록에서는, 워드선 드라이버내의 고전압 스위치 회로의 출력 노드(TransferG1 또는 TransferG2)의 전위가 VsgHH로 상승한다.

선택된 워드선 CGselect의 전위는, Vcgr01(예를 들면, 약 1.45V)로 설정되고, 비선택의 워드선 CG unselect의 전위 및 셀렉트 게이트선 SG1의 전위 SGD는 Vread(예를 들면, 약 3.5V)로 설정된다.

한편, 컬럼측(데이터 회로측)에서는, 시각 RCLK2에, BLPRE가 Vdd (예를 들면, 약 2.3V)가 된다. 또한, 시각 RCLK3에, BIASe가 접지 전위 Vss, BIASo가 Vsghh로 되고, 시각 RCLK4에, BLSe가 Vsghh로 되면, 비트선 BLe는 프리차지되고, 비트선 BLo는 접지 전위 Vss로 된다.

비트선 BLe를 프리차지하고 있는 한가운데의 BLCLMP의 전위는, Vclmp (예를 들면, 약 2V)이기 때문에, 비트선 BLe는, 약 0.8V까지 상승한 후, 플로팅 상태로 된다. 그리고, 시각 RCLK7에, 비트선 BLe의 프리차지가 종료한다.

그리고, 시각 RCLK7에, 셀렉트 게이트선 SG2의 전위 SGS가, Vread로 설정되면, 선택된 메모리셀의 데이터에 따라서, 비트선 BLe의 전위가 저하하거나 또는 유지된다.

즉, 선택된 메모리셀의 데이터가, "11", "10", "O0"의 경우에는, VcgrO1에 의해, 이 선택된 메모리셀은, 온 상태가 되기 때문에, 비트선 BLe의 전하가 방전되고, 비트선 BLe의 전위는, 0.3V 이하로 저하한다 (선택 블록 내의 비선택의 메모리셀은 Vread에 의해 온 상태임).

한편, 선택된 메모리셀의 데이터가, "O1"의 경우에는, VcgrO1에 의해서는, 이 선택된 메모리셀은, 온 상태로 되지 않기 때문에, 비트선 BLe의 전하가 방전되는 일은 없고, 비트선 BLe는, 프리차지 전위(약 0.8V)을 유지한다.

시각 SCLK6에는, SEN 및 LAT가 함께 "L", SENB 및 LATB가 함께 "H"로 되고, 래치 회로 LATCH1, 즉, 클럭드 인버터 CINV1, CINV2가 비동작 상태로 된다 (도 2).

시각 SCLK7에, BLC가 Vsg (약 4.5V), nPRST가 "L"로 되면, 감지 노드(DTNij)가 Vdd로 된다. 또한, 시각 SCLK8에, nPRST가 "H"가 되면, 감지 노드는 플로팅 상태가 된다. 또한, 시각 SCLK9에, BLCLMP가, Vsense (예를 들면, 약 1.6V)가 되고, 비트선 BLe의 전위가 감지 노드에 전해진다.

이때, 메모리셀의 데이터가 "11", "10", "O0"의 경우에는, 비트선 BLe의 전위는, 0.3V 이하로 되어있기 때문에, 감지 노드(DTNij)의 전위는, Vdd로부터 0.3 V 이하의 전위로 저하한다. 또한, 메모리셀의 데이터가 "01"의 경우에는, 비트선 BLe의 전위는, 프리차지 전위(약 0.8V)를 유지하고 있기 때문에, 클램프용의 MOS 트랜지스터 TN9 (도 2 참조)가 차단되고, 감지 노드(DTNij)는 Vdd를 유지한다.

이후, 시각 SCLK13에, SEN이 H", SENB가 "L"가 되어, 클럭드 인버터 CINV1가 동작 상태로 된다 (도 2).

그 결과, 메모리셀의 데이터가 "11", "10", "00"의 경우에는, 클럭드 인버터 CINV1의 출력 노드 Nbij가 Vdd로 된다. 메모리셀의 데이터가 "01"의 경우에는, 클럭드 인버터 CINV1의 출력 노드 Nbij가 Vss로 된다.

또한, 시각 SCLK14에는, LAT가 "H", LATB가 "L"이 되고, 클럭드 인버터 CINV2가 동작 상태로 된다(도 2). 즉, 판독 데이터(감지 노드의 데이터)가 래치 회로 LATCH1에 래치된다.

이 때, 메모리셀의 데이터가 "11", "10", "O0"의 경우에는, 출력 노드 Naij가 Vss, 출력 노드 Nbij가 Vdd로 되고, 메모리셀의 데이터가 "01"의 경우에는, 출력 노드 Naij가 Vdd, 출력 노드 Nbij가 vss로 된다.

그리고, 시각 SCLK15에, DTG1이 Vsg (약 4.5V)로 되면, 래치 회로 LATCH1에 래치되어 있던 데이터가, 본 발명의 제1 특징인 DRAM 셀, 즉, 노드 CAP1ij에 전송된다. 노드 CAP1ij에는, 데이터를 래치하여 놓기위한 캐패시터 DLN (C1)이 접속되어 있기 때문에, 판독 데이터는 노드 CAP1ij에 래치된다.

이상의 "READ01" 동작에 의해, DRAM 셀, 즉, 노드 CAP1ij에 래치되는 데이터는, 표 1과 같이 된다.

표 1.

"READ01" 후의 CAP1ij

	"11"	"10"	"00"	"01"
CAP1ij	Vss	Vss	Vss	Vdd

즉, 이 단계에서는, 노드 CAPlij가 Vdd("H")일 때에, 짝수 페이지 데이터가 "1"인 것이 분명하지만, 노드 CAP1ij가 Vss("L")일 때에는, 짝수 페이지 데이터가 "1" 인지 또는 "0" 인지는 불명확하다.

그래서, "READ01"에 계속해서, "READ10"가 행해진다.

1. -1. -2. "READ10"

도 17은, "READ10" 동작을 나타내고 있다.

"READ10" 동작은, 판독 전위(선택된 워드선의 전위)를 Vcgr1O (예를 들면, OV)로 설정하고, 메모리셀의 데이터가 "11" 인지, 또는 그것 이외의 데이터 "10", "O0", "01"인지를 인식하는 동작이다.

"READ10" 동작은, 판독 전위(선택된 워드선의 전위)의 레벨을 제외하고, "READ01" 동작과 거의 동일로 되어 있다.

우선, 시각 RCLK1로부터 시각 RCLK6까지, 선택된 워드선의 전위의 레벨을 제외하고, "READ01" 동작과 동일 동작을 행한다. 즉, 선택된 워드선의 전위를 Vcgr1O, 선택 블록 내의 비선택의 워드선의 전위를 Vread로 하고, 비트선 BLe를 프리차지한 후, 플로팅 상태로 하여, 비트선 BLo를 접지 전위 Vss로 한다.

이후, 시각 RCLK7에, 셀렉트 게이트선 SG2의 전위 SGS를 Vread로 설정하면, 선택된 메모리셀의 데이터에 따라서, 비트선 BLe의 전위가 저하하거나 또는 유지된다.

즉, 선택된 메모리셀의 데이터가, "11"의 경우에는, Vcgr1O에 의해, 이 선택된 메모리셀은, 온 상태가 되기 때문에, 비트선 BLe의 전하가 방전되고, 비트선 BLe의 전위는, 0.3V 이하로 저하한다 (선택 블록 내의 비선택의 메모리셀은, Vread에 의해 온 상태이다).

한편, 선택된 메모리셀의 데이터가, "10", "O0", "O1"의 경우에는, Vcgr10 에 의해서는, 이 선택된 메모리셀은, 온 상태가 되지 않기 때문에, 비트선 BLe의 전하가 방전되는 일은 없고, 비트선 BLe는 프리차지 전위(약 0.8V)를 유지한다.

여기서, "READ10" 동작이 "READ01" 동작과 다른 점은, 시각 RCLK7에 있어서 REG1가 Vdd가 되는 점에 있다.

REG1가 Vdd가 되면, MOS 트랜지스터 TN10(도 2)이 온 상태가 된다. 또한, CAPCRG는 Vdd이고, VREG 및 DTG2는 Vss 이기 때문에, 노드 CAP2ij는 Vss로 되어 있다. 즉, "READ01"로 판독된 데이터(구체적으로는, 노드 CAPlij에 래치된 데이터)의 값에 따라서, 감지 노드(DTNij)가, VREG(Vss)로 단락될지, 또는 VREG에서 분리될지가 결정된다.

예를 들면, 노드 CAPlij에 래치된 데이터가 Vdd의 경우(메모리셀의 데이터가 "01"의 경우, 상기 표 1 참조)에는, MOS 트랜지스터 TN3(도 2)가 온 상태로 되기 때문에, 감지 노드(DTNij)가, VREG(Vss)에 단락된다. 그 결과, 비트선 BLe의 전하가 VREG에 방전되고, 비트선 BLe의 전위는, 프리차지 전위(약 O.8V)로부터 Vss로 변화한다.

한편, 노드 CAP1ij에 래치된 데이터가 Vss의 경우(메모리셀의 데이터가 "11", "10", "00"의 경우. 상기 표 1 참조)에는, MOS 트랜지스터 TN3(도 2)가 오프 상태로 되기 때문에, 감지 노드(DTNij)가, VREG (Vss)에 단락되는 일은 없다. 그 결과, 비트선 BLe의 전위는, 선택된 메모리셀의 데이터에 따른 값, 즉, "11"의 경우에는, 0.3V 이하의 전위, "10", "00"의 경우에는 프리차지 전위(약 0.8V)로 된다.

즉, "READ01"을 행한 뒤, "READ10"의 시각 RCLK8의 시점에서는, 선택된 메모리셀의 데이터가 "11", "01"의 경우에는, 비트선 BLe의 전위는, "L(Vss 또는 O.3V 이하의 전위)"로 되고, 선택된 메모리셀의 데이터가 "10", "00"의 경우에는, 비트선 BLe의 전위는, "H (프리차지 전위)"로 된다.

이후, "READ01" 동작과 마찬가지로, 비트선 BLe의 전위가 감지되어, 또한, 래치 회로 LATCH1에 래치된다.

즉, 시각 SCLK6에, SEN 및 LAT를 함께 "L", SENB 및 LATB를 함께 "H"로 하고, 래치 회로 LATCH1, 즉, 클럭드 인버터 CINV1, CINV2를 비동작 상태로 한다.

시각 SCLK7에, BLC를 Vsg (약 4.5 V)으로 하고, nPRST를 "L"로 하면, 감지 노드(DTNij)가 Vdd로 된다. 또한, 시각 SCLK8에, nPRST가 "H"가 되면, 감지 노드는 플로팅 상태가 된다. 또한, 시각 SCLK9에, BLCLMP가, Vsense (예를 들면, 약 1.6 V)이 되어, 비트선 BLe의 전위가 감지 노드에 전해진다.

이때, 메모리셀의 데이터가 "11", "01"의 경우에는, 비트선 BLe의 전위는, Vss 또는 0.3V 이하의 전위로 되어 있기 때문에, 감지 노드(DTNij)의 전위는, Vdd로부터 Vss 또는 0.3V 이하의 전위로 저하한다. 또한, 메모리셀의 데이터가 "10" "00"의 경우에는, 비트선 BLe의 전위는 프리차지 전위(약 0.8V)를 유지하고 있기 때문에, 클램프용의 MOS 트랜지스터 TN9 (도 2 참조)가 차단되고, 감지 노드(DTNij)는 Vdd를 유지한다.

이후, 시각 SCLK13에, SEN이 "H", SENB가 "L"로 되고, 클럭드 인버터 CINV1가 동작 상태로 된다 (도 2).

그 결과, 메모리셀의 데이터가 "11", "01"의 경우에는, 클럭드 인버터 CINV1의 출력 노드 Nbij가 Vdd로 된다. 메모리셀의 데이터가 "10", "00"의 경우에는 클럭드 인버터 CINV1의 출력 노드 Nbij가 Vss로 된다.

또한, 시각 SCLK14에는, LAT이 "H", LATB가 "L"이 되고, 클럭드 인버터 CINV2가 동작 상태로 된다(도 2). 즉, 판독 데이터(감지 노드의 데이터)가 래치 회로 LATCH1에 래치된다.

이상의 "READ10" 동작에 의해, 래치 회로 LATCH1에 래치되는 데이터는, 표 2와 같이 된다.

표 2.

짝수 페이지의 판독 데이터

	"11"	"10"	"00"	"01"
Naij	Vss	Vdd	Vdd	Vss

즉, 짝수 페이지 데이터가 "1"의 메모리셀에서는, 래치 회로 LATCH1의 출력 노드 Naij의 전위는, Vss로 되고, 짝수 페이지 데이터가 "0"의 메모리셀에서는, 래치 회로 LATCH1의 출력 노드 Naij의 전위는 Vdd로 된다.

이후, CSLi를 "H"로 하는 것에 의해, 래치 회로 LATCH1의 데이터(짝수 페이지 데이터)를, I/O선(IOj, nIOj)에 출력하고, 또한, 메모리칩의 외부에 출력한다.

또, 도 18은 상술한 짝수 페이지 데이터의 판독 동작의 특징을 간결히 통합한 것이다. 즉, 본 예에서는, "READ01"로 판독한 데이터를 기억 회로(DRAM 셀)에 래치하고, 그 데이터가 "H"일 때(메모리셀이 "01" 상태일 때)만, 다음의 "READ10"에 있어서, 감지 노드(DTNij)를 강제적으로 "L"로 한다.

또한, "READ10"에서는, 메모리셀이 "11" 상태일 때만, 감지 노드가 "L"로 되기 때문에, 결국, 메모리셀이 "11", "01" 상태일 때(짝수 페이지 데이터가 "1"일 때)에, 감지 노드(DTNij)가 "L"이 되고, 메모리셀이, "10", "O0" 상태일 때(짝수 페이지 데이터가 "0"일 때)에, 감지 노드(DTNij)가 "H"가 된다.

1. -2. 홀수 페이지 데이터의 판독 동작

도 13으로부터 명확한 바와 같이, "11" 상태와 "10" 상태가, 홀수 페이지 데이터가 "1"이고, "00" 상태와 "01" 상태가, 홀수 페이지 데이터가 "O"이다. 즉, 홀수 페이지 데이터가 "1"인지 또는 "O"인지는, 1회의 판독 동작 "READ00"에 의해 판단할 수 있다.

따라서, 홀수 페이지 데이터의 판독 동작은, "READ00" 만으로 이루어진다.

1. -2. -1. "READ00"

도 19는 "READ00" 동작을 나타내고 있다.

"READ00" 동작은, 판독 전위(선택된 워드선의 전위)를 Vcgr00 (예를 들면, 약 0.7V)로 설정하고, 메모리셀의 데이터가 "11", "10"인지, 또는, "O0", "O1"인지를 인식하는 동작이다.

"READ00" 동작은, 판독 전위(선택된 워드선의 전위)의 레벨을 제외하고, "READ01" 동작과 거의 동일하게 되어 있다.

우선, 선택된 워드선의 전위를 VcgrOO, 선택 블록 내의 비선택의 워드선의 전위를 Vread로 하고, 비트선 BLe를 프리차지한 후, 플로팅 상태로 하여, 비트선 BLo를 접지 전위 Vss로 한다 (BLe는, 선택 비트선, BLo는 실드 비트선이다).

이후, 시각 RCLK7에, 셀렉트 게이트선 SG2의 전위 SGS를 Vread로 설정하면, 선택된 메모리셀의 데이터에 따라서, 비트선 BLe의 전위가 저하하거나 또는 유지된다.

즉, 선택된 메모리셀의 데이터가, "11", "10"의 경우에는, VcgrOO에 의해, 이 선택된 메모리셀은, 온 상태가 되기 때문에, 비트선 BLe의 전하가 방전되고, 비트선 BLe의 전위는, 0.3V 이하로 저하한다 (선택 블록 내의 비선택의 메모리셀은, Vread에 의해 온 상태이다).

한편, 선택된 메모리셀의 데이터가, "00", 01"의 경우에는, VcgrOO에 의해서는 이 선택된 메모리셀은, 온 상태가 되지 않기 때문에, 비트선 BLe의 전하가 방전되는 일은 없고, 비트선 BLe는 프리차지 전위(약 0.8V)를 유지한다.

이후, "READ01" 동작과 마찬가지로, 비트선 BLe의 전위가 감지되어, 또한, 래치 회로 LATCH1에 래치된다.

즉, 시각 SCLK6에, SEN 및 LAT을 함께 "L", SENB 및 LATB를 함께 "H"로 하여, 래치 회로 LATCH1, 즉, 클럭드 인버터 CINV1, CINV2를 비동작 상태로 한다.

시각 SCLK7에, BLC를 Vsg(약 4.5V)로 하고, nPRST를 "L"로 하면, 센스노드(DTNij)가 Vdd로 된다. 또한, 시각 SCLK8에, nPRST가 "H"가 되면, 감지 노드는 플로팅 상태가 된다. 또한, 시각 SCLK9에, BLCLMP가, Vsense (예를 들면, 약 1.6V)가 되어, 비트선 BLe의 전위가 감지 노드에 전해진다.

이때, 메모리셀의 데이터가 "11", "10"의 경우에는, 비트선 BLe의 전위는 0.3V 이하의 전위로 되어 있기 때문에, 감지 노드(DTNij)의 전위는, Vdd로부터 0.3 V 이하의 전위로 저하한다. 또한, 메모리셀의 데이터가 "00" "01"의 경우에는, 비트선 BLe의 전위는, 프리차지 전위(약 0.8V)를 유지하고 있기 때문에, 클램프용의 MOS 트랜지스터 TN9(도 2 참조)가 차단되어, 감지 노드(DTNij)는 Vdd를 유지한다.

이후, 시각 SCLK13에, SEN이 "H", SENB가 "L"이 되어, 클럭드 인버터 CINV1가 동작 상태로 된다 (도 2).

그 결과, 메모리셀의 데이터가 "11", "10"의 경우에는, 클럭드 인버터 CINV1의 출력 노드 Nbij가 Vdd로 된다. 메모리셀의 데이터가 "00", "01"의 경우에는 클럭드 인버터 CINV1의 출력 노드 Nbij가 Vss로 된다.

또한, 시각 SCLK14에는, LAT이 "H", LATB가 "L"이 되어, 클럭드 인버터 CINV2가 동작 상태로 된다 (도 2). 즉, 판독 데이터(감지 노드의 데이터)가 래치 회로 LATCH1에 래치된다.

이상의 "READ00" 동작에 의해, 래치 회로 LATCH1에 래치되는 데이터는, 표 3과 같이 된다.

표 3.

홀수 페이지의 판독 데이터

	"11"	"10"	"00"	"01"
Naij	Vss	Vss	Vdd	Vdd

즉, 홀수 페이지 데이터가 "1"의 메모리셀에서는, 래치 회로 LATCH1의 출력 노드 Naij의 전위는, Vss로 되고, 홀수 페이지 데이터가 "0"의 메모리셀에서는 래치 회로 LATCH1의 출력 노드 Naij의 전위는 Vdd로 된다.

이 후, CSLi를 "H"로 하는 것에 의해, 래치 회로 LATCH1의 데이터(홀수 페이지 데이터)를 I/O 선(IOj, nIoj)에 출력하고, 또한, 메모리칩의 외부에 출력한다.

또, 도 20은, 상술한 홀수 페이지 데이터의 판독 동작의 특징을 간결히 통합한 것이다. 즉, 본 예에서는, "READ00"로 판독한 데이터가 그대로 홀수 페이지 데이터가 된다. 따라서, 홀수 페이지 데이터의 판독 동작에서는,예를 들면, 래치 회로(SRAM 셀) LATCH1만을 사용하고, DRAM 셀은 사용하지 않는다.

2. 기록 동작(Program operation)

기록 동작은, 도 14 및 도 15에 있어서 그 개요를 설명한 바와 같이, 2회의 기록 동작, 즉, 짝수 페이지 데이터의 기록 동작과 홀수 페이지 데이터의 기록 동작으로 이루어진다.

2. -l. 짝수 페이지 데이터의 기록 동작

먼저, 짝수 페이지 데이터의 기록 동작의 개요(동작의 흐름)에 관해서 설명하고, 그 후, 구체적인 회로 동작(동작 타이밍)에 관해서 설명한다.

도 21은, 짝수 페이지 데이터의 기록 동작의 개요를 보이고 있다.

우선, 예를 들면, "80 (16진수)" 커맨드가 칩내에 입력된다. 이후, 어드레스 신호가 칩내에 입력되고, 이어, 짝수 페이지의 기록 데이터가 칩내에 입력된다. 이 기록 데이터는, 칩 외부에서 칩 내부의 I/O 선 IOj, nIOj를 경유하여, 데이터 회로내의 래치 회로 LATCH1 (도 2)에 입력된다 (스텝 ST1～ST2).

다음에, 예를 들면, "10(16진수)" 커맨드가 칩내에 입력된다. 그렇게 하면, 기록 펄스가 메모리셀의 워드선에 인가된다 (스텝 ST3～ST4).

여기서, 본 예에서는, 기록 시간의 단축(기록의 고속화)을 위해, n 회째의 기록 펄스의 인가(스텝 ST4)와 동시에, n-1회째의 기록 펄스의 인가에 의해 "10" 기록이 충분히 행해졌는지 여부의 검출을 행하는 시퀀스 (병렬 처리)를 채용하고 있다 (스텝 ST5).

단, 이하에 도시한 바와 같이, 기록 시간의 단축(기록의 고속화)을 달성하는 다른 수단으로서, 본 예에서는, 기록 전위(기록 펄스의 크기)를 점차로 상승시켜감과 동시에, 기록 동작의 당초에 있어서는 "10" 검증 판독을 행하지 않은 것 같은 시퀀스를 채용한다.

따라서, 본 예에서는, "10" 검증 판독을 행하고 있지 않은 경우에는, 기록이 충분히 행해졌는지 여부의 검출(스텝 ST5)도 행하지 않는다.

기록 펄스를 워드선에 인가하는 수가 소정 횟수(예를 들면, 9회) 이하인 경우에는, "10" 검증 판독을 생략하여, 기록 펄스를 계속해서 인가한다 (스텝 ST6). 기록 동작의 당초에 있어서 검증 판독을 생략함으로써, 기록의 고속화를 도모할 수 있기 때문이다.

또, "10" 검증 판독(VERIFY10)란, "10" 기록을 행하는 메모리셀에 대하여, 깔끔히 데이터 "1O"이 기록되었는지 여부를 검증하는 검증에 있어서, 그 검증을 행하기 위해서, 검증 판독 전위 Vcgv10(도 13)으로, 메모리셀의 데이터를 판독하는 것을 말한다.

본 예에서는, 기록 전위(기록 펄스의 레벨)를 초기치로 설정하여 기록 펄스의 인가를 개시하고, 이후, 기록 펄스를 인가할 때마다, 워드선에 인가하는 기록 전위를 소정치(예를 들면, 약 0.2V)씩 점차로 상승시켜 간다.

예를 들면, 기록 전위를 약 0.2V 씩 상승시키는 것에 의해, 이상적으로는, "10", 기록 상태의 메모리셀의 임계치 전압 분포의 폭을, 0.2V 정도로 할 수 있다. 실제의 동작에서는, 검증 판독으로 생기는 소위 어레이 노이즈에 의해서, "10" 기록 상태의 메모리셀의 임계치 전압 분포의 폭은, O.4 V 정도가 된다.

또, 도 13에서는, 기록 상태("10", "00", "01")의 메모리셀의 임계치 전압 분포의 폭은 0.4V 정도인 것을 전제로 하고 있다.

기록 동작의 개시로부터 명확한 바와 같이, 예를 들면 9회의 기록 펄스가 인가되기까지의 기간에 있어서는, 기록 전위는 충분히 낮게 설정되어 있고, "10" 기록을 행하는 메모리셀에 대한 과잉의 기록(임계치 전압이 VcgrOO를 넘는 것 같은 기록)이 행해지는 일이 없다.

이와 같이, 당초는, 낮은 기록 전위를 갖는 펄스를 워드선에 인가하여, 펄스가 인가될 때마다, 점차로, 기록 전위를 상승시켜가도록 한 것은, 플로팅 게이트 전극에 조금씩 전자를 주입하여, 최종적으로, 소정량의 전자를 플로팅 게이트 전극에 축적하기 위해서이다.

이 경우, 예를 들면, 1회의 기록 펄스로 소정량의 전자를 한번에 플로팅 게이트 전극에 주입하는 경우에 비해, 1회의 기록 펄스에 의해 메모리셀의 터널 산화막에 인가되는 전계가 낮아지기 때문에, 터널 산화막의 신뢰성이 향상한다.

또한, 기록 전위(기록 펄스의 레벨)는, 낮은 값으로부터 높은 값으로 점차로 상승시킨다. 즉, 기록 전위를 점차로 상승시키는 경우에는, 당초의 기록 전위를 높은 값으로 설정하고 이 기록 전위를 점차로 하강시키는 경우에 비해, 경험적으로, 메모리셀의 임계치 전압 분포의 폭을 좁게 할 수 있기 때문이다.

워드선에 대한 기록 펄스의 인가 횟수가 예를 들면 10회 이상의 경우에는, "10" 기록을 행하는 메모리셀에 대하여, 데이터 "10"이 깔끔히 기록되었는지의 여부를 검증하기 위해서, 기록 펄스를 워드선에 인가한 후에, "10" 검증 판독이 행해진다(스텝 ST6～ST7).

또한, "10" 검증 판독에 의해 메모리셀에서 판독된 데이터는, "10" 기록이 충분히 행해졌는지의 여부를 나타내는 데이터이고, 이 데이터는, 데이터 회로내의 래치 회로 LATCH1에 기억된다.

이 후, 다음의 기록 펄스를 워드선에 인가하는 동작(스텝 ST4)에 병렬하여, 래치 회로 LATCH1의 데이터에 기초해서, 직전의 기록 펄스에 의해 "1O" 기록이 충분히 행해졌는지의 여부를 검증하는 동작(프로그램 완료 검출;Program Completion Detection)이 실행된다 (스텝 ST5).

구체적으로는, 짝수 페이지 데이터의 기록 동작에서는, 도 14에 도시한 바와 같이, "11" 기록과 "10" 기록이 존재한다. "11" 기록이란, 소거 상태("11")를 유지하는 것을 의미하고, "10" 기록은, 기록 펄스에 의해, 임계치 전압을 상승시켜, "11" 상태를 "10" 상태로 하는 것을 의미한다.

모든 선택된 메모리셀(컬럼)에 대하여 소정의 데이터 "11", "10"이 충분히 기록된 경우(실제로는, "10" 기록의 대상으로 되는 메모리셀에 충분히 데이터 "10"이 기록된 경우)에는, 짝수 페이지 데이터의 기록 동작이 종료한다.

적어도 1개의 선택된 메모리셀(컬럼)에 대하여 소정의 데이터 "11", "10"가 충분히 기록되고 있지 않은 경우(실제로는, "10" 기록의 대상으로 되는 메모리셀의 모두에 충분히 데이터 "10"이 기록되고 있지 않은 경우)에는, 계속해서, "10" 검증 판독 및 기록 펄스의 인가가 행해진다.

또, 일반적으로는, 기록이 충분한 메모리셀에 대하여는, 이후, 터널 산화막에 고전계를 인가하지 않도록하고, 기록 불충분의 메모리셀에 대하여만, 계속하여, 터널 산화막에 고전계를 인가(재기록하여)하도록 하고, 기록 특성이 양호한 메모리셀에 대하여 지나친 기록을 방지한다.

그런데, 본 예에서는, 기록의 충분/불충분을 검출하는 동작(프로그램 완료 검출)을, 기록 펄스를 워드선에 인가하는 동작과 병렬하여 행하고 있지만, 예를 들면, 프로그램 완료 검출을, "10" 검증 판독의 직후에 행하고, 그 후, 프로그램 완료 검출의 결과가 불충분한 경우에, 재차, 기록 펄스의 인가를 행하도록 해도 좋다.

짝수 페이지 데이터의 기록 동작의 개요에 대해서는, 이상과 같다.

상술한 바와 같이, 짝수 페이지 데이터의 기록 동작은, 기록 펄스 인가, "10" 검증 판독(VERIFY10) 및 프로그램 완료 검출 (기록이 충분히 행해졌는지 여부의 검출)으로 이루어진다.

이하에서는,이들 3개의 동작에 관해서 순차 상세히 설명한다.

2. -1. -1. 기록 펄스 인가

도 22는, 기록 펄스 인가에 관한 동작 타이밍을 나타내고 있다.

데이터 회로(컬럼)측에서는, 먼저, "10" 기록을 행하는 경우(짝수 페이지 데이터 "0"를 메모리셀에 기록하는 경우)에는, 기록 데이터를 칩 외부에서 래치 회로 LATCH1 (도 2)에 입력하고, 래치 회로 LATCH1의 노드 Naij에 "L"을 래치한다.

또한, "11" 기록을 행하는 경우(짝수 페이지 데이터"1"를 메모리셀에 기록하는 경우)에는, 기록 데이터를 칩 외부에서 래치 회로 LATCH1(도 2)에 입력하여, 래치 회로 LATCH1의 노드 Naij에 "H"를 래치한다.

한편, 워드선 제어 회로(로우)측에서는, 먼저, 로우 어드레스 디코더(도 9,도 11)에 있어서, RDECPB가 "L"로 설정된다. 이 때, RDECAD(도 9) 및 RDECADS1(도 11)은, 함께, "L(Vss)"이고, 모든 메모리셀 블록은, 비선택 상태로 되어있다.

이후, RDECPB가 "L"로부터 "H"로 변화한다. 이 때, MOS 트랜지스터 TP4가 오프 상태, MOS 트랜지스터 TN21이 온 상태가 된다 (도 9, 도 11).

또한, 선택된 메모리셀 블록에서는, 모든 로우 어드레스 신호 AROWi, … AROWj가 "H"로 되고, RDECAD (도 9) 및 RDECADS1(도 11)이, 함께, "H"가 된다. 비선택의 메모리셀 블록에서는, 로우 어드레스 신호 AROWi,…, AROWj의 적어도 1개가 "L"이기 때문에, RDECAD (도 9) 및 RDECADS1 (도 11)은 "L"을 유지한다.

선택된 메모리셀 블록 내의 워드선 드라이버(도 10, 도 12)에서는, 입력 신호 RDECAD, RDECADS1이 "H"로 되기 때문에, 오실레이션 신호(클럭 신호) Owc에 의해, 고전압 스위치 회로(NMOS 차지 펌프 회로)(26)가 동작한다.

따라서, 선택된 메모리셀 블록 내의 워드선 드라이버(도 10, 도 12)에서는, 고전압 스위치 회로(26)의 출력 노드에, 전위 VRDEC에 기초하여 생성된 승압 전위 VpgmH (기록 전위 Vpgm보다도 2V 정도 높은 전위)가 전송된다.

예를 들면, 제1 메모리셀 블록 내의 워드선 드라이버 RMAIN1 (도 10)이 선택된 경우에는, 출력 노드 TransferG1에, 전위 VpgmH(예를 들면, 약 18～22V)이 전송되어, 제2 메모리셀 블록 내의 워드선 드라이버 RMAIN2 (도 12)가 선택된 경우에는, 출력 노드 TransferG2에, 전위 VpgmH가 전송된다.

그 결과, 전송용 트랜지스터 HNt1, HNt2, ··HNt16의 게이트는, 충분히 높은 전위로 되고, 신호선 CG1, CG2, …CG16의 전위는, 소위 임계치 저하없이, 전송용 트랜지스터 HNt1, HNt2, …HNt16을 경유하여, 워드선(콘트롤 게이트선) WL1, WL2, ··WL16에 전송된다.

또한, 신호선 SGD, SGS의 전위도, 전송용 트랜지스터 HN5, HN6를 경유하여, 셀렉트 게이트선 SG1, SG2에 전송된다.

여기서, 신호선 CG1, CG2, …CG16 중, 선택된 1개의 신호선의 전위는 전환 회로(도 1)에 의해, Vpgm(예를 들면, 약 16～20V)으로 설정되고, 남은 비선택의 신호선의 전위는, 전환 회로(도 1)에 의해, Vpass(예를 들면, 약 1OV)로 설정된다.

또한, 신호선 SGD의 전위는, Vdd로 설정되고, SGS의 전위는 Vss로 설정된다.

한편, 비선택의 메모리셀 블록 내의 워드선 드라이버(도 10, 도 12)에서는, 고전압 스위치 회로(26)의 출력 노드 TransferG1, TransferG2에, 전위 RDECAD, RDECADS2가 전송된다.

즉, 비선택의 메모리셀 블록 내의 워드선 드라이버(도 10, 도 12)에서는, 출력 노드 TransferG1, TransferG2는 함께 접지 전위 Vss가 된다.

그 결과, 전송용 트랜지스터 HNt1, HNt2, …HNt16은, 오프 상태로 되고, 워드선(콘트롤 게이트선) WL1, WL2,…WL16은 플로팅 상태가 된다. 셀렉트 게이트선 SG1, SG2는 신호선 SGS, SGD에 의해 접지된다.

도 22의 동작타이밍에 관하여 상세히 설명한다.

또, 본 예에서는, 비트선 BLe에 접속되는 메모리셀이 선택되는 것으로하여 설명한다.

로우측(워드선 제어 회로측)에서는, 먼저, 시각 PLCK1에, BSTON이 "H"가 된다. 이때, 선택된 메모리셀 블록에서는, 워드선 드라이버내의 고전압 스위치 회로의 출력 노드(TransferG1 또는 TransferG2)에, Vdd(RDECAD 또는 RDECADS2)가 전송된다.

또한, 시각 PCLK3에, BSTON이 "L"이 되고, 시각 PCLK4에, VRDEC가 VpgmH가 되기 때문에, 선택된 메모리셀 블록에서는, 워드선 드라이버내의 고전압 스위치 회로의 출력 노드(TransferG1 또는 TransferG2)의 전위가 VpgmH으로 상승한다.

한편, 컬럼측(데이터 회로측)에서는, 시각 PCLK1에, BLC 및 BLCLMP이, 각각 Vsg (예를 들면, 약 6V)로 되고, 시각 PCLK4에, BLSe가 VsgHH로 된다. 그 결과, 래치 회로 LATCH1와 비트선 BLe가 전기적으로 접속되어, 래치 회로 LATCH1의 데이터가 비트선 BLe에 전송된다.

예를 들면, "10" 기록을 행하는 메모리셀이 접속되는 비트선(선택 비트선) BLe에는, 래치 회로 LATCH1로부터 Vss가 전송된다 (래치 회로의 노드 Naij는, Vs s). 또한, "11" 기록을 행하는 (소거 상태를 유지함) 메모리셀이 접속되는 비트선(선택 비트선) BLe에는, 래치 회로 LATCH1에서 Vdd가 전송된다 (래치 회로의 노드 Naij는 Vdd).

또, 비선택 비트선 BLo의 전위는 Vdd로 설정된다. 즉, BLSo는 항상 Vss로 설정되고, 시각 PLCK4에, BIASo가 VsgHH로 되며, BLCRL이 Vdd로 되기 때문에, BLCRL에서 비트선 BLo로 Vdd가 전송된다.

그리고, 비트선 BLe, BLo의 충전이 종료한 후, 시각 PCLK5에, 비선택의 워드선 CG unselect가, Vpass (예를 들면, 약 10V)로 설정된다. 또한, 시각 PCLK6에는, 선택된 워드선 CG select가, Vpgmm (예를 들면, 16～20V 정도)로 설정된다.

"10" 기록을 행하는 메모리셀이 접속되는 선택 비트선 BLe는, Vss이기 때문에, 그 메모리셀의 채널 전위도 Vss 이다. 따라서, "10" 기록을 행하는 메모리셀에서는, 채널과 콘트롤 게이트 전극(선택된 워드선)과의 사이에 고전계가 걸려, 채널로부터 플로팅 게이트 전극에 전자가 주입된다.

"11" 기록을 행하는 메모리셀이 접속되는 비선택 비트선 BLe는 Vdd이고, 셀렉트 게이트선 SG1도 Vdd 이다. 즉, "11" 기록을 행하는 메모리셀과 비트선과의 사이에 접속되는 셀렉트 트랜지스터는 차단된다.

따라서, 비선택의 워드선의 전위가 Vpass가 되고, 선택된 워드선의 전위가 Vpgm이 되면, "11" 기록을 행하는 메모리셀의 채널과 워드선의 사이의 용량커플링에 의해, "11" 기록을 행하는 메모리셀의 채널 전위는, 8V 정도까지 상승한다.

그 결과, "11" 기록을 행하는 메모리셀에서는, 채널과 콘트롤 게이트 전극(선택된 워드선)과의 사이에 고전계가 인가되지 않고, 채널로부터 플로팅 게이트 전극에 전자가 주입되지 않는다 ("10" 기록이 금지된다. 즉, 소거 상태를 유지한다).

그런데, 비트선 BLo의 전위는 Vdd 이다. 따라서, 셀렉트 게이트선 SG1이 Vdd가 되면, 비트선 BLo에 접속되는 셀렉트 트랜지스터는 차단된다. 즉, 비트선 BLo에 접속되는 비선택의 메모리셀에서는, 채널 전위가 상승하여 "10" 기록이 금지된다.

또, 시각 PCLK6으로부터 시각 CCLK10/PRCV1까지의 기간에, 기록 펄스는 선택된 워드선에 인가된다.

그리고, 시각 PRCV1에, 선택된 워드선의 전하를 방전하여, 선택된 워드선의 전위를 Vpgm에서 Vss로 한다. 또한, 시각 PRCV2에, 비선택의 워드선의 전하를 방전하여, 비선택의 워드선을, 전송 전위 Vpass에서 Vss로 한다. 또한, 시각 PRCV3에, 비트선 BLe, BLo의 전하를 방전한다.

또, 도 23은, 기록 펄스 인가시의 모습을 도시한 것이다. 즉, 짝수 페이지 데이터가 "O"일 때, 기록 셀의 채널에 접지 전위 Vss ("L")가 전송되고, 짝수 페이지 데이터가 "1"일 때, 기록 셀의 채널은, Vdd-Vth에서, 플로팅 상태로 된다.

2. -1. -2. "VERIFY10"

도 24는 "10" 검증 판독의 동작 타이밍을 나타내고 있다.

"10" 검증 판독(VERIFY10)에서는, 비트선을 프리차지한 후, 선택된 워드선을 Vcgv10 (예를 들면, 약 0.15V)으로 하고, 비트선의 전위 변화를 검출하여 메모리셀의 데이터를 판독한다.

여기서, 래치 회로 LATCH1 (도 2)에는, 이미, 기록 데이터가 래치되어 있기때문에, 검증 판독에서는,판독 데이터가 기록 데이터와 충돌하지 않도록해야만 한다.

그래서, 비트선에 대한 프리차지나, 방전(셀 데이터의 판독)을 행하고 있는 사이에, 래치 회로 LATCH1에 기억된 기록 데이터를, 노드 CAP2ij에 전송하여, 또한, 일시 기억한다.

구체적으로는, 이하와 같이 된다.

우선, 시각 RCLK1에, CAPCRG 및 VREG을, 각각 Vdd로 설정하여, 시각 RCLK4에, BOOT를 Vss로 설정한다. 시각 RCLK5에, VREG가 Vss가 되면, 노드 CAP2ij는, Vss로 리세트된다. 또, 이 동안, DTG2는 Vss로 되어 있다.

시각 RCLK9/SCLK1에, CAPCRG가 Vss로 되고, 노드 CAP2ij는, 플로팅 상태가 된다. 이후, 시각 SCLK2에, DTG2가 Vsg (예를 들면, 약 4.5V)가 되고, 래치 회로 LATCH1에 래치된 기록 데이터는, MOS 트랜지스터 TN2를 경유하여, 노드 CAP2ij에 전송되어, 또한, 일시 기억된다.

즉, 짝수 페이지의 기록 데이터가 "0"의 경우("10" 기록을 행하는 경우)에는, 래치 회로 LATCH1의 노드 Naij가 "L"이기 때문에, 노드 CAP2ij는 Vss가 된다.

또한, 짝수 페이지의 기록 데이터가 "1"의 경우("11" 기록을 행하는 경우)에는, 래치 회로 LATCH1의 노드 Naij가 "H"이기 때문에, 노드 CAP2ij는 Vdd가 된다.

이후, 시각 SCLK3에, DTG2가 Vdd가 되고, 시각 SCLK4에 BOOT가 Vdd가 된다.

이때, 짝수 페이지의 기록 데이터가 "O"의 경우("10" 기록을 행하는 경우)에는, 노드 CAP2ij는, Vss그대로가 된다. 또한, 짝수 페이지의 기록 데이터가 "1"의 경우("11" 기록을 행하는 경우)에는, 노드 CAP2ij의 전위는, 캐패시터 DLN (C2)에 의해 부팅되기 때문에, Vdd (예를 들면, 약 2.3V)로부터 3.5V 정도로 상승한다.

이후, 시각 SCLK5에, DTG2가 Vss가 되고, 노드 CAP2ij는, 래치 회로 LATCH1로부터 전기적으로 분리된다.

한편, 메모리셀의 데이터는, 통상의 판독 동작(READ10)과 마찬가지로 하여, 비트선 BLe에 판독된다.

즉, 비트선 BLe의 프리차지 등을 행한 뒤, 시각 RCLK7에, SGS가 Vread로 되어, 메모리셀의 데이터에 따라서, 비트선 BLe의 전위가 변화한다.

예를 들면, "11" 기록을 행하는 선택 메모리셀(짝수 페이지의 기록 데이터가 "1"의 선택 메모리셀)에서는, Vcgv10에 의해, 그 선택 메모리셀이 온 상태가 되기 때문에, 비트선 BLe의 전하가 방전되고, 비트선 BLe는, 0.3V 이하의 전위로 된다.

또한, "10" 기록을 행하는 선택 메모리셀(짝수 페이지의 기록 데이터가 "O"의 선택 메모리셀)에 있어서, "10" 기록 불충분의 경우에는, Vcgv10에 의해, 그 선택 메모리셀이 온 상태가 되기 때문에, 비트선 BLe의 전하가 방전되고, 비트선 BLe는, 0.3V 이하의 전위로 된다.

또한, "10" 기록을 행하는 선택 메모리셀(짝수 페이지의 기록 데이터가 "O"의 선택 메모리셀)에 있어서, "10" 기록 충분의 경우에는, Vcgv10에 의해, 그 선택 메모리셀은 오프 상태가 되기 때문에, 비트선 BLe의 전하는 방전되지 않고, 비트선 BLe는 0.8V를 유지한다.

이후, 시각 SCLK6에, SEN 및 LAT이 함께 "L", SENB 및 LATB가 함께 "H"가 되고 데이터 회로내의 래치 회로 LATCH1, 즉, 클럭드 인버터 CINV1, CINV2가 비동작 상태로 된다.

또, 이때, 기록 데이터는, 이미, 노드 CAP2ij에 전송되고, 또한, 시각 SCLK5의 시점에서, 노드 CAP2ij는 래치 회로 LATCH1로부터 전기적으로 절단되어 있다.

시각 SCLK7에, BLC가 Vsg (예를 들면, 약 4.5V), nPRST이 "L"이 되는 것으로, 감지 노드(DTNij)가 충전되어, 감지 노드는 Vdd로 된다 (Naij도, Vdd로 된다). 또한, 시각 SCLK8에, nPRST가 Vdd가 되면, 감지 노드(DTNij)는, 플로팅 상태로 된다.

시각 SCLK9에, BLCLMP가 Vsense (예를 들면, 약 1.6V)가 되면, 비트선 BLe에 판독된 메모리셀의 데이터는 감지 노드(DTNij)에 전송된다.

즉, "11" 기록을 행하는 선택 메모리셀(짝수 페이지의 기록 데이터가 "1"의 선택 메모리셀)과, "10" 기록을 행하는 선택 메모리셀(짝수 페이지의 기록 데이터가 "O"의 선택 메모리셀) 중 기록 불충분인 메모리셀에 관해서는, 비트선 BLe는, O.3V 이하의 전위로 되어 있기 때문에, 감지 노드(DTNij)도 0.3V 이하의 전위로 저하한다.

"10" 기록을 행하는 선택 메모리셀(짝수 페이지의 기록 데이터가 "O"의 선택 메모리셀) 중 기록이 충분히 행해진 메모리셀에 관해서는, 비트선 BLe의 전위는 0.8V를 유지하고 있기 때문에, 클램프용의 MOS 트랜지스터 TN9가 차단하여, 감지 노드(DTNij)는 Vdd를 유지한다.

시각 SCLK10에 있어서, 감지 노드(DTNij)의 전위는, 표 4에 도시한 바와 같이 된다.

표 4.

"VERIFY10" 중의 센스 노드 (DTNij · Naij)

	"11" 기록 (기록 비선택)	"10" 기록 불충분	"10" 기록 충분
SCLK10의 시점	"LOW"	"LOW"	"HIGH"
SCLK12의 시점	"HIGH"	"LOW"	"HIGH"

이후, 통상의 판독 동작(READl0)과 다르고, "10" 검증 판독에서는, 시각 SCLK11에, REG2가 Vsg로 되고, MOS 트랜지스터 TN6이 온 상태로 된다.

"11" 기록을 행하는 경우(짝수 페이지의 기록 데이터가 "1"의 경우)에는, 노드 CAP2ij에는, "H"이 래치되어 있기 때문에, MOS 트랜지스터 TN1은 온 상태이다. 즉, COMi (Vdd로 설정되어 있다)와 감지 노드(DTNij)가 단락하여, 그 결과, 감지 노드(DTNij)는 Vdd로 된다.

"10" 기록을 행하는 경우(짝수 페이지의 기록 데이터가 "O"의 경우)에는, 노드 CAP2ij에는, "L"이 래치되어 있기 때문에, MOS 트랜지스터 TN1는 오프 상태이다. 즉, COMi (Vdd로 설정되어 있다)와 감지 노드(DTNij)는 전기적으로 분리되고 있기 때문에, 감지 노드(DTNij)의 전위의 변화는 없다.

따라서, 시각 SCLK12에 있어서의 감지 노드(DTNij)의 전위는, 상기 표 4에 도시하는 바와 같이 된다.

이후, 시각 SCLK13에, SEN이 Vdd, SENB가 Vss로 되고, 클럭드 인버터 CINV1가 동작 상태가 되어, 감지 노드(DTNij)의 전위를 감지한다.

상기 표 4에 도시한 바와 같이, "11" 기록의 경우 및 "10" 기록 충분의 경우에는, 감지 노드(DTNij)는, 각각 "H"이기 때문에, 클럭드 인버터 CINV1의 출력 노드 Nbij는 Vss가 된다. 또한, "10" 기록 불충분의 경우에는, 감지 노드(DTNij) 는, "L"이기 때문에, 클럭드 인버터 CINV1의 출력 노드 Nbij는 Vdd가 된다.

이후, 시각 SCLK14에, LAT가 Vdd, LATB가 Vss로 되고, 판독 데이터가 래치 회로 LATCH1에 래치된다.

즉, "11" 기록의 경우 및 "10" 기록 충분의 경우에는, 노드 Naij는 Vdd로 되고, 노드 Nbij는 Vss로 된다. "10" 기록 불충분의 경우에는, 노드 Naij는 Vss로 되고, 노드 Nbij는 Vdd로 된다.

"10" 검증 판독을 종료한 시점에 있어서의 래치 회로 LATCH1의 데이터는 표 5에 도시한 바와 같이 된다.

표 5.

"BERIFY10" 후에 있어서의 래치 회로 LATCH1의 데이터

	"11" 기록 (기록 비선택)	"10" 기록 불충분	"10" 기록 충분
Naij	"Vdd"	"Vss"	"Vdd"
Nbij	"Vss"	"Vdd"	"Vss"

또, 이 래치 회로 LATCH1의 데이터가, 신규의 기록 데이터(짝수 페이지 데이터)로서, 이후, 사용된다. 즉, "VERIFY10"에 있어서, 노드 CAP2ij에 래치된 데이터는, 후술하는 프로그램 완료 검출 에서 사라져 버린다.

이와 같이 함으로써, 기록 데이터(짝수 페이지 데이터)가 "0" (즉, "L")일 때에, 기록("10"기록)을 실행함과 함께, 기록 충분이 되면, 기록 데이터를 "0" ("L")으로부터 "1"("H")로 변화하고, 그 이후는, 기록("10"기록)이 행해지지 않도록 하고 있다.

그런데, 상술의 "10" 검증 판독에 있어서, 시각 SCLK4에, BOOT를 Vss에서 Vdd로 하고, "11" 기록의 경우의 노드 CAP2ij의 전위를 4V 정도까지 부팅하고 있는 이유는, 시각 SCLK11에, REG2를 Vsg로 하였을 때에, 감지 노드(DTNij)를, N 채널 MOS 트랜지스터 TN1의 임계치 전압분의 임계치 저하 없이, Vdd로 설정하기 때문이다.

만일, "11" 기록의 경우의 노드 CAP2ij의 전위가 Vdd(예를 들면, 약 2.3V)인 것으로 하면, 시각 SCLKl1에, 감지 노드(DTNij)는 1.5V 정도까지밖에 상승하지 않는다.

논리 동작 상은, 감지 노드의 1.5V를 "H"로 인식할 수 있다고 생각되지만, 이 경우, 감지시간(SCLK13)에, 클럭드 인버터 CINV1에 있어서 관통 전류가 흐르는 결점이 있다. 데이터 회로는, 칩내에, 4000개 혹은 8000개 혹은 16000개 있는 것으로, 모든 데이터 회로의 클럭드 인버터 CINV1에 관통 전류가 흐르는 것으로 하면, 칩 합계에서는, 100 mA 정도의 대전류로 되어 버린다.

그 결과, 칩내 전원 전위 Vdd가 강하하거나, 소비 전류가 대폭 증가하는 등의 문제가 생긴다.

본 예와 같이, "11" 기록의 경우의 노드 CAP2ij의 전위를 4V 정도까지 부팅하여 놓으면, MOS 트랜지스터 TN1에 있어서의 임계치 저하 없이, 감지 노드(DTNij)를 충전할 수 있고, 상술한 바와 같은 전원 전위 Vdd의 강하나 소비 전류의 증대를 막을 수 있다.

또, 도 25는, "10" 검증 판독 시의 모습을 통합한 것이다. 즉, 래치 회로 LATCH1에 래치된 기록 데이터가 DRAM 셀에 전송된 후, 판독 데이터가 감지 노드(DTNij)에 전송된다.

이 때, DRAM 셀에 래치된 데이터가 "H", 즉, "11" 기록 또는 "10"기록 충분을 보이고 있으면, 판독 데이터에 관계 없이, 감지 노드(DTNij)는 "H"로 된다.

즉, DRAN4 셀에 래치된 데이터가 "L", 즉, "10"기록 불충분을 보이고 있을 때만, 메모리셀의 상태에 따른 데이터가 감지 노드(DTNij)에 전송된다.

예를 들면, 메모리셀의 상태가 "10" 상태에 달하고 있지 않은 경우("10"불충분의 경우)에는, 감지 노드(DTNij)는, "L"로 되고, 메모리셀의 상태가 "10" 상태에 도달한 경우("10" 충분의 경우)에는, 감지 노드(DTNij)는 "H"로 된다.

그리고, 감지 노드(DTNij)의 데이터는, 래치 회로 LATCH1에 래치된다.

또, 이후는, 래치 회로 LATCH1에 래치된 데이터에 기초하여, 다음의 기록 펄스의 인가 및 다음의 "10" 검증 판독이 행해진다.

2. -1. -3. "프로그램 완료 검출

"VERIFY10"의 후, "10" 기록을 행하는 메모리셀의 모두에 대하여, 깔끔히 "1O" 기록이 행해졌는지의 여부를 검출하는 "프로그램 완료 검출" 동작이 행해진다. 이 검출은, "VERIFY10"에 의해서 래치 회로 LATCH1에 래치된 데이터(표 5 참조)에 기초하여 행해진다. 그리고, "10" 기록이 충분하지 않은 경우에는, 재 기록(기록 펄스의 인가)이 실행되고, "10" 기록이 충분한 경우에는 기록(기록 펄스의 인가)을 종료한다.

도 26은 "프로그램 완료 검출 "의 동작 타이밍을 나타내고 있다.

이 "프로그램 완료 검출"에서는, 도 5의 일괄 검지 회로가 사용된다.

또, 도 19의 동작의 개요로 설명한 바와 같이, "VERIFY10"을 종료한 후에, 다음의 "기록 펄스의 인가"가 즉시 행해져, "프로그램 완료 검출"'은, 이 "기록 펄스의 인가"에 병렬하여 실행된다.

따라서, 시각 PCLK7/CCLK1은, 도 22중에서의 시각 PCLK7/CCLK1과 동일하다.

또한, 짝수 페이지 데이터의 기록 동작에 있어서의 "프로그램 완료 검출"에서는,도 26의 시각 CCLK5가 시각 CCLK9로 된다. 즉, 시각 CCLK5까지의 동작이 실행되고, 시각 CCLK5로부터 시각 CCLK9까지의 동작은 생략된다.

또, 시각 CCLK5로부터 시각 CCLK9까지의 동작은, 후술하는 홀수 페이지 데이터의 기록 동작에 있어서의 "프로그램 완료 검출"에 있어서 실행된다.

먼저, 시각 CCLK1에, CAPCRG가 Vsg, VREG가 Vdd로 되고, 노드 CAP2ij가 충전되어, 노드 CAP2ij의 전위는 Vdd로 된다 (DTG2는 Vss).

이때, "VERIFY10"에 있어서, 노드 CAP2ij에 래치된 데이터(짝수 페이지 데이터)는 소멸하여 버린다. 그러나, "VERIFY10"에 있어서, 이미, 새로운 기록 데이터가 래치 회로 LATCH1에 래치되어 있기 때문에, 기록 데이터가 완전히 사라지는 일은 없다.

즉, 기록 데이터(짝수 페이지 데이터)가 "0" (즉, "L")일 때에, 기록("10" 기록)이 실행되지만, 기록 충분이 되면, 기록 데이터는, "0"으로부터 "1"로 변화하고, 그 이후는, 기록("10"기록)이 행해지지 않도록 하고 있다.

이후, 시각 CCLK2 (DCLK1)에, COMHn (도 5)이 Vss에서 Vdd, NCOML(도 5)이 Vdd에서 Vss로 되면, COMi1 및 COMi2는 각각 Vdd, 또한, 플로팅 상태가 되고, NCOM은 Vss, 또한, 플로팅 상태가 된다.

시각 DCLK2에, 예를 들면, REG2-0이 Vdd가 된다. 이때, 도 5에 있어서, 제1 및 제5 데이터 회로가 선택되어, 제1 데이터 회로내의 REG2와 제5 데이터 회로내의 REG2가 각각 Vdd가 된다.

제1 및 제5 데이터 회로의 쌍방에 있어서, 래치 회로 LATCH1의 노드 Naij의 데이터가 Vdd의 경우(표5 참조), 즉, "11" 기록(기록 비선택)또는 "10"기록충분의 경우에는, 감지 노드 DTNij는, Vdd를 유지하고 있기 때문에, MOS 트랜지스터 TN6(도 2)은 오프 상태로 되고, COMi1 및 COMi2은 Vdd를 유지한다. 따라서, NCOM은 Vss를 유지한다.

한편, 제1 및 제5 데이터 회로의 적어도 한쪽에 있어서, 래치 회로 LATCH1의 노드 Naij의 데이터가 Vss의 경우(표5 참조), 즉, "10"기록 불충분의 경우에는, 감지 노드 DTNij는, Vss를 유지하고 있기 때문에, MOS 트랜지스터 TN6(도 2)은 온 상태로 되고, COMi1 또는 COMi2는, Vdd에서 Vss로 변화한다. 따라서, NCOM은 Vss에서 Vdd로 변화한다.

마찬가지로 하여, 순차, REG2-1, REG2-2, REG2-3이 Vdd가 된다. 즉, REG2-1이 Vdd일 때, 제2 및 제6 데이터 회로가 선택되고, REG2-2가 Vdd일 때, 제3 및 제7 데이터 회로가 선택되고, REG2-3가 Vdd일 때, 제4 및 제8 데이터 회로가 선택되며, 각각의 데이터 회로에서, 래치 회로 LATCH1의 상태, 즉, "10" 기록 충분/불충분이 검출된다.

그 결과, 제1 내지 제8 데이터 회로의 모두에서 "11" 기록(기록 비선택) 또는 "10"기록 충분을 나타내는 데이터가 출력되면, 시각 CCLK3의 시점에서, NCOM은 Vss가 된다. 또한, 제1 내지 제8 데이터 회로의 적어도 1 개로부터 "10" 기록 불충분을 나타내는 데이터가 출력되면, 시각 CCLK3의 시점에서, NCOM은 Vdd가 된다.

또한, FLAG 노드(도 5)에는, 모든 컬럼이 병렬로 접속되어 있다. 따라서, 미리 FLAG 노드를, Vdd 또한 플로팅 상태로 설정하여 두고, 이후, 시각 CCLK3에, COLPRE를 Vdd로 설정하여, MOS 트랜지스터 TN17(도 5)을 온 상태로 한다.

이때, 모든 컬럼에 대응하는 모든 데이터 회로에서 "11" 기록(기록 비선택)또는 "10" 기록 충분을 나타내는 데이터가 출력되고 있는 경우, NCOM은, Vss 이기때문에, MOS 트랜지스터 TN16(도 5)은, 오프 상태로 된다. 따라서, FLAG 노드는 Vdd를 유지한다.

또한, 모든 컬럼에 대응하는 모든 데이터 회로의 적어도 1개로부터 "10" 기록 불충분을 나타내는 데이터가 출력되어 있는 경우, NCOM은, Vdd가 되기 때문에, MOS 트랜지스터 TN16(도 5)은, 온 상태로 된다. 따라서, FLAG 노드는, Vdd에서 Vss로 변화한다.

이와 같이, 모든 컬럼에 있어서, "10" 기록 불충분인 메모리셀이 존재하지 않는 경우에만, FLAG 노드는, Vdd를 유지하고, 적어도 1개의 컬럼에 있어서, "10"기록 불충분인 메모리셀이 존재하는 경우에는, FLAG 노드는 Vss가 된다.

따라서, 이 FLAG 노드의 레벨을 검출하여, FLAG 노드가 Vdd의 경우, 즉, "10"기록 불충분의 컬럼(메모리셀)이 존재하지 않은 경우에는, 짝수 페이지 데이터의 기록 루틴을 종료한다. 또한, FLAG 노드가 Vss의 경우, 즉, "10" 기록 불충분의 컬럼(메모리셀)이 적어도 1개 존재하는 경우에는, 다시, "10" 검증 판독을 행하고, 이후, 기록 펄스의 인가에 병렬하여 프로그램 완료 검출을 행한다.

또, 불량 셀이 존재하기 때문에, 리던던시 회로에 의해 스페어 셀로 치환된 불량 컬럼(치환의 단위는 8 컬럼으로 함)에서는, 도 5의 일괄 검지 회로(10)의 퓨즈 소자가 절단된다. 따라서, 이 불량 컬럼 때문에, FLAG 노드가 Vss가 되는 일은 없다.

도 27은, 프로그램 완료 검출의 모습을 간결히 도시한 것이다. 즉, 래치 회로 LATCH1에는, "10" 검증 판독으로 메모리셀에서 판독된 데이터가 래치되어 있다. 따라서, 이 래치 회로 LATCH1의 데이터를 감지 노드(DTNij)에 전송하여, COMi의 전위를 변화를 검출함으로써, 모든 메모리셀에 관해서 "10" 기록이 완료했는지의 여부를 검출할 수가 있다.

2. -2. 홀수 페이지 데이터의 기록 동작

먼저, 홀수 페이지 데이터의 기록 동작의 개요(동작의 흐름)에 관해서 설명하고, 그후, 구체적인 회로 동작(동작 타이밍)에 관해서 설명한다.

도 28은 홀수 페이지 데이터의 기록 동작의 개요를 보이고 있다.

홀수 페이지 데이터의 기록을 행하기 전에 있어, 이미, 상술한 바와 같은 짝수 페이지 데이터의 기록이 완료하고 있기 때문에, 메모리셀의 상태는, "11" 상태 또는 "10" 상태이다.

우선, 예를 들면, "80 (16진수)" 커맨드가 칩내에 입력된다. 이후, 어드레스 신호가 칩내에 입력되고, 이어, 홀수 페이지의 기록 데이터가 칩내에 입력된다. 이 기록 데이터는, 칩 외부에서 칩 내부의 I/O선 IOj, nIOj를 경유하여, 데이터 회로내의 래치 회로 LATCH1(도 2)에 입력된다 (스텝 ST1～ST2).

다음에, 예를 들면, "10(16진수)" 커맨드가 칩내에 입력된다. 그렇게 하면, 우선, 메모리셀에 기억된 짝수 페이지 데이터가 판독된다(Internal Data Load). 이 후, 칩 외부에서 입력한 홀수 페이지 데이터(기록 데이터)와 메모리셀에서 판독한 짝수 페이지 데이터에 기초하여, 기록 펄스의 인가가 실행된다(스텝 ST3～ST5).

여기서, 본 예에서는, 기록 시간의 단축(기록의 고속화)을 위해, n 회째의 기록 펄스의 인가(스텝 ST5)와 동시에, n-1 회째의 기록 펄스의 인가에 의해, "O0" 기록 및 "O1" 기록이 충분히 행해졌는지의 여부의 검출을 행하는 시퀀스 (병렬 처리)를 채용하고 있다(스텝 ST5～ST7).

단지, 이하에 도시한 바와 같이, 기록 시간의 단축(기록의 고속화)를 달성하는 다른 수단으로서, 본 예에서는, 기록 전위(기록 펄스의 크기)를 점차로 상승시켜감과 동시에, 기록 동작의 당초에 있어서는, "O0" 검증 판독 및 "01" 검증 판독을 각각 행하지 않은 것 같은 시퀀스를 채용한다.

따라서, 본 예에서는, "00" 검증 판독을 행하고 있지 않은 경우에는, "O0" 기록이 충분히 행해졌는지 여부의 검출도 행해지지 않는다. 또한, "O1" 검증 판독을 행하고 있지 않은 경우에는, "01" 기록이 충분히 행해졌는지의 여부의 검출도 행해지지 않는다.

기록 펄스를 워드선에 인가하는 수가 제1 소정 횟수(예를 들면, 9회) 이하인 경우에는, "O0" 검증 판독을 생략하고, 기록 펄스를 계속하여 인가한다(스텝 ST10). 기록 펄스를 워드선에 인가하는 수가 제2 소정 횟수(예를 들면, 13회) 이하의 경우에는, "01" 검증 판독을 생략한다(스텝 ST8A, 8B).

이와 같이, 기록의 당초에 있어서 검증 판독을 생략하는 것은, 상술한 바와 같은 기록 전위를 서서히 올려 가는 수법에서는,기록 당초에 있어서 메모리셀에 소정의 데이터가 충분히 기록되고 있을 가능성은 거의 없기 때문에, 검증 판독을 행하기 보다도, 이것을 생략하여, 기록 속도의 고속화를 도모하는 쪽이 유리하기 때문이다.

또, "00" 검증 판독(VERIFY00)란, "00" 기록을 행하는 메모리셀에 대하여, 깔끔히 데이터"00"이 기록되었는지의 여부를 검증하는 검증에 있어서, 그 검증을 행하기 위해서, 검증 판독 전위 Vcgv00(도 13)로, 메모리셀의 데이터를 판독하는 것을 말한다.

또한, "01" 검증 판독(VERIFY01)이란, "01" 기록을 행하는 메모리셀에 대하여, 깔끔히 데이터 "O1"이 기록되었는지의 여부를 검증하는 검증에 있어서, 그 검증을 행하기 위해서, 검증 판독 전위 Vcgv01(도 13)로, 메모리셀의 데이터를 판독하는 것을 말한다.

본 예에서는, 기록 전위(기록 펄스의 레벨)를 초기치로 설정하여 기록 펄스의 인가를 개시하고, 이후, 기록 펄스를 인가할 때 마다, 워드선에 인가하는 기록 전위를 소정치(예를 들면, 약 0.2 V)씩 점차로 상승시켜간다.

예를 들면, 기록 전위를 약 0.2V 씩 상승시키는 것에 의해, 이상적으로는, "00" 기록 상태의 메모리셀 및 "O1" 기록 상태의 메모리셀의 임계치 전압 분포의 폭을, 0.2V 정도로 할 수 있다. 실제의 동작에서는, 검증 판독으로 생기는 소위 어레이·노이즈에 의해서, "00" 기록 상태의 메모리셀 및 "O1" 기록 상태의 메모리셀의 임계치 전압 분포의 폭은 0.4V 정도가 된다.

기록 동작의 개시로부터 예를 들면 9회의 기록 펄스가 인가되기까지의 기간에 있어서는, 기록 전위는, "O0" 기록을 완전히 행하기 위해서는 충분히 낮은 값으로 설정되어 있다. 또한, 기록 동작의 개시로부터 예를 들면 13회의 기록 펄스가 인가되기까지의 기간에 있어서는, 기록 전위는, "O1" 기록을 완전히 행하기 위해서는 충분히 낮은 값으로 설정되어 있다.

따라서, "00" 기록을 행하는 메모리셀이나 "01" 기록을 행하는 메모리셀에 대하여, 지나친 기록(임계치 전압이 VcgrO1)을 넘는 것과 같은 기록이 행해지는 일이 없다.

이와 같이, 당초는, 낮은 기록 전위를 갖는 펄스를 워드선에 인가하여, 펄스가 인가될 때마다, 점차로, 기록 전위를 상승시켜 가도록 한 것은, 플로팅 게이트 전극에 조금씩 전자를 주입하여, 최종적으로, 소정량의 전자를 플로팅 게이트 전극에 축적하기 위해서이다.

이 경우, 예를 들면, 1회의 기록 펄스로 소정량의 전자를 한번에 플로팅 게이트 전극에 주입하는 경우에 비해, 1회의 기록 펄스에 의해 메모리셀의 터널 산화막에 인가되는 전계가 낮게 되기 때문에, 터널 산화막의 신뢰성이 향상한다.

또, 기록 전위(기록 펄스의 레벨)는, 낮은 값으로부터 높은 값으로 점차로 상승시킨다. 즉, 기록 전위를 점차로 상승시키는 경우에는, 당초의 기록 전위를 높은 값으로 설정하고 이 기록 전위를 점차로 하강시키는 경우에 비해, 경험적으로, 메모리셀의 임계치 전압 분포의 폭을 좁게 할 수 있기 때문이다.

워드선에 대한 기록 펄스의 인가 횟수가 예를 들면 10회 이상의 경우에는, "O0" 기록을 행하는 메모리셀에 대하여, 데이터 "00"이 깔끔히 기록되었는지의 여부를 검증하기 위해, 기록 펄스를 워드선에 인가한 후에, "00" 검증 판독이 행해진다(스텝 STl0～STl1).

또한, 워드선에 대한 기록 펄스의 인가 횟수가 예를 들면 14회 이상의 경우에는, "O1" 기록을 행하는 메모리셀에 대하여, 데이터 "O1"가 깔끔히 기록되었는지의 여부를 검증하기 위해서, 기록 펄스를 워드선에 인가한 후에, "01" 검증 판독이 행해진다 (스텝 ST8A～ST9A, ST8B～ST9B).

"O0" 검증 판독에 의해 메모리셀에서 판독된 데이터는, "00" 기록이 충분히 행해졌는지의 여부를 도시하는 데이터이고, 이 데이터는, "O0" 기록의 대상이 되는 컬럼에 존재하는 데이터 회로내의 래치 회로 LATCH1에 기억된다.

"01" 검증 판독에 의해 메모리셀에서 판독된 데이터는, "O1" 기록이 충분히 행해졌는지의 여부를 나타내는 데이터이고, 이 데이터는, "01" 기록의 대상이 되는 컬럼에 존재하는 데이터 회로내의 래치 회로 LATCHl에 기억된다.

이 후, 다음의 기록 펄스를 워드선에 인가하는 동작(스텝 ST5)에 병행하여, 래치 회로 LATCH1의 데이터에 기초하여, 직전의 기록 펄스에 의해 "00" 기록 또는 "01" 기록이 충분히 행해졌는지의 여부를 검증하는 동작(프로그램 완료 검출)이 실행된다(스텝 ST6～ST7).

구체적으로는, 홀수 페이지 데이터의 기록 동작에서는,도 15에 도시한 바와 같이, "11", "10", "00", "01"의 4 종류의 기록이 존재한다. "11" 기록과 "10" 기록은, 짝수 페이지 데이터를 기록한 뒤의 메모리셀의 상태를 유지하는 것이다. 또한, "00" 기록이란, 기록 펄스에 의해, 임계치 전압을 상승시켜, "10" 상태를 "O0" 상태로 하는 것을 의미하고, "O1" 기록이란, 기록 펄스에 의해, 임계치 전압을 상승시켜, "11" 상태를 "01" 상태로 하는 것을 의미한다.

모든 선택된 메모리셀(컬럼)에 대하여 소정의 데이터 "11", "10", "00", "O1"이 충분히 기록된 경우(실제로는, "O0", "O1" 기록의 대상이 되는 메모리셀에 충분히 데이터 "O0", "O1"이 기록된 경우)에는, 홀수 페이지 데이터의 기록 동작이 종료한다(스텝 ST6).

적어도 1개의 선택된 메모리셀(컬럼)에 대하여 소정의 데이터 "11", "l0", "00", "O1"이 충분히 기록되고 있지 않은 경우(실제로는, "O0", "01" 기록의 대상이 되는 메모리셀에 충분히 데이터 "O0", "01"이 기록되고 있지 않은 경우)에는, 계속해서, "O0" 검증 판독, "O1" 검증 판독 및 기록 펄스의 인가가 행해진다(스텝 ST5～ST11).

여기서, 본 예에서는, "O0" 기록의 대상이 되는 모든 메모리셀에 대하여, 충분히 "00" 기록이 행해진 뒤에는, "O0" 검증 판독을 행하지 않도록 하고, 이후에는, "O1" 검증 판독 및 프로그램 완료 검출만을 행하도록 하고 있다 (스텝 ST7, ST8B, ST9B의 루트).

이러한 시퀀스로 한 이유는, 통상, "O0" 기록은, "01" 기록보다도 먼저 종료하기 때문에("00" 상태의 임계치 전압은, "O1" 상태의 임계치 전압보다도 낮음), "O0" 기록이 종료한 후의 "00" 검증 판독을 생략하여, 기록 시간의 단축(기록의 고속화)를 도모하는 것에 있다.

그런데, 본 예에서는, 기록 충분/불충분을 검출하는 동작(프로그램 완료 검출)을, 기록 펄스를 워드선에 인가하는 동작과 병행하여 행하고 있지만, 예를 들면, 프로그램 완료 검출을, "OO" 검증 판독 또는 "O1" 검증 판독의 직후에 행하고, 그 후, 프로그램 완료 검출의 결과가 불충분한 경우에, 재차, 기록 펄스의 인가를 행하도록 하더라도 좋다.

또한, 기록 충분의 메모리셀에 대하여는, 이후, 기록 펄스의 인가가 행해지지 않도록 하고, 기록 불충분의 메모리셀에 대하여만, 계속하여, 기록 펄스의 인가(재기록)를 행하여, 기록 특성이 양호한 메모리셀에 대하여 지나친 기록이 행해지지 않도록 해도 좋다.

홀수 페이지 데이터의 기록 동작의 개요는 이상과 같다.

상술한 바와 같이, 홀수 검증 데이터의 기록 동작은, 메모리셀에 기억된 짝수 페이지 데이터의 판독(Internal data load), 기록 펄스의 인가, "00" 검증 판독(VERIFY00), "01" 검증 판독(VERIFY01), 프로그램 완료 검출 및 "00" 프로그램 완료 검출으로 이루어진다.

이하에서는,이것들의 동작에 관해서 순차 상세히 설명한다.

2. - 2. - 1. "내부 데이터 로드(Internal data load)"

내부 데이터 로드란, 메모리셀에 기억된 짝수 페이지 데이터를 판독하여, 데이터 회로내의 기억 회로(DRAM 셀, 즉, 노드 CAP1ij)에 래치하는 동작의 것이다. 또, 기록 데이터(홀수 페이지 데이터)는, 시간적으로, 노드 CAP2ij에 래치된 후, 다시, 래치 회로 LATCH1에 래치된다.

도 29 및 도 30은, 각각 내부 데이터 로드에 관한 동작 타이밍을 나타내고 있다.

내부 데이터 로드는, 4개의 동작(1번째 쿼터, 2번째 쿼터, 3번째 쿼터, 4번째 쿼터)로 구성된다.

또한, 1번째 쿼터(1st Quarter)는 도 29의 실선, 2번째 쿼터(2nd Quarter)는 도 30의 실선으로 나타내고 있다. 3번째 쿼터(3rd Quarter)는 1번째 쿼터와 거의 동일하지만, 도 29의 이점 파선으로 도시하는 부분이 1번째 쿼터와 다르다. 4번째 쿼터(4th Quarter)는, 2번째 쿼터와 거의 동일하지만, 도 30의 이점 파선으로 도시하는 부분이 2번째 쿼터와 다르다.

2. - 2. - 1. - 1. "내부 데이터 로드 1번째 쿼터(Internal Data Load lst Quarter)"

도 29의 실선은, 내부 데이터 로드 1번째 쿼터에 관한 동작 타이밍을 나타내고 있다.

칩 외부에서 입력한 홀수 페이지의 기록 데이터가 "1"의 경우, 래치 회로 LATCH1의 노드 Naij는, "H"로 되어있다. 또한, 칩 외부에서 입력한 홀수 페이지의 기록 데이터가 "0"의 경우, 래치 회로 LATCH1의 노드 Naij는, "L"로 되어있다.

1번째 쿼터 에서는, 선택된 워드선의 전위(판독 전위)를 Vcgr10으로 설정하여 판독 동작을 행한다. 이 경우, 메모리셀이 "11" 상태이면, 비트선은 방전되어, 비트선의 전위는 "L"로 된다. 메모리셀이 "10" 상태이면, 비트선은 프리차지 전위를 유지하기 때문에, 비트선의 전위는, "H"로 된다.

한편, 메모리셀의 데이터를 비트선에 판독하고 있는 사이에, 래치 회로 LATCH1에 래치한 홀수 페이지 데이터가 노드 CAP2ij로 전송된다.

구체적으로는, 홀수 페이지 데이터가 "1", 즉, 래치 회로 LATCH1의 노드 Naij가 "H"일 때는, 시각 SCLK5에, 노드 CAP2ij는 4V 정도가 된다. 홀수 페이지 데이터가 "0", 즉, 래치 회로 LATCH1의 노드 Naij가 "L"일 때는, 시각 SCLK5에, 노드 CAP2ij는 Vss로 된다.

이후, 비트선의 전위를 감지하고, 또한, 래치 회로 LATCH1에 래치한다. 메모리셀이 "11" 상태이면, 비트선의 전위가 "L"이기 때문에, 감지 노드 DTNij가 "L"이 되고, 래치 회로 LATCH1의 노드 Naij도, "L"로 된다. 메모리셀이 "10" 상태이면, 비트선의 전위가 "H"이기 때문에, 감지 노드 DTNij가 "H"가 되어, 래치 회로 LATCH1의 노드 Naij도 "H"로 된다.

또한, 시각 RCLK15에, DTG1이 Vsg가 되면, 래치 회로 LATCH1의 데이터는 DRAM 셀, 즉, 노드 CAP1ij에 전송되어 래치된다.

이상으로부터, 1번째 쿼터가 종료한 시점에 있어서는, 홀수 페이지 데이터는 노드 CAP2ij에 래치되고, 짝수 페이지 데이터는 노드 CAP1ij에 래치된다.

그리고, 1번째 쿼터 종료시에서의 노드 CAP1ij, CAP2ij의 데이터는, 표 6에 나타내는 바와 같이 된다.

표 6.

"Internal Data Lood 1st Quarter" 종료시 캐패시터 C1, C2에 축적된 데이터

	"11"	"10"	"00"	"01"
CAP1ij	"Low"	"High"	"High"	"Low"
CAP2ij	"High"	"High"	"Low"	"Low"

즉, "내부 데이터 로드 1번째 쿼터"에서는, 메모리셀에 기억된 짝수 페이지 데이터가 "1"일 때 ("11" 상태일 때), 노드 CAP1ij는, "L"로 되고, 메모리셀에 기억된 짝수 페이지 데이터가 "0"일 때 ("10" 상태일 때), 노드 CAP1ij는 "H"로 된다.

또한, 홀수 페이지 데이터가 "1"인때(메모리셀의 상태 "11", "10"를 변화시키지 않을 때), 노드 CAP2ij는 "H"로 되고, 홀수 페이지 데이터가 "O"일 때(메모리셀의 상태를 "00", "01"로 변화할 때), 노드 CAP2ij는 "L"로 된다.

또, 도 31은 "내부 데이터 로드 1번째 쿼터"에 있어서의 짝수/홀수 페이지 데이터의 움직임을 간략화하여 도시한 것이다.

2. - 2. - 1. - 2 "내부 데이터 로드 2번째 쿼터(Internal Data Load 2nd Quarter)"

도 30의 실선은, 내부 데이터 로드 2번째 쿼터 에 관한 동작 타이밍을 나타내고 있다.

내부 데이터 로드 1번째 쿼터에 계속해서, 내부 데이터 로드 2번째 쿼터가 행해진다. 내부 데이터 로드 2번째 쿼터 에서는, 노드 CAP2ij에 래치된 홀수 페이지 데이터를, 래치 회로 LATCH1에 복귀하는 동작이 행해진다.

먼저, 시각 ILCLK1에, BLSe가 Vss가 되고, 시각 ILCLK2에, BLSo가 Vdd가 된다. BLCRL은 Vss이다. 그 결과, 도 2의 노드 Ns는, 노드 BLCRL에 단락되어, Vss가 된다.

또한, 시각 ILCLK2에, SEN 및 LAT이 함께 Vss, SENB 및 LATB가 함께 Vdd로 되고, 래치 회로 LATCH1, 즉, 클럭드 인버터 CINV1, CINV2가 비활성화된다.

이후, 시각 ILCLK3에, nPRST가 Vss로 되면, 감지 노드(DTNij)가 Vdd로 프리차지된다. 또한, 시각 ILCLK4에, nPRST가 Vdd가 되면, 감지 노드(DTNij)는 플로팅 상태가 된다.

또한, 시각 ILCLK3에, BLC가 Vsg로 되고, 시각 ILCLK5에, BLCLMP가 Vsense (예를 들면, 약 1.6V)가 된다. 이때, 노드 Ns는, Vss 이기 때문에, 감지 노드(DTNij)도 Vss로 된다.

이 후, 시각 ILCLK6에, BLCLMP가 Vss가 되고, 시각 ILCLK7에, REG2가 Vsg가 된다. 이때, 노드 CAP2ij의 데이터에 따라서, 감지 노드(DTNij)의 전위가 변화한다.

예를 들면, 상기 표 6으로부터 명확한 바와 같이, 홀수 페이지 데이터가 "1"의 경우, 즉, "11", "10" 기록을 행하는 경우(구체적으로는, 메모리셀의 데이터를 유지하는 경우, 즉, 기록 비선택의 경우)에는, 노드 CAP2ij는 "H"이기 때문에 도 2의 MOS 트랜지스터 TN1이 온 상태가 된다. 그 결과, 감지 노드(DTNij)가 노드 COM1에 접속되어, 감지 노드는 Vdd로 된다.

한편, 홀수 페이지 데이터가 "O"의 경우, 즉, "O0", "O1"기록을 행하는 경우에는, 노드 CAP2ij는, "L"이기 때문에, 도 2의 MOS 트랜지스터 TN1이 오프 상태가 된다. 그 결과, 감지 노드(DTNij)는 Vss 그대로가 된다.

이 후, 시각 ILCLK9에, SEN이 Vdd가 되고, 클럭드 인버터 CINV1가 동작 상태가 된다. 즉, 감지 노드(DTNij)의 전위가 클럭드 인버터 CINV1에 의해 감지된다. 또한, 시각 ILCLK10에, LAT가 Vdd가 되고, 래치 회로 LATCH1가 동작 상태가 된다.

즉, 래치 회로 LATCH1의 노드 Naij는, 홀수 페이지 데이터가 "1"의 경우에는 "H"로 되고, 홀수 페이지 데이터가 "0"인 경우에는 "L"로 된다.

그 결과, 2번째 쿼터 종료시에서의 DRAM 셀(노드 CAP1ij)의 상태, 및, 2번째 쿼터 종료시에서의 래치 회로 LATCH1의 노드 Naij의 상태는, 표 7에 도시한 바와 같이 된다.

표 7.

"Internal Data Lood 2nd Quarter"종료시
캐패시터 C1, 래치 회로 LATCH1에 축적된 데이터

	"11"	"10"	"00"	"01"
CAP1ij	"Low"	"High"	"High"	"Low"
Naij	"High"	"High"	"Low"	"Low"

또, 도 32는, "내부 데이터 로드 2번째 쿼터"에 있어서의 홀수 페이지 데이터의 움직임을 간략화하여 도시한 것이다.

2. - 2. - 1. - 3. "내부 데이터 로드 3번째 쿼터(Internal Data Load 3rd Quarter)"

도 29의 실선(SGD, REG1 에 대해서는 이점 파선)은 내부 데이터 로드 3번째 쿼터에 관한 동작 타이밍을 나타내고 있다.

내부 데이터 로드 3번째 쿼터 및 내부 데이터 로드 4번째 쿼터(Internal Data Load 4th Quarter)에서는, 내부 데이터 로드 1번째 쿼터 및 내부 데이터 로드 2번째 쿼터에 의해, DRAM 셀(노드 CAP1ij)에 래치된 데이터를 반전("H" →"L", "L"→"H")하는 동작을 행한다.

상기 표 7에 도시한 바와 같이, 노드 CAP1ij에 래치된 데이터는, 짝수 페이지 데이터가 "1"일 때 "L"이고, 짝수 페이지 데이터가 "0"일 때 "H"이다. 즉, "1"을 "H", "0"을 "L"로 생각하면, 짝수 페이지 데이터의 값과 노드 CAP1ij에 래치된 데이터의 값은 상호 역으로 되어있다.

그래서, 내부 데이터 로드 3번째 쿼터 및 내부 데이터 로드 4번째 쿼터 에서는, DRAM 셀(노드 CAP1ij)에 래치된 데이터를 반전시키고, 짝수 페이지 데이터의 값과 노드 CAP1ij에 래치된 데이터의 값이, 상호 동일해지게 된다.

내부 데이터 로드 3번째 쿼터가 내부 데이터 로드 1번째 쿼터와 다른 점은, ① SGD가 Vss인 점, ② 시각 RCLK7으로부터 시각 RCLK8의 사이에서 REG1이 Vdd로 되는 점에 있다.

내부 데이터 로드 3번째 쿼터 에서는, 노드 CAP1ij의 데이터를 반전하여, 감지 노드(DTNij)에 전송한 후, 래치 회로 LATCH1에 래치된 홀수 페이지 데이터를 노드 CAP2ij에 전송하고, 또한, 이 후에, 감지 노드(DTNij)의 데이터를 래치 회로 LATCH1에 전송한다.

우선, Internal dataload 1번째 쿼터와 마찬가지로, 시각 RCLK4에, 비트선이 프리차지되고, 비트선의 전위는, 0.8V 정도가 된다. 이후, 시각 RCLK7에, SGS가 Vread로 되지만, 본 예에서는, SGD가, 항상, Vss 이기 때문에, 메모리셀을 통한 비트선의 방전은 행해지지 않는다.

본 예에서는, 시각 RCLK7에, REG1가 Vdd가 되면, CAP1ij에 래치된 데이터에 기초하여, 비트선(또는 감지 노드)의 방전 또는 현상 유지가 결정된다.

예를 들면, 상기 표 7로부터 명확한 바와 같이, 짝수 페이지 데이터가 "0"일 때, 즉, "10" 기록시 또는 "00" 기록시에는, 노드 CAP1ij가 Vdd이기 때문에, MOS 트랜지스터 TN3(도 2)가 온 상태로 되고, 비트선(감지 노드)은, VREG(Vss)로 단락된다.

한편, 짝수 페이지 데이터가 "1"일 때, 즉, "11" 기록시 또는 "O1" 기록 시에는, 노드 CAP1ij가 Vss 이기 때문에, MOS 트랜지스터 TN3(도 2)가 오프 상태로 되고, 비트선(감지 노드)은 프리차지 전위(0.8V 정도)를 유지한다.

이후, 래치 회로 LATCH1에 래치되어 있는 홀수 페이지 데이터는, 내부 데이터 로드 1번째 쿼터와 마찬가지로, 시각 SCLK2에, 노드 CAP2ij에 전송된다. 이 후, 시각 SCLK6에, SEN 및 LAT이 함께 "L"로 되고, 래치 회로 LATCH1가 비동작 상태로 된다.

또한, 이후, 시각 SCLK7에, BLC가 Vsg, nPRST가 Vss로 되고, 시각 SCLK8에, nPRST가 Vdd로 된다. 시각 SCLK9에, BLCLMP가 Vsense가 되고, 또한, 시각 SCLK13에, SEN이 "H"로 되고, 클럭드 인버터 CINV1에 의해, 감지 노드(DTNij)의 전위가 감지된다. 또한, 시각 SCLK14에, LAT가 "H"로 되고, 래치 회로 LATCH1가 동작 상태로 된다.

그 결과, 짝수 페이지 데이터가 "0"일 때(노드 CAPij가 Vdd일 때)는, 래치 회로 LATCH1의 노드 Naij는, "L"로 되고, 짝수 페이지 데이터가 "1"일 때(노드 CAP1ij가 Vss일 때)는, 래치 회로 LATCH1의 노드 Naij는 "H"로 된다.

이후, 시각 SCLK15에, DTG1를 Vsg로 하면, 래치 회로 LATCH1의 데이터가 DRAM 셀(노드 CAP1ij)에 전송된다.

여기서, 짝수 페이지 데이터가 "0"일 때(노드 CAP1ij가 Vdd 일 때)는, 래치 회로 LATCH1의 노드 Naij가 "L"이기 때문에, 노드 CAP1ij는 Vdd("H")로부터 Vss ("L")로 반전한다. 또한, 짝수 페이지 데이터가 "1"일 때 (노드 CAP1ij가 Vss 일 때)는, 래치 회로 LATCH1의 노드 Naij가 "H"이기 때문에, 노드 CAP1ij는 Vss ("L")로부터 Vdd("H")로 반전한다.

내부 데이터 로드 3번째 쿼터가 종료한 시점에, 홀수 페이지 데이터는, 노드 CAP2ij에 기억되고, 짝수 페이지 데이터는 노드 CAP1ij에 기억되어 있다.

3번째 쿼터 종료시에서의 CAP1ij 및 CAP2ij의 데이터는, 표 8에 도시하는 바와 같다.

표 8.

"Internal Data Lood 3rd Quarter" 종료시 캐패시터 C1, C2에 축적된 데이터

	"11"	"10"	"00"	"01"
CAP1ij	"High"	"Low"	"Low"	"High"
CAP2ij	"High"	"High"	"Low"	"Low"

또, 도 33은 "내부 데이터 로드 3번째 쿼터"에 있어서의 짝수/홀수 페이지 데이터의 움직임을 간략화하여 도시한 것이다.

2. - 2. - 1. - 4. "내부 데이터 로드 4번째 쿼터(Internal data load 4th Quarter)"

도 30의 실선(SGD에 대해서는 이점 파선)은, 내부 데이터 로드 4번째 쿼터에 관한 동작 타이밍을 나타내고 있다.

내부 데이터 로드 4번째 쿼터 에서는, 노드 CAP2ij에 래치된 홀수 페이지 데이터를 래치 회로 LATCH1에 복귀하는 동작이 행해진다.

내부 데이터 로드 4번째 쿼터가 내부 데이터 로드 2번째 쿼터와 다른 점은, SGD가 항상 Vss인 점뿐이다.

노드 CAP2ij에 기억된 홀수 페이지 데이터를 래치 회로 LATCH1에 전송하는 동작은, 내부 데이터 로드 2번째 쿼터와 동일하다. 따라서, 내부 데이터 로드 4번째 쿼터의 상세한 설명은 생략한다.

또, 4번째 쿼터 종료 시의 DRAM 셀(노드 CAP1ij) 및 래치 회로 LATCH1(노드 Na1ij)에 래치된 데이터는, 표 9에 도시한 바와 같다.

표 9.

"Internal Data Lood 4th Quarter" 종료시
캐패시터 C1, 래치 회로 LATCH1에 축적된 데이터

	"11"	"10"	"00"	"01"
CAP1ij	"High"	"Low"	"Low"	"High"
Naij	"High"	"High"	"Low"	"Low"

또, 도 34는, "내부 데이터 로드 4번째 쿼터 "에 있어서의 홀수 페이지 데이터의 움직임을 간략화하여 도시한 것이다.

이상, 내부 데이터 로드 (1번째 쿼터, 2번째 쿼터, 3번째 쿼터, 4번째 쿼터)에 관해서 설명하였다. 이것에 의해, 홀수 페이지 데이터는 래치 회로 LATCH1에 래치되고, 짝수 페이지 데이터는, DRAM 셀(노드 CAP1ij)에 래치된다. 더구나, 홀수/짝수 페이지 데이터의 값과 래치된 데이터의 값은, 동일하다 ("1"은 "H", "0"은 "L"에 대응).

이후, 상기 표 9에 도시한 바와 같이, CAP1ij 및 Naij에 래치된 2 비트 데이터에 기초하여, 홀수 페이지 데이터의 실제의 기록 동작이 행해진다.

2. -2. -2. 기록 펄스 인가

기록 펄스 인가는, 짝수 페이지 데이터에 있어서의 기록 펄스의 인가와 완전히 동일한 동작 타이밍에 의해 행해진다.

"00" 기록 및 "01" 기록에서는, 상기 표 9에 도시한 바와 같이, 래치 회로 LATCH1의 노드 Naij가 "L"이기 때문에, 비트선은 Vss가 된다. 따라서, 선택된 메모리셀의 터널 산화막에 고전계가 인가되고, FN 터널 효과에 의해 전자가 플로팅 게이트 전극에 주입되어 기록이 행해진다.

"11" 기록 및 "10"기록에서는,상기 표 9에 도시한 바와 같이, 래치 회로 LATCH1의 노드 Naij가 "H"이기 때문에, 비트선은 Vdd가 된다. 따라서, 선택된 메모리셀의 터널 산화막에 고전계가 인가되는 일은 없고, 메모리셀의 상태는 변화하지 않는다("11" 상태 또는 "10" 상태를 유지한다).

또, 기록 펄스 인가에 관한 동작 타이밍은, 짝수 페이지 데이터의 기록 동작(항목 2. -1.)에 있어서의 기록 펄스 인가(항목 2. -1. -1)와 동일하기 때문에, 그 상세한 설명은 생략한다.

2. -2. -3. "VERIFY01"

도 35은 "01" 검증 판독의 동작 타이밍을 보이고 있다.

"01" 검증 판독(VERIFY01)에서는, 비트선을 프리차지한 후, 선택된 워드선을 도 13에 도시하는 Vcgv01(예를 들면, 약 1.75V)으로 하고, 비트선의 전위 변화를 검출하여 메모리셀의 데이터를 판독한다.

"VERIFY01"에서는, 데이터 회로내의 2개의 기억 회로(LATCH1, C1)이, "11", "10", "O0"의 기록 데이터를 래치하고 있는 경우에는 기록 데이터의 변경은 없다.

또, "00"에 관해서는, 후술하는 "VERIFY00"이 OK (기록 충분)의 경우, "O0"이 "10"으로 변경되어 있다. 이것에 대해서는, 후술하는 "VERIFY0"을 참조. 그러나, "00"인 것으로 하거나 또는 "10"인 것으로 하는 "VERIFY01"에 있어서, 이것들의 데이터의 값이 변하는 일은 없다.

한편, "VERIFY01"에 있어서, 데이터 회로내의 2개의 기억 회로(LATCH1, C1)이, "01"의 기록 데이터를 래치하고 있는 경우에는, 판독 데이터가 기록 충분을 보이고 있을 때, 즉, 비트선이 "H"일 때에는, 그 이후, 기록을 행하지 않도록, 기록 데이터가 "01"로부터 "11"로 변화한다(홀수 페이지 데이터가 "O"으로부터 "1"로 변화함).

또한, "VERIFY01"에 있어서, 데이터 회로내의 2개의 기억 회로(LATCH1, C1)이, "01"의 기록 데이터를 래치하고 있는 경우에, 판독 데이터가 기록 불충분을 나타내고 있을 때, 즉, 비트선이 "L"일 때에는, 계속해서, 기록을 행하도록, 기록 데이터의 변경은 없다.

구체적인 동작은, 이하와 같이 된다.

우선, 비트선에 대한 프리차지나, 방전(셀 데이터의 판독)을 행하고 있는 사이에, 래치 회로 LATCH1에 기억된 기록 데이터를, 노드 CAP2ij에 전송하고, 또한, 일시 기억한다. 이에 따라, 판독 데이터가 홀수 페이지 데이터에 충돌하지 않게 된다.

시각 RCLK1에, CAPCRG 및 VREG을, 각각 Vdd로 설정하고, 시각 RCLK4에, BOOT를 Vss로 설정한다. 시각 RCLK5에, VREG가 Vss가 되면, 노드 CAP2ij는 Vss에 리세트된다. 또, 이 동안, DTG2는 Vss로 되어 있다.

시각 RCLK9/SCLK1에, CAPCRG가 Vss가 되고, 노드 CAP2ij는, 플로팅 상태가 된다. 이 후, 시각 SCLK2에, DTG2가 Vsg (예를 들면, 약 4.5V)가 되고, 래치 회로 LATCH1에 래치된 기록 데이터(홀수 페이지 데이터)는, MOS 트랜지스터 TN2를 경유하여 노드 CAP2ij에 전송되어 일시 기억된다.

즉, 홀수 페이지의 기록 데이터가 "0"의 경우("00" 기록 또는 "01" 기록을 행하는 경우)에는, 래치 회로 LATCH1의 노드 Naij가 "L"이기 때문에, 노드 CAP2ij는 Vss가 된다.

또한, 홀수 페이지의 기록 데이터가 "1"의 경우("11", "10" 상태를 유지하는 경우 및 "O0", "O1"기록 충분의 경우)에는, 래치 회로 LATCH1의 노드 Naij가 "H"이기 때문에 노드 CAP2ij는 Vdd가 된다.

이후, 시각 SCLK3에, DTG2가 Vdd가 되고, 시각 SCLK4에 BOOT가 Vdd가 된다.

이때, 홀수 페이지의 기록 데이터가 "0"의 경우("O0" 기록 또는 "01" 기록을 행하는 경우)에는, 노드 CAP2ij는 Vss 대로가 된다. 또한, 홀수 페이지의 기록 데이터가 "1"의 경우("11" 또는 "10" 상태를 유지하는 경우)에는, 노드 CAP2ij의 전위는, 캐패시터 DLN(C2)에 승압되기 때문에, Vdd (예를 들면, 약 2.3V)로부터 3.5V 정도로 상승한다.

이후, 시각 SCLK5에, DTG2가 Vss로 되고, 노드 CAP2ij는 래치 회로 LATCH1로부터 전기적으로 분리된다.

이상의 동작에 병행하여, 비트선의 프리차지 동작이나, 메모리셀의 데이터를 비트선에 읽어내는 동작이 실행된다.

즉, 비트선의 프리차지 등을 행한 뒤, 시각 RCLK7에, SGS가 Vread로 되어, 메모리셀의 데이터에 따라서 비트선의 전위가 변화한다.

예를 들면, "01" 기록을 행하는 메모리셀 이외의 메모리셀("11" 또는 "10" 기록을 행하는 셀(즉, 기록을 행하지 않은 셀), "O0" 기록을 행하는 셀)에서는, Vcgv01 (예를 들면, 약 1.75V)에 의해, 그 메모리셀이 온 상태가 되기 때문에, 비트선의 전하가 방전되고, 비트선은, O.3V 이하의 전위로 된다.

또한, "O1" 기록을 행하는 메모리셀에서, "O1"기록 불충분의 경우에는, Vcgv01 (예를 들면, 약 1.75V)에 의해, 그 메모리셀이 온 상태가 되기 때문에, 비트선의 전하가 방전되고, 비트선은, 0.3V 이하의 전위로 된다.

또한, "O1" 기록을 행하는 메모리셀에서, "O1" 기록 충분의 경우에는, Vcgv01 (예를 들면, 약 1.75V)에 의해, 그 메모리셀이 오프 상태가 되기 때문에, 비트선의 전하는 방전되지 않고, 비트선은, 0.8V를 유지한다.

이후, 시각 SCLK6에, SEN 및 LAT이 함께 "L", SENB 및 LATB가 함께 "H"이 되어, 데이터 회로내의 래치 회로 LATCH1, 즉, 클럭드 인버터 CINV1, CINV2가 비 동작 상태로 된다.

또한, 시각 SCLK7에, BLC가 Vsg(예를 들면, 약 4.5V), nPRST이 "L"이 되는 것으로, 감지 노드(DTNij)가 충전되고, 감지 노드는 Vdd가 된다. 동시에, Naij도 Vdd로 된다. 또한, 시각 SCLK8에, nPRST가 Vdd가 되면, 감지 노드(DTNij)는 플로팅 상태가 된다.

시각 SCLK9에, BLCLMP가 Vsense (예를 들면, 약 1.6V)가 되면, 비트선에 판독된 메모리셀의 데이터는 감지 노드(DTNij)에 전송된다.

즉, "11" 또는 "10" 기록을 행하는 메모리셀, "O0" 기록을 행하는 메모리셀, 및, "01" 기록을 행하는 메모리셀중 기록 불충분의 메모리셀에 관해서는, 비트선은, 0.3V 이하의 전위로 되어 있기 때문에 감지 노드(DTNij)의 전위도, 0.3V 이하의 전위로 저하한다.

한편, "01" 기록을 행하는 메모리셀중 기록 충분의 메모리셀에 관해서는, 비트선은, 0.8V를 유지하고 있기 때문에, 클램프용의 MOS 트랜지스터 TN9가 차단하고, 감지 노드(DTNij)는 Vdd를 유지한다.

시각 SCLK10에 있어서, 감지 노드(DTNlj)의 전위는, 표 10에 도시한 바와 같이 된다.

표 10.

"VERIFY 01" 중의 센스 노드(DTNij · Naij)

	"11", "10" 기록(기록 비선택)	"00"기록 불충분	"00"기록 충분	"01"기록 불충분	"01"기록 충분
SCLK10의 시점	"Low"	"Low"	"Low"	"Low"	"High"
SCLK12의 시점	"High"	"Low"	"Low"	"Low"	"High"

이후, 시각 SCLK11에, REG2가 Vsg로 되고, MOS 트랜지스터 TN6(도 2)이 온 상태로 된다.

여기서, "11", "10" 기록을 행하는 경우(홀수 페이지 데이터가 "1"의 경우)에는, 노드 CAP2ij에는, "H"이 기억되어 있기 때문에, MOS 트랜지스터 TN1(도 2)은 온 상태이다. 즉, COMi(Vdd로 설정되어 있음)와 감지 노드(DTNij)가 단락하고, 그 결과, 감지 노드(DTNij)는 Vdd로 된다.

또한, "O0", "01" 기록을 행하는 경우(홀수 페이지 데이터가 "0"의 경우)에는, 노드 CAP2ij에는, "L"이 기억되어 있기 때문에, MOS 트랜지스터 TN1(도 2)은 오프 상태이다. 즉, COMi(Vdd로 설정되어 있음)와 감지 노드(DTNij)는 전기적으로 분리되고 있기 때문에 감지 노드(DTNij)의 전위의 변화는 없다.

따라서, 시각 SCLKI2에 있어서의 감지 노드(DTNij)의 전위는, 상기 표 10에 도시한 바와 같이 된다.

이후, 시각 SCLK13에, SEN이 Vdd, SENB가 Vss로 되고, 클럭드 인버터 CINV1이 동작 상태로 되기 때문에, 감지 노드(DTNij)의 전위가 감지된다.

상기 표 10에 도시한 바와 같이, "11", "10" 기록을 행하는 경우에는, 감지 노드(DTNij)는, "H"이고, 노드 Naij도 "H"로 된다. 원래, "11", "10" 기록을 행하는 경우(홀수 페이지 데이터가 "1"의 경우)에는, 노드 Naij는, "H"이기 때문에(표 9 참조), "11", "10" 기록을 행하는 경우에는, 기록 데이터의 변경은 없다.

또한, "00" 기록을 행하는 경우에는, 감지 노드(DTNij)는, "L"이고, 노드 Naij도, "L"로 된다. 원래, "00" 기록을 행하는 경우(홀수 페이지 데이터가 "0"의 경우)에는, 노드 Naij는, "L"이기 때문에(표9 참조), "00" 기록을 행하는 경우에도 기록 데이터의 변경은 없다.

또, "00" 기록에 대해서는, 후술하는 "VERIFY00"에 있어서, 기록 충분을 나타내는 데이터가 판독되면, "O0"이 "10"으로 변화한다(홀수 페이지 데이터가 "0"으로부터 "1"로 변화). 그러나, "VERIFY01"에 있어서 기록 데이터("00" 또는 "10")이 변경되는 일은 없다.

또한, "O1" 기록을 행하는 경우에, 또한, "O1" 기록 불충분의 경우에는, 감지 노드(DTNij)는, "L"이고, 노드 Naij도 "L"로 된다. 원래, "01" 기록을 행하는 경우(홀수 페이지 데이터가 "0"의 경우)에는, 노드 Naij는, "L"이기 때문에(표9 참조), "01" 기록을 행하는 경우에, 또한, 기록이 불충분의 경우에도, 기록 데이터의 변경은 없다.

또한, "01" 기록을 행하는 경우에, 또한, "01" 기록 충분의 경우에는, 감지 노드(DTNij)는, "H"이고, 노드 Naij도, "H"로 된다. 원래, "O1" 기록을 행하는 경우(홀수 페이지 데이터가 "O"의 경우)에는, 노드 Naij는, "L"이기 때문에(표9 참조), "01" 기록을 행하는 경우에, 또한, 기록 충분의 경우에는, 기록 데이터는, "01"로부터 "11"로 변화한다 (래치 회로 LATCH1의 노드 Naij의 값, 즉, 홀수 페이지 데이터가 "O"으로부터 "1"로 변경).

또, 도 36은, "01" 검증 판독시의 모습을 간략화하여 나타내는 것이다.

2. -2. -4. "VERIFY00"

도 37은 "00" 검증 판독의 동작 타이밍을 보이고 있다.

"00" 검증 판독(VERIFY00)에서는, 비트선을 프리차지한 후, 선택된 워드선을 도 13에 도시하는 Vcgv00(예를 들면, 약 0.9V)으로 하고, 비트선의 전위 변화를 검출하여 메모리셀의 데이터를 판독한다.

"VERIFY00"에서는, 데이터 회로내의 2개의 기억 회로(LATCH1, C1)이, "11", "10", "01"의 기록 데이터를 래치하고 있는 경우에는, 기록 데이터의 변경은 없다.

한편, "VERIFY00"에 있어서, 데이터 회로내의 2개의 기억 회로(LATCH1, C 1)이, "00"의 기록 데이터를 래치하고 있는 경우에는, 판독 데이터가 기록 충분을 나타내고 있을 때, 즉, 비트선이 "H"일 때에는, 그 이후, 기록을 행하지 않도록, 기록 데이터가 "O0"으로부터 "10"으로 변화한다 (홀수 페이지 데이터가 "O"으로부터 "1"로 변화).

또한, "VERIFY00"에 있어서, 데이터 회로내의 2개의 기억 회로(LATCH1, C1)이, "00"의 기록 데이터를 래치하고 있는 경우에, 판독 데이터가 기록 불충분을 나타내고 있을 때, 즉, 비트선이 "L"일 때에는, 계속해서, 기록을 행하도록 기록 데이터의 변경은 없다.

그런데, 도 23의 플로우차트에 도시한 바와 같이, "VERIFY00"의 전에, 상술한 "VERIFY01"이 실행된다.

따라서, "VERIFY01"에 있어서, "01" 기록 충분을 도시하는 데이터가 판독되어 있을 때는, 데이터 회로내의 2개의 기억 회로(LATCH1, C1)에 래치된 데이터는, 이미, "01"로부터 "11"로 변경되어 있다. 한편, "O1"기록 불충분을 나타내는 데이터가 판독되어 있을 때는, 데이터 회로내의 2개의 기억 회로(LATCH1, C1)에 래치된 데이터는, "01" 그대로이다.

구체적인 동작은, 이하와 같이 된다.

우선, 비트선의 프리차지 동작 및 메모리셀의 데이터를 비트선에 판독하는 동작이 실행된다.

즉, 비트선의 프리차지 등을 행한 후, 시각 RCLK7에, SGS가 Vread로 되어, 메모리셀의 데이터에 따라서 비트선의 전위가 변화한다.

예를 들면, "11", "10" 기록을 행하는 메모리셀(즉, 기록을 행하지 않은 메모리셀)에서는, Vcgv00 (예를 들면, 약 0.9V)에 의해, 그 메모리셀이 온 상태가 되기 때문에, 비트선의 전하가 방전되고, 비트선은, 0.3V 이하의 전위로 된다.

또한, "O0" 기록을 행하는 메모리셀에서, "O0" 기록 불충분의 경우에는, Vcgv00 (예를 들면, 약 0.9V)에 의해, 그 메모리셀이 온 상태가 되기 때문에, 비트선의 전하가 방전되고, 비트선은, 0.3V 이하의 전위로 된다.

또한, "00" 기록을 행하는 메모리셀에서, "O0" 기록 충분의 경우에는, Vcgv00 (예를 들면, 약 0.9V)에 의해, 그 메모리셀이 오프 상태가 되기 때문에, 비트선의 전하는 방전되지 않고, 비트선은 0.8V를 유지한다.

또, "O1" 기록을 행하는 메모리셀에 관해서는, "O1" 기록 충분의 경우에는, Vcgv00 (예를 들면, 약 0.9V)에 의해, 당연히, 그 메모리셀이 오프 상태가 되기 때문에, 비트선의 전하는 방전되지 않고, 비트선은 0.8V를 유지한다.

그러나, "O1" 기록 불충분의 경우에는, VcgvO0 (예를 들면, 약 0.9V)에 의해, 메모리셀이 온이 되는 경우(임계치 전압이 Vcgv00보다도 낮은 경우)와 오프가 되는 경우(임계치 전압이 VcgvO0보다도 높은 경우)가 있다. 따라서, "O1"기록 불충분의 경우에는, 그 메모리셀의 임계치 전압에 따라, 비트선은, 0.8V를 유지하던지 또는 0.3V 이하의 전위가 될지가 결정된다.

여기서, 본 예에서는, 메모리셀의 데이터를 비트선에 판독하고 있는 중에, 즉, 시각 RCLK7～RCLK8에 있어서 REG1가 "H"가 된다. 또, BLCLMP는, Vclmp (예를 들면, 약 1.6V)이다.

그리고, 표 9로부터 명확한 바와 같이, 짝수 페이지 데이터가 "1"일 때("11", "01" 기록의 때), DRAM 셀(노드 CAP1ij)에는, "H"이 래치되어 있다. 즉, "11", "01" 기록의 경우에, 감지 노드(DTNij)는 VREG(Vss)에 단락되고, 감지 노드는 강제적으로 Vss로 된다.

그 결과, "11", "10" 기록을 행하는 경우, "O0" 기록 불충분인 경우, 및, "01" 기록을 행하는 경우에는, 비트선은, "L", 즉, 0.3V 이하의 전위로 되고, "00" 기록 충분의 경우만, 비트선은 "H", 즉, 0.8V를 유지한다.

이후, 시각 RCLK8에, BLCLMP가 Vss가 되고, 비트선과 감지 노드가 전기적으로 절단된다.

그런데, 이상과 같은 동작, 즉, 비트선에 대한 프리차지나, 방전(셀 데이터의 판독) 등을 행하고 있는 동안에, 래치 회로 LATCH1에 기억된 기록 데이터를, 노드 CAP2ij에 전송하여 일시 기억한다. 이에 따라, 판독 데이터가 홀수 페이지 데이터에 충돌하지 않게 된다.

시각 RCLK1에, CAPCRG 및 VREG을, 각각 Vdd로 설정하고, 시각 RCLK4에, BOOT를 Vss로 설정한다. 시각 RCLK5에, VREG가 Vss가 되면, 노드 CAP2ij는 Vss로 리세트된다. 또, 이 동안 DTG2는 Vss로 되어있다.

시각 RCLK9/SCLK1에, CAPCRG가 Vss가 되고, 노드 CAP2ij는 플로팅 상태가 된다. 이후, 시각 SCLK2에, DTG2가 Vsg(예를 들면, 약 4.5V)가 되고, 래치 회로 LATCH1에 래치된 기록 데이터(홀수 페이지 데이터)는, MOS 트랜지스터 TN2를 경유하여, 노드 CAP2ij에 전송되어 일시 기억된다.

즉, 홀수 페이지의 기록 데이터가 "O"의 경우("O0" 기록 또는 "01" 기록을 행하는 경우)에는, 래치 회로 LATCH1의 노드 Naij가 "L"이기 때문에, 노드 CAP2ij는 Vss가 된다.

또한, 홀수 페이지의 기록 데이터가 "1"의 경우("11", "10" 상태를 유지하는 경우 및 "00", "O1" 기록이 충분히 된 경우)에는, 래치 회로 LATCH1의 노드 Naij가 "H"이기 때문에, 노드 CAP2ij는 Vdd가 된다.

이후, 시각 SCLK3에 DTG2가 Vdd가 되고, 시각 SCLK4에 BOOT가 Vdd가 된다.

이때, 홀수 페이지의 기록 데이터가 "O"의 경우("00" 기록 또는 "01" 기록을 행하는 경우)에는, 노드 CAP2ij는 Vss 그대로가 된다. 또한, 홀수 페이지의 기록 데이터가 "1"인 경우("11"또는 "10" 상태를 유지하는 경우)에는, 노드 CAP2ij의 전위는 캐패시터 DLN(C2)에 의해 승압되기 때문에, Vdd(예를 들면, 약 2.3V)로부터 3.5V 정도로 상승한다.

이후, 시각 SCLK5에, DTG2가 Vss가 되고, 노드 CAP2ij는 래치 회로 LATCH1로부터 전기적으로 분리된다.

또한, 이후, 시각 SCLK6에, SEN 및 LAT이 함께 "L", SENB 및 LATB가 함께 "H"가 되고, 데이터 회로내의 래치 회로 LATCH1, 즉, 클럭드 인버터 CINV1, CINV2가 비동작 상태로 된다.

또한, 시각 SCLK7에, BLC가 Vsg(예를 들면, 약 4.5V), nPRST가 "L"로 되는 것으로, 감지 노드(DTNij)가 충전되고, 감지 노드는 Vdd가 된다. 동시에, Naij도 Vdd로 된다. 또한, 시각 SCLK8에, nPRST가 Vdd가 되면, 감지 노드(DTNij)는 플로팅 상태가 된다.

시각 SCLK9에, BLCLMP가 Vsense (예를 들면, 약 1.6V)가 되면, 비트선에 판독된 메모리셀의 데이터는 감지 노드(DTNij)에 전송된다.

즉, "11", "10" 기록을 행하는 메모리셀, "O0" 기록을 행하는 메모리셀 중 기록 불충분의 메모리셀, 및, "O1" 기록을 행하는 메모리셀에 관해서는 비트선은, 0.3V 이하의 전위로 되어 있기 때문에, 감지 노드(DTNij)의 전위도 0.3V 이하의 전위로 저하한다.

한편, "O0" 기록을 행하는 메모리셀중 기록 충분의 메모리셀에 관해서는, 비트선은, 0.8V를 유지하고 있기 때문에, 클램프용의 MOS 트랜지스터 TN9(도 2)가 차단되고, 감지 노드 (DTNij)는 Vdd를 유지한다.

시각 SCLK10에 있어서, 감지 노드(DTNij)의 전위는, 표 11에 나타내는 바와 같이 된다.

표 11.

"VERIFY 00" 중의 센스 노드 (DTNij · Naij)

	"11","10" 기록(기록 비선택)	"00"기록 불충분	"00"기록 충분	"01"기록 불충분	"01"기록 충분
SCLK10의 시점	"Low"	"Low"	"High"	"Low"	"Low"
SCLK12의 시점	"High"	"Low"	"High"	"Low"	"High"

이후, 시각 SCLK11에, REG2가 Vsg로 되고, MOS 트랜지스터 TN6(도 2)이 온 상태로 된다.

여기서, "11", "10" 기록을 행하는 경우 및 "O1" 기록 충분의 경우(홀수 페이지 데이터가 "1"인 경우, "O1" 기록 충분에서는, "O1"이 "11"로 변경되어 있음)에는, 노드 CAP2ij에는 "H"가 래치되어 있기 때문에, MOS 트랜지스터 TN1 (도 2)은 온 상태이다. 즉, COMi(Vdd로 설정되어 있다)와 감지 노드(DTNij)가 단락하고, 그 결과, 감지 노드(DTNij)는 Vdd로 된다.

또한, "O0" 기록 및 "O1" 기록 불충분의 경우(홀수 페이지 데이터가 "0"의 경우)에는, 노드 CAP2ij에는, "L"이 래치되어 있기 때문에, MOS 트랜지스터 TN1 (도 2)은, 오프 상태이다. 즉, COMi(Vdd로 설정되어 있음)와 감지 노드(DTNij)는 전기적으로 분리되고 있기 때문에, 감지 노드(DTNij)의 전위의 변화는 없다.

따라서, 시각 SCLK12에 있어서의 감지 노드(DTNij)의 전위는, 상기 표 11에 도시한 바와 같이 된다.

이후, 시각 SCLK13에, SEN이 Vdd, SENB가 Vss로 되고, 클럭드 인버터 CINV1이 동작 상태로 되기 때문에, 감지 노드(DTNij)의 전위가 감지된다.

상기 표 11에 도시한 바와 같이, "11", "10" 기록을 행하는 경우에는, 감지 노드(DTNij)는, "H"이고, 노드 Naij도 "H"로 된다. 원래, "11", "10" 기록을 행하는 경우(홀수 페이지 데이터가 "1"의 경우)에는, 노드 Naij는 "H"이기 때문(표 9 참조), "11", "10" 기록을 행하는 경우에는, 기록 데이터의 변경은 없다.

또한, "00" 기록을 행하는 경우에, 또한, "O0" 기록 불충분의 경우에는, 감지 노드(DTNij)는 "L"이고, 노드 Naij도 "L"로 된다. 원래, "00" 기록을 행하는 경우(홀수 페이지 데이터가 "0"의 경우)에는 노드 Naij는 "L"이기 때문에(표 9 참조), "00" 기록을 행하는 경우에, 또한, "O0" 기록이 불충분의 경우에도, 기록 데이터의 변경은 없다.

또한, "00" 기록을 행하는 경우에, 또한, "O0" 기록 충분의 경우에는, 감지 노드(DTNij)는, "H"이고, 노드 Naij도, "H"로 된다. 원래, "00" 기록을 행하는 경우(홀수 페이지 데이터가 "O"의 경우)에는, 노드 Naij는, "L"이기 때문에(표 9 참조), "00" 기록을 행하는 경우에, 또한, "00" 기록 충분의 경우에는, 기록 데이터는, "00"으로부터 "10"으로 변화한다 (래치 회로 LATCH1의 노드 Naij의 값, 즉, 홀수 페이지 데이터가 "O"으로부터 "1"로 변경된다).

또한, "01" 기록을 행하는 경우에, 또한, VERIFY01로 기록 불충분한 경우에는, 감지 노드(DTNij)는 "L"이고, 노드 Naij도, "L"로 된다. 원래 "01" 기록을 행하는 경우(홀수 페이지 데이터가 "0"인 경우)에는, 노드 Naij는, "L"이기 때문(표 9 참조), "01" 기록을 행하는 경우에, 또한, 기록이 불충분의 경우에도 기록 데이터의 변경은 없다.

또한, "01" 기록을 행하는 경우에, 또한, VERIFY01로 기록 충분하던 경우에는, 감지 노드(DTNij)는, "H"이고, 노드 Naij도 "H"로 된다. 원래, VERIFY01에서 기록 충분한 경우에는, 상술한 바와 같이, "O1"은 "11"로 변경되어 있고, 이 때문에, 노드 Naij는 "H"로 되어 있기 때문에(표 10 참조), "01" 기록을 행하는 경우에, 또한, 기록 충분의 경우에도, 기록 데이터의 변경은 없다(주의: "11" 그대로임).

또, 도 38은 "00" 검증 판독시의 모습을 간략화하여 나타낸 것이다.

2. -2. -5. "프로그램 완료 검출"

"VERIFY01" 및 "VERIFY00"의 후에, "01"또는 "00" 기록을 행하는 모든 메모리셀에 대하여, 깔끔히 "01" 또는 "O0" 기록이 행해졌는지의 여부를 검출하는 "프로그램 완료 검출" 동작이 행해진다.

이 검출은, "VERIFY01" 및 "VERIFY00"에 의해서 래치 회로 LATCH1에 래치된 데이터(표 10 및 표 11 참조)에 기초하여 행해진다. 그리고, "O1" 또는 "O0" 기록이 충분하지 않은 경우에는, 재기록(기록 펄스의 인가)이 실행되고, "01" 또는 "O0" 기록이 충분한 경우에는 기록(기록 펄스의 인가)을 종료한다.

도 26은 "프로그램 완료 검출 "의 동작 타이밍을 나타내고 있다.

또, 도 28의 동작 개요에서 설명한 바와 같이, "VERIFY00"를 종료한 후에, 다음의 "기록 펄스의 인가"가 즉시 행해지고, "프로그램 완료 검출"은 이 "기록 펄스의 인가"에 병행하여 실행된다.

따라서, 시각 PCLK7/CCLK1은 도 22중에서의 시각 PCLK7/CCLK1과 동일하다.

또한, 홀수 페이지 데이터의 기록 동작에 있어서의 "프로그램 완료 검출"에서는,도 26의 시각 PCLK7/CCLK1로부터 시각 CCLK9에서의 동작이 실행된다.

우선, 시각 CCLK1에, CAPCRG가 Vsg, VREG가 Vdd로 되고, 노드 CAP2ij가 충전되어, 노드 CAP2ij의 전위는 Vdd로 된다(DTG2는 Vss).

이후, 시각 CCLK2(DCLK1)에, COMHn(도 5)이 Vss로부터 Vdd, NCOML(도 5)이 Vdd에서 Vss가 되면, COMi1 및 COMi2는 각각 Vdd, 또한, 플로팅 상태가 되고, NCOM은 Vss, 또한, 플로팅 상태로 된다.

시각 DCLK2에, 예를 들면, REG2-0이 Vdd가 된다. 이때, 도 5에 있어서, 제1 및 제5 데이터 회로가 선택되고, 제1 데이터 회로내의 REG2와 제5 데이터 회로내의 REG2가 각각 Vdd가 된다.

제1 및 제5 데이터 회로의 쌍방에 있어서, 래치 회로 LATCH1의 노드 Naij의 데이터가 "H(Vdd)"의 경우(표 11 참조), 즉, "11","10" 기록(기록 비선택) 또는 "O0", "10" 기록 충분의 경우에는, 감지 노드 DTNij는, "H (Vdd)"를 유지하고 있기 때문에, MOS 트랜지스터 TN6(도 2)은 오프 상태로 되고, COMi1 및 COMi2는 Vdd를 유지한다. 따라서, NCOM은 Vss를 유지한다.

한편, 제1 및 제5 데이터 회로의 적어도 한쪽에 있어서, 래치 회로 LATCH1의 노드 Naij의 데이터가 "L(Vss)"의 경우(표 11 참조), 즉, "00", "01" 기록 불충분의 경우에는, 감지 노드 DTNij는 "L(Vss)"을 유지하고 있기 때문에, MOS 트랜지스터 TN6(도 2)은 온 상태가 되고, COMi1 또는 COMi2는 Vdd에서 Vss로 변화한다. 따라서, NCOM은 Vss에서 Vdd로 변화한다.

마찬가지로 하여, 순차, REG2-1, REG2-2, REG2-3가 Vdd가 된다. 즉, REG2-1이 Vdd일 때, 제2 및 제6 데이터 회로가 선택되고, REG2-2가 Vdd일 때, 제3 및 제7 데이터 회로가 선택되며, REG2-3가 Vdd일 때, 제4 및 제8 데이터 회로가 선택되어, 각각의 데이터 회로에 있어서, 래치 회로 LATCH1의 상태, 즉, "00", "01" 기록 충분/불충분이 검출된다.

그 결과, 제1 내지 제8 데이터 회로의 모두로부터 "11", "10" 기록(기록 비선택) 또는 "O0", "O1"기록 충분을 나타내는 데이터가 출력되면, 시각 CCLK3의 시점에서, NCOM은, Vss로 된다. 또한, 제1 내지 제8 데이터 회로의 적어도 1개로부터 "00", "01" 기록 불충분을 나타내는 데이터가 출력되면, 시각 CCLK3의 시점에서 NCOM은 Vdd가 된다.

또한, FLAG 노드(도 5)에는, 모든 컬럼이 병렬로 접속되어 있다. 따라서, 미리 FLAG 노드를, Vdd 또한 플로팅 상태로 설정해 놓고, 이후, 시각 CCLK3에, COLPRE를 Vdd로 설정하여, MOS 트랜지스터 TN17(도 5)을 온 상태로 한다.

이때, 모든 컬럼에 대응하는 모든 데이터 회로에서 "11", "10" 기록(기록 비선택)또는 "00", "01" 기록 충분을 나타내는 데이터가 출력되어 있는 경우, NCOM은 Vss 이기 때문에, MOS 트랜지스터 TN16(도 5)은 오프 상태로 된다. 따라서, FLAG 노드는 Vdd를 유지한다.

또한, 모든 컬럼에 대응하는 모든 데이터 회로의 적어도 1개로부터 "00", "01" 기록 불충분을 나타내는 데이터가 출력되어 있는 경우, NCOM은, Vdd가 되기 때문에, MOS 트랜지스터 TN16(도 5)은 온 상태로 된다. 따라서, FLAG 노드는 Vdd에서 Vss로 변화한다.

이와 같이, 모든 컬럼에 있어서, "00", "O1" 기록 불충분인 메모리셀이 존재하지 않는 경우에만, FLAG 노드는 Vdd를 유지하고, 적어도 1개의 컬럼에 있어서, "00", "O1" 기록 불충분인 메모리셀이 존재하는 경우에는, FLAG 노드는 Vss가 된다.

따라서, 이 FLAG 노드의 레벨을 검출하고, FLAG 노드가 Vdd의 경우, 즉, "00", "O1" 기록 불충분의 컬럼(메모리셀)이 존재하지 않는 경우에는, 홀수 페이지 데이터의 기록 루틴을 종료한다. 또한, FLAG 노드가 Vss의 경우, 즉, "00", "01"기록 불충분의 컬럼(메모리셀)이 적어도 1개 존재하는 경우에는, 다시, "O1" 검증 판독 및 "00" 검증 판독을 행하고, 이후, 기록 펄스의 인가에 병행하여 프로그램 완료 검출을 행한다.

또, 불량 셀이 존재하기 때문에, 리던던시 회로에 의해 스페어 셀로 치환된 불량 컬럼(치환의 단위는 8 컬럼으로 함)에서는, 도 5의 일괄 검지 회로(10)의 퓨즈 소자가 절단된다. 따라서, 이 불량 컬럼 때문에, FLAG 노드가 Vss가 되는 일은 없다.

2. - 2. - 6. "00"- 프로그램 완료 검출"

프로그램 완료 검출을 행한 뒤, "OO" 기록을 행하는 모든 메모리셀에 대하여, 깔끔히 "O0" 기록이 행해졌는지의 여부를 검출하는 "OO"- 프로그램 완료 검출이 행해진다.

"OO"- 프로그램 완료 검출의 목적은, 홀수 페이지 데이터의 기록 동작의 개요에서 설명한 바와 같이, "00" 기록을 행하는 모든 메모리셀이 기록 충분히 된 후에, "VERIFY00"를 생략하고, 이후, "VERIFY01"만을 행하여, 최종적으로, "00", "01" 기록을 행하는 모든 메모리셀을 기록 충분으로 하는 점에 있다.

이 경우, "O0" 기록을 행하는 모든 메모리셀이 기록 충분히 된 후에 "VERIFY00"이 생략되기 때문에, 기록 시간의 단축(기록의 고속화)을 도모할 수 있다.

도 26의 시각 CCLK4로부터 시각 CCLK9까지가, "00"- 프로그램 완료 검출의 동작 타이밍을 나타내고 있다.

"OO" - 프로그램 완료 검출은, 프로그램 완료 검출과 마찬가지로, 기록 펄스 인가(도 22)에 병행하여 행해진다.

시각 CCLK5에, CAPCRG가 Vsg가 되고, MOS 트랜지스터 TN4(도 2)가 온 상태가 된다. 그 결과, 노드 CAP2ij는, VREG(Vdd)에 단락되어 Vdd로 된다. 이후, 시각 UDCLK2에, CAPCRG가 Vss가 되고, MOS 트랜지스터 TN4(도 2)가 오프 상태가 된다. 그 결과, 노드 CAP2ij는 플로팅 상태가 된다. 또, DTG2는 Vss이다.

이후, 시각 DCLK3에, REG1이 Vdd가 된다. 또한, "11" 기록 및 "01" 기록의 경우, 노드 CAPij는 "H"로 되어 있다(표 9 참조).

따라서, "11" 기록의 경우, 감지 노드(DTNij)는 Vdd 이기 때문에, MOS 트랜지스터 TN3, TN10 (도 2)이 오프 상태로 되고, 노드 CAP2ij는 Vdd를 유지한다.

또한, "01" 기록 충분의 경우, 감지 노드(DTNij)는, Vdd 이기 때문에, MOS 트랜지스터 TN3, TN10(도 2)이 오프 상태로 되고, 노드 CAP2ij는 Vdd를 유지한다. "01" 기록 불충분의 경우, 감지 노드(DTNij)는 Vss 이기 때문에, MOS 트랜지스터 TN3, TN10(도 2)이 온 상태로 되고, 노드 CAP2ij는 Vdd에서 Vss로 변화한다.

또한, "00" 기록 및 "10" 기록의 경우, 노드 CAP1ij는 "L"로 되어있다 (표 9 참조). 따라서, MOS 트랜지스터 TN3(도 2)이 오프 상태로 되고, 노드 CAP2ij는 Vdd를 유지한다.

즉, 시각 DCLK4의 시점에서, "01" 기록 불충분의 경우만, 노드 CAP2ij가 Vss로 되고, 그 이외의 경우에는 노드 CAP2ij는 Vdd를 유지한다.

시각 DCLK4에, COMHn이 "L"이 되어, 도 5의 COMi1 및 COMi2는 Vdd, 또한, 플로팅 상태가 된다. 또, 노드 NCOM은 Vss, 또한 플로팅 상태로 되어 있다.

시각 DCLK4에, 예를 들면, REG2-0이 Vdd로 된다. 이때, 도 5에 있어서, 제1 및 제5 데이터 회로가 선택되고, 제1 데이터 회로내의 REG2와 제5 데이터 회로내의 REG2가 각각 Vdd가 된다.

여기서, COMi1, COMi2가 방전되는 경우(Vss로 되는 경우)는, 노드 CAP2ij가 Vdd이고, 또한, 감지 노드(DTNij)가 Vss인 경우만이다. 그리고, 이러한 경우에는, "00" 기록 불충분의 경우에 상당한다.

따라서, 제1 및 제5 데이터 회로의 적어도 한쪽에 있어서, "00" 기록 불충분의 경우, COMi1 및 COMi2의 적어도 1개가 Vss로 되고, MOS 트랜지스터 TP2, TP3의 적어도 1개가 온 상태로 된다. 그 결과, 노드 NCOM은, 충전되어 Vdd로 된다.

제1 및 제5 데이터 회로의 쌍방이, 어느 것이나 "00" 기록 불충분이 아닌 경우, COMi1 및 COMi2는, 함께, Vdd를 유지하고, MOS 트랜지스터 TP2, TP3이 함께 오프 상태로 된다. 그 결과, 노드 NCOM은 Vss를 유지한다.

마찬가지로 하여, 순차, REG2-1, REG2-2, REG2-3가 Vdd로 된다. 즉, REG2-1이 Vdd일 때, 제2 및 제6 데이터 회로가 선택되어, REG2-2가 Vdd일 때, 제3 및 제7 데이터 회로가 선택되고, REG2-3가 Vdd인 때, 제4 및 제8 데이터 회로가 선택되고, 각각의 데이터 회로에서, "O0" 기록 충분/불충분이 검출된다.

그 결과, 제1 내지 제8 데이터 회로의 적어도 1개로부터 "00" 기록 불충분을 나타내는 데이터가 출력되면, 시각 CCLK7의 시점에서, NCOM은 Vdd가 된다.

또한, 제1 내지 제8 데이터 회로 중 어느 것도 "00" 기록 불충분을 나타내는 데이터가 출력되어 있지 않은 경우만, 시각 CCLK7의 시점에서, NCOM은 Vss가 된다.

그런데, FLAG 노드(도 5)에는, 모든 컬럼이 병렬로 접속되어 있다. 따라서, FLAG 노드를, Vdd, 또한, 플로팅 상태로 설정해 놓고, 이후, 시각 CCLK7에, COLPRE를 Vdd로 설정하여, MOS 트랜지스터 TN17(도 5)을 온 상태로 한다.

이때, 모든 컬럼에 대응하는 모든 데이터 회로중의 적어도 1개로부터 "00"기록 불충분을 나타내는 데이터가 출력되고 있을 때는, NCOM이 Vdd이기 때문에, MOS 트랜지스터 TN16(도 5)이 온 상태로 되고, FLAG 노드는 Vss로 된다.

한편, 모든 컬럼에 대응하는 모든 데이터 회로 중 어느 것도 "00" 기록 불충분을 나타내는 데이터가 출력되고 있을 때는, NCOM이 Vss 이기 때문에, MOS 트랜지스터 TN16(도 5)이 오프 상태로 되고, FLAG 노드는 Vdd로 된다.

이와 같이, 모든 컬럼에 있어서, "00" 기록 불충분인 메모리셀이 존재하지 않는 경우에만, FLAG 노드는, Vdd를 유지하고, 적어도 1개의 컬럼에 있어서, "00"기록 불충분인 메모리셀이 존재하는 경우에는, FLAG 노드는 Vss가 된다.

따라서, 이 FLAG 노드의 레벨을 검출하여, FLAG 노드가 Vdd의 경우, 즉, "O0"기록 불충분인 컬럼(메모리셀)이 존재하지 않는 경우에는, 이후, "VERIFY00"은 행하지 않게 된다. 또한, FLAG 노드가 Vss인 경우, 즉, "00" 기록 불충분인 컬럼(메모리셀)이 존재하는 경우에는, 계속해서, "VERIFY00"를 행한다.

또, 불량 셀이 존재하기 때문에, 리던던시 회로에 의해 스페어 셀로 치환된 불량 컬럼(치환의 단위는 8 컬럼으로 함)에서는, 도 5의 일괄 검지 회로(10)의 퓨즈 소자가 절단된다. 따라서, 이 불량 컬럼 때문에, FLAG 노드가 Vss가 되는 일은 없다.

3. 소거 동작(Erase operation)

소거 동작 시에서, 셀웰에는, 소거 전위 Vera(예를 들면, 약 20V)가 인가된다.

그리고, 선택된 메모리셀 블록 내의 모든 워드선은, 접지 전위 Vss로 설정된다. 그 결과, 선택된 메모리셀 블록 내의 메모리셀의 터널 산화막에 고전계가 걸려, 플로팅 게이트 전극 중의 전자가 채널(셀 웰)에 방출되어, 메모리셀의 임계치 전압이 저하한다.

비선택의 메모리셀 블록 내의 모든 워드선은, 플로팅 상태로 설정된다. 그 결과, 소거 전위 Vera가 셀웰에 인가되면, 셀웰과 워드선(콘트롤 게이트 전극)의 용량 커플링에 의해, 워드선의 전위는, Vera 또는 그 근방까지 상승한다. 따라서, 비선택의 메모리셀 블록 내의 메모리셀의 터널 산화막에는 고전계가 걸리지 않기 때문에, 플로팅 게이트 전극 중의 전자의 이동은 없고, 메모리셀의 임계치 전압의 변동도 없다.

그런데, 도 7에 도시하는 제1 메모리셀 블록에서는, 메모리셀 어레이 상에 로우 실드선(Row shleld line)이 존재한다. 소거 동작 시, 이 로우실드선의 전위도, 셀 웰의 전위와 마찬가지로, Vss에서 Vera로 상승한다. 로우실드선이 Vera가 되는 것에 의해, 비선택의 메모리셀 블록 내의 워드선은, 셀웰과 워드선의 사이의 용량 커플링에 의해, Vera 또는 그 근방의 전위까지 충분히 상승하기 때문에, 오소거가 생기지 않는다.

또한, 도 8에 도시하는 제2 메모리셀 블록에서는, 메모리셀 어레이 상에, 로우 실드선 대신, 워드선 드라이버 선택 신호선이 배치된다. 소거 동작 시, 워드선 드라이버 선택 신호선은, 플로팅 상태가 된다. 또한, 비트선의 전위도, Vera로 된다. 따라서, 비선택의 메모리셀 블록 내의 워드선은, 셀 웰과 워드선의 사이의 용량커플링에 의해, Vera 또는 그 근방의 전위까지 충분히 상승하기 때문에, 오소거가 생기지 않는다.

또, 로우실드선 또는 블록 선택선이, 예를 들면, Vss 또는 Vdd의 경우에는, 이것들의 선의 아래의 메모리셀에서는, 워드선과, 로우 실드선 또는 블록 선택선과의 사이에 큰 용량이 생긴다. 그 결과, 워드선은, 승압하기 어렵게 되어 오소거가 생긴다.

셀 웰에 소거 전위(소거 펄스) Vera가 인가된 후에, 소거가 충분히 행해졌는지의 여부를 검증하는 소거 검증이 행해진다. 소거 검증은, 소거 펄스를 인가한 후에 메모리셀의 데이터를 판독하는 소거 검증 판독(Erase verify read)과, 소거 검증 판독에 의해 판독된 데이터에 기초하여, 소거불충분의 컬럼이 존재하는지의 여부를 검출하는 "소거 완료 검출(Erase completion detection)"로 이루어진다.

본 예(예를 들면, 도 2 참조)의 메모리 회로에서는, 2개의 비트선 BLe, BLo가 1개의 데이터 회로를 공유하고 있기 때문에, 예를 들면, 짝수개째의 비트선 BLe에 접속되는 메모리셀에 대한 소거 검증 판독을 행한 뒤, 이들 짝수 개째의 비트선 BLe에 접속되는 모든 메모리셀의 데이터가 소거되었는지의 여부를 검출하는 "소거 완료 검출"이 행해진다.

이후, 예를 들면, 홀수개째의 비트선 BLo에 접속되는 메모리셀에 대한 소거 검증 판독을 행한 뒤, 이들 홀수개째의 비트선 BLo에 접속되는 모든 메모리셀의 데이터가 소거되었는지의 여부를 검출하는 "소거 완료 검출"이 행해진다.

그리고, 선택된 모든 메모리셀에 관해서, 소거 충분한 것으로 확인되면, 소거 동작이 종료한다. 소거불충분의 메모리셀이 있는 경우에는, 다시, 소거 동작(소거 펄스의 인가)이 행해진다.

이하, 소거 동작에 관해서, 동작 타이밍도를 이용하여 상세히 설명한다.

3. -1. 소거 펄스 인가

도 39는 소거 펄스의 인가에 관한 동작 타이밍을 나타내고 있다.

<홀수번째의 메모리셀 블록>

홀수번째의 메모리셀 블록에서는, 상술한 바와 같이, 이 블록 내의 워드선 및 셀렉트 게이트선의 전위를 제어하는 워드선 제어 회로(로우 어드레스 디코더와 워드선 드라이버)가 메모리셀 어레이의 한쪽 측에 정리되어 배치된다. 제1 메모리셀 블록을 예로하여, 이하, 설명한다.

제1 메모리셀 블록이 선택되는 경우, 도 9의 로우 어드레스 디코더 RADD1의 출력 신호 RDECAD가 Vdd가 되고, 도 10의 워드선 드라이버 RMAIN1내의 노드 Transfer G1이 Vdd로 설정된다. 신호선 CG1, CG2, · CG16의 전위는, 전환 회로(도 1)에 의해, 접지 전위 Vss로 설정된다. 또한, 신호선 SGD, SGS의 전위는, Vdd로 설정된다.

이 때, 워드선 WL1, WL2, …WL16의 전위는, 접지 전위 Vss로 설정되고, 셀렉트 게이트선 SG1, SG2는, Vdd-Vth (Vth는, MOS 트랜지스터 HNt1의 임계치 전압)의 전위로, 또한, 플로팅 상태로 된다.

제1 메모리셀 블록이 비선택의 경우, 도 9의 로우 어드레스 디코더 RADD1의 출력 신호 RDECAD가 Vss로 되고, 도 10의 워드선 드라이버 RMAIN1 내의 노드 Transfer G1이 Vss로 설정된다. 그 결과, 워드선 WL1, WL2, …WL16은 접지 전위 Vss에서, 또한, 플로팅 상태로 된다.

또한, MOS 트랜지스터 HN7, HN8이 온 상태로 되고, SGDS가 Vdd 이기 때문에, 셀렉트 게이트선 SG1, SG2는, Vdd-Vth(Vth는, MOS 트랜지스터 HN7, HN8의 임계치 전압)의 전위로, 또한, 플로팅 상태가 된다.

<짝수번째의 메모리셀 블록>

짝수번째의 메모리셀 블록에서는,상술한 바와 같이, 이 블록 내의 워드선 및 셀렉트 게이트선의 전위를 제어하는 워드선 제어 회로중, 로우 어드레스 디코더가 메모리셀 어레이의 한쪽 측에 배치되고, 워드선 드라이버가 메모리셀 어레이의 다른 쪽측에 배치된다. 제2 메모리셀 블록을 예로하여, 이하, 설명한다.

우선, 시각 ECLK2에, ROWPROG1이 Vss, ROWPROG1B가 Vdd로 되고, 도 12의 워드선 드라이버 RMAIN2내의 클럭드 인버터 CINV5, CINV6이 비동작 상태로 된다. 이 후, 시각 ECLK3에, ROWERASE1가 Vdd, ROWERASE1B가 Vss가 되고, 도 11의 로우 어드레스 디코더 RADD2내의 클럭드 인버터 CINV3가 비동작 상태로 되며, 클럭드 인버터 CINV4가 동작 상태로 된다.

그리고, 제2 메모리셀 블록이 선택되는 경우, RDECADS1가 Vdd로 되기 때문에, 도 11의 로우 어드레스 디코더 RADD2의 출력 신호 RDECADS는, Vss로 된다. 또한, 제2 메모리셀 블록이 비선택의 경우, RDECADS1이 Vss로 되기 때문에, 도 11의 로우 어드레스 디코더 RADD2의 출력 신호 RDECADS는 Vdd로 된다.

이후, 시각 ECLK4에, ROWERASE2가 Vdd로 되고, ROWERASE2B가 Vss로 되면, 클럭드 인버터 CINV7가 동작 상태로 된다.

그 결과, 제2 메모리셀 블록이 선택되는 경우, RDECADS2가 Vdd로 되기 때문에, 도 12의 워드선 드라이버내의 노드 Transfer G2가 Vdd로 된다. 한편, 제2 메모리셀 블록이 비선택의 경우, RDECADS2가 Vss로 되기 때문에, 도 12의 워드선 드라이버내의 노드 Transfer G2가 Vss로 된다.

이후, 시각 ECLK5에, ROWERASE3n이 Vss가 되면, 제2 메모리셀 블록이 비선택의 경우(RDECADS2가 Vss의 경우)에 그 데이터가 래치된다.

또한, 시각 ECLK6에, ROWGATE가 Vss가 되면, 제2 메모리셀 블록이 비선택의 경우(RDECADS가 Vdd의 경우), MOS 트랜지스터 DHN6, DHN9(도 11 및 도 12)이 차단되고, 워드선 드라이버 선택 신호선(22)(도 8)이 플로팅 상태가 된다.

이와 같이, 홀수번째의 메모리셀 블록이 선택되는 경우라도, 짝수번째의 메모리셀 블록이 선택되는 경우라도, 시각 ECLK6의 시점에서, 선택된 블록 내의 워드선은, Vss로 설정되고, 비선택의 블록 내의 워드선 및 셀렉트 게이트선은, 플로팅 상태로 된다.

또한, 짝수번째의 메모리셀 블록에 있어서는, 그 블록이 비선택의 경우에는, 워드선 드라이버 선택 신호선(22)(도 8)은, Vdd에서, 또한, 플로팅 상태로 된다.

이후, 시각 ECLK7에, 셀 웰 CPWELL을 Vera(예를 들면, 약 20V)로 설정한다. 이때, 선택된 블록 내에서는, 워드선(접지 전위 Vss)과 셀 웰의 사이에 고전계가 걸리고, 메모리셀의 플로팅 게이트 전극 중의 전자가 셀 웰에 방출되어, 데이터 소거가 실행된다.

또한, 비선택의 블록 내에서는,시각 ECLK7에, 셀 웰 CPWELL을 Vera(예를 들면, 약 20V)로 설정하면, 워드선과 셀 웰의 사이의 용량커플링에 의해, 워드선의 전위가 Vera 또는 그 근방까지 상승한다. 이 때, 워드선 드라이버 선택 신호선(22)(도 8)의 전위도, 워드선 드라이버 선택 신호선과 셀 웰의 사이의 용량커플링에 의해, 상승한다.

따라서, 비선택의 블록 내에서는, 워드선과 셀 웰의 사이에 고전계가 걸리지 않기 때문에, 메모리셀의 플로팅 게이트 전극 중의 전자가 셀웰에 방출되는 일도 없고, 데이터 소거가 행해지지 않는다.

또, 시각 ECLK8에 있어서, BIASe 및 BIASo를 Vdd로 설정하고 있는 것은, MOS 트랜지스터 HN1e, HN1o(도 2)의 드레인의 스페이스 누설 전류를 감소시키기 때문이다.

그리고, 시각 ERCV1 이후에, 소거 후의 리커버리 동작이 행해진다.

셀 웰 CPWELL의 전위가, Vera에서 10V 정도로 저하하면, BLCRL을 Vss에 접지하고, 비트선 BLe, BLo의 전하를 방전한다. Vera가 10V 정도의 경우에는, 비트선 BLe, BLo는 비트선 BLe, BLo와 셀 웰 CPWELL의 사이의 용량커플링에 의해, 12V 정도로까지 저하하고 있다.

따라서, MOS 트랜지스터 HN1e, HN1o(도 2)가 스냅백하는 일은 없다.

또, 셀 웰 CPWELL이 20V 정도일 때에, BLCRL을 Vss에 접지하고, 히트선 BLe, BLo의 전하를 방전하면, MOS 트랜지스터 HN1e, HN1o(도 2)가 스냅백하여, 그 MOS 트랜지스터가 파괴되어 버린다고 하는 문제가 있다.

3. -2. "Erase Verify Read"

도 40은, 소거 검증 판독(Erase verify read)의 동작 타이밍을 나타내고 있다.

본 예에서는, 짝수개째의 비트선 BLe에 접속되는 메모리셀에 대하여 소거 검증 판독을 행하고, 홀수개째의 비트선 BLo에 대해서는, 실드 비트선으로 하는 것을 전제로한다. 소거 검증 판독에서는, 실드 비트선 BLO는, Vdd로 설정된다.

먼저, 시각 RCLK1에, CAPCRG를 Vdd로 설정하고, 시각 RCLK2에, BLCLMP를 Vclmp(예를 들면, 약 2V)로 설정한다. 그리고, 시각 RCLK5에, REG1이 Vdd가 되는 것에 의해, 선택된 비트선 BLe는, Vss(0V)로 설정된다(VREG는 Vss, CAP1ij는 Vdd임).

시각 RCLK7에, 선택된 워드선(콘트롤 게이트 전극) CG select은, Vcgev (예를 들면, 0V)로 설정되고, 셀렉트 게이트선 SGD는, Vread (예를 들면, 약 3.5V)로 설정된다(SGS는 Vread).

소거 검증 판독은, 통상, 비트선 BLe에 접속되고, 또한, 선택된 블록 내의 모든 워드선에 접속된 메모리셀에 대하여, 거의 동시에 행해지기 때문에, 선택된 블록 내의 워드선 WL1, WL2, WL16은, 전부, Vcgev로 설정된다.

그 결과, 선택된 1 블록 내의 1 비트선 BLe에 접속되는 모든 메모리셀(1NAND 셀 유닛내의 메모리셀)이 소거 충분일 때, 그 1 비트선 BLe는, "H"로 된다. 또한, 선택된 1 블록 내의 1 비트선 BLe에 접속되는 메모리셀중, 적어도 1 개의 메모리셀이 소거불충분일 때는, 그 1 비트선 BLe는 "L"로 된다.

또, 소거 검증 판독에 있어서, 비선택의 비트선 BLo는, 비트선 사이에 생기는 커플링 노이즈의 저감을 위해, Vdd로 설정되어 있다.

각 비트선 BLe의 전위가 확정된 후, 통상의 리드와 마찬가지로, 비트선 BLe의 전위가 감지된다.

그리고, 선택된 1 블록 내의 1 비트선 BLe에 접속되는 모든 메모리셀이 소거충분일 때, 그 1 비트선 BLe가 접속되는 데이터 회로내의 감지 노드 DTNij(래치 회로 LATCH1의 출력 노드 Naij)는 "H"로 된다.

또한, 선택된 1 블록 내의 1 비트선 BLe에 접속되는 메모리셀중, 적어도 1개의 메모리셀이 소거 불충분 일 때는, 그 1 비트선 BLe가 접속되는 데이터 회로내의 감지 노드 DTNij(래치 회로 LATCH1의 출력 노드 Naij)는 "L"로 된다.

3. -3. "소거 완료 검출"

도 41은, 소거 완료 검출 에 관한 동작 타이밍을 나타내고 있다.

소거 검증 판독의 다음, 모든 컬럼에 있어서 소거가 완료되었는지의 여부를 검출하는 "소거 완료 검출"이 행해진다. 도 5에 있어서, 모든 데이터 회로내의 래치 회로 LATCH1의 출력 노드 Naij가 "H"일 때, FLAG는, "H"을 유지한다. 도 5에 있어서, 적어도 1개의 데이터 회로내의 래치 회로 LATCH1의 출력 노드 Naij가 "L"일 때, FLAG는 "L"로 된다.

FLAG 노드는, 모든 컬럼에 접속되어 있기 때문에, 선택된 1 블록 내의 메모리셀중, 적어도 1개의 메모리셀이 소거불충분하면, FLAG 노드는, "L"로 되고, 재차, 소거 펄스의 인가가 행해진다. 선택된 1 블록 내의 모든 메모리셀이 소거충분하면, FLAG 노드는, "H"로 되고, 소거 동작이 종료한다.

또, "소거 완료 검출"은, 상술한 "짝수 페이지 데이터의 기록 동작"에 있어서의 "프로그램 완료 검출"과 거의 마찬가지이므로, 그 동작의 상세한 설명에 대해서는 생략한다.

4. 번인(Burn-in) 모드

주변 회로를 구성하는 MOS 트랜지스터(메모리셀 이외의 MOS 트랜지스터)의 신뢰성을 시험하는 번인 모드에서는, 전원 전위 Vdd의 값을, 통상 동작 시에 사용하는 값(예를 들면, 약 2.3 V)보다도 높은 값(예를 들면, 약 3.5V)으로 설정한다.

이 경우, 도 2의 데이터 회로내의 노드 CAP2ij에는, 전원 전위 Vdd(예를 들면, 약 3.5V)가 인가된다. 따라서, 번인 모드에 있어서, 전원 전위 Vdd의 값을 지나치게 크게 하면, BOOT가 Vss에서 Vdd로 변화하였을 때에, 용량커플링에 의해 노드 CAP2ij 지나친 고전위로 되어, 도 2의 데이터 회로내의 MOS 트랜지스터 DLN1의 게이트(MOS 캐패시터)가 파괴된다고 하는 문제가 있다.

이러한 문제를 해결하기 위해서, 예를 들면, 번인 모드시에, 도 2의 데이터 회로내의 BOOT를 Vdd로 고정하여 놓을 수 있다. 이 경우, 노드 CAP2ij의 전위는, 항상, Vdd 이하의 전위로 되기 때문에, MOS 트랜지스터 DLN1의 게이트 산화막(캐패시터 절연막)에 지나친 고전압이 인가되는 일이 없다.

따라서, MOS 트랜지스터 DLN1의 게이트의 파괴를 방지할 수 있다.

5. DRAM 번인 모드

상술한 바와 같이, 주변 회로의 신뢰성 시험인 통상의 "번인 모드"에 있어서는 원칙적으로, 도 2의 데이터 회로내의 노드 CAP2ij(DRAM 셀)에 Vdd를 제공할 수 없다. 그래서, DRAM 셀에 대하여는, 이하의 도 42에 도시하는 동작 타이밍으로 번인 모드를 실행한다.

도 42는 노드 CAP2ij(DRAM 셀)에, Vdd와는 별개의 고전위를 제공하고, DRAM 셀에 관해서 번인 테스트를 행하는 모드를 나타내고 있다.

우선, VREG에, Vext(칩 외부에서 공급되는 전원 전위)가 인가된다. 또한, CAPCRG은, Vsg이기 때문에, MOS 트랜지스터 TN4(도 2)는 온 상태이다.

따라서, 노드 CAP2ij의 전위는, Vext에 고정된다. 또, Vext는 번인 모드에 있어서, MOS 캐패시터 DLN1이 파괴되지 않는 소정의 값으로 설정된다.

또한, 본 예에서는, 이후, DTG1이 Vsg로 되고, 노드 Naij에서 노드 CAPij (DRAM 셀)에 Vdd가 공급된다.

이와 같이, 본 예에서는,도 2의 데이터 회로내의 DRAM 셀에 대한 신뢰성 시험은, 도 42에 도시한 바와 같은 "DRAM 번인 모드"에 의해 행하고, DRAM 셀 이외의 주변 회로에 대한 신뢰성 시험은, 통상의 "번인 모드"를 행한다.

또한, DRAM "번인 모드", 즉, DRAM 셀에 대한 신뢰성 시험은, 통상의, "번인 모드", 즉, DRAM 셀 이외의 주변 회로에 대한 신뢰성 시험과 동시에 행할 수 있다.

6. "Refresh" … 제5 특징

본 예에서는, 다치 데이터(예를 들면, 4치 데이터)의 일시 기억용으로서 이용하는 여러개의 기억 회로중의 적어도 1개를, DRAM 셀(캐패시터)로 구성하고 있다. 따라서, DRAM 셀에 대하여는, 누설이 문제가 된 경우에는, 정기적으로 리프레시(refresh)를 행할 필요가 있다.

예를 들면, 홀수 페이지 데이터의 기록 동작에 있어서, 노드 CAP1ij(DRAM 셀)에는, 짝수 페이지의 기록 데이터(메모리 셀에서 판독한 데이터)가 래치된다. 여기서, 노드 CAP1ij의 전하의 누설에 의해, 노드 CAP1ij 에서의 데이터유지 능력이 문제가 되는 경우에는, 정기적으로, 노드 CAP1ij의 데이터를 리프레시하면 좋다.

도 43은, 기록 동작중에, 노드 CAP1ij의 데이터를 리프레시하는 경우의 동작 타이밍을 나타내고 있다.

또, 시각 PRCV1은, 도 22(기록 펄스 인가)에 있어서의 시각 PRCV1에 상당하고 있다.

시각 UPRCV1이 되면, 도 22로부터 명확한 바와 같이, 워드선의 방전이 행해진다. 시각 RFCLK1(PRCV1)에, BLC가 "L"이 되고, 데이터 회로와 비트선이 분리된다. 이때, 홀수 페이지의 기록 데이터는 비트선에 유지되어 있다.

시각 RFCLK1에, SEN 및 LAT이 Vss로 되고, SENB 및 LATB가 Vdd가 된다. 그 결과, 도 2의 클럭드 인버터 CINV1, CINV2가 각각 비동작 상태가 되고, 노드 Naij, Nbij가 플로팅 상태가 된다.

이후, 시각 RFCLK2에, EQPB가 "H"가 되고, 노드 Naij의 전위와 노드 Nbij의 전위가 이퀄라이즈된다. 도 2의 MOS 캐패시터 DLN3은, 노드 Naij의 용량과 노드 Nbij의 용량을 거의 같이 하기 위해 설치하고 있다.

또한, 시각 RFCLK4에, DTG1이 Vsg가 되고, 노드 CAP1ij의 데이터 (짝수 페이지 데이터)가 노드 Naij에 전송된다.

그리고, 시각 RFCLK5에, SEN이 "H", SENB가 "L"이 되면, 클럭드 인버터 CINV1에 의해, 노드 CAP1ij의 데이터가 감지된다. 또한, 시각 RFCLK6에, LAT가 "H", LATB가 "L"이 되면, 노드 CAP1ij의 데이터(짝수 페이지 데이터)가 래치 회로 LATCH1에 래치된다.

이 시점에서, 노드 CAP1ij의 데이터는, 리프레시된 것으로 된다. 그리고, 시각 RFCLK7에, DTG1이 Vss가 되면, 리프레시된 짝수 페이지 데이터는, 다시, 노드 CAP1ij에 저장된다.

이후, 비트선에 유지된 홀수 페이지 데이터가 래치 회로 LATCH1에 복귀된다.

우선, 시각 URFCLK8에, SEN 및 LAT가 Vss가 되고, SENB 및 LATB가 Vdd가 된다. 그 결과, 도 2의 클럭드 인버터 CINV1, CINV2가 각각 비 동작 상태가 되어, 노드 Naij, Nbij가 플로팅 상태가 된다.

또한, 시각 RFCLK9에, BLC가 Vsg가 되면, 비트선에 유지되어 있던 홀수 페이지 데이터가 노드 Naij에 전송된다.

그리고, 시각 RFCLK10에, SEN이 "H", SENB가 "L"이 되면, 클럭드 인버터 CINV1에 의해, 홀수 페이지 데이터가 감지된다. 또한, 시각 RFCLK11에, LAT가 "H", LATB가 "L"이 되면, 홀수 페이지 데이터가 래치 회로 LATCH1에 래치된다.

본 예에 있어서의 리프레시 동작에서는, 노드 CAP1ij에 유지된 짝수 페이지 데이터를 리프레시하고 있는 사이, 홀수 페이지 데이터는, 비트선에 유지되고 있다.

따라서, 비트선에 유지된 홀수 페이지 데이터가 래치 회로 LATCH1에 복귀된 뒤에, 비트선의 방전(기록 후의 비트선의 방전)이 행해진다. 즉, 도 43의 시각 RFCLK12F는 항상, 도 22(기록 펄스 인가)에 있어서의 시각 PRCV3보다도 앞이 아니면 안된다.

[데이터 회로의 변형예: 1] … 제6 및 제7 특징

도 44는 데이터 회로의 변형예를 보이고 있다.

본 예의 데이터 회로는, 도 2의 데이터 회로와 비교하면, 라이트 캐쉬(Write Cashe) WCS1을 구비하고 있는 점에 특징을 갖는다.

라이트 캐쉬는, DRAM 셀로 구성된다.

이하, 라이트 캐쉬를 이용한 경우의 효과에 관해서 설명한다.

복수페이지에 걸친 기록 동작(예를 들면, 도 44의 워드선 WL1에 접속되는 메모리셀에 대한 기록 후, 계속하여, 워드선 WL2에 접속되는 메모리셀에 대한 기록을 행하고, 또한, 계속하여, 워드선 WL3에 접속되는 메모리셀에 대한 기록을 행하는 것 같은 동작을 말함)에서는, 종래, 도 45에 도시한 바와 같이, 기록 데이터의 입력과, 기록(기록 펄스의 인가)이 교대로 직렬로 행해지고 있었다.

이것에 대하여, 데이터 회로 내에 라이트 캐쉬를 갖는 경우, 도 46에 도시한 바와 같이, 기록 데이터의 입력과, 기록(기록 펄스의 인가)을 병렬로 행할 수 있다.

예를 들면, 도 44에 있어서, 워드선 WL1에 접속되는 메모리셀("Page1")의 기록 데이터가 래치 회로 LATCH1에 입력되고, 계속해서, "Page1"의 기록이 행해진다. 또한, "Page1"에 대한 기록 중에, 워드선 WL2에 접속되는 메모리셀("Page2")의 기록 데이터가 라이트 캐쉬 WCS1에 입력된다.

"Page1"의 기록이 종료한 후에, 라이트 캐쉬 WCS1에 유지된 "page2"의 기록 데이터가 래치 회로 LATCH1에 전송되고, 계속해서, "Page2"의 기록이 행해진다. 또한, "Page2"에 대한 기록 중에, 워드선 WL3에 접속되는 메모리셀("Page3")의 기록 데이터가 라이트 캐쉬 WCS1에 입력된다.

이와 같이, 라이트 캐쉬 WCS1을 갖는 데이터 회로에 따르면, 기록(기록 펄스 인가)의 한창일 때에, 다음의 기록의 대상이 되는 페이지에 대한 기록 데이터를 라이트 캐쉬 WCS1에 로드하고 있기 때문에, 2페이지째 이후의 기록 데이터의 로드 시간이 불필요하게 된다. 그 결과, 기록이 고속화된다.

이하, 라이트 캐쉬 WCS1에 관해, 기록 시의 동작타이밍으로 관하여 상세히 설명한다.

① 라이트 캐쉬에의 데이터 입력

도 47은 라이트 캐쉬에 대한 데이터 입력의 동작 타이밍을 나타내고 있다.

기록 데이터가 입력되기 전에는, PR은 Vsg로 유지되고 있다. 그 결과, 노드 CAP3ij(DRAM 셀)는 Vdd로 되어 있다. "라이트 캐쉬 WCS1에 데이터를 입력한다"라는 커맨드가 칩에 입력되면, 시각 WCCLK1에, PR이 Vsg에서 Vss로 변화하고, 노드 CAP3ij는, Vdd, 또한, 플로팅 상태가 된다.

이후, 시각 WCCLK2에, CSL2i가 Vdd가 되면, 입출력선 IOj로부터 라이트 캐쉬 WCS1에 데이터가 입력된다. "0" 데이터의 경우, IOj는, Vss이기 때문에, 노드 CAP3ij는, Vss(0V)가 된다. "1" 데이터의 경우, IOj는, Vdd이기 때문에, 노드 CAP3ij는 Vdd를 유지한다.

또, 라이트 캐쉬 WCS1에 대하여 데이터를 입력하고 있는 동안, TG는, Vss이기 때문에, 라이트 캐쉬 WCS1과 래치 회로 LATCH1는, 상호, 전기적으로 분리되어 있다. 따라서, 라이트 캐쉬 WCS1에 대한 데이터 입력 중에 있더라도, 래치 회로 LATCH1에 래치된 기록 데이터에 기초하여, 기록이나 검증 판독 등을 행할 수 있다.

그런데, 라이트 캐쉬 WCS1에 기록 데이터가 입력되지 않은 경우, 노드 CAP3ij는, Vdd, 즉, "1" 기록 데이터가 유지된다. 그 결과, 라이트 캐쉬 WCS1에 데이터가 입력되지 않은 컬럼에서는, 기록이 행해지지 않는다.

② 라이트 캐쉬로부터 래치 회로에의 데이터 전송

래치 회로 LATCH1에 래치된 데이터를 메모리셀에 기록하는 동작이 종료하면, 라이트 캐쉬 WCS1에 유지된 데이터가 래치 회로 LATCH1에 전송되고, 또한, 이 데이터에 기초하여 기록이 행해진다.

도 48은, 라이트 캐쉬 WCS1로부터 래치 회로 LATCH1에 데이터를 전송하는 동작 타이밍을 보이고 있다.

먼저, 시각 WLCLK1에, SEN 및 LAT가 Vss가 되고, SENB 및 LATB가 Vdd가 된다. 그 결과, 래치 회로 LATCH1는, 비동작 상태로 된다. 계속해서, 시각 WLCLK2에, EQPB가 Vdd가 되고, 노드 Naij의 전위와 노드 Nbij의 전위가 이퀄라이즈된다.

이후, 시각 WLCLK4에, TG가 Vsg가 되면, 라이트 캐쉬 WCS1의 데이터가 노드 Naij에 전송된다. 또한, 시각 WLCLK5에, SEN이 Vdd, SENB가 Vss가 되면, 노드 Naij의 데이터가 클럭드 인버터 CINV1에 의해 감지된다. 또한, 시각 WLCLK6에, LAT가 Vdd, LATB가 Vss가 되면, 노드 Naij의 데이터가 래치 회로 LATCH1에 래치된다.

이와 같이 하여, 라이트 캐쉬 WCS1의 노드 CAP3ij에 유지된 데이터가 래치 회로 LATCH1에 전송된다. 라이트 캐쉬 WCS1의 데이터가 래치 회로 LATCH1에 전송된 후에는, 시각 WLCLK7에, TG가 Vss로 된다.

또, 이후, PR를 Vsg로 하고, CAP31j를 Vdd로 하여, 라이트 캐쉬 WCS1에 다음의 기록 데이터를 입력한다 (도 47).

③ 라이트 캐쉬내의 데이터의 리프레시

라이트 캐쉬 WCS1내의 노드(DRAM 셀) CAP3ij의 전하의 누설에 의해, 노드 CAP3ij의 데이터유지 능력이 문제가 되는 경우에는, 정기적으로, 노드 CAP3ij의 데이터를 리프레시한다.

도 49는, 기록이 한창일 때에, 라이트 캐쉬 CAP3ij의 데이터를 리프레시하는 경우의 동작 타이밍을 보이고 있다.

또, PRCV1은, 도 22 (기록 펄스 인가)에 있어서의 PRCV1에 상당하고 있다.

먼저, 시각 PRCV1이 되면, 도 22로부터 알 수 있는 바와 같이, 워드선의 방전이 행해진다. 시각 WRFCLK1(PRCV1)에, BLC가 "L"이 되고, 데이터 회로와 비트선이 전기적으로 분리된다. 또, 라이트 캐쉬 WCS1의 리프레시의 사이, 래치 회로 LATCH1의 기록 데이터는, 비트선에 대기시켜 놓는다.

즉, 시각 WRFCLK1에, SEN 및 LAT이 Vss가 되고, SENB 및 LATB가 Vdd가 된다. 그 결과, 도 44의 클럭드 인버터 CINV1, CINV2가 비동작 상태로 되고, 노드 Naij, Nbij가 플로팅 상태가 된다.

이후, 시각 WRFCLK2에, EQPB가 "H"가 되고, 노드 Naij의 전위와 노드 Nbij의 전위가 이퀄라이즈된다. 또, 도 44의 MOS 캐패시터 DLN3은, 노드 Naij의 용량과 노드 Nbij의 용량을 거의 동일하게 하기 위해서 설치된다.

또한, 시각 WRFCLK4에, TG가 Vsg가 되고, 라이트 캐쉬 WCS1의 노드 CAP3ij의 데이터가 노드 Naij에 출력된다. 그리고, 시각 WRFCLK5에, SEN이 "H", SENB가 "L"로 되면, 라이트 캐쉬 WCS1의 데이터가 클럭드 인버터 CINV1에 의해 감지된다. 또한, 시각 WRFCLK6에, LAT가 "H", LATB가 "L"이 되면, 라이트 캐쉬 WCS1의 데이터는, 래치 회로 LATCH1에 래치된다.

이 시점에서, 라이트 캐쉬 WCS1의 데이터(노드 CAP3ij의 전위)는, 리프레시된 것으로 된다. 이후, 시각 WRFCLK7에, TG가 Vss가 되면, 리프레시된 라이트 캐쉬 WCS1의 데이터는, 다시, 노드 CAP3ij로 유지된다.

이후, 비트선에 대기시켜 놓은 기록 데이터를 래치 회로 LATCH1에 복귀하는 동작이 행해진다.

우선, 시각 WRFCLK8에, SEN 및 LAT이 Vss로 되고, SENB 및 LATB가 Vdd가 된다. 그 결과, 도 44의 클럭드 인버터 CINV1, CINV2는, 비동작 상태로 되고, 노드 Naij, Nbij는 플로팅 상태가 된다.

또한, 시각 WRFCLK9에, BLC가 Vsg가 되면, 비트선과 데이터 회로가 전기적으로 접속되고, 비트선에 유지된 기록 데이터는, 노드 Naij에 전송된다. 그리고, 시각 WRFCLKl0에, SEN이 "H", SENB가 "L"이 되면, 이 기록 데이터는, 클럭드 인버터 CINV1에 의해 감지된다. 또한, 시각 WRFCLKl1에, LAT가 "H", LATB가 "L"이 되면, 기록 데이터는, 래치 회로 LATCH1에 래치된다.

이와 같이, 라이트 캐쉬 WCS1의 데이터에 관한 리프레시 동작에 있어서는, 노드 CAP3ij에 유지된 데이터를 리프레시하고 있는 동안, 래치 회로 LATCH1에 래치되어 있던 기록 데이터는 비트선에 유지되어 있다.

따라서, 라이트 캐쉬 WCS1의 데이터의 리프레시를 끝내고, 비트선에 유지된 기록 데이터를 래치 회로 LATCH1에 복귀한 후에, 비트선의 방전(기록 동작 후의 비트선의 방전)이 행해진다. 즉, 시각 WRFCLK12는, 항상, 도 22(기록 펄스 인가)에 있어서의 PRCV3보다도 앞이 아니면 안된다.

[데이터 회로의 변형예: 2] … 제6 특징

도 50은, 데이터 회로의 변형예를 나타내 있다.

이후, 비트선에 대기시켜 놓은 기록 데이터를 래치 회로 LATCH1로 되돌리는 동작이 행해진다.

먼저, 시각 WRFCLK8에, SEN 및 LAT이 Vss로 되고, SENB 및 LATB가 Vdd가 된다. 그 결과, 도 44의 클럭드 인버터 CINV1, CINV2는, 비동작 상태로 되고, 노드 Naij, Nbij는, 플로팅 상태가 된다.

또한, 시각 WRFCLK9에, BLC가 Vsg가 되면, 비트선과 데이터 회로가 전기적으로 접속되어, 비트선에 유지된 기록 데이터는, 노드 Naij에 전송된다. 그리고, 시각 WRFCLK10에, SEN이 "H", SENB가, "L"이 되면, 이 기록 데이터는, 클럭드 인버터 CINV1에 의해 감지된다. 또한, 시각 WRFCLK11에, LAT가 "H", LATB가, "L"로 되면, 기록 데이터는, 래치 회로 LATCH1에 래치된다.

이와 같이, 라이트 캐쉬 WCS1의 데이터에 관한 리프레시 동작에 있어서는, 노드 CAP3ij에 유지된 데이터를 리프레시하고 있는 동안, 래치 회로 LATCH1에 래치되어 있던 기록 데이터는, 비트선에 유지되어 있다.

따라서, 라이트 캐쉬 WCS1의 데이터의 리프레시를 끝내고, 비트선에 유지된 기록 데이터를 래치 회로 LATCH1에 복귀한 후에, 비트선의 방전(기록 동작 후의 비트선의 방전)이 행해진다. 즉, 시각 WRFCLK12는, 항상, 도 22(기록 펄스 인가)에 있어서의 PRCV3보다도 앞이 아니면 안된다.

[데이터 회로의 변형예: 2] … 제6 특징

도 50은, 데이터 회로의 변형예를 나타내고 있다.

본 예의 데이터 회로는, 도 44의 데이터 회로와 비교하면, 라이트 캐쉬(Write Cashe)WCS2가 SRAM 셀로 구성되어 있는 점에 특징을 갖는다.

도 44의 예에서는, 라이트 캐쉬는, DRAM 셀로 구성되고, 본 예에서는, 라이트 캐쉬는, SRAM 셀로 구성된다. 어느쪽의 경우에 있어서도, 기록 데이터의 입력과, 기록(기록 펄스의 인가)을 병렬로 행할 수 있기 때문에, 기록 속도를 고속화한다, 라는 효과를 얻는 것이 가능하다.

이하, 라이트 캐쉬 WCS2에 관해, 기록 시의 동작타이밍에 관하여 상세히 설명한다.

① 라이트 캐쉬에의 데이터 입력

도 51은, 라이트 캐쉬에 대한 데이터 입력의 동작 타이밍을 나타내고 있다.

기록 데이터가 입력되기 전에는, PR3은, Vdd로 유지되고 있다. "라이트 캐쉬 WCS2에 데이터를 입력한다"라는 커맨드가 칩에 입력되면, 시각 WACLK1에, PR3가 Vdd에서 Vss로 변화하고, 노드 Ncij는, Vdd로 되고, 노드 Ndij는 Vss로 세트된다.

이후, 시각 WACLK2에, CSL3i이 Vdd가 되고, 입출력선 IOj, nIOj로부터 라이트 캐쉬 WCS2에 데이터가 입력된다. "0" 데이터의 경우, IOj는, Vss, nIOj는, Vdd이기 때문에, SRAM 셀의 노드 Ncij는, Vss가 되고, 노드 Ndij는 Vdd가 된다. "1" 데이터의 경우, IOj는, Vdd, nIOj는, Vss이기 때문에, SRAM 셀의 노드 Ncij는 Vdd가 되며, 노드 Ndij는 Vss가 된다.

라이트 캐쉬 WCS2에 데이터를 입력하고 있는 동안, TG3은, Vss로 되고 있기 때문에, 라이트 캐쉬 WCS2와 래치 회로 LATCH1은, 상호, 전기적으로 분리되고 있다. 따라서, 라이트 캐쉬 WCS2에 대한 데이터 입력 중에 있더라도, 래치 회로 LATCH1에 유지된 기록 데이터에 기초하여, 데이터의 기록이나 검증 판독을 행할 수 있다.

도 50에 있어서, 라이트 캐쉬 WCS2에 데이터가 입력되지 않은 경우, 노드 Ncij는, Vdd로 되고, 노드 Ndij는 Vss로 된다. 즉, 라이트 캐쉬 WCS2는, "1" 기록 데이터를 유지하고 있다. 그 결과, 라이트 캐쉬 WCS2에 데이터가 입력되지 않은 컬럼에서는 기록이 행해지지 않는다.

② 라이트 캐쉬로부터 래치 회로에의 데이터 전송

래치 회로 LATCH1에 래치된 데이터의 기록이 종료하면, 라이트 캐쉬 WCS2에 유지된 데이터가 래치 회로 LATCH1에 전송되고, 계속하여, 기록이 행해진다.

도 52는, 라이트 캐쉬 WCS2로부터 래치 회로 LATCH1에 데이터를 전송하는 동작 타이밍을 나타내고 있다.

먼저, 시각 WBCLK1에, SEN 및 LAT이 Vss가 되고, SENB 및 LATB가 Vdd가 된다. 그 결과, 래치 회로 LATCH1은, 비동작 상태로 된다. 계속하여, 시각 WBCLK2에, TG3가 Vsg가 되면, 라이트 캐쉬 WCS2의 데이터(노드 Ncij의 데이터)가 노드 Naij에 전송된다. 또한, 시각 WBCLK3에, SEN이 Vdd, SENB가 Vss가 되면, 노드 Naij의 데이터가 클럭드 인버터 CINV1에 의해 감지된다. 또한, 시각 WLCLK4에, LAT가 Vdd, LATB가 Vss가 되면, 노드 Naij의 데이터가 래치 회로 LATCH1에 래치된다.

이와 같이 하여, 라이트 캐쉬 WCS2의 노드 Ncij에 유지된다

데이터가 래치 회로 LATCH1에 전송된다. 라이트 캐쉬 WCS2의 데이터가 래치 회로 LATCH1에 전송된 후에는, 시각 WLCLK5에, TG3가 Vss로 되고, 래치 회로 LATCH1와 라이트 캐쉬 WCS2는 전기적으로 분리된다.

또, 이후, PR3을 Vss로 하고, Ncij를 Vdd로 한 뒤, 라이트 캐쉬 WCS2에 다음의 기록 데이터를 입력한다 (도 51).

본 예에서는, 라이트 캐쉬 WCS2는, SRAM으로 구성되기 때문에, 도 44의 예로 설명하였다. 라이트 캐쉬내의 데이터의 리프레시는 불필요하다.

[기록 속도에 관해]

1. 개요
종래의 플래시 메모리(Flash Memory)에서는, 기록 대상으로 되는 메모리셀이 접속되는 1개의 비트선에 대하여 1개의 데이터 회로가 접속된다. 데이터 회로는, 선택된 메모리셀에 대한 기록 데이터를 일시적으로 유지하는 기억 회로(예를 들면, 래치 회로)를 구비하고 있다.

통상의 2치 플래시 메모리에서는, 1개의 데이터 회로 내에는, 1 비트의 기록 데이터를 유지하는 1개의 기억 회로가 설치된다. 다치 메모리가 되면, 1개의 데이터 회로 내에는, 3치 이상의 기록 데이터를 유지하기 위한 복수의 기억 회로가 설치된다.

그리고, 실제의 기록 동작에서는, 데이터 회로에 유지된 기록 데이터에 기초하여, 선택된 메모리셀에 대하여 기록을 실행할 지의 여부(예를 들면, 플로팅 게이트에 전자를 주입할지의 여부)가 결정된다.

이와 같이, 종래의 플래시 메모리에서는, 기록의 대상으로 되는 메모리셀이 접속되는 1 개의 비트선에 대하여, 기록 데이터의 일시 기억용으로서의 1개의 데이터 회로가 설치된다. 즉, 예를 들면, 칩내에 4000개의 데이터 회로가 존재하는 경우에는, 4000개의 메모리셀에 대하여 거의 동시에 기록을 실행할 수가 있다.

따라서, 데이터 회로의 수를 늘리면 늘릴 수록, 기록 속도를 고속화할 수가 있다. 만일, 칩 내에 8000개의 데이터 회로를 설치하면, 8000개의 메모리셀에 대하여 거의 동시에 기록을 실행할 수 있다. 이 경우, 칩 내에 4000개의 데이터 회로를 설치하는 경우에 비해, 기록 속도를 2배로 할 수 있다.

그러나, 칩 내의 데이터 회로의 수를 늘린다는 것은, 칩 면적을 크게 한다는 것을 의미한다. 또한, 칩 면적이 커지면, 1 비트당의 비용이 증가하는 등의 문제가 생긴다.

이하에 설명하는 발명은, 이러한 문제를 해결하는 것이고, 그 특징은, 하나의 데이터 회로를 이용하여, 2개의 메모리셀에 대하여 거의 동시에 기록을 실행할 수가 있는 점에 있다.

여기서, 당연히, 1개의 데이터 회로 내에는, 종래와 마찬가지로, 1개의 메모리셀에 대한 기록 데이터(2치 또는 다중값)만을 일시적으로 유지할 수 있는 기억 회로(예를 들면, 래치 회로)가 설치된다. 예를 들면, 2치 메모리의 경우에는, 1개의 데이터 회로 내에는, 1 비트 데이터를 일시적으로 기억할 수 있는 1개의 기억 회로만이 설치된다.

따라서, 본 발명에서는, 칩 면적을 증가시키는 일 없이, 1개의 데이터 회로를 이용하여, 2개의 메모리셀을 거의 동시에 기록하는 것에 의해, 종래에 비해, 기록 속도를 약 2배로 고속화할 수 있다.

2. 본 발명의 요점

먼저, 본 발명의 요점에 관해서 설명한다 (도 53).

본 발명은, 상술된 바와 같이, 1개의 데이터 회로를 이용하여, 2개의 메모리셀에 대해 거의 동시에 기록을 실행하도록 한 점에 특징을 갖는다.

또, 데이터 회로 내에는, 종래와 마찬가지로, 1개의 메모리셀에 대한 기록 데이터를 일시적으로 유지하기 위한 기억 회로 밖에 설치되지 않는다(이에 따라 칩 면적의 증대를 막는다). 즉, 본 발명은, 기록 동작(제어 회로에서의 기록 제어)을 고안함으로써, 칩 면적의 증가 없이, 기록 속도를 2배로 하는 기술을 제안하는 것이다.

이하에서는, 2치 NAND형 플래시 메모리를 예로 하여 설명을 행한다

본 발명에서는, 1개의 데이터 회로에 적어도 2개의 비트선 BLA, BLB가 접속되는 것을 전제로 한다. 또한, 이 2개의 비트선 BLA, BLBF, 다른 뱅크내에 배치된다. 즉, 비트선 BLA에 접속되는 메모리셀의 콘트롤 게이트선(워드선)과 비트선 BLB에 접속되는 메모리셀의 콘트롤 게이트선(워드선)은, 항상, 상호 다른 것이 전제이다. 이 경우, 2개의 비트선 BLA, BLB는, 상호 대향 또한 인접하여 배치되는 일 없이, 예를 들면, 데이터 회로 중심에서, 상호 오픈 상태가 되도록 배치된다.

따라서, 예를 들면, 실드 비트선 판독 방법을 실행하기 위해서, 1개의 데이터 회로에 2개의 비트선을 접속하고, 이들을 상호 대향 또한 인접하여 배치하는 것 같은 경우에는, 본 발명으로부터 제외된다. 단지, 본 발명과 이러한 실드 비트선 판독 방법을 조합하는 것은 가능하다 (후에 상술함).

기록 동작(요점만)에 관해서 설명한다.

또, 구체적인 기록 동작에 대해서는, 뒤에 상술한다.

선택된 메모리셀은, 비트선 BLA에 접속되는 메모리셀 CellA와 비트선 BLB에 접속되는 메모리셀 CellB로 가정한다. 이들2개의 메모리셀 CellA, CellB에 대하여, 1개의 데이터 회로(1개의 메모리셀에 대한 기록 데이터만을 유지가능)를 이용하여, 거의 동시에 기록 동작을 실행한다.

우선, 메모리셀 CellA에 대한 기록 데이터는, 칩 외부에서 데이터 회로를 경유하여 비트선 BLA에 유지된다. 마찬가지로, 메모리셀 CellB에 대한 기록 데이터는, 칩 외부에서 데이터 회로를 경유하여 비트선 BLB에 유지된다.

도 53의 (a) 및 (b)에 도시한 바와 같이, 메모리셀 CellA에 대한 기록 동작을 실행할 때에는, TGA가 "L", TGB가 "H"로 설정된다.

즉, 트랜스퍼 게이트 TrNA가 오프 상태이기 때문에, 비트선 BLA는, 플로팅 상태이고, 또한, 메모리셀 CellA에 대한 기록 데이터를 유지하고 있다. 이 때, 메모리셀 CellA의 콘트롤 게이트선(워드선)에 기록 펄스가 인가되기 때문에, 비트선 BLA 의 기록 데이터에 따라서, 메모리셀 CellA에 대한 기록이 실행된다.

예를 들면, "0" 기록(기록하여 선택)의 경우, 비트선 BLA는, 0V ("Low", 즉, 기록 데이터"0")이고, 메모리셀 CellA의 채널도 0V로 된다. 따라서, 메모리셀 CellA의 터널 산화막에는, 고전압이 인가되고, 메모리셀 CellA에 대하여, "0" 기록(플로팅 게이트 전극에 대한 전자의 주입)이 실행된다.

또한, "1" 기록(기록하고 비선택)의 경우, 비트선 BLA는, Vdd("Hlgh", 즉, 기록 데이터"1")이고, 메모리셀 CellA의 채널은, 예를 들면, Vdd-Vth (Vth는, 셀렉트 트랜지스터의 임계치 전압)로 되고, 또한, 비트선 BLA에서 분리된다(셀렉트 트랜지스터가 차단).

따라서, 콘트롤 게이트선(워드선)에 기록 펄스가 인가되더라도, 콘트롤 게이트선과 채널의 용량커플링에 의해, 채널의 전위가 상승한다. 그 결과, 메모리셀 CellA의 터널 산화막에는, 고전압이 인가되지 않고, 메모리셀 CellA에 대하여, "1" 기록(소거 유지)이 실행된다.

메모리셀 CellA에 대하여 기록 펄스를 인가하고 있는 동안, 기록 데이터는, 플로팅 상태의 비트선 BLA에 유지되어 있다. 이때, 비트선 BLA의 기록 데이터의 변동은 없고, 기록 데이터는, 비트선 BLA에 안정적으로 유지되어 있다.

왜냐하면, 비트선 BLA의 용량은 충분히 크기 때문에, 예를 들면, "0" 기록 시에, 콘트롤 게이트선에 기록 펄스를 인가하더라도, 용량 커플링에 의한 플로팅 상태의 비트선 BLA의 전위 변동은 거의 없기 때문이다. 또한, "0" 기록 시에, 메모리셀 CellA의 플로팅 게이트 전극으로부터 비트선 BLA에 흐르는 터널 전류도 미소한 값이기 때문에, 이것에 의한 비트선 BLA의 전위 변동도, 거의 없다.

그런데, 메모리셀 CellA에 대하여 기록 펄스를 인가하고 있는 동안, 트랜스퍼 게이트 TrNB는, 온 상태를 유지하고 있고, 비트선 BLB는 데이터 회로2-1에 전기적으로 접속되어 있다.

메모리셀 CellB에 대하여, 예를 들면, 기록 동작을 한번도 행하고 있지 않은 경우에는, 메모리셀 CellA에 대하여 기록 펄스를 인가하고 있는 동안, 비트선 BLB에 유지된 기록 데이터("0"또는 "1")의 리프레시를 행해도 좋다. 비트선 BLB는, 기록 시에 플로팅 상태로 되기 때문에, 누설(전하의 누설되어)에 의해, 비트선 BLB에 유지된 데이터가 변동할 가능성이 있기 때문이다.

리프레시는, 비트선 BLB에 유지된 기록 데이터를 데이터 회로2-i 내의 기억 회로(예를 들면, 래치 회로)에 전송하고, 이 기록 데이터를 감지 및 래치한 후에, 다시, 비트선 BLB에 복귀하는 것에 의해 행한다.

한편, 메모리셀 CellB에 대하여, 기록 펄스를 인가한 후에는, 메모리셀 CellA에 대하여 기록 펄스를 인가하고 있는 동안, 메모리셀 CellB의 상태(기록이 깔끔히 행해졌는지 여부)를 검증하는 동작, 즉, 기록 검증 동작이 행해진다.

우선, 비트선 BLB에 유지된 메모리셀 CellB에 대한 기록 데이터가, 데이터 회로2-i 내의 기억 회로에 전송되고, 또한, 유지된다 (도 53의 (a)). 이후, 메모리셀 CellB의 데이터가 판독되고(검증 판독), 예를 들면, 데이터 회로2-i 내의 기억 회로에 유지된 기록 데이터와 메모리셀 CellB의 판독 데이터가 비교된다.

양자가 일치하고 있으면, 기록 OK로 되고, 이후, 메모리셀 CellB에 대한 전자 주입은 행해지지 않는다. 한편, 양자가 불일치이면, 기록 NG로 되고, 메모리셀 CellB에 대한 기록 동작이 계속해서 행해진다.

즉, 데이터 회로2-i 내의 기억 회로에 유지된 재 기록 데이터가 비트선 BLB에 복귀되고, 그후, 메모리셀 CellB에 대하여 기록 펄스가 인가된다.

또한, 도 53의 (c) 및 (d)에 도시한 바와 같이, 메모리셀 CellA에 대하여 기록 펄스가 인가된 후에는, TGA가 "H", TGB가 "L"로 설정된다.

즉, 트랜스퍼 게이트 TrNB가 오프 상태이기 때문에, 비트선 BLB는, 플로팅 상태이고, 또한, 메모리셀 CellB에 대한 기록 데이터를 유지하고 있다. 이때, 메모리셀 CellB의 콘트롤 게이트선(워드선)에 기록 펄스가 인가되기 때문에, 비트선 BLB의 기록 데이터에 따라서, 메모리셀 CellB에 대한 기록이 실행된다.

예를 들면, "0" 기록(기록 선택)의 경우, 비트선 BLB는, 0V ("Low", 즉, 기록 데이터"0")이고, 메모리셀 CellB의 채널도 0V가 된다. 따라서, 메모리셀 CellB의 터널 산화막에는, 고전압이 인가되고, 메모리셀 CellB에 대하여, "0" 기록(플로팅 게이트 전극에 대한 전자의 주입)이 실행된다.

또한, "1" 기록(기록하고 비선택)의 경우, 비트선 BLB는, Vdd("High", 즉, 기록 데이터"1")이고, 메모리셀 CellB의 채널은, 예를 들면, Vdd-Vth (Vth는 셀렉트 트랜지스터의 임계치 전압)로 되고, 또한, 비트선 BLB에서 분리된다(셀렉트 트랜지스터가 차단).

따라서, 콘트롤 게이트선(워드선)에 기록 펄스가 인가되더라도, 콘트롤 게이트선과 채널의 용량커플링에 의해, 채널의 전위가 상승한다. 그 결과, 메모리셀 CellB의 터널 산화막에는 고전압이 인가되지 않고, 메모리셀 CellB에 대해, "1" 기록(소거 유지)이 실행된다.

메모리셀 CellB에 대하여 기록 펄스를 인가하고 있는 동안, 기록 데이터는, 플로팅 상태의 비트선 BLB에 유지되고 있다. 이 때, 상술한 이유와 마찬가지의 이유에 의해, 비트선 BLB의 기록 데이터의 변동은 없고, 기록 데이터는 비트선 BLB에 안정적으로 유지되고 있다.

그런데, 도 53의 (c), (d)에서는, 트랜스퍼 게이트 TrNA는, 온 상태를 유지하고 있고, 비트선 BLA는, 데이터 회로2-i에 전기적으로 접속되어, 메모리셀 CellA에 대한 검증 판독이 행해진다.

먼저, 비트선 BLA에 유지된 메모리셀 CellA에 대한 기록 데이터가, 데이터 회로2-i 내의 기억 회로에 전송되고, 또한, 유지된다(도 53의 (c)). 이후, 메모리셀 CellA의 데이터가 판독되고(검증 판독), 예를 들면, 데이터 회로2-i 내의 기억 회로에 유지된 기록 데이터와 메모리셀 CellA의 판독 데이터가 비교된다.

양자가 일치하고 있으면, 기록 OK로 되고, 이후, 메모리셀 CellA에 대한 전자 주입은 행해지지 않는다. 한편, 양자가 불일치이면, 기록 NG로 되고, 메모리셀 CellA에 대한 기록 동작이 계속하여 행해진다.

즉, 데이터 회로2-i 내의 기억 회로에 유지된 재 기록 데이터가 비트선 BLA에 복귀되고, 그후, 메모리셀 CellA에 대하여 기록 펄스가 인가된다.

그리고, 메모리셀 CellA, CellB에 대하여, 정확하게, 기록이 행해질 때까지, 도 53의 (a)~(d)의 동작이 반복하여 행해진다.

이와 같이, 본 발명에 따르면, 2개의 선택된 메모리셀(2개의 비트선)에 대응하여 1개의 데이터 회로가 설치되는 경우에, 한쪽의 메모리셀에 대하여 기록을 실행하고 있는 동안에는, 기록 데이터를 그 한쪽의 메모리셀에 접속되는 비트선에 유지하고, 또한, 그 비트선과 데이터 회로를 전기적으로 절단한다. 이때, 다른쪽의 메모리셀이 접속되는 비트선을 데이터 회로에 전기적으로 접속하고, 다른쪽의 메모리셀에 대한 검증 동작을 실행한다.

이러한 구성 및 제어 방법에 따르면, 1개의 메모리셀에 대한 기록 데이터만을 일시적으로 유지할 수 있는 1개의 데이터 회로를 이용하여, 2개의 선택된 메모리셀에 대해, 거의 동시에, 기록을 실행할 수가 있다. 따라서, 칩 면적을 크게 하지 않고, 기록 속도를 고속화(종래의 거의 2배)할 수가 있다.

또, 이상의 설명은, 본 발명의 요점을 설명하는 것이다. 따라서, 마찬가지의 수법을 이용함으로써, 예를 들면, 1개의 데이터 회로를 이용하여, 2개 이상의 선택된 메모리셀에 대하여, 거의 동시에 기록을 행하는 것도 가능하다.

3. 구체예1

이하, 본 발명의 구체예에 관해서 설명한다.

또, 본 발명의 요점의 항목으로 설명한 바와 마찬가지로, 이하에서는, 2치 NAND 형 플래시 메모리를 예로 하여 설명한다.

3. -1. 칩 레이아웃

도 54는, 본 발명의 2치 NAND 형 플래시 메모리의 칩 레이아웃의 개략을 나타내고 있다.

본 레이아웃의 특징은, 메모리셀 어레이가, 상위 뱅크(Upper bank)와 하위 뱅크(Lower bank)로 구성되고, 상위 뱅크와 하위 뱅크의 사이에, 데이터 회로가 배치되어 있는 점에 있다.

즉, 본 예에서는, 데이터 회로가, 상위 뱅크의 메모리셀과 하위 뱅크의 메모리셀에 공유된다. 이 경우, 1개의 데이터 회로를 이용하여, 상위 뱅크내의 1개의 메모리셀과 하위 뱅크내의 1개의 메모리셀을, 거의 동시에 기록할 수 있기 때문에,(종래 1개의 데이터 회로에 의해 1개의 메모리셀의 기록이 행해짐)에 비교해서, 기록 속도를 약 2배로 할 수 있다.

상위 뱅크는, 4개의 뱅크 Bank1U, Bank2U, Bank3U, Bank4U 로 구성되고, 이것에 대응하여, 하위 뱅크도, 4개의 뱅크 BanklL, Bank2L, Bank3L, Bank4L 로 구성된다. 비트선 BLA는, 데이터 회로에서 상위 뱅크측에 연장되고, 비트선 BLB는 데이터 회로에서 하위 뱅크측에 연장된다.

본 예에서는, 1회의 기록 동작(데이터 입력으로부터 기록 완료까지의 동작, 기록 펄스의 인가는, 통상, 복수회 행해짐)에 의해, 8페이지 Page1U, Page2U, Page3U, Page4U, Page1L, Page2L, Page3L, Page4L 분의 데이터의 기록(1개의 뱅크에 대하여는 1페이지 분의 기록)을 행할 수 있다.

또, 종래의 기록 방법에서는, 상위 뱅크의 메모리셀과 하위 뱅크의 메모리셀을 거의 동시에 기록하는 것은 불가능하기 때문에, 종래에는, 1회의 기록 동작에 의해 4페이지 분의 데이터 기록만을 행할 수 있다. 즉, 본 발명은, 종래에 비해, 기록 속도를 약 2배로 할 수 있다.

3. -2. 데이터 회로

도 55는 도 54의 칩 레이아웃에 관해, 1개의 데이터 회로와 이것에 접속되는 비트선 및 메모리셀을 도시한 것이다.

데이터 회로2-i는, 래치 회로 LATCH1와, N 채널 MOS 트랜지스터 TN31과, 검증용의 p 채널 MOS 트랜지스터 TP31, TP32와, 프리차지용의 N 채널 MOS 트랜지스터 TN32A, TN32B, TN32C, TN32D와, 트랜스퍼 게이트 TrNA, TrNB, TrNC, TrND를 포함하고 있다.

래치 회로 LATCH1는, 예를 들면, 기록/판독 시에 있어서의 기록/판독 데이터의 일시 기억용으로서 이용된다.

본 예에서는, 1개의 데이터 회로2-i에, 4개의 비트선 BLA, BLB, BLC, BLD가 접속된다. 2개의 비트선 BLA, BLC는, 상위 뱅크(Upper bank)안에 배치된다. 비트선 BLA, BLC는, 상호 대향하여, 또한, 인접하여 배치된다. 또한, 2개의 비트선 BLB, BLD는, 하위 뱅크(Lower bank)안에 배치된다. 비트선 BLB, BLD도, 상호 대향하여, 또한, 인접하여 배치된다.

기록 동작시에는, 상위 뱅크내의 2개의 비트선 BLA, BLC 중의 1개가 선택되고, 또한, 하위 뱅크내의 2개의 비트선 BLB, BLD 중의 1개가 선택된다. 즉, 1개의 데이터 회로2-i를 이용하여, 2개의 메모리셀(상위 뱅크내의 1개의 메모리셀과 하위 뱅크내의 1개의 메모리셀)에 대하여, 거의 동시에 기록을 행한다.

본예와 같이, 1개의 뱅크내의 2개의 비트선을 1개의 데이터 회로2-i에 접속한 이유는, 기록/ 판독 시에, 2개의 비트선 중의 1개를 Vss 또는 Vdd에 고정하고, 기록/판독 시에 있어서의 비트선 사이 용량 결합 노이즈를 방지하는 점에 있다.

예를 들면, 기록 동작시, 상위 뱅크내의 2개의 비트선 BLA, BLC 중, 선택되지 않은 1개의 비트선은, 칩내 전원 전위 Vdd로 설정된다. 이와 같이, 선택되지 않은 비트선을 Vdd(기록 비선택 상태)로 하는 것으로, 기록 시에서의 비트선 사이 용량 결합 노이즈를 없앨 수 있다. 또한, 선택된 1개의 1개의 비트선에 접속되는 메모리셀에 대한 오기록("0"기록)을 방지할 수 있다.

마찬가지의 이유에 의해, 하위 뱅크내의 2개의 비트선 BLB, BLD 중, 선택되지 않은 1개의 비트선도, 칩내 전원 전위 Vdd로 설정된다.

또한, 본 예와 같이, 1개의 뱅크내의 2개의 비트선을 1개의 데이터 회로2-i에 접속한 경우, 판독 동작시에, 소위 실드 비트선 판독 수법을 채용할 수 있고, 판독시 에 있어서의 비트선 사이 용량 결합 노이즈를 없앨 수 있다. 즉, 판독 시에, 2개의 비트선 중의 한쪽을 데이터판독용의 비트선으로 하고, 다른쪽을 실드 비트선(Vss)로 하는 것으로, 판독 속도의 고속화, 오판독의 방지 등을 도모할 수 있다.

이와 같이, 본 예에서는, 데이터 회로2-i를 이용하여, 2개의 메모리셀 CellA, CellB에 대하여 기록을 행하는 경우, 2개의 비트선 BLC, BLD는, 항상, 고정 전위(Vdd 또는 Vss)로 설정된다. 또한, 데이터 회로2-i를 이용하여, 2개의 메모리셀 CellC, CellD에 대하여 기록을 행하는 경우, 2개의 비트선 BLA, BLB는, 항상, 고정 전위(Vdd 또는 Vss)로 설정된다.

따라서, 기록/판독 시에 있어서, 비트선 사이 용량 결합 노이즈를 발생시키는 일없이, 기록/판독 동작을 실행할 수 있다.

3. -3. 기록 동작

도 56은 도 54 및 도 55의 메모리에 관한 것으로, 2개의 메모리셀 CellA, CellB에 대한 기록 동작을 상세히 도시한 것이다.

(1) Step1

먼저, 상위 뱅크 (Upper bank)의 메모리셀 CellA에 대한 데이터 로드(Data load), 즉, 메모리셀 CellA에 대한 기록 데이터가, 칩 외부에서 칩내의 데이터 회로2-i에 입력된다.

실제는, 도 54의 4개의 뱅크 Bank1U, Bank2U, Bank3U, Bank4U에 대하여, 4페이지 Page1U, Page2U, Page3U, Page4U 분의 데이터가, 4페이지 분의 데이터에 대응하여 설치된 복수의 데이터 회로에 입력된다.

또한, TGA가 "H"가 되어, 트랜스퍼 게이트 TrNA가 온 상태가 되면, 메모리셀 CellA에 대한 기록 데이터는, 데이터 회로2-i로부터 상위 뱅크내의 비트선 BLA에 전송된다.

예를 들면, 기록 데이터가 "O"일 때("O" 기록 또는 기록하여 선택)는, 비트선 BLA는, Vss(0V)로 되고, 기록 데이터가 "1"일 때("1" 기록 또는 기록 비선택)은, 비트선 BLA는, 칩내 전원 전위 Vdd(예를 들면, 약 2.3V)가 된다.

(2) Step2

먼저, TGA가 "L"이 되고, 트랜스퍼 게이트 TrNA가 오프 상태가 된다. 그 결과, 비트선 BLA와 데이터 회로2-i가 전기적으로 분리되고, 메모리셀 CellA에 대한 기록 데이터가, 비트선 BLA에 유지된다.

이후, 하위 뱅크(Lower bank)의 메모리셀 CellB에 대한 데이터 로드(Data load), 즉, 메모리셀 CellB에 대한 기록 데이터가, 칩 외부에서 칩 내의 데이터 회로2-i에 입력된다.

실제는, 도 54의 4개의 뱅크 Bank1L, Bank2L, Bank3L, Bank4L에 대하여, 4페이지 Page1L, Page2L, Page3L, Page4L 분의 데이터가, 4페이지 분의 데이터에 대응하여 설치된 복수의 데이터 회로에 입력된다.

또한, TGB가 "H"가 되고, 트랜스퍼 게이트 TrNB가 온 상태가 되면, 메모리셀 CellB에 대한 기록 데이터는, 데이터 회로2-i에서 하위 뱅크내의 비트선 BLB에 전송된다.

예를 들면, 기록 데이터가 "O"일 때("0" 기록 또는 기록 선택)는, 비트선 BLB는, Vss로 되고, 기록 데이터가 "1"일 때("1" 기록 또는 기록하여 비선택)는, 비트선 BLB는 칩내 전원 전위 Vdd가 된다.

(3) Step3

하위 뱅크내의 메모리셀 CellB에 대한 기록(기록 펄스의 인가)이 실행된다.

우선, TGB를 "L"로 하고, TGA를 "H"로 한다.

이때, 트랜스퍼 게이트 TrNB가 오프 상태가 되기 때문에, 비트선 BLB와 데이터 회로2-i가 전기적으로 절단된다. 비트선 BLB는, 플로팅 상태로 되고, 메모리셀 CellB에 대한 기록 데이터는 비트선 BLB에 유지된다.

이후, 메모리셀 CellB의 콘트롤 게이트선(워드선)에, 기록 펄스가 인가된다. 이때, 비트선 BLB 측의 셀렉트 게이트선은, 칩내 전원 전위 Vdd로 설정되고, 소스선측의 셀렉트 게이트선은, 접지 전위 Vss로 설정된다. 또한, 선택된 메모리셀 CellB에 접속되는 콘트롤 게이트선(선택된 워드선)은, 기록 전위 Vpgm으로 설정되고, 그것 이외의 콘트롤 게이트선(비선택의 워드선)은, 전송 전위 Vpass로 설정된다.

"0" 기록의 경우, 비트선 BLB는, Vss(0V)이고, 메모리셀 CellB의 채널도, Vss로 되어있다. 따라서, 메모리셀 CellB 에서는, 터널 산화막에 고전계가 인가되어, 터널 산화막에 FN 터널 전류가 흐른다. 즉, 메모리셀 CellB 에서는, 채널로부터 플로팅 게이트 전극에 전자가 주입되기 때문에, 메모리셀 CellB의 임계치 전압이 상승한다.

"1" 기록의 경우, 비트선 BLB는, Vdd (예를 들면, 약 2.3V)이고, 메모리셀 CellB의 채널은, Vdd-Vth (Vth는, 비트선과 메모리셀의 사이에 접속되는 셀렉트 트랜지스터의 임계치 전압)로 되고, 또한, 비트선과 메모리셀의 사이에 접속되는 셀렉트 트랜지스터는 차단되고 있다.

따라서, 메모리셀 CellB 에서는, 기록 펄스가 인가되면, 워드선과 채널의 용량커플링에 의해, 채널의 전위도, 예를 들면, 8V 정도로 상승한다. 이 때문에, 터널 산화막에 고전계가 인가되는 일은 없고, 터널 산화막에 FN 터널 전류가 흐르는 일도 없다. 즉, 메모리셀 CellB의 임계치 전압은, 변화하지 않는다 (소거 상태를 유지한다).

하위 뱅크내의 메모리셀 CellB에 대한 기록을 행하고 있는 동안, 상위 뱅크내의 비트선 BLA에 유지된 메모리셀 CellA에 대한 기록 데이터의 리프레시를 행한다.

즉, TGA는, "H"이기 때문에, 트랜스퍼 게이트 TrNA는, 온 상태이고, 비트선 BLA는, 데이터 회로2-i에 전기적으로 접속되어 있다. 비트선 BLA에 유지된 기록 데이터는, 데이터 회로2-i 내의 래치 회로에 전송되어, 래치 회로에 유지된다. 이후, 래치 회로에 유지된 기록 데이터는, 다시, 비트선 BLA에 복귀된다 (리프레시).

상위 뱅크내의 비트선 BLA에 유지된 기록 데이터의 리프레시는, Step2의 기간에, 상위 뱅크내의 비트선 BLA의 전위(기록 데이터)가 누설 전류에 의해 변동할 가능성이 있는 경우에 행하면 좋다. 바꿔 말하면, Step2의 기간, 즉, 메모리셀 CellB에 대한 기록 데이터를 로드하고, 하위 뱅크내의 비트선 BLB에 메모리셀 CellB에 대한 기록 데이터를 유지하는 동안에, 상위 뱅크내의 비트선 BLA의 전위의 변동이 거의 없으면 리프레시를 행하지 않더라도 좋다.

또, 리프레시는, 기록(기록 펄스의 인가)을 행하기 전, 또는, 기록(기록 펄스의 인가)을 행한 후에 행하더라도 좋다.

기록을 행한 뒤에 리프레시를 행하는 경우에는, 예를 들면, Step2의 상태(TGA가 "L", TGB가 "H"), 즉, 비트선 BLB를 Vss ("0"기록) 또는 Vdd ("1"기록)로 고정한 상태(플로팅 상태가 아닌 상태)로, 메모리셀 CellB에 대한 기록을 행하고, 이후, Step3의 상태(TGA가 "H", TGB가 "L")로 하여, 비트선 BLA에 유지된 기록 데이터의 리프레시를 행하더라도 좋다.

또한, 본 예에서는, 비트선 BLA에 기록 데이터를 전송하여 (Step1), 비트선 BLB에 기록 데이터를 전송한 후(Step2), 하위 뱅크내의 메모리셀 CellB에 대한 기록을 행하고 있지만(Step3), 비트선의 전위 변동(누설 전류)가 문제가 되지 않은 경우에는, 비트선 BLA에 기록 데이터를 전송하여 (Step1), 비트선 BLB에 기록 데이터를 전송한 후(Step2), 상위 뱅크내의 메모리셀 CellA에 대한 기록을 행하고, 이 후, 하위 뱅크내의 메모리셀 CellB에 대한 기록을 행하더라도 좋다. 혹은, Step2의 후에, 메모리셀 CellA에 대한 기록과, 메모리셀 CellB에 대한 기록을, 거의 동시에 행하더라도 좋다.

(4) Step4

비트선 BLA에 유지된 기록 데이터를 리프레시한 후, TGA가 "L"이 되고, 트랜스퍼 게이트 TrNA가 오프 상태가 된다. 이후, TGB가 "H"가 되어, 트랜스퍼 게이트 TrNB가 온 상태가 된다.

TGA가 "L"이 된 후, 상위 뱅크내의 메모리셀 CellA에 대한 기록(기록 펄스의 인가)이 실행된다.

트랜스퍼 게이트 TrNA가 오프 상태이기 때문에, 비트선 BLA는 플로팅 상태이다. 또한, 메모리셀 CellA에 대한 기록 데이터는, 비트선 BLA에 유지되어 있다.

이후, 메모리셀 CellA의 콘트롤 게이트선(워드선)에, 기록 펄스가 인가된다. 이 때, 비트선 BLA 측의 셀렉트 게이트선은, 칩내 전원 전위 Vdd로 설정되고, 소스선측의 셀렉트 게이트선은, 접지 전위 Vss로 설정된다. 또한, 선택된 메모리셀 CellA에 접속되는 콘트롤 게이트선(선택된 워드선)은, 기록 전위 Vpgm으로 설정되고, 그것 이외의 콘트롤 게이트선(비선택의 워드선)은, 전송 전위 Vpass로 설정된다.

"0" 기록의 경우, 비트선 BLA는, Vss (0V)이고, 메모리셀 CellA의 채널도, Vss로 되어있다. 따라서, 메모리셀 Cel1A 에서는, 터널 산화막에 고전계가 인가되어, 터널 산화막에 FN 터널 전류가 흐른다. 즉, 메모리셀 CellA 에서는, 채널로부터 플로팅 게이트 전극에 전자가 주입되기 때문에, 메모리셀 CellA의 임계치 전압이 상승한다.

"1" 기록의 경우, 비트선 BLA는, Vdd이고, 메모리셀 CellA의 채널은, Vdd-Vth (Vth는, 비트선과 메모리셀의 사이에 접속되는 셀렉트 트랜지스터의 임계치 전압)로 되고, 또한, 비트선과 메모리셀의 사이에 접속되는 셀렉트 트랜지스터는 차단하고 있다. 이 경우, 기록 펄스가 인가되면, 워드선과 채널의 용량 커플링에 의해, 채널의 전위도, 예를 들면, 8V 정도로 상승하기 때문에, 터널 산화막에 FN 터널 전류는 흐르지 않고, 메모리셀 CellA의 임계치 전압은, 변화하지 않는다 (소거 상태를 유지한다).

상위 뱅크내의 메모리셀 CellA에 대한 기록을 행하고 있는 사이, 하위 뱅크내에서는, 먼저, 비트선 BLB에 유지된 메모리셀 CellB에 대한 기록 데이터를 데이터 회로에 전송하는 동작이 행해진다.

즉, TGB가 "H"가 되고, 트랜스퍼 게이트 TrNB가 온 상태가 되면, 비트선 BLB는, 데이터 회로2-i에 전기적으로 접속된다. 따라서, 비트선 BLB에 유지된 기록 데이터는 데이터 회로2-i 내의 래치 회로(예를 들면, 도 55의 LATCHl)에 유지된다.

(5) Step5

비트선 BLB에 유지된 기록 데이터를 데이터 회로내의 래치 회로에 전송한 후, 계속하여, 하위 뱅크내의 메모리셀 CellB에 대한 검증 동작을 행한다. 또, 이 때, 상위 뱅크 내에서는, 예를 들면, 메모리셀 CellA에 대한 기록이 계속하여 행해지고 있다.

먼저, 하위 뱅크내의 메모리셀 CellB에 대한 검증 판독을 행한다. 즉, TGB가 "H"이고, 트랜스퍼 게이트 TrNB가 온 상태이기 때문에, 비트선 BLB는 데이터 회로2-i에 전기적으로 접속되어 있다.

따라서, 2개의 셀렉트 게이트선에 Vread를 제공하고, 메모리셀 CellB의 콘트롤 게이트선(선택된 워드선)에 검증 판독용의 판독 전위 VcgvO를 제공하고, 비선택의 워드선에 메모리셀이 항상 온 상태가 되는 전위 Vread를 제공하면, 메모리셀 CellB의 데이터는, 비트선 BLB를 경유하여, 데이터 회로에 전송된다.

이후, 데이터 회로에서는, 메모리셀 CellB의 데이터와 래치 회로에 유지된 기록 데이터에 기초하여, 메모리셀 CellB에 정확한 데이터가 완전히 기록되었는지의 여부를 검출하는 동작 및 재 기록 데이터를 생성하는 동작이 행해진다.

그리고, 메모리셀 CellB에 정확한 데이터가 완전히 기록되어 있다고 판단된 경우에는, 그것 이후의 메모리셀 CellB에 대한 기록이 종료한다 (구체적으로는, "O" 기록의 경우에, 기록 데이터를 "O"으로부터 "1"로 변경하고, 이후, "0" 기록을 행하지 않도록 함). 한편, 메모리셀 CellB에 정확한 데이터가 충분히 기록되고 있지 않은 것으로 판단된 경우에는, 계속하여, 메모리셀 CellB에 대한 기록이 행해진다.

이상과 같은 검증 동작이 종료한 후, 데이터 회로에 의해 생성된 재 기록 데이터는, 하위 뱅크내의 비트선 BLB에 전송되어, 또한, 유지된다.

(6) Step6

메모리셀 CellB에 대한 검증 동작이 종료한 후, TGB가 "L"이 되고, 트랜스퍼 게이트 TrNB가 오프 상태가 된다. 이후, TGA가 "H"가 되어, 트랜스퍼 게이트 TrNA가 온 상태가 된다.

TGB가 "L"이 된 후, 하위 뱅크내의 메모리셀 CellB에 대한 재기록(Re-write)이 실행된다.

또, "O" 기록의 경우, 예를 들면, 기록 불충분의 경우에는, "O" 데이터의 재 기록이 행해지고, 이미, 기록 충분히 되어 있는 경우에는, 기록 데이터가 "1"로 변경되어, "O" 기록이 행해지지 않도록 하고 있다.

트랜스퍼 게이트 TrNB가 오프 상태이기 때문에, 비트선 BLB는, 플로팅 상태이다. 또한, 메모리셀 CellB에 대한 기록 데이터는, 비트선 BLB에 유지되어 있다.

이후, 메모리셀 CellB의 콘트롤 게이트선(워드선)에 기록 펄스가 인가된다.

한편, 하위 뱅크내의 메모리셀 CellB에 대한 기록을 행하고 있는 동안, 상위 뱅크 내에서는, 먼저, 비트선 BLA에 유지된 메모리셀 CellA에 대한 기록 데이터를 데이터 회로에 전송하는 동작가 행해진다.

즉, TGA가 "H"가 되고, 트랜스퍼 게이트 TrNA가 온 상태가 되면, 비트선 BLA는, 데이터 회로2-i에 전기적으로 접속된다. 따라서, 비트선 BLA에 유지된 기록 데이터는, 데이터 회로2-i 내의 래치 회로(예를 들면, 도 55의 LATCHl)에 유지된다.

(7) Step7

비트선 BLA에 유지된 기록 데이터를 데이터 회로내의 래치 회로에 전송한 후, 계속하여, 상위 뱅크내의 메모리셀 CellA에 대한 검증 동작을 행한다. 또, 이 때, 하위 뱅크 내에서는, 예를 들면, 메모리셀 CellB에 대한 기록이 계속하여 행해지고 있다.

우선, 상위 뱅크내의 메모리셀 CellA에 대한 검증 판독을 행한다. 즉, TGA가 "H"이고, 트랜스퍼 게이트 TrNA가 온 상태이기 때문에, 비트선 BLA는, 데이터 회로2-i에 전기적으로 접속되어 있다.

따라서, 2개의 셀렉트 게이트선에 Vread를 제공하여, 메모리셀 CellA의 콘트롤 게이트선(선택된 워드선)에 검증 판독용의 판독 전위 VcgvO를 제공하여, 비선택의 워드선에 메모리셀이 항상 온 상태가 되는 전위 Vread를 제공하면, 메모리셀 CellA의 데이터는, 비트선 BLA를 경유하여, 데이터 회로에 전송된다.

이후, 데이터 회로에서는, 메모리셀 CellA의 데이터와 래치 회로에 유지된 기록 데이터에 기초하여, 메모리셀 CellA에 정확한 데이터가 완전히 기록되었는지의 여부를 검출하는 동작 및 재 기록 데이터를 생성하는 동작이 행해진다.

그리고, 메모리셀 CellA에 정확한 데이터가 완전히 기록되어 있는 것으로 판단된 경우에는, 그것 이후의 메모리셀 CellA에 대한 기록이 종료한다 (구체적으로는, "O" 기록의 경우에, 기록 데이터를 "O"으로부터 "1"로 변경하고, 이후, "O" 기록을 행하지 않도록 함). 한편, 메모리셀 CellA에 정확한 데이터가 충분히 기록되고 있지 않은 것으로 판단된 경우에는, 계속하여, 메모리셀 CellA에 대한 기록이 행해진다.

이상과 같은 검증 동작이 종료한 후, 데이터 회로에 의해 생성된 재 기록 데이터는, 상위 뱅크내의 비트선 BLA에 전송되어, 또한, 유지된다.

(8) Step7 이후

이후, 다시, Step4의 동작이 행해진다. 즉, Step7 이후는, 메모리셀 C ellA, CellB를 포함하는 모든 메모리셀에 대한 기록이 충분히 행해질 때까지, 또는, 기록 횟수가 소정 수를 넘어 기록 불량이 될 때까지, Step4～Step7의 동작이 반복하여 행해진다.

또, 도 55에 있어서, 메모리셀 CellA, CellB에 대하여 기록 동작을 행하고 있는 동안, 예를 들면, 비트선 BLC, BLDf, Vdd (기록시) 또는 Vss (검증시간)에 고정된다.

메모리셀 CellC, CellD에 대하여도, 상술의 동작과 마찬가지로 하여, 기록 동작이 행해지고, 이 때, 비트선 BLA, BLB는, Vdd (기록시) 또는 Vss (검증시간)에 고정된다.

3. -4. 기록 동작을 구성하는 각 동작의 설명

다음에, 상술한 기록 동작을 구성하는 각 동작에 관해서 상세히 설명한다.

또, 데이터 회로 및 메모리셀 어레이는, 도 55에 도시하는 구성을 갖고 있는 것으로 한다. 또한, 메모리셀 CellA, CellB에 대하여 기록을 행하고, 비트선 BLC, BLD는, Vdd 또는 Vss에 고정되는 것으로 한다.

3. -4. -1. 데이터 로드(Data load)

도 56의 "Step1"에서는, 상위 뱅크내의 메모리셀 cellA에 대한 기록 데이터가, 칩 외부로부터 데이터 회로에 입력되고, 또한, 데이터 회로에서 비트선 BLA에 전송된다.

도 57은, "Step1"의 동작을 실행하기 위한 각 신호의 타이밍을 나타내고 있다.

먼저, CSL이 "H"가 되고, 기록 데이터가, 칩 외부에서 IO, nIO를 경유하여 데이터 회로2-i 내의 래치 회로 LATCH1에 입력된다. 그리고, 시각 Td1에, TRS 및 TGA가 Vsg (예를 들면, 약 4V)가 되고, 래치 회로 LATCH1에 유지된 기록 데이터가, 상위 뱅크내의 비트선 BLA에 전송된다. 또, TGB, TGC, TGD는, 전부, Vss이다.

"0" 기록(기록 선택)의 경우, 래치 회로 LATCH1에 유지된 기록 데이터는, "0" (N1 = Vss, N2 = Vdd)로 된다. 따라서, "0" 기록시, 비트선 BLA에는, Vss (기록 데이터"0")가 유지된다.

"1" 기록(기록 비선택)의 경우, 래치 회로 LATCH1에 유지된 기록 데이터는, "1" (N1 = Vdd, N2 = Vss)로 된다. 따라서, "1" 기록 시, 비트선 BLA에는, Vdd (기록 데이터 "1")가 유지된다.

이후, 시각 Td2에, TRS 및 TGA가 Vss가 되고, 메모리셀 Ce11A에 대한 기록 데이터의 데이터 로드가 종료한다.

상술한 데이터 로드가 한창일 때에 있어, 예를 들면, VSC는, Vss로 설정되고, PREC는, Vsg 또는 Vdd로 설정된다. 이 경우, 비트선 BLC은, Vss에 고정되기 때문에, 비트선 BLA에 대한 비트선 사이의 용량 결합 노이즈를 제거할 수 있다. 또, BLC (VSC)는, Vss에서 Vdd로 설정하더라도 좋다.

도 56의 "Step2"에서는, 하위 뱅크내의 메모리셀 cellB에 대한 기록 데이터가, 칩 외부에서 데이터 회로에 입력되고, 또한, 데이터 회로에서 비트선 BLB에 전송된다.

도 58은, "Step2"의 동작을 실행하기 위한 각 신호의 타이밍을 나타내고 있다.

우선, 기록 데이터가, 칩 외부에서 노드 Naij, Nbij를 경유하여 데이터 회로2-i 내의 래치 회로 LATCH1에 입력된다. 그리고, 시각 Td1에, TRS 및 TGB가 Vsg (예를 들면, 약 4V)가 되고, 래치 회로 LATCH1에 유지된 기록 데이터가, 하위 뱅크 내의 비트선 BLB에 전송된다. 또, TGA, TGC, TGD는, 전부, Vss이다.

이후, 시각 Td2에, TRS 및 TGB가 Vss가 되고, 메모리셀 CellB에 대한 기록 데이터의 데이터 로드가 종료한다.

상술한 데이터 로드가 한창일 때에 있어, 예를 들면, VSD는, Vdd로 설정되고, PRED는 Vsg로 설정된다. 이 경우, 비트선 BLD는, Vdd에 고정되기 때문에, 비트선 BLB에 대한 비트선 사이의 용량 결합 노이즈를 제거할 수 있다.

3. -4. -2. 기록 펄스 인가

도 56의 "Step3"에서는, 하위 뱅크내의 메모리셀 cellB에 대한 기록 펄스 인가가 행해진다.

도 59는, "Step3"의 동작(기록 펄스 인가에 관한 부분)을 실행하기 위한 각 신호의 타이밍을 나타내고 있다.

TGB, TGC 및 TGD는, 전부, Vss이고, 트랜스퍼 게이트 TrNB, TrNC, TrND는, 오프 상태이다.

메모리셀 CellB에 대하여 기록을 행하기 때문에, PREB는, Vss로 되고 있고, 비트선 BLB에는 기록 데이터가 유지된다. 비트선 BLD는 Vdd에 고정된다. 즉, PRED는 Vsg로 설정되어, VSD는 Vdd로 설정된다.

비트선 BLA에는, 메모리셀 CellA에 대한 기록 데이터가 유지되기 때문에, PREA는 Vss로 설정된다.

먼저, 시각 Tpr1에, 셀렉트 게이트선 SGlL이 Vdd가 되고, 시각 Tpr2에, 비선택의 콘트롤 게이트선(워드선) CG2L~CG16L이 전송 전위 Vpass가 된다. 그리고, 시각 UTpr3에, 선택된 콘트롤 게이트선(워드선) CGlL이 기록 전위 Vpgm이 된다.

"0" 기록의 경우, 비트선 BLB의 전위는, Vss이기 때문에("0" 데이터유지), 메모리셀 CellB의 채널도, Vss(0V)로 된다. 따라서, 메모리셀 CellB 에서는, 터널 산화막에 고전계가 인가되어, 전자가 채널로부터 플로팅 게이트 전극에 주입된다.

"1" 기록의 경우, 비트선 BLB의 전위는, Vdd 이기 때문에("1" 데이터유지), 메모리셀 CellB의 채널은, Vdd-Vth (Vth는, 셀렉트 트랜지스터의 임계치 전압)로 된다. 또한, 셀렉트 트랜지스터는, 차단 상태로 되고, 메모리셀 CellB의 채널은 플로팅 상태로 된다.

이 경우, 메모리셀 CellB 에서는, 채널 전위가, 콘트롤 게이트선(워드선) 채널의 사이의 용량 커플링에 의해, 예를 들면, 8V 정도로 상승하기 때문에, 터널 산화막에 고전계가 인가되지 않고, 전자가 채널로부터 플로팅 게이트 전극에 주입되지 않는다.

이후, 시각 Tpr4에, 선택된 콘트롤 게이트선 CG1L의 전위가, 기록 전위 Vpgm에서 접지 전위 Vss로 저하한다. 또한, 시각 Tpr5에, 비선택의 콘트롤 게이트선 CG2L~CG16L의 전위가, 전송 전위 Vpass에서 접지 전위 Vss로 저하한다. 또한, 시각 Tpr6에, 셀렉트 게이트선 SGlL이, Vdd에서 Vss로 저하한다.

이상으로부터, 기록 펄스의 인가가 종료한다.

또, 통상의 기록에서는, 기록 펄스의 인가가 종료한 후, 비트선 BLB의 방전을 행하지만, 본 발명에서는, 기록 펄스의 인가가 종료한 후, 비트선 BLB의 방전을 행하지 않는다. 본 발명에서는, 비트선 BLB에 기록 데이터를 유지하기 때문이다.

3. -4. -3. 리프레시

도 56의 "Step3"에서는, 하위 뱅크내의 메모리셀 cellB에 대하여 기록 펄스의 인가를 행하고 있는 동안, 상위 뱅크내의 비트선 BLA에 유지된 기록 데이터의 리프레시를 행한다.

도 6O은, "Step3"의 동작(기록 데이터의 리프레시에 관한 부분)을 실행하기 위한 각 신호의 타이밍을 나타내고 있다.

TGB, TGC 및 TGD는, 전부, Vss이고, 트랜스퍼 게이트 TrNB, TrNC, TrND는, 오프 상태이다.

비트선 BLA에 유지된 메모리셀 CellA에 대한 기록 데이터의 리프레시를 행하기 위해, PREA는 Vss로 설정된다 . 메모리셀 CellB에 대하여는 기록이 행해지기 때문에, PREB도 Vss 이다. 한편, PREC, PRED는, Vsg로 설정되고, VSc, VSD는, Vdd 로 설정되며, 비트선 BLC, BLD는, Vdd로 고정된다.

먼저, 시각 Trf1에, SEN 및 LAT이 Vss가 되고, 클럭드 인버터 INV1, INV2가 비동작 상태가 된다. 즉, 래치 회로 LATCH1는, 비동작 상태가 된다. 또한, 시각 Trf2에, TRS 및 TGA가 Vsg가 되어, 상위 뱅크내의 비트선 BLA가 데이터 회로2-i 내의 래치 회로 LATCH1에 전기적으로 접속된다.

그 결과, 비트선 BLA에 유지된 기록 데이터는, 감지 노드 N1에 전송된다. 이후, 시각 Trf3에, SEN이 Vdd가 되어, 클럭드 인버터 INV1가 동작 상태가 되면, 클럭드 인버터 INV1에 의해, 감지 노드 N1의 전위(기록 데이터)가 감지된다.

또한, 시각 Trf4에, LAT가 Vdd가 되면, 클럭드 인버터 INV2가 동작 상태가 되고, 기록 데이터가 래치 회로 LATCH1에 래치된다. 즉, 비트선 BLA에 유지된 기록 데이터가 래치 회로 LATCH1에 의해 증폭된다.

동시에, 래치 회로 LATCH1와 비트선 BLA가 전기적으로 접속되어 있기 때문에, 래치 회로 LATCHl에 래치된 기록 데이터는, 비트선 BLA에, 다시, 복귀된다 (리프레시).

그리고, 시각 Trf5에, TRS 및 TGA가 Vss가 되고, 비트선 BLA에 유지된 기록 데이터의 리프레시가 종료한다.

3. -4. -4. 기록 펄스 인가

도 56의 "Step4" 및 "Step5"에서는, 상위 뱅크 내의 메모리셀 Ce1lA에 대한 기록 펄스의 인가가 행해진다.

도 61은, "Step4" 및 "Step5"의 동작(기록 펄스 인가에 관한 부분)을 실행하기 위한 각 신호의 타이밍을 나타내고 있다.

TGA, TGC 및 TGD는, 전부, Vss이고, 트랜스퍼 게이트 TrNA, TrNC, TrND는, 오프 상태이다. TGB는, 후술하는 기록 데이터 전송 및 검증 판독을 행할 필요가 있기 때문에, Vsg로 설정된다.

메모리셀 CellA에 대하여 기록을 행하기 위해서, PREA는, Vss로 되어 있고, 비트선 BLA에는, 기록 데이터가 유지된다. PREC는, Vsg로 설정되고, VSc는 Vdd로 설정되며, 비트선 BLC는 Vdd에 고정된다. PREB는 Vss로 설정된다.

우선, 시각 Tpr1에, 셀렉트 게이트선 SG1U가 Vdd가 되고, 시각 Tpr2에, 비선택의 콘트롤 게이트선(워드선) CG2U~CG16U가 전송 전위 Vpass가 된다. 그리고, 시각 Tpr3에, 선택된 콘트롤 게이트선(워드선) CG1U가 기록 전위 Vpgm이 된다.

"0" 기록의 경우, 비트선 BLA의 전위는, Vss이기 때문에("0" 데이터유지), 메모리셀 CellA의 채널도, Vss(0V)로 된다. 따라서, 메모리셀 CellA 에서는, 터널 산화막에 고전계가 인가되어, 전자가 채널로부터 플로팅 게이트 전극에 주입된다.

"1" 기록의 경우, 비트선 BLA의 전위는, Vdd이기 때문에 ("1" 데이터 유지), 메모리셀 CellA의 채널은, Vdd-Vth (Vth는, 셀렉트 트랜지스터의 임계치 전압)로 된다. 또한, 셀렉트 트랜지스터는, 차단 상태로 되고, 메모리셀 CellA의 채널은 플로팅 상태가 된다.

이 경우, 메모리셀 CellA 에서는, 채널 전위가, 콘트롤 게이트선(워드선)과 채널의 사이의 용량 커플링에 의해, 예를 들면, 8V 정도로 상승하기 때문에, 터널 산화막에 고전계가 인가되지 않고, 전자가 채널로부터 플로팅 게이트 전극에 주입되지 않는다.

이후, 시각 UTpr4에, 선택된 콘트롤 게이트선 CG1U의 전위가, 기록 전위 Vpgm에서 접지 전위 Vss로 저하한다. 또한, 시각 UTpr5에, 비선택의 콘트롤 게이트선 CG2U~CG16U의 전위가, 전송 전위 Vpass에서 접지 전위 Vss로 저하한다. 또한, 시각 Tpr6에, 셀렉트 게이트선 SGlU가, Vdd에서 Vss로 저하한다.

이상으로부터, 메모리셀 CellA에 대한 기록 펄스의 인가가 종료한다. 또, 본 발명에서는, 기록 펄스의 인가가 종료한 후, 비트선 BLA의 방전을 행하지 않는다. 본 발명에서는, 비트선 BLA에 기록 데이터를 유지하기 때문이다.

3. -4. -5. 기록 데이터 전송

도 56의 "Step4"에서는, 상위 뱅크내의 메모리셀 cellA에 대하여 기록 펄스의 인가를 행하고 있는 동안, 하위 뱅크 내에서는, 먼저, 비트선 BLB에 유지된 기록 데이터를 데이터 회로2-i 내의 래치 회로 LATCH1에 전송하는 동작이 행해진다.

도 62는, "Step4"의 동작(기록 데이터의 전송에 관한 부분)을 실행하기 위한 각 신호의 타이밍을 나타내고 있다.

TGA, TGC 및 TGD는, 전부, Vss이고, 트랜스퍼 게이트 TrNA, TrNC, TrND는 오프 상태이다.

비트선 BLB에 유지된 메모리셀 CellB에 대한 기록 데이터의 전송을 행하기 위해서, PREB는, Vss로 설정된다. 메모리셀 CellA에 대하여는 기록이 행해지기 때문에, PREA도 Vss이다. 한편, PREC, PRED는 Vsg로 설정되고, VSc, VSD는, Vdd로 설정되며, 비트선 BLC, BLD는, Vdd로 고정된다.

먼저, 시각 Tts1에, SEN 및 LAT이 Vss가 되고, 클럭드 인버터 INV1, INV2가 비동작 상태가 된다. 즉, 래치 회로 LATCH1는, 비동작 상태가 된다. 또한, 시각 Tts2에, TRS 및 TGB가 Vsg가 되고, 하위 뱅크내의 비트선 BLB가 데이터 회로2-i 내의 래치 회로 LATCH1에 전기적으로 접속된다.

그 결과, 비트선 BLB에 유지된 기록 데이터는, 감지 노드 N1에 전송된다. 이후, 시각 Tts3에, SEN이 Vdd가 되고, 클럭드 인버터 INV1가 동작 상태가 되면, 클럭드 인버터 INV1에 의해, 감지 노드 N1의 전위(기록 데이터)가 감지된다.

이후, 시각 UTts4에, TRS가 Vsg에서 Vss로 변화하면, 트랜지스터 TN31가 오프 상태가 되고, 래치 회로 LATCH1와 비트선 BLB가 전기적으로 절단된다.

그리고, 시각 UTts5에, LAT가 Vdd가 되면, 클럭드 인버터 INV2가 동작 상태가 되고, 기록 데이터가 래치 회로 LATCH1에 래치된다. 즉, 비트선 BLB에 유지되어 있던 기록 데이터가 래치 회로 LATCH1에 래치되는 것으로 된다.

TGA, TGC 및 TGD는, 전부, Vss이고, 트랜스퍼 게이트 TrNA, TrNC, TrND는, 오프 상태이다.

비트선 BLB에 유지된 메모리셀 CellB에 대한 기록 데이터의 전송을 행하기 위해서, PREB는, Vss로 설정된다. 메모리셀 CellA에 대하여는 기록이 행해지기 때문에, PREA도 Vss 이다. 한편, PREC, PRED는, Vsg로 설정되고, VSc, VSD는, Vdd 로 설정되며, 비트선 BLC, BLD는 Vdd로 고정된다.

먼저, 시각 Tts1에, SEN 및 LAT이 Vss가 되고, 클럭드 인버터 INV1, INV2가 비동작 상태가 된다. 즉, 래치 회로 LATCH1는 비동작 상태가 된다. 또한, 시각 Tts2에, TRS 및 TGB가 Vsg가 되고, 하위 뱅크내의 비트선 BLB가 데이터 회로2-i 내의 래치 회로 LATCH1에 전기적으로 접속된다.

그 결과, 비트선 BLB에 유지된 기록 데이터는, 감지 노드 N1에 전송된다. 이후, 시각 Tts3에, SEN이 Vdd가 되고, 클럭드 인버터 INV1가 동작 상태가 되면, 클럭드 인버터 INV1에 의해, 감지 노드 N1의 전위(기록 데이터)가 감지된다.

이후, 시각 Tts4에, TRS가 Vsg에서 Vss로 변화하면, 트랜지스터 TN31가 오프 상태가 되어, 래치 회로 LATCH1와 비트선 BLB가 전기적으로 절단된다.

그리고, 시각 Tts5에, LAT가 Vdd가 되면, 클럭드 인버터 INV2가 동작 상태가 되어, 기록 데이터가 래치 회로 LATCH1에 래치된다. 즉, 비트선 BLBL에 유지되어 있던 기록 데이터가 래치 회로 LATCH1에 래치되는 것으로 된다.

그리고, 시각 Tts6에, TGB가 Vss가 되어, 비트선 BLB에 유지된 기록 데이터의 전송이 종료한다.

3. -4. -6. 검증 판독

도 56의 "Step5"에서는, 상위 뱅크내의 메모리셀 cellA에 대하여 기록 펄스의 인가를 행하고 있는 동안, 하위 뱅크내에서는, 메모리셀 CellB에 대한 검증 판독이 행해진다.

도 63은, "Step5"의 동작(검증 판독에 관한 부분)을 실행하기 위한 각 신호의 타이밍을 나타내고 있다.

TGA, TGC 및 TGD는, 전부, Vss이고, 트랜스퍼 게이트 TrNA, TrNC, TrND는 오프 상태이다.

메모리셀 CellA에 대하여는 기록이 행해지기 때문에 PREA는 Vss이다. 한편, 비트선 BLC는, Vdd, 비트선 BLDf, Vss로 고정된다. 따라서, PREC, PRED는, Vsg로 설정되고, VSc는 Vdd, VSD는 Vss로 설정된다.

우선, 시각 Tvfy1에, TGB가 Vsg가 된다. 또한, PREB가 Vpre(예를 들면, 약 3V)가 되고, 비트선 BLB가 약 1.8V로 프리차지된다. 이후, 시각 Tvfy2에, PREB가 Vss가 되어, 비트선 BLB의 프리차지가 종료한다.

시각 Tvfy3에, 선택된 콘트롤 게이트선(워드선) CG1L이 검증용의 판독 전위 Vcgv0 (예를 들면, 약 0.5V)로 설정되고, 셀렉트 게이트선 SG1L, SG2L 및 비선택의 콘트롤 게이트선(워드선) CG2L~CG16L이, 항상 메모리셀이 온 상태가 되는 것 같은 전위 Vread (예를 들면, 약 3.5V)로 설정된다.

이때, 메모리셀 CellB의 데이터에 따라서, 비트선 BLB의 전위가 변화하여, 또한 유지된다.

예를 들면, 메모리셀 CellB에 관하여, "0"기록 불충분의 경우 및 "1" 기록을 행하는 경우에는, 메모리셀 CellB의 임계치 전압은, Vcgv0보다도 낮기 때문에, 메모리셀 CellB는 온 상태가 되고, 비트선 BLB의 전하는 방전된다. 그 결과, 비트선 BLB의 전위는 Vss가 된다.

또한, 메모리셀 CellB에 관하여, "0" 기록 충분의 경우에는, 메모리셀 CellB의 임계치 전압은, Vcgv0보다도 높기 때문에, 메모리셀 CellB는 오프 상태가 되고, 비트선 BLB의 전하는 방전되지 않는다. 그 결과, 비트선 BLB의 전위는, 프리차지 전위(예를 들면, 약 1.8V)가 유지된다.

이후, 시각 Tvfy4에, 콘트롤 게이트선(워드선) CG1L~CG16L 및 셀렉트 게이트선 SG1L, SG2L의 전위를 Vss(0V)로 설정한다.

그리고, 시각 Tvfy5에, VFY가 "L"이 되면, 트랜지스터 TP32가 온 상태가 되기 때문에, 래치 회로 LATCH1에 래치된 기록 데이터에 따라서, 비트선 BLB의 전위가 결정된다.

예를 들면, "1" 기록(기록 비선택)의 경우에는, 래치 회로 LATCH1에는, 기록 데이터 "1"이 래치되어 있기 때문에(노드 N2가 "L"), 트랜지스터 TP31은 온 상태이고, 비트선 BLB는 Vdd로 고정된다.

즉, 시각 Tvfy4의 시점에서는, 검증 판독에 의해 비트선 BLB의 전위는 Vss가 되지만, 시각 Tvfy5의 시점에서는, 비트선 BLB는 강제적으로, Vdd로 설정된다.

또한, "0" 기록(기록 선택)의 경우에는, 래치 회로 LATCH1에는, 기록 데이터"0"이 래치되어 있기 때문에(노드 N2이 "H"), 트랜지스터 TP31은, 오프 상태이다. 따라서, 비트선 BLB는, 검증 판독에 의해 비트선 BLB에 판독된 데이터, 즉, 시각 Tvfy4 시점의 비트선 BLB의 전위를 그대로 유지한다.

즉, "0" 기록 불충분의 경우에는, 비트선 BLB의 전위는, Vss로 되고, "0"기록 충분의 경우에는, 비트선 BLB의 전위는, 프리차지 전위로 된다.

이후, 시각 Tvfy6에, SEN 및 LAT가 Vss가 되고, 클럭드 인버터 INV1, INV2가 비동작 상태, 즉, 래치 회로 LATCH1가 비동작 상태가 된다. 이때, 래치 회로 LATCH1에 래치되어 있던 기록 데이터는 소실한다.

그리고, 시각 Tvfy7에, TRS가 Vsg가 되면, 트랜지스터 TN31이 온 상태가 되고, 비트선 BLB와 래치 회로 LATCH1가 전기적으로 접속된다. 또한, 시각 Tvfy8에, SEN이 "H"가 되고, 클럭드 인버터 INV1에 의해, 비트선 BLB의 전위가 감지된다. 또한, 시각 Tvfy9에, LAT가 "H"가 되면, 비트선 BLB의 전위가 래치 회로 LATCH1에 래치된다.

즉, 비트선 BLB의 전위가, 재 기록 데이터로서, 래치 회로 LATCH1에 래치되는 것으로 된다. 동시에, 이 재 기록 데이터는, 비트선 BLB에 전송되고, 또한, 유지된다.

그리고, 이후는, 비트선 BLB에 유지된 재 기록 데이터에 기초하여, 재기록이 행해진다.

그런데, 기록(기록 펄스 인가)은, 원칙적으로, 검증 판독의 결과, 모든 컬럼(모든 선택된 메모리셀)에 대응하는 비트선 BLB의 전위가 "H"가 되었을 때에 종료한다. 비트선 BLB의 전위가 "L"의 컬럼이 존재하는 경우, 즉, "O"기록 불충분의 메모리셀이 존재하는 경우에는, 기록 횟수가 그 상한에 달하지 않은 한, 계속하여, 기록이 행해진다.

모든 컬럼의 비트선 BLB의 전위가 "H"가 되었는지 여부의 검출은, 일치 검출 회로(예를 들면, 도 1, 도 2 및 도 5에 도시한 바와 같은 것)를 이용하여 행하면 된다 (프로그램 완료 검출).

마지막으로, 시각 Tvfy10에, TRS 및 TGA가 Vss가 되어, 검증 판독이 종료한다.

3. -4. -7. 기타

도 56의 "Step6" 및 "Step7"에서는, "Step4" 및 "Step5"와 마찬가지의 동작이 행해진다. 즉, 하위 뱅크 내에서는, 메모리셀 CellB에 대한 기록 펄스의 인가를 행하고, 상위 뱅크내에서는, 비트선 BLA에 유지된 기록 데이터의 전송 및 메모리셀 CellA에 대한 검증 판독을 행한다.

또, "Step6" 및 "Step7"에 있어서의 기록 펄스의 인가, 기록 데이터의 전송, 검증 판독의 각 동작은, 대상이 다른 점을 제외하면, "Step4" 및 "Step5"에 있어서의 각 동작(항목3. -4. -4. 및 항목3. -4· -5. 및 항목3. -4. -6. 을 참조)과 완전히 동일하기 때문에, 도 64 내지 도 66에 파형도만을 도시하고, 그 상세한 설명은 생략한다.

상술한 예에서는, 비트선을 플로팅 상태로 한 뒤, 기록 펄스를 메모리셀에 인가하고 있다. 반대로, 메모리셀에 기록 펄스를 인가한 후, 비트선을 플로팅 상태로 하여, 기록 데이터를 비트선에 유지해도 된다.

4. 구체예2

상술한 구체예1에서는, 1개의 데이터 회로에 접속되어, 동시에 기록을 행하는 복수의 메모리셀(선택된 비트선)이, 각각 다른 뱅크 내에 배치되는 것을 전제로 하였기 때문에, 복수의 선택된 메모리셀의 콘트롤 게이트선(워드선)이 공통으로 되는 일은 없었다.

본 예에서는, 1개의 데이터 회로를 이용하여, 동일 뱅크 내에 존재하는 (즉, 콘트롤 게이트선을 공통으로 함) 복수의 메모리셀에 대하여 동시에 기록을 행하는 경우에 관해서 설명한다. 또, 1개의 데이터 회로 내에는, 1개의 메모리셀에 대한 기록 데이터(2치 또는 다중값)를 일시적으로 유지할 수 있는 기억 회로(예를 들면, 래치 회로)만이 배치되어 있는 것은 물론이다.

4. -1. 개요

본 예에 있어서도, 구체예1과 마찬가지로, 2치 NAND 형 플래시 메모리를 예로 하여 설명한다.

칩 레이아웃 및 데이터 회로에 관해서는, 구체예1과 같은 것을 사용한다 (도 54 및 도 55를 참조). 단지, 데이터 회로와 비트선의 접속 관계에 관해서는, 예를 들면, 도 67에 도시한 바와 같은 관계로 한다. 즉, 1개의 데이터 회로2-1에는, 6개의 비트선 BLA1, BLA2, BLA3, BLB1, BLB2, BLB3을 접속한다.

6개의 비트선 BLA1, BLA2, BLA3, BLB1, BLB2, BLB3중, 3개의 비트선 BLA1, BLA2, BLA3은, 상위 뱅크(Upperbank)안에 배치되고, 3개의 비트선 BLB1, BLB2, BLB3은, 하위 뱅크(Lower bank)안에 배치된다.

그리고, 본 예에서는, 1개의 데이터 회로2-i를 이용하여, 예를 들면, 상위 뱅크내의 3개의 비트선 BLA1, BLA2, BLA3에 접속되어, 또한, 콘트롤 게이트선 CGlU1을 공통으로 하는 3개의 메모리셀 CellA1, Cell2, CellA3에 대하여 동시에 기록을 행한다. 이때, 하위 뱅크내의 3개의 비트선 BLB1, BLB2, BLB3은, 각각 메모리셀 CellA1, CellA2, CellA3에 대한 기록 데이터의 일시 대기용으로서 사용된다.

또한, 예를 들면, 하위 뱅크내의 3개의 비트선 BLB1, BLB2, BLB3에 접속되어, 또한, 콘트롤 게이트선 CG1L1을 공통으로 하는 3개의 메모리셀 CellB1, CellB2, CellB3에 대하여도, 동시에 기록이 행해진다. 이때, 상위 뱅크내의 3개의 비트선 BLA1, BLA2, BLA3은, 각각 메모리셀 CellB1, CellB2, CellB3에 대한 기록 데이터의 일시대기용으로서 사용된다.

4. -2. 기록 동작

이하, 도 68 내지 도 70을 참조하면서, 구체적인 기록 동작에 관해서 설명한다. 또, 메모리셀 CellA1, CellA2, CellA3에 대한 기록 동작과, 메모리셀 CellB1, CellB2, CellB3에 대한 기록 동작은, 대상이 다른 점을 제외하면, 완전히 동일하기 때문에, 이하의 설명에서는, 메모리셀 CellA1, CellA2, CellA3에 대한 기록 동작에 관해서만 설명한다.

(1) Step1-1

먼저, 메모리셀 CellA1에 대한 기록 데이터의 데이터 로드(Dataload)가 행해진다.

메모리셀 CellA1의 기록 데이터가 칩 외부에서 데이터 회로2-i에 입력된다. 이후, TGA1이 "H"가 되면, 트랜스퍼 게이트 TrNA1이 온 상태가 되기 때문에, 데이터 회로2-i 내의 기록 데이터는, 비트선 BLA1에 전송되어, 또한, 유지된다. 이때, TGB1은, "L"이고, 트랜스퍼 게이트 TrNB1는 오프 상태이다.

또, "O" 기록(기록 선택)의 경우에는, 기록 데이터는, "O"이고, 비트선 BLA1은 0V가 된다. 또한, "1" 기록(기록 비선택)의 경우에는, 기록 데이터는 "1"이고, 비트선 BLA1은 Vdd가 된다.

이후, TGB1이 "L"로부터 "H"가 되고, 트랜스퍼 게이트 TrNB1이 온 상태가 된다. 따라서, 데이터 회로2-i 내의 기록 데이터는 비트선 BLB1에도 전송되어, 또한, 유지된다.

(2) Step1-2

계속해서, 메모리셀 CellA2에 대한 기록 데이터의 데이터 로드(Data load)가 행해진다.

먼저, TGA1 및 TGB1을 "L"로 하고, 트랜스퍼 게이트 TrNA1, TrNB1을 오프 상태로 한다. 이때, 비트선 BLA1, BLB1은, 플로팅 상태가 되고, 메모리셀 CellA1에 대한 기록 데이터는, 비트선 BLAl, BLB1에 유지된다.

이후, 메모리셀 CellA2의 기록 데이터가 칩 외부에서 데이터 회로2-i에 입력된다. 이후, TGA2가 "H"가 되면, 트랜스퍼 게이트 TrNA2가 온 상태가 되기 때문에, 데이터 회로2-i 내의 기록 데이터는, 비트선 BLA2에 전송되어, 또한, 유지된다. 이때, TGB2는 "L"이고, 트랜스퍼 게이트 TrNB2는 오프 상태이다.

이후, TGB2가 "L"로부터 "H"가 되고, 트랜스퍼 게이트 TrNB2가 온 상태가 된다. 따라서, 데이터 회로2-i 내의 기록 데이터는 비트선 BLB2에도 전송되어, 또한, 유지된다.

(3) Step1-3

계속해서, 메모리셀 CellA3에 대한 기록 데이터의 데이터 로드(Data load)가 행해진다.

우선, TGA2 및 TGB2을 "L"로 하고, 트랜스퍼 게이트 TrNA2, TrNB2를 오프 상태로 한다. 이때, 비트선 BLA2, BLB2F, 플로팅 상태가 되고, 메모리셀 CellA2에 대한 기록 데이터는, 비트선 BLA2, BLB2에 유지된다.

이후, 메모리셀 CellA3의 기록 데이터가 칩 외부에서 데이터 회로2-i에 입력된다. 이후, TGA3가 "H"가 되면, 트랜스퍼 게이트 TrNA3가 온 상태가 되기 때문에, 데이터 회로2-i 내의 기록 데이터는, 비트선 BLA3에 전송되어, 또한, 유지된다. 이때, TGB3은 "L"이고, 트랜스퍼 게이트 TrNB3은 오프 상태이다.

이후, TGB3가 "L"로부터 "H"가 되고, 트랜스퍼 게이트 TrNB3가 온 상태가 된다. 따라서, 데이터 회로2-i 내의 기록 데이터는, 비트선 BLB3에도 전송되어 유지된다.

(4) Step1-4

"Step1-1"로부터 "Step1-3"까지의 동작에 의해, 기록 데이터의 데이터 로드가 종료하였다. 이후, 본 예에서는, 기록 펄스를 인가하기 전에, 각 비트선에 유지된 기록 데이터의 리프레시를 행한다.

단지, 기록 데이터의 리프레시("Step1-4" 및 "Step1-5")는, 데이터 로드가 한창일 때에, 이미 데이터 로드가 종료한 비트선의 전위가 누설 전류에 의해 변동할 가능성이 있는 경우에 행하면 되고, 데이터 로드가 한창일 때에, 이미 데이터 로드가 종료한 비트선의 전위가 누설 전류에 의해 변동할 가능성이 없는 경우에는 행하지 않아도 좋다.

이 경우, 데이터 로드("Step1-1" 내지 "Step1-3")가 종료한 후에, 즉시, 기록 펄스의 인가("Step1-6")가 행해진다.

누설 전류에 의한 비트선의 전위 변동이 문제가 되는 경우에는, 기록 데이터의 리프레시는, 비트선 BLAl, BLB1에 유지된 메모리셀 CellA1에 대한 기록 데이터 및 비트선 BLA2, BLB2에 유지된 메모리셀 CellA2에 대한 기록 데이터에 관해서 행한다.

즉, 비트선 BLA3, BLB3에 유지된 메모리셀 CellA3에 대한 기록 데이터에 대해서는, 누설에 의한 비트선의 전위 변동이 문제가 된 경우라도, 리프레시를 행하지 않는다. 왜냐하면, 메모리셀 CellA3에 대한 기록 데이터의 데이터 로드는, 최후("Step1-3")에 행해지기 때문에, 비트선 BLA3, BLB3에 기록 데이터를 유지하고 있는 시간(Data retention time)이 짧기 때문이다.

"Step1-4"에서는, 메모리셀 cellA1에 대한 기록 데이터를 리프레시한다.

우선, TGA1이 "H"가 되고, 트랜스퍼 게이트 TrNA1가 온 상태가 된다. 이 때, 비트선 BLA는, 데이터 회로2-i에 전기적으로 접속되기 때문에, 데이터 회로2-i 내의 래치 회로를 이용하여, 비트선 BLA1에 유지된 메모리셀 CellA1에 대한 기록 데이터의 리프레시를 행한다.

또, 비트선 BLA1에 유지된 기록 데이터의 리프레시를 행하고 있는 동안, TGB1은, "L"이고, 트랜스퍼 게이트 TrNB1는, 오프 상태로 되어 있다.

이후, TGA1가 "L"이 되고, 트랜스퍼 게이트 TrNA1가 오프 상태가 된다. 또한, TGB1이 "H"가 되고, 트랜스퍼 게이트 TrNB1이 온 상태가 된다. 이때, 비트선 BLB1은, 데이터 회로2-i에 전기적으로 접속되기 때문에, 데이터 회로2-i 내의 래치 회로를 이용하여, 비트선 BLB1에 유지된 메모리셀 CellA1에 대한 기록 데이터의 리프레시를 행한다.

(8) Step1-5

"Step1-5"에서는, 메모리셀 cellA2에 대한 기록 데이터를 리프레시한다.

우선, TGA2가 "H"가 되고, 트랜스퍼 게이트 TrNA2가 온 상태가 된다. 이 때, 비트선 BLA2는, 데이터 회로2-i에 전기적으로 접속되기 때문에, 데이터 회로2-i 내의 래치 회로를 이용하여, 비트선 BLA2에 유지된 메모리셀 CellA2에 대한 기록 데이터의 리프레시를 행한다.

또, 비트선 BLA2에 유지된 기록 데이터의 리프레시를 행하고 있는 동안, TGB2는, "L"이고, 트랜스퍼 게이트 TrNB2는 오프 상태로 되어 있다.

이후, TGA2가 "L"이 되고, 트랜스퍼 게이트 TrNA2가 오프 상태가 된다. 또한, TGB2가 "H"가 되고, 트랜스퍼 게이트 TrNB2가 온 상태가 된다. 이때, 비트선 BLB2는, 데이터 회로2-i에 전기적으로 접속되기 때문에, 데이터 회로2-i 내의 래치 회로를 이용하여, 비트선 BLB2에 유지된 메모리셀 CellA2에 대한 기록 데이터의 리프레시를 행한다.

또, "Step1-1"로부터 "Step1-5"까지의 사이, 셀렉트 게이트선 SG1U1, SG1L1은, 각각 오프 상태로 되어있기 때문에, 각 비트선에 유지된 기록 데이터가 소실하는 일은 없다.

(6) Step1-6

"Step1-6"에서는, 기록 펄스의 인가가 행해진다.

이미, 비트선 BLA1에는, 메모리셀 CellA1에 대한 기록 데이터가 유지되고, 비트선 BLA2에는, 메모리셀 CellA2에 대한 기록 데이터가 유지되며, 비트선 BLA3에는, 메모리셀 CellA3에 대한 기록 데이터가 유지되어 있다. 이 때문에, 콘트롤 게이트선 CGlU1에 기록 펄스를 인가하면, 동시에, 3개의 메모리셀 CellAl, CellA2, CellA3에 대한 기록이 실행된다.

기록을 행하고 있는 중의 콘트롤 게이트선(워드선) 및 셀렉트 게이트선의 전위는 이하와 같다.

비트선측의 셀렉트 게이트선 SG1Ul은 Vdd로 설정되고, 소스선측의 셀렉트 게이트선은 Vss로 설정되며, 선택된 콘트롤 게이트선 CG1U1은, 기록 전위 Vpgm으로 설정되고, 비선택의 콘트롤 게이트선은 전송 전위 Vpass로 설정된다.

그리고, "O" 기록(기록 선택)의 경우, 선택된 메모리셀의 채널은, 0V가(로) 되기 때문에, 터널 산화막에 고전계가 인가되고, 채널로부터 플로팅 전극에 전자가 주입된다.

한편, "1" 기록(기록 비선택)의 경우, 선택된 메모리셀의 채널은, Vdd-Vth (Vth는, 셀렉트 트랜지스터의 임계치 전압)로 되고, 또한, 비트선측의 셀렉트 트랜지스터가 오프 상태로 되기 때문에, 채널은 플로팅 상태가 된다.

따라서, 기록 펄스가 인가되면, 콘트롤 게이트선과 채널의 용량커플링에 의해, 채널의 전위가 8V 정도로 상승한다. 즉, 터널 산화막에 고전계가 인가되는 일은 없고, 채널로부터 플로팅 게이트 전극에 전자가 주입되지 않는다.

(7) Step1-7

기록 펄스의 인가를 종료한 후, 비트선에 일시 기억한 기록 데이터를 데이터 회로에 전송하는 동작, 검증 동작(검증 판독 및 프로그램 완료 검출) 및 재기록 데이터를 비트선에 전송하는 동작이 각각 행해진다.

데이터 회로2-i는, 1개의 메모리셀에 대한 기록/판독 데이터를 일시 기억할 수 있는 래치 회로만을 갖기 때문에, 이것들의 동작은, 비트선(또는 메모리셀) 마다 행한다.

본 예에서는, "Step1-7" 및 "Step1-8"에 있어서, 비트선 BLB1 (또는 비트선 BLA1이라도 됨)에 일시 기억한 기록 데이터를 데이터 회로에 전송하는 동작, 메모리셀 cellA1에 대한 검증 동작(프로그램 완료 검출을 포함) 및 재 기록 데이터를 데이터 회로에서 비트선 BLB1 (비트선 BLA1, BLB1이라도 됨)에 전송하는 동작을 행한다.

또한, "Step1-9" 및 "Step1-10"에 있어서, 비트선 BLB2 (비트선 BLA2는 불가 이것에 대해서는 후술함)에 일시 기억한 기록 데이터를 데이터 회로에 전송하는 동작, 메모리셀 CellA2에 대한 검증 동작(프로그램 완료 검출을 포함) 및 재 기록 데이터를 데이터 회로에서 비트선 BLB2 (비트선 BLA2, BLB2라도 됨)에 전송하는 동작을 행한다.

또한, "Step1-11" 및 "Step1-12"에 있어서, 비트선 BLB3 (비트선 BLA3은, 불가. 이것에 대해서는 후술함)에 일시 기억한 기록 데이터를 데이터 회로에 전송하는 동작, 메모리셀 CellA3에 대한 검증 판독 동작(프로그램 완료 검출을 포함한다) 및 재 기록 데이터를 데이터 회로에서 비트선 BLB3 (비트선 BLA3, BLB3이라도 됨)에 전송하는 동작을 행한다.

또, 본 예에서는, 상위 뱅크내의 선택된 메모리셀에 대한 기록 데이터를, 그 메모리셀이 접속되는 비트선과, 하위 뱅크내의 1개의 비트선에 유지하도록 하고 있다. 그 이유는, 후술하는 검증 판독 동작에 있어서, 예를 들면, 선택된 메모리셀 CellA1에 대한 검증 판독을 행하였을 때에, 그 밖의 선택된 메모리셀 CellA2, CellA3에 접속되는 비트선 BLA2, BLA3에 유지되는 기록 데이터가 소실하여 버리기 때문이다.

즉, 하위 뱅크내의 비트선 BLB2, BLB3에 기록 데이터를 유지하고 있으면, 예를 들면, 메모리셀 cellA1에 대한 검증 판독 시에, 상위 뱅크내의 비트선 BLA2, BLA3에 유지되는 기록 데이터가 소실하여 버리더라도, 메모리셀 cellA2, cellA3에 대한 기록 데이터는, 비트선 BLB2, BLB3에 유지되고, 소실되는 일은 없다.

"Step1-7"의 동작에 관해서 설명한다.

"Step1-7"에서는, 하위 뱅크내의 비트선 BLB1에 유지된 상위 뱅크내의 메모리셀 cellAl에 대한 기록 데이터를 데이터 회로에 전송하는 동작이 행해진다.

먼저, TGB1이 "H"가 되면, 트랜스퍼 게이트 TrNB1가 온 상태가 된다. 이 때, 비트선 BLB1이 데이터 회로에 전기적으로 접속되고, 하위 뱅크내의 비트선 BLB1에 유지된 메모리셀 cellA1에 대한 기록 데이터가 데이터 회로에 전송된다.

또, 본 예에서는, 이것에 대신에, TGA1를 "H", 트랜스퍼 게이트 TrNA1을 온 상태로 하고, 상위 뱅크내의 비트선 BLA1에 유지된 기록 데이터를 데이터 회로에 전송하도록 하더라도 좋다.

이 기록 데이터는, 예를 들면, 도 55에 도시한 바와 같은 데이터 회로2-i 내의 래치 회로 LATCH1에 유지된다.

(8) Step1-8

"Step1-8"에서는, 메모리셀 cellA1에 대한 검증 판독이 행해진다.

먼저, 비트선 BLAl을 프리차지 전위(예를 들면, 1.8V 정도)로 프리차지한다. 이때, 비트선 BLA1에 유지되어 있던 기록 데이터는, 소실하지만, 이미, 기록 데이터는, 데이터 회로내의 래치 회로에 전송되어 있기 때문에 문제없다.

이후, TGA1를 "H"로 하고, 트랜스퍼 게이트 TrNA1를 온 상태로 하면, 비트선 BLA1이 데이터 회로에 전기적으로 접속된다.

그리고, 2개의 셀렉트 게이트선에 Vread를 제공하고, 메모리셀 CellA1의 콘트롤 게이트선(선택된 워드선) CG1U1에 검증 판독용의 판독 전위 VcgvO를 제공하여, 비선택의 워드선에 메모리셀이 항상 온 상태가 되는 전위 Vread를 제공하면, 메모리셀 CellA1의 데이터는, 비트선 BLA1을 경유하여, 데이터 회로2-i에 전송된다.

이후, 데이터 회로2-i에서는, 메모리셀 cellA1의 데이터와 래치 회로 LATCH1에 유지된 기록 데이터에 기초하여, 재 기록 데이터를 생성하는 동작, 및, 메모리셀 cellA1에 정확한 데이터가 완전히 기록되었는지의 여부를 검출하는 동작(프로그램 완료 검출)이 행해진다.

만일,도 55의 데이터 회로를 이용하였다고 하면, "1" 기록 및 "0" 기록 충분의 경우에는, 재 기록 데이터는, "1"로 되기 때문에, 이후, "0" 기록은, 행해지지 않는다. 즉, 메모리셀 CellA1에 대한 기록이 종료한다.

한편, "0" 기록 불충분의 경우에는, 재 기록 데이터는, "O"으로 되기 때문에, 계속하여, "0" 기록이 행해진다. 즉, 메모리셀 CellA1에 대한 기록이 계속된다.

또, 메모리셀 CellA1에 대한 검증 판독에서는, 콘트롤 게이트선 CGlU1에 판독 전위 Vcgv0를 제공한다.

그 결과, 메모리셀 cellA1과 같이 콘트롤 게이트선 CGlU1을 공통으로 하는 메모리셀 CellA2, CellA3이 온 상태가 되고, 비트선 BLA2, BLA3에 유지되어 있던 메모리셀 cellA2, cellA3에 대한 기록 데이터는 소실된다. 그러나, 메모리셀 CellA2, CellA3에 대한 기록 데이터는 하위 뱅크내의 비트선 BLB2, BLB3에도 유지되어 있기 때문에 문제는 없다.

검증 판독 후, 메모리셀 cellA1에 대한 재 기록 데이터가, 비트선 BLA1에 전송된다 (실제는, 트랜스퍼 게이트 TrNA1이 온 상태이기 때문에, 검증 판독과 거의 동시에 재기록 데이터가 비트선 BLA1에 전송됨). 이때, TGB1은, "L"이고, 트랜스퍼 게이트 TrNB1은 오프 상태이다.

이후, TGB1을 "H"로 하면, 트랜스퍼 게이트 TrNB1이 온 상태가 되고, 메모리셀 cellA1에 대한 재 기록 데이터는 비트선 BLBl에도 전송된다.

또, 후술하는 바와 같이, 메모리셀 cellA2에 대한 검증 판독시에, 비트선 BLA1에 유지된 메모리셀 CellA1에 대한 재 기록 데이터는 소실하게 된다. 따라서, 이후는, 비트선 BLBl에 유지된 기록 데이터를 사용하게 된다.

(9) Step1-9

상술한 "Step1-7" 및 "Step1-8"의 동작과 마찬가지로 하여, "Step1-9" 및 "Step1-1O"의 동작이 행해진다.

우선, "Step1-9"의 동작에 관해서 설명한다.

"Step1-9"에서는, 하위 뱅크내의 비트선 BLB2에 유지된 상위 뱅크 내의 메모리셀 cellA2에 대한 기록 데이터를 데이터 회로에 전송하는 동작이 행해진다.

우선, TGB2가 "H"가 되면, 트랜스퍼 게이트 TrNB2가 온 상태가 된다. 이 때, 비트선 BLB2이 데이터 회로에 전기적으로 접속되어, 하위 뱅크내의 비트선 BLB2에 유지된 메모리셀 cellA2에 대한 기록 데이터가 데이터 회로에 전송된다.

또, 본 예에서는, 상위 뱅크내의 비트선 BLA2에 유지된 메모리셀 cellA2에 대한 기록 데이터는, 메모리셀 cellA1에 대한 검증 판독시간("Step1-8")에 소실되고 있다. 따라서, 메모리셀 cellA 2에 대한 기록 데이터는, 하위 뱅크내의 비트선 BLB2로부터 데이터 회로에 전송된다.

그리고, 이 기록 데이터는, 예를 들면, 도 55에 도시한 바와 같은 데이터 회로2-i 내의 래치 회로 LATCH1에 유지된다.

(1O) Step1-1O

"Step1-10"에서는, 메모리셀 cellA 2에 대한 검증 판독이 행해진다.

우선, 비트선 BLA2를 프리차지 전위(예를 들면, 1.8V 정도)로 프리차지한다. 이후, TGA2를 "H"로 하고, 트랜스퍼 게이트 TrNA2를 온 상태로 하면, 비트선 BLA2가 데이터 회로에 전기적으로 접속된다.

그리고, 2개의 셀렉트 게이트선에 Vread를 제공하고, 메모리셀 CellA2의 콘트롤 게이트선(선택된 워드선) CG1U1에 검증 판독용의 판독 전위 VcgvO를 제공하여, 비선택의 워드선에 메모리셀이 항상 온 상태가 되는 전위 Vread (예를 들면, 3.5V 정도)를 제공하면, 메모리셀 cellA2의 데이터는, 비트선 BLA2을 경유하여, 데이터 회로2-i에 전송된다.

이후, 데이터 회로2-i 에서는, 메모리셀 CellA2의 데이터와 래치 회로 LATCH1에 유지된 기록 데이터에 기초하여, 재기록 데이터를 생성하는 동작, 및, 메모리셀 CellA2에 정확한 데이터가 완전히 기록되었는지의 여부를 검출하는 동작(프로그램 완료 검출)이 행해진다.

예를 들면, "1" 기록 및 "O" 기록 충분의 경우에는, 재 기록 데이터는, "1"이 되기 때문에, 이후, 메모리셀 CellA2에 대하여 "0" 기록은, 행해지지 않는다. 즉, 메모리셀 CellA2에 대한 기록이 종료한다.

또, "0" 기록 불충분의 경우에는, 재 기록 데이터는, "0"으로 되기 때문에, 계속하여, 메모리셀 cellA2에 대하여 "0" 기록이 행해진다.

그런데, 메모리셀 CellA2에 대한 검증 판독에서는, 콘트롤 게이트선 CG1U1에 판독 전위 Vcgv0를 제공한다.

그 결과, 메모리셀 cellA2와 같이 콘트롤 게이트선 CG1U1을 공통으로 하는 메모리셀 cellAl, cellA3이 온 상태가 되어, 비트선 BLA1, BLA3에 유지되어 있던 메모리셀 CellA1, CellA3에 대한 기록 데이터는 소실한다.

그러나, 메모리셀 CellA1, CellA3에 대한 기록 데이터(또는 재 기록 데이터)는, 하위 뱅크내의 비트선 BLB1, BLB3에 유지되어 있기 때문에, 이들 기록 데이터가 완전히 소실하는 일은 없다.

검증 판독 후, 메모리셀 cellA2에 대한 재 기록 데이터가, 비트선 BLA2에 전송된다 (실제는, 트랜스퍼 게이트 TrNA2가 온 상태이기 때문에, 검증 판독과 거의 동시에 재기록 데이터가 비트선 BLA2에 전송). 이때, TGB2는 "L"이고, 트랜스퍼 게이트 TrNB2는 오프 상태이다.

이후, TGB2를 "H"로 하면, 트랜스퍼 게이트 TrNB2가 온 상태가 되고, 메모리셀 CellA2에 대한 재 기록 데이터는 비트선 BLB2에도 전송된다.

또, 후술하는 바와 같이, 메모리셀 CellA3에 대한 검증 판독시에, 비트선 BLA2에 유지된 메모리셀 cellA2에 대한 재 기록 데이터는, 소실하는 것이 된다. 따라서, 이후는, 비트선 BLB2에 유지된 기록 데이터를 사용하는 것이 된다.

(11) Step1-11

상술한 "Step1-9" 및 "Step1-10"의 동작과 마찬가지로 하여, "Step1-11" 및 "Step1-12"의 동작이 행해진다.

우선, "Step1-11"의 동작에 관해서 설명한다.

"Step 1-11"에서는, 하위 뱅크내의 비트선 BLB3에 유지된 상위 뱅크내의 메모리셀 cellA3에 대한 기록 데이터를 데이터 회로에 전송하는 동작이 행해진다.

우선, TGB3이 "H"가 되면, 트랜스퍼 게이트 TrNB3가 온 상태가 된다. 이 때, 비트선 BLB3이 데이터 회로에 전기적으로 접속되고, 하위 뱅크내의 비트선 BLB3에 유지된 메모리셀 cellA3에 대한 기록 데이터가 데이터 회로에 전송된다.

또, 상위 뱅크내의 비트선 BLA3에 유지된 메모리셀 cellA3에 대한 기록 데이터는, 메모리셀 cellA1에 대한 검증 판독 시간("Step1-8")에 이미 소실하고 있다. 따라서, 메모리셀 cellA3에 대한 기록 데이터는, 하위 뱅크내의 비트선 BLB3으로부터 데이터 회로에 전송된다.

그리고, 이 기록 데이터는, 예를 들면, 도 55에 도시한 바와 같은 데이터 회로2-i내의 래치 회로 LATCH1에 유지된다.

(12) Step1-12

"Step1-12"에서는, 메모리셀 cellA 3에 대한 검증 판독이 행해진다.

우선, 비트선 BLA3을 프리차지 전위(예를 들면, 1.8V 정도)로 프리차지한다. 이후, TGA3을 "H"로 하고, 트랜스퍼 게이트 TrNA3을 온 상태로 하면, 비트선 BLA3이 데이터 회로에 전기적으로 접속된다.

그리고, 2개의 셀렉트 게이트선에 Vread를 제공하고, 메모리셀 CellA3의 콘트롤 게이트선(선택된 워드선) CG1U1에 검증 판독용의 판독 전위 VcgvO를 제공하여, 비선택의 워드선에 메모리셀이 항상 온 상태가 되는 전위 Vread (예를 들면, 3.5V 정도)를 제공하면, 메모리셀 cellA3의 데이터는, 비트선 BLA3을 경유하여, 데이터 회로2-i에 전송된다.

이후, 데이터 회로2-i에서는, 메모리셀 CellA3의 데이터와 래치 회로 LATCH1에 유지된 기록 데이터에 기초하여, 재 기록 데이터를 생성하는 동작, 및, 메모리셀 cellA3에 정확한 데이터가 완전히 기록되었는지의 여부를 검출하는 동작(프로그램 완료 검출)이 행해진다.

예를 들면, "1" 기록 및 "O" 기록 충분의 경우에는, 재 기록 데이터는, "1"이 되기 때문에, 이후, 메모리셀 cellA3에 대하여 "0" 기록은 행해지지 않는다. 즉, 메모리셀 cellA3에 대한 기록이 종료한다.

또한, "O" 기록 불충분의 경우에는, 재 기록 데이터는, "O"으로 되기 때문에, 계속하여, 메모리셀 CellA3에 대하여 "0" 기록이 행해진다.

그런데, 메모리셀 cellA3에 대한 검증 판독에서는, 콘트롤 게이트 CG1U1에 판독 전위 Vcgv0를 제공한다.

그 결과, 메모리셀 cellA3와 같이 콘트롤 게이트선 CG1U1을 공통으로 하는 메모리셀 cellAl, cellA2가 온 상태가 되고, 비트선 BLA1, BLA2에 유지되어 있던 메모리셀 cellA1, cellA2에 대한 기록 데이터는 소실한다.

그러나, 메모리셀 cellA1, cellA2에 대한 기록 데이터(또는 재기록 데이터)는, 하위 뱅크내의 비트선 BLB1, BLB2에 유지되어 있기 때문에, 이들 기록 데이터가 완전히 소실하는 일은 없다.

검증 판독 후, 메모리셀 cellA3에 대한 재 기록 데이터가, 비트선 BLA3에 전송된다 (실제는, 트랜스퍼 게이트 TrNA2가 온 상태이기 때문에, 검증 판독과 거의 동시에 재 기록 데이터가 비트선 BLA3에 전송됨). 이때, TGB3은, "L"이고, 트랜스퍼 게이트 TrNB3은 오프 상태이다.

이후, TGB3을 "H"로 하면, 트랜스퍼 게이트 TrNB3이 온 상태가 되고, 메모리셀 cellA3에 대한 재 기록 데이터는 비트선 BLB3에도 전송된다.

또, "Step1-12"가 종료하면, 메모리셀 CellA1, CellA2, cellA3에 대한 검증 판독 동작이 종료한 것으로 된다. 즉, 상위 뱅크내의 비트선 BLA3에 전송된 메모리셀 cellA3에 대한 재 기록 데이터는, 소실하는 일 없이, 비트선 BLA3에 유지된다.

이후, 상위 뱅크내의 메모리셀 CellA1, CellA2, CellA3에 대하여 재기록(기록 펄스의 인가)이 행해지지만, 상술한 바와 같이, 상위 뱅크내의 비트선 BLA1에는, 메모리셀 cellA1에 대한 기록 데이터가 유지되어 있지 않고, 상위 뱅크내의 비트선 BLA2에는, 메모리셀 cellA2에 대한 기록 데이터가 유지되어 있지 않다. 상위 뱅크내의 비트선 BLA3에만, 메모리셀 cellA3에 대한 기록 데이터가 유지되어 있다.

그래서, 재 기록 전에, 메모리셀 CellA1에 대한 기록 데이터를, 하위 뱅크내의 비트선 BLB1로부터 상위 뱅크내의 비트선 BLA1로 전송하는 동작("Step1-13" 및 "Step1-14"), 및, 메모리셀 cellA2에 대한 기록 데이터를, 하위 뱅크내의 비트선 BLB2로부터 상위 뱅크내의 비트선 BLA2에 전송하는 동작("Step1-15" 및 "Step1-16")을 실행한다.

(13) Step1-13

"Step1-13"에서는, 하위 뱅크내의 비트선 BLB1에 유지된 메모리셀 CellA1에 대한 기록 데이터를, 데이터 회로2-i에 전송한다.

우선, TGB1을 "H"로 하고, 트랜스퍼 게이트 TrNB1을 온 상태로 한다. 이 때, 하위 뱅크내의 비트선 BLB1은, 데이터 회로2-i에 전기적으로 접속되고, 비트선 BLB1에 유지된 메모리셀 CellA1에 대한 기록 데이터는, 데이터 회로2-i에 전송된다. 그리고, 이 기록 데이터는, 래치 회로2-i내의 래치 회로 LATCH1 (예를 들면, 도 55 참조)에 래치된다.

이후, TGB1을 "L"로 하고, 트랜스퍼 게이트 TrNB1를 오프 상태로 한다.

(l4) Step1-14

"StePl-14"에서는, 데이터 회로2-i 내의 래치 회로 LATCH1에 유지된 메모리셀 cellA1에 대한 기록 데이터를, 상위 뱅크내의 비트선 BLA1에 전송한다.

우선, TGA1을 "H"로 하고, 트랜스퍼 게이트 TrNA1를 온 상태로 한다. 이 때, 상위 뱅크내의 비트선 BLA1은, 데이터 회로2-i에 전기적으로 접속되고, 데이터 회로2-i 내의 래치 회로 LATCH1에 유지된 메모리셀 cellA1에 대한 기록 데이터는 상위 뱅크내의 비트선 BLA1에 전송된다.

이후, TGA1을 "L"로 하고, 트랜스퍼 게이트 TrNA1을 오프 상태로 한다.

(15) Step1-15

"Step1-15"에서는, 하위 뱅크내의 비트선 BLB2에 유지된 메모리셀 cellA2에 대한 기록 데이터를, 데이터 회로2-i에 전송한다.

우선, TGB2를 "H"로 하고, 트랜스퍼 게이트 TrNB2를 온 상태로 한다. 이 때, 하위 뱅크내의 비트선 BLB2는, 데이터 회로2-i에 전기적으로 접속되고, 비트선 BLB2에 유지된 메모리셀 CellA2에 대한 기록 데이터는, 데이터 회로2-i에 전송된다. 그리고, 이 기록 데이터는, 래치 회로2-i 내의 래치 회로 LATCH1 (예를 들면, 도 55 참조)에 래치된다.

이후, TGB2를 "L"로 하고, 트랜스퍼 게이트 TrNB2를 오프 상태로 한다.

(16) Step1-16

"Step1-16"에서는, 데이터 회로2-i 내의 래치 회로 LATCH1에 유지된 메모리셀 cellA2에 대한 기록 데이터를, 상위 뱅크내의 비트선 BLA2에 전송한다.

우선, TGA2를 "H"로 하고, 트랜스퍼 게이트 TrNA2를 온 상태로 한다. 이 때, 상위 뱅크내의 비트선 BLA2는, 데이터 회로2-i에 전기적으로 접속되고, 데이터 회로2-i 내의 래치 회로 LATCH1에 유지된 메모리셀 CellA2에 대한 기록 데이터는, 상위 뱅크내의 비트선 BLA2에 전송된다.

이후, TGA2를 "L"로 하고, 트랜스퍼 게이트 TrNA2를 오프 상태로 한다.

(17) Step1-17

"Step1-12"의 시점에서, 메모리셀 cellA 3에 대한 기록 데이터는, 상위 뱅크내의 비트선 BLA3에 유지되고, "Step1-13" 내지 "Step1-16"의 동작에 의해, 메모리셀 cellA1, cellA2에 대한 기록 데이터가 상위 뱅크내의 비트선 BLA1, BLA2에 전송되었다.

이에 따라, 상위 뱅크내의 각 비트선 BLA1, BLA2, BLA3에는, 각각 재기록 데이터가 유지된 상태가 된다.

이후, "Step1-17"에서는, 선택된 콘트롤 게이트선(선택된 워드선) CG1U1에 기록 펄스를 인가하고, 상위 뱅크내의 메모리셀 cellA1, cellA2, cellA3에 대한 재기록을 실행한다.

또, "Step1-17"에 있어서의 기록 펄스의 인가 후에는, "Step1-7"로부터 "Step1-16"과 마찬가지의 동작이 다시 행해진다.

즉, 이후에는, "Step1-7"로부터 "Step1-17"까지의 동작이, 모든 선택된 메모리셀의 기록이 충분히 행해질 때까지(또는 기록 횟수가 소정수를 넘어 기록 불량으로 될 때까지) 반복하여 실행된다.

이상, 설명한 바와 같이, 구체예2에 따르면, 동일한 뱅크 내에 존재하는 콘트롤 게이트선을 공통으로 하는 복수의 메모리셀에 대하여, 1개의 데이터 회로를 이용하여, 동시에, 기록을 실행할 수가 있다.

즉, 데이터 회로가 1개의 메모리셀에 대한 기록/판독 데이터를 유지할 수 있는 기억 회로만을 갖고 있는 경우에도, 각각의 메모리셀에 대한 기록 데이터를 비트선에 유지함으로써, 복수의 메모리셀에 대하여 1개의 데이터 회로에 의해 기록을 실행할 수가 있다.

또, 복수의 뱅크에 대하여 1개의 데이터 회로를 설치하고, 예를 들면, 이 데이터 회로를 이용하여, 어떤 1개의 뱅크 (상위 뱅크)안의 복수의 메모리셀에 대하여 기록을 실행할 때는, 다른 뱅크 (하위 뱅크)안의 복수의 비트선에 기록 데이터를 유지하도록 하고 있다.

따라서, 기록 데이터의 소실 없이, 일련의 기록 동작(기록 펄스 인가, 검증 판독, 프로그램 완료 검출 등)을 실행할 수 있다.

이와 같이, 구체예2에 따르면, 칩 면적을 증가시키는 일 없이, 즉, 데이터 회로의 규모를 크게 하지 않고, 고속인 기록을 달성하는 것이 가능하게 된다.

또, 구체예2에서는, 1개의 데이터 회로를 이용하여, 동일 뱅크 내에 존재하는 3개의 메모리셀에 대한 기록을 동시에 행하고 있지만, 1개의 데이터 회로를 이용하여, 동일 뱅크 내에 존재하는 4개 이상의 메모리셀에 대하여, 기록을 동시에 실행하는 것도 가능하다.

예를 들면, 도 71의 예에서는, 1개의 데이터 회로2-i에, 상위 뱅크(Upper bank)안의 6개의 비트선 BLA1, BLA2, BLA3, BLC1, BLC2, BLC3과, 하위 뱅크 (Lower bank)안의 6개의 비트선 BLB1, BLB2, BLB3, BLD1, BLD2, BLD3을 접속하고 있다.

이 경우, 구체예2와 마찬가지로 하여, 상위 뱅크내의 6개의 비트선 BLA1, BLA2, BLA3, BLC1, BLC2, BLC3에 접속되는 6개의 메모리셀에 대하여 동시에 기록을 실행할 수 있다. 또한, 하위 뱅크내의 6개의 비트선 BLB1, BLB2, BLB3, BLD1, BLD2, BLD3에 접속되는 6개의 메모리셀에 대하여 동시에 기록을 실행할 수가 있다.

또한, 상위 뱅크내의 메모리셀에 대하여 기록을 행하는 때는, 3개의 비트선 BLA1, BLA2, BLA3에 접속되는 3개의 메모리셀에 대하여 동시에 기록을 행하고, 비트선 BLB1, BLB2, BLB3에는, 각각 비트선 BLA1, BLA2, BLA3의 기록 데이터를 저장하면 된다.

이때, 비트선 사이 용량 결합 노이즈를 방지하기 위해서, 비트선 BLC1, BLC2, BLC3 및 비트선 BLD1, BLD2, BLD3을 실드 비트선(Vdd 또는 Vss로 고정)으로해도 된다.

마찬가지로, 상위 뱅크내의 메모리셀에 대하여 기록을 행할 때는, 3개의 비트선 BLC1, BLC2, BLC3에 접속되는 3개의 메모리셀에 대하여 동시에 기록을 행하고, 비트선 BLD1, BLD2, BLD3에는, 각각 비트선 BLC1, BLC2, BLC3의 기록 데이터를 저장하면 된다. 이때, 비트선 BLA1, BLA2, BLA3 및 비트선 BLB1, BLB2, BLB3을 실드 비트선으로 해도 좋다.

또, 하위 뱅크 내의 메모리셀에 대한 기록에 대하여도, 선택하지 않은 비트선을 실드 비트선으로 할 수 있다.

[기타]

이상, 본 발명의 불휘발성 반도체 메모리에 관한 상세한 설명을 종료한다.

또, 본 실시의 형태에서는, 다치 NAND 셀형 EEPROM을 예로서 설명하였지만, 본 발명은, 당연히, 다른 타입의 다치 메모리에 적용이 가능하다. 예를 들면, 메모리셀 어레이로서는, NOR형, AND 형(A Nozoe : ISSCC, Digest of Technical papers, 1995), DINOR 형(S. Kobayashi : ISSCC, Digest of Technical Papers, 1995), Virtual Ground Array 형(Lee, et al. : Symposium on VLSI Circuits, Digest of Technical Papers, 1994) 등이라도 좋다.

또한, 본 발명은, 플래시 메모리(Flash memory)에 한정되지 않고, 예를 들면, 마스크 ROM, EPROM 등의 불휘발성 반도체 메모리에도 적용할 수 있다.

발명의 효과

이상, 설명한 바와 같이, 본 발명에 따르면, 첫째로, 데이터 회로 내에 배치되는 다치 데이터(n 치 데이터)의 일시 기억용으로서 이용되는 복수의 기억 회로 중의 적어도 1개를, DRAM 셀(캐패시터)로 구성하고 있다. 주지와 같이, DRAM 셀의 면적은, SRAM 셀의 면적보다도 작기 때문에, 복수의 기억 회로의 일부를 DRAM 셀로 구성하는 경우에는, 종래와 같이 모든 기억 회로를 SRAM 셀만으로 구성하는 경우 보다도, 데이터 회로의 면적을 작게 할 수가 있다.

둘째로, 워드선 제어 회로가 로우 어드레스 디코더와 워드선 드라이버로 구성되고, 또한, 메모리셀 어레이의 한쪽 측에 로우 어드레스 디코더가 배치되고, 메모리셀 어레이의 양측에 워드선 드라이버가 배치되는 경우에, 동작 모드에 따라서, 메모리셀 어레이의 한쪽 측의 로우 어드레스 디코더와 다른쪽 측의 워드선 드라이버를 접속하기 위한 신호선의 상태를 제어하고 있다. 따라서, 그 신호선이 메모리셀의 동작에 악 영향을 끼치는 일이 없게 된다.

셋째로, 예를 들면, 4치 데이터와 메모리셀의 임계치 전압의 관계를, 소정의 관계로 설정함으로써, 짝수 페이지 데이터의 판독을, 2회의 판독 동작으로 행할 수 있고, 홀수 페이지 데이터의 판독을 1회의 판독 동작으로 행할 수 있다.

넷째로, 예를 들면, 4치 데이터와 메모리셀의 임계치 전압의 관계를, 소정의 관계로 설정함으로써, 예를 들면, 짝수 페이지 데이터의 기록 후에 행해지는 홀수 페이지 데이터의 기록에 있어서, "O0" 기록을 "O1"기록 보다도 빠르게 끝내고, "O0" 기록 종료 후에는, "O0" 검증 판독을 생략하는 것으로, 기록 시간의 단축(기록의 고속화)을 도모할 수 있다.

다섯째로, 예를 들면, 기록 동작에 있어서, 데이터 회로 내에, 래치 회로를 대신해서 설치한 DRAM 셀(캐패시터)에 대하여, 리프레시 동작을 행하는 것에 의해, 캐패시터의 전하의 누설이 문제가 된 경우라도, 기록 동작을 정확하게 행할 수 있다.

여섯째로, 데이터 회로 내에 라이트 캐쉬를 설치함으로써, 예를 들면, 복수페이지에 걸치는 기록을 실행했을 때에, 기록(기록 펄스 인가)과 기록 데이터의 입력을 병행할 수 있어, 실질적으로, 2페이지 째 이후의 데이터 로드 시간을 불필요하게 하여, 기록의 고속화를 도모할 수 있다.

일곱째로, 데이터 회로 내에 라이트 캐쉬가 설치되고, 그 라이트 캐쉬가 DRAM 셀(캐패시터)로 구성되는 경우에, 그 DRAM 셀에 대하여 리프레시 동작을 행하는 것에 의해, DRAM 셀의 누설이 문제가 된 경우에도, 기록 데이터가 사라져 버리는 일이 없다.

여덟째로, 1개의 메모리셀에 대한 기록/판독 데이터를 기억할 수 있는 기억 회로만을 갖는 데이터 회로를 이용하고, 다른 뱅크내의 복수의 메모리셀에 대하여, 거의 동시에, 기록을 실행할 수 있다. 즉, 메모리셀에 대한 기록 데이터를, 그 메모리셀이 접속되는 비트선에 유지함으로써, 1개의 데이터 회로를 이용하여 복수의 메모리셀의 기록을 실행할 수 있다. 또한, 한쪽의 메모리셀에 대하여 기록을 행하고 있을 때에, 다른쪽의 메모리셀에 대하여 검증 판독을 행하는 것에 의해, 칩 면적의 증대 없이, 종래에 비해 기록 속도를 약 2배로 할 수 있다.

아홉째로, 1개의 메모리셀에 대한 기록/판독 데이터를 기억할 수 있는 기억 회로만을 갖는 데이터 회로를 이용하여, 동일한 뱅크 내에 배치되고, 콘트롤 게이트선을 공통으로 하는 복수의 메모리셀에 대하여, 동시에, 기록을 실행할 수 있다. 즉, 메모리셀에 대한 기록 데이터를, 그 메모리셀이 접속되는 비트선과 그 메모리셀이 배치되는 뱅크와는 다른 뱅크 내의 비트선에 유지함으로써, 1개의 데이터 회로를 이용하여 동일 뱅크 내의 복수의 메모리셀에 대하여 동시에 기록을 실행할 수 있다. 이에 따라, 칩 면적의 증대 없이, 종래에 비해 기록 속도를 고속화할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

3치 이상의 다치 데이터를 기억하는 메모리셀을 포함하는 메모리셀부와,

상기 메모리셀부에 접속되는 비트선과,

상기 비트선에 접속되어, 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 다치 데이터를 기억하는 제1 캐패시터와 제2 다치 데이터를 기억하는 제1 래치 회로를 포함하고, 상기 제1 캐패시터와 상기 제1 래치 회로는 모두 상기 비트선의 한쪽 단부에 접속되는 불휘발성 반도체 메모리.

청구항 3.

3치 이상의 다치 데이터를 기억하는 메모리셀을 포함하는 메모리셀부와,

상기 메모리셀부에 접속되는 비트선과,

상기 비트선에 접속되어, 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 캐패시터와 제1 래치 회로를 포함하고, 상기 제1 캐패시터와 상기 제1 래치 회로는 모두 상기 비트선의 한쪽 단부에 접속되고,

상기 제1 캐패시터에 기억되는 제1 다치 데이터와 상기 제1 래치 회로에 기억되는 제2 다치 데이터에 기초하여, 상기 메모리셀에 대하여 프로그램 동작이 행해지는 불휘발성 반도체 메모리.

청구항 4.

3치 이상의 다치 데이터를 기억하는 메모리셀을 포함하는 메모리셀부와,

상기 메모리셀부에 접속되는 비트선과,

상기 비트선에 접속되어, 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 캐패시터와 제1 래치 회로를 포함하고, 상기 제1 캐패시터와 상기 제1 래치 회로는 모두 상기 비트선의 한쪽 단부에 접속되고,

상기 메모리셀에서 판독되어, 상기 제1 캐패시터에 기억되는 제1 다치 데이터와, 상기 메모리셀부가 형성되어 있는 칩의 외부에서 입력되어, 상기 제1 래치 회로에 기억되는 제2 다치 데이터에 기초하여, 상기 메모리셀에 대하여 프로그램 동작이 행해지는 불휘발성 반도체 메모리.

청구항 5.

3치 이상의 다치 데이터를 기억하는 메모리셀을 포함하는 메모리셀부와,

상기 메모리셀부에 접속되는 비트선과,

상기 비트선에 접속되어, 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 캐패시터와 제1 래치 회로를 포함하고,

상기 메모리셀에 제1 다치 데이터와 제2 다치 데이터를 저장하기 위해 제1 프로그램 동작과 제2 프로그램 동작이 행해지고,

상기 제1 프로그램 동작에서, 상기 제1 래치 회로에 저장된 상기 제1 다치 데이터에 기초하여 상기 제1 다치 데이터가 상기 메모리셀에 프로그램되고,

상기 제2 프로그램 동작에서, 상기 제1 래치 회로에 저장된 상기 제2 다치 데이터와, 상기 메모리셀에서 판독되어 상기 제1 캐패시터에 저장된 상기 제1 다치 데이터에 기초하여, 상기 제1 다치 데이터 및 상기 제2 다치 데이터가 상기 메모리셀에 저장되는 불휘발성 반도체 메모리.

청구항 6.

n치의 다치 데이터를 기억하는 메모리셀부와 - 상기 n은 3 이상의 자연수이고, 상기 메모리셀은 상기 데이터 값에 따라, 제1 임계치 레벨을 갖는 "1" 상태, 제2 임계치 레벨을 갖는 "2" 상태, ... 제n 임계치 레벨을 갖는 "n" 상태로 설정됨 -,

상기 메모리셀부에 접속되는 비트선과,

상기 비트선에 접속되고, 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는 제1 캐패시터와 제1 래치 회로를 포함하고,상기 메모리셀에 제1 다치 데이터와 제2 다치 데이터를 저장하기 위해 제1 프로그램 동작과 제2 프로그램 동작이 행해지고,

상기 제1 프로그램 동작에서, 상기 메모리셀은 상기 제1 래치 회로에 저장된 상기 제1 다치 데이터에 기초하여, 상기 "1" 상태, 상기 "2" 상태, …, 및 "m" 상태 중 하나로 설정되고, 여기서 m<n이고,

상기 제2 프로그램 동작에서, 상기 메모리셀은, 상기 제1 래치 회로에 저장된 상기 제2 다치 데이터와 상기 메모리셀에서 판독되어 상기 제1 캐패시터에 저장된 상기 제1다치 데이터에 기초하여, 상기 "1" 상태, 상기 "2" 상태, …, 및 "k" 상태 중 하나로 설정되고, 여기서 m<k<n인 불휘발성 반도체 메모리.

청구항 7.

제1 메모리셀을 포함하는 제1 메모리셀부와,

제2 메모리셀을 포함하는 제2 메모리셀부와,

상기 제1 및 제2 메모리셀부에 접속되는 비트선과,

상기 비트선에 접속되어, 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 상기 제1 메모리셀에 기록되거나 또는 상기 제1 메모리셀로부터 판독된 제1 다치 데이터를 기억하는 제1 캐패시터와, 상기 제2 메모리셀에 기록되거나 또는 상기 제2 메모리셀로부터 판독된 제2 다치 데이터를 기억하는 제1 래치 회로를 포함하고, 상기 제1 캐패시터와 상기 제1 래치 회로는 모두 상기 비트선의 한쪽 단부에 접속되는 불휘발성 반도체 메모리.

청구항 8.

제1 메모리셀을 포함하는 제1 메모리셀부와,

제2 메모리셀을 포함하는 제2 메모리셀부와,

상기 제1 및 제2 메모리셀부에 접속되는 비트선과,

상기 비트선에 접속되어, 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 캐패시터와 제1 래치 회로를 포함하고, 상기 제1 캐패시터와 상기 제1 래치 회로는 모두 상기 비트선의 한쪽 단부에 접속되고,

상기 제2 메모리셀에 대한 제2 프로그램 동작에서, 상기 제1 캐패시터는 제1 다치 데이터를 저장하고, 상기 제2 프로그램 동작은 상기 제1 래치 회로에 기억되는 제2 다치 데이터에 기초하여 행해지고,

상기 제1 메모리셀에 대한 제1 프로그램 동작에서, 상기 제1 캐패시터에 저장된 상기 제1 다치 데이터가 상기 제1 래치 회로에 전송되되, 상기 제1 프로그램 동작은 상기 제1 래치 회로에 저장된 상기 제1 다치 데이터에 기초하여 행해지는 불휘발성 반도체 메모리.

청구항 9.

제2항 내지 제8항 중 어느 한 항에 있어서,

상기 불휘발성 반도체 메모리는, 상기 제1 캐패시터에 기억된 다치 데이터를 리프레시하도록 구성된 리프레시 회로를 더 포함하는 불휘발성 반도체 메모리.

청구항 10.

제9항에 있어서,

상기 리프레시 회로는, 상기 제1 래치 회로에 저장된 다치 데이터를 상기 비트선에 전송하고,

상기 리프레시 회로는, 상기 비트선이 상기 제1 래치 회로에 저장된 다치 데이터를 유지하고 있는 동안에, 상기 제1 래치 회로를 이용하여, 상기 제1 캐패시터에 저장된 다치 데이터를 리프레시하며, 이후, 상기 비트선에 유지된 다치 데이터를 상기 제1 래치 회로에 전송하는 불휘발성 반도체 메모리.

청구항 11.

제10항에 있어서,

상기 제1 캐패시터에 저장된 다치 데이터는, 상기 메모리셀에 대하여 프로그램 펄스의 인가를 행하고 있는 도중에, 또는, 상기 프로그램 펄스의 인가가 종료한 후에 리프레시되는 불휘발성 반도체 메모리.

청구항 12.

제2항 내지 제8항 중 어느 한 항에 있어서,

상기 메모리셀은 NAND 셀 유닛을 구성하는 복수의 메모리셀중의 하나인 불휘발성 반도체 메모리.

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.
삭제

청구항 29.
삭제

청구항 30.

제1 메모리셀을 포함하는 제1 메모리셀부와,

제2 메모리셀을 포함하는 제2 메모리셀부와,

상기 제1 및 제2 메모리셀부의 일단에 접속되는 비트선과,

상기 비트선에 접속되어, 상기 메모리셀에 대한 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 상기 제1 메모리셀에 기록하는 또는 상기 제1 메모리셀로부터 판독한 데이터를 기억하는 제1 기억 수단과, 상기 제2 메모리셀에 기록하는 또는 상기 제2 메모리셀에서 판독한 데이터를 기억하는 제2 기억 수단을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 31.

제1 메모리셀을 포함하는 제1 메모리셀부와,

제2 메모리셀을 포함하는 제2 메모리셀부와,

상기 제1 및 제2 메모리셀부의 일단에 접속되는 비트선과,

상기 비트선에 접속되어, 상기 메모리셀에 대한 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 및 제2 기억 수단을 포함하고,

상기 제2 메모리셀에 대하여 프로그램을 행할 때는, 상기 제1 기억 수단은 제1 데이터를 유지하고, 상기 제2 기억 수단에 기억되는 제2 데이터에 기초하여 프로그램 동작이 행해지고, 상기 제2 메모리셀에 대한 프로그램 동작이 종료한 후, 상기 제1 기억 수단에 유지된 제1 데이터가 상기 제2 기억 수단에 전송되며,

상기 제2 기억 수단에 유지된 상기 제1 데이터에 기초하여, 상기 제1 메모리셀에 대한 프로그램 동작이 행해지는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 32.

제30항 또는 제31항에 있어서,

상기 제1 기억 수단은 캐패시터이고, 상기 제2 기억 수단은 래치 회로인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 33.

제30항 또는 제31항에 있어서,

상기 제1 및 제2 기억 수단은 래치 회로인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 34.

제30항 또는 제31항에 있어서,

상기 제1 및 제2 메모리셀은 다른 워드선에 의해 선택되는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 35.

메모리 셀을 포함하는 메모리셀부와,

상기 메모리셀부의 일단에 접속되는 비트선과,

상기 비트선의 일단에 접속되는 트랜스퍼게이트와,

상기 비트선에 상기 트랜스퍼게이트를 통해 접속되며, 상기 메모리셀에 대한 2비트 이상의 기록 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하며,

상기 데이터 회로는, 제1 다치 데이터를 기억하는 제1 캐패시터와 제2 다치 데이터를 기억하는 제1 래치 회로를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 36.

3치 이상의 다치 데이터를 기억하는 메모리셀을 포함하는 메모리셀부와,

상기 메모리셀부의 일단에 접속되는 비트선과,

상기 비트선의 일단에 접속되는 트랜스퍼게이트와,

상기 비트선에 상기 트랜스퍼게이트를 통해 접속되며, 상기 메모리셀에 대한 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 다치 데이터를 기억하는 제1 캐패시터와 제2 다치 데이터를 기억하는 제1 래치 회로를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 37.

3치 이상의 다치 데이터를 기억하는 메모리셀을 포함하는 메모리셀부와,

상기 메모리셀부의 일단에 접속되는 비트선과,

상기 비트선의 일단에 접속되는 트랜스퍼게이트와,

상기 비트선에 상기 트랜스퍼게이트를 통해 접속되며, 상기 메모리셀에 대한 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 래치 회로와 제1 캐패시터를 포함하고,

상기 제1 래치 회로에 기억되는 제1 다치 데이터와 상기 제1 캐패시터에 기억되는 제2 다치 데이터에 기초하여, 상기 메모리셀에 대하여 프로그램 동작을 행하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 38.

3치 이상의 다치 데이터를 기억하는 메모리셀을 포함하는 메모리셀부와,

상기 메모리셀부의 일단에 접속되는 비트선과,

상기 비트선의 일단에 접속되는 트랜스퍼게이트와,

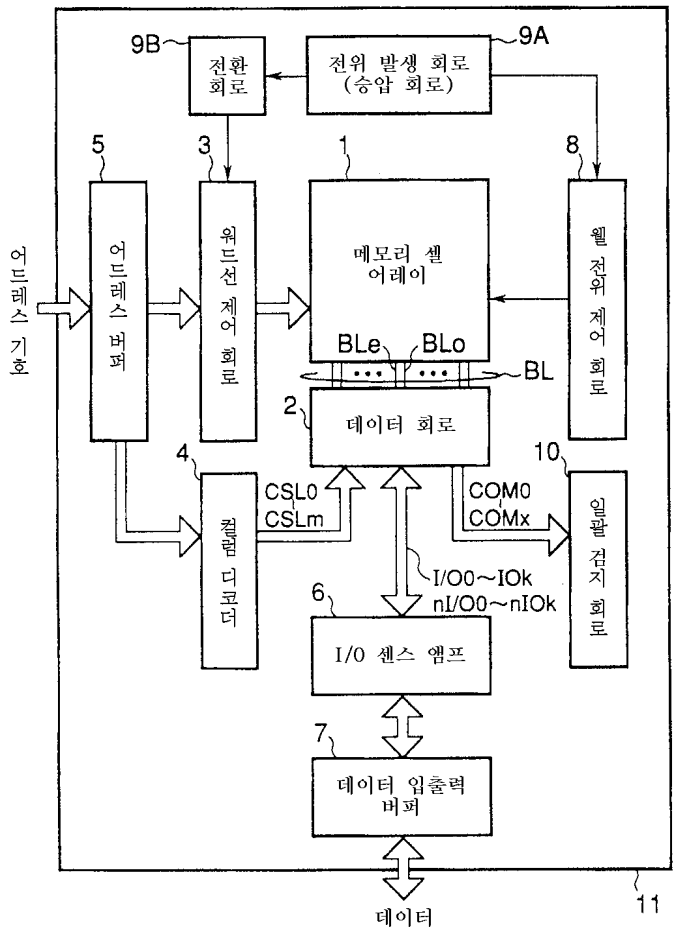
상기 비트선에 상기 트랜스퍼게이트를 통해 접속되며, 상기 메모리셀에 대한 2 비트 이상의 프로그램 또는 판독 데이터를 일시 기억하는 데이터 회로를 구비하고,

상기 데이터 회로는, 제1 래치 회로와 제1 캐패시터를 포함하고,

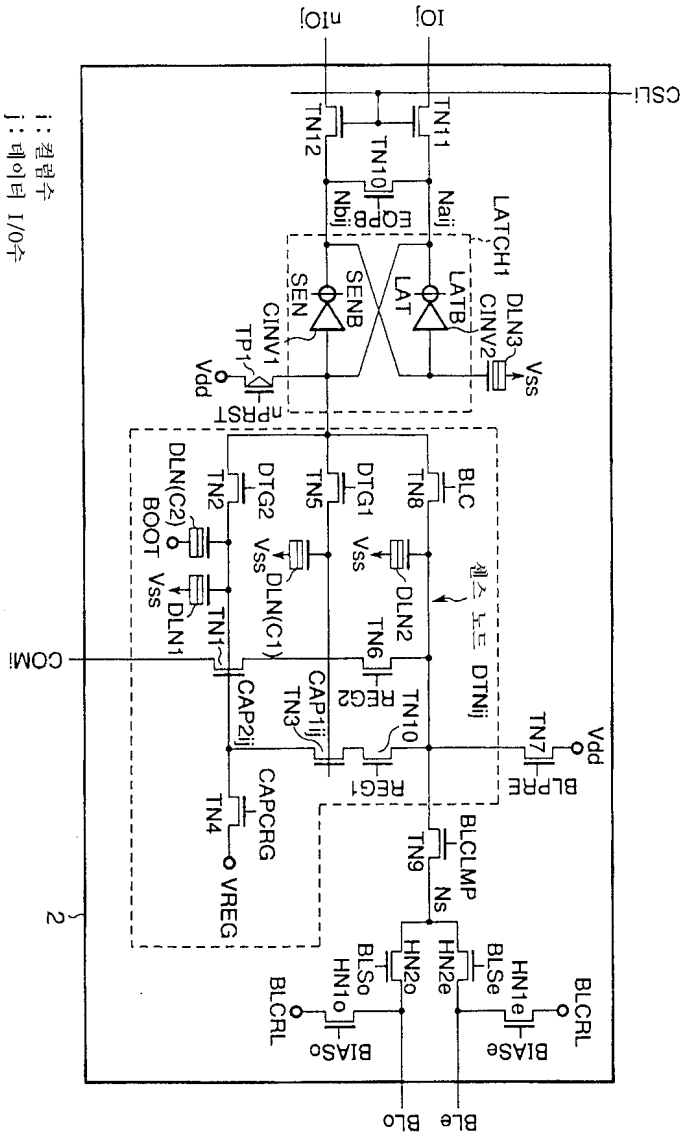
메모리 외부로부터 입력되어 상기 제1 래치 회로에 기억되는 제1 다치 데이터와, 상기 메모리셀로부터 판독되어 상기 제1 캐패시터에 기억되는 제2 다치 데이터에 기초하여, 상기 메모리셀에 대하여 프로그램 동작을 행하는 것을 특징으로 하는 불휘발성 반도체 메모리.

도면

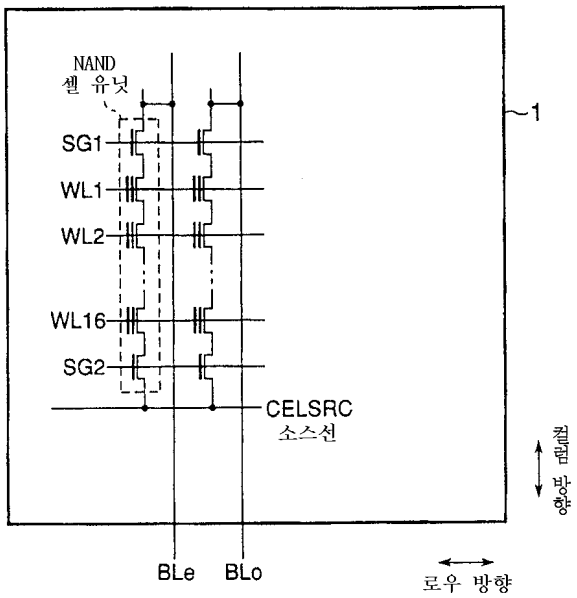
도면1



도면2


i : 컬럼수
j : 데이터 I/O수
nIOj
IOj
CSLi
TN12
TN11
TN10
EQPB
Nbij
Naij
LATCH1
SEN
SENB
LAT
LATB
CINV1
CINV2
DLN3
TP1
Vdd
Vss
nPRST
DLN(C2)
BOOT
TN2
DTG2
TN5
DTG1
TN8
BLC
DLN(C1)
DLN2
TN1
DLN1
TN6
COMi
CAP2ij
CAP1ij
TN3
REG2
TN10
DTNij
TN7
BLPRE
REG1
CAPCRG
TN4
VREG
TN9
BLCLMP
Ns
2
HN1o
HN2o
HN2e
HN1e
BLSo
BLSe
BLCRL
BIASo
BIASe
BLo
BLe

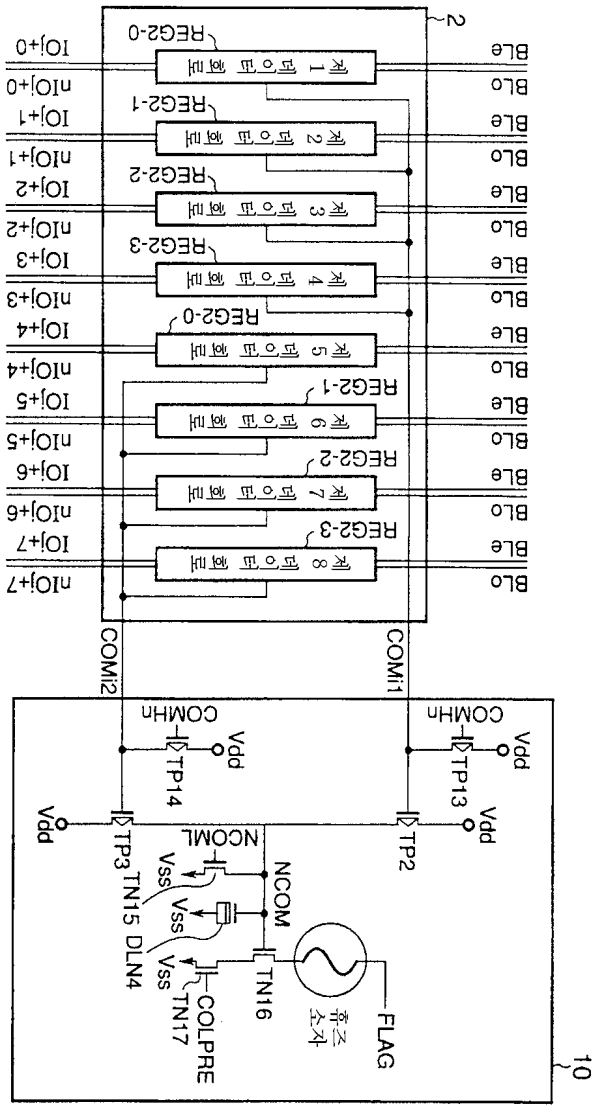
도면3


NAND
셀 유닛
SG1
WL1
WL2
WL16
SG2
CELSRC
소스선
1
컬럼 방향
BLe
BLo
로우 방향

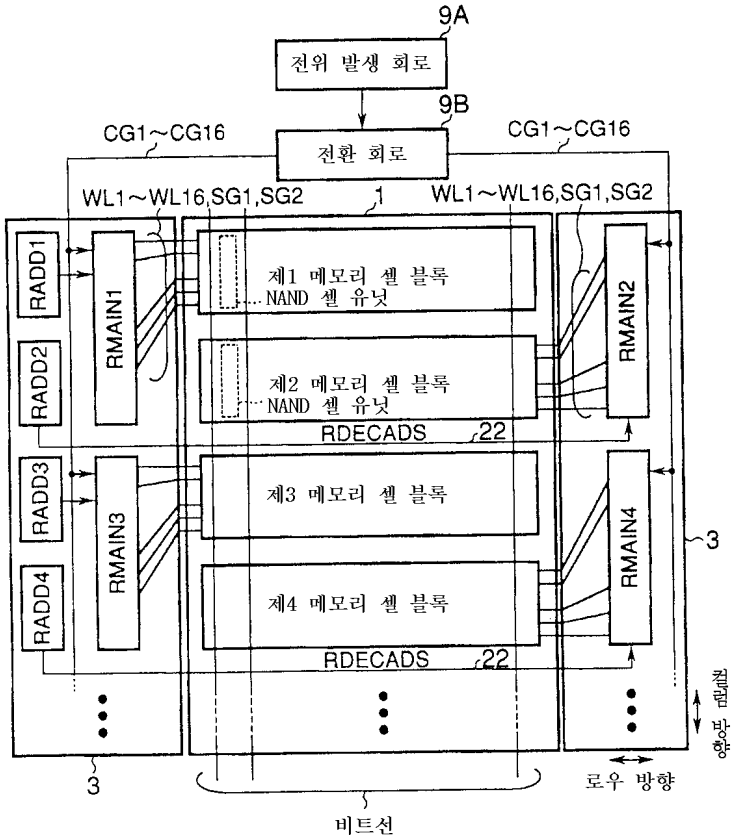
도면4


CAk1
CBk2
CCk3
CSLi

도면5

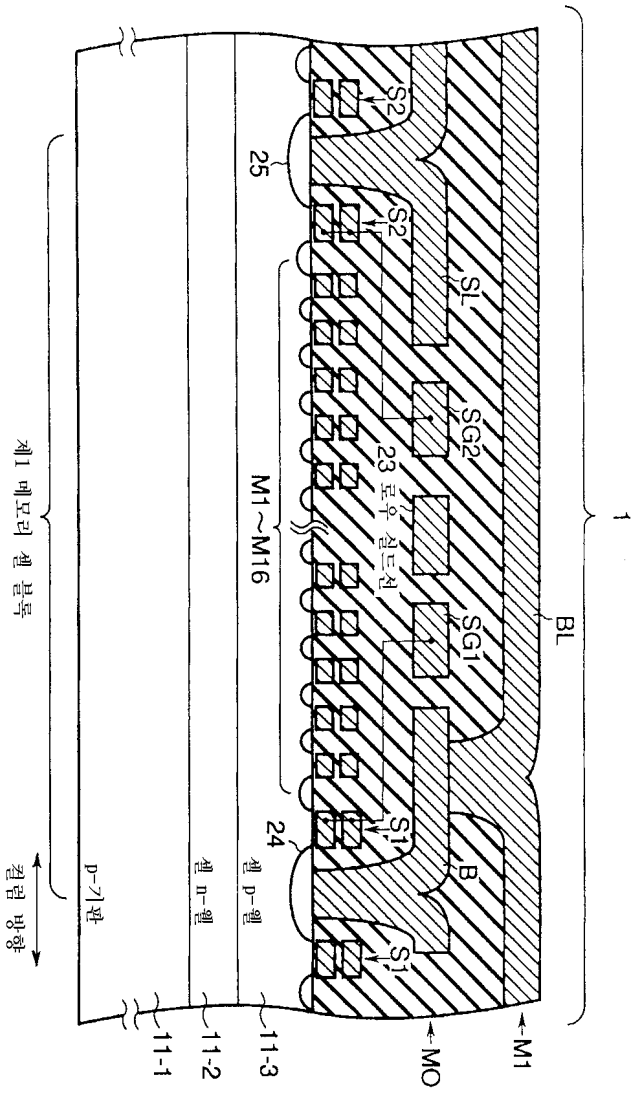

2
REG2-0
REG2-1
REG2-2
REG2-3
REG2-0
REG2-1
REG2-2
REG2-3
BLe
BLo
IOj+0
nIOj+0
IOj+1
nIOj+1
IOj+2
nIOj+2
IOj+3
nIOj+3
IOj+4
nIOj+4
IOj+5
nIOj+5
IOj+6
nIOj+6
IOj+7
nIOj+7
COMi2
COMi1
COMHn
Vdd
TP14
TP13
TP3
TP2
NCOML
NCOM
Vss
TN15
DLN4
TN16
TN17
COLPRE
휴즈소자
FLAG
10

도면6

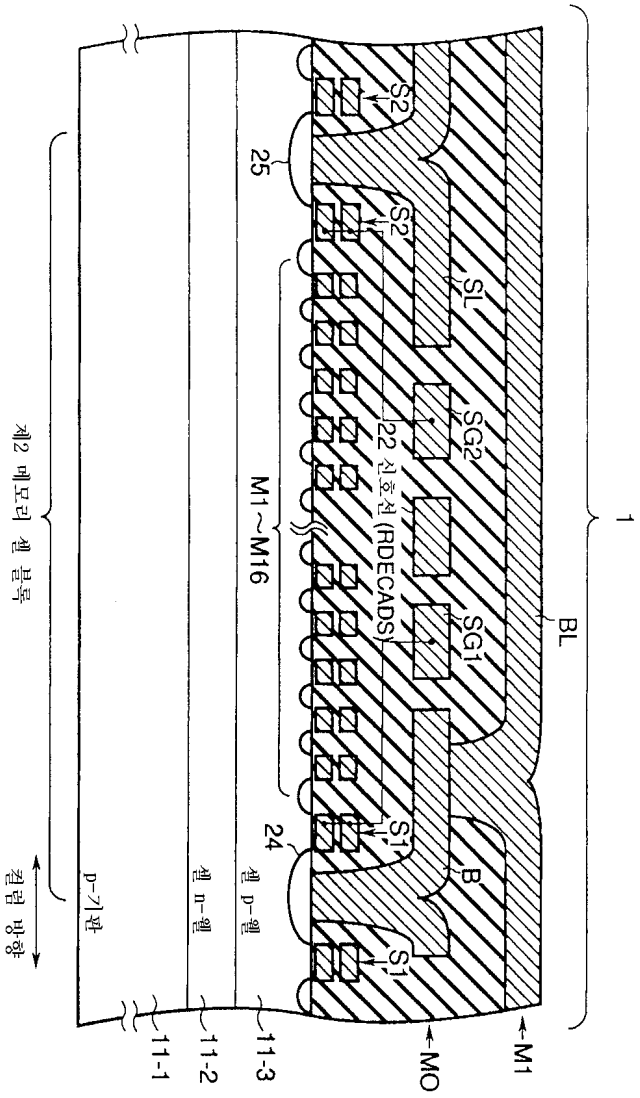


RMAINi : 제i 워드선 드라이버
RADDi : 제i 로우 어드레스 디코더
RDECADSi : 워드선 드라이버 선택 신호
i=1.2.3.4.・・・

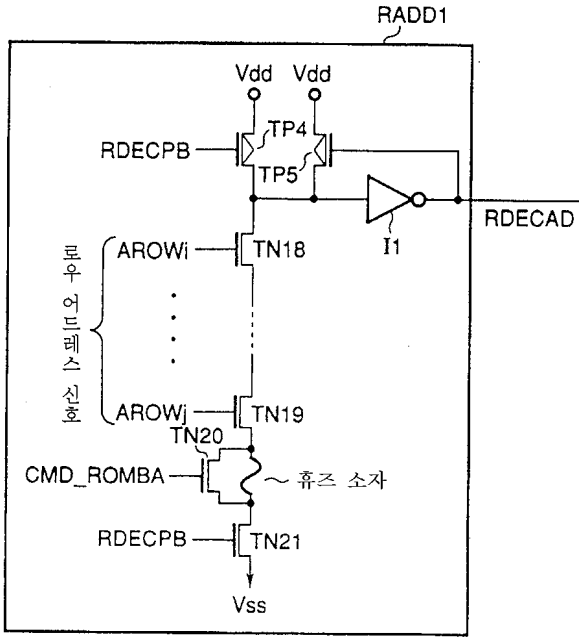
도면7


1
BL
SL
SG2
SG1
23 로우 실드선
S2
S2
S1
S1
B
25
24
M1~M16
제1 메모리 셀 블록
컬럼 방향
p-기판
셀 n-웰
셀 p-웰
11-1
11-2
11-3
MO
M1

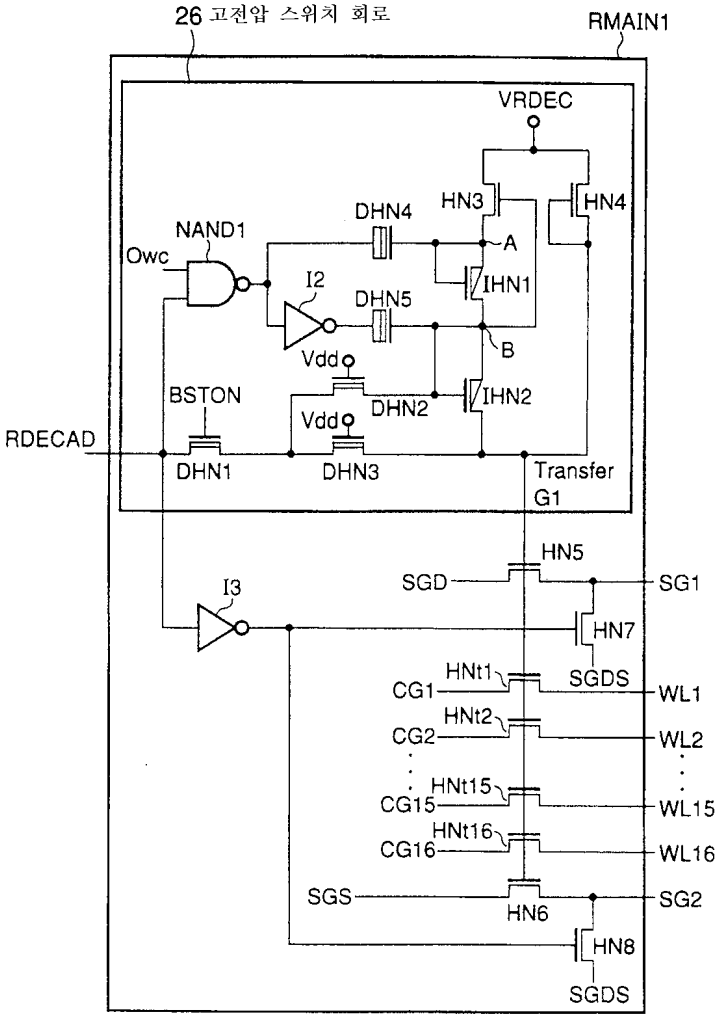
도면8


1
BL
M1
MO
S1
S1
S2
S2
SL
SG1
SG2
B
22 신호선 (RDECADS)
M1~M16
24
25
셀 p-웰
셀 n-웰
p-기판
제2 메모리 셀 블록
컬럼 방향
11-1
11-2
11-3

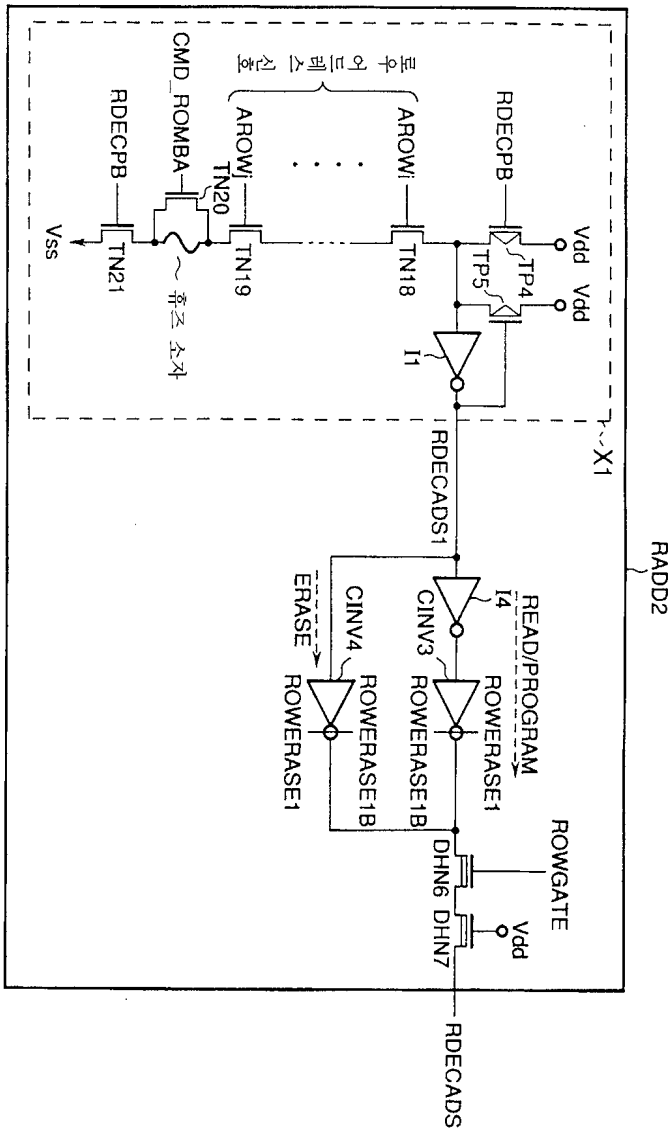
도면9


RADD1
Vdd
Vdd
TP4
RDECPB
TP5
I1
RDECAD
로우 어드레스 신호
AROWi
TN18
AROWj
TN19
TN20
CMD_ROMBA
휴즈 소자
RDECPB
TN21
Vss

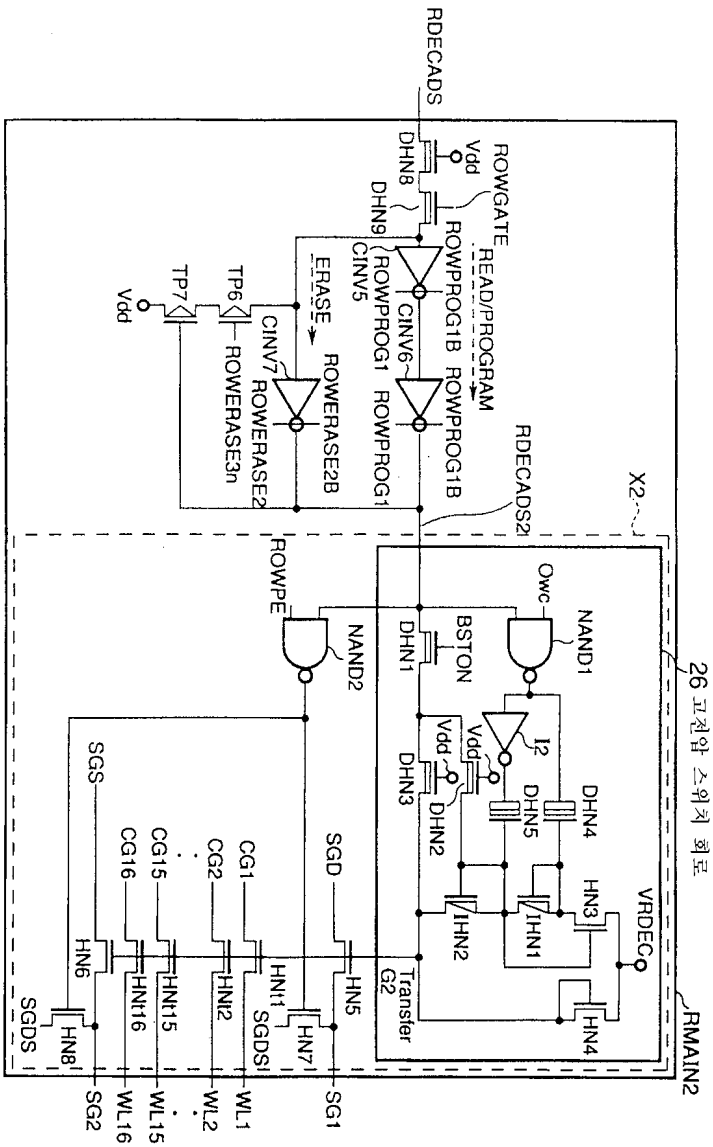
도면10


26 고전압 스위치 회로
RMAIN1
VRDEC
HN3
HN4
DHN4
NAND1
Owc
A
IHN1
I2
DHN5
B
Vdd
BSTON
DHN2
IHN2
Vdd
RDECAD
DHN1
DHN3
Transfer G1
HN5
SGD
SG1
I3
HN7
HNt1
SGDS
CG1
WL1
HNt2
CG2
WL2
HNt15
CG15
WL15
HNt16
CG16
WL16
SGS
HN6
SG2
HN8
SGDS

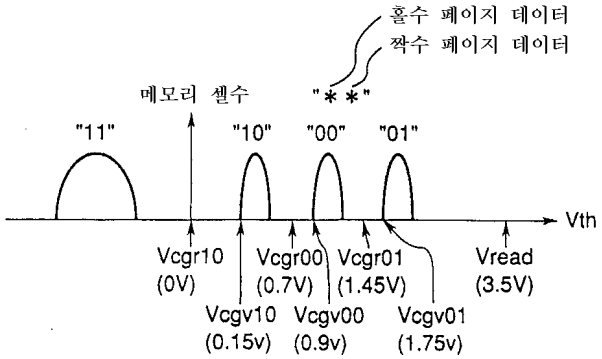
도면11


RADD2
X1
RDECPB
Vdd
Vdd
TP4
TP5
I1
AROWi
AROWj
로우 어드레스 신호
TN18
TN19
TN20
CMD_ROMBA
휴즈 소자
RDECPB
TN21
Vss
RDECADS1
I4
READ/PROGRAM
CINV3
ROWERASE1B
ROWERASE1
ERASE
CINV4
ROWERASE1B
ROWERASE1
ROWGATE
DHN6
DHN7
Vdd
RDECADS

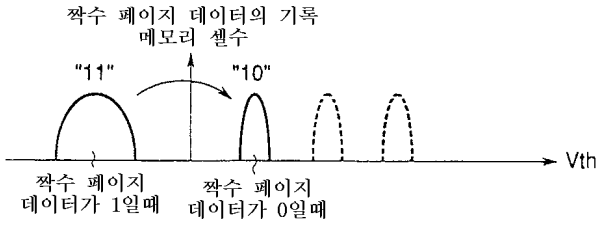
도면12


RDECADS
DHN8
Vdd
ROWGATE
DHN9
ROWPROG1B
CINV5
CINV6
READ/PROGRAM
ERASE
TP7
TP6
Vdd
CINV7
ROWERASE2B
ROWERASE3n
ROWERASE2
ROWPROG1
ROWPROG1B
RDECADS2
X2
ROWPE
NAND2
Owc
NAND1
BSTON
DHN1
26 고전압 스위치 회로
I2
Vdd
DHN3
DHN2
DHN5
DHN4
HN3
HN2
HN1
VRDEC
Transfer G2
HN4
RMAIN2
SGS
CG16
CG15
CG2
CG1
SGD
HN6
HN16
HN15
HN2
HN11
HN5
SGDS
HN8
HN7
SG2
WL16
WL15
WL2
WL1
SG1

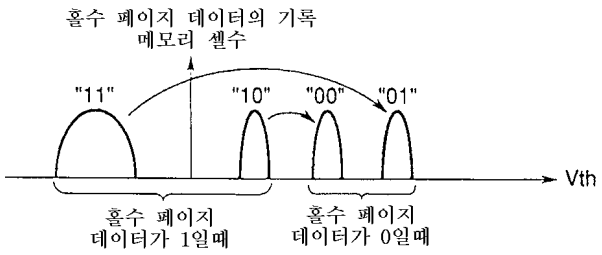
도면13


홀수 페이지 데이터
짝수 페이지 데이터
메모리 셀수
"**"
"11"
"10"
"00"
"01"
Vth
Vcgr10
(0V)
Vcgr00
(0.7V)
Vcgr01
(1.45V)
Vread
(3.5V)
Vcgv10
(0.15v)
Vcgv00
(0.9v)
Vcgv01
(1.75v)

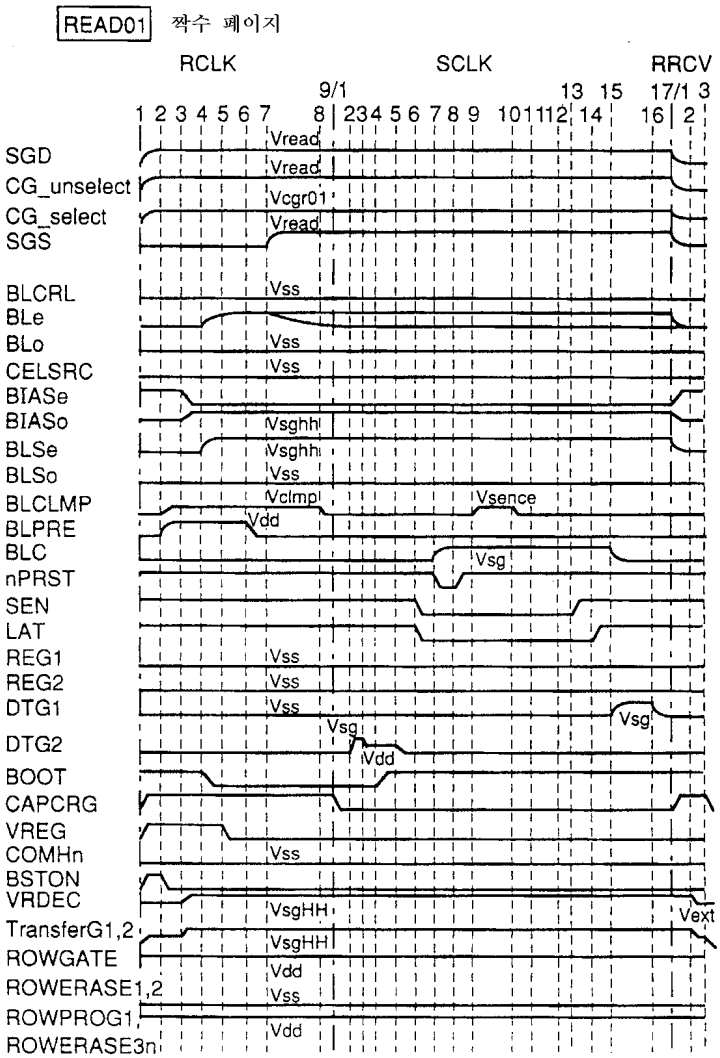
도면14



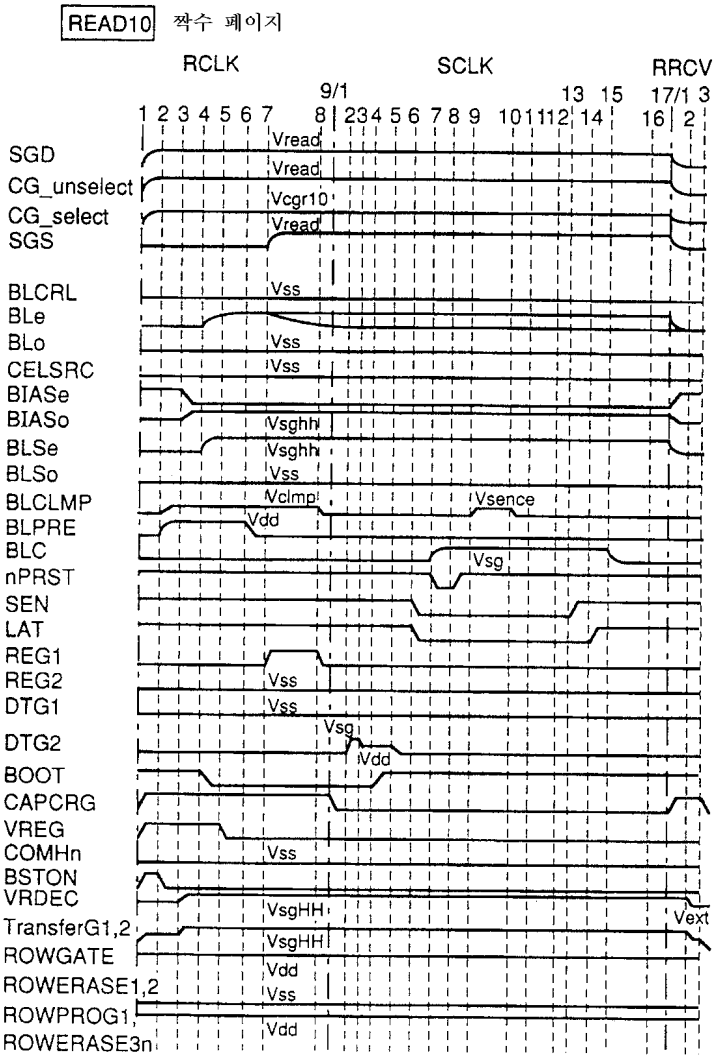
도면15



도면16

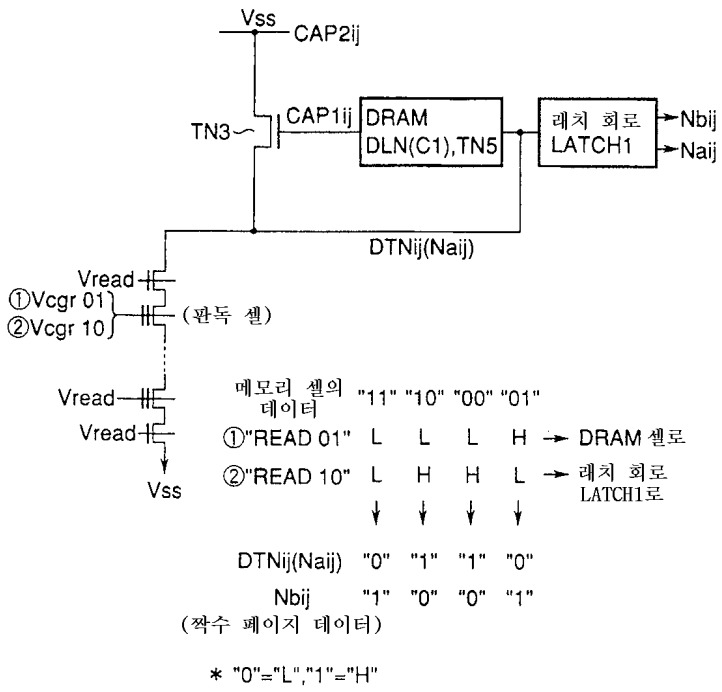


도면17

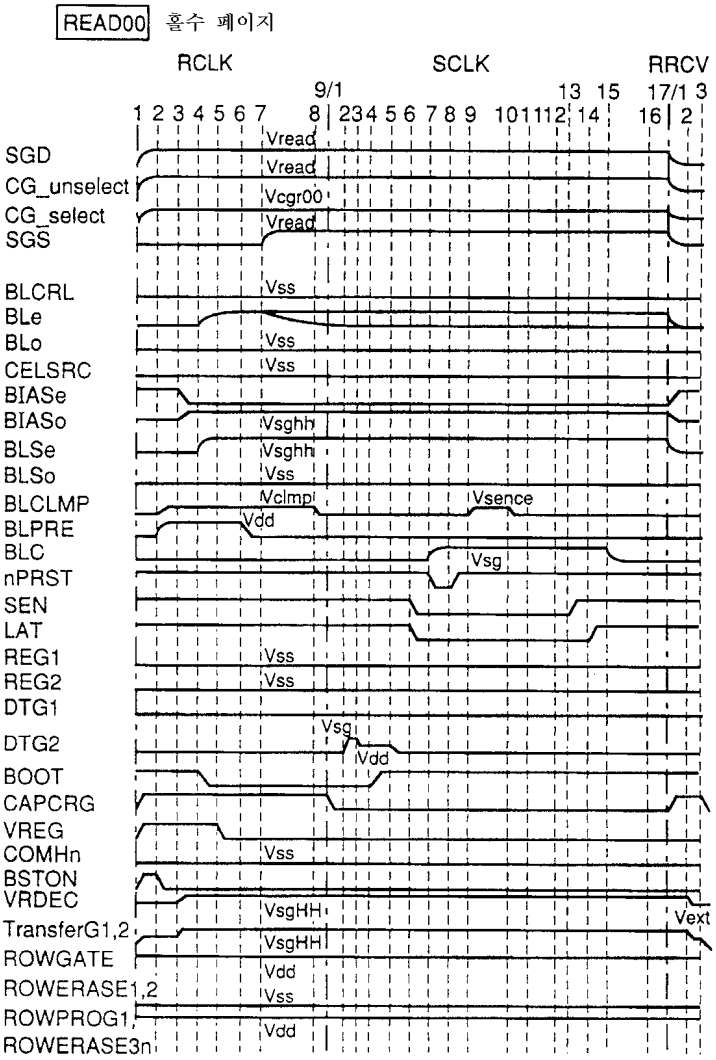

READ10
짝수 페이지
RCLK
SCLK
RRCV
9/1
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vread
Vcgr10
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

도면18

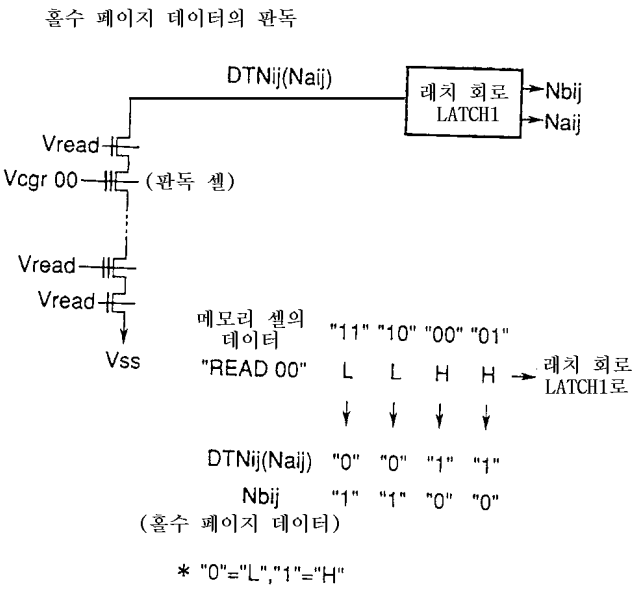
짝수 페이지 데이터의 판독



도면19

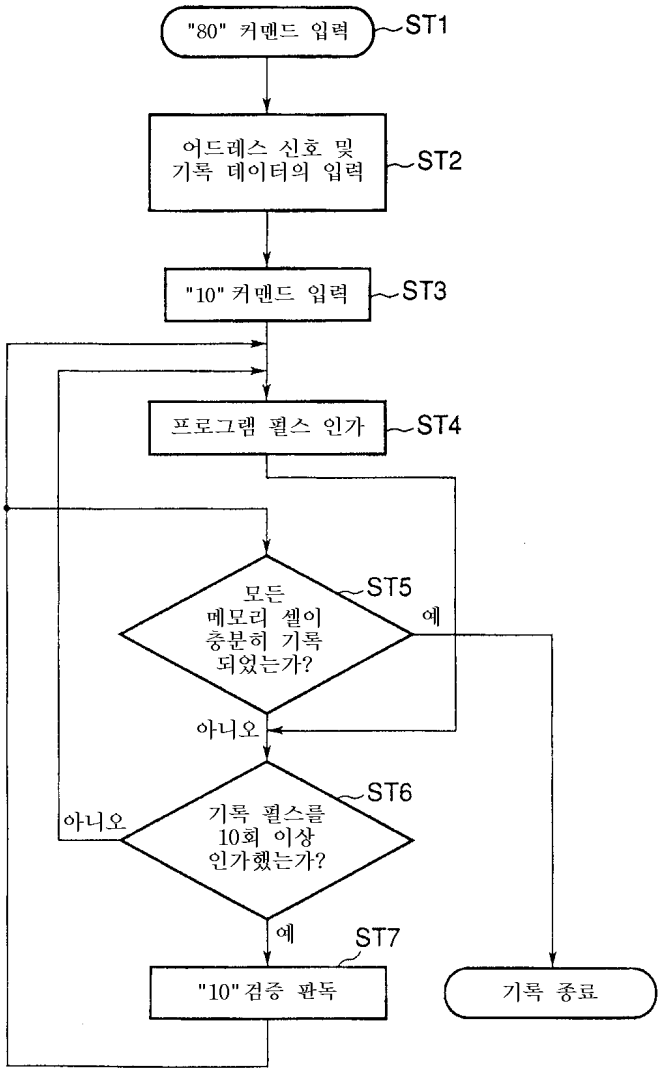

READ00 홀수 페이지
RCLK
SCLK
RRCV
9/1
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vread
Vcgr00
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

도면20

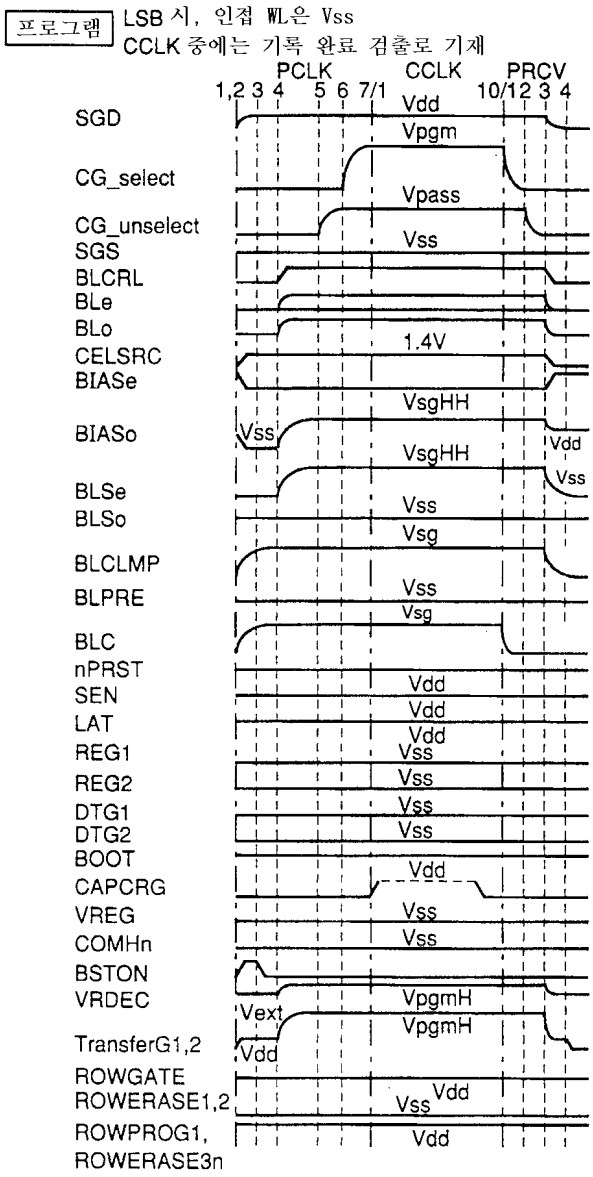

홀수 페이지 데이터의 판독
DTNij(Naij)
래치 회로
LATCH1
Nbij
Naij
Vread
Vcgr 00
(판독 셀)
Vread
Vread
Vss
메모리 셀의 데이터
"READ 00"
"11" "10" "00" "01"
L L H H
래치 회로 LATCH1로
DTNij(Naij) "0" "0" "1" "1"
Nbij "1" "1" "0" "0"
(홀수 페이지 데이터)
* "0"="L","1"="H"

도면21

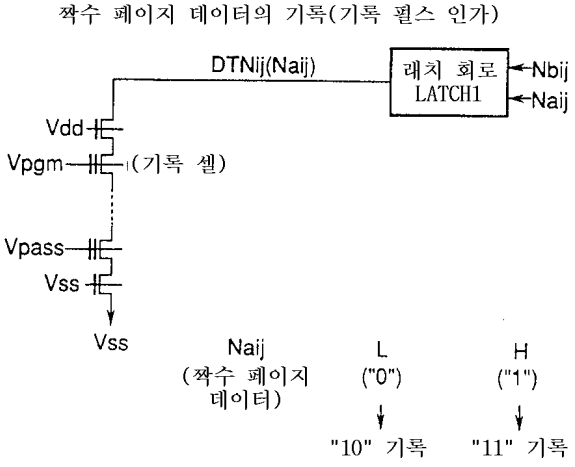
짝수 페이지 데이터의 기록 동작



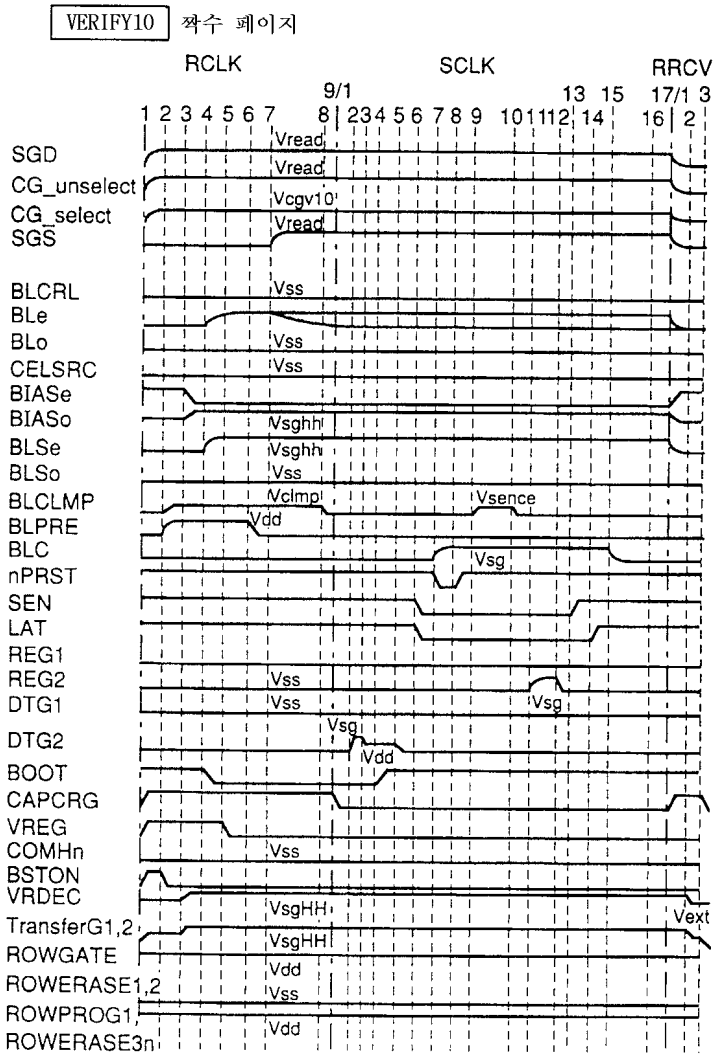
도면22


프로그램
LSB 시, 인접 WL은 Vss
CCLK 중에는 기록 완료 검출로 기재
PCLK
CCLK
PRCV
1,2 3 4
5 6 7/1
10/12 3 4
SGD
CG_select
CG_unselect
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vdd
Vpgm
Vpass
Vss
1.4V
VsgHH
Vsg
Vext
VpgmH

도면23

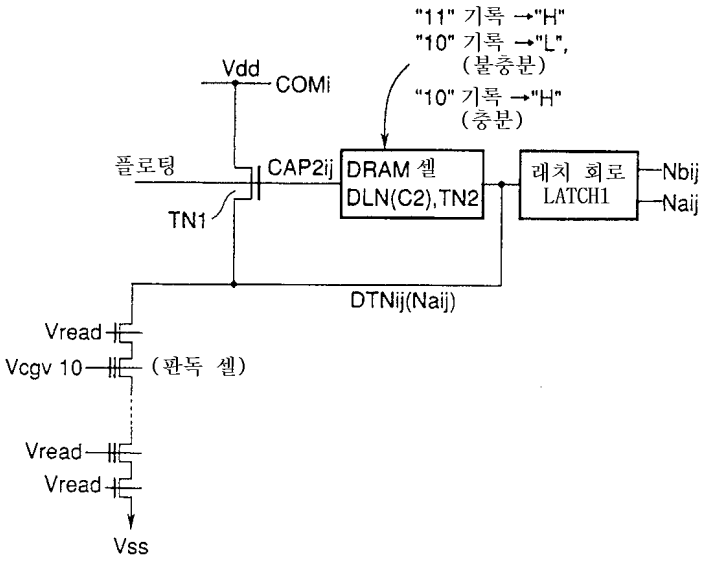

짝수 페이지 데이터의 기록(기록 펄스 인가)
DTNij(Naij)
래치 회로
LATCH1
Nbij
Naij
Vdd
Vpgm
(기록 셀)
Vpass
Vss
Vss
Naij
(짝수 페이지 데이터)
L
("0")
H
("1")
"10" 기록
"11" 기록

도면24


VERIFY10
짝수 페이지
RCLK
SCLK
RRCV
9/1
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcgv10
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

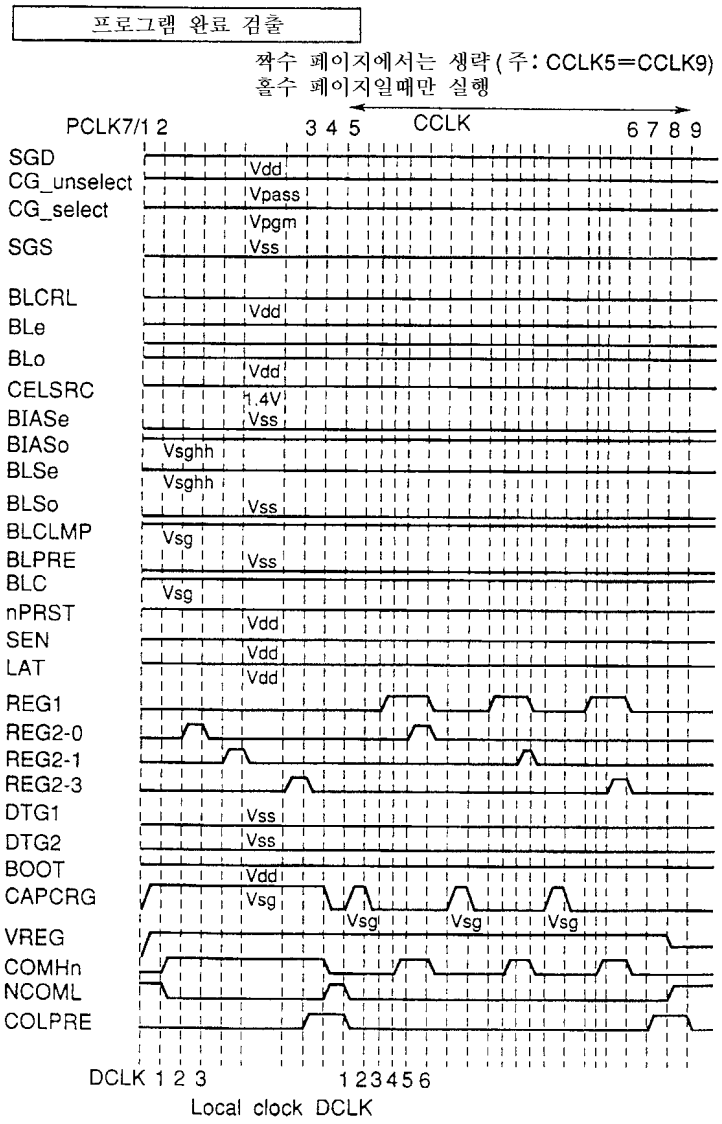
도면25

짝수 페이지 데이터의 기록("10" 검증 판독)

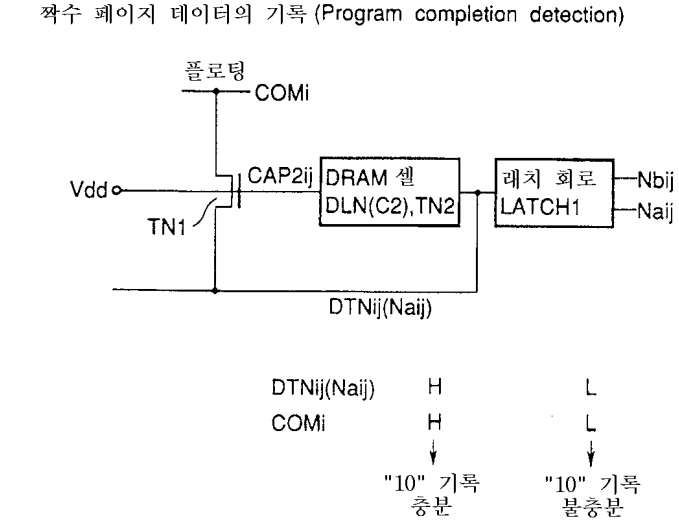


	"11" 기록	"10" 기록		
메모리 셀의 상태	"11"	"10" 불충분	"10" 충분	
비트선	L	L	H	
DTNij(Naij)	H	L	H →	래치 회로 LATCH1로

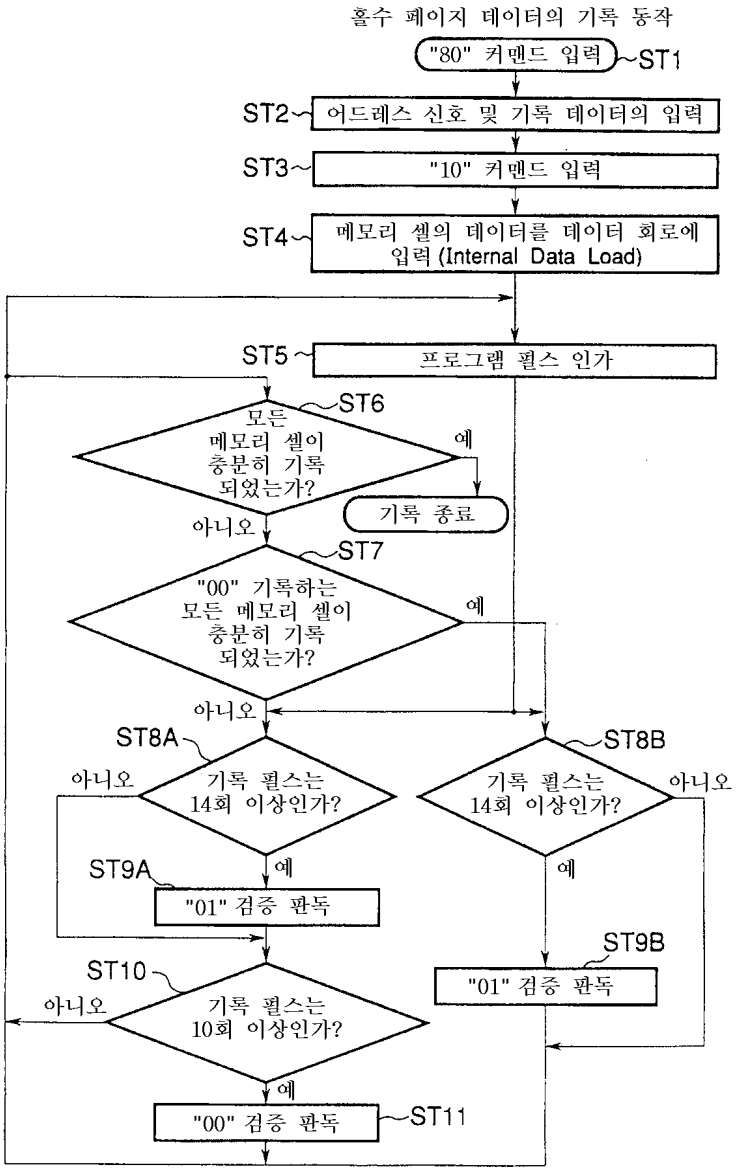
도면26


프로그램 완료 검출
짝수 페이지에서는 생략 (주 : CCLK5=CCLK9)
홀수 페이지일때만 실행
PCLK7/1 2
3 4 5
CCLK
6 7 8 9
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2-0
REG2-1
REG2-3
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
NCOML
COLPRE
Vdd
Vpass
Vpgm
Vss
1.4V
Vsghh
Vsg
DCLK 1 2 3
1 2 3 4 5 6
Local clock DCLK

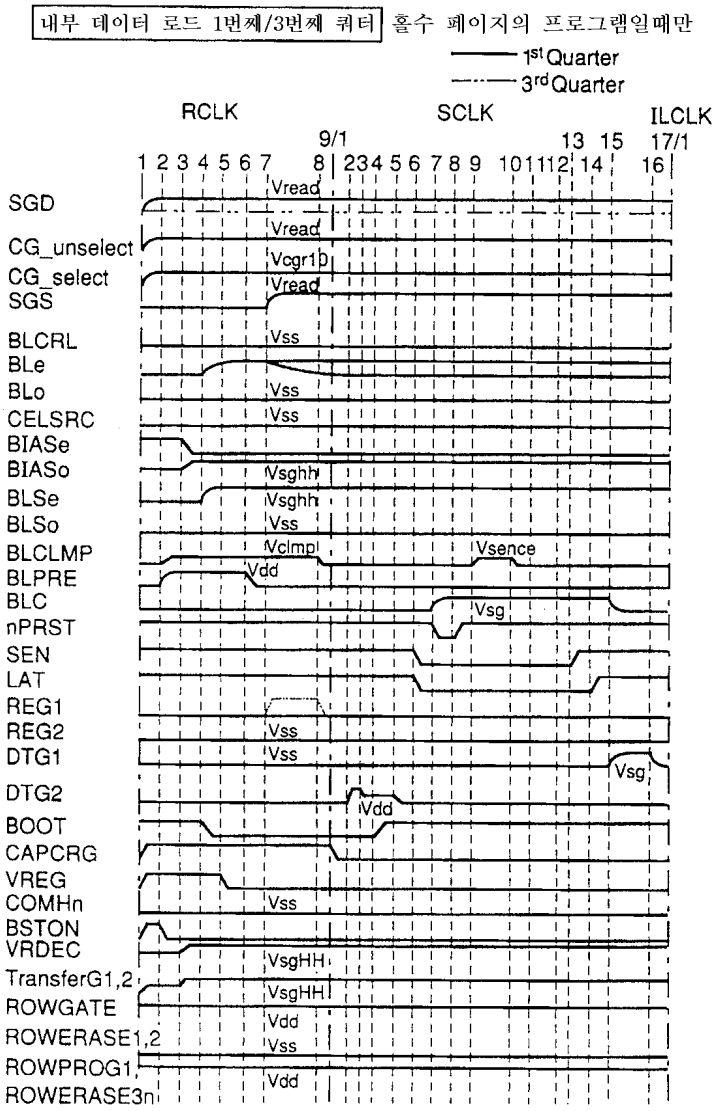
도면27


짝수 페이지 데이터의 기록 (Program completion detection)
플로팅
COMi
Vdd
CAP2ij
TN1
DRAM 셀
DLN(C2),TN2
래치 회로
LATCH1
Nbij
Naij
DTNij(Naij)
DTNij(Naij) H L
COMi H L
"10" 기록 충분
"10" 기록 불충분

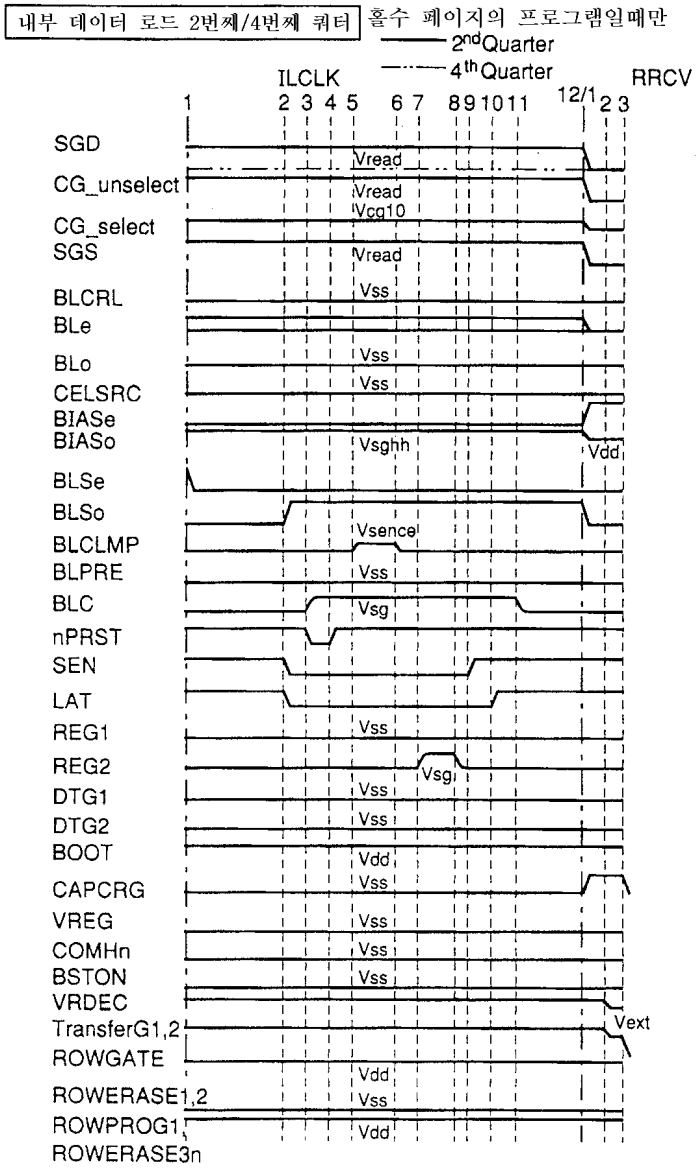
도면28


홀수 페이지 데이터의 기록 동작
"80" 커맨드 입력
ST1
ST2
어드레스 신호 및 기록 데이터의 입력
ST3
"10" 커맨드 입력
ST4
메모리 셀의 데이터를 데이터 회로에 입력 (Internal Data Load)
ST5
프로그램 펄스 인가
ST6
모든 메모리 셀이 충분히 기록 되었는가?
예
기록 종료
아니오
ST7
"00" 기록하는 모든 메모리 셀이 충분히 기록 되었는가?
예
아니오
ST8A
기록 펄스는 14회 이상인가?
아니오
예
ST9A
"01" 검증 판독
ST8B
기록 펄스는 14회 이상인가?
아니오
예
ST9B
"01" 검증 판독
ST10
기록 펄스는 10회 이상인가?
아니오
예
"00" 검증 판독
ST11

도면29

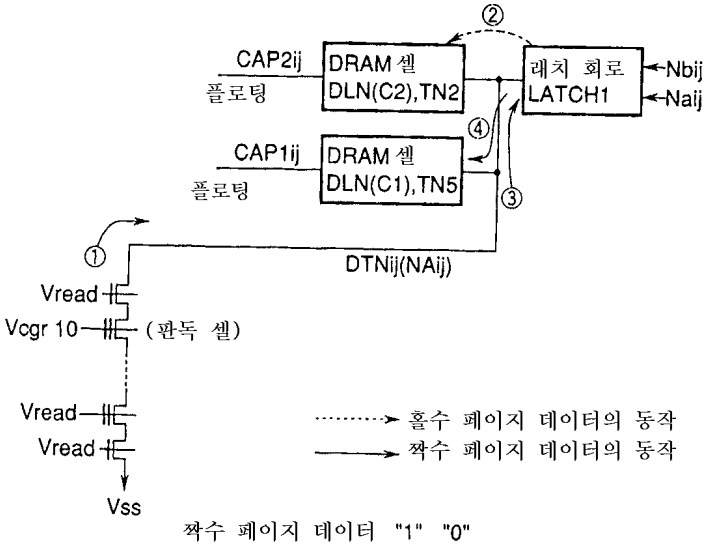

내부 데이터 로드 1번째/3번째 쿼터 홀수 페이지의 프로그램일때만
1st Quarter
3rd Quarter
RCLK
SCLK
ILCLK
9/1
17/1
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcgr1b
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH

도면30


내부 데이터 로드 2번째/4번째 쿼터
홀수 페이지의 프로그램일때만
2nd Quarter
4th Quarter
ILCLK
RRCV
1 2 3 4 5 6 7 8 9 10 11 12/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcg10
Vss
Vsghh
Vdd
Vsence
Vsg
Vext

도면31

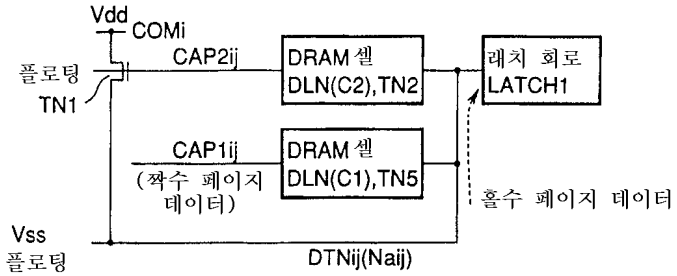
홀수 페이지 데이터의 기록(내부 데이터 로드 1번째 쿼터)



짝수 페이지 데이터 "1" "0"
DTNij(Naij) "L" "H"

도면32

홀수 페이지 데이터의 기록 (내부 데이터 로드 2번째 쿼터)

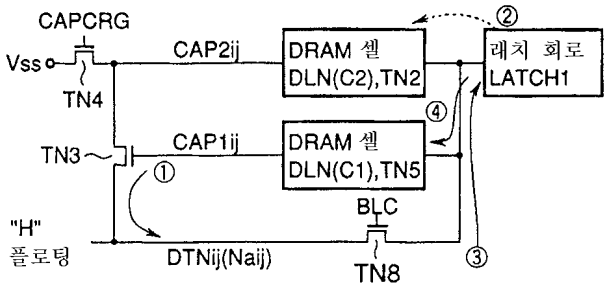


홀수 페이지 데이터 "1" "0"
CAP2ij "H" "L"
DTNij "H" "L"

짝수 페이지 데이터 "1" "0"
CAP1ij "L" "H"

도면33

홀수 페이지 데이터의 기록(내부 데이터 로드 3번째 쿼터)



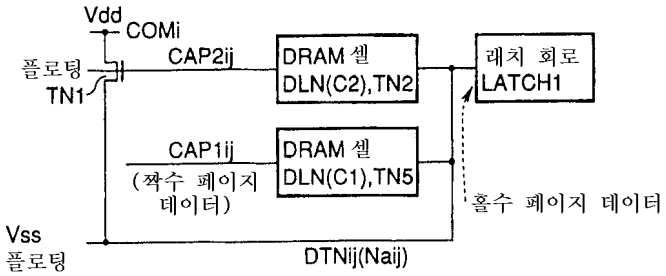
짝수 페이지 데이터	"1"	"0"
CAP1ij	"L"	"H"
DTNij	"H"	"L"

⋯⋯▶ 홀수 페이지 데이터의 동작

——▶ 짝수 페이지 데이터의 동작

도면34

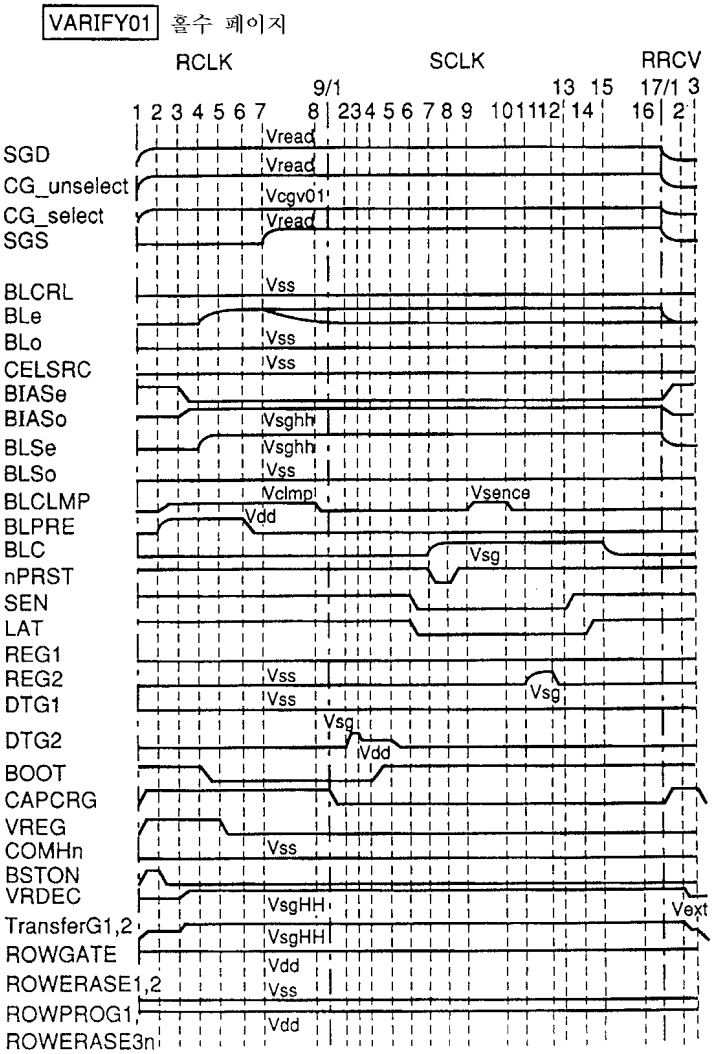
홀수 페이지 데이터의 기록(내부 데이터 로드 4번째 쿼터)



홀수 페이지 데이터	"1"	"0"
CAP2ij	"H"	"L"
DTNij	"H"	"L"

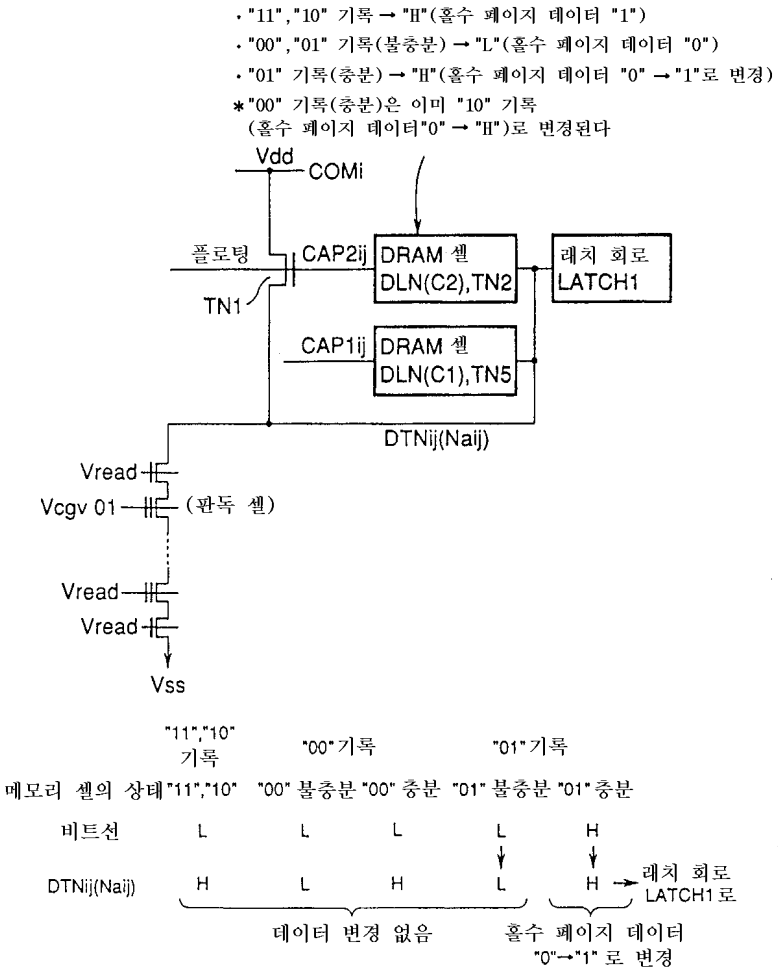
짝수 페이지 데이터	"1"	"0"
CAP1ij	"H"	"L"

도면35

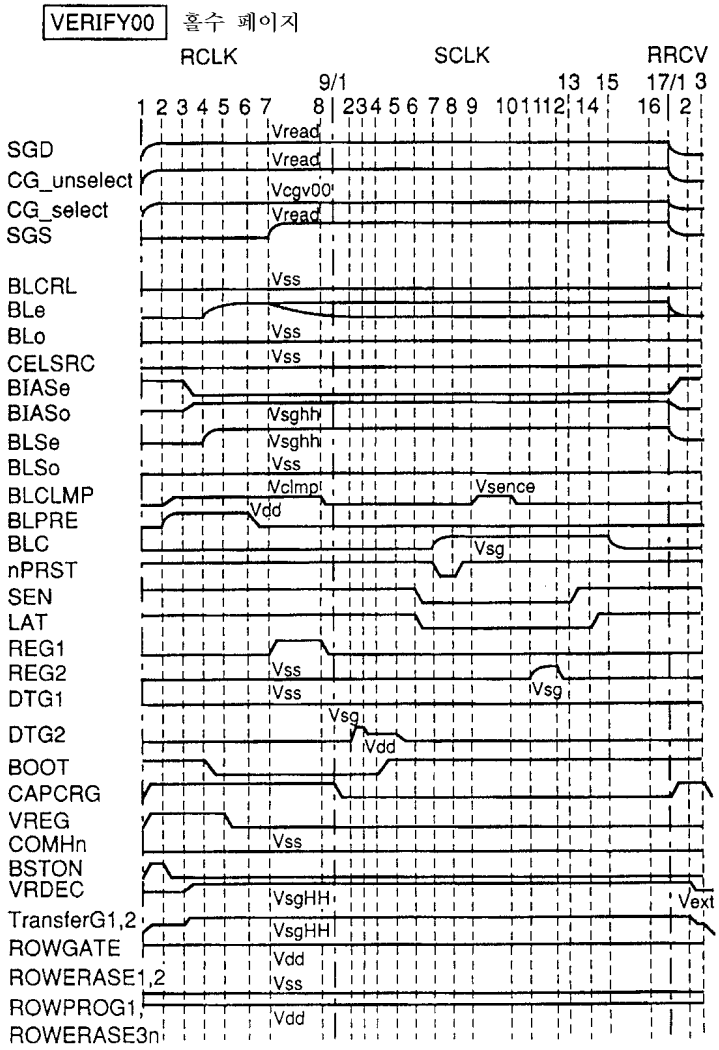

VARIFY01
홀수 페이지
RCLK
SCLK
RRCV
9/1
13 15
17/1 3
1 2 3 4 5 6 7 8 23 4 5 6 7 8 9 10 11 12 14 16 2
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vread
Vcgv01
Vss
Vsghh
Vclmp
Vdd
Vsence
Vsg
VsgHH
Vext

도면36

홀수 페이지 데이터의 기록("01" 베리파이 리드)

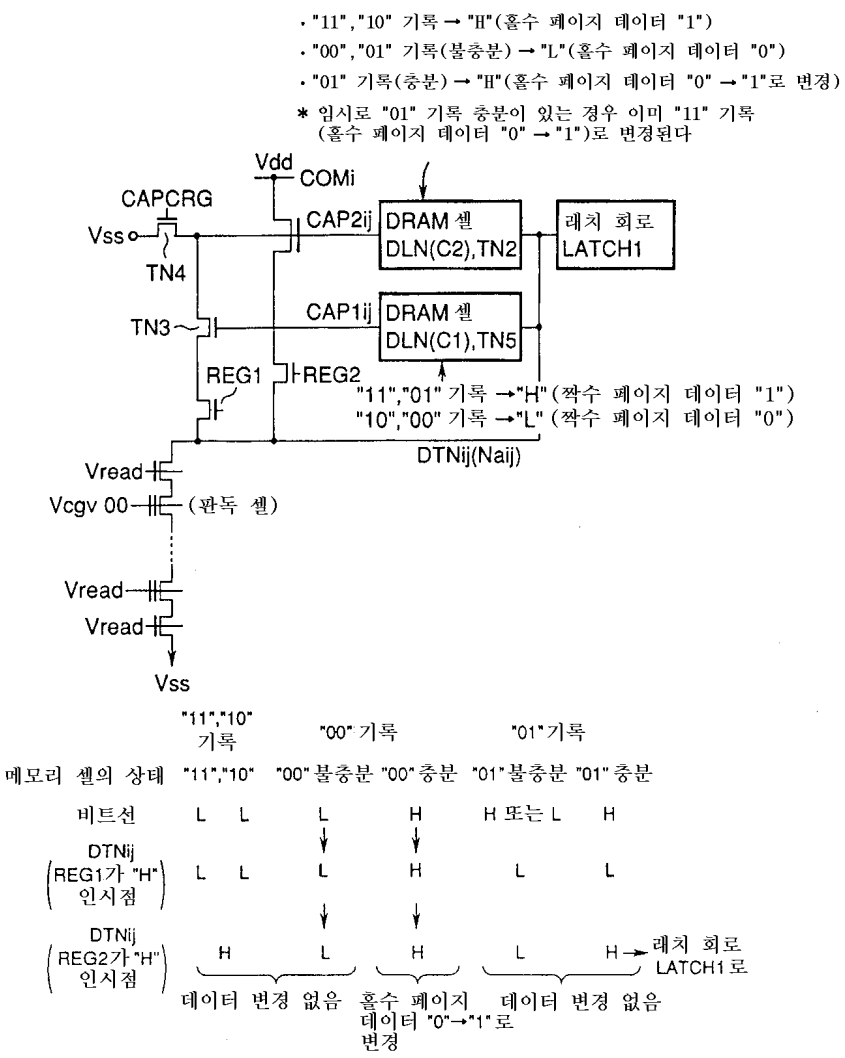


도면37

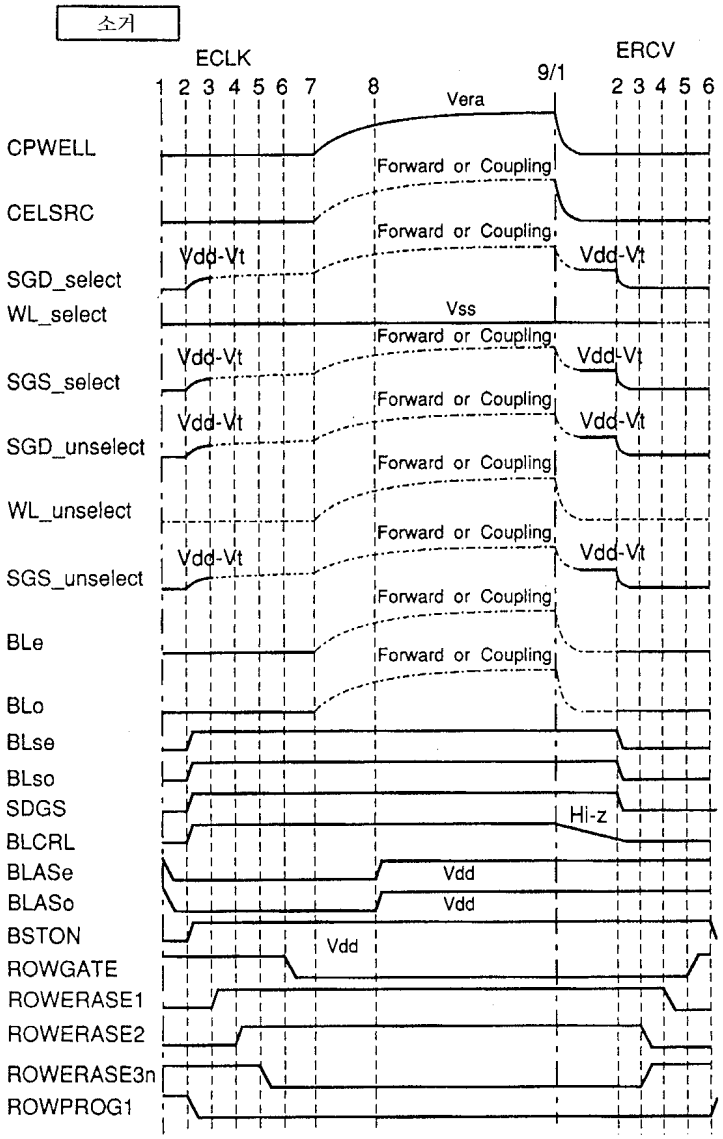

VERIFY00
홀수 페이지
RCLK
SCLK
RRCV
9/1
13 15
17/1 3
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 14 16 2
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vread
Vcgv00
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

도면38

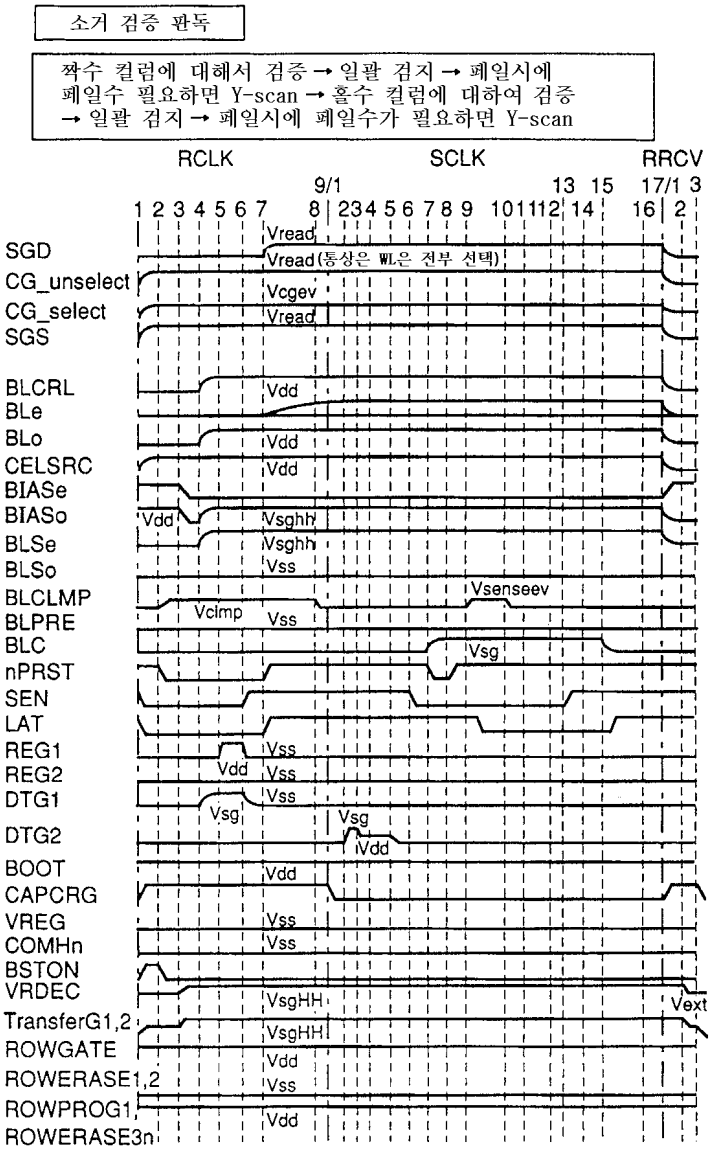
홀수 페이지 데이터의 기록("00" 베리파이 리드)



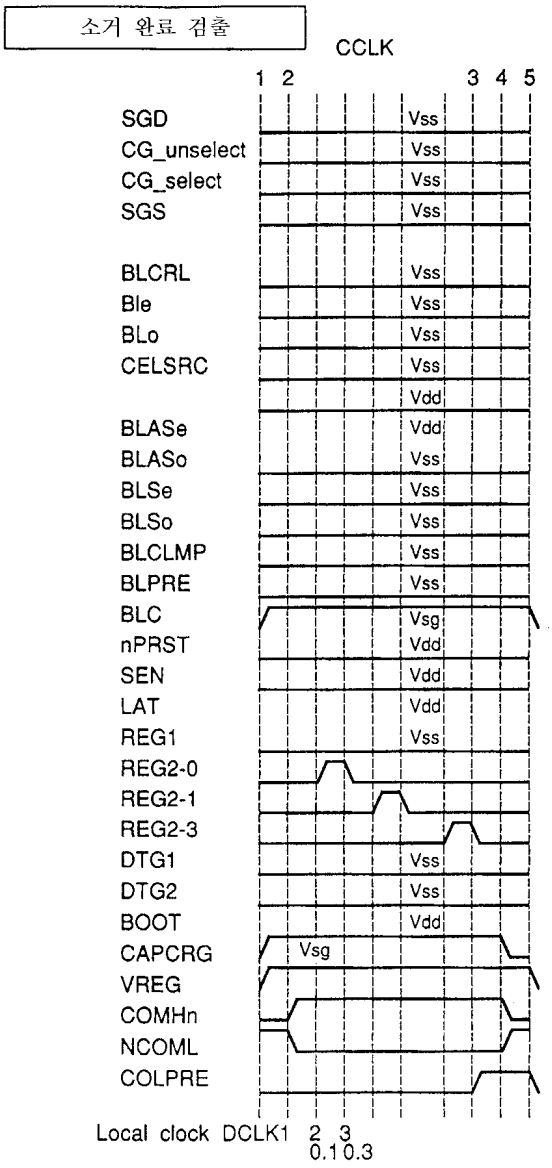
도면39


소거
ECLK
ERCV
1 2 3 4 5 6 7 8 9/1 2 3 4 5 6
CPWELL
CELSRC
SGD_select
WL_select
SGS_select
SGD_unselect
WL_unselect
SGS_unselect
BLe
BLo
BLse
BLso
SDGS
BLCRL
BLASe
BLASo
BSTON
ROWGATE
ROWERASE1
ROWERASE2
ROWERASE3n
ROWPROG1
Vera
Forward or Coupling
Vdd-Vt
Vss
Hi-z
Vdd

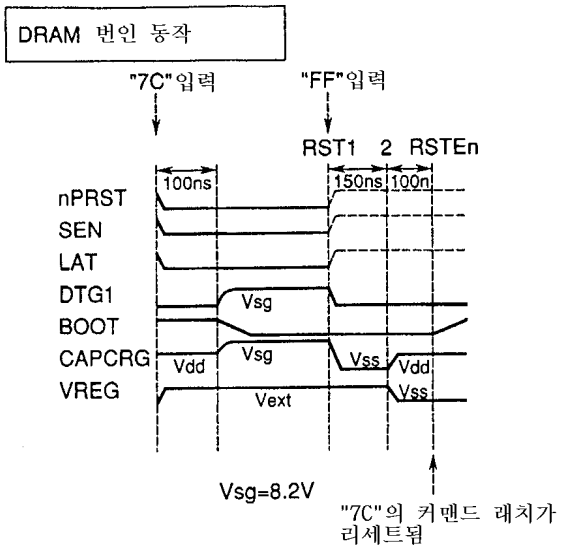
도면40


소거 검증 판독
짝수 컬럼에 대해서 검증 → 일괄 검지 → 페일시에
페일수 필요하면 Y-scan → 홀수 컬럼에 대하여 검증
→ 일괄 검지 → 페일시에 페일수가 필요하면 Y-scan
RCLK
SCLK
RRCV
1 2 3 4 5 6 7 8/1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vread
Vread (통상은 WL은 전부 선택)
Vcgev
Vread
Vdd
Vdd
Vdd
Vdd
Vsghh
Vsghh
Vss
Vsenseev
Vclmp
Vss
Vsg
Vss
Vdd
Vss
Vss
Vsg
Vsg
Vdd
Vdd
Vss
Vss
VsgHH
VsgHH
Vdd
Vss
Vdd
Vext

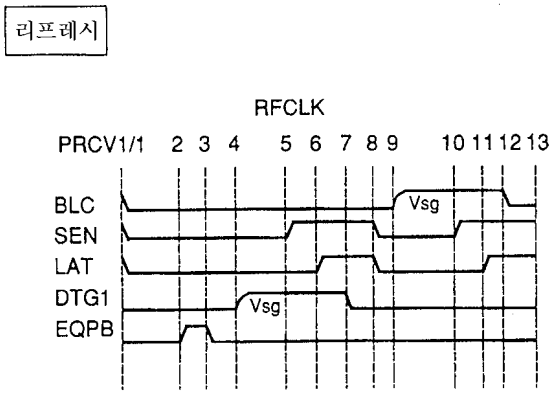
도면41


소거 완료 검출
CCLK
1 2 3 4 5
SGD
CG_unselect
CG_select
SGS
BLCRL
Ble
BLo
CELSRC
BLASe
BLASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2-0
REG2-1
REG2-3
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
NCOML
COLPRE
Vss
Vdd
Vsg
Local clock DCLK1 2 3
0.1 0.3

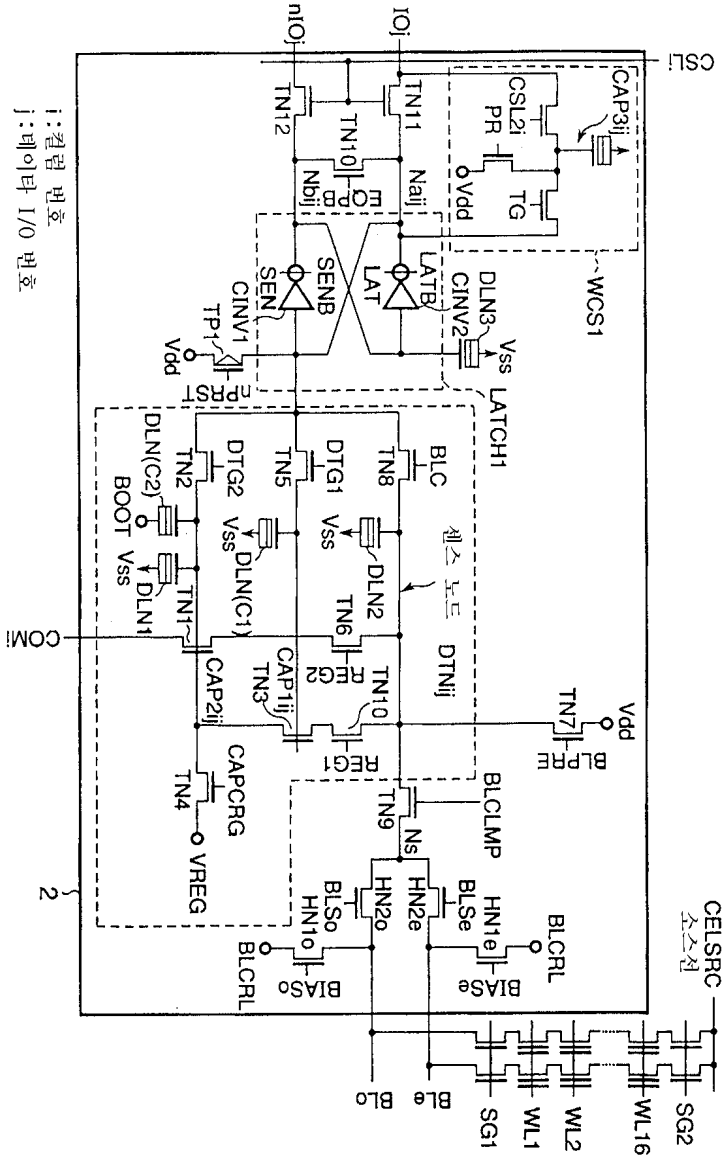
도면42


DRAM 번인 동작
"7C"입력
"FF"입력
RST1 2 RSTEn
100ns
150ns 100n
nPRST
SEN
LAT
DTG1
BOOT
CAPCRG
VREG
Vsg
Vdd
Vss
Vext
Vsg=8.2V
"7C"의 커맨드 래치가
리세트됨

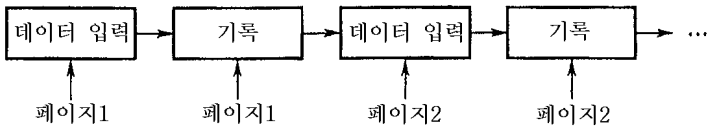
도면43


리프레시
RFCLK
PRCV1/1 2 3 4 5 6 7 8 9 10 11 12 13
BLC
SEN
LAT
DTG1
EQPB
Vsg
Vsg

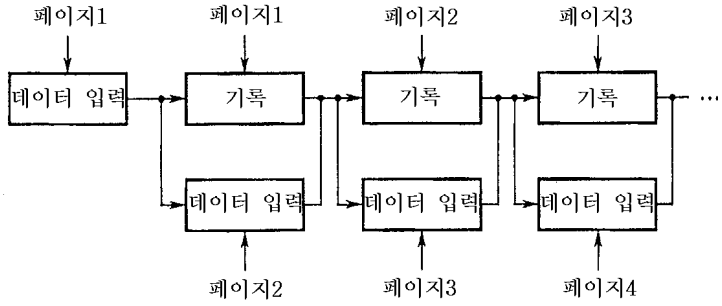
도면44


i : 컬럼 번호
j : 데이타 I/O 번호
nIOj
IOj
CSLi
TN12
TN11
TN10
CSL2i
PR
CAP3ij
Vdd
TG
Nbij
EQB
Naij
WCS1
SEN
SENB
LAT
LATB
CINV2
DLN3
Vss
CINV1
TP1
Vdd
PRST
LATCH1
DLN(C2)
BOOT
Vss
DLN1
TN2
DTG2
TN5
DTG1
TN8
BLC
센스 노드
DLN(C1)
DLN2
TN1
TN6
REG2
DTNij
COMi
CAP2ij
CAP1ij
TN3
TN10
TN7
Vdd
BLPRE
REG1
BLCLMP
CAPCRG
TN4
VREG
TN9
Ns
2
HN2o
HN2e
BLSo
BLSe
HN1o
HN1e
BLCRL
BIASo
BIASe
BLCRL
CELSRC
소스선
BLo
BLe
SG1
WL1
WL2
WL16
SG2

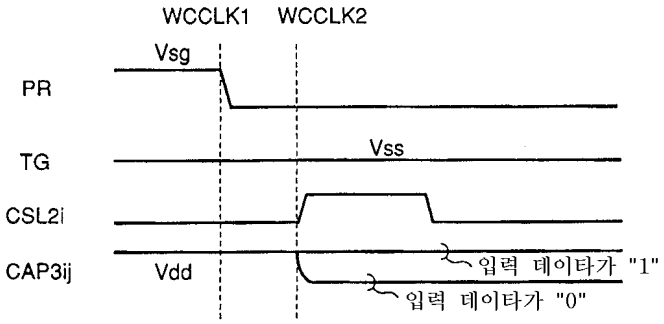
도면45



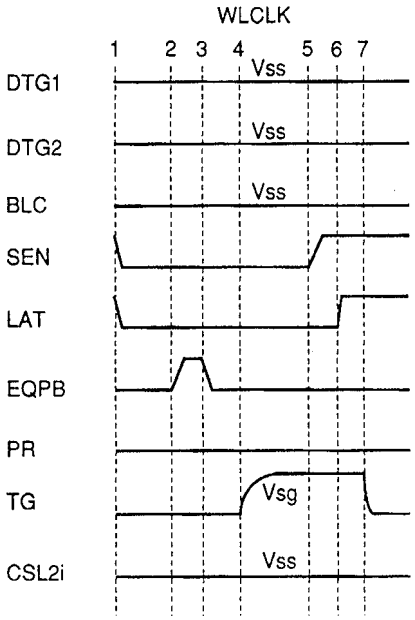
도면46



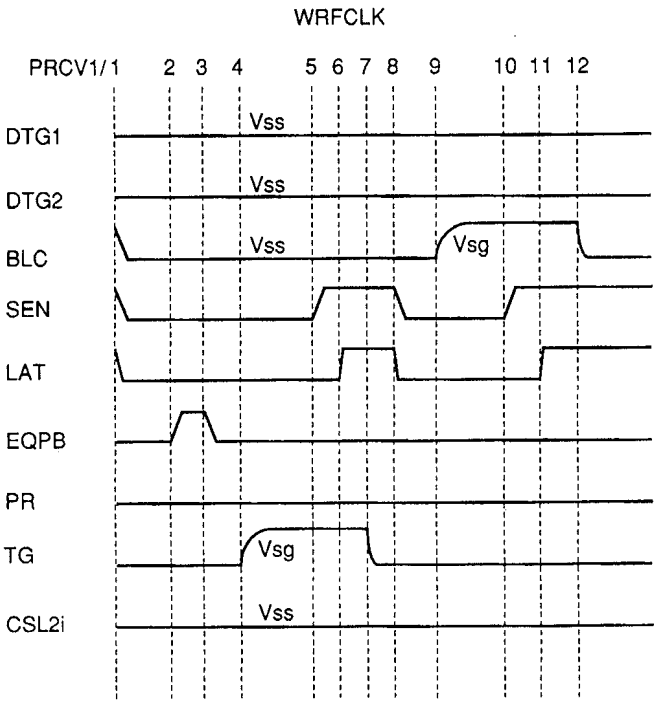
도면47



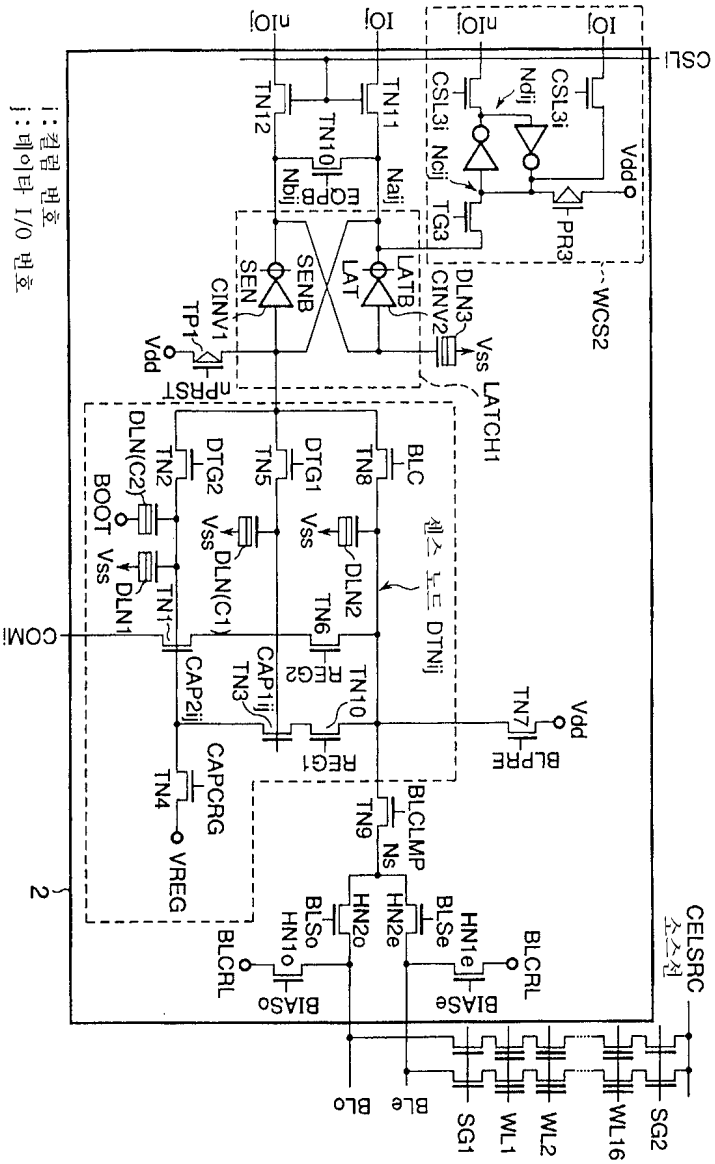
도면48



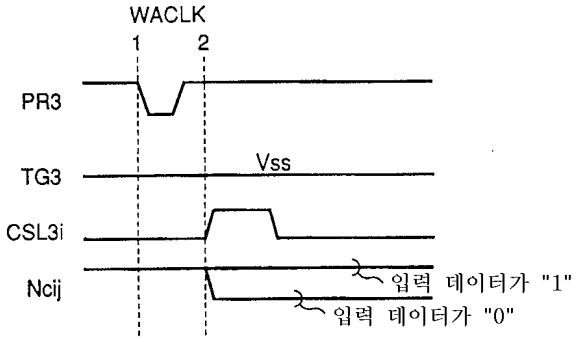
도면49


WRFCLK
PRCV1/1
2
3
4
5
6
7
8
9
10
11
12
DTG1
Vss
DTG2
Vss
BLC
Vss
Vsg
SEN
LAT
EQPB
PR
TG
Vsg
CSL2i
Vss

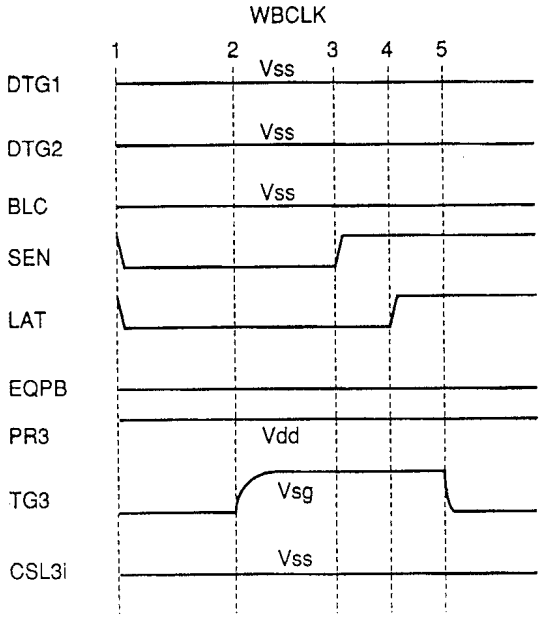
도면50


i : 컬럼 번호
j : 데이타 I/O 번호
CSLi
IOj
nIOj
CSL3i
Ncij
Vdd
PR3
WCS2
TN12
TN11
TN10
Nbij
Naij
TG3
SEN
SENB
LAT
LATB
CINV1
CINV2
DLN3
TP1
PRST
Vss
LATCH1
DLN(C2)
BOOT
TN2
DTG2
TN5
DTG1
TN8
BLC
DLN(C1)
DLN1
TN1
DLN2
TN6
센스 노드 DTNij
COMi
CAP2ij
CAP1ij
TN3
REG2
REG1
TN10
TN7
BLPRE
CAPCRG
TN4
VREG
TN9
BLCLMP
Ns
HN2o
HN2e
HN1o
HN1e
BLSo
BLSe
BLCRL
BIASo
BIASe
CELSRC
소스선
2
BLo
BLe
SG1
WL1
WL2
WL16
SG2

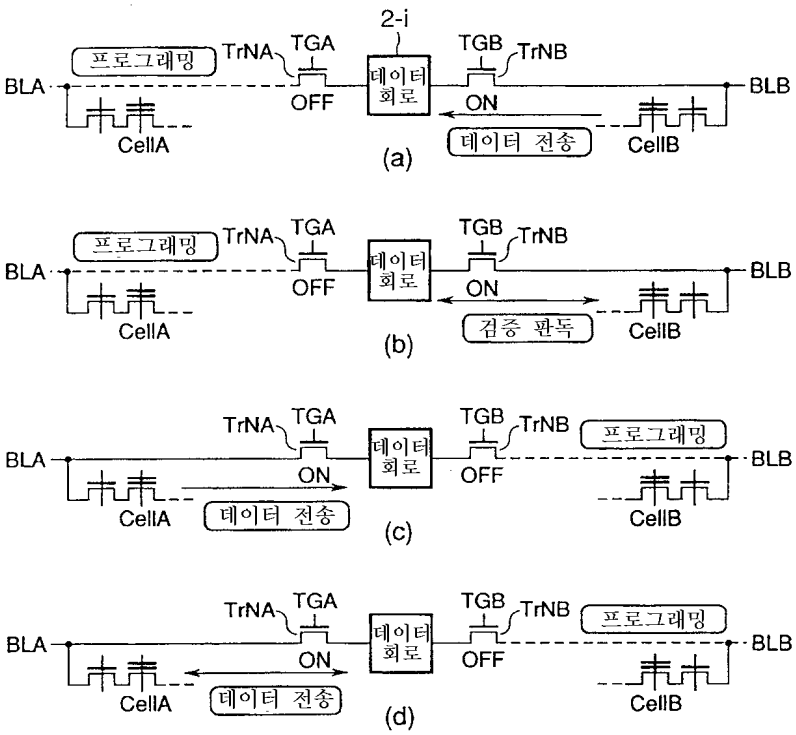
도면51


WACLK
1
2
PR3
TG3
Vss
CSL3i
Ncij
입력 데이터가 "1"
입력 데이터가 "0"

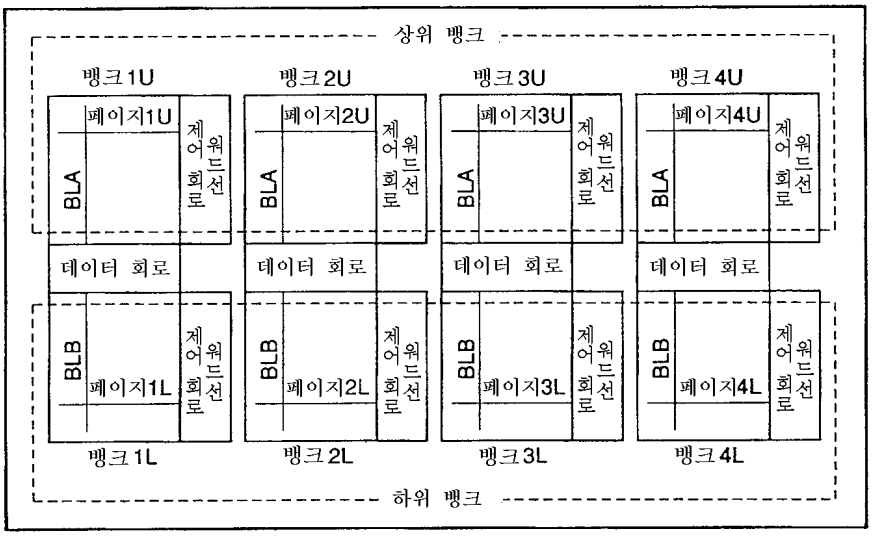
도면52


WBCLK
1
2
3
4
5
DTG1
Vss
DTG2
Vss
BLC
Vss
SEN
LAT
EQPB
PR3
Vdd
TG3
Vsg
CSL3i
Vss

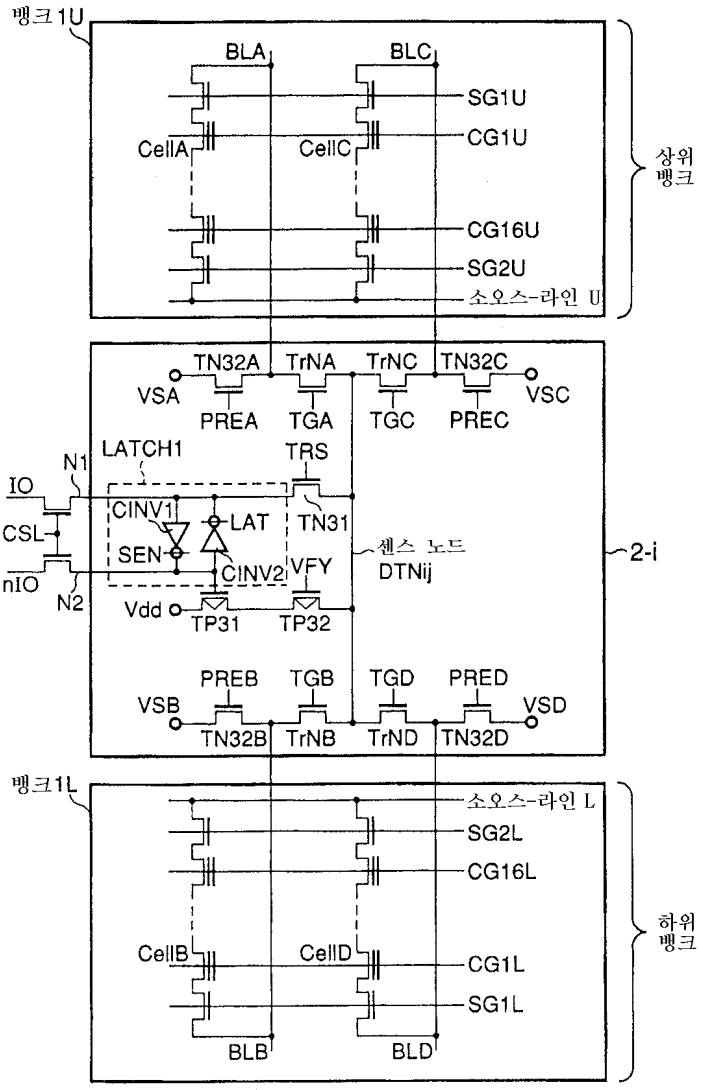
도면53


2-i
프로그래밍
TrNA
TGA
TGB
TrNB
BLA
BLB
데이터 회로
OFF
ON
데이터 전송
CellA
CellB
(a)
검증 판독
(b)
(c)
(d)

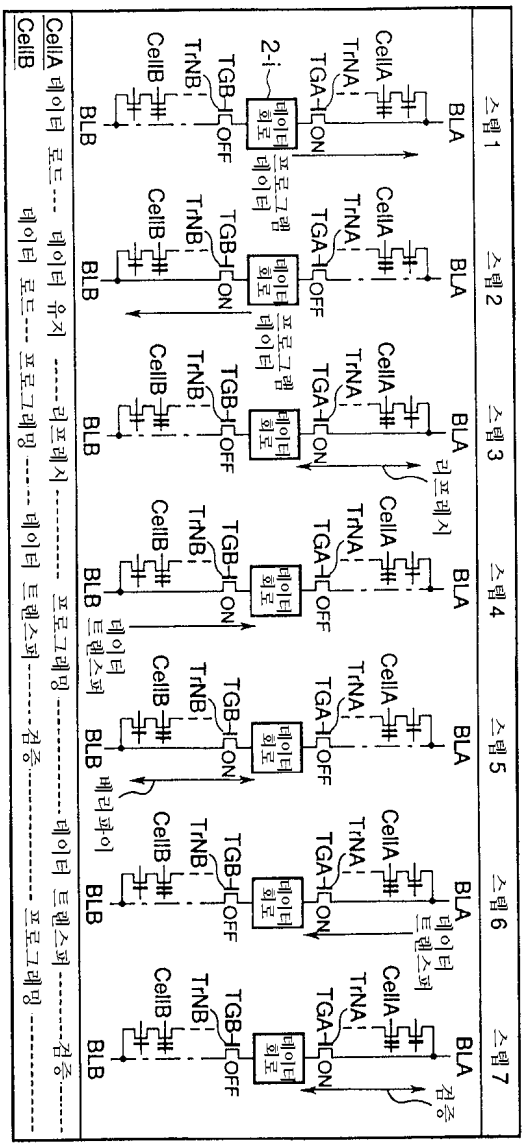
도면54


상위 뱅크
뱅크1U
뱅크2U
뱅크3U
뱅크4U
페이지1U
페이지2U
페이지3U
페이지4U
BLA
제어워드선 회로
데이터 회로
BLB
페이지1L
페이지2L
페이지3L
페이지4L
뱅크1L
뱅크2L
뱅크3L
뱅크4L
하위 뱅크

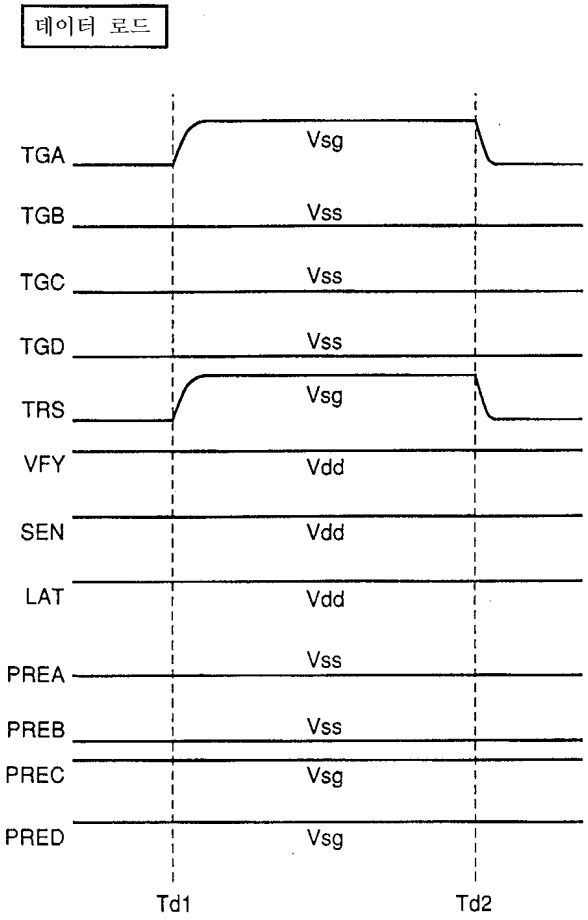
도면55


뱅크1U
BLA
BLC
SG1U
CG1U
CellA
CellC
CG16U
SG2U
소오스-라인 U
상위 뱅크
TN32A
TrNA
TrNC
TN32C
VSA
VSC
PREA
TGA
TGC
PREC
LATCH1
TRS
N1
IO
CSL
nIO
N2
CINV1
LAT
TN31
SEN
CINV2
VFY
센스 노드
DTNij
2-i
Vdd
TP31
TP32
PREB
TGB
TGD
PRED
VSB
VSD
TN32B
TrNB
TrND
TN32D
뱅크1L
소오스-라인 L
SG2L
CG16L
CellB
CellD
CG1L
SG1L
BLB
BLD
하위 뱅크

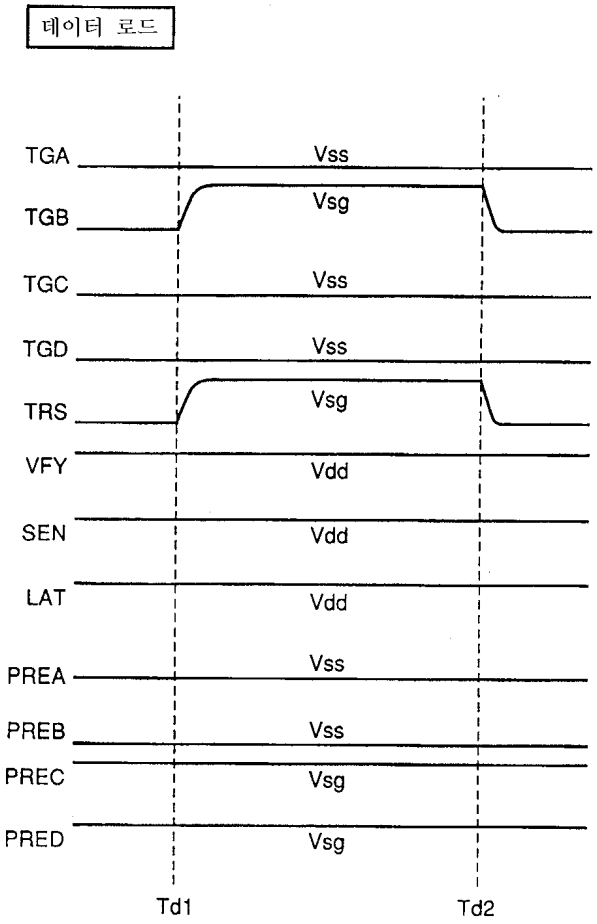
도면56


스텝1
스텝2
스텝3
스텝4
스텝5
스텝6
스텝7
BLA
BLB
CellA
CellB
TrNA
TrNB
TGA
TGB
ON
OFF
2-i
데이터 회로
프로그램 데이터
리프레시
데이터 트랜스퍼
베리파이
검증
CellA 데이터 로드
데이터 유지
리프레시
프로그래밍
데이터 트랜스퍼
검증
CellB
데이터 로드
프로그래밍
데이터 트랜스퍼
프로그래밍

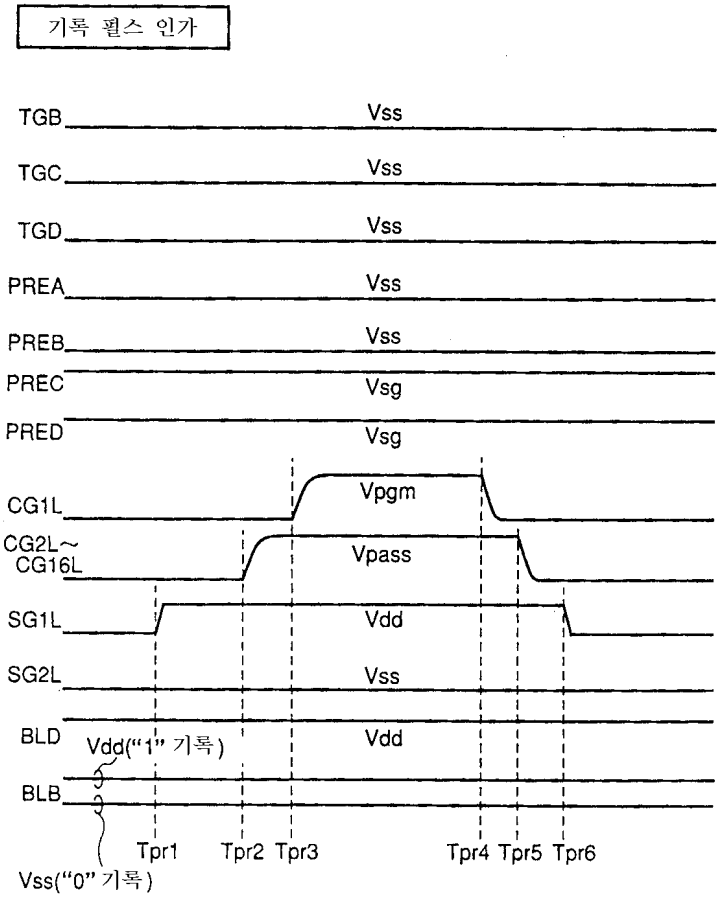
도면57


데이터 로드
TGA
Vsg
TGB
Vss
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
Vdd
LAT
Vdd
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
Td1
Td2

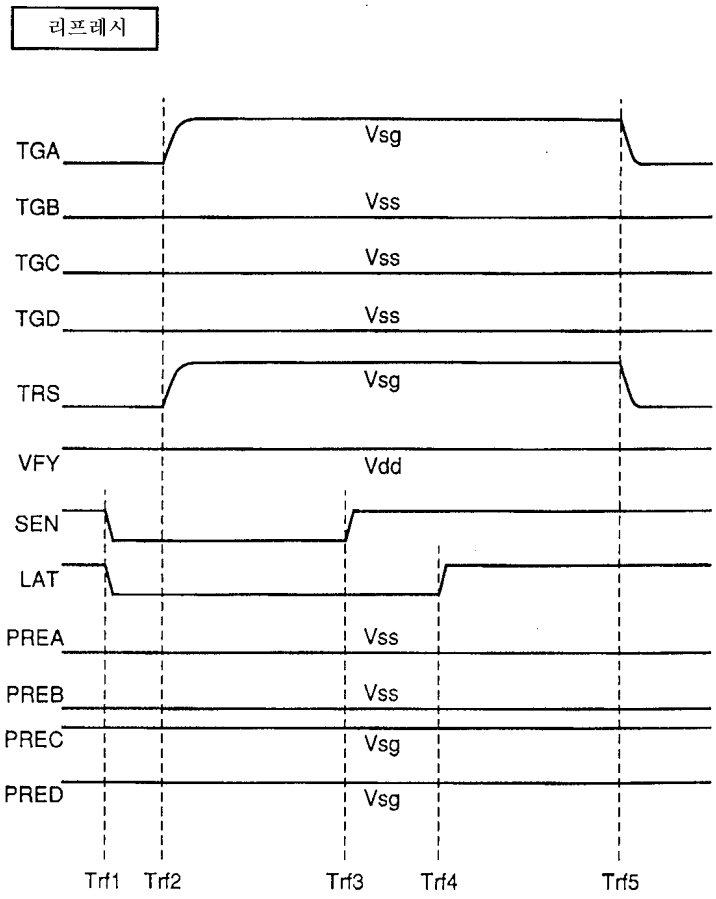
도면58


데이터 로드
TGA
Vss
TGB
Vsg
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
Vdd
LAT
Vdd
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
Td1
Td2

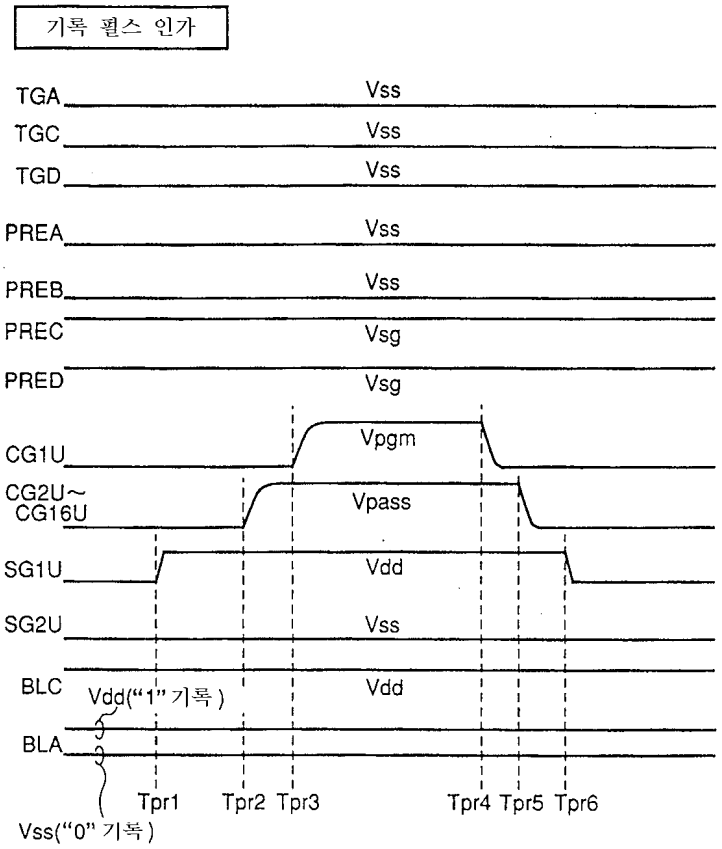
도면59


기록 펄스 인가
TGB
Vss
TGC
Vss
TGD
Vss
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
CG1L
Vpgm
CG2L~
CG16L
Vpass
SG1L
Vdd
SG2L
Vss
BLD
Vdd
Vdd("1" 기록)
BLB
Vss("0" 기록)
Tpr1
Tpr2
Tpr3
Tpr4
Tpr5
Tpr6

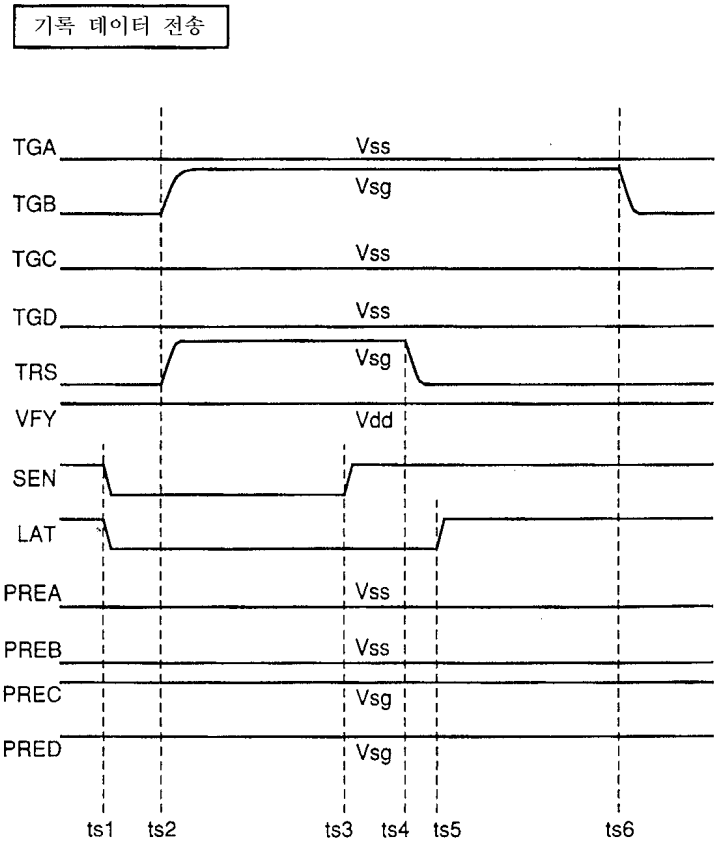
도면60


리프레시
TGA
Vsg
TGB
Vss
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
LAT
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
Trf1
Trf2
Trf3
Trf4
Trf5

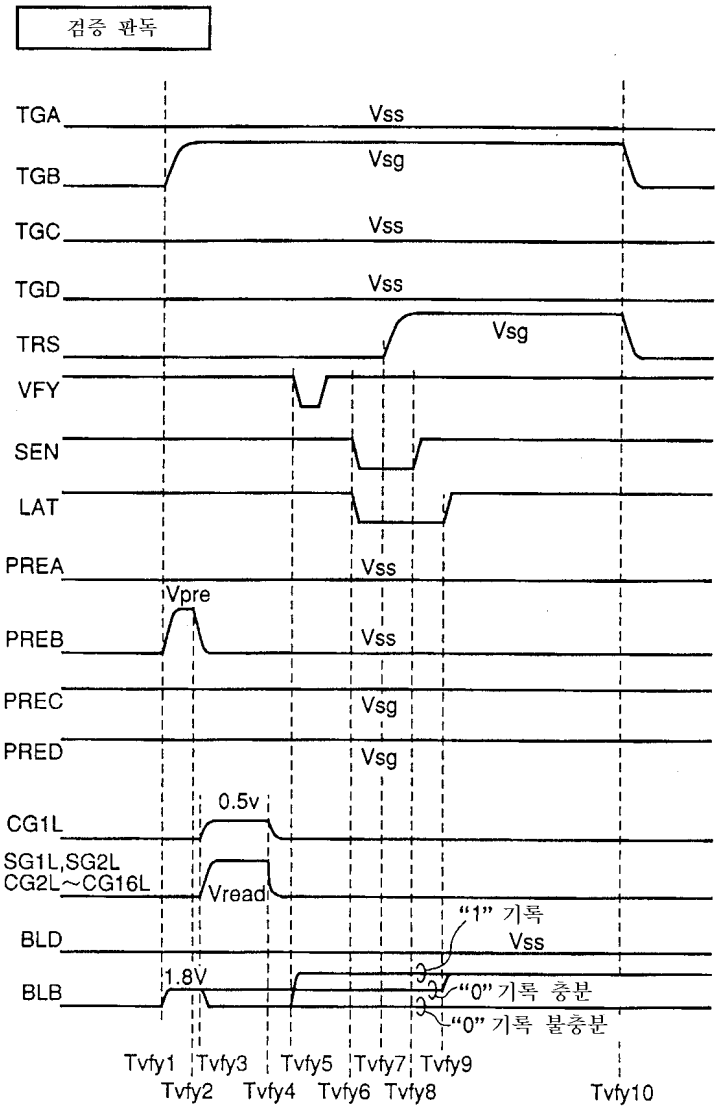
도면61


기록 펄스 인가
TGA
TGC
TGD
PREA
PREB
PREC
PRED
CG1U
CG2U~
CG16U
SG1U
SG2U
BLC
BLA
Vss
Vsg
Vpgm
Vpass
Vdd
Vdd("1" 기록)
Vss("0" 기록)
Tpr1
Tpr2
Tpr3
Tpr4
Tpr5
Tpr6

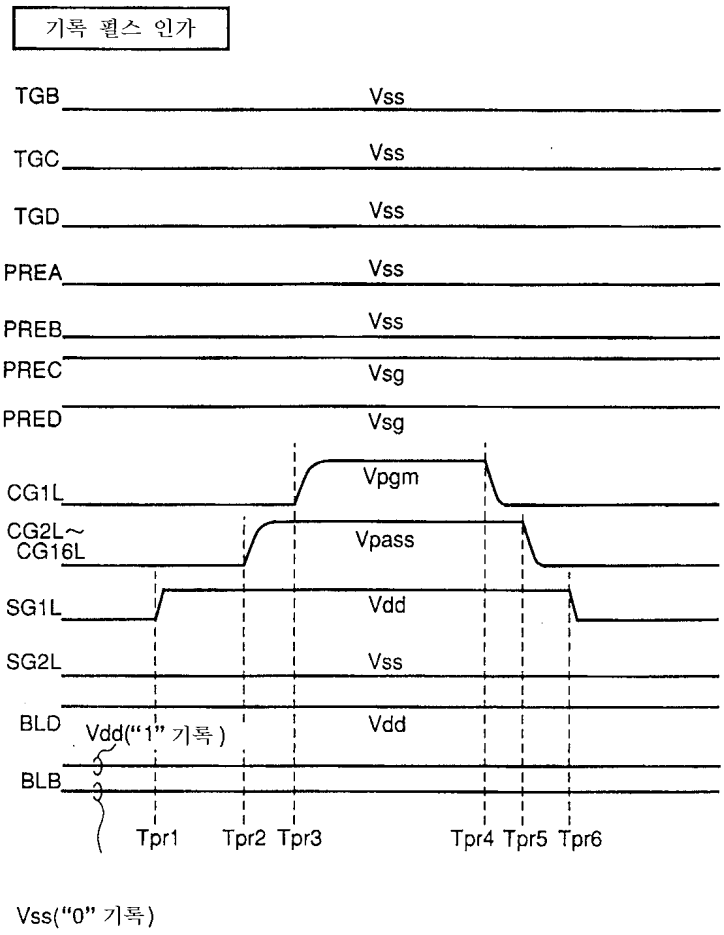
도면62


기록 데이터 전송
TGA
TGB
TGC
TGD
TRS
VFY
SEN
LAT
PREA
PREB
PREC
PRED
Vss
Vsg
Vdd
ts1
ts2
ts3
ts4
ts5
ts6

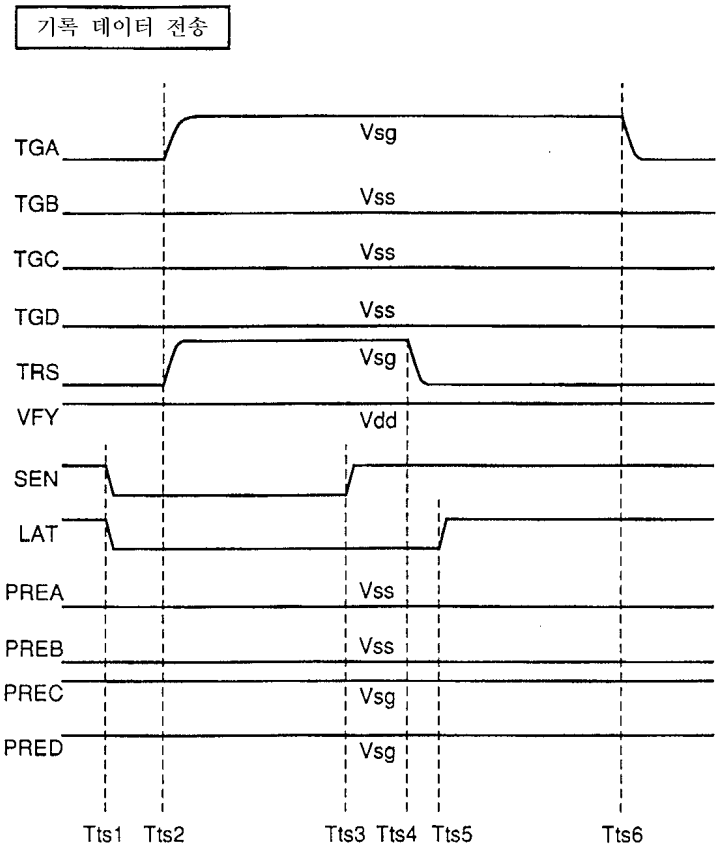
도면63


검증 판독
TGA
Vss
TGB
Vsg
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
SEN
LAT
PREA
Vss
Vpre
PREB
Vss
PREC
Vsg
PRED
Vsg
0.5v
CG1L
SG1L,SG2L
CG2L~CG16L
Vread
"1" 기록
BLD
Vss
1.8V
BLB
"0" 기록 충분
"0" 기록 불충분
Tvfy1
Tvfy2
Tvfy3
Tvfy4
Tvfy5
Tvfy6
Tvfy7
Tvfy8
Tvfy9
Tvfy10

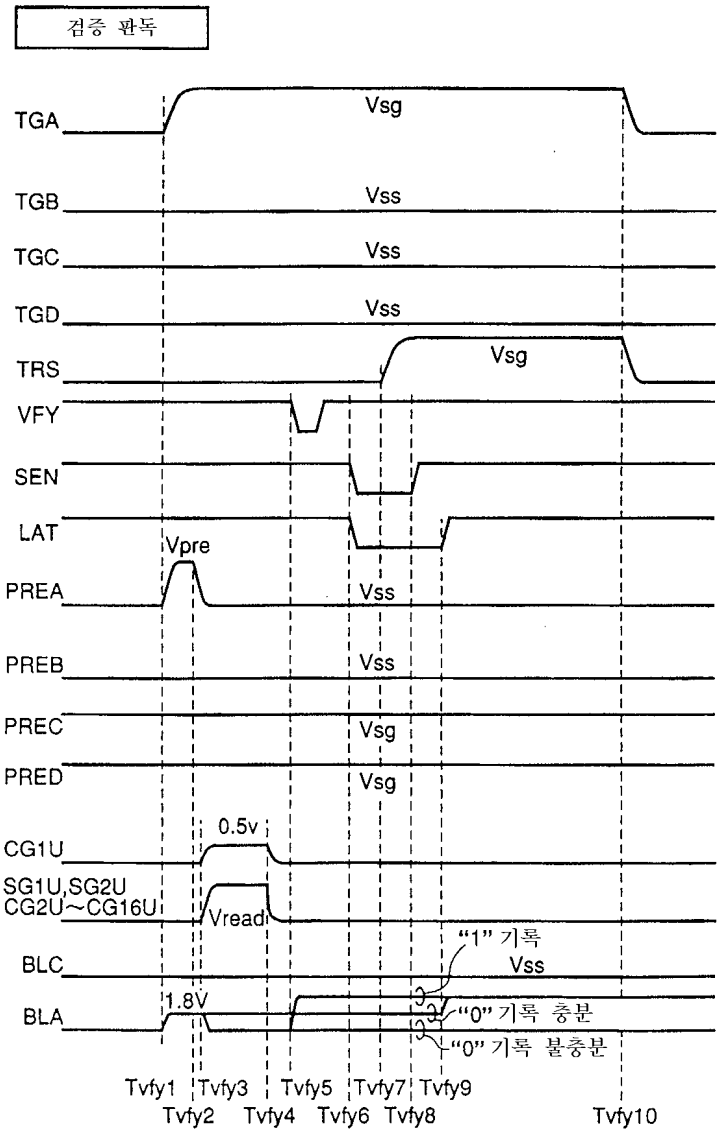
도면64


기록 펄스 인가
TGB
Vss
TGC
Vss
TGD
Vss
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
CG1L
Vpgm
CG2L~
CG16L
Vpass
SG1L
Vdd
SG2L
Vss
BLD
Vdd("1" 기록)
Vdd
BLB
Tpr1
Tpr2
Tpr3
Tpr4
Tpr5
Tpr6
Vss("0" 기록)

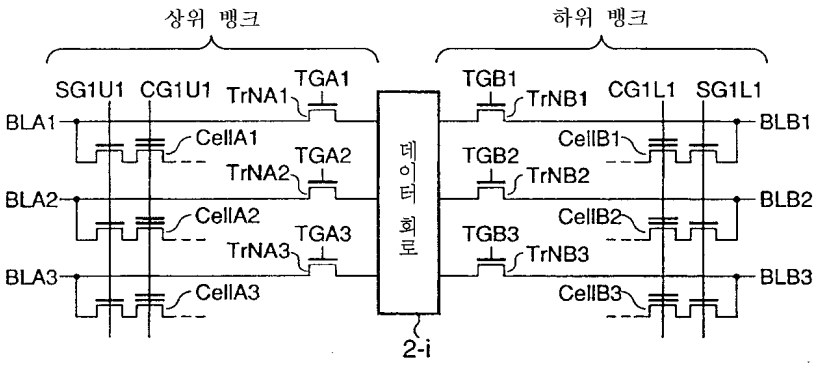
도면65


기록 데이터 전송
TGA
TGB
TGC
TGD
TRS
VFY
SEN
LAT
PREA
PREB
PREC
PRED
Vsg
Vss
Vss
Vss
Vsg
Vdd
Vss
Vss
Vsg
Vsg
Tts1
Tts2
Tts3
Tts4
Tts5
Tts6

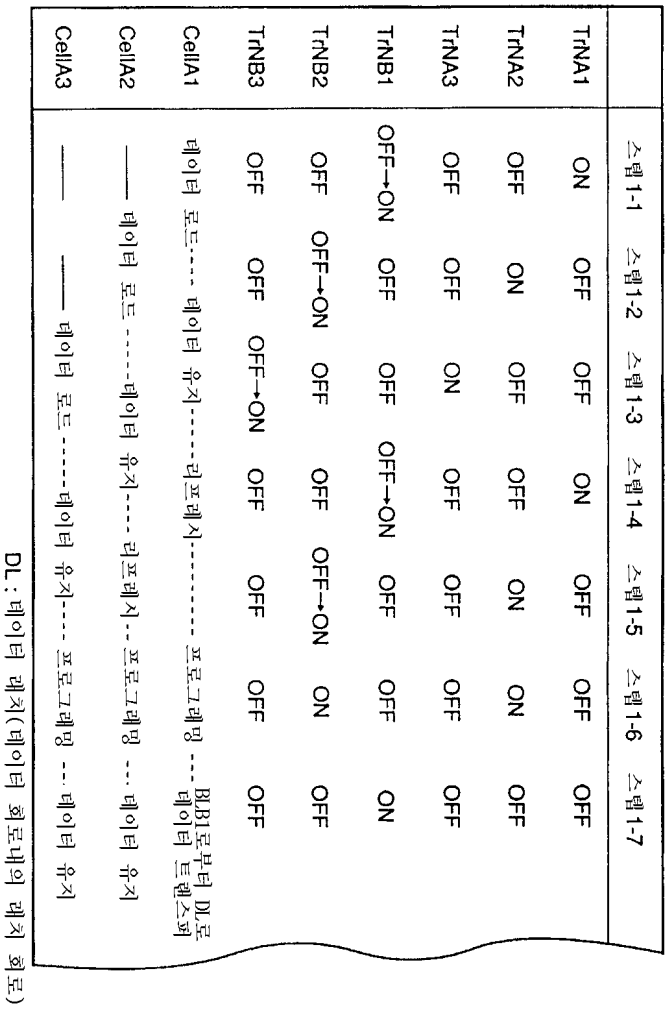
도면66


검증 판독
TGA
Vsg
TGB
Vss
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
SEN
LAT
Vpre
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
0.5v
CG1U
SG1U,SG2U
CG2U~CG16U
Vread
"1" 기록
BLC
Vss
1.8V
BLA
"0" 기록 충분
"0" 기록 불충분
Tvfy1
Tvfy2
Tvfy3
Tvfy4
Tvfy5
Tvfy6
Tvfy7
Tvfy8
Tvfy9
Tvfy10

도면67

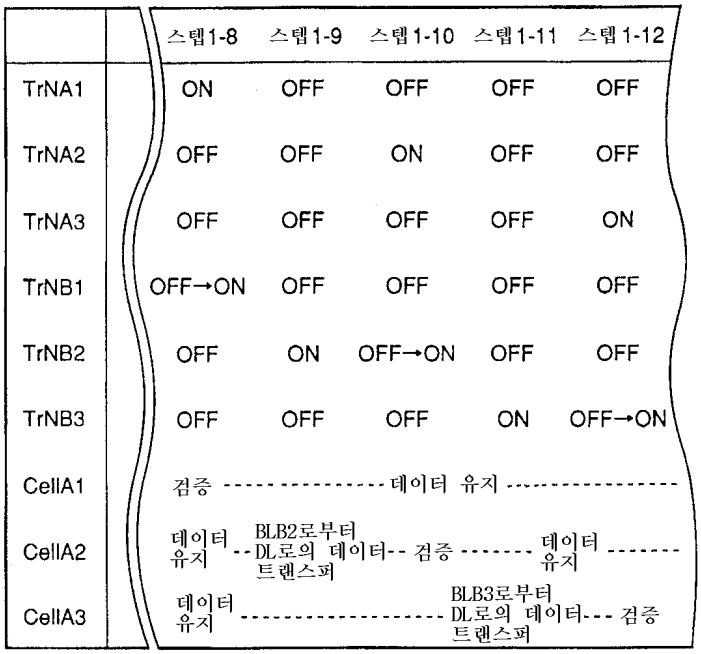

상위 뱅크
하위 뱅크
SG1U1
CG1U1
TrNA1
TGA1
BLA1
CellA1
TGA2
TrNA2
BLA2
CellA2
TGA3
TrNA3
BLA3
CellA3
데이터 회로
2-i
TGB1
TrNB1
CG1L1
SG1L1
BLB1
CellB1
TGB2
TrNB2
BLB2
CellB2
TGB3
TrNB3
BLB3
CellB3

도면68



DL : 데이터 래치(데이터 회로내의 래치 회로)

도면69



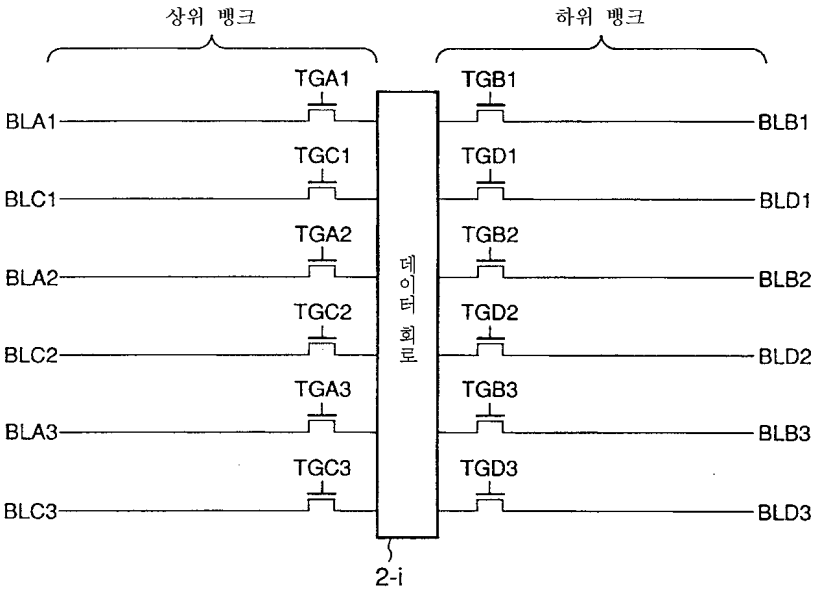
DL : 데이터 래치(데이터 회로내의 래치 회로)

도면70

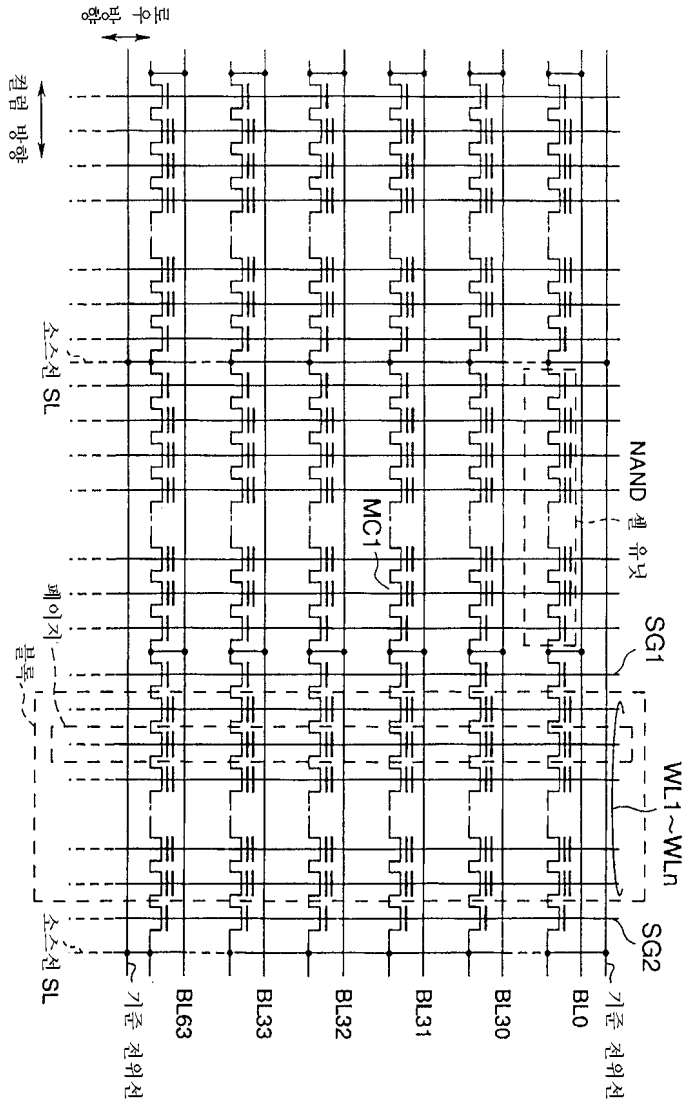
	스텝1-13	스텝1-14	스텝1-15	스텝1-16	스텝1-17
TrNA1	OFF	ON	OFF	OFF	OFF
TrNA2	OFF	OFF	OFF	ON	ON
TrNA3	OFF	OFF	OFF	OFF	OFF
TrNB1	ON	OFF	OFF	OFF	OFF
TrNB2	OFF	OFF	ON	OFF	ON
TrNB3	OFF	OFF	OFF	OFF	OFF
CellA1	BLB1로부터 DL로의 데이터 트랜스퍼	DL로부터 BLA1로의 데이터 트랜스퍼	데이터 유지		프로그래밍
CellA2	데이터 유지		BLB2로부터 DL로의 데이터 트랜스퍼	DL로부터 BLA2로의 데이터 트랜스퍼	프로그래밍
CellA3	데이터 유지				프로그래밍

DL : 데이터 래치(데이터 회로내의 래치 회로)

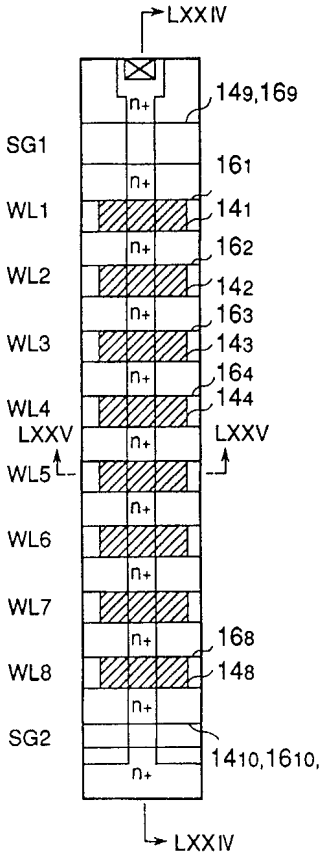
도면71



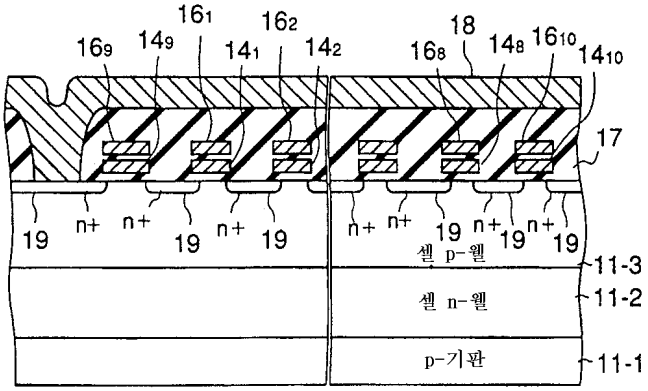
도면72


로우 방향
컬럼 방향
소스선 SL
NAND 셀 유닛
MC1
SG1
WL1~WLn
SG2
페이지
블록
소스선 SL
기준 전위선
BL63
BL33
BL32
BL31
BL30
BL0
기준 전위선

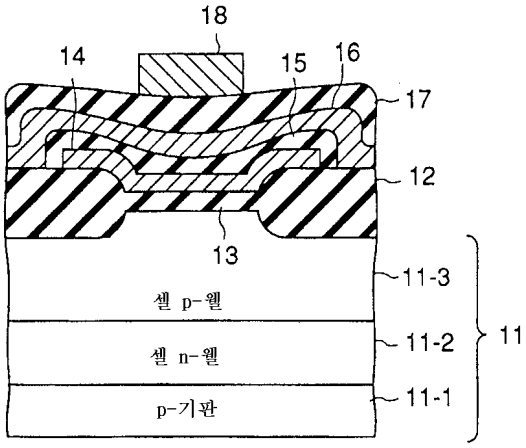
도면73


LXXIV
SG1
WL1
WL2
WL3
WL4
LXXV
WL5
WL6
WL7
WL8
SG2
n+
149,169
161
141
162
142
163
143
164
144
LXXV
168
148
1410,1610,
LXXIV

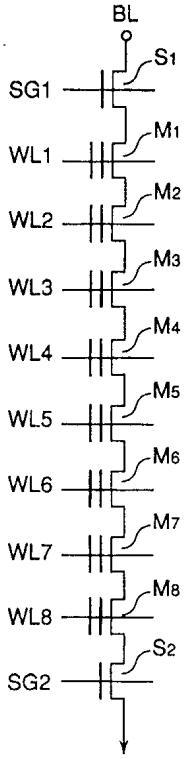
도면74


161
162
18
169
149
141
142
168
148
1610
1410
17
19
n+
셀 p-웰
셀 n-웰
p-기판
11-3
11-2
11-1

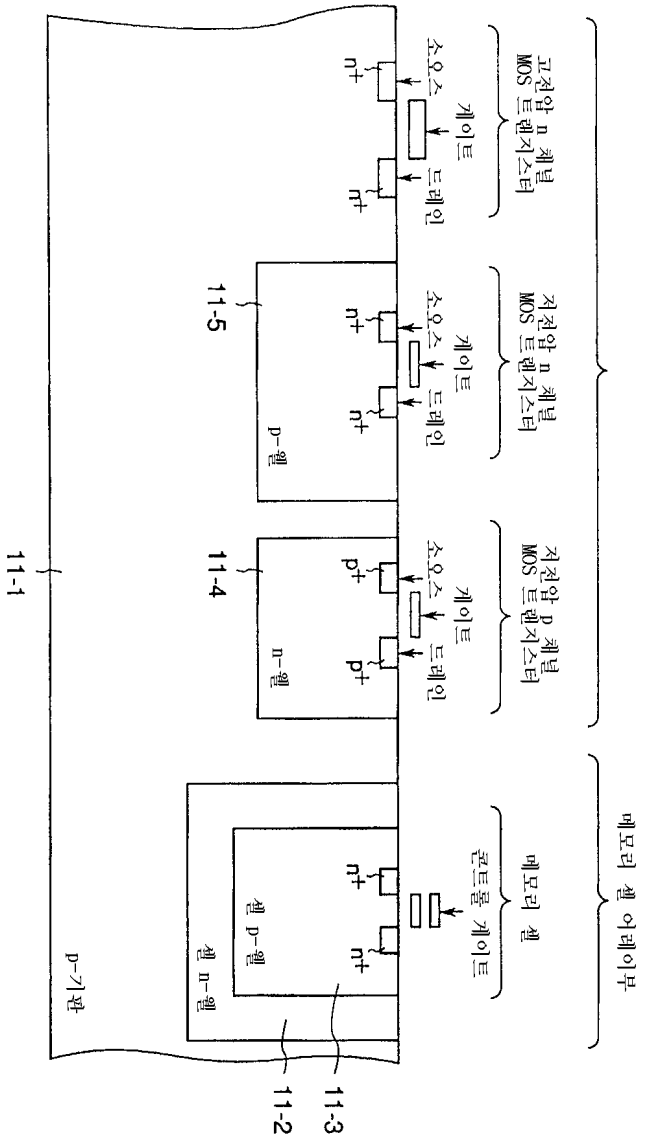
도면75


18
14
15
16
17
12
13
11-3
셀 p-웰
11-2
셀 n-웰
11
11-1
p-기판

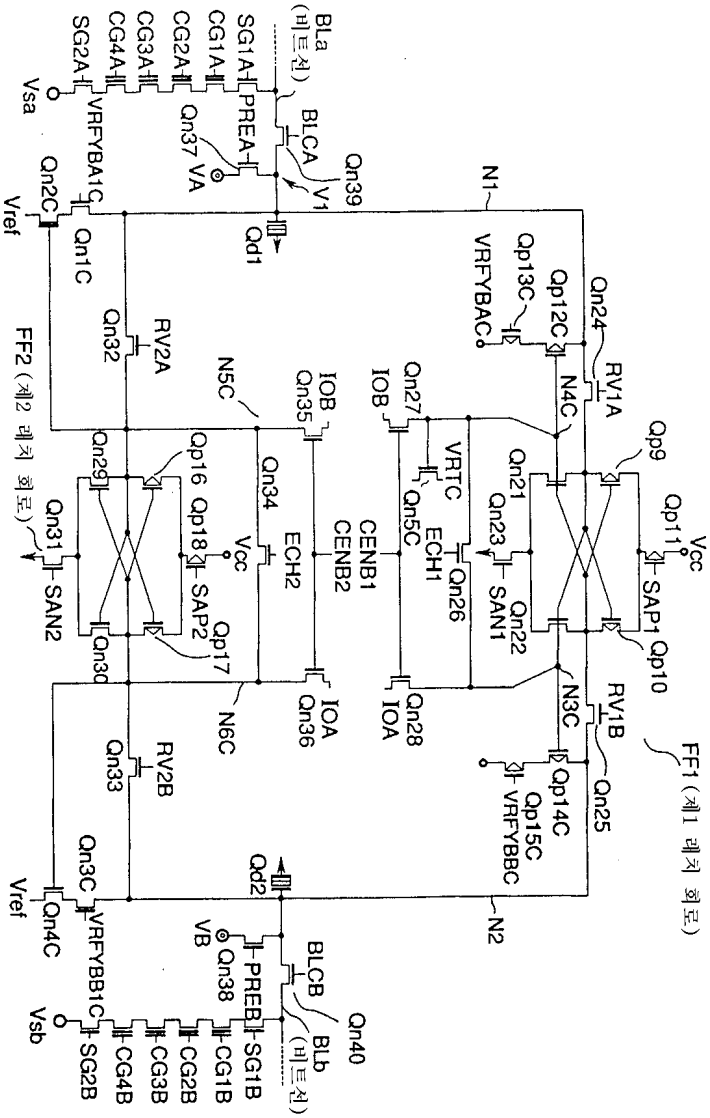
도면76


BL
S1
SG1
M1
WL1
M2
WL2
M3
WL3
M4
WL4
M5
WL5
M6
WL6
M7
WL7
M8
WL8
S2
SG2

도면77


메모리 셀 어레이부
고전압 n 채널 MOS 트랜지스터
저전압 n 채널 MOS 트랜지스터
저전압 p 채널 MOS 트랜지스터
메모리 셀
게이트
소오스
드레인
콘트롤 게이트
n+
p+
p-웰
n-웰
셀 p-웰
셀 n-웰
p-기판
11-1
11-2
11-3
11-4
11-5

도면78


BLa
(비트선)
SG1A
CG1A
CG2A
CG3A
CG4A
SG2A
Vsa
PREA
BLCA
Qn37
VA
Qn39
V1
Qn2C
Vref
Qn1C
Qd1
N1
VRFYBA1C
Qp13C
Qp12C
Qn24
VRFYBAC
RV1A
N4C
Qn27
IOB
VRTC
Qn5C
Qn21
Qn23
Qp9
Qp11
Vcc
SAP1
Qp10
Qn22
SAN1
Qn26
ECH1
CENB1
CENB2
ECH2
Qn34
Qn35
N5C
RV2A
Qn32
FF2 (제2 레치 회로)
Qn29
Qp16
Qp18
Qp17
SAP2
Qn31
SAN2
Qn30
N6C
IOA
Qn36
Qn28
IOA
N3C
RV1B
Qn25
Qp14C
Qp15C
VRFYBBC
FF1 (제1 레치 회로)
RV2B
Qn33
Qn3C
Qn4C
Vref
Qd2
N2
VB
Qn38
PREB
BLCB
Qn40
BLb
(비트선)
VRFYBB1C
Vsb
SG2B
CG4B
CG3B
CG2B
CG1B
SG1B