(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月28日(28.12.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/248648 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 27/146* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号： PCT/JP2023/018307

(22) 国際出願日： 2023年5月16日(16.05.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-100212 2022年6月22日(22.06.2022) JP

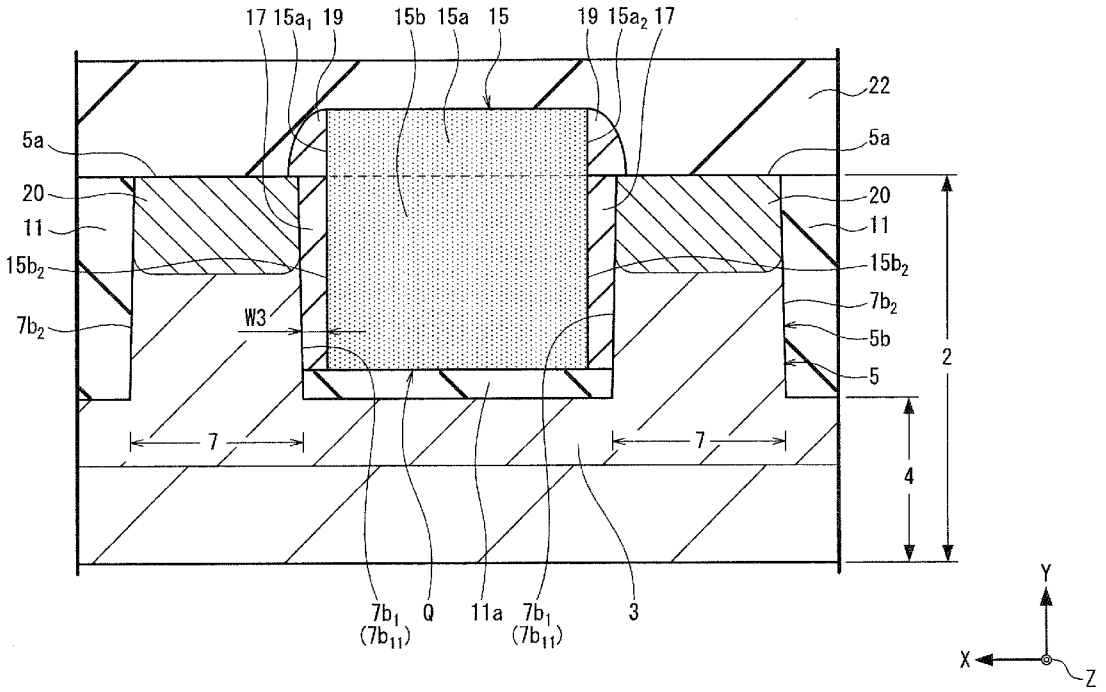
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 熊野 秀臣 (**KUMANO Hideomi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小林 正治(**KOBAYASHI Shoji**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 嵯峨 幸一郎 (**SAGA Koichiro**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀▲てつ▼, 外 (**TANAKA Hidetetsu** et al.); 〒1056032 東京都港区虎ノ門四

(54) **Title:** SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称： 半導体装置及び電子機器



(57) **Abstract:** The present invention improves reliability. This semiconductor device comprises: an island-shaped semiconductor section having a first portion and a second portion that is provided side by side with the first portion in the first direction and integrally therewith, the width of the second portion in the same direction as the width of the first portion along the second direction, which intersects the first direction, being larger than the width of the first portion, each of the first portion and the second portion having an upper surface portion and a side surface portion; an insulating layer

WO 2023/248648 A1

[続葉有]

丁目３番１号 城山トラストタワー３２階 弁理士法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

surrounding each of the first portion and the second portion; a field-effect transistor having a gate electrode spaced apart from the second portion and provided across the upper surface portion and the side surface portion of the first portion with a gate insulating film interposed therebetween; and a dielectric portion provided between the gate electrode and the second portion and having a relative dielectric constant lower than that of the insulating layer.

(57) 要約:信頼性の向上を図る。半導体装置は、第１部分と、第１方向に上記第１部分と並んで一体的に設けられ、かつ上記第１方向と交差する第２方向に沿う上記第１部分の幅と同一方向の幅が上記第１部分の幅よりも広い第２部分と、を有し、かつ上記第１部分及び上記第２部分の各々が上面部及び側面部を有する島状の半導体部と、上記第１部分及び上記第２部分の各々を囲む絶縁層と、上記第２部分から離間し、かつゲート絶縁膜を介在して上記第１部分の上記上面部及び上記側面部に亘って設けられたゲート電極を有する電界効果トランジスタと、上記ゲート電極と上記第２部分との間に設けられ、かつ上記絶縁層よりも比誘電率が低い誘電体部と、を備えている。

明　細　書

発明の名称 ： 半導体装置及び電子機器

技術分野

[0001]　本技術（本開示に係る技術）は、半導体装置及び電子機器に関し、特に、フィン型の電界効果トランジスタを有する半導体装置及びそれを備えた電子機器に適用して有効な技術に関するものである。

背景技術

[0002]　半導体装置として、例えばＣＭＯＳイメージセンサと呼称される固体撮像装置が知られている。このＣＭＯＳイメージセンサは、光電変換素子で光電変換された信号電荷を画素信号に変換して出力する画素回路（読出し回路）を備えている。画素回路は、増幅トランジスタ、選択トランジスタ、リセットトランジスタなどの画素トランジスタを含む。

[0003]　一方、半導体装置に搭載される電界効果トランジスタとして、島状の半導体部（フィン部）にゲート絶縁膜を介してゲート電極が設けられたフィン型の電界効果トランジスタ（Fin-FET）が知られている。このフィン型の電界効果トランジスタは、短チャネル特性を改善し、ゲート長を短くして必要な動作を実現することが可能であるため、平面サイズの微細化を図ることができ、高集積化に有用である。

[0004]　特許文献１には、画素回路に含まれる増幅トランジスタをフィン型の電界効果トランジスタで構成した固体撮像装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２０２１－０３４４３５号公報

発明の概要

発明が解決しようとする課題

[0006]　ところで、フィン型の電界効果トランジスタにおいても、寄生容量が付加される。この寄生容量は、電界効果トランジスタのノイズ特性を劣化させ、

半導体装置の信頼性向上を妨げる要因となるため、改良の余地があった。

[0007] 本技術の目的は、信頼性の向上を図ることが可能な技術を提供することにある。

課題を解決するための手段

[0008] （１）本技術の一態様に係る半導体装置は、

第１部分と、第１方向に上記第１部分と並んで一体的に設けられ、かつ上記第１方向と交差する第２方向に沿う上記第１部分の幅と同一方向の幅が上記第１部分の幅よりも広い第２部分と、を有し、かつ上記第１部分及び上記第２部分の各々が上面部及び側面部を有する島状の半導体部と、

上記第１部分及び第２部分の各々を囲む絶縁層と、

上記第２部分から離間し、かつ上記第１部分の上記上面部及び上記側面部に亘って設けられたゲート電極を有する電界効果トランジスタと、

上記ゲート電極と上記第２部分との間に設けられ、かつ上記絶縁層よりも比誘電率が低い誘電体部と、

を備えている。

[0009] （２）本技術の他の態様に係る半導体装置の製造方法は、

第１部分と、第１方向に上記第１部分と並んで一体的に設けられ、かつ上記第１方向と交差する第２方向に沿う上記第１部分の幅と同一方向の幅が上記第１部分の幅よりも広い第２部分と、を有し、かつ上記第１部分及び上記第２部分の各々が上面部及び側面部を有する島状の半導体部を形成し、

上記第１部分及び第２部分の各々の周囲を囲む絶縁層を形成し、

上記第２部分から離間し、かつ上記第１部分の上記上面部及び上記側面部と向かい合うゲート電極を形成し、

上記第１方向において上記ゲート電極と上記第２部分との間に、上記絶縁層よりも比誘電率が低い誘電体部を形成する、

ことを含む。

[0010] （３）本技術の他の態様に係る半導体装置の製造方法は、

第１部分と、第１方向に上記第１部分と並んで一体的に設けられ、かつ上

記第１方向と交差する第２方向に沿う上記第１部分の幅と同一方向の幅が上記第１部分の幅よりも広い第２部分と、を有し、かつ上記第１部分及び上記第２部分の各々が上面部及び側面部を有する島状の半導体部を形成し、

上記第１部分及び上記第２部分の各々の周囲を囲む絶縁層を形成し、

上記第１部分の上記第２方向の外側の上記絶縁層を選択的に除去して掘り込み部を形成し、

上記掘り込み部を埋め込むようにして、上記半導体部を覆う導電膜を形成し、

上記導電膜をパターンニングして、上記第１部分と隣り合って上記掘り込み部に埋め込まれた脚部と、上記脚部と一体化されると共に上記第１部分と重畳し、かつ上記脚部の上記第１方向に沿う幅と同一方向の幅が上記脚部の幅よりも狭い頭部と、を有するゲート電極を形成し、

上記頭部の外側に脚部が存在する状態で上記頭部の外側の上記半導体部に不純物を選択的にイオン注入してエクステンション領域を形成し、

上記頭部の外側の上記脚部を除去する、

ことを含む。

[0011] （４）本技術の他の態様に係る半導体装置は、

上面部及び側面部を有する半導体部と、

上記半導体部に設けられた電界効果トランジスタと、

を備え、

上記半導体部は、第１領域と、上記第１領域の第１方向の両側に上記第１領域と連なって設けられ、かつ上記第１領域の高さよりも高さが高い一対の第２領域と、有し、

上記電界効果トランジスタは、上記第１領域の上記上面部及び側面部に亘ってゲート絶縁膜を介在して設けられたゲート電極と、上記一対の第２領域に設けられた一対の主電極領域とを有する。

[0012] （５）本技術の他の態様に係る半導体装置の製造方法は、

第１部分と、前記第１部分の第１方向の両側に前記第１部分と連なって設

けられた一対の第２部分と、前記第１部分及び前記第２部分に亘って設けられた上面部及び側面部と、を有する半導体部を形成し、

前記第１方向と交差する第２方向において、ゲート絶縁膜を介在して前記第１部分の前記上面部及び前記側面部と向かい合うゲート電極を形成し、

エピタキシャル成長により前記一対の第２部分の各々の厚さを前記第１部分の厚さよりも厚くし、

前記一対の第２部分に一対の主電極領域を形成する、

ことを含む。

[0013] （６）本技術の他の態様に係る電子機器は、

上記半導体装置と、被写体からの像光を上記半導体装置の撮像面上に結像される光学レンズと、上記半導体装置から出力される信号に信号処理を行う信号処理回路と、を備えている。

図面の簡単な説明

[0014] [図1]本技術の第１実施形態に係る半導体装置の一構成例を示す模式的要部平面図である。

[図1A]図１の半導体部の平面パターンを示す平面図である。

[図2]図１のａ１－ａ１切断線に沿った縦断面構造を示す模式的縦断面図である。

[図3]図１のｂ１－ｂ１切断線に沿った縦断面構造を示す模式的縦断面図である。

[図4]図１のｃ１－ｃ１切断線に沿った縦断面構造を示す模式的縦断面図である。

[図5]本技術の第１実施形態に係る半導体装置の製造方法の工程を示す模式的要部平面図である。

[図6]図５のａ５－ａ５切断線に沿った縦断面構造を示す模式的縦断面図である。

[図7]図５のｂ５－ｂ５切断線に沿った縦断面構造を示す模式的縦断面図である。

[図8]図５のｃ５－ｃ５切断線に沿った縦断面構造を示す模式的縦断面図である。

[図9]図５に引き続く工程を示す模式的要部平面図である。

[図10]図９のａ９－ａ９切断線に沿った縦断面構造を示す模式的縦断面図である。

[図11]図９のｂ９－ｂ９切断線に沿った縦断面構造を示す模式的縦断面図である。

[図12]図９のｃ９－ｃ９切断線に沿った縦断面構造を示す模式的縦断面図である。

[図13]図９に引き続く工程を示す模式的要部平面図である。

[図14]図１３のｂ１３－ｂ１３切断線に沿った縦断面構造を示す模式的縦断面図である。

[図15]図１３のｃ１３－ｃ１３切断線に沿った縦断面構造を示す模式的縦断面図である。

[図16]図１３に引き続く工程を示す模式的要部平面図である。

[図17]図１６のａ１６－ａ１６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図18]図１６のｂ１６－ｂ１６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図19]図１６のｃ１６－ｃ１６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図20]図１６に引き続く工程を示す模式的要部平面図である。

[図21]図２０のａ２０－ａ２０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図22]図２０のｂ２０－ｂ２０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図23]図２０のｃ２０－ｃ２０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図24]図２０に引き続く工程を示す模式的要部平面図である。

[図25]図２４のａ２４－ａ２４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図26]図２４のｂ２４－ｂ２４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図27]図２４のｃ２４－ｃ２４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図28]図２４に引き続く工程を示す模式的要部平面図である。

[図29]図２８のｂ２８－ｂ２８切断線に沿った縦断面構造を示す模式的縦断面図である。

[図30]図２８に引き続く工程を示す模式的要部平面図である。

[図31]図３０のａ３０－ａ３０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図32]図３０のｂ３０－ｂ３０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図33]図３０に引き続く工程を示す模式的要部平面図である。

[図34]図３３のａ３３－ａ３３切断線に沿った縦断面構造を示す模式的縦断面図である。

[図35]図３３のｂ３３－ｂ３３切断線に沿った縦断面構造を示す模式的縦断面図である。

[図36]第１実施形態の電界効果トランジスタに付加される寄生容量を示す模式的縦断面図である。

[図37]比較例の電界効果トランジスタに付加される寄生容量を示す模式的縦断面図である。

[図38]本技術の第１実施形態の変形例に係る半導体装置の模式的縦断面図である。

[図39]本技術の第１実施形態の変形例に係る半導体装置の模式的平面図である。

[図40]本技術の第２実施形態に係る半導体装置の一構成例を示す模式的縦断面図である。

[図41]本技術の第３実施形態に係る半導体装置の一構成例を示す要部模式的平面面図である。

[図42]図４１のａ４１－ａ４１断線に沿った縦断面構造を示す模式的縦断面図である。

[図43]図４１のｂ４１－ｂ４１切断線に沿った縦断面構造を示す模式的縦断面図である。

[図44]本技術の第３実施形態の変形例に係る半導体装置の模式的平面図である。

[図45]本技術の第４実施形態に係る半導体装置の製造方法の工程を示す模式的要部平面図である。

[図46]図４５のａ４５－ａ４５切断線に沿った縦断面構造を示す模式的縦断面図である。

[図47]図４５のｂ４５－ｂ４５切断線に沿った縦断面構造を示す模式的縦断面図である。

[図48]図４５のｃ４５－ｃ４５切断線に沿った縦断面構造を示す模式的縦断面図である。

[図49]図４５に引き続く工程を示す模式的要部平面図である。

[図50]図４９のｂ４９－ｂ４９切断線に沿った縦断面構造を示す模式的縦断面図である。

[図51]図４９のｃ４９－ｃ４９切断線に沿った縦断面構造を示す模式的縦断面図である。

[図52]図４９に引き続く工程を示す模式的要部平面図である。

[図53]図５２のａ５２－ａ５２切断線に沿った縦断面構造を示す模式的縦断面図である。

[図54]図５２のｂ５２－ｂ５２切断線に沿った縦断面構造を示す模式的縦断面図である。

[図55]図５２のｃ５２－ｃ５２切断線に沿った縦断面構造を示す模式的縦断面図である。

[図56]図５２に引き続く工程を示す模式的要部平面図である。

[図57]図５６のａ５６－ａ５６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図58]図５６のｂ５６－ｂ５６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図59]図５６のｃ５６－ｃ５６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図60]図５６に引き続く工程を示す模式的要部平面図である。

[図61]図６０のａ６０－ａ６０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図62]図６０のｂ６０－ｂ６０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図63]図６０に引き続く工程を示す模式的要部平面図である。

[図64]図６３のａ６３－ａ６３切断線に沿った縦断面構造を示す模式的縦断面図である。

[図64A]図６４の一部を拡大した模式的縦断面図である。

[図65]図６３のｂ６３－ｂ６３切断線に沿った縦断面構造を示す模式的縦断面図である。

[図66]図６３に引き続く工程を示す模式的要部平面図である。

[図67]図６６のａ６６－ａ６６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図67A]図６７の一部を拡大した模式的縦断面図である。

[図68]図６６のｂ６６－ｂ６６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図69]図６６に引き続く工程を示す模式的要部平面図である。

[図70]図６９のａ６９－ａ６９切断線に沿った縦断面構造を示す模式的縦断

面図である。

[図71]図６９のｂ６９－ｂ６９切断線に沿った縦断面構造を示す模式的縦断面図である。

[図72]本技術の第５実施形態に係る固体撮像装置の一構成例を示す模式的平面レイアウト図である。

[図73]本技術の第５実施形態に係る固体撮像装置の一構成例を示すブロック図である。

[図74]本技術の第５実施形態に係る固体撮像装置の画素及び画素回路の一構成例を示す等価回路図である。

[図75]本技術の第５実施形態に係る固体撮像装置の画素アレイ部での縦断面構造を示す模式的縦断面図である。

[図76]本技術の第６実施形態に係る半導体装置の一構成例を示す模式的要部平面図である。

[図77]図７６のａ７６－ａ７６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図78]図７６のｂ７６－ｂ７６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図79]図７６のｃ７６－ｃ７６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図80]本技術の第６実施形態に係る半導体装置の製造方法の工程を示す模式的要部平面図である。

[図81]図８０のａ８０－ａ８０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図82]図８０のｂ８０－ｂ８０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図83]図８０のｃ８０－ｃ８０切断線に沿った縦断面構造を示す模式的縦断面図である。

[図84]図８０に引き続く工程を示す模式的要部平面図である。

[図85]８４ａの８４ａ－ａ８４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図86]図８４のｂ８４－ｂ８４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図87]図８４ｃのｃ８４－ｃ８４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図88]図８４に引き続く工程を示す模式的要部平面図である。

[図89]図８８のａ８８－ａ８８切断線に沿った縦断面構造を示す模式的縦断面図である。

[図90]図８８のｂ８８－ｂ８８切断線に沿った縦断面構造を示す模式的縦断面図である。

[図91]図８８のｃ８８－ｃ８８切断線に沿った縦断面構造を示す模式的縦断面図である。

[図92]図８８に引き続く工程を示す模式的要部平面図である。

[図93]図９２のａ９２－ａ９２切断線に沿った縦断面構造を示す模式的縦断面図である。

[図94]図９２のｂ９２－ｂ９２切断線に沿った縦断面構造を示す模式的縦断面図である。

[図95]図９２のｃ９２８－ｃ９２切断線に沿った縦断面構造を示す模式的縦断面図である。

[図96]図９２に引き続く工程を示す模式的要部平面図である。

[図97]図９６のａ９６－ａ９６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図98]図９６のｂ９６－ｂ９６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図99]図９６のｃ９６－ｃ９６切断線に沿った縦断面構造を示す模式的縦断面図である。

[図100]図９６に引き続く工程を示す模式的要部平面図である。

[図101]図１００のａ１００－ａ１００切断線に沿った縦断面構造を示す模式的縦断面図である。

[図102]図１００のｂ１００－ｂ１００切断線に沿った縦断面構造を示す模式的縦断面図である。

[図103]図１００のｃ１００－ｃ１００切断線に沿った縦断面構造を示す模式的縦断面図である。

[図104]図１００に引き続く工程を示す模式的要部平面図である。

[図105]図１０４のａ１０４－ａ１０４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図106]図１０４のｂ１０４－ｂ１０４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図107]図１０４のｃ１０４－ｃ１０４切断線に沿った縦断面構造を示す模式的縦断面図である。

[図108]図１０４に引き続く工程を示す模式的要部平面図である。

[図109]図１０８のａ１０８－ａ１０８切断線に沿った縦断面構造を示す模式的縦断面図である。

[図110]図１０８のｂ１０８－ｂ１０８切断線に沿った縦断面構造を示す模式的縦断面図である。

[図111]図１０８に引き続く工程を示す模式的要部平面図である。

[図112]図１１１のａ１１１－ａ１１１切断線に沿った縦断面構造を示す模式的縦断面図である。

[図113]図１１１のｂ１１１－ｂ１１１切断線に沿った縦断面構造を示す模式的縦断面図である。

[図114]図１１１のｃ１１１－ｃ１１１切断線に沿った縦断面構造を示す模式的縦断面図である。

[図115]図１１１に引き続く工程を示す図であって、図１１１のａ１１１－ａ１１１切断線と同一位置での縦断面構造を示す模式的縦断面図である。

[図116]図１１５に引き続く工程を示す図であって、図１１１のｂ１１１－ｂ

１１１切断線と同一位置での縦断面構造を示す模式的縦断面図である。

[図117]図１１５に引き続く工程を示す図であって、図１１１のａ１１１－ａ１１１切断線と同一位置での縦断面構造を示す模式的縦断面図である。

[図118]図１１５に引き続く工程を示す図であって、図１１１のｂ１１１－ｂ１１１切断線と同一位置での縦断面構造を示す模式的縦断面図である。

[図119]本技術の第７実施形態に係る半導体装置の一構成例を示す模式的縦断面図である。

[図120]本技術の第７実施形態に係る半導体装置の製造方法の工程を示す模式的縦断面図である。

[図121]図１２０に引き続く工程を示す模式的縦断面図である。

[図122]図１２１に引き続く工程を示す模式的縦断面図である。

[図123]本技術の第８実施形態に係る電子機器の一構成例を示す図である。

発明を実施するための形態

[0015] 以下、図面を参照して本技術の実施形態を詳細に説明する。

以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。

[0016] また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、本明細書中に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

また、以下の実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであり、構成を下記のものに特定するものではない。即ち、本技術の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0017] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本技術の技術的思想を限定するものではない。例えば、対象を

９０°回転して観察すれば上下は左右に変換して読まれ、１８０°回転して観察すれば上下は反転して読まれることは勿論である。

また、以下の実施形態では、半導体の導電型として、第１導電型がｐ型、第２導電型がｎ型の場合を例示的に説明するが、導電型を逆の関係に選択して、第１導電型をｎ型、第２導電型をｐ型としても構わない。

[0018] また、以下の実施形態では、空間内で互に直交する三方向において、同一平面内で互に直交する第１の方向及び第２の方向をそれぞれＸ方向、Ｙ方向とし、第１の方向及び第２の方向のそれぞれと直交する第３の方向をＺ方向とする。そして、以下の実施形態では、後述する半導体層２の厚さ方向をＺ方向として説明する。

[0019] 〔第１実施形態〕

この第１実施形態では、第１部分６の第１方向（Ｘ方向）の両端側にそれぞれ個別に第２部分７が設けられた半導体部５を有する半導体装置１Ａに本技術を適用した一例について説明する。

[0020] ≪半導体装置の全体構成≫

まず、半導体装置１Ａの全体構成について、図１、図１Ａ、及び図２から図４を用いて説明する。図１では、説明の便宜上、図２から図４に示す絶縁層２２、コンタクト電極２２ａ，２２ｂ，２２ｃ及び配線２３ａ，２３ｂ，２３ｃの図示を省略している。

[0021] 図１、図１Ａ、及び図２から図４に示すように、本技術の第１実施形態に係る半導体装置１Ａは、半導体層２に設けられた島状の半導体部５と、この半導体部５に設けられた電界効果トランジスタＱと、を備えている。また、この第１実施形態に係る半導体装置１Ａは、半導体部５の外側に半導体部５を囲むようにして設けられた絶縁層１１を備えている。

[0022] ＜半導体層＞

図１、図１Ａ、及び図２から図４に示すように、半導体層２は、Ｘ方向及びＹ方向において二次元状に広がるベース部４と、このベース部４から上方（Ｚ方向）に突出する島状の半導体部５とを含む。

半導体部５は、Ｘ方向（第１方向）に延伸する第１部分６と、Ｘ方向に第１部分６と並んで一体的に（第１部分６と連なって）設けられ、かつＸ方向と交差するＹ方向に沿う第１部分６の幅Ｗ１と同一方向の幅Ｗ２が第１部分６の幅Ｗ１よりも広い第２部分７と、を有し、かつ第１部分６及び第２部分７が上面部５ａ及び側面部５ｂを有する立体構造になっている。

この第１実施形態の半導体部５は、これに限定されないが、例えば、Ｙ方向に所定の間隔を置いて併設された２つの第１部分６と、この２つの第１部分６の各々のＸ方向の両端側に設けられた２つの第２部分７とを含む立体構造になっている。２つの第１部分６及び２つの第２部分部分７の各々は、平面視での平面形状が方形状で構成されている。Ｘ方向において、２つの第１部分６の各々の一端側は、２つの第２部分７のうちの一方の第２部分７と連結され、２つの第１部分６の各々の他端側は、２つの第２の部分７のうちの他方の第２部分７と連結されている。

[0023] 図１、図１Ａ、及び図２から図４に示すように、半導体部５は、半導体部５のベース部４側とは反対側に位置し、かつ２つの第１部分６及び２つの第２部分７に亘って二次元状に広がる上面部５ａと、半導体部５の厚さ方向（Ｚ方向）に２つの第１部分６及び２つの第２部分７で二次元状に広がる側面部５ｂと、含む。

[0024] 図１Ａに示すように、側面部５ｂは、第１部分６のＹ方向において互いに反対側に位置する側面部６ｂ$_1$及び６ｂ$_2$と、第２部分７のＸ方向において互いに反対側に位置する側面部７ｂ$_1$及び７ｂ$_2$と、第２部分７のＹ方向において互いに反対側に位置する側面部７ｂ$_3$及び７ｂ$_4$と、を含む。第２部分７の側面部７ｂ$_1$は、第２部分７に第１部分６が連結された連結部により三ヶ所に分かれて３つ（７ｂ$_{11}$、７ｂ$_{12}$及び７ｂ$_{13}$）設けられている。

[0025] ３つの側面部７ｂ$_1$のうち、１つ目の側面部７ｂ$_1$（７ｂ$_{11}$）は、２つの第１部分６のうちの一方の第１部分６の側面部６ｂ$_1$側に位置している。３つの側面部７ｂ$_1$のうち、二つ目の側面部７ｂ$_1$（７ｂ$_{12}$）は、２つの第１部分６のうちの他方の第１部分６の側面部６ｂ$_1$側に位置している。そして、残りの

三つ目の側面部７ｂ$_1$（７ｂ$_{13}$）は、２つの第１部分６の各々の側面部６ｂ$_2$側、換言すれば、２つの第１部分６の間に位置している。即ち、半導体部５の側面部５ｂは、２つの第１部分６の各々の側面部６ｂ$_1$及び６ｂ$_2$と、２つの第２部分７の各々の側面部７ｂ$_1$、７ｂ$_2$、７ｂ$_3$及び７ｂ$_4$と、を含む。

[0026] 第１部分６及び第２部分７を含む半導体部５は、半導体層２をベース部４が残る程度の深さまで選択的にエッチングすることによって形成することができる。半導体層２としては、これに限定されないが、半導体材料としては例えばシリコン（Ｓｉ）、結晶性としては例えば単結晶、導電型としては例えはｐ型で構成された半導体基板を用いることができる。

[0027] 図２から図４に示すように、半導体層２には、例えばｐ型の半導体領域からなるｐ型のウエル領域３が設けられている。このｐ型のウエル領域３は、半導体部５の全域に亘って設けられていると共に、ベース部４の半導体部５側の表層部の全域に亘って設けられている。そして、ｐ型のウエル領域３は、ベース部４の半導体部５側とは反対側の裏面から離間している。

[0028] ＜絶縁層＞

図２から図４に示すように、半導体層２のベース部４の半導体部５側には、半導体部５の周囲を囲むようにして絶縁層１１が設けられている。絶縁層１１は、半導体層２のベース部４側とは反対側の表層部が平坦化されており、後述する掘り込み部１２ａ，１２ｂを除いて半導体部５の高さ（突出量）と同程度の膜厚で構成されている。絶縁層１１は、例えば酸化シリコン（ＳｉＯ$_2$）膜で構成されている。

[0029] 図２から図４に示すように、絶縁層１１のベース部４側とは反対側には、後述する電界効果トランジスタＱのゲート電極１５の頭部１５ａ及び半導体部５を覆うようにして絶縁層２２が設けられている。この絶縁層２２も、例えば酸化シリコン（ＳｉＯ$_2$）膜で構成されている。

[0030] 絶縁層２２の半導体部５側とは反対側には、配線２３ａ、２３ｂ及び２３ｃを含む第１層目の配線層が設けられている。この第１層目の配線層の配線２３ａ、２３ｂ及び２３ｃは、例えばアルミニウム（Ａｌ）、銅（Ｃｕ）な

どの金属膜、又はＡｌ、Ｃｕを主体とする合金膜などで構成されている。

[0031] ＜電界効果トランジスタ＞

図１に示す電界効果トランジスタＱは、これに限定されないが、例えばｎチャネル導電型で構成されている。そして、電界効果トランジスタＱは、酸化シリコン（SiO_2）膜をゲート絶縁膜とするＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect transistor）で構成されている。電界効果トランジスタＱとしては、ｐチャネル導電型でも構わない。また、窒化シリコン膜、或いは窒化シリコン（Si_3N_4）膜及び酸化シリコン膜などの積層膜（複合膜）をゲート絶縁膜とするＭＩＳＦＥＴ（Metal Insulator Semiconductor FET）でも構わない。

[0032] 図１、及び図２から図４に示すように、電界効果トランジスタＱは、半導体層２の半導体部５に設けられている。

電界効果トランジスタＱは、半導体部５の第１部分６に設けられたチャネル形成部９と、半導体部５の第２部分７から離間し、かつゲート絶縁膜１３を介在して半導体部５の第１部分６の上面部５ａ及び側面部$6b_1$，$6b_2$に亘って設けられたゲート電極１５と、を備えている。

[0033] また、電界効果トランジスタＱは、ゲート電極１５の側壁に、ゲート電極１５の周囲を囲むようにして設けられたサイドウォールスペーサ１９と、ゲート電極１５のゲート長方向（Ｘ方向）の両側の半導体部５に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域２１ａ及び２１ｂと、を備えている。

[0034] ＜ゲート電極＞

図２から図４に示すように、ゲート電極１５は、半導体部５の第１部分６の上面部５ａ側にゲート絶縁膜１３を介在して設けられた頭部１５ａと、この頭部１５と一体化され、かつ半導体部５の第１部分６の互いに反対側に位置する２つの側面部$6b_1$及び$6b_2$の各々の外側にゲート絶縁膜１３を介在して設けられた脚部１５ｂと、を有する。

[0035] ここで、ゲート電極１５は、半導体部５の第１部分６の幅方向（Ｙ方向）

の両側を脚部１５ｂで挟む構成とすることが好ましい。したがって、ゲート電極１５の脚部１５ｂの個数は、第１部分６の個数を「ｎ」としたとき、通常は「ｎ＋１」となる。この第１実施形態では第１部分６が２つ設けられているので、ゲート電極１５は３つの脚部１５ｂを有する。

[0036] ゲート電極１５の頭部１５ａは、絶縁層１１よりも上方に突出している。そして、ゲート電極１５の３つの脚部１５ｂの各々は、半導体部５と共に絶縁層１１の中に設けられている。頭部１５ａ及び脚部１５ｂを含むゲート電極１５は、例えば、抵抗値を低減する不純物が導入された多結晶シリコン（ドープドポリシリコン）膜で構成されている。

[0037] 頭部１５ａは、平面視の形状が方形状で構成され、上面部及び４つの側面部を有する三次元構造になっている。３つの脚部１５ｂの各々は、頭部１５ａから半導体層２の厚さ方向（Ｚ方向）であって半導体部５の高さ方向に延伸し、下面部及び４つの側面部を有する三次元構造になっている。

[0038] 図３に示すように、ゲート電極１５は、頭部１５ａのＸ方向（ゲート長方向）における２つの側面部$15a_1$，$15a_2$と、脚部１５ｂのＸ方向（ゲート長方向）における２つの側面部$15b_1$，$5b_2$と、が断面視でそれぞれ面一になっている。換言すれば、頭部１５ａの側面部$15a_1$と脚部１５ｂの側面部$15b_1$とが半導体層２の厚さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成され、頭部１５ａの側面$15a_2$と脚部１５ｂの側面$15b_2$とが半導体層２の厚さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成されている。

[0039] ここで、平面視とは、半導体層２の厚さ方向（Ｚ方向）に沿う方向から見た場合を指す。また、断面視とは、半導体層２の厚さ方向（Ｚ方向）に沿う縦断面を半導体層２の厚さ方向（Ｚ方向）と直交する方向（Ｘ方向又はＹ方向）から見た場合を指す。

[0040] ＜ゲート絶縁膜＞

図４に示すように、ゲート絶縁膜１３は、半導体部５の第１部分６とゲート電極１５との間において、第１部分６の上面部５ａ、及び第１部分６の２

つの側面部６ｂ$_1$，６ｂ$_2$に亘って設けられている。この第１実施形態では、半導体部５が２つの第１部分６を有しているので、２つの第１部分６の各々において、上面部５ａ、及び２つの側面部６ｂ$_1$，６ｂ$_2$に亘って設けられている。ゲート絶縁膜１３は、例えば酸化シリコン膜で構成されている。

[0041] ＜サイドウォールスペーサ＞

図１、及び図２から図４に示すように、サイドウォールスペーサ１９は、ゲート電極１５の頭部１５ａの側壁に、この頭部１５ａの周囲を囲むようにして設けられている。即ち、サイドウォールスペーサ１９は、平面視でゲート電極１５のゲート長方向（Ｘ方向）の外側の第１部分６と、後述する誘電体部１７とに亘って延伸し、このゲート電極１５のゲート長方向（Ｘ方向）の外側の第１部分６と誘電体部１７とを覆っている。

[0042] サイドウォールスペーサ１９は、ゲート電極１５の頭部１５ａと整合して設けられている。換言すれば、サイドウォールスペーサ１９は、ゲート電極１５の頭部１５ａに対して自己整合で形成されている。サイドウォールスペーサ１９は、例えば、絶縁層１１のベース部４側とは反対側にゲート電極１５を覆うようにして絶縁膜をＣＶＤ（Chemical Vapor Deposition）法で成膜し、その後、この絶縁膜にＲＩＥ（Reactive Ion Etching）などの異方性ドラインエッチングを施すことによって形成することができる。サイドウォールスペーサ１９は、例えば酸化シリコン膜で構成されている。

[0043] ＜主電極領域＞

図２に示すように、一対の主電極領域２１ａ及び２１ｂの各々は、ゲート電極１５と整合して半導体部５に設けられたｎ型の半導体領域からなるｎ型のエクステンション領域１８と、ゲート電極１５の側壁のサイドウォールスペーサ１９と整合して半導体部５に設けられたｎ型の半導体領域からなるｎ型のコンタクト領域２０と、を有する。即ち、ｎ型のエクステンション領域１８及びｎ型のコンタクト領域２０を有する一対の主電極領域２１ａ及び２１ｂの各々は、ゲート電極１５と整合して半導体部５に設けられている。ｎ型のエクステンション領域１８は、主に半導体部５の第１部分６に設けられ

ている。ｎ型のコンタクト領域２０は、主に半導体部５の第２部分７に設けられている。

[0044] 図１Ａに示すように、ｎ型のコンタクト領域２０は、平面視で半導体部５の第２部分７の全域に広がって設けられており、第２部分７の側面部７ｂ$_1$（７ｂ$_{11}$，７ｂ$_{12}$，７ｂ$_{13}$）、７ｂ$_2$、７ｂ$_3$及び７ｂ$_4$と接している。ｎ型のコンタクト領域２０とｎ型のエクステンション領域１８とは、半導体部５の第１部分６において接している。

[0045] 図３に示すように、ｎ型のエクステンション領域１８及びｎ型のコンタクト領域２０の各々は、半導体層２の厚さ方向（Ｚ方向）であって半導体部５の高さ方向に厚みを有する。そして、ｎ型のコンタクト領域２０の方がｎ型のエクステンション領域１８よりも深く形成、換言すれば厚く形成されている。

[0046] 図２及び図４に示すように、この第１実施形態の電界効果トランジスタＱは、フィン部としての島状の半導体部５にゲート絶縁膜１３を介在してゲート電極１５が設けられた、所謂フィン型で構成されている。

[0047] このフィン型の電界効果トランジスタＱでは、一対の主電極領域２１ａと２１ｂとの間の長さがチャネル長Ｌ（≒ゲート長Ｌｇ）であり、ゲート電極１５と半導体部５の第１部分６とが立体的に重畳する領域において第１部分６の上面部５ａ側での幅Ｗ１及び第１部分６の２つの側面部６ｂ$_1$，６ｂ$_2$の高さを含む長さ（半導体部５の周囲の長さ）に第１部分６の個数を乗算した値がチャネル幅Ｗ（≒ゲート幅）となる。

[0048] したがって、フィン型の電界効果トランジスタＱは、半導体部５の第１部分６の幅Ｗ１を広くし、第１部分６の高さを高くすることにより、チャネル幅Ｗが広くなるので、チャネル面積（チャネル長Ｌ×チャネル幅Ｗ）を大きくことができる。そして、フィン型の電界効果トランジスタＱは、第１部分６の個数を増やすことによって、チャネル面積（チャネル長Ｌ×チャネル幅Ｗ）を大きくすることができる。

[0049] 電界効果トランジスタＱは、例えば、ゲート電極１５に閾値電圧以上のゲ

ート電圧を印加することにより、ドレイン電流が流れるエンハンスメント型（ノーマリオフ型）、若しくは、ゲート電極１５に電圧を印加しなくてもドレイン電流が流れるディプレッション型（ノーマリオフ型）で構成されている。この第１実施形態では、これに限定されないが、例えばエンハンスメント型で構成されている。エンハンスメント型の場合、電界効果トランジスタＱは、ゲート電極１５に印加される電圧により、一対の主電極領域２１ａと２１ｂとを電気的に繋ぐチャネル（反転層）がチャネル形成部９に形成（誘起）され、電流（ドレイン電流）がドレイン領域側（例えば主電極領域２１ｂ側）からチャネル形成部９のチャネルを通ってソース領域側（例えば主電極領域２１ａ側）に流れる。

[0050] ＜コンタクト電極及び配線＞

図２に示すように、ゲート電極１５は、絶縁層２２に設けられたコンタクト電極２２ｃを介して、絶縁層２２上の配線２３ｃと電気的に接続されている。また、一対の主電極領域２１ａ及び２１ｂのうち、一方の主電極領域２１ａは、絶縁層２２に設けられたコンタクト電極２２ａを介して、絶縁層２２上の配線２３ａと電気的に接続されている。そして、一対の主電極領域２１ａ及び２１ｂのうち、他方の主電極領域２１ｂは、絶縁層２２に設けられたコンタクト電極２２ｂを介して、絶縁層２２上の配線２３ｂと電気的に接続されている。コンタクト電極２２ａ，２２ｂ，２２ｃの材料としては、例えばチタン（Ｔｉ）、タングステン（Ｗ）などの高融点金属膜を用いることができる。

[0051] ＜誘電体部＞

図１及び図３に示すように、この第１実施形態に係る半導体装置１Ａは、Ｘ方向（第１方向）において、ゲート電極１５と、半導体部５の第２部分７との間に設けられ、かつ絶縁層１１よりも比誘電率が低い誘電体部（分離領域）１７を更に備えている。具体的には、第２部分７の側面部$７ｂ_{1}$とゲート電極１５の脚部１５ｂとの間に誘電体部１７が設けられている。

[0052] この第１実施形態では、半導体部５が２つの第２部分７を有しているので

、２つの第２部分７のうちの一方の第２部分７とゲート電極１５の脚部１５ｂとの間、及び２つの第２部分７のうちの他方の第２部分７とゲート電極１５の脚部１５ｂとの間に、それぞれ誘電体部１７が設けられている。即ち、この第１実施形態では、ゲート電極１５のゲート長方向（Ｘ方向）の両側にそれぞれ誘電体部１７が設けられている。

[0053] また、この第１実施形態では、半導体部５が２つの第１部分６を有しているので、第２部分７の３つの側面部７ｂ$_1$（７ｂ$_{11}$，７ｂ$_{12}$，７ｂ$_{13}$）と、ゲート電極１５の脚部１５ｂとの間に、それぞれ誘電体部１７が設けられている。

[0054] 即ち、この第１実施形態では、２つの第２部分７のうちの一方の第２部分７の側面部７ｂ$_1$とゲート電極１５の脚部１５ｂとの間に、２つの第１部分６で区分けされた３つの誘電体部１７が設けられ、更に、２つの第２部分７のうちの他方の第２部分７の側面部７ｂ$_1$とゲート電１５の脚部１５ｂとの間に、２つの第１部分６で区分けされた３つの誘電体部１７が設けられている。

[0055] 換言すれば、一方の第２部分７の側面部７ｂ$_1$とゲート電極１５の脚部１５ｂとの間の第１部分６の幅方向（Ｙ方向）の両側に、この第１部分６を挟むようにして、それぞれ誘電体部１７が設けられている。そして、他方の第２部分７側においても、他方の第２部分７の側面部７ｂ$_1$とゲート電極１５の脚部１５ｂとの間の第１部分６の幅方向（Ｙ方向）の両側に、この第１部分６を挟むようにして、それぞれ誘電体部１７が設けられている。

[0056] 図３に示すように、第２部分７の側面部７ｂ$_{11}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７は、第２部分７の上面部５ａ側からベース部４側（半導体層２の深さ方向（Ｚ方向））に向かって延伸し、ゲート電極１５の脚部１５ｂの底面部側に設けられた絶縁層１１ａと連結されている。この誘電体部１７は、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとを電気的に分離していると共に、第２部分７とゲート電極１５の脚部１５ａとの間における第１部分６とゲート電極１５の脚部１５ｂとを電気的に分離している。

[0057] ここで、図３に示す絶縁層１１ａは、半導体装置１Ａの製造プロセスにおいて、半導体部５の２つの第２部分７の間の絶縁層１１を選択的にエッチングして掘り込み部１２ａ及び１２ｂを形成する際（図１３から図１５参照）、掘り込み部１２ａ及び１２ｂを半導体部５の高さ（厚さ）よりも浅く形成することによって掘り込み部１２ａ及び１２ｂの各々の底面部に絶縁層１１の一部を残存させたものである。

この第１実施形態では絶縁層１１ａを設けているが、絶縁層１１ａは設け無くともよい。この場合、ゲート電極１５の脚部１５ｂの底面部と半導体層２のベース部４との間にゲート絶縁膜が介在される。

[0058] なお、図３では、一例として、第２部分７の側面部７$ｂ_{11}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７を例示しているが、第２部分７の側面部７$ｂ_{12}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７、及び第２部分７の側面部７$ｂ_{13}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７においても、図３に示す誘電体部１７と同様の構成になっている。したがって、第２部分７の側面部７$ｂ_{12}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７、及び第２部分７の側面部７$ｂ_{13}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７については、図３を参照して説明する。

[0059] 図１及び図３に示すように、第２部分７の側面部７$ｂ_{11}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７は、平面視での四方が、第１部分６と、第２部分７と、ゲート電極１５の脚部１５ｂと、絶縁層１１とで囲まれている。同様に、第２部分７の側面部７$ｂ_{12}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７も、平面視での四方が、第１部分６と、第２部分７と、ゲート電極１５の脚部１５ｂと、絶縁層１１とで囲まれている。

一方、第２部分７の側面部７$ｂ_{13}$とゲート電極１５の脚部１５ｂとの間の誘電体部１７は、平面視での四方が、２つの第１部分６と、第２部分７と、ゲート電極１５の脚部１５ｂとで囲まれている。

[0060] 誘電体部７は、これに限定されないが、例えば、絶縁層１１よりも比誘電率が低い誘電体膜（Low-k膜）で構成されている。誘電体膜としては、例えば

、酸化シリコン（ＳｉＯ）に炭素（Ｃ）が添加された炭素添加シリコン酸化（ＳｉＯＣ）膜を用いることができる。このＳｉＯＣ膜は、酸化シリコン膜よりも比誘電率が低い。例えば、ＳｉＯＣ膜の比誘電率は約１．５～２程度であり、酸化シリコン膜の比誘電率は約４～４．２程度あり、空気の誘電率は約１程度である。

[0061] なお、誘電体部７は、ゲート絶縁膜１３よりも比誘電率が低いことが好ましい。また、誘電体部７のＸ方向に沿う幅Ｗ３（図３参照）は、ゲート絶縁膜１１の膜厚Ｗ４（図４参照）よりも広いことが好ましい。

[0062] ≪半導体装置の製造方法≫

次に、半導体装置１Ａの製造方法について、図５から図３５を用いて説明する。

この第１実施形態では、半導体装置１Ａの製造方法に含まれる電界効果トランジスタＱ及び誘電体部１７の形成に特化して説明する。

[0063] まず、図５（模式的要部平面図）、図６（図５のａ５－ａ５切断線に沿った模式的断面図）、図７（図５のｂ５－ｂ５切断線に沿った模式的断面図）及び図８（図５のｃ５－ｃ５切断線に沿った模式的断面図）に示すように、ベース部４から上方に突出する島状の半導体部５を形成する。

半導体部５は、Ｘ方向（第１方向）に延伸する第１部分６と、Ｘ方向に第１部分６と並んで一体的に設けられ、かつＸ方向と交差するＹ方向（第２方向）に沿う第１部分６の幅Ｗ１と同一方向の幅Ｗ２が第１部分６の幅Ｗ１よりも広い第２部分７と、を有し、かつ第１部分６及び第２部分７の各々が上面部５ａ及び側面部５ｂを有する立体構造で形成する。側面部５ｂは、第１部分６での側面部６$ｂ_1$及び６$ｂ_2$と、第２部分７での側面部７$ｂ_1$、７$ｂ_2$、７$ｂ_3$及び７$ｂ_4$を含む。

この第１実施形態では、これに限定されないが、例えば、Ｙ方向に所定の間隔を置いて併設された２つの第１部分６と、この２つの第１部分６の各々のＸ方向の両端側に設けられた２つの第２部分７とを含む立体構造で半導体部５を形成する。この場合、側面部５ｂは、側面部７$ｂ_1$として、第２部分７

に第１部分６が連結された連結部により三ヶ所に分かれた３つの側面部７ｂ$_{11}$、７ｂ$_{12}$及び７ｂ$_{13}$を含む。

第１部分６及び第２部分７を有する半導体部５は、半導体層２をベース部４が残る程度の深さまで選択的にエッチングすることによって形成することができる。半導体層２としては、これに限定されないが、半導体材料としては例えばシリコン（Ｓｉ）、結晶性としては例えば単結晶、導電型としては例えはｐ型で構成された半導体基板を用いることができる。

なお、半導体層２には、半導体部５を形成する前に、ｐ型の半導体領域からなるｐ型のウエル領域３が形成されている。

[0064] 次に、図９（模式的要部平面図）、図１０（図９のａ９－ａ９切断線に沿った模式的断面図）、図１１（図９のｂ９－ｂ９切断線に沿った模式的断面図）及び図１２（図９のｃ９－ｃ９切断線に沿った模式的断面図）に示すように、平面視で半導体部５の外側に半導体部５の第１部分６及び第２部分７を囲む絶縁層１１を形成する。絶縁層１１は、例えば、半導体層２のベース部４上及び半導体部５上を含む全面に酸化シリコン膜を周知の成膜法により成膜した後、半導体部５上の酸化シリコン膜をＣＭＰ法で選択的に除去することによって形成することができる。

この工程において、絶縁層１１のベース部４側とは反対側の表層部は平坦化され、絶縁層１１の表層部と半導体部５の上面部５ａとが概ね面一となる。そして、絶縁層１１は半導体部５の高さ（突出量）と同程度の膜厚で形成される。

また、この工程において、２つの第１部分６と２つの第２部分７とで囲まれた領域にも半導体部５の上面部５ａと面一の絶縁層１１が形成される。

[0065] 次に、半導体部５の第２部分６の幅方向（Ｙ方向）の外側の絶縁層１１を選択的に除去して、図１３（模式的要部平面図）、図１４（図１３のｂ１３－ｂ１３切断線に沿った模式的断面図）、及び図１５（図１３のｃ１３－ｃ１３切断線に沿った模式的断面図）に示すように、半導体部５の第１部分６の幅方向（Ｙ方向）の外側に、第１部分６の側壁部６ｂ$_{1}$，６ｂ$_{2}$及び２つの

第２部分７の各々の側壁部７ｂ$_1$を露出する掘り込み部１２ａ、１２ａ及び１２ｂを形成する。

２つの掘り込み部１２ａ及び１２ａのうち、一方の掘り込み部１２ａは、２つの第１部分６のうちの一方の第１部分６の他方の第１部分６側とは反対側に形成され、一方の第１部分６の側面部６ｂ$_1$と、２つの第２部分７の各々の側面部７ｂ$_1$（７ｂ$_{11}$）と、を露出する。

また、２つの掘り込み部１２ａ及び１２ａのうち、他方の掘り込み部１２ａは、２つの第１部分６のうちの他方の第１部分６の一方の第１部分６側とは反対側に形成され、他方の第１部分６の側面部６ｂ$_1$と、２つの第２部分７の各々の側面部７ｂ$_1$（７ｂ$_{12}$）と、を露出する。

そして、掘り込み部１２ｂは、２つの第１部分６の間に形成され、２つの第１部分６の各々の側面部６ｂ$_2$と、２つの第２部分７の各々の側面部７ｂ$_1$（７ｂ$_{13}$）と、を露出する。

この工程において、掘り込み部１２ａ及び１２ｂは、これに限定されないが、例えば、絶縁層１１の一部が底面部に絶縁層１１ａとして残存する深さで形成する。

[0066] 次に、図１６（模式的要部平面図）、図１７（図１６のａ１６－ａ１６切断線に沿った模式的断面図）、図１８（図１６のｂ１６－ｂ１６切断線に沿った模式的断面図）及び図１９（図１６のｃ１６－ｃ１６切断線に沿った模式的断面図）に示すように、半導体部５の２つの第１部分６の各々の上面部５ａ、及び２つの第１部分６の各々の側面部６ｂ$_1$，６ｂ$_2$にゲート絶縁膜１３を形成する。ゲート絶縁膜１３は、２つの第１部分６の各々の上面部５ａ及び側面部６ｂ$_1$，６ｂ$_2$に酸化シリコン膜を例えば熱酸化法又は堆積法により成膜することによって形成することができる。

この工程において、半導体層５の第２部分７の上面部５ａ及び側面部７ｂ$_1$（７ｂ$_{11}$，７ｂ$_{12}$，７ｂ$_{13}$）にもゲート絶縁膜１３が形成される。

[0067] 次に、図２０（模式的要部平面図）、図２１（図２０のａ２０－ａ２０切断線に沿った模式的断面図）、図２２（図２０のｂ２０－ｂ２０切断線に沿

った模式的断面図）及び図２３（図２０のｃ２０－ｃ２０切断線に沿った模式的断面図）に示すように、掘り込み部１２ａ，１２ｂの各々の内部、及び半導体部５の上面部５ａ上、並びに絶縁層１１上を含む半導体層２上の全面に導電膜１４を形成する。導電膜１４としては、例えば抵抗値を低減する不純物が成膜中又は成膜後に導入された多結晶シリコン（ドープドポリシリコン）膜を用いることができる。半導体部５にゲート絶縁膜１３が形成されている箇所では、半導体部５と導電膜１４との間にゲート絶縁膜１３が介在される。

[0068] 次に、周知のフォトリソグラフィ技術及びドライエッチング技術を用いて導電膜１４をパターンニングし、図２４（模式的要部平面図）、図２５（図２４のａ２４－ａ２４切断線に沿った模式的断面図）、図２６（図２４のｂ２４－ｂ２４切断線に沿った模式的断面図）及び図２７（図２４のｃ２４－ｃ２４切断線に沿った模式的断面図）に示すように、半導体部５の２つの第２部分７の各々から離間し、かつゲート絶縁膜１３を介在して２つの第１部分６の各々の上面部５ａ及び側面部６ｂ$_1$，６ｂ$_2$と向かい合うゲート電極１５を形成する。

ゲート電極１５は、半導体部５の第１部分６の上面部５ａ側にゲート絶縁膜１３を介在して設けられた頭部１５ａと、この頭部１５と一体化され、かつ半導体部５の第１部分６の互いに反対側に位置する２つの側面部６ｂ$_1$及び６ｂ$_2$の各々の外側にゲート絶縁膜１３を介在して設けられた脚部１５ｂと、を有する。

頭部１５ａは、半導体部５の第１部分６の幅方向（Ｙ方向）において、掘り込み部１２ａ、第１部分６、掘り込み部１２ｂ、第１部分６及び掘り込み部１２ａをこの順で横切る。

脚部１５ｂは、３つの掘り込み部１２ａ，１２ｂ，１２ａの各々の中に形成され、各々の一端側が頭部１５ａと連結される。

[0069] この工程において、図２６に示すように、ゲート電極１５は、頭部１５ａのＸ方向（ゲート長方向）における２つの側面部１５ａ$_1$，１５ａ$_2$と、脚部

１５ｂのＸ方向（ゲート長方向）における２つの側面部１５ｂ$_1$，５ｂ$_2$と、が断面視で面一に形成される。換言すれば、頭部１５ａの一方の側面部１５ａ$_1$と脚部１５ｂの一方の側面部１５ｂ$_1$とが半導体層２の厚さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成され、頭部１５ａの他方の側面部１５ａ$_2$と脚部１５ｂの他方の側面部１５ｂ$_2$とが半導体層２の厚さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成される。

[0070] また、この工程において、図２４及び図２６に示すように、半導体部５の第２部分７の側壁部７ｂ$_1$（７ｂ$_{11}$，７ｂ$_{12}$，７ｂ$_{13}$）とゲート電極１５の脚部１５ｂとの間に間隙部１６が形成される。図２６では、一例として第２部分７の側壁部７ｂ$_{11}$とゲート電極１５の脚部１５ｂの側面部１５ｂ$_1$，１５ｂ$_2$との間の間隙部１６を例示している。

この第１実施形態では、半導体部５が２つの第１部分６及び２つの第２部分７を有しているので、空間部１６は、平面視でゲート電極１５のゲート長方向の両側（２つの第２部分７側）にそれぞれ３つずつ形成される。

[0071] また、この工程において、第２部分７の上面部５ａ及び側面部７ｂ$_1$におけるゲート絶縁膜１３は、導電膜１４をパターンニングするときのサイドエッチング及びオーバーエッチングにより除去される。

[0072] 次に、図２８（模式的要部平面図）、及び図２９（図２８のｂ２８－ｂ２８切断線に沿った模式的断面図）に示すように、各々の間隙部１６の中に、絶縁層１１よりも比誘電率が低い誘電体部１７を形成する。

誘電体部１７は、これに限定されないが、例えば、酸化シリコン膜よりも比誘電率が低いＳｉＯＣ膜を、間隙部１６の内部、半導体部５上及び絶縁層１１上を含む半導体層２上の全面に形成し、その後、半導体部５上及び絶縁層１１のＳｉＯＣ膜を選択的に除去することによって形成することができる。

この工程により、Ｘ方向において、半導体部５の第２部分７の側面部７ｂ$_1$（７ｂ$_{11}$，７ｂ$_{12}$，７ｂ$_{13}$）とゲート電極１５の脚部１５ｂとの間に、絶縁層１１よりも比誘電率が低い誘電体部１７を選択的に形成することができる

。

[0073] 次に、図３０（模式的要部平面図）、図３１（図３０のａ３０－ａ３０切断線に沿った模式的断面図）、及び図３２（図３０のｂ３０－ｂ３０切断線に沿った模式的断面図）に示すように、ゲート電極１５のＸ方向の両側の各々の半導体部５に、ｎ型の半導体領域からなる一対のｎ型のエクステンション領域１８を形成する。エクステンション領域１８は、ゲート電極１５及び誘電体部１７並びに絶縁層１１を不純物導入用マスクとして使用し、ゲート電極１５のゲート長方向（Ｘ方向）の両側の各々の半導体部５にｎ型を呈する不純物として例えば砒素イオン（As^+）や燐イオン（P^+）をイオン注入し、その後、不純物を活性化させる熱処理を施すことによって形成することができる。

この工程において、一対のｎ型のエクステンション領域１８の各々は、半導体部５の第１部分６及び第２部分７の各々にゲート電極１５と整合して形成される。

また、この工程において、誘電体部１７は保護層として機能し、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間を通して半導体部５やベース部４に不純物イオンが注入される現象を抑制することができる。

[0074] 次に、図３３（模式的要部平面図）、図３４（図３３のａ３３－ａ３３切断線に沿った模式的断面図）、及び図３５（図３３のｂ３３－ｂ３３切断線に沿った模式的断面図）に示すように、絶縁層１１から突出するゲート電極１５の頭部１５ａの側面部$15a_1$及び$15a_2$を含む側壁にサイドウォールスペーサ１９を形成する。サイドウォールスペーサ１９は、半導体部５及びゲート電極１５の頭部１５ａを覆うようにして絶縁層１１上の全面に絶縁膜をＣＶＤ法で成膜し、その後、この絶縁膜に例えばＲＩＥなどの異方性ドライエッチングを施すことによって形成することができる。絶縁膜としては、例えば酸化シリコン膜を用いることができる。

[0075] サイドウォールスペーサ１９は、ゲート電極１５の頭部１５ａの側壁にゲート電極１５の頭部１５ａを囲むようにして形成されると共に、ゲート電極

１５に対して自己整合で形成される。サイドウォールスペーサ１９は、ゲート電極１５のゲート長方向の外側の第１部分６及び誘電体部１７に亘って延伸し、この第１部分６及び誘電体部１７を覆う。

[0076] 次に、図３３（模式的要部平面図）、図３４（図３３のａ３３－ａ３３切断線に沿った模式的断面図）、及び図３５（図３３のｂ３３－ｂ３３切断線に沿った模式的断面図）に示すように、ゲート電極１５のゲート長方向（Ｘ方向）の両端側の各々の半導体部５に、ｎ型の半導体領域からなる一対のｎ型のコンタクト領域２０を形成する。この一対のｎ型のコンタクト領域２０は、絶縁層１１、ゲート電極１５、及びサイドウォールスペーサ１９を不純物導入用マスクとして使用し、平面視で絶縁層１１とサイドウォールスペーサ１９との間の半導体部５（第２部分７）にｎ型を呈する不純物として例えば砒素イオン（As^+）や燐イオン（P^+）をイオン注入し、その後、不純物を活性化させる熱処理を施すことによって形成することができる。一対のｎ型のコンタクト領域２０は、サイドウォールスペーサ１９に対して自己整合で第２部分７及び第１部分６に亘って形成される。

この工程において、ｎ型のエクステンション領域１８とｎ型のコタクト領域２０とが第１部分６で接する。

また、この工程において、ｎ型のエクステンション領域１８及びｎ型のコンタクト領域２０を含む一対の主電極領域２１ａ及び２１ｂが半導体部５に形成される。

この工程により、図１から図４に示す電界効果トランジスタＱがほぼ完成する。

[0077] なお、ｎ型のコンタクト領域２０は、サイドウォールスペーサ１９の平面方向の幅を制御することによって第２部分６に選択的（第２部分６のみ）に形成することができる。

[0078] ≪第１実施形態の主な効果≫

次に、この第１実施形態の主な効果について、図３６及び図３７を参照して説明する。

図３６は、この第１実施形態の電界効果トランジスタＱに付加される寄生容量を示す模式的縦断面図である。

図３７は、比較例の電界効果トランジスタＱｚに付加される寄生容量を示す模式的縦断面図である。

[0079] 図３７に示すように、比較例の半導体装置では、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間にも、半導体部５の周囲を囲む絶縁層１１が設けられている。このため、第２部分７を一方の電極とし、ゲート電極１５の脚部１５ｂを第２電極とし、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間の絶縁層１１を誘電体とする寄生量２６が電界トランジスタＱｚに付加される。このような寄生容量２６は、電界効果トランジスタＱｚのノイズ特性を劣化させ、半導体装置の信頼性を低下させる要因となる。

[0080] これに対し、図３６に示すように、この第１実施形態の半導体装置１Ａでは、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間に誘電体部１７が設けられている。このため、この第１実施形態においても、第２部分７を一方の電極とし、ゲート電極１５の脚部１５ａを第２電極とし、第２部分７とゲート電極１５の脚部１５ｂとの間の誘電体部１７を誘電体とする寄生量２５が電界トランジスタＱに付加される。

[0081] しかしながら、誘電体部１７は、絶縁層１１よりも比誘電率が低い。したがって、電界効果トランジスタＱに付加される寄生容量２５を比較例の電界効果トランジスタＱｚに付加される寄生容量２６よりも小さくすることができる。

[0082] また、電界効果トランジスタＱに付加される寄生容量としては、寄生容量２５の他にも存在するが、この寄生容量２５を小さくすることができるため、電界効果トランジスタＱのノイズ特性の劣化を抑制でき、半導体装置１Ａの信頼性を向上させることができる。

[0083] また、この第１実施形態に係る半導体装置１Ａの製造方法では、ゲート電極１５の形成工程において、頭部１５ａ及び脚部１５ｂを有するゲート電極

１５を導電膜１４の１回の加工により形成しているので、頭部１５ａのＸ方向（ゲート長方向）における２つの側面部１５ａ$_1$，１５ａ$_2$と、脚部１５ｂのＸ方向（ゲート長方向）における２つの側面部１５ｂ$_1$，１５ｂ$_2$と、を断面視でそれぞれ面一にすることができる。

[0084] また、この第１実施形態での符号を参照して説明すれば、従来の製造プロセスでは、ゲート電極１５の頭部１５ａと脚部１５ｂとをそれぞれ別の加工工程で形成している。このため、マスクの合わせずれや寸法変動の影響により、頭部１５ａと脚部１５ｂとの間で段差が形成され、しかも、この段差にばらつきが生じる。この段差のばらつきにより、ゲート電極とドレイン領域との間の寄生容量Ｃｇｄもばらつくことになり、電界効果トランジスタのノイズ特性が劣化する。

[0085] これに対し、この第１実施形態の半導体装置１Ａの製造方法では、頭部１５ａの側面部１５ａ$_1$，１５ａ$_2$と、脚部１５ｂの側面部１５ｂ$_1$，５ｂ$_2$と、を断面視でそれぞれ面一にすることができるため、ゲート電極１５とドレイン領域（例えば主電極領域２１ｂ）との間の寄生容量Ｃｇｄは、従来のような、プロセスばらつきの影響を受けない。したがって、この第１実施形態の半導体装置１Ａの製造方法によれば、電界効果トランジスタＱのノイズ特性の劣化を抑制することが可能となる。

[0086] また、この第１実施形態の半導体装置１Ａの製造方法によれば、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間に、半導体部５の周囲を囲む絶縁層１１よりも比誘電率が低い誘電体部１７を形成することができるため、電界効果トランジスタＱのノイズ特性の劣化をより一層抑制することが可能となる。これにより、半導体装置１Ａのより一層の信頼性向上を図ることが可能となる。

[0087] ≪第１実施形態の変形例≫

なお、上述の第１実施形態では、ゲート電極１５のゲート長方向の両側に誘電体部１７をそれぞれ設けた場合について説明したが、図３８に示すように、ゲート電極１５のゲート長方向（Ｘ方向）の両側のうちの何れか一方に

誘電体部１７を設けるようにしてもよい。即ち、誘電体部１７は、ゲート電極１５のゲート長方向の両側のうちの少なくとも何れか一方に設けられていればよい。但し、電界効果トランジスタＱのノイズ特性の劣化を考慮すると、上述の第１実施形態のように、ゲート電極１５のゲート長方向の両側にそれぞれ誘電体部１７を設けることが好ましい。

[0088] また、上述の第１実施形態では、Ｙ方向に併設された２つの第１部分６を有する半導体部５について説明したが、本技術は、図３９に示すように、１つの第１部分６を有する半導体部５においても適用することができる。この場合においても、誘電体部１７は、ゲート電極１５のゲート長方向の両側のうちの少なくとも何れか一方に設けられていればよい。図３９では、一例として、ゲート電極１５のゲート長方向の両側に誘電体部１７をそれぞれ設けた構成を例示している。

[0089] また、本技術は、Ｙ方向に併設された３つ以上の第１部分６を有する半導体部５においても適用することができる。

[0090] また、上述の実施形態では、第１部分６のＸ方向の両側に第２部分７をそれぞれ設けた半導体部５について説明したが、本技術は、第１部分６のＸ方向の両側のうちの少なくとも何れか一方に第２部分７が設けられた半導体部５にも適用することができる。

[0091] また、上述の第１実施形態では、電界効果トランジスタＱがｎチャネル導電型で構成された場合について説明したが、本技術は、電界効果トランジスタＱがｐチャネル導電型で構成された場合にも適用することができる。

[0092] また、上述の第１実施形態では、電界効果トランジスタＱがエンハンスメント型で構成された場合について説明したが、本技術は、電界効果トランジスタＱがディプレッション型で構成された場合にも適用することができる。

[0093] また、上述の第１実施形態では、半導体部５の第１部分６に１つの電界効果トランジスタＱを設けた場合について説明したが、本技術は、第１部分６に複数の電界効果トランジスタＱを設けた場合にも適用することができる。

[0094] 〔第２実施形態〕

本技術の第２実施形態に係る半導体装置１Ｂは、基本的に上述の第１実施形態に係る半導体装置１Ａと同様の構成になっており、以下の構成が異なっている。

[0095] 即ち、図４０に示すように、本技術の第２実施形態に係る半導体装置１Ｂは、上述の第１実施形態の図３に示す誘電体部１７に替えて、誘電体部１７Ｂを備えている。誘電体部１７Ｂは、絶縁層１１よりも比誘電率が低い空洞部１７ｂ$_1$で構成されている。空洞部１７ｂ$_1$は、半導体装置１Ｂの製造プロセスにおいて、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間の間隙部１６（図２４及び図２６参照）にカバレッジ性が低い絶縁膜１７ｂ$_2$を成膜することで容易に形成することができる。その他の構成は、上述の第１実施形態と概ね同様である。

[0096] この第２実施形態に係る半導体装置１Ｂにおいても、上述の第１実施形態に係る半導体装置１Ａと同様の効果が得られる。

[0097] なお、半導体部５の上面部５ａから空洞部１７ｂ$_1$までの絶縁膜１７ｂ$_2$の膜厚、及び空洞部１７ｂ$_1$から絶縁層１１ａまでの絶縁膜１７ｂ$_2$の膜厚は、エクステンション領域を形成する工程において、イオン注入する不純物が突き抜けない程度で形成することが好ましい。この第２実施形態では、上述の第１実施形態と同様に、絶縁層１１ａを残存させているが、絶縁層１１ａを残存させない場合には絶縁膜１７ｂ$_2$の膜厚制御が必要となる。

また、絶縁膜１７ｂ$_2$としては、絶縁層１１よりも比誘電率が低い絶縁膜を用いてもよい。

[0098] 〔第３実施形態〕

この第３実施形態では、１つの半導体部に２つの電界効果トランジスタを設けた場合について説明する。

[0099] 本技術の第３実施形態に係る半導体装置１Ｃは、基本的に上述の第１実施形態に係る半導体装置１Ａと同様の構成になっており、以下の構成が異なっている。

[0100] 即ち、図４１から図４３に示すように、本技術の第３実施形態に係る半導

体装置１Ｃは、半導体層２に設けられた島状の半導体部５と、この半導体部５に設けられた２つの電界効果トランジスタＱ１及びＱ２と、を備えている。また、この第３実施形態に係る半導体装置１Ｃは、上述の第１実施形態と同様に、半導体部５の外側に半導体部５を囲むようにして設けられた絶縁層１１を備えている。

[0101] 半導体層２は、Ｘ方向及びＹ方向において二次元状に広がるベース部４と、このベース部４から上方（Ｚ方向）に突出する島状の半導体部５とを含む。

[0102] この第３実施形態の半導体部５は、Ｙ方向に所定の間隔を置いて併設された２つの第１部分６と、この２つの第１部分６の各々のＸ方向の両端側に設けられた２つの第２部分７と、２つの第１部分６のＸ方向の中間部に設けられた第３部分２８とを有し、かつ第１部分６、第２部分７及び第３部分２８が上面部５ａ及び側面部５ｂを有する立体構造になっている。この第３実施形態の半導体部５は、上述の第１実施形態の半導体部５と基本的に同様の構成になっており、第３部分２８を有する点が異なる。

[0103] 第３部分２８は、基本的に第２部分７と同様の構成になっている。第３部分２８は、第２部分７と同様に、第１部分６の幅Ｗ１と同一方向の幅Ｗ５が第１部分６の幅Ｗ１よりも広い。第３部分２８は、Ｘ方向において互いに反対側に位置する側面部２８ｂ$_1$及び２８ｂ$_2$と、Ｙ方向において互いに反対側に位置する側面部２８ｂ$_3$及び２８ｂ$_4$と、を有する。そして、この側面部２８ｂ$_1$及び２８ｂ$_2$の各々は、第３部分２８に第１部分６が連結された連結部により三ヶ所に分かれて３つ設けられている。

[0104] 即ち、この第３実施形態の半導体部５の側面部５ｂは、２つの第１部分６の各々の側面部６ｂ$_1$及び６ｂ$_2$と、２つの第２部分７の各々の側面部７ｂ$_1$、７ｂ$_2$、７ｂ$_3$及び７ｂ$_4$と、第３部分２８の側面部２８ｂ$_1$、２８ｂ$_2$、２８ｂ$_3$及び２８ｂ$_4$と、を含む。

[0105] 電界効果トランジスタＱ１は、２つの第２部分７のうちの一方の第２部分７と第３部分２８との間の第１部分６に設けられている。電界効果トランジ

スタＱ２は、２つの第２部分７のうちの他方の第２部分７と第３部分２８との間の第１部分６に設けられている。そして、電界効果トランジスタＱ１及びＱ２の各々は、上述の第１実施形態の電界効果トランジスタＱと同様の構成になっている。

[0106] この第３実施形態の半導体装置１Ｃは、半導体部５の２つの第２部分７のうちの一方の第２部分７と電界効果トランジスタＱ１のゲート電極１５の脚部１５ｂとの間に、上述の第１実施形態と同様に、半導体部５の周囲を囲む絶縁層１１よりも比誘電率が低い誘電体部１７を備えている。また、この第３実施形態の半導体装置１Ｃは、半導体部５の２つの第２部分７のうちの他方の第２部分７と電界効果トランジスタＱ２のゲート電極１５の脚部１５ｂとの間に、上述の第１実施形態と同様に、半導体部５の周囲を囲む絶縁層１１よりも比誘電率が低い誘電体部１７を備えている。そして、この第３実施形態の半導体装置１Ｃは、半導体部５の第３部分２８と電界効果トランジスタＱ１のゲート電極１５の脚部１５ｂとの間、及び、半導体部５の第３部分２８と電界効果トランジスタＱ２のゲート電極１５の脚部１５ｂとの間にも、半導体部５の周囲を囲む絶縁層１１よりも比誘電率が低い誘電体部１７を備えている。

[0107] 図４２に示すように、電界効果トランジスタＱ１とＱ２とは、電界効果トランジスタＱ１の一対の主電極領域２１ａ及び２１ｂのうちの他方の主電極領域２１ｂと、電界効果トランジスタＱ２の一対の主電極領域２１ａ及び２１ｂのうちの一方の主電極領域２１ａとが共有されている。

[0108] この第３実施形態に係る半導体装置１Ｃにおいても、上述の第１実施形態に係る半導体装置１Ａと同様の効果が得られる。

[0109] ≪第３実施形態の変形例≫

なお、上述の第３実施形態では、第１部分６のＸ方向の中間部に第３部分２８を有する半導体部５に２つの電界効果トランジスタＱ１及びＱ２を設けた場合について説明したが、本技術は、図４４に示すように、図４１に示す第３部分２８を省略した半導体部５に２つの電界効果トランジスタＱ１及び

Ｑ２を設けた場合にも適用することができる。

[0110] 〔第４実施形態〕

本技術の第４実施形態に係る半導体装置の製造方法について、図４５から図６９を用いて説明する。

この第４実施形態では、半導体装置の製造方法に含まれる電界効果トランジスタＱ及び誘電体部１７の形成に特化して説明する。

また、この第４実施形態では、ゲート電極１５を導電膜１４の２回の加工により形成する場合について説明する。

[0111] まず、図４５（模式的要部平面図）、図４６（図４５のａ４５－ａ４５切断線に沿った模式的断面図）、図４７（図４５のｂ４５－ｂ４５切断線に沿った模式的断面図）、及び図４８（図４５のｃ４５－ｃ４５切断線に沿った模式的断面図）に示すように、ベース部４から上方に突出する島状の半導体部５を形成する。

半導体部５は、Ｘ方向（第１方向）に延伸する第１部分６と、Ｘ方向に第１部分６と並んで一体的に設けられ、かつＸ方向と交差するＹ方向（第２方向）に沿う第１部分６の幅Ｗ１と同一方向の幅Ｗ２が第１部分６の幅Ｗ１よりも広い第２部分７と、を有し、かつ第１部分６及び第２部分７の各々が上面部５ａ及び側面部５ｂを有する立体構造で形成する。側面部５ｂは、第１部分６での側面部６$ｂ_1$及び６$ｂ_2$と、第２部分７での側面部７$ｂ_1$、７$ｂ_2$、７$ｂ_3$及び７$ｂ_4$を含む。この第４実施形態では、１つの第１部分６と、この１つの第１部分６のＸ方向の両端側に設けられた２つの第２部分７とを有する立体構造で半導体部５を形成する。

第１部分６及び第２部分７を含む半導体部５は、半導体層２をベース部４が残る程度の深さまで選択的にエッチングすることによって形成することができる。半導体層２としては、これに限定されないが、半導体材料としては例えばシリコン（Ｓｉ）、結晶性としては例えば単結晶、導電型としては例えはｐ型で構成された半導体基板を用いることができる。

なお、半導体層２には、半導体部５を形成する前に、ｐ型の半導体領域か

らなるｐ型のウエル領域３が形成されている。

[0112] 次に、上述の第１実施形態と同様の方法で半導体部５の周囲を囲む絶縁層１１を形成する。

そして、絶縁層１１を形成した後、半導体部５の第２部分６の幅方向（Ｙ方向）の外側の絶縁層１１を選択的に除去して、図４９（模式的要部平面図）、図５０（図４９のｂ４９－ｂ４９切断線に沿った模式的断面図）、及び図５１（図４９のｃ４９－ｃ４９切断線に沿った模式的断面図）に示すように、導体部５の第１部分６の幅方向の外側に、第１部分６の側壁部６ｂ$_1$，６ｂ$_2$及び第２部分７の側壁部７ｂ$_1$を露出する掘り込み部１２ａ、１２ａを形成する。

[0113] ２つの掘り込み部１２ａ及び１２ａのうち、一方の掘り込み部１２ａは、第１部分６の側面部６ｂ$_1$側に形成され、第１部分６の側面部６ｂ$_1$と、２つの第２部分７の各々の側面部７ｂ$_1$（７ｂ$_{11}$）と、を露出する。

また、２つの掘り込み部１２ａ及び１２ａのうち、他方の掘り込み部１２ａは、第１部分６の側面部６ｂ$_2$側に形成され、第１部分６の側面部６ｂ$_2$と、２つの第２部分７の各々の側面部７ｂ$_1$（７ｂ$_{12}$）と、を露出する。

この工程において、掘り込み部１２ａ及び１２ａは、これに限定されないが、上述の第１実施形態とは異なり、例えば、半導体層２のベース部４に到達する深さで形成する。

[0114] 次に、半導体部５の第１部分６の上面部５ａ及び側面部６ｂ$_1$，６ｂ$_2$にゲート絶縁膜１３を形成する。ゲート絶縁膜１３は、第１部分６の上面部５ａ及び側面部６ｂ$_1$，６ｂ$_2$に酸化シリコン膜を例えば熱酸化法又は堆積法により成膜することによって形成することができる。

[0115] この工程において、半導体層５の第２部分７の上面部５ａ及び側面部７ｂ$_1$（７ｂ$_{11}$，７ｂ$_{12}$）、並び半導体層２のベース部４の表面部にもゲート絶縁膜１３が形成される。

[0116] 次に、ゲート絶縁膜１３を形成した後、図５２（模式的要部平面図）、図５３（図５２のａ５２－ａ５２切断線に沿った模式的断面図）、図５４（図

５２のｂ５２－ｂ５２切断線に沿った模式的断面図）及び図５５（図５２のｃ５２－ｃ５２切断線に沿った模式的断面図）に示すように、２つの掘り込み部１２ａの各々の内部を埋め込むようにして、半導体層２及び絶縁層１１を覆う導電膜１４（ゲート電極材）を形成する。導電膜１４としては、例えば抵抗値を低減する不純物が成膜中又は成膜後に導入された多結晶シリコン（ドープドポリシリコン）膜を用いることができる。半導体部５にゲート絶縁膜１３が形成されている箇所では、半導体部５と導電膜１４との間にゲート絶縁膜１３が介在される。

[0117] 次に、周知のフォトリソグラフィ技術及びドライエッチング技術を用いて導電膜１４をパターンニングして、図５６（模式的要部平面図）、図５７（図５６のａ５６－ａ５６切断線に沿った模式的断面図）、図５８（図５６のｂ５６－ｂ５６切断線に沿った模式的断面図）及び図５９（図５６のｃ５６－ｃ５６切断線に沿った模式的断面図）に示すように、第１部分６と隣り合って２つの掘り込み部１２ａの各々に埋め込まれた脚部７と、この脚部１５ｂと一体化されると共に第１部分６と重畳し、かつ脚部１５ｂの第１方向（Ｘ方向）に沿う幅Ｗ７と同一方向の幅Ｗ６が脚部１５ｂの幅Ｗ７も狭い頭部１５と、を有するゲート電極１５を形成する。

[0118] この工程において、ゲート電極１５の頭部１５ａは、半導体部５の第１部分６の上面部側にゲート絶縁膜１３を介在して設けられ、Ｙ方向において第１部分６を横切る。ゲート電極１５の脚部１５ｂは、２つの掘り込み部１２ａの各々の中に形成され、かつ各々の一端側が頭部１５ａと連結される。そして、２つの脚部１５ｂのうち、一方の脚部１５ｂは、半導体部５の第１部分６の側面部６ｂ$_1$の外側にゲート絶縁膜１３を介在して設けられる。そして、２つの脚部１５ｂのうち、他方の脚部１５ｂは、半導体部５の第１部分６の側面部６ｂ$_2$の外側にゲート絶縁膜１３を介在して設けられる。

また、この工程において、頭部１５ａのＸ方向の外側の半導体部５の上面部５ａにおけるゲート絶縁膜１３は、導電膜１４をパターンニングするときのサイドエッチング及びオーバーエッチングにより除去される。

なお、これに限定されないが、この実施形態では、頭部１５ａの外側の脚部１５ｂが半導体部５の上面部５ａと概ね面一となるように導電膜１４を加工する。

[0119] 次に、図６０（模式的要部平面図）、図６１（図６０のａ６０－ａ６０切断線に沿った模式的断面図）、及び図６２（図６０のｂ６０－ｂ６０切断線に沿った模式的断面図）に示すように、ゲート電極１５のゲート長方向（Ｘ方向）の両側の各々の半導体部５に、ｎ型の半導体領域からなる一対のｎ型のエクステンション領域１８を形成する。エクステンション領域１８は、ゲート電極１５の頭部１５ａ及び頭部１５ａの外側の脚部５ｂ、並びに絶縁層１１を不純物導入用マスクとして使用し、ゲート電極１５のゲート長方向（Ｘ方向）の両側の各々の半導体部５にｎ型を呈する不純物として例えば砒素イオン（As^+）や燐イオン（P^+）をイオン注入し、その後、不純物を活性化させる熱処理を施すことによって形成することができる。

この工程において、一対のｎ型のエクステンション領域１８の各々は、半導体部５の第１部分６及び第２部分７の各々にゲート電極１５の頭部１５ａと整合して形成される。

また、この工程において、頭部１５ａの外側の脚部１５ｂは保護層（不純物導入抑制層）として機能し、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間を通して半導体部５やベース部４に不純物イオンが注入される現象を抑制することができる。

[0120] 次に、図６３（模式的要部平面図）、図６４（図６３のａ６３－ａ６３切断線に沿った模式的断面図）、及び図６５（図６３のａ６３－ａ６３切断線に沿った模式的断面図）に示すように、頭部１５ａの外側の脚部１５ｂを選択的に除去する。

頭部１５ａの外側の脚部１５ｂの除去は、周知のフォトリソグラフィ技術及びドライエッチング技術を用いて行う。

また、頭部１５ａの外側の脚部１５ｂの除去は、頭部１５ａのＸ方向の両側の側面部$15a_1$及び$15a_2$が内側に後退するように頭部１５ａ及び脚部

１５ｂを半導体部５の高さ方向に一括してエッチングすることによって行う。

また、このエッチングは、掘り込み部１２ａの底部近傍まで深く行う。即ち、エッチングは、頭部１５ａの外側の脚部１５ｂが完全に除去される深さ、換言すれば脚部１５ｂの外側の脚部１５ｂが残存しない深さまで行う。

[0121] この工程において、半導体部５の第２部分７の側壁部７ｂ$_1$（７ｂ$_{11}$，７ｂ$_{12}$）とゲート電極１５の脚部１５ｂとの間に間隙部１６が形成される。

[0122] また、この工程において、頭部１５ａのＸ方向（ゲート長方向）における２つの側面部１５ａ$_1$，１５ａ$_2$と、脚部１５ｂのＸ方向（ゲート長方向）における２つの側面部１５ｂ$_1$，５ｂ$_2$と、が断面視で面一に形成される。換言すれば、頭部１５ａの一方の側面部１５ａ$_1$と脚部１５ｂの一方の側面部１５ｂ$_1$とが半導体層２の厚さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成され、頭部１５ａの他方の側面部１５ａ$_2$と脚部１５ｂの他方の側面部１５ｂ$_2$とが半導体層２の厚さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成される。更に換言すれば、頭部１５ａのＸ方向の幅Ｗ６と脚部１６ｂのＸ方向のＷ７とが設計値で同一となる。

[0123] また、この工程において、図６４Ａに示すように、頭部１５ａのＸ方向の両側の側面部１５ａ$_1$及び１５ａ$_2$が内側に後退することに起因して半導体部５の第１部分６の上面部５ａに段差部５ａ$_1$が形成される。

[0124] 次に、図６６（模式的要部平面図）、図６７（図６６のｂ６６－ｂ６６切断線に沿った模式的断面図）及び図６８（図６６のｂ６６－ｂ６６切断線に沿った模式的断面図）に示すように、ゲート電極１５の側壁に頭部１５ａの側面部１５ａ$_1$，１５ａ$_2$及び脚部１５ｂの側面部１５ｂ$_1$，１５ｂ$_2$を覆うサイドウォールスペーサ１９を形成する。サイドウォールスペーサ１９は、図６５に示す間隙部１６を埋め込むと共に、半導体部５及びゲート電極１５の頭部１５ａを覆うようにして絶縁層１１上の全面に絶縁膜をＣＶＤ法で成膜し、その後、この絶縁膜に例えばＲＩＥなどの異方性ドライエッチングを施すことによって形成することができる。絶縁膜としては、例えば酸化シリコ

ン膜を用いることができる。

[0125] サイドウォールスペーサ１９は、ゲート電極１５の頭部１５ａの側壁にゲート電極１５の頭部１５ａを囲むようにして形成されると共に、ゲート電極１５に対して自己整合で形成される。サイドウォールスペーサ１９は、ゲート電極１５のゲート長方向の外側の第１部分６をＹ方向に横切る。

[0126] この工程において、図６７Ａに示すように、半導体部５の第１部分６の段差部５ａ$_1$はサイドウォールスペーサ１９で覆われる。即ち、段差部５ａ$_1$は、平面視でサイドウォールスペーサ１９と重畳する位置に配置される。

[0127] 次に、図６９（模式的要部平面図）、図７０（図６９のａ６９－ａ６９切断線に沿った模式的断面図）、及び図７１（図６９のｂ６９－ｂ６９切断線に沿った模式的断面図）に示すように、ゲート電極１５のゲート長方向（Ｘ方向）の両端側の各々の半導体部５に、ｎ型の半導体領域からなる一対のｎ型のコンタクト領域２０を形成する。この一対のｎ型のコンタクト領域２０は、絶縁層１１、ゲート電極１５、及びサイドウォールスペーサ１９を不純物導入用マスクとして使用し、平面視で絶縁層１１とサイドウォールスペーサ１９との間の半導体部５（第２部分７）にｎ型を呈する不純物として例えば砒素イオン（Ａｓ$^+$）や燐イオン（Ｐ$^+$）をイオン注入し、その後、不純物を活性化させる熱処理を施すことによって形成することができる。一対のｎ型のコンタクト領域２０は、サイドウォールスペーサ１９に対して自己整合で第２部分７及び第１部分６に亘って形成される。

この工程において、ｎ型のエクステンション領域１８とｎ型のコタクト領域２０とが第１部分６で接する。

[0128] また、この工程において、ｎ型のエクステンション領域１８及びｎ型のコンタクト領域２０を含む一対の主電極領域２１ａ及び２１ｂが半導体部５に形成される。

この工程により、半導体部５の第１部分５ａに設けられたチャネル形成部９と、ゲート絶縁膜１３を介在して半導体部５の第１部分６の上面部５ａ及び側面部６ｂ$_1$，６ｂ$_2$に亘って設けられたゲート電極１５と、ゲート電極１

５の側壁に頭部１５ａ及び脚部１５ｂに亘って設けられたサイドウォールスペーサ１９と、ゲート電極１５のチャネル長方向（Ｘ方向）の両側の半導体部５にそれぞれ設けられた一対の主電極領域２１ａ，２１ｂとを有する電界効果トランジスタＱがほぼ完成する。

[0129] なお、一対の主電極領域２１ａ及び２１ｂの各々のｎ型のコンタクト領域２０は、サイドウォールスペーサ１９の平面方向の幅を制御することによって第２部分６に選択的（第２部分６のみ）に形成することができる。

[0130] ≪第４実施形態の主な効果≫

この第４実施形態に係る半導体装置の製造方法では、平面視でゲート電極１５の頭部１５ａと半導体部５の第２部分６との間に脚部１５ｂが残存する状態で頭部１５ａの外側の半導体部５に不純物を選択的にイオン注入してエクステンション領域１８を形成している。このため、頭部１５ａの外側の脚部１５ｂは保護層（不純物導入抑制層）として機能し、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間を通して半導体部５やベース部４に不純物イオンが注入される現象を抑制することができる。

[0131] また、半導体部５の第２部分７とゲート電極１５の脚部１５ｂとの間を通して半導体部５やベース部４に不純物イオンが注入される現象を抑制することができるので、この不純物イオンの注入に起因する白点現象を抑制することができる。これにより、より一層の信頼性の向上を図った半導体装置を製造することができる。

[0132] また、この第４実施形態に係る半導体装置の製造方法では、平面視で頭部１５ａの外側の脚部１５ｂの除去を、頭部１５ａのゲート長方向（Ｘ方向）の側面部$15a_1$及び$15a_2$が内側に後退するように頭部１５ａ及び脚部１５ｂを半導体部５の高さ方向（半導体層２の厚さ方向）に一括してエッチングすることによって行っている。

[0133] このため、頭部１５ａのＸ方向（ゲート長方向）における２つの側面部$15a_1$，$15a_2$と、脚部１５ｂのＸ方向（ゲート長方向）における２つの側面部$15b_1$，$5b_2$と、を断面視で面一に形成することができる。

[0134] また、頭部１５ａの側面部１５ａ$_1$，１５ａ$_2$と、脚部１５ｂの側面部１５ｂ$_1$，５ｂ$_2$と、を断面視でそれぞれ面一にすることができるため、上述の第１実施形態の製造方法と同様に、ゲート電極１５とトレイン領域（例えば主電極領域２１ｂ）との間の寄生容量ＣｇｄＤは、従来のような、プロセスばらつきの影響を受けない。したがって、この第４実施形態の半導体装置の製造方法においても、電界効果トランジスタＱのノイズ特性の劣化を抑制することが可能となる。

[0135] また、この第４実施形態に係る半導体装置の製造方法によれば、頭部１５ａのＸ方向の両側の側面部１５ａ$_1$及び１５ａ$_2$が内側に後退することに起因して半導体部５の第１部分６の上面部５ａに形成された段差部５ａ$_1$がサイドウォールスペーサ１９で覆われた構成となる。

[0136] なお、サイドウォールスペーサ１９は、上述の第１実施形態の誘電体部１７と同様に、絶縁層１１よりも比誘電率が低い絶縁膜で構成してもよい。この場合、上述の第１実施形態と同様に、電界効果トランジスタＱに付加される寄生容量２５を小さくすることができるため、電界効果トランジスタＱのノイズ特性の劣化を抑制でき、半導体装置の信頼性を向上させることができる。

[0137] 〔第５実施形態〕

この第５実施形態では、半導体装置に含まれる光検出装置として、裏面照射型のＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサと呼称される固体撮像装置に本技術を適用した一例について、図７２から図７５を用いて説明する。

[0138] ≪固体撮像装置の全体構成≫

まず、固体撮像装置１Ｄの全体構成について説明する。

図７２に示すように、本技術の第５実施形態に係る固体撮像装置１Ｄは、平面視したときの二次元平面形状が方形状の半導体チップ１０２を主体に構成されている。即ち、固体撮像装置１Ｄは半導体チップ１０２に搭載されており、半導体チップ１０２を固体撮像装置１Ｄとみなすことができる。この

固体撮像装置１Ｄ（２０１）は、図１２３に示すように、光学レンズ２０２を介して被写体からの像光（入射光２０６）を取り込み、撮像面上に結像された入射光２０６の光量を画素単位で電気信号に変換して画素信号（画像信号）として出力する。

[0139] 図７２に示すように、固体撮像装置１Ｄが搭載された半導体チップ１０２は、互いに直交するＸ方向及びＹ方向を含む二次元平面において、中央部に設けられた方形状の画素アレイ部１０２Ａと、この画素アレイ部１０２Ａの外側に画素アレイ部１０２Ａを囲むようにして設けられた周辺部１０２Ｂとを備えている。半導体チップ１０２は、製造プロセスにおいて、後述の半導体層２及び１３０を含む半導体ウエハをチップ形成領域毎に小片化することによって形成される。したがって、以下に説明する固体撮像装置１０２の構成は、半導体ウエハを小片化する前のウエハ状態においても概ね同様である。即ち、本技術は、半導体チップの状態及び半導体ウエハの状態において適用が可能である。

[0140] 画素アレイ部１０２Ａは、例えば図１２３に示す光学レンズ（光学系）２０２により集光される光を受光する受光面である。そして、画素アレイ部１０２Ａには、Ｘ方向及びＹ方向を含む二次元平面において複数の画素１０３が行列状に配置されている。換言すれば、画素１０３は、二次元平面内で互いに直交するＸ方向及びＹ方向のそれぞれの方向に繰り返し配置されている。

[0141] 図７２に示すように、周辺部１０２Ｂには、複数のボンディングパッド１１４が配置されている。複数のボンディングパッド１１４の各々は、例えば、半導体チップ１０２の二次元平面における４つの辺の各々の辺に沿って配列されている。複数のボンディングパッド１１４の各々は、半導体チップ１０２と外部装置とを電気的に接続する入出力端子として機能する。

[0142] ＜ロジック回路＞

半導体チップ１０２は、図７３に示すロジック回路１１３を備えている。ロジック回路１１３は、図７３に示すように、垂直駆動回路１０４、カラム

信号処理回路１０５、水平駆動回路１０６、出力回路１０７及び制御回路１０８などを含む。ロジック回路１１３は、電界効果トランジスタとして、例えば、ｎチャネル導電型のＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）及びｐチャネル導電型のＭＯＳＦＥＴを有するＣＭＯＳ（Complementary MOS）回路で構成されている。

[0143] 垂直駆動回路１０４は、例えばシフトレジスタによって構成されている。垂直駆動回路１０４は、所望の画素駆動線１１０を順次選択し、選択した画素駆動線１１０に画素１０３を駆動するためのパルスを供給し、各画素１０３を行単位で駆動する。即ち、垂直駆動回路１０４は、画素アレイ部１０２Ａの各画素１０３を行単位で順次垂直方向に選択走査し、各画素１０３の光電変換部（光電変換素子）が受光量に応じて生成した信号電荷に基づく画素１０３からの画素信号を、垂直信号線１１１を通してカラム信号処理回路１０５に供給する。

[0144] カラム信号処理回路１０５は、例えば画素１０３の列毎に配置されており、１行分の画素１０３から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路１０５は、画素固有の固定パターンノイズを除去するためのＣＤＳ（Correlated Double Sampling：相関２重サンプリング）及びＡＤ（Analog Digital）変換等の信号処理を行う。

[0145] 水平駆動回路１０６は、例えばシフトレジスタによって構成されている。水平駆動回路１０６は、水平走査パルスをカラム信号処理回路１０５に順次出力することによって、カラム信号処理回路１０５の各々を順番に選択し、カラム信号処理回路１０５の各々から信号処理が行われた画素信号を水平信号線１１２に出力させる。

[0146] 出力回路１０７は、カラム信号処理回路１０５の各々から水平信号線１１２を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0147] 制御回路１０８は、垂直同期信号、水平同期信号、及びマスタクロック信

号に基づいて、垂直駆動回路１０４、カラム信号処理回路１０５、及び水平駆動回路１０６等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路１０８は、生成したクロック信号や制御信号を、垂直駆動回路１０４、カラム信号処理回路１０５、及び水平駆動回路１０６等に出力する。

[0148] ＜画素の回路構成＞

図７４に示すように、複数の画素１０３の各々の画素１０３は、光電変換領域１２１及び画素回路（読出し回路）１１５を備えている。光電変換領域１２１は、光電変換部１２４と、転送トランジスタＴＲと、電荷保持領域（フローティングディフュージョン：Floating Diffusion）ＦＤとを備えている。画素回路１１５は、光電変換領域１２１の電荷保持領域ＦＤと電気的に接続されている。この第３実施形態では、一例として１つの画素１０３に１つの画素回路１１５を割り与えた回路構成としているが、これに限定されるものではなく、１つの画素回路１１５を複数の画素１０３で共有する回路構成としてもよい。例えば、Ｘ方向及びＹ方向の各々の方向に２つずつ配置された２×２配置の４つの画素１０３（１つの画素ブロック）で１つの画素回路１１５を共有する回路構成としてもよい。

[0149] 図７４に示す光電変換部１２４は、例えばｐｎ接合型のフォトダイオード（ＰＤ）で構成され、受光量に応じた信号電荷を生成する。光電変換部１２４は、カソード側が転送トランジスタＴＲのソース領域と電気的に接続され、アノード側が基準電位線（例えばグランド）と電気的に接続されている。

[0150] 図７４に示す転送トランジスタＴＲは、光電変換部１２４で光電変換された信号電荷を電荷保持領域ＦＤに転送する。転送トランジスタＴＲのソース領域は光電変換部１２４のカソード側と電気的に接続され、転送トランジスタＴＲのドレイン領域は電荷保持領域ＦＤと電気的に接続されている。そして、転送トランジスタＴＲのゲート電極は、画素駆動線１１０（図７６参照）のうちの転送トランジスタ駆動線と電気的に接続されている。

[0151] 図７４に示す電荷保持領域ＦＤは、光電変換部１２４から転送トランジス

タＴＲを介して転送された信号電荷を一時的に保持（蓄積）する。

[0152] 光電変換部１２４、転送トランジスタＴＲ及び電荷保持領域ＦＤを含む光電変換領域１２１は、後述する第２半導体層としての半導体層１３０（図７５参照）に搭載されている。

[0153] 図７４に示す画素回路１１５は、電荷保持領域ＦＤに保持された信号電荷を読み出し、読み出した信号電荷を画素信号に変換して出力する。換言すれば、画素回路１１５は、光電変換素子ＰＤで光電変換された信号電荷を、この信号電荷に基づく画素信号に変換して出力する。画素回路１１５は、これに限定されないが、画素トランジスタとして、例えば、増幅トランジスタＡＭＰと、選択トランジスタＳＥＬと、リセットトランジスタＲＳＴと、切替トランジスタＦＤＧと、を備えている。これらの画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）、及び上述の転送トランジスタＴＲの各々は、電界効果トランジスタとして、例えば、ＭＯＳＦＥＴで構成されている。また、これらのトランジスタとしては、ＭＩＳＦＥＴでも構わない。

[0154] 画素回路１１５に含まれる画素トランジスタのうち、選択トランジスタＳＥＬ、リセットトランジスタＲＳＴ、及び切替トランジスタＦＤＧの各々は、スイッチング素子として機能し、増幅トランジスタＡＭＰは、増幅素子として機能する。即ち、画素回路１１５は、用途が異なる電界効果トランジスタを含む。

[0155] なお、選択トランジスタＳＥＬ及び切替トランジスタＦＤＧは、必要に応じて省略してもよい。

[0156] 図７４に示すように、増幅トランジスタＡＭＰは、ソース領域が選択トランジスタＳＥＬのドレイン領域と電気的に接続され、ドレイン領域が電源線Ｖｄｄ及びリセットトランジスタＲＳＴのドレイン領域と電気的に接続されている。そして、増幅トランジスタＡＭＰのゲート電極は、電荷保持領域ＦＤ及び切替トランジスタＦＤＧのソース領域と電気的に接続されている。

[0157] 選択トランジスタＳＥＬは、ソースが垂直信号線１１１（ＶＳＬ）と電気的に接続され、ドレイン領域が増幅トランジスタＡＭＰのソース領域と電気

的に接続されている。そして、選択トランジスタＳＥＬのゲート電極は、画素駆動線１１０（図７３参照）のうちの選択トランジスタ駆動線と電気的に接続されている。

[0158] リセットトランジスタＲＳＴは、ソース領域が切替トランジスタＦＤＧのドレイン領域と電気的に接続され、ドレイン領域が電源線Ｖｄｄ及び増幅トランジスタＡＭＰのドレイン領域と電気的に接続されている。そして、リセットトランジスタＲＳＴのゲート電極は、画素駆動線１１０（図７３参照）のうちのリセットトランジスタ駆動線と電気的に接続されている。

[0159] 切替トランジスタＦＤＧは、ソース領域が電荷保持領域ＦＤ及び増幅トランジスタＡＭＰのゲート電極と電気的に接続され、ドレイン領域が電源線Ｖｄｄ及び増幅トランジスタＡＭＰのドレイン領域と電気的に接続されている。そして、切替トランジスタＦＤＧのゲート電極は、画素駆動線１１０（図７３参照）のうちの切替トランジスタ駆動線と電気的に接続されている。

[0160] なお、選択トランジスタＳＥＬを省略する場合は、増幅トランジスタＡＭＰのソース領域が垂直信号線１１１（ＶＳＬ）と電気的に接続される。また、切替トランジスタＦＤＧを省略する場合は、リセットトランジスタＲＳＴのソース領域が増幅トランジスタＡＭＰのゲート電極及び電荷保持領域ＦＤと電気的に接続される。

[0161] 転送トランジスタＴＲは、転送トランジスタＴＲがオン状態となると、光電変換部１２４で生成された信号電荷を電荷保持領域ＦＤに転送する。

[0162] リセットトランジスタＲＳＴは、リセットトランジスタＲＳＴがオン状態となると、電荷保持領域ＦＤの電位（信号電荷）を電源線Ｖｄｄの電位にリセットする。選択トランジスタＳＥＬは、画素回路１１５からの画素信号の出力タイミングを制御する。

[0163] 増幅トランジスタＡＭＰは、画素信号として、電荷保持領域ＦＤに保持された信号電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタＡＭＰは、ソースフォロア型のアンプを構成しており、光電変換部１２４で生成された信号電荷のレベルに応じた電圧の画素信号を出力するものである。

増幅トランジスタＡＭＰは、選択トランジスタＳＥＬがオン状態となると、電荷保持領域ＦＤの電位を増幅して、その電位に応じた電圧を、垂直信号線１１１（ＶＳＬ）を介してカラム信号処理回路１０５に出力する。

[0164] 切替トランジスタＦＤＧは、電荷保持領域ＦＤによる電荷保持を制御すると共に、増幅トランジスタＡＭＰで増幅される電位に応じた電圧の増倍率を調整する。

[0165] この第５実施形態に係る固体撮像装置１Ｄの動作時には、画素１０３の光電変換部１２４で生成された信号電荷が画素１０３の転送トランジスタＴＲを介して電荷保持領域ＦＤに保持（蓄積）される。そして、電荷保持領域ＦＤに保持された信号電荷が画素回路１１５により読み出されて、画素回路１１５の増幅トランジスタＡＭＰのゲート電極に印加される。画素回路１１５の選択トランジスタＳＥＬのゲート電極には水平ラインの選択用制御信号が垂直シフトレジスタから与えられる。そして、選択用制御信号をハイ（Ｈ）レベルにすることにより、選択トランジスタＳＥＬが導通し、増幅トランジスタＡＭＰで増幅された、電荷保持領域ＦＤの電位に対応する電流が垂直信号線１１１に流れる。また、画素回路１１５のリセットトランジスタＲＳＴのゲート電極に印加するリセット用制御信号をハイ（Ｈ）レベルにすることにより、リセットトランジスタＲＳＴが導通し、電荷保持領域ＦＤに蓄積された信号電荷をリセットする。

[0166] ≪固体撮像装置の縦断面構造≫

次に、半導体チップ１０２（固体撮像装置１Ｃ）の縦断面構造について、図７５を用いて説明する。図７５は、図７２の画素アレイ部における縦断面構造を示す模式的縦断面図であり、図面を見易くするため、図７２に対して上下が反転している。

[0167] ＜半導体チップ＞

図７５に示すように、半導体チップ１０２は、厚さ方向（Ｚ方向）において互いに反対側に位置する第１の面部Ｓ１及び第２の面Ｓ２を有する半導体層１３０と、この半導体層１３０の第１の面部Ｓ１側に設けられた絶縁層１

３１と、この絶縁層１３１の半導体層１３０側とは反対側に設けられた半導体層２と、を備えている。

[0168] また、半導体チップ１０２は、半導体層１３０の第２の面Ｓ２側に、この第２の面Ｓ２側から順次積層された平坦化層１４１、カラーフィルタ層１４２及びレンズ層１４３などを備えている。

[0169] 半導体層１３０は、例えば単結晶シリコンで構成されている。

平坦化層１４１は、例えば酸化シリコン膜で構成されている。そして、平坦化層１４１は、半導体層１３０の第２の面Ｓ２（光入射面）側が凹凸のない平坦面となるように、画素アレイ部１０２Ａにおいて、半導体層１３０の第２の面Ｓ２側の全体を覆っている。

[0170] カラーフィルタ層１４２には、赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）などのカラーフィルタが画素１０３毎に設けられ、半導体チップ１０２の光入射面側から入射した入射光を色分離する。

[0171] レンズ層１４３には、照射光を集光し、集光した光を光電変換領域１２１に効率良く入射させるマイクロレンズが画素１０３毎に設けられている。

[0172] 図７５に示すように、この第５実施形態の半導体層２は、上述の第１実施形態の図２及び図３に示す半導体層２と同様の構成になっており、半導体層２の半導体部５に電界効果トランジスタＱが設けられている。そして、半導体層２のベース部４上には、半導体部５を囲むようにして絶縁層１１が設けられている。この第５実施形態の電界効果トランジスタＱは、上述の第１実施形態の電界効果トランジスタＱと同様の構成になっている。

[0173] 半導体層１３０は、半導体層２の半導体部５と重畳して配置されている。即ち、半導体チップ１０２は、半導体層１３０と半導体層２とを、各々の厚さ方向（Ｚ方向）に積層した２段階構造になっている。

[0174] この第５実施形態において、図７４に示す光電変換部１２４、転送トランジスタＴＲ及び電荷保持領域ＦＤの各々は、詳細に図示していないが、図７５に示す半導体層１３０に設けられている。

[0175] 一方、図７４の画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，Ｓ

ＥＬ，ＲＳＴ，ＦＤＧ）の各々は、詳細に図示していないが、図７５に示す半導体層２に設けられている。そして、画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）の各々は、図７５に示す電界効果トランジスタＱで構成されている。図７５では、一例として、電界効果トランジスタＱで構成された増幅トランジスタＡＭＰを図示している。

[0176] ≪第５実施形態の主な効果≫

この第５実施形態に係る固体撮像装置１Ｄは、画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）の各々が電界効果トランジスタＱで構成されている。したがって、この第５実施形態に係る固体撮像装置１Ｄにおいても、上述の第１実施形態に係る半導体装置１Ａと同様の効果が得られる。

[0177] ここで、増幅トランジスタＡＭＰは、スイッチング素子として機能する画素トランジスタ（ＳＥＬ，ＲＳＴ，ＦＤＧ）と比較して、１／ｆノイズやＲＴＳノイズなどのノイズ耐性の劣化の抑制が重要である。したがって、画素回路に含まれる増幅トランジスタＡＭＰに本技術を適用、換言すれば増幅トランジスタＡＭＰを電界効果トランジスタＱで構成した場合の有用性が特に高い。

[0178] また、画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）は、光電変換部１２４、転送トランジスタＴＲ及び電荷保持領域ＦＤが設けられた半導体層１３０とは異なる半導体層２に設けられているので、画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）の配置自由度を高めることができると共に、同一の半導体層に光電変換部１２４、転送トランジスタＴＲ及び電荷保持領域ＦＤや画素トランジスタを設けた場合と比較して、より高集積化及びノイズ耐性の向上を図ることが可能である。

[0179] ≪第５実施形態の変形例≫

なお、画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）の少なくとも何れか１つを電界効果トランジスタＱで構成し

てもよい。

[0180] また、図４１から図４３に示すように、画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）のうちの２つの画素トランジスタを、１つの半導体部５に設けられた２つの電界効果トランジスタＱで構成してもよい。この場合、画素トランジスタの配置効率を高めるため、増幅トランジスタＡＭＰと選択トランジスタＳＥＬとを、１つの半導体部５に設けられた２つの電界効果トランジスタＱで構成し、リセットトランジスタＲＳＴと切替トランジスタＦＤＧとを、１つの半導体部５に設けられた２つの電界効果トランジスタＱで構成することが好ましい。

また、画素回路１１５に含まれる画素トランジスタ（ＡＭＰ，ＳＥＬ，ＲＳＴ，ＦＤＧ）のうちの少なくとも１つを、後述の第６実施形態の半導体部３５設けられた電界効果トランジスタＱ６で構成してもよい。

[0181] 〔第６実施形態〕

この第６実施形態では、図７７に示すように、第２領域３８Ｂの厚さＨｅ２が第１領域３８Ａの高さＨｅ１よりも高い半導体部３５と、この半導体部３５に設けられた電界効果トランジスタＱ６とを有する半導体装置１Ｅについて説明する。

[0182] ≪半導体装置の全体構成≫

まず、半導体装置１Ｅの全体構成について、図７６から図７９を用いて説明する。

なお、説明の便宜上、図７６では、図７７から図７９に示す絶縁層５５の図示を省略している。また、図７７から図７９では、絶縁層５５に設けられたコンタクト電極の図示、並びに絶縁層５５よりも上層の配線層及び絶縁層の図示を省略している。

[0183] 図７６から図７９に示すように、本技術の第６実施形態に係る半導体装置１Ｅは、半導体層３２に設けられた島状の半導体部３５と、この半導体部３５に設けられた電界効果トランジスタＱ６と、を備えている。また、この第６実施形態に係る半導体装置１Ｅは、半導体部３５の外側に半導体部３５を

囲むようにして設けられた絶縁層４１を備えている。

[0184] ＜半導体層＞

図７６から図７９に示すように、半導体層３２は、Ｘ方向及びＹ方向において二次元状に広がるベース部３４と、このベース部３４から上方（Ｚ方向）に突出する島状の半導体部３５とを含む。

[0185] ＜半導体部＞

図７６から図７９に示すように、半導体部３５は、Ｘ方向（第１方向）に延伸する第１部分３６と、Ｘ方向に第１部分３６と並んで一体的に（第１部分３６と連なって）設けられ、かつＸ方向と交差するＹ方向に沿う第１部分３６の幅Ｗ１と同一方向の幅Ｗ２が第１部分３６の幅Ｗ１よりも広い第２部分３７と、を有し、かつ第１部分３６及び第２部分３７が上面部３５ａ及び側面部５ｂを有する立体構造になっている。

[0186] この第６実施形態の半導体部３５は、これに限定されないが、例えば、Ｘ方向に延伸する１つの第１部分３６と、この１つの第１部分３６のＸ方向の両端側にそれぞれ１つずつ設けられた２つの第２部分３７とを含む立体構造になっている。１つの第１部分３６及び２つの第２部分３７の各々は、平面視での平面形状が方形状で構成されている。Ｘ方向において、第１部分３６の一端側は、２つの第２部分３７のうちの一方の第２部分３７と連結され、第１部分３６の他端側は、２つの第２の部分３７のうちの他方の第２部分３７と連結されている。

[0187] また、図７６から図７９に示すように、半導体部３５は、第１領域３８Ａと、この第１領域３８ＡのＸ方向（第１方向）の両側に第１領域３８Ａと並んで一体的に（第１領域３８Ａと連なって）設けられ、かつ第１領域３８ＡのＺ方向の高さ（厚さ）Ｈｅ１よりもＺ方向の高さ（厚さ）Ｈｅ２が高い一対の第２領域３８Ｂと、を更に有する。第１領域３８Ａは、第１部分３６に設けられている。一対の第２領域３８Ｂのうちの一方の第２領域３８Ｂは、２つの第２部分３７のうちの一方の第２部分３７と第１部分３６とに亘って設けられている。そして、一対の第２領域３８Ｂのうちの他方の第２領域３

８Ｂは、２つの第２部分３７のうちの他方の第２部分３７と第１部分３６とに亘って設けられている。

[0188] 図７７及び図７８に示すように、第１領域３８Ａは、半導体層３２を含む。そして、第２領域３８Ｂは、第１領域３８Ａとは異なり、半導体層３２と、この半導体層３２の上面部にエピタキシャル成長により選択的に形成されたｎ型の成長層４８とを含む。成長層４８は、後述するゲート電極４５の側壁に設けられた絶縁膜４７に整合して形成されている。

[0189] ここで、エピタキシャル成長は、下地層としての半導体層３２の結晶性を受け継いでｎ型又はｐ型、若しくはｉ型の単結晶層を形成することができる。しかしながら、エピタキシャル成長で形成された単結晶層は、半導体層３２と共有結合されるため、通常は下地層と成長層とが同種で同一導電型又はｉ型の場合、下地層と成長層との区別がつかない。この第６実施形態では、説明の便宜上、半導体層３２と成長層４８とを区別して説明するが、これに限定されるものではない。下地層と成長層とで導電型が異なる場合は、空乏層により下地層と成長層とを区別することが可能となる場合もある。

[0190] なお、第１領域３８Ａでは半導体層３２の表層部が上面部３５ａとなり、第２領域３８Ｂでは成長層４８の表層部が上面部３５ａとなる。したがって、この第６実施形態の半導体部３５は、第１領域３８Ａと第２領域３８Ｂとで上面部３５ａに段差が形成されている。

[0191] 図７６から図７９に示すように、半導体部３５は、半導体部３５のベース部３４側とは反対側に位置し、かつ第１部分３６及び２つの第２部分３７に亘って二次元状に広がる上面部３５ａと、半導体部３５の厚さ方向（Ｚ方向）に第１部分３６及び２つの第２部分３７で二次元状に広がる側面部３５ｂと、を含む。

[0192] 図７６から図７９に示すように、側面部３５ｂは、第１部分３６のＹ方向において互いに反対側に位置する側面部３６b_1及び３６b_2と、第２部分３７のＸ方向において互いに反対側に位置する側面部３７b_1及び３７b_2と、第２部分３７のＹ方向において互いに反対側に位置する側面部３７b_3及び３

７ｂ$_4$と、を含む。第２部分３７の側面部３７ｂ$_1$は、第２部分３７に第１部分３６が連結された連結部により二ヶ所に分かれて設けられている。

即ち、半導体部３５の側面部５ｂは、第１部分３６の側面部３６ｂ$_1$及び３６ｂ$_2$と、２つの第２部分３７の各々の側面部３７ｂ$_1$、３７ｂ$_2$、３７ｂ$_3$及び３７ｂ$_4$と、を含む。

[0193] 第１部分３６及び第２部分３７を含む半導体部３５は、半導体層３２をベース部３４が残る程度の深さまで選択的にエッチングすることによって形成することができる。一方、半導体部３５の第１領域３８Ａと第２領域３８Ｂとは、第２領域３８Ｂの半導体層３２にエピタキシャル成長により成長層４８を選択的に形成することによって高低差を付けることができる。半導体層３２としては、これに限定されないが、半導体材料としては例えばシリコン（Ｓｉ）、結晶性としては例えば単結晶、導電型としては例えはｐ型で構成された半導体基板を用いることができる。成長層４８は、例えばｎ型を呈する不純物が導入された単結晶シリコンの結晶層で構成されている。

[0194] ここで、第１領域３８Ａの高さＨｅ１は、ベース部３４から第１領域３８Ａの上面部３５ａまでの突出量として定義される。また、第１領域３８Ｂの高さＨｅ２は、ベース部３４から第２領域３８Ａの上面部３５ａまでの突出量として定義される。

[0195] 図７７から図７９に示すように、半導体層３２には、例えばｐ型の半導体領域からなるｐ型のウエル領域３３が設けられている。このｐ型のウエル領域３３は、半導体部３５の全域に亘って設けられていると共に、ベース部３４の半導体部３５側の表層部の全域に亘って設けられている。そして、ｐ型のウエル領域３３は、ベース部３４の半導体部３５側とは反対側の裏面から離間している。

[0196] ＜絶縁層＞

図７７から図７９に示すように、半導体層３２の半導体部３５側には、半導体部３５の周囲を囲むようにして絶縁層４１が設けられている。絶縁層４１は、半導体層３２のベース部３４側とは反対側の表層部が平坦化されてお

り、後述する掘り込み部４２，４２（図８４、図８６及び図８７参照）を除いて半導体部３５の第１領域３８Ａの高さＨｅ１と同程度の膜厚で構成されている。絶縁層４１は、例えば酸化シリコン（SiO_2）膜で構成されている。

[0197] 図７７から図７９に示すように、絶縁層４１のベース部３４側とは反対側には、後述する電界効果トランジスタＱ６のゲート電極４５の頭部４５ａ及び半導体部３５を覆うようにして絶縁層５５が設けられている。この絶縁層５５も、例えば酸化シリコン（SiO_2）膜で構成されている。

[0198] ＜電界効果トランジスタ＞

図７６に示す電界効果トランジスタＱ６は、これに限定されないが、例えばｎチャネル導電型で構成されている。そして、電界効果トランジスタＱ６は、酸化シリコン（SiO_2）膜をゲート絶縁膜とするＭＯＳＦＥＴで構成されている。電界効果トランジスタＱ６としては、ｐチャネル導電型でも構わない。また、窒化シリコン膜、或いは窒化シリコン（Si_3N_4）膜及び酸化シリコン膜などの積層膜（複合膜）をゲート絶縁膜とするＭＩＳＦＥＴでも構わない。

[0199] 図７６から図７９に示すように、電界効果トランジスタＱ６は、半導体層３２の半導体部３５に設けられている。

電界効果トランジスタＱ６は、半導体部３５の第１部分３６に設けられたチャネル形成部３９と、半導体部３５の第１領域３８Ａの上面部５ａ及び側面部$36b_1$，$36b_2$に亘ってゲート絶縁膜４３を介在して設けられたゲート電極４５と、を有する。

[0200] また、電界効果トランジスタＱ６は、ゲート電極４５の側壁に、ゲート電極４５の周囲を囲むようにして設けられた絶縁膜（分離用絶縁膜）４７及びサイドウォールスペーサ５０と、半導体部３５の一対の第２領域３８Ｂに設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域５４ａ及び５４ｂと、を有する。

[0201] ここで、説明の便宜上、一対の主電極領域５４ａ及び５４ｂのうち、一方

の主電極領域５４ａをソース領域５４ａと呼び、他方の主電極領域５４ｂをドレイン領域５４ｂと呼ぶこともある。

[0202] ＜ゲート電極＞

図７７から図７９に示すように、ゲート電極４５は、半導体部３５の第１部分３６（第１領域３８Ａ）の上面部３５ａ側にゲート絶縁膜４３を介在して設けられた頭部４５ａと、この頭部４５ａと一体化され、かつ半導体部３５の第１部分３６（第１領域３８Ａ）の互いに反対側に位置する２つの側面部３６ｂ$_1$及び３６ｂ$_2$の各々の外側にゲート絶縁膜４３を介在して設けられた２つの脚部４５ｂと、を有する。

[0203] ここで、ゲート電極４５は、半導体部３５の第１部分３６の短手方向（Ｙ方向）の両側を脚部４５ｂで挟む構成とすることが好ましい。したがって、ゲート電極４５の脚部４５ｂの個数は、第１部分３６の個数を「ｎ」としたとき、通常は「ｎ＋１」となる。この第６実施形態では第１部分３６が１つ設けられているので、ゲート電極４５は２つの脚部４５ｂを有する。

[0204] ゲート電極４５の頭部４５ａは、絶縁層４１よりも上方に突出している。そして、ゲート電極４５の２つの脚部４５ｂの各々は、半導体部３５と共に絶縁層４１の中に設けられている。頭部４５ａ及び脚部４５ｂを含むゲート電極４５は、例えば、抵抗値を低減する不純物が導入された多結晶シリコン（ドープドポリシリコン）膜で構成されている。

[0205] 頭部４５ａは、平面視の形状が方形状で構成され、上面部及び４つの側面部を有する三次元構造になっている。２つの脚部４５ｂの各々は、頭部４５ａから半導体層３２の厚さ方向（Ｚ方向）であって半導体部３５の高さ方向に延伸し、下面部及び４つの側面部を有する三次元構造になっている。

[0206] 図７８に示すように、ゲート電極４５は、頭部４５ａのＸ方向（ゲート長方向）における２つの側面部４５ａ$_1$，４５ａ$_2$と、脚部４５ｂのＸ方向（ゲート長方向）における２つの側面部４５ｂ$_1$，４５ｂ$_2$と、が断面視でそれぞれ面一になっている。換言すれば、頭部４５ａの側面部４５ａ$_1$と脚部４５ｂの側面部４５ｂ$_1$とが半導体層３２の厚さ方向（Ｚ方向）に連続的に延伸する

１つの平坦面で構成され、頭部４５ａの側面部４５ａ$_2$と脚部４５ｂの側面部４５ｂ$_2$とが半導体層３２の厚さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成されている。

[0207] ここで、平面視とは、半導体層３２の厚さ方向（Ｚ方向）に沿う方向から見た場合を指す。また、断面視とは、半導体層３２の厚さ方向（Ｚ方向）に沿う縦断面を半導体層３２の厚さ方向（Ｚ方向）と直交する方向（Ｘ方向又はＹ方向）から見た場合を指す。

なお、図７６及び図７７に示すように、半導体部３５の第1領域３８Ａは、ゲート電極４５のゲート長方向（Ｘ方向，第１方向）と同一方向の幅Ｗ１１が、ゲート電極４５のゲート長方向の幅Ｗ１２よりも広くなっている。

[0208] ＜ゲート絶縁膜＞

図７９に示すように、ゲート絶縁膜４３は、半導体部３５の第１部分３６（第１領域３８Ａ）とゲート電極４５との間において、第１部分３６（第１領域３８Ａ）の上面部３５ａ、及び第１部分３６（第１領域３８Ａ）の２つの側面部３６ｂ$_1$，３６ｂ$_2$に亘って設けられている。この第６実施形態では、半導体部３５が１つの第１部分３６を有しているので、１つの第１部分３６において、上面部３５ａ、及び２つの側面部３６ｂ$_1$，３６ｂ$_2$に亘って設けられている。ゲート絶縁膜４３は、例えば酸化シリコン膜で構成されている。

[0209] ＜絶縁膜及びサイドウォールスペーサ＞

図７６から図７９に示すように、絶縁膜４７は、ゲート電極４５の頭部４５ａの側壁に、この頭部４５ａの周囲を囲むようにして設けられている。この絶縁膜４７は、半導体部３５の第２領域３８Ｂの成長層４８とゲート電極４５とを電気的に絶縁分離する目的で設けられている。したがって、絶縁膜４７を分離用絶縁膜４７と呼ぶこともある。

[0210] 絶縁膜４７は、ゲート電極４５の頭部４５ａと整合して設けられている。換言すれば、絶縁膜４７は、ゲート電極４５の頭部４５ａに対して自己整合で形成されている。絶縁膜４７は、例えば、絶縁層４１のベース部３４側と

は反対側にゲート電極４５を覆うようにして薄い膜厚の酸化シリコン膜をＣＶＤ（Chemical Vapor Deposition）法で成膜し、その後、この酸化シリコン膜にＲＩＥ（Reactive Ion Etching）などの異方性ドライエッチングを施してゲート電極４５の頭部４５ａ上の酸化シリコン膜及びゲート電極４５の頭部４５ａの外側の酸化シリコン膜を選択的に除去することによって形成することができる。絶縁膜４７は、例えば２ｎｍ～１０ｎｍ程度の膜厚で形成することが好ましい。

[0211] なお、図７８に示すように、半導体部３５の第２部分３７の側面部３７b_1にも絶縁膜４７が設けられている。

[0212] 図７６から図７９に示すように、サイドウォールスペーサ５０は、ゲート電極４５の頭部４５ａの側壁に絶縁膜４７を介在してゲート電極４５の頭部４５ａの周囲を囲むように設けられている。即ち、絶縁膜４７は、ゲート電極４５の上面部及び側面部に沿う膜厚で形成する。

[0213] サイドウォールスペーサ５０は、ゲート電極４５及び絶縁膜４７と整合して設けられている。換言すれば、サイドウォールスペーサ５０は、ゲート電極４５及び絶縁膜４７に対して自己整合で形成されている。サイドウォールスペーサ５０は、例えば、絶縁層４１のベース部３４側とは反対側にゲート電極４５及び絶縁膜４７を覆うようにして絶縁膜をＣＶＤ法で成膜し、その後、この絶縁膜にＲＩＥなどの異方性ドラインエッチングを施すことによって形成することができる。サイドウォールスペーサ５０は、例えば窒化シリコン膜で構成されている。

[0214] 図７６に示すように、サイドウォールスペーサ５０は、半導体部３５上及び絶縁層４１上において、半導体部３５を横切るようにして設けられている。そして、サイドウォールスペーサ５０は、半導体部３５上に位置する部分がゲート電極４５の頭部４５ａと隣り合って設けられ、平面視で半導体部３５の第２部分３７の側面部３７b_1とゲート電極４５との間に位置する部分がゲート電極４５の頭部４５ａ及び脚部４５ｂと隣り合って設けられている。即ち、この第６実施形態のサイドウォールスペーサ５０は、図７７に示す半

導体部３５上での部分と、平面視で半導体部３５の第２部分３７の側面部３７ｂ$_1$とゲート電極４５との間に位置する部分（図７８参照）とで、半導体部３５の高さ方向（Ｚ方向）に沿う長さが異なっており、図７７に示す部分よりも図７８に示す部分の方が長くなっている。

[0215] 図７７に示すように、サイドウォールスペーサ５０は、半導体部３５の第１部分３６の第２領域３８Ｂにおいて、絶縁膜４７の外側の成長層４８上に、ゲート電極４５の側壁の絶縁膜４７に整合して形成されている。即ち、半導体部３５の第１部分３６の第２領域３８Ｂでは、ゲート電極４５の側壁の外側に、絶縁膜４７に整合し、かつ平面視で成長層４８と重畳してサイドウォールスペーサ５０が形成されている。

[0216] ＜主電極領域＞

図７７に示すように、一対の主電極領域５４ａ及び５４ｂの各々は、サイドウォールスペーサ５０に整合し、かつ成長層４８及び半導体層３２に亘って形成されたｎ型の半導体領域５３を含む。ｎ型の半導体領域５３は、ゲート電極４５の側壁の絶縁膜４７から離間している。そして、ｎ型の半導体領域５３は、半導体部３５の第１部分３６の第２領域３８Ｂにおいて、ｎ型の半導体領域５３と絶縁膜４７との間にｎ型の成長層４８の一部として残存するｎ型の成長層４８ａと接触し、かつこのｎ型の成長層４８ａよりも高不純物濃度で構成されている。ｎ型の成長層４８ａは、平面視でサイドウォールスペーサ５０と重畳している。

ｎ型の成長層４８ａ及びｎ型の半導体領域５３は、ｐ型のウエル領域３３と接触し、ｐｎ接合部を形成している。

[0217] ｎ型の半導体領域５３は、半導体層３２の厚さ方向（Ｚ方向）であって半導体部３５の高さ方向に厚さを有する。そして、ｎ型の半導体領域５３の方がｎ型の成長層４８ａよりも深く形成、換言すれば厚く形成されている。

ｎ型の半導体領域５３は、上述したように、半導体部３５の第２領域３８Ｂにおいて、成長層４８及び半導体層３２に亘って形成されている。即ち、一対の主電極領域５４ａ及び５４ｂの各々は、第１領域３８Ａよりも上方に

迫り上がった構造、換言すれば、上方に突き出た構造になっている。

[0218] 図７７から図７９に示すように、この第６実施形態の電界効果トランジスタＱ６は、フィン部としての島状の半導体部３５にゲート絶縁膜４３を介在してゲート電極４５が設けられた、所謂フィン型で構成されている。

[0219] このフィン型の電界効果トランジスタＱ６では、一対の主電極領域５４ａと５４ｂとの間の長さがチャネル長Ｌ（≒ゲート長Ｌｇ）であり、ゲート電極４５と半導体部３５の第１部分３６とが立体的に重畳する領域において、第１部分３６の上面部３５ａ側での短手方向（Ｙ方向）の幅Ｗ１と、第１部分３６の２つの側面部６ｂ$_1$，６ｂ$_2$の高さとを含む長さ（半導体部３５の周囲の長さ）に、第１部分３６の個数を乗算した値がチャネル幅Ｗ（≒ゲート幅）となる。

[0220] したがって、フィン型の電界効果トランジスタＱ６は、半導体部３５の第１部分３６の幅Ｗ１を広くし、第１部分３６のＺ方向の高さを高くすることにより、チャネル幅Ｗが広くなるので、実効的なチャネル面積（チャネル長Ｌ×チャネル幅Ｗ）を大きくことができる。そして、フィン型の電界効果トランジスタＱ６は、第１部分３６の個数を増やすことによって、チャネル面積（チャネル長Ｌ×チャネル幅Ｗ）を大きくすることができる。この第６実施形態では、１つの半導体部３５に電界効果トランジスタＱ６を設けた場合について説明しているが、並列に配置された複数の半導体部３５に電界効果トランジスタＱ６を設けるようにしてもよい。

[0221] また、フィン型の電界効果トランジスタＱ６は、自身の占有面積（フットプリント）を拡大することなく、実効的なチャネル面積を拡大することができる。

[0222] 電界効果トランジスタＱ６は、例えば、ゲート電極４５に閾値電圧以上のゲート電圧を印加することにより、ドレイン電流が流れるエンハンスメント型（ノーマリオフ型）や、ゲート電極４５に電圧を印加しなくてもドレイン電流が流れるディプレッション型（ノーマリオフ型）で構成することができる。この第１実施形態では、これに限定されないが、例えばエンハンスメン

ト型で構成されている。エンハンスメント型の場合、電界効果トランジスタＱ６は、ゲート電極４５に印加される電圧により、一対の主電極領域５４ａと５４ｂとを電気的に繋ぐチャネル（反転層）がチャネル形成部３９に形成（誘起）され、電流（ドレイン電流）がドレイン領域側（例えば主電極領域５４ｂ側）からチャネル形成部３９のチャネルを通ってソース領域側（例えば主電極領域５４ａ側）に流れる。

[0223] ＜コンタクト電極及び配線＞

図７６から図７９には図示していないが、上述の第１実施形態と同様に、ゲート電極４は、絶縁層５５に設けられたコンタクト電極を介して、絶縁層５５上の配線層に設けられた配線と電気的に接続されている。また、一対の主電極領域５４ａ及び５４ｂのうち、一方の主電極領域５４ａは、絶縁層５５に設けられたコンタクト電極を介して、絶縁層５５上の配線層に設けられた配線と電気的に接続されている。そして、一対の主電極領域５４ａ及び５４ｂのうち、他方の主電極領域５４ｂは、絶縁層５５に設けられたコンタクト電極を介して、絶縁層５５上の配線層に設けられた配線と電気的に接続されている。これらのコンタクト電極の材料としては、例えば高融点金属のタングステン（Ｗ）を用いることができる。また、これらの配線の材料としては、例えばアルミニウム（ＡｌＩ）、銅（Ｃｕ）などの金属材料、又はＡｌＩ、Ｃｕを主体とする合金材料などを用いることができる。

[0224] ≪半導体装置の製造方法≫

次に、この第６実施形態に係る半導体装置１Ｅの製造方法について、図８０から図１１８を用いて説明する。

この第６実施形態においても、半導体装置１Ｅの製造方法に含まれる半導体部３５及び電荷効果トランジスタＱ６の形成に特化して説明する。

[0225] まず、図８０（模式的要部平面図）、図８１（図８０のａ８０－ａ８０切断線に沿った模式的断面図）、図８２（図８０のｂ８０－ｂ４８０切断線に沿った模式的断面図）、及び図８２（図８０のｃ８０－ｃ８０切断線に沿った模式的断面図）に示すように、ベース部３４から上方に突出する島状の半

導体部３５を形成する。

半導体部３５は、Ｘ方向（第１方向）に延伸する第１部分３６と、Ｘ方向に第１部分３６と並んで一体的に設けられ、かつＸ方向と交差するＹ方向（第２方向）に沿う第１部分３６の幅Ｗ１と同一方向の幅Ｗ２が第１部分３６の幅Ｗ１よりも広い第２部分３７と、を有し、かつ第１部分３６及び第２部分３７の各々が上面部３５ａ及び側面部３５ｂを有する立体構造で形成する。側面部３５ｂは、第１部分３６での側面部$３６ｂ_{1}$及び$３６ｂ_{2}$と、第２部分３７での側面部$３７ｂ_{1}$、$３７ｂ_{2}$、$３７ｂ_{3}$及び$３７ｂ_{4}$を含む。この第６実施形態では、１つの第１部分３６と、この１つの第１部分３６のＸ方向の両端側にそれぞれ１つずつ設けられた２つの第２部分３７と、を有する立体構造で半導体部３５を形成する。

[0226] また、半導体部３５は、後述するゲート電極４５（図９６参照）が形成される第１領域３８Ａと、この第１領域３８ＡのＸ方向の両側に第１領域３８Ａと連なって設けられ、かつ、後述するｎ型の成長層４８が形成される一対の第２領域３８Ｂ及び３８Ｂと、を更に有する。第１領域３８Ａは、第１部分３６に設けられている。一対の第２領域３８Ｂのうちの一方の第２領域３８Ｂは、２つの第２部分３７のうちの一方の第２部分３７と第１部分３６とに亘って設けられている。そして、一対の第２領域３８Ｂのうちの他方の第２領域３８Ｂは、２つの第２部分３７のうちの他方の第２部分３７と第１部分３６とに亘って設けられている。

第１部分３６及び第２部分３７を含み、かつ第１領域３８Ａ及び第２領域３８Ｂを含む半導体部３５は、半導体層３２をベース部３４が残る程度の深さまで選択的にエッチングすることによって形成することができる。半導体層３２としては、これに限定されないが、半導体材料としては例えばシリコン（Ｓｉ）、結晶性としては例えば単結晶、導電型としては例えはｐ型で構成された半導体基板を用いることができる。

この工程において、半導体部３５の側面部３５ｂ（$３６ｂ_{1}$，$３６ｂ_{2}$，$３７ｂ_{1}$～$３７ｂ_{4}$）に、半導体層３２の加工によるダメージが生成される。

なお、半導体層３２には、半導体部３５を形成する前に、ｐ型の半導体領域からなるｐ型のウエル領域３３が形成されている。

[0227] 次に、上述の第１実施形態の図９に示す絶縁層１１の形成と同様の方法で半導体部３５の周囲を囲む絶縁層４１を形成する。

そして、絶縁層４１を形成した後、半導体部３５の第２部分３６の短手方向（Ｙ方向）の外側の絶縁層４１を選択的に除去して、図８４（模式的要部平面図）、図８５（図８４のａ８４－ａ８４切断線に沿った模式的断面図）、図８６（図８４のｂ８４－ｂ８４切断線に沿った模式的断面図）、及び図８７（図８４のｃ８４－ｃ８４切断線に沿った模式的断面図）に示すように、半導体部３５の第１部分３６の短手方向の外側に、第１部分３６の側面部３６ｂ$_1$，３６ｂ$_2$及び第２部分３７の側面部３７ｂ$_1$を露出する掘り込み部４２ａ、４２ａを形成する。

[0228] ２つの掘り込み部４２及び４２のうち、一方の掘り込み部４２は、第１部分３６の側面部３６ｂ$_1$側に形成され、第１部分３６の側面部３６ｂ$_1$と、この側面部３６ｂ$_1$に連なる２つの第２部分３７の各々の側面部３７ｂ$_1$と、を露出する。

また、２つの掘り込み部４２及び４２のうち、他方の掘り込み部４２は、第１部分３６の側面部３６ｂ$_2$側に形成され、第１部分３６の側面部３６ｂ$_2$と、この側面部３６ｂ$_2$に連なる２つの第２部分３７の各々の側面部３７ｂ$_1$と、を露出する。

この工程において、掘り込み部４２及び４２は、これに限定されないが、上述の第１実施形態とは異なり、例えば、半導体層３２のベース部３４に到達する深さで形成する。

[0229] 次に、図８８（模式的要部平面図）、図８９（図８８のａ８８－ａ８８切断線に沿った模式的断面図）、図９０（図８８のｂ８８－ｂ８８切断線に沿った模式的断面図）、及び図９１（図８８のｃ８８－ｃ８８切断線に沿った模式的断面図）に示すように、半導体部３５の第１部分３６の上面部３５ａ、及び第１部分３６の２つの側面部３６ｂ$_1$，３６ｂ$_2$にゲート絶縁膜４３を

形成する。ゲート絶縁膜４３は、例えば酸化シリコン膜を熱酸化法又は堆積法により成膜することによって形成することができる。

この工程において、半導体部３５の第２部分３７の上面部３５ａ及び側面部３７ｂ$_1$、並び半導体層３２のベース部３４の表面部にもゲート絶縁膜４３が形成される。

[0230] 次に、ゲート絶縁膜４３を形成した後、図９２（模式的要部平面図）、図９３（図９２のａ９２－ａ９２切断線に沿った模式的断面図）、図９４（図９２のｂ９２－ｂ９２切断線に沿った模式的断面図）及び図９５（図９２のｃ９２－ｃ９２切断線に沿った模式的断面図）に示すように、２つの掘り込み部４２及び４２の各々の内部を埋め込むようにして、半導体部３５及び絶縁層４１を覆う導電膜４４（ゲート電極材）を形成する。導電膜４４としては、例えば抵抗値を低減する不純物が成膜中又は成膜後に導入された多結晶シリコン（ドープドポリシリコン）膜を用いることができる。半導体部３５にゲート絶縁膜４３が形成されている箇所では、半導体部３５と導電膜４４との間にゲート絶縁膜４３が介在される。

[0231] 次に、周知のフォトリソグラフィ技術及びドライエッチング技術を用いて導電膜４４をパターンニングして、図９６（模式的要部平面図）、図９７（図９６のａ９６－ａ９６切断線に沿った模式的断面図）、図９８（図９６のｂ９６－ｂ９６切断線に沿った模式的断面図）及び図９９（図９６のｃ９６－ｃ９６切断線に沿った模式的断面図）に示すように、半導体部３５の２つの第２部分３７の各々から離間し、かつゲート絶縁膜４３を介在して第１部分３６（第１領域３８Ａ）の上面部５ａ及び側面部３６ｂ$_1$，３６ｂ$_2$と向かい合うゲート電極４５を形成する。

ゲート電極４５は、半導体部３５の第１部分３６の上面部３５ａ側にゲート絶縁膜４３を介在して設けられた頭部４５ａと、この頭部４５と一体化され、かつ半導体部３５の第１部分３６の互いに反対側に位置する２つの側面部３６ｂ$_1$及び３６ｂ$_2$の各々の外側にゲート絶縁膜４３を介在して設けられた脚部４５ｂと、を有する。

頭部４５ａは、半導体部３５の第１部分３６の短手方向（Ｙ方向）において、一方の掘り込み部４２、第１部分３６及び他方の掘り込み部４２をこの順で横切る。

２つの脚部４５ｂの各々は、２つの掘り込み部４２の各々の中に個別に形成され、各々の一端側が頭部４５ａと連結される。

[0232] この工程において、図９８に示すように、ゲート電極４５は、頭部４５ａのＸ方向（ゲート長方向）における２つの側面部４５ａ$_1$，４５ａ$_2$と、脚部４５ｂのＸ方向（ゲート長方向）における２つの側面部４５ｂ$_1$，４５ｂ$_2$と、が断面視で面一に形成される。換言すれば、頭部４５ａの一方の側面部４５ａ$_1$と脚部４５ｂの一方の側面部４５ｂ$_1$とが半導体部３５の高さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成され、頭部４５ａの他方の側面部４５ａ$_2$と脚部４５ｂの他方の側面部４５ｂ$_2$とが半導体部３５の高さ方向（Ｚ方向）に連続的に延伸する１つの平坦面で構成される。

[0233] また、この工程において、図９６及び図９８に示すように、半導体部３５の第２部分３７の側面部７ｂ$_1$とゲート電極４５の脚部４５ｂとの間に間隙部（空隙部）４６が形成される。図９８では、一例として第１部分３６の側面部３６ｂ$_1$側の間隙部４６を例示している。

この第１実施形態では、半導体部３５が１つの第１部分３６及び２つの第２部分３７を有しているので、間隙部４６は、平面視でゲート電極４５のゲート長方向の両側（２つの第２部分３７側）にそれぞれぞれ２つずつ形成される。

[0234] また、この工程において、半導体部３５の第２部分３７の上面部３５ａ及び側面部３７ｂ$_1$におけるゲート絶縁膜４３は、導電膜４４をパターンニングするときのサイドエッチング及びオーバーエッチングにより除去される。

[0235] また、この工程において、図９６から図９８に示すように、半導体部３５の第１領域３８Ａに、ゲート絶縁膜４３を介在して第１領域３８Ａの上面部３５ａ及び側面部３５ｂと向かいうゲート電極４５が形成される。

[0236] 次に、図１００（模式的要部平面図）、図１０１（図１００のａ１００－

ａ１００切断線に沿った模式的断面図）、図１０２（図１００のｂ１００－ｂ１００切断線に沿った模式的断面図）及び図１０３（図１００のｃ１００－ｃ１００切断線に沿った模式的断面図）に示すように、ゲート電極４５の側壁を覆うようにして、半導体部３５上、ゲート電極４５上上及び絶縁層４１上を含む全面に絶縁膜４７を形成する。絶縁膜４７は、例えば酸化シリコン膜をＣＶＤ法により成膜することによって形成することができる。絶縁膜４７は、ゲート電極４５と、後述する成長層４８（図１０９及び図１１０参照）とを電気的に絶縁分離するためのものであり、例えば２ｎｍ～１０ｎｍ程度の薄い膜厚で形成することが好ましい。即ち、絶縁膜４７は、ゲート電極４５の上面部及び側面部に沿う膜厚で形成する。

この工程において、図１０２に示すように、絶縁膜４７は、ゲート電極４５の頭部４５ａの側面部４５ａ$_1$，４５ａ$_2$と脚部４５ｂの側面部４５ｂ$_1$，４５ｂ$_2$とに亘って形成される。また、絶縁膜４７は、半導体部３５の第２の部分３７の側面部３７ｂ$_1$にも形成される。

[0237] 次に、ゲート電極４５の側壁に絶縁膜４７が残存するように、ゲート電極４５上及びゲート電極４５の外側の絶縁膜４７を選択的に除去し、図１０４（模式的要部平面図）、図１０５（図１０４のａ１０４－ａ１０４切断線に沿った模式的断面図）、図１０６（図１０４のｂ１０４－ｂ１０４切断線に沿った模式的断面図）及び図１０７（図１０４のｃ１０４－ｃ１０４切断線に沿った模式的断面図）に示すように、ゲート電極４５の側壁にゲート電極４５の側壁を覆う絶縁膜４７を形成する。絶縁膜４７の選択的な除去は、ＲＩＥなどの異方性ドライエッチングで行うことができる。また、絶縁膜４７の選択的な除去は、エッチングマスクを用いて絶縁膜４７をパターンニングすることでも行うことができる。

[0238] 次に、半導体部３５において、ゲート電極４５が形成された第１領域３８ＡのＸ方向の両側に位置する一対の第２領域３８Ｂ及び３８Ｂの各々の上面部３５ａにエピタキシャル成長により成長層４８を選択的に形成し、図１０８（模式的要部平面図）、図１０９（図１０８のａ１０８－ａ１０８切断線

に沿った模式的断面図）及び図１１０（図１０８のｂ１０８－ｂ１０８切断線に沿った模式的断面図）に示すように、一対の第２領域３８Ｂ及び３８Ｂの各々のＺ方向の高さ（厚さ）Ｈｅ２を第１領域３８ＡのＺ方向の高さ（厚さ）Ｈｅ１よりも高く（厚く）する。成長層４８は、下地としての半導体層３２の結晶性を受け継いで形成されるため、例えばｎ型を呈する不純物が導入された単結晶シリコンの結晶層として形成される。

[0239] この工程において、成長層４８は、ゲート電極４５及び絶縁膜４７に整合して形成される。そして、成長層４８は、絶縁膜４７によりゲート電極４５と絶縁分離して形成される。

また、この工程において、半導体部３５の第２部分３７の側面部３７b_1は、絶縁膜４７で覆われているので、この第２部分３７の側面部３７b_1に成長層４８は基本的に形成されない。

また、この工程において、半導体部３５の第１領域３８Ａは、半導体層３２を含み、この半導体層３２の表層部が上面部３５ａとなる。これに対し、半導体部３５の第２領域３８Ｂでは、半導体層３２及び成長層４８を含み、成長層４８の表面部が上面部３５ａとなる。

[0240] 次に、図１１１（模式的要部平面図）、図１１２（図１１１のａ１１１－ａ１１１切断線に沿った模式的断面図）、図１１３（図１１１のｂ１１１－ｂ１１１切断線に沿った模式的断面図）及び図１１４（図１１１のｃ１１１－ｃ１１１切断線に沿った模式的断面図）に示すように、ゲート電極４５の側壁に頭部４５ａの側面部４５a_1，４５a_2及び脚部４５ｂの側面部４５b_1，４５b_2を覆うサイドウォールスペーサ５０を形成する。サイドウォールスペーサ５０は、図１１０に示す間隙部４６を埋め込むと共に、半導体部３５及びゲート電極４５の頭部４５ａを覆うようにして絶縁層４１上の全面に絶縁膜をＣＶＤ法で成膜し、その後、この絶縁膜に例えばＲＩＥなどの異方性ドライエッチングを施すことによって形成することができる。絶縁膜としては、例えば酸化シリコン膜を用いることができる。

[0241] この工程において、サイドウォールスペーサ５０は、ゲート電極４５の頭

部４５ａの側壁に絶縁膜４７を介在してゲート電極４５の頭部４５ａを囲むように形成されると共に、ゲート電極４５に対して自己整合で形成される。サイドウォールスペーサ５０は、ゲート電極４５のゲート長方向の外側の第１部分３６をＹ方向に横切る。

また、この工程において、図１１２及び図１１３に示すように、サイドウォールスペーサ５０は、平面視で半導体部３５の第２領域３８Ｂの成長層４８と重畳して形成される。

[0242] 次に、ゲート電極４５、絶縁膜４７及びサイドウォールスペーサ５０を不純物導入用マスクとして使用し、図１１５（図１１１のａ１１１－ａ１１１切断線と同一位置での模式的縦断面図）及び図１１６（図１１１のｂ１１１－ｂ１１１切断線と同一位置での模式的縦断面図）に示すように、半導体部３５の一対の第２領域３８Ｂに、ｎ型を呈する不純物として例えば砒素イオン（As^+）を選択的に注入する。ｎ型を呈する不純物としては、燐イオン（P^+）を用いてもよい。

[0243] 次に、半導体部３５の第２領域３８Ｂに注入された不純物（砒素イオンAs^+）を活性化させる熱処理を施し、図１１７（図１１１のａ１１１－ａ１１１切断線と同一位置での模式的縦断面図）及び図１１８（図１１１のｂ１１１－ｂ１１１切断線と同一位置での模式的縦断面図）に示すように、半導体部３５の一対の第２領域３８Ｂ及び３８Ｂに、一対のｎ型の半導体領域５３及び５３を形成する。一対のｎ型の半導体領域５３の各々は、サイドウォールスペーサ５０に整合し、かつ成長層４８及び半導体層３２に亘って形成される。そして、一対のｎ型の半導体領域５３の各々は、半導体部３５の第２領域３８Ｂにおいて、ｎ型の半導体領域５３と絶縁膜４７との間にｎ型の成長層４８の一部として残存するｎ型の成長層４８ａと接触し、かつ、このｎ型の成長層４８ａよりも高不純物濃度で形成される。ｎ型の成長層４８ａは、平面視でサイドウォールスペーサ５０と重畳する。

[0244] この工程において、半導体部３５の一対の第２領域３８Ｂに、各々がｎ型の半導体領域５３を含む一対の主電極領域５４ａ及び５４ｂが形成される。

また、この工程において、一対の主電極領域５４ａと５４ｂとの間の半導体部３５にチャネル形成部３９が形成される。

また、この工程において、ゲート絶縁膜４３、ゲート電極４５、一対の主電極領域５４ａ，５４ｂ及びチャネル形成部３９などを有する電界効果トランジスタＱ６が半導体部３５に形成される。

また、この工程において、一対の主電極領域５４ａ及び５４ｂの各々は、第１領域３８Ａよりも上方に迫り上がった構造（上方に突き出た構造）で形成される。

[0245] 次に、絶縁層４１上に半導体部３５及び電界効果トランジスタＱ６を覆う絶縁層５５を形成し、この絶縁層５５の半導体部３５側とは反対側の表層部を平坦化することにより、図７６から図７９に示す状態となる。

[0246] ≪第６実施形態の主な効果≫

この第６実施形態に係る半導体装置１Ｅは、半導体部３５と、この半導体部３５に設けられた電界効果トランジスタＱ６と、を備えている。そして、半導体部３５は、第１領域３８Ａと、第１領域３８ＡのＸ方向（第１方向）の両側に第１領域３８Ａと連なって設けられ、かつ第１領域３８Ａの高さＨｅ１よりも高さＨｅ２が高い一対の第２領域３８Ｂ及び３８Ｂと、を含む。そして、電界効果トランジスタＱ６は、第１領域３８Ａの上面部３５ａ及び側面部$３５ｂ_{1}$，$３５ｂ_{2}$にゲート絶縁膜４３を介在して設けられたゲート電極４５と、一対の第２領域３８Ｂ及び３８Ｂに設けられた一対の主電極領域５４ａ及び５４ｂとを有する。

したがって、この第６実施形態に係る半導体装置１Ｅによれば、一対の主電極領域５４ａ及び５４ｂが半導体部３５の第１領域３８Ａよりも上方に迫り上がった構造となり、半導体部３５の第１領域３８Ａと第２領域３８Ｂとが平坦な従来構造と比較して、実効的なチャネル長が拡大するため、短チャネル効果を抑制することができる。これにより、半導体装置１Ｅの信頼性の向上を図ることができる。

[0247] また、この第６実施形態に係る半導体装置１Ｅの製造方法では、ゲート電

極４５の形成工程において、頭部４５ａ及び脚部４５ｂを有するゲート電極４５を導電膜４４の１回の加工により形成しているため、頭部４５ａのＸ方向（ゲート長方向）における２つの側面部$４５ａ_{1}$，$４５ａ_{2}$と、脚部４５ｂのＸ方向（ゲート長方向）における２つの側面部$４５ｂ_{1}$，$４５ｂ_{2}$と、を断面視でそれぞれ面一にすることができる。

[0248] また、この第６実施形態の半導体装置１Ｅの製造方法では、頭部４５ａの側面部$４５ａ_{1}$，$４５ａ_{2}$と、脚部４５ｂの側面部$４５ｂ_{1}$，$４５ｂ_{2}$と、を断面視でそれぞれ面一にすることができるため、上述の第１実施形態と同様に、ゲート電極４５とトレイン領域（例えば主電極領域５４ｂ）との間の寄生容量Ｃｇｄは、従来のような、プロセスばらつきの影響を受けない。したがって、この第６実施形態の半導体装置１Ｅの製造方法によれば、上述の第１実施形態と同様に、電界効果トランジスタＱ６のノイズ特性の劣化を抑制することが可能となる。

[0249] また、この第６実施形態に係る半導体装置１Ｅの製造方法では、半導体部３５の第１領域４８Ａの高さＨｅ１よりも高さＨｅ２が高い一対の第２領域４８Ｂ及び４８Ｂに、一対の主電極領域５４ａ及び５４ｂを形成するため、一対の主電極領域５４ａ及び５４ｂを半導体部３５の第１領域３８Ａよりも上方に迫り上がった構造とすることができる。これにより、半導体部３５の第１領域３８Ａと第２領域３８Ｂとが平坦な従来構造と比較して、電界効果トランジスタＱ６の実効チャネル長が拡大し、短チャネル効果を抑制することができる。したがって、この第６実施形態に係る半導体装置１Ｅの製造方法によれば、信頼性の高い半導体装置１Ｅを製造することができる。

[0250] なお、上述の第６実施形態では、半導体部３５の第２部分３７（第２領域３８Ｂ）の側面部$３７ｂ_{1}$を絶縁膜４７で覆った状態で成長層４８をエピタキシャル成長により選択的に形成する場合について説明したが、半導体部３５の第２部分３７（第２領域３８Ｂ）の側面部$３７ｂ_{1}$は必ずしも絶縁膜で覆う必要はない。すなわち、半導体層３２を加工して半導体部３５を形成する際、半導体部３５の側面部３５ｂに、半導体層３２の加工によるエッチングダ

メージが生成される。このようなエッチングダメージが半導体部３５の第２部分３７（第２領域３８Ｂ）の側面部３７ｂ$_1$に残存する場合、第２部分３７（第２領域３８Ｂ）の側面部３７ｂ$_1$にはエピタキシャル成長による単結晶層は形成されない。したがって、第２部分３７（第２領域３８Ｂ）の側面部３７ｂ$_1$を絶縁膜で覆わなくとも、半導体部３５の第２領域３８Ｂの上面部に成長層４８をエピタキシャル成長により選択的に形成することができる。

また、多結晶の成長層４８とは異なり、第２部分３７（第２領域３８Ｂ）の側面部３７ｂ$_1$に多結晶やアモルファスの成長層が形成されても、これらの成長層は選択的に除去することができる。

[0251] 〔第７実施形態〕

本技術の第７実施形態に係る半導体装置１Ｆは、基本的に上述の第６実施形態に係る半導体装置１Ｅと同様の構成になっており、半導体部の構成が異なっている。

[0252] 即ち、図７７に示すように、上述の第６実施形態の半導体部３５は、第２領域３８Ｂに１層の成長層４８が設けられた構成になっている。

これに対し、図１１９に示すように、この第７実施形態の半導体部３５は、第２領域３８Ｂに２層の成長層４８及び５１が設けられた構成になっている。この２層の成長層４８及び５１は、半導体装置１Ｆの製造プロセスにおいて、サイドウォールスペーサ５０を形成した後、成長層４８にエピタキシャル成長により成長層５１を選択的に形成することによって達成される。

[0253] 具体的には、図１２０に示すように、上述の第６実施形態と同様の工程を施して、サイドウォールスペーサ５０までを形成する。

[0254] 次に、図１２１に示すように、半導体部３５の一対の第２領域３８Ｂ及び３８Ｂにおいて、各々の成長層４８の上面部にエピタキシャル成長により成長層５１を選択的に形成する。成長層５１は、下地としての成長層４８の結晶性を受け継いで形成されるため、例えばｎ型を呈する不純物が導入された単結晶シリコンの結晶層として形成することができる。

[0255] この工程において、成長層５１は、サイドウォールスペーサ５０に整合し

て形成される。そして、成長層５１は、サイドウォールスペーサ５０及び絶縁膜４７によりゲート電極４５と絶縁分離して形成される。

また、この工程において、半導体部３５の一対の第２領域３８Ｂ及び３８Ｂの各々は、半導体層３２、成長層４８及び５１を含む構成となり、成長層５１の表層部が上面部３５ａとなる。そして、一対の第２領域３８Ｂ及び３８Ｂの各々のＺ方向の高さ（厚さ）Ｈｅ２を第１領域３８ＡのＺ方向の高さ（厚さ）Ｈｅ１よりも高く（厚く）することでできる。

[0256] 次に、ゲート電極４５、絶縁膜４７及びサイドウォールスペーサ５０を不純物導入用マスクとして使用し、半導体部３５の一対の第２領域３８Ｂ及び３８Ｂの各々に、ｎ型を呈する不純物として例えば砒素イオン（As^+）を選択的に注入する。ｎ型を呈する不純物としては、燐イオン（P^+）を用いてもよい。

[0257] 次に、半導体部３５の一対の第２領域３８Ｂ及び３８Ｂの各々に注入された不純物（砒素イオンAs^+）を活性化させる熱処理を施し、図１２２に示すように、半導体部３５の一対の第２領域３８Ｂ及び３８Ｂの各々に、一対のｎ型の半導体領域５３及び５３を形成する。一対のｎ型の半導体領域５３の各々は、サイドウォールスペーサ５０に整合し、かつ成長層５１、成長層４８及び半導体層３２に亘って形成される。そして、一対のｎ型の半導体領域５３の各々は、半導体部３５の第２領域３８Ｂにおいて、ｎ型の半導体領域５３と絶縁膜４７との間にｎ型の成長層４８の一部として残存するｎ型の成長層４８ａと接触し、かつ、このｎ型の成長層４８ａよりも高不純物濃度で形成される。ｎ型の成長層４８ａは、平面視でサイドウォールスペーサ５０と重畳する。

[0258] この工程において、半導体部３５の一対の第２領域３８Ｂ及び３８Ｂに、各々がｎ型の半導体領域５３を含む一対の主電極領域５４ａ及び５４ｂが形成される。

また、この工程において、一対の主電極領域５４ａと５４ｂとの間の半導体部３５にチャネル形成部３９が形成される。

また、この工程において、ゲート絶縁膜４３、ゲート電極４５、一対の主電極領域５４ａ，５４ｂ及びチャネル形成部３９などを有する電界効果トランジスタＱ６が半導体部３５に形成される。

また、この工程において、一対の主電極領域５４ａ及び５４ｂは半導体部３５の第１領域３８Ａよりも上方に迫り上がった構造（上方に突き出た構造）で形成される。

[0259] 次に、絶縁層４１上に半導体部３５及び電界効果トランジスタＱ６を覆う絶縁層５５を形成し、この絶縁層５５の半導体部３５側とは反対側の表層部を平坦化することにより、図１１９に示す状態となる。

[0260] この第７実施形態に係る半導体装置１Ｆ及びその製造方法においても、上述の第６実施形態に係る半導体装置１Ｅ及びその製造方法と同様の効果が得られる。

[0261] 〔第８実施形態〕

≪電子機器への応用例≫

本技術（本開示に係る技術）は、例えば、デジタルスチルカメラ、デジタルビデオカメラ等の撮像装置、撮像機能を備えた携帯電話機、又は、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0262] 図１２３は、本技術の第６実施形態に係る電子機器（例えば、カメラ）の概略構成を示す図である。

[0263] 図１２３に示すように、電子機器２００は、固体撮像装置２０１と、光学レンズ２０２と、シャッタ装置２０３と、駆動回路２０４と、信号処理回路２０５とを備えている。この電子機器２００は、固体撮像装置２０１として、本技術の第５実施形態に係る固体撮像装置１Ｄを電子機器（例えばカメラ）に用いた場合の実施形態を示す。

[0264] 光学レンズ２０２は、被写体からの像光（入射光２０６）を固体撮像装置２０１の撮像面上に結像させる。これにより、固体撮像装置２０１内に一定期間にわたって信号電荷が蓄積される。シャッタ装置２０３は、固体撮像装置２０１への光照射期間及び遮光期間を制御する。駆動回路２０４は、固体

撮像装置２０１の転送動作及びシャッタ装置２０３のシャッタ動作を制御する駆動信号を供給する。駆動回路２０４から供給される駆動信号（タイミング信号）により、固体撮像装置２０１の信号転送を行なう。信号処理回路２０５は、固体撮像装置２０１から出力される信号（画素信号（画像信号）に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0265] このような構成により、固体撮像装置２０１において信頼性の向上が図れているため、第８実施形態の電子機器２００においても、信頼性の向上を図ることができる。

[0266] なお、上述の実施形態の固体撮像装置を適用できる電子機器２００としては、カメラに限られるものではなく、他の電子機器にも適用することができる。例えば、携帯電話機やタブレット端末等のモバイル機器向けカメラモジュール等の撮像装置に適用してもよい。

[0267] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ＴｏＦ（Time of Flight）センサと呼称され、距離を測定する測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射されて返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサの素子分離領域の構造として、上述した素子分離領域の構造を採用することができる。

[0268] 〔その他の実施形態〕

上述の実施形態では、Ｘ方向に延伸する直方体形状の半導体部５に電界効果トランジスタが設けられた場合について説明した。しかしながら、本技術は直方体形状の半導体部５に限定されない。

[0269] 例えば、平面形状がＬ字形状で構成された半導体部の隅角部にチャネル形成部及びゲート電極が設けられた電界効果トランジスタにも本技術を適用することができる。

[0270] また、上述の第１実施形態から第５実施形態では、半導体部として、半導体層２のベース部４と一体化された島状の半導体部５について説明した。しかしながら、本技術はベース部４と一体化された島状の半導体部５に限定されない。

例えば、本技術は、絶縁層上に半導体部が設けられた所謂ＳＯＩ（Silicon On Insulator）構造においても適用することができる。この場合、半導体部は、上面部とは反対側に絶縁層と接する底面部を有する。

[0271] また、本技術は、フィン型の電界効果トランジスタと、プレナー型の電界効果トランジスタとを混在した半導体装置にも適用することができる。

[0272] なお、本技術は、以下のような構成としてもよい。

（１）

第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を含み、かつ前記第１部分及び前記第２部分の各々が前記上面部及び前記側面部を含む島状の半導体部と、

前記第１部分及び前記第２部分の各々を囲む絶縁層と、

前記第２部分から離間し、かつ前記第１部分の前記上面部及び前記側面部に亘って設けられたゲート電極を有する電界効果トランジスタと、

前記ゲート電極と前記第２部分との間に設けられ、かつ前記絶縁層よりも比誘電率が低い誘電体部と、

を備えている半導体装置。

（２）

前記誘電体部は、前記絶縁層よりも比誘電率が低い誘電体膜を含む、上記（１）に記載の半導体装置。

（３）

前記誘電体部は、前記絶縁層よりも比誘電率が低い空洞部を含む、上記（１）に記載の半導体装置。

（４）

前記電界効果トランジスタは、前記第１部分とゲート電極との間に介在されたゲート絶縁膜を更に備え、

前記誘電体部は、前記ゲート絶縁膜よりも比誘電率が低い、上記（１）から（３）の何れかに記載の半導体装置。

（５）

前記誘電体部の前記第１方向に沿う幅は、前記ゲート絶縁膜の膜厚よりも広い、上記（１）から（４）の何れかに記載の半導体装置。

（６）

前記ゲート電極は、前記絶縁層よりも上方に突出する頭部と、前記頭部と一体化され、かつ前記絶縁層の中に設けられた脚部と、を有し、

前記頭部の前記第１方向における側面部と前記脚部の前記第１方向における側面部とが断面視で面一になっている、上記（１）から（５）の何れかに記載の半導体装置。

（７）

前記ゲート電極は、前記絶縁層から上方に突出する頭部と、前記頭部と一体化され、かつ前記絶縁層の中に設けられた脚部と、を有し、

前記誘電体部は、平面視で四方が前記第１部分、前記第２部分、前記脚部及び前記絶縁層で囲まれている、上記（１）から（６）の何れかに記載の半導体装置。

（８）

前記電界効果トランジスタは、前記ゲート電極のゲート長方向の両側の前記半導体部に設けられた一対の主電極領域を更に備えている、上記（１）から（７）の何れかに記載の半導体装置。

（９）

前記電界効果トランジスタは、前記ゲート電極の側壁に設けられたサイドウォールスペーサを更に備え、

前記一対の主電極領域の各々は、前記ゲート電極に整合して前記半導体部に設けられたエクステン領域と、前記サイドウォールスペーサに整合して前

記半導体部に設けられ、かつ前記エクステンション領域よりも不純物濃度が高いコンタクト領域と、を含む、上記（８）に記載の半導体装置。

（１０）

光電変換部と、前記光電変換部で光電変換された信号電荷を画素信号に変換する画素回路と、を更に備え、

前記画素回路に含まれる複数の画素トランジスタのうちの少なくとも１つが前記電界効果トランジスタで構成されている、上記（１）から（９）の何れかに記載の半導体装置。

（１１）

平面視で前記半導体部と重畳して配置され、かつ前記光電変換部が設けられた半導体層を更に備えている、上記（１０）に記載の半導体装置。

（１２）

第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を有し、かつ前記第１部分及び前記第２部分の各々が上面部及び側面部を有する島状の半導体部を形成し、

前記第１部分及び前記第２部分の各々の周囲を囲む絶縁層を形成し、

前記第２部分から離間し、かつ前記第１部分の前記上面部及び前記側面部と向かい合うゲート電極を形成し、

前記ゲート電極と前記第２部分との間に、前記絶縁層よりも比誘電率が低い誘電体部を形成する、

ことを含む半導体装置の製造方法。

（１３）

前記ゲート電極及び前記誘電体部をマスクとして使用し、前記ゲート電極の外側の前記半導体部に不純物をイオン注入することによってエクステンション領域を形成する、上記（１２）に記載の半導体装置の製造方法。

（１４）

第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前

記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を有し、かつ前記第１部分及び前記第２部分の各々が上面部及び側面部を有する島状の半導体部を形成し、

前記第１部分及び前記第２部分の各々の周囲を囲む絶縁層を形成し、

前記第１部分の前記第２方向の外側の前記絶縁層を選択的に除去して掘り込み部を形成し、

前記掘り込み部を埋め込むようにして、前記半導体部を覆う導電膜を形成し、

前記導電膜をパターンニングして、前記第１部分と隣り合って前記掘り込み部に埋め込まれた脚部と、前記脚部と一体化されると共に前記第１部分と重畳し、かつ前記脚部の前記第１方向に沿う幅と同一方向の幅が前記脚部の幅よりも狭い頭部と、を有するゲート電極を形成し、

平面視で前記頭部と前記第２部分との間に前記脚部が残存する状態で前記頭部の外側の前記半導体部に不純物を選択的にイオン注入してエクステンション領域を形成し、

前記頭部の外側の前記脚部を除去する、

ことを含む半導体装置の製造方法。

（１５）

前記頭部の外側の前記脚部の除去は、前記頭部の側面部が内側に後退するように前記頭部及び前記脚部を前記半導体部の高さ方向に一括してエッチングすることによって行う、上記（１４）に記載の半導体装置の製造方法。

（１６）

前記エッチングは、前記掘り込み部の底部近傍まで深く行う、上記（１５）に記載の半導体装置の製造方法。

（１７）

前記頭部の外側の前記脚部の除去した後、前記ゲート電極の側壁に前記頭部及び前記脚部の各々の側面部を覆うサイドウォールスペーサを形成することを含む、上記（１４）から（１６）の何れかに記載の半導体装置の製造方

法。

（１８）

前記サイドウォールスペーサは、前記絶縁層よりも比誘電率が低い絶縁膜で構成されている、上記（１７）に記載の半導体装置の製造方法。

（１９）

上面部及び側面部を有する半導体部と、

前記半導体部に設けられた電界効果トランジスタと、

を備え、

前記半導体部は、第１領域と、前記第１領域の第１方向の両側に前記第１領域と連なって設けられ、かつ前記第１領域の高さよりも高さが高い一対の第２領域と、を含み、

前記電界効果トランジスタは、前記第１領域の前記上面部及び側面部に亘ってゲート絶縁膜を介在して設けられたゲート電極と、前記一対の第２領域に設けられた一対の主電極領域とを有する、半導体装置。

（２０）

前記第１領域は、前記ゲート電極のゲート長方向と同一方向の幅が前記ゲート電極のゲート長方向の幅よりも広い、上記（１９）に記載の半導体装置。

（２１）

前記電界効果トランジスタは、前記ゲート電極の側壁に設けられた絶縁膜を更に有し、

前記一対の第２領域の各々は、前記絶縁膜よりも外側に位置している、上記（１９）又は（２０）に記載の半導体装置。

（２２）

前記半導体部の前記第１領域は、半導体層を含み、

前記半導体部の前記第２領域は、前記半導体層と、この半導体層上にエピタキシャル成長により前記絶縁膜に整合して形成された成長層とを含み、

前記電界効果トランジスタは、前記絶縁膜の外側の前記成長層上に前記絶

縁膜に整合して形成されたサイドウォールスペーサを更に有し、

前記一対の主電極領域の各々は、前記サイドウォールスペーサに整合し、かつ前記第２領域の前記成長層及び前記半導体層に亘って形成された半導体領域を含む、上記（１９）から（２１）の何れかに記載の半導体装置。

（２３）

光電変換部と、前記光電変換部で光電変換された信号電荷を画素信号に変換する画素回路と、を更に備え、

前記画素回路に含まれる複数の画素トランジスタのうちの少なくとも１つが前記電界効果トランジスタで構成されている、上記（１９）から（２２）の何れかに記載の半導体装置。

（２４）

平面視で前記半導体部と重畳して配置され、かつ前記光電変換部が設けられた半導体層を更に備えている、上記（２３）に記載の半導体装置。

（２５）

第１領域と、前記第１領域の第１方向の両側に前記第１領域と連なって設けられた一対の第２領域と、前記第１領域及び前記第２領域に亘って設けられた上面部及び側面部と、を有する半導体部を形成し、

前記第１方向と交差する第２方向において、ゲート絶縁膜を介在して前記第１領域の前記上面部及び前記側面部と向かい合うゲート電極を形成し、

エピタキシャル成長により前記一対の第２領域の各々の高さを前記第１領域の高さよりも高くし、

前記一対の第２領域に一対の主電極領域を形成する、

ことを含む半導体装置の製造方法。

（２６）

半導体装置と、

被写体からの像光を前記半導体装置の撮像面上に結像させる光学レンズと、

前記半導体層から出力される信号に信号処理を行う信号処理回路と、

を備え、

前記半導体装置は、

第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を有し、かつ前記第１部分及び前記第２部分の各々が上面部及び側面部を有する島状の半導体部と、

前記第１部分及び第２部分の各々の周囲を囲む絶縁層と、

前記第２部分から離間し、かつ前記第１部分の前記上面部及び前記側面部に亘って設けられたゲート電極を有する電界効果トランジスタと、

前記ゲート電極と前記第２部分との間に設けられ、かつ前記絶縁層よりも比誘電率が低い誘電体部と、

を備えている、電子機器。

[0273] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

[0274] １Ａ，１Ｂ，１Ｃ，１Ｅ，１Ｆ　半導体装置

１Ｄ…固体撮像装置

２　半導体層

３　ウエル領域

４　ベース部

５　半導体部

５ａ　上面部

５a_1　段差部

５ｂ　側面部

６　第１部分

６ｂ$_1$，６ｂ$_2$　側面部

７　第２部分

７ｂ$_1$，７ｂ$_2$，７ｂ$_3$，７ｂ$_4$　側面部

９　チャネル形成部

１１　絶縁層

１２ａ，１２ｂ　掘り込み部（ゲート電極用掘り込み部）

１３　ゲート絶縁膜

１４　導電膜（ゲート電極材）

１５　ゲート電極

１５ａ　頭部

１５ａ$_1$，１５ａ$_2$　側面部

１５ｂ　脚部

１５ｂ$_1$，１５ｂ$_2$　側面部

１６　間隙部（開口部）

１７，１７Ｂ　誘電体部

１７ｂ$_1$　空洞部

１７ｂ$_2$　絶縁膜

１８　エクステンション領域

１９　サイドウォールスペーサ

２０　コンタクト領域

２１ａ，２１ｂ　主電極領域

２２　絶縁層

２２ａ，２２ｂ，２２ｃ　コンタクト電極

２３ａ，２３ｂ，２３ｃ　配線

２５，２６　寄生容量

２８　第３部分

３２　半導体層

３３　ｐ型のウエル領域

３４　ベース部

３５　半導体部

３５ａ　上面部

３５ｂ　側面部

３６　第１部分

３６b_1，６b_2　側面部

３７　第２部分

３７b_1，３７b_2，３７b_3，３７b_4　側面部

３８Ａ　第１領域

３８Ｂ　第２領域

３９　チャネル形成部

４１　絶縁層

４２ａ，４２ｂ　掘り込み部（ゲート電極用掘り込み部）

４３　ゲート絶縁膜

４４　導電膜（ゲート電極材）

４５　ゲート電極

４５ａ　頭部

４５a_1，１５a_2　側面部

４５ｂ　脚部

４５b_1，１５b_2　側面部

４６　間隙部（開口部）

４７　絶縁膜（分離用絶縁膜）

４８　成長層（エピタキシャル層）

５０　サイドウォールスペーサ

５１　成長層（エピタキシャル層）

５３　ｎ型の半導体領域

５４ａ，５４ｂ　主電極領域

５５　絶縁層

１０２…半導体チップ

１０２Ａ…画素アレイ部

１０２Ｂ…周辺部

１０３…画素

１０４…垂直駆動回路

１０５…カラム信号処理回路

１０６…水平駆動回路

１０７…出力回路

１０８…制御回路

１１０…画素駆動線

１１１…垂直信号線

１１３…ロジック回路

１１４…ボンディングパッド

１１５…読出し回路

１３０…半導体層（第２半導体層）

１３１…配線層

１４１…平坦化層

１４２…フィルタ層

１４３…レンズ層

２００…電子機器

２０１…固体撮像装置

２０２…光学レンズ

２０３…シャッタ装置

２０４…駆動回路

２０５…信号処理回路

２０６…入射光

ＡＭＰ　増幅トランジスタ

ＦＤＧ　切替トランジスタ

ＲＳＴ　リセットトランジスタ

ＳＥＬ　選択トランジスタ

Ｓ１　第１の面部

Ｓ２　第２の面部

ＴＲ　転送トランジスタ

Ｑ，Ｑ１，Ｑ２　電界効果トランジスタ

請求の範囲

[請求項1] 第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を含み、かつ前記第１部分及び前記第２部分の各々が前記上面部及び前記側面部を含む島状の半導体部と、

前記第１部分及び前記第２部分の各々を囲む絶縁層と、

前記第２部分から離間し、かつ前記第１部分の前記上面部及び前記側面部に亘って設けられたゲート電極を有する電界効果トランジスタと、

前記ゲート電極と前記第２部分との間に設けられ、かつ前記絶縁層よりも比誘電率が低い誘電体部と、

を備えている半導体装置。

[請求項2] 前記誘電体部は、前記絶縁層よりも比誘電率が低い誘電体膜を含む、請求項１に記載の半導体装置。

[請求項3] 前記誘電体部は、前記絶縁層よりも比誘電率が低い空洞部を含む、請求項１に記載の半導体装置。

[請求項4] 前記電界効果トランジスタは、前記第１部分とゲート電極との間に介在されたゲート絶縁膜を更に備え、

前記誘電体部は、前記ゲート絶縁膜よりも比誘電率が低い、請求項１に記載の半導体装置。

[請求項5] 前記誘電体部の前記第１方向に沿う幅は、前記ゲート絶縁膜の膜厚よりも広い、請求項４に記載の半導体装置。

[請求項6] 前記ゲート電極は、前記絶縁層よりも上方に突出する頭部と、前記頭部と一体化され、かつ前記絶縁層の中に設けられた脚部と、を有し、

前記頭部の前記第１方向における側面部と前記脚部の前記第１方向における側面部とが断面視で面一になっている、請求項４に記載の半

導体装置。

[請求項7] 前記ゲート電極は、前記絶縁層から上方に突出する頭部と、前記頭部と一体化され、かつ前記絶縁層の中に設けられた脚部と、を有し、

前記誘電体部は、平面視で四方が前記第１部分、前記第２部分、前記脚部及び前記絶縁層で囲まれている、請求項１に記載の半導体装置。

[請求項8] 前記電界効果トランジスタは、前記ゲート電極のゲート長方向の両側の前記半導体部に設けられた一対の主電極領域を更に備えている、請求項１に記載の半導体装置。

[請求項9] 前記電界効果トランジスタは、前記ゲート電極の側壁に設けられたサイドウォールスペーサを更に備え、

前記一対の主電極領域の各々は、前記ゲート電極に整合して前記半導体部に設けられたエクステン領域と、前記サイドウォールスペーサに整合して前記半導体部に設けられ、かつ前記エクステンション領域よりも不純物濃度が高いコンタクト領域と、を含む、請求項８に記載の半導体装置。

[請求項10] 光電変換部と、前記光電変換部で光電変換された信号電荷を画素信号に変換する画素回路と、を更に備え、

前記画素回路に含まれる複数の画素トランジスタのうちの少なくとも１つが前記電界効果トランジスタで構成されている、請求項１に記載の半導体装置。

[請求項11] 平面視で前記半導体部と重畳して配置され、かつ前記光電変換部が設けられた半導体層を更に備えている、請求項１０に記載の半導体装置。

[請求項12] 第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を有し、かつ前記第１部分及び前記第２部分の各々が上面部及び側面部を有する島状

の半導体部を形成し、

前記第１部分及び前記第２部分の各々の周囲を囲む絶縁層を形成し、

前記第２部分から離間し、かつ前記第１部分の前記上面部及び前記側面部と向かい合うゲート電極を形成し、

前記ゲート電極と前記第２部分との間に、前記絶縁層よりも比誘電率が低い誘電体部を形成する、

ことを含む半導体装置の製造方法。

[請求項13] 前記ゲート電極及び前記誘電体部をマスクとして使用し、前記ゲート電極の外側の前記半導体部に不純物をイオン注入することによってエクステンション領域を形成する、請求項１２に記載の半導体装置の製造方法。

[請求項14] 第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を有し、かつ前記第１部分及び前記第２部分の各々が上面部及び側面部を有する島状の半導体部を形成し、

前記第１部分及び前記第２部分の各々の周囲を囲む絶縁層を形成し、

前記第１部分の前記第２方向の外側の前記絶縁層を選択的に除去して掘り込み部を形成し、

前記掘り込み部を埋め込むようにして、前記半導体部を覆う導電膜を形成し、

前記導電膜をパターンニングして、前記第１部分と隣り合って前記掘り込み部に埋め込まれた脚部と、前記脚部と一体化されると共に前記第１部分と重畳し、かつ前記脚部の前記第１方向に沿う幅と同一方向の幅が前記脚部の幅よりも狭い頭部と、を有するゲート電極を形成し、

平面視で前記頭部と前記第２部分との間に前記脚部が残存する状態で前記頭部の外側の前記半導体部に不純物を選択的にイオン注入してエクステンション領域を形成し、

前記頭部の外側の前記脚部を除去する、

ことを含む半導体装置の製造方法。

[請求項15] 前記頭部の外側の前記脚部の除去は、前記頭部の側面部が内側に後退するように前記頭部及び前記脚部を前記半導体部の高さ方向に一括してエッチングすることによって行う、請求項１４に記載の半導体装置の製造方法。

[請求項16] 前記エッチングは、前記掘り込み部の底部近傍まで深く行う、請求項１５に記載の半導体装置の製造方法。

[請求項17] 前記頭部の外側の前記脚部の除去した後、前記ゲート電極の側壁に前記頭部及び前記脚部の各々の側面部を覆うサイドウォールスペーサを形成することを含む請求項１４に記載の半導体装置の製造方法。

[請求項18] 前記サイドウォールスペーサは、前記絶縁層よりも比誘電率が低い絶縁膜で構成されている、請求項１７に記載の半導体装置の製造方法。

[請求項19] 上面部及び側面部を有する半導体部と、

前記半導体部に設けられた電界効果トランジスタと、

を備え、

前記半導体部は、第１領域と、前記第１領域の第１方向の両側に前記第１領域と連なって設けられ、かつ前記第１領域の高さよりも高さが高い一対の第２領域と、を含み、

前記電界効果トランジスタは、前記第１領域の前記上面部及び側面部に亘ってゲート絶縁膜を介在して設けられたゲート電極と、前記一対の第２領域に設けられた一対の主電極領域とを有する、半導体装置。

[請求項20] 前記第１領域は、前記ゲート電極のゲート長方向と同一方向の幅が

前記ゲート電極のゲート長方向の幅よりも広い、請求項１９に記載の半導体装置。

[請求項21] 前記電界効果トランジスタは、前記ゲート電極の側壁に設けられた絶縁膜を更に有し、

前記一対の第２領域の各々は、前記絶縁膜よりも外側に位置している、請求項１９に記載の半導体装置。

[請求項22] 前記半導体部の前記第１領域は、半導体層を含み、

前記半導体部の前記第２領域は、前記半導体層と、この半導体層上にエピタキシャル成長により前記絶縁膜に整合して形成された成長層とを含み、

前記電界効果トランジスタは、前記絶縁膜の外側の前記成長層上に前記絶縁膜に整合して形成されたサイドウォールスペーサを更に有し、

前記一対の主電極領域の各々は、前記サイドウォールスペーサに整合し、かつ前記第２領域の前記成長層及び前記半導体層に亘って形成された半導体領域を含む、請求項２１に記載の半導体装置。

[請求項23] 第１領域と、前記第１領域の第１方向の両側に前記第１領域と連なって設けられた一対の第２領域と、前記第１領域及び前記第２領域に亘って設けられた上面部及び側面部と、を有する半導体部を形成し、

前記第１方向と交差する第２方向において、ゲート絶縁膜を介在して前記第１領域の前記上面部及び前記側面部と向かい合うゲート電極を形成し、

エピタキシャル成長により前記一対の第２領域の各々の高さを前記第１領域の高さよりも高くし、

前記一対の第２領域に一対の主電極領域を形成する、

ことを含む半導体装置の製造方法。

[請求項24] 半導体装置と、

被写体からの像光を前記半導体装置の撮像面上に結像させる光学レ

ンズと、

前記半導体層から出力される信号に信号処理を行う信号処理回路と、

を備え、

前記半導体装置は、

第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を有し、かつ前記第１部分及び前記第２部分の各々が上面部及び側面部を有する島状の半導体部と、

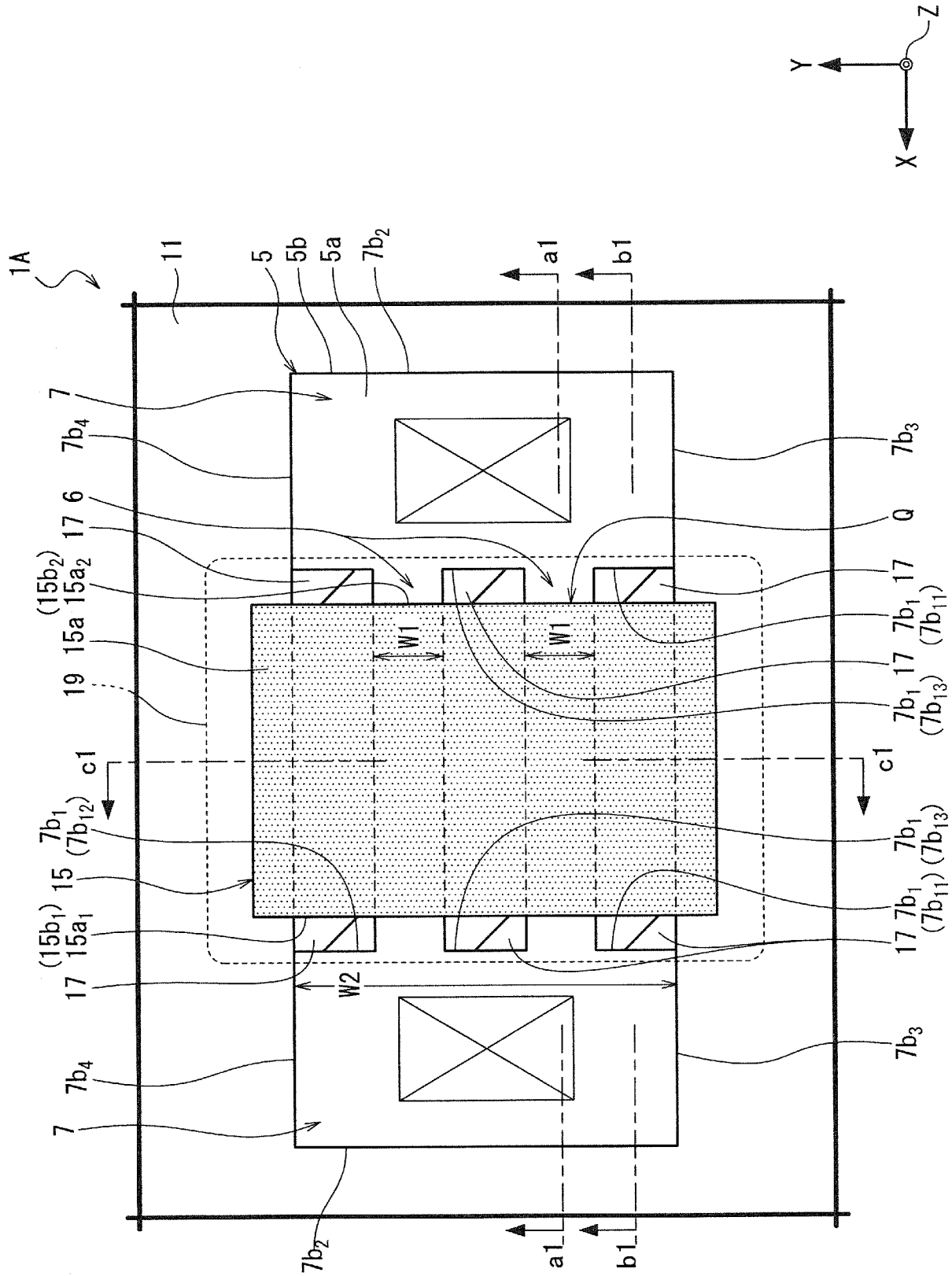
前記第１部分及び第２部分の各々の周囲を囲む絶縁層と、

前記第２部分から離間し、かつ前記第１部分の前記上面部及び前記側面部に亘って設けられたゲート電極を有する電界効果トランジスタと、

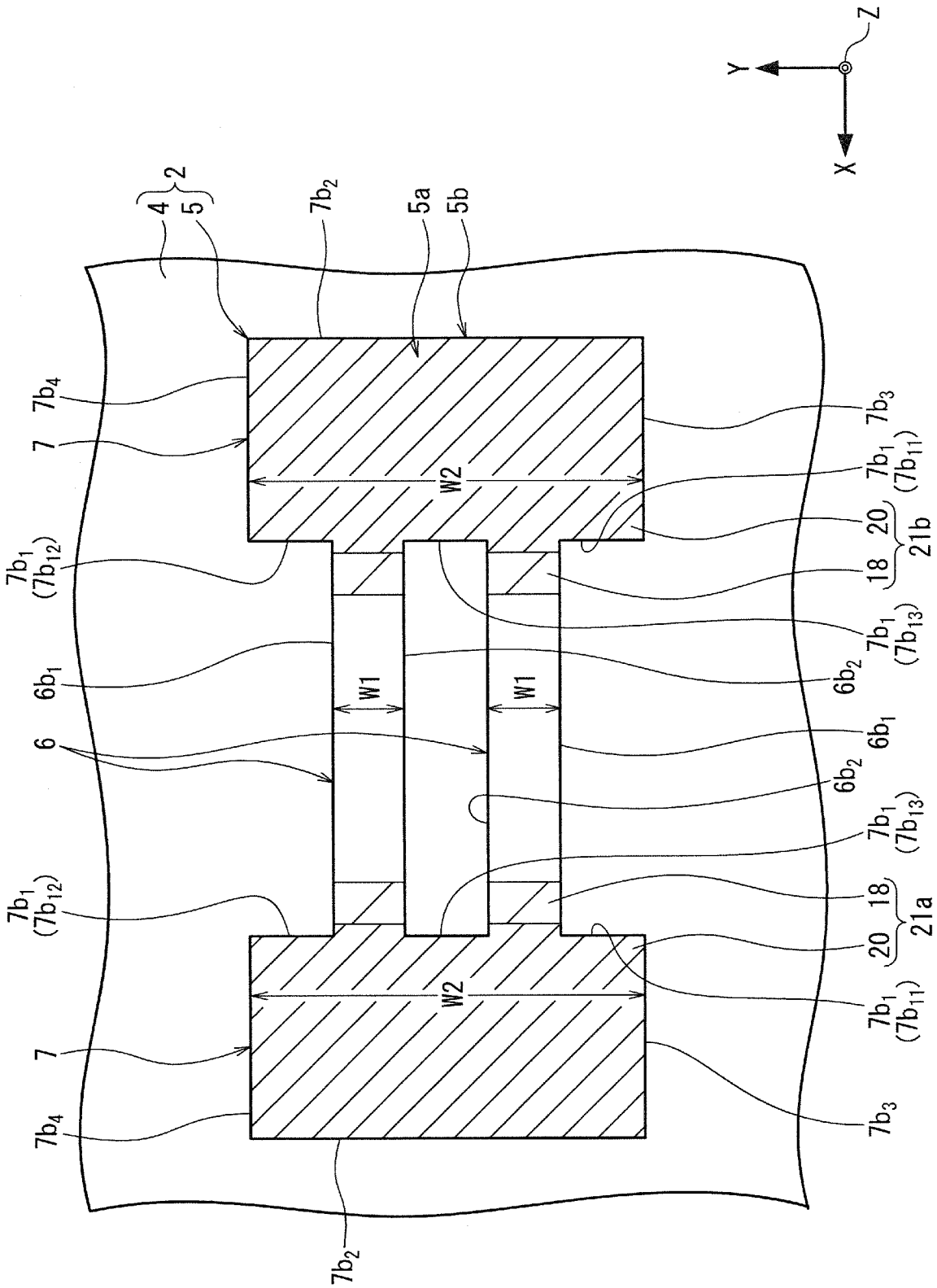
前記ゲート電極と前記第２部分との間に設けられ、かつ前記絶縁層よりも比誘電率が低い誘電体部と、

を備えている、電子機器。

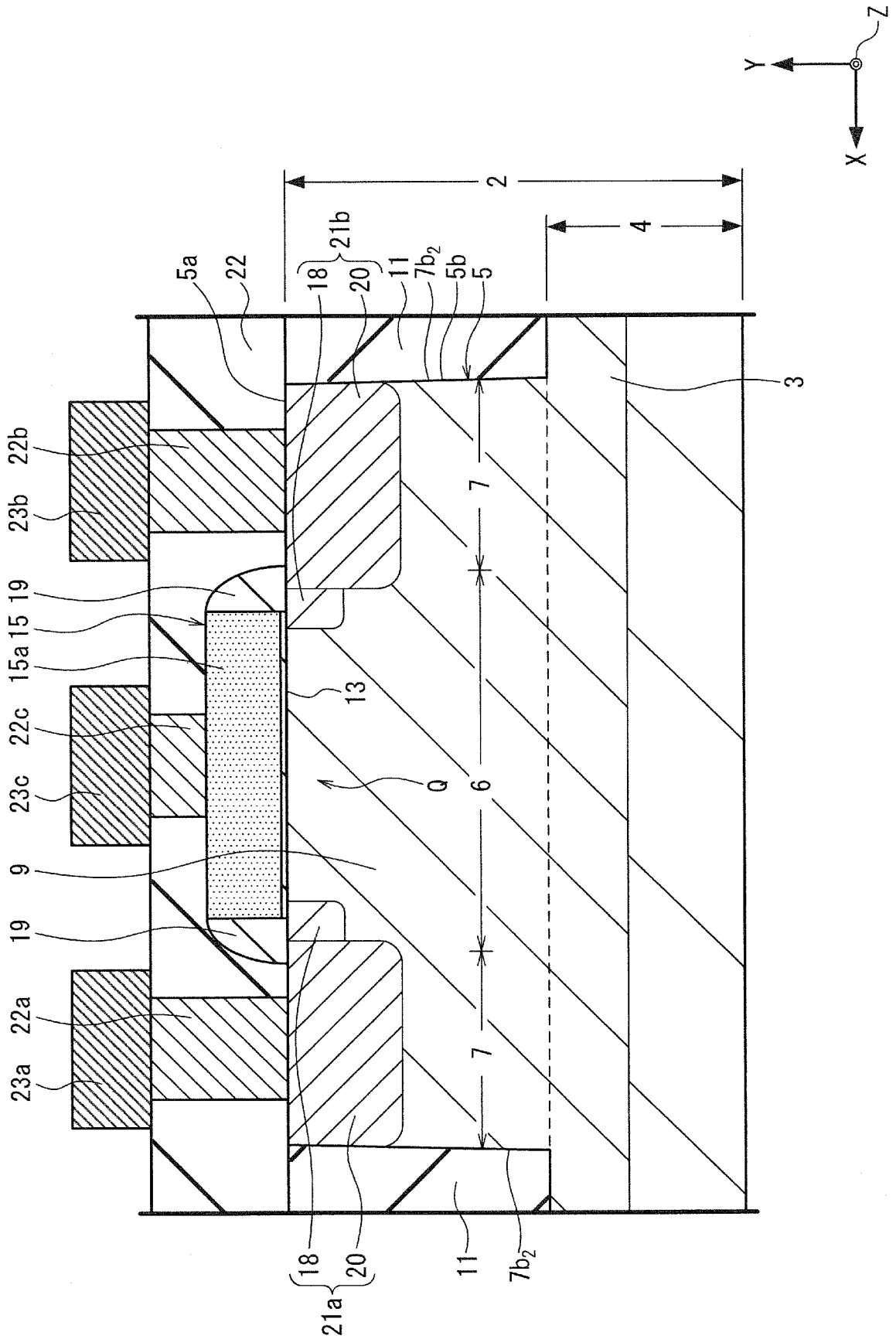
[図1]


Z
Y
X
1A
11
5
5b
5a
7b2
a1
b1
7
7b4
7b3
17
6
Q
(15b2)
15a2
15a
19
W1
W1
7b1
(7b11)
7b1
(7b13)
c1
c1
7b1
(7b12)
15
(15b1)
15a1
W2
7b4
7
7b2
a1
b1

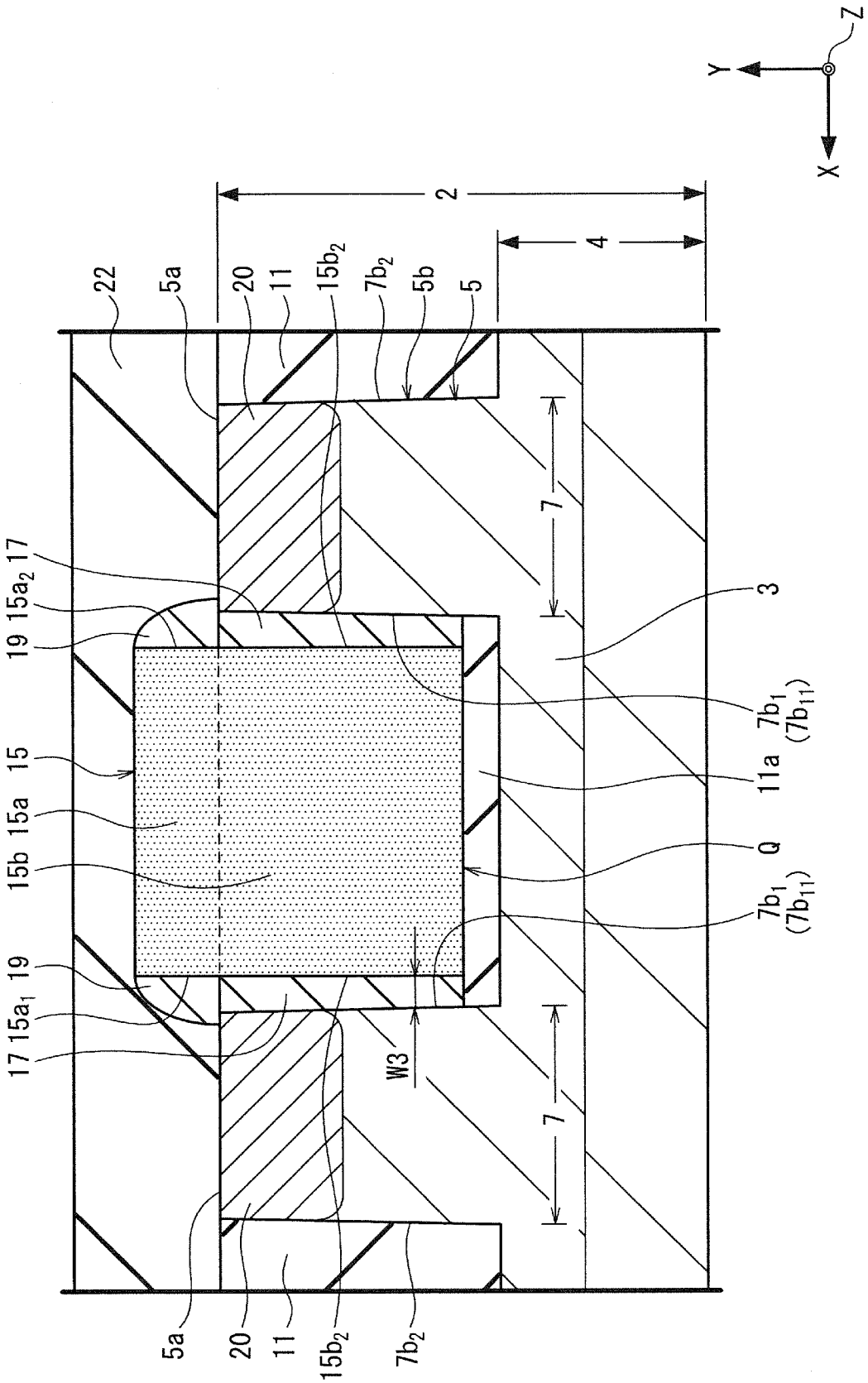
[図1A]


Z
Y
X
2
4
5
7b2
5a
5b
7b4
7
7b3
7b1
(7b11)
W2
20
21b
18
7b1
(7b12)
7b1
(7b13)
6b1
W1
W1
6b2
6
6b1
6b2
7b1
(7b13)
7b1
(7b12)
18
20
21a
W2
7b1
(7b11)
7
7b3
7b4
7b2

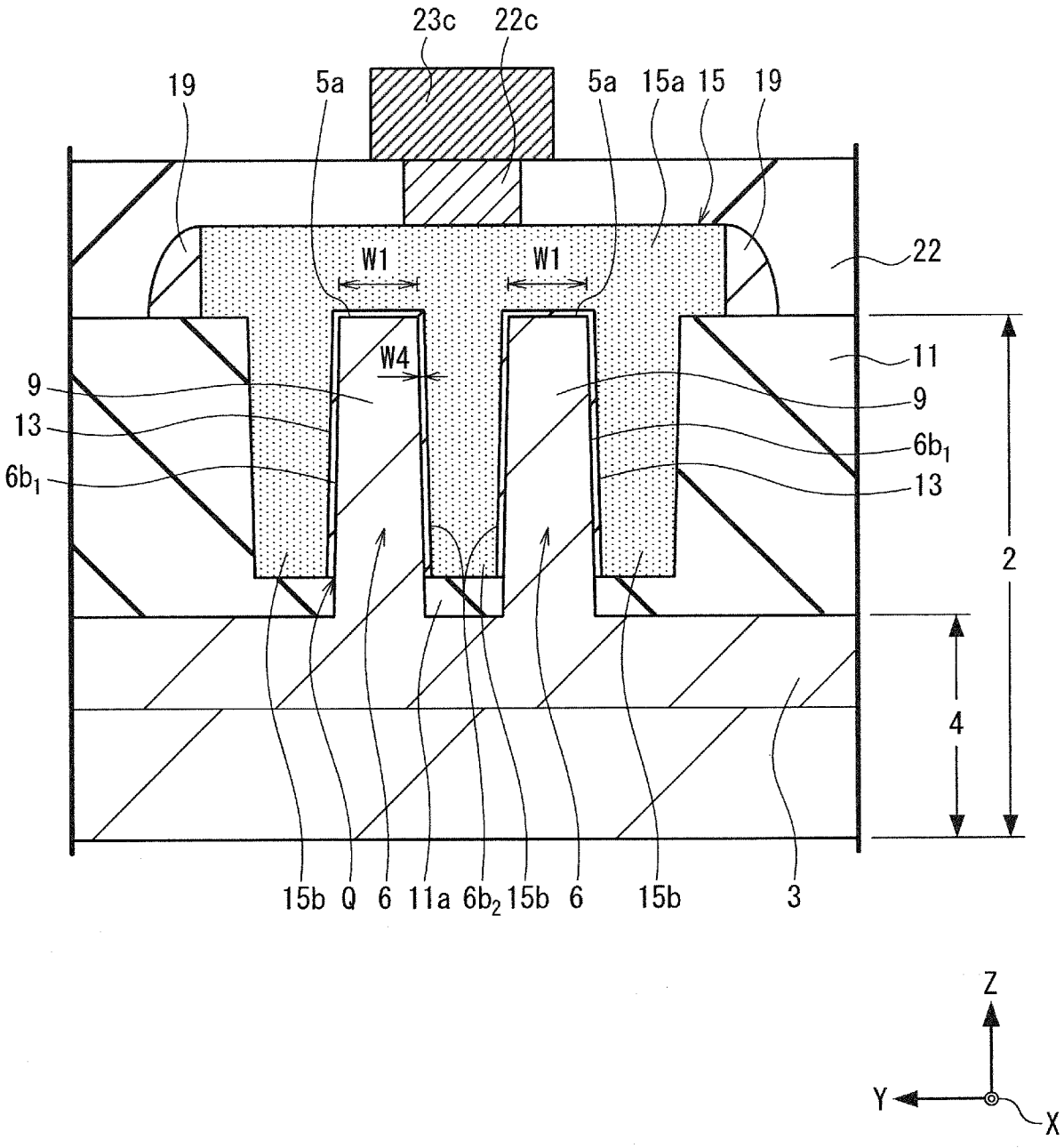
[図2]


Z
Y
X
2
4
5a
22
18
21b
20
11
7b2
5b
5
3
22b
23b
19
15
15a
22c
23c
9
19
22a
23a
13
Q
6
7
7
18
20
21a
11
7b2

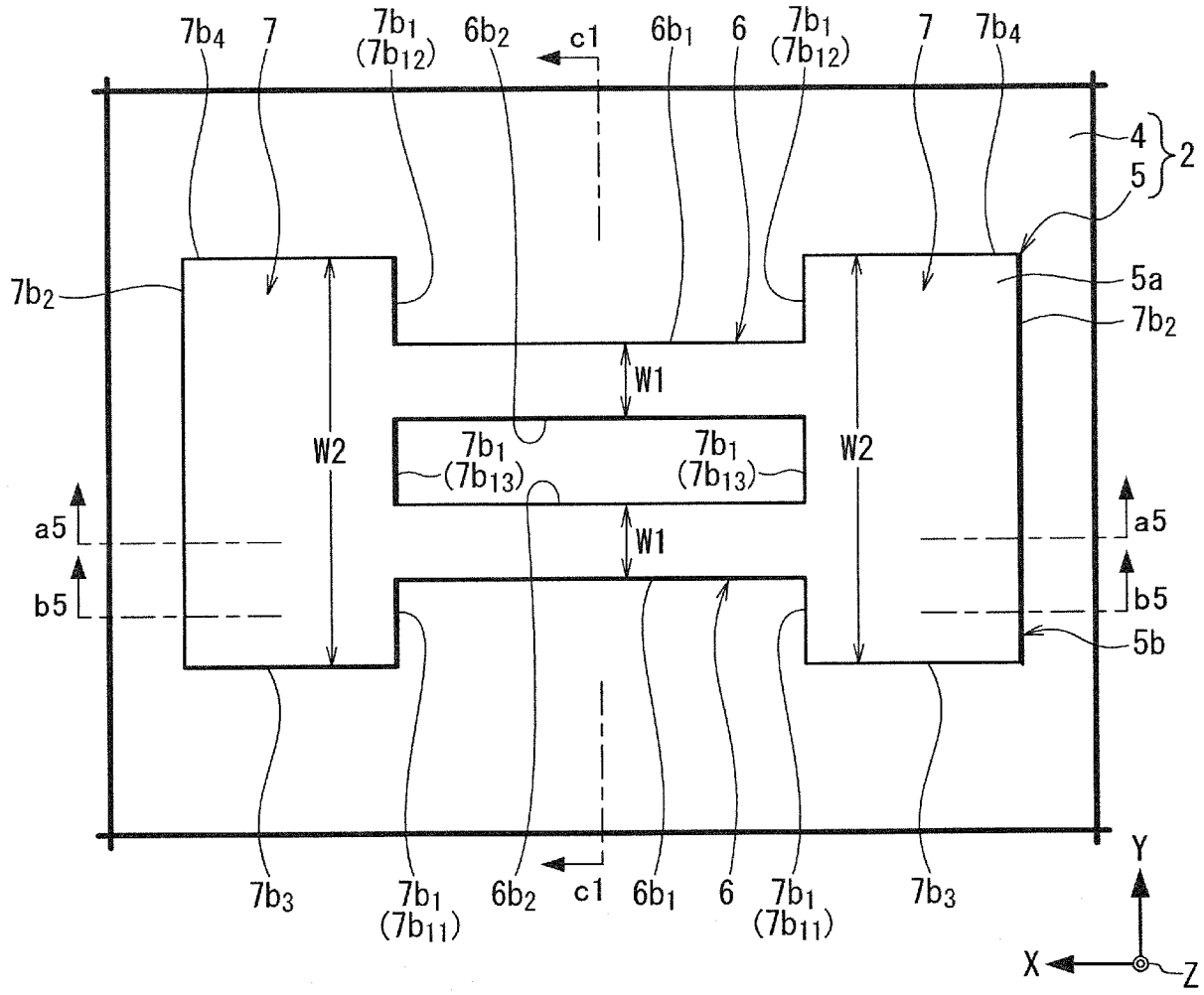
[図3]


Z
Y
X
2
4
22
5a
20
11
15b2
7b2
5b
5
7
3
17
19
15a2
15
15a
15b
7b1
(7b11)
11a
Q
W3
15a1

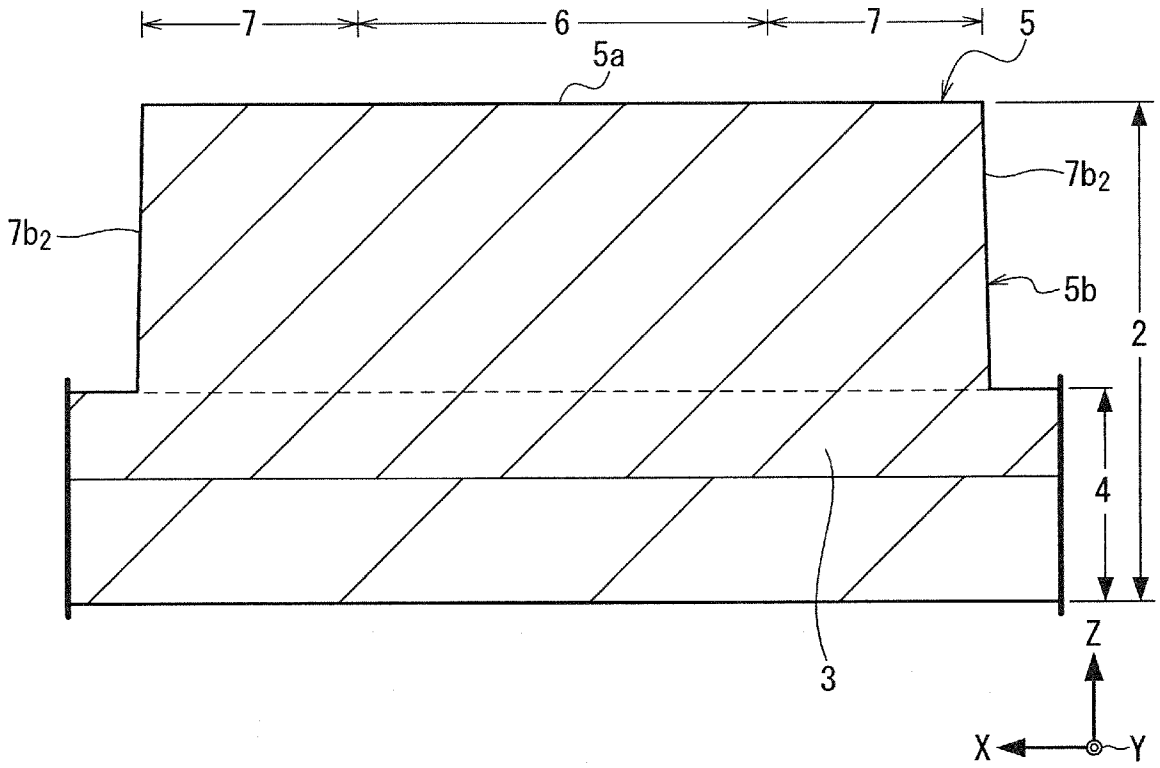
[図4]


23c
22c
19
5a
5a
15a
15
19
W1
W1
22
W4
11
9
9
13
6b1
6b1
13
2
4
15b
Q
6
11a
6b2
15b
6
15b
3
Z
Y
X

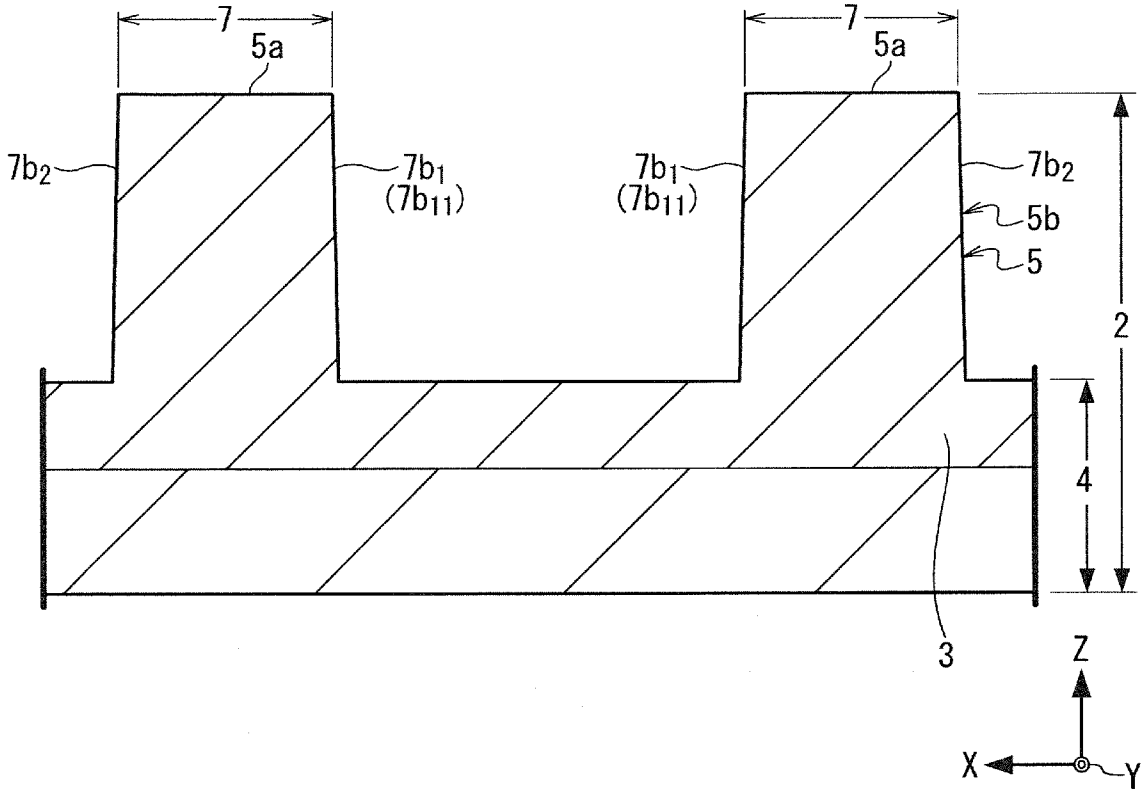
[図5]


7b4
7
7b1
(7b12)
6b2
c1
6b1
6
7b1
(7b12)
7
7b4
4
5
2
7b2
5a
7b2
W1
W2
7b1
(7b13)
7b1
(7b13)
W2
W1
a5
b5
a5
b5
5b
7b3
7b1
(7b11)
6b2
c1
6b1
6
7b1
(7b11)
7b3
Y
X
Z

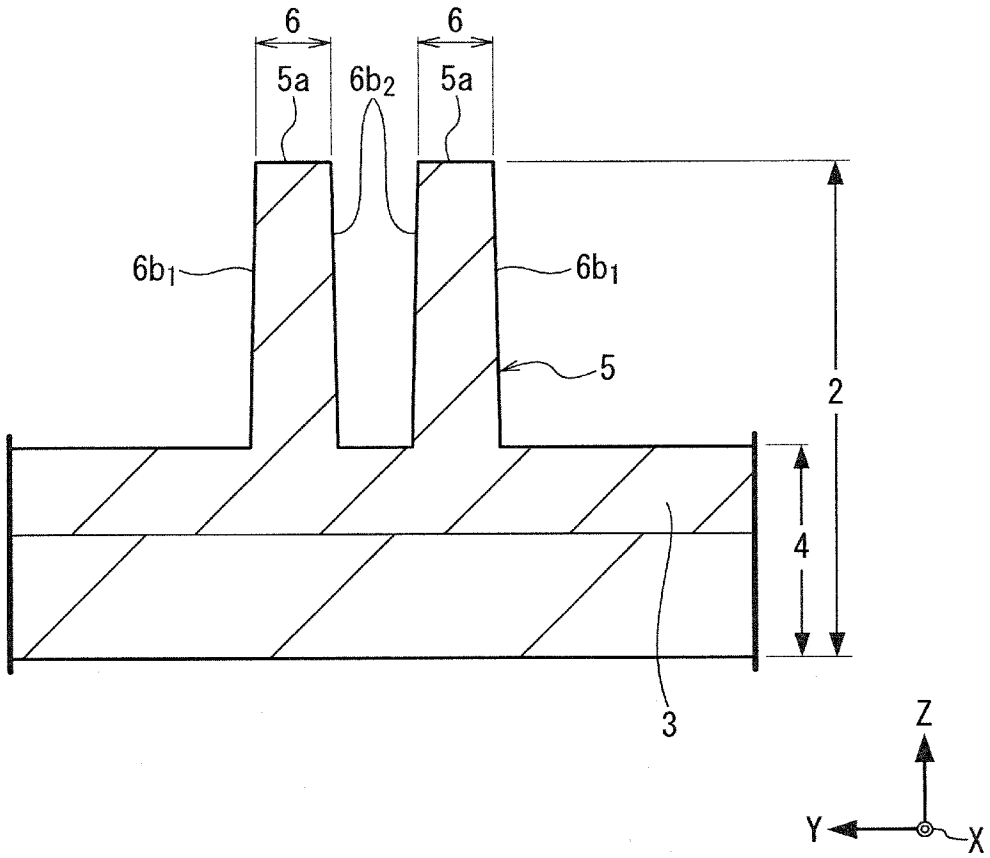
[図6]


7
6
7
5
5a
7b2
7b2
5b
2
4
3
Z
X
Y

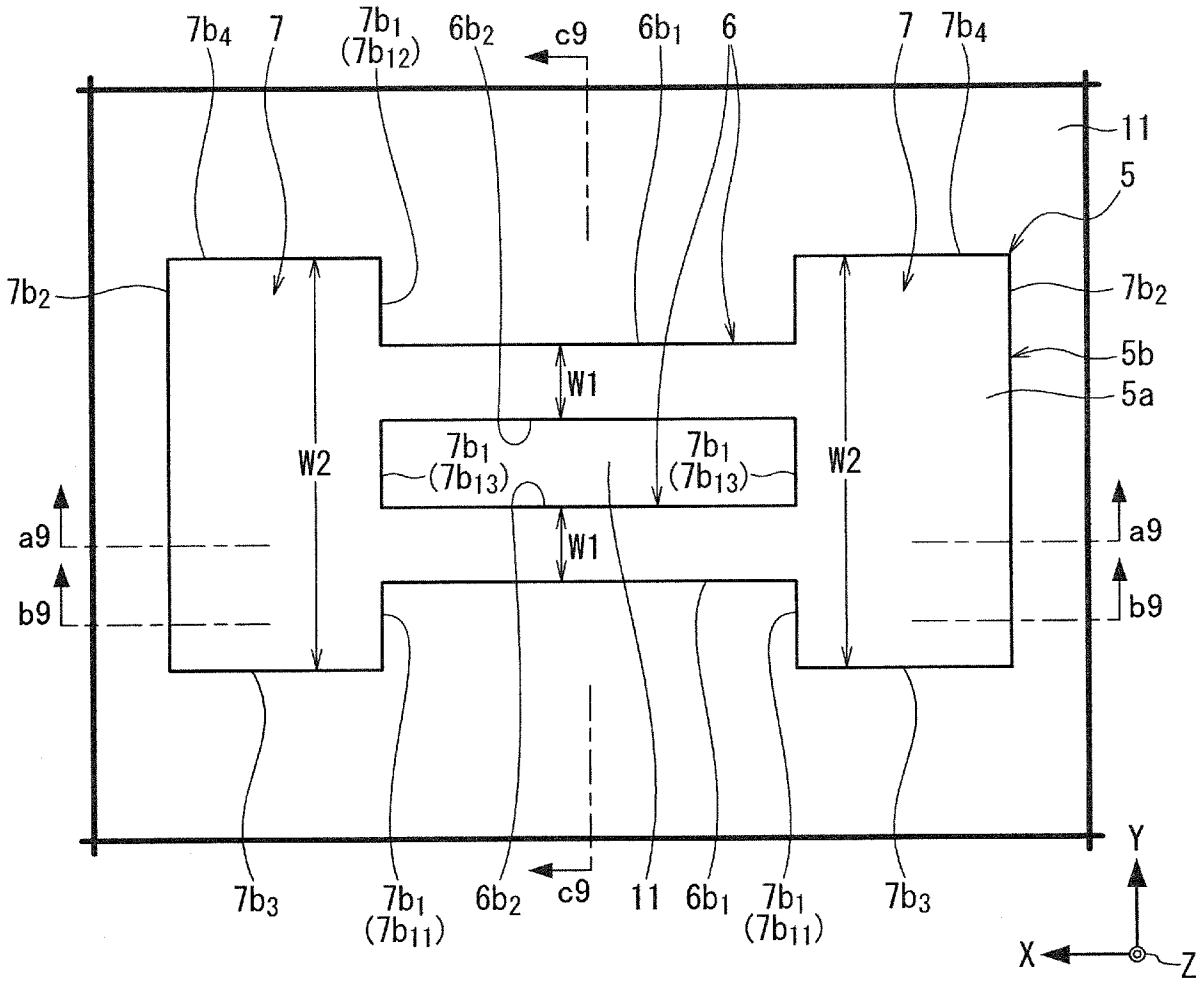
[図7]


7
5a
7
5a
7b2
7b1
(7b11)
7b1
(7b11)
7b2
5b
5
2
4
3
Z
X
Y

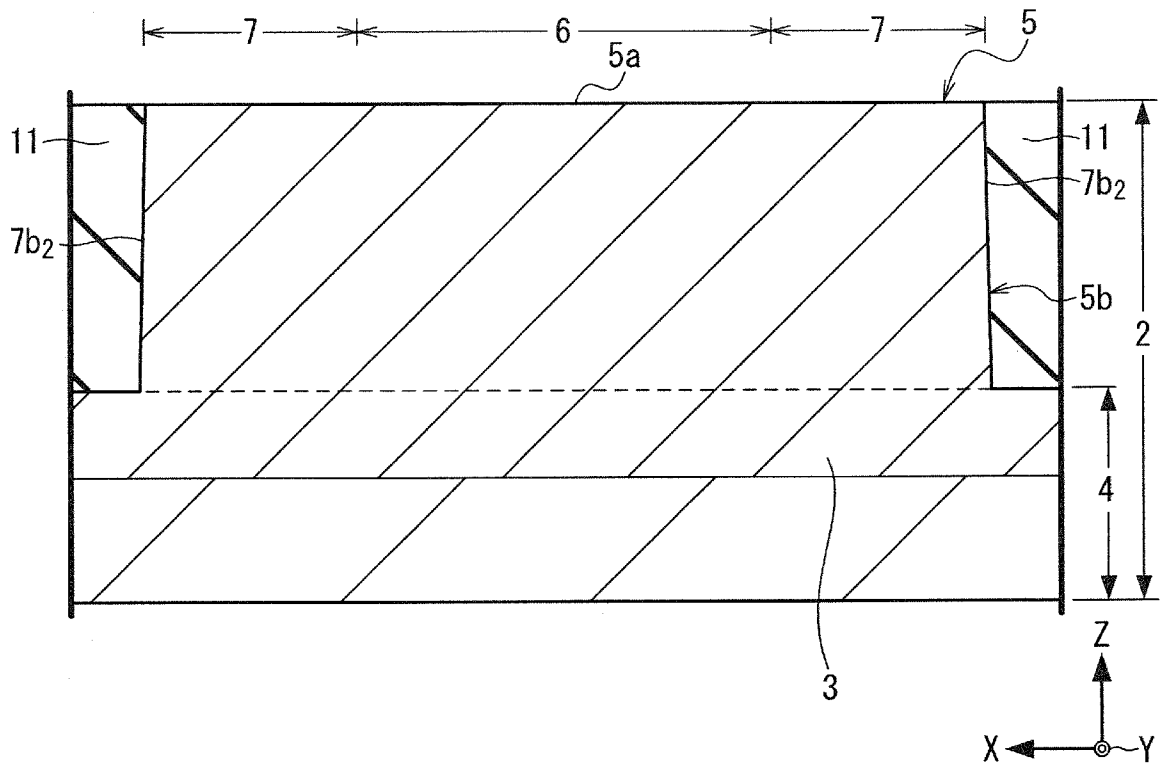
[図8]



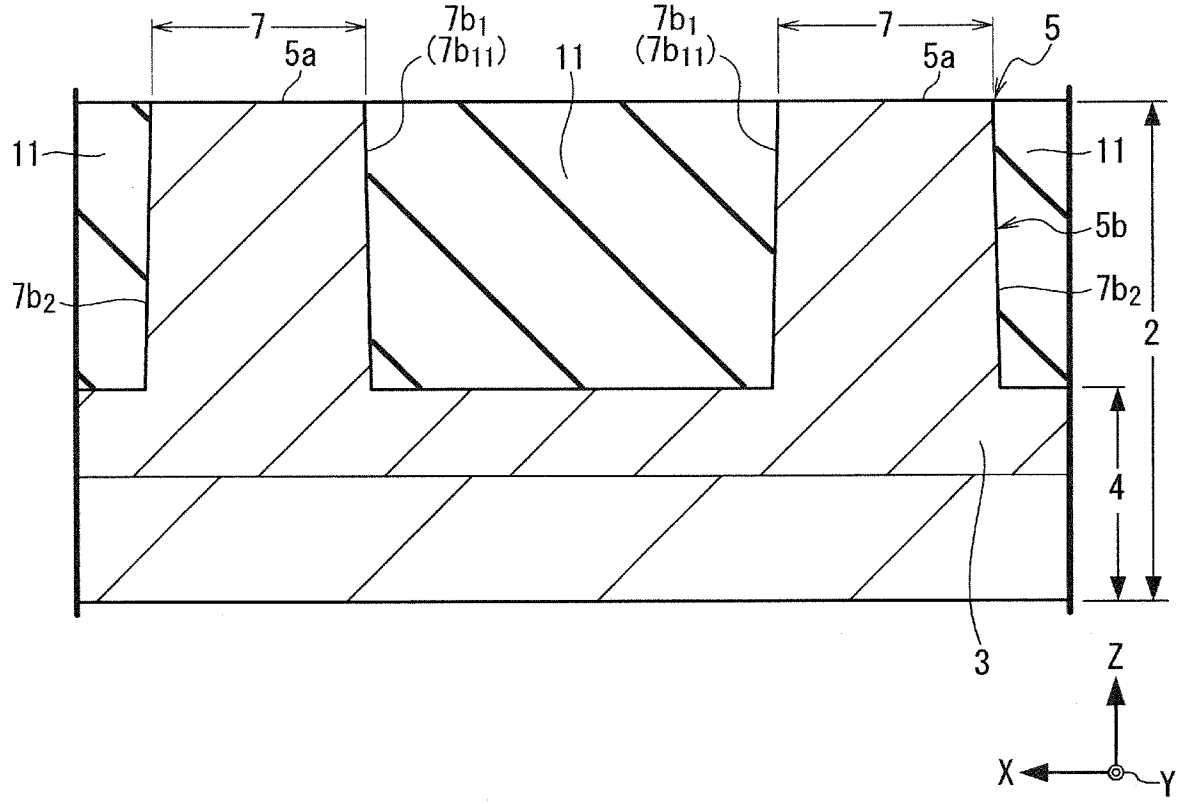
[図9]


7b4
7
7b1
(7b12)
6b2
c9
6b1
6
7
7b4
11
5
7b2
7b2
5b
5a
W1
7b1
(7b13)
7b1
(7b13)
W2
W2
W1
a9
b9
a9
b9
7b3
7b1
(7b11)
6b2
c9
11
6b1
7b1
(7b11)
7b3
Y
X
Z

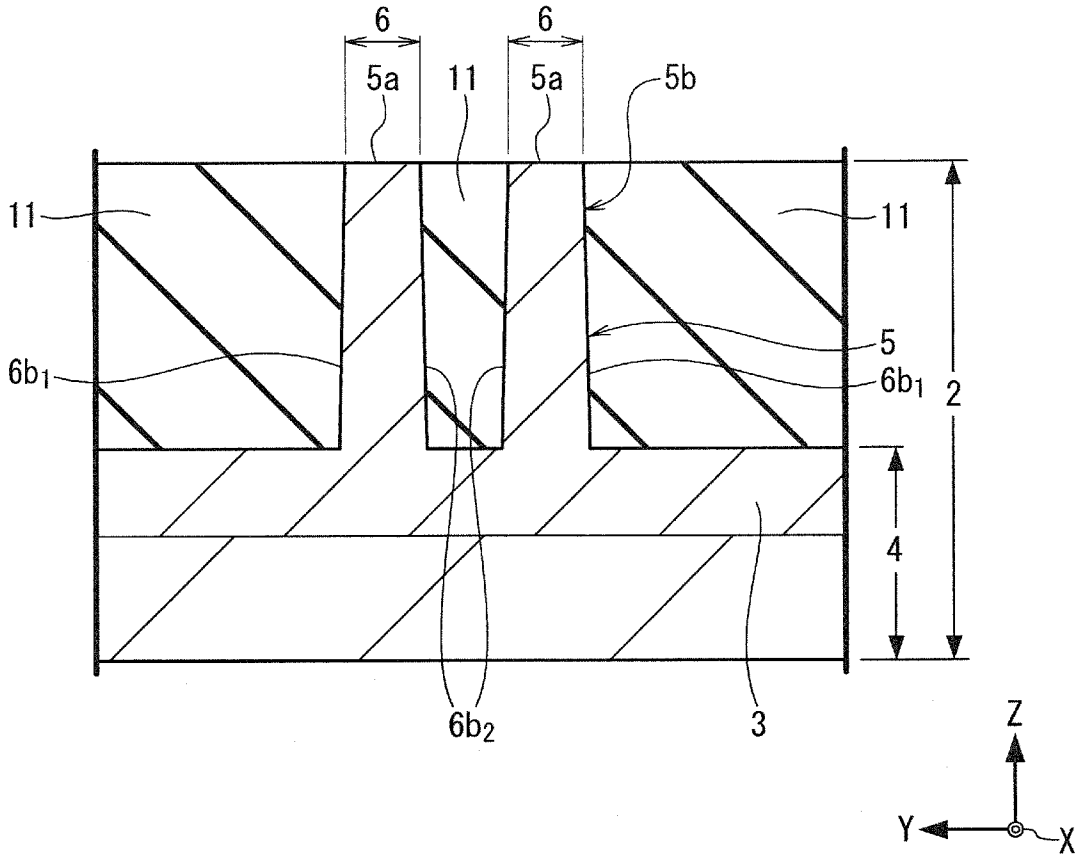
[図10]


7
6
7
5
5a
11
11
7b2
7b2
5b
2
4
3
Z
X
Y

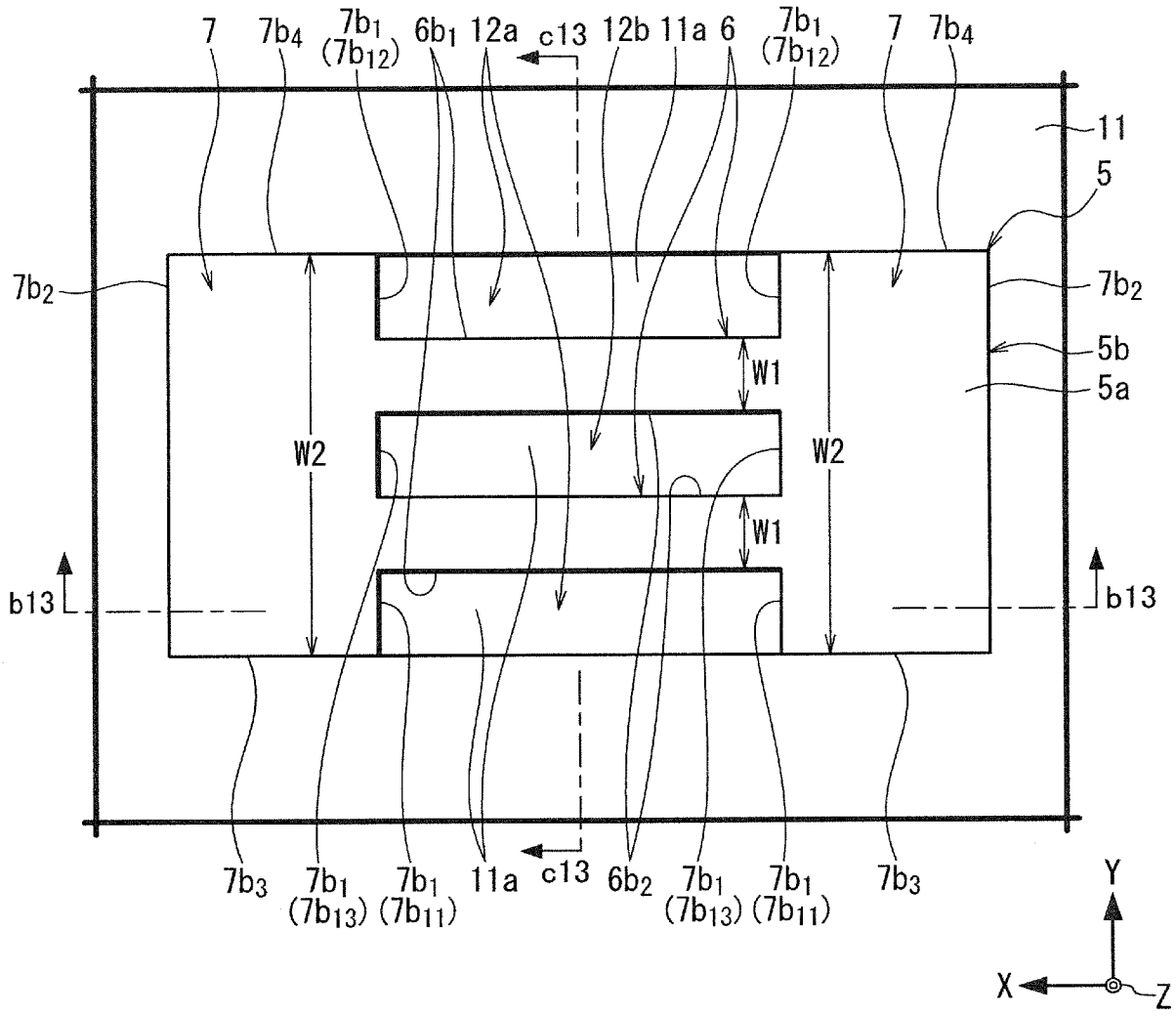
[図11]


7
7b1
(7b11)
11
7b1
(7b11)
7
5
5a
5a
11
11
5b
7b2
7b2
2
4
3
Z
X
Y

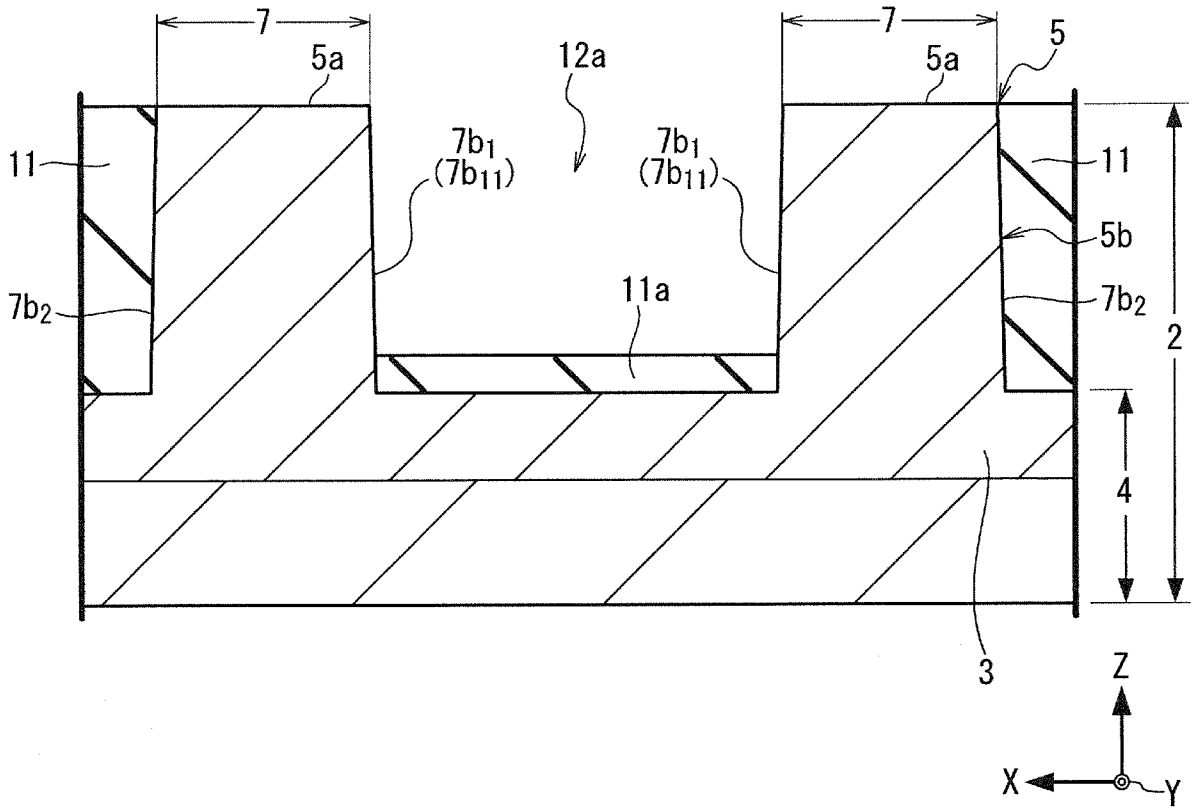
[図12]



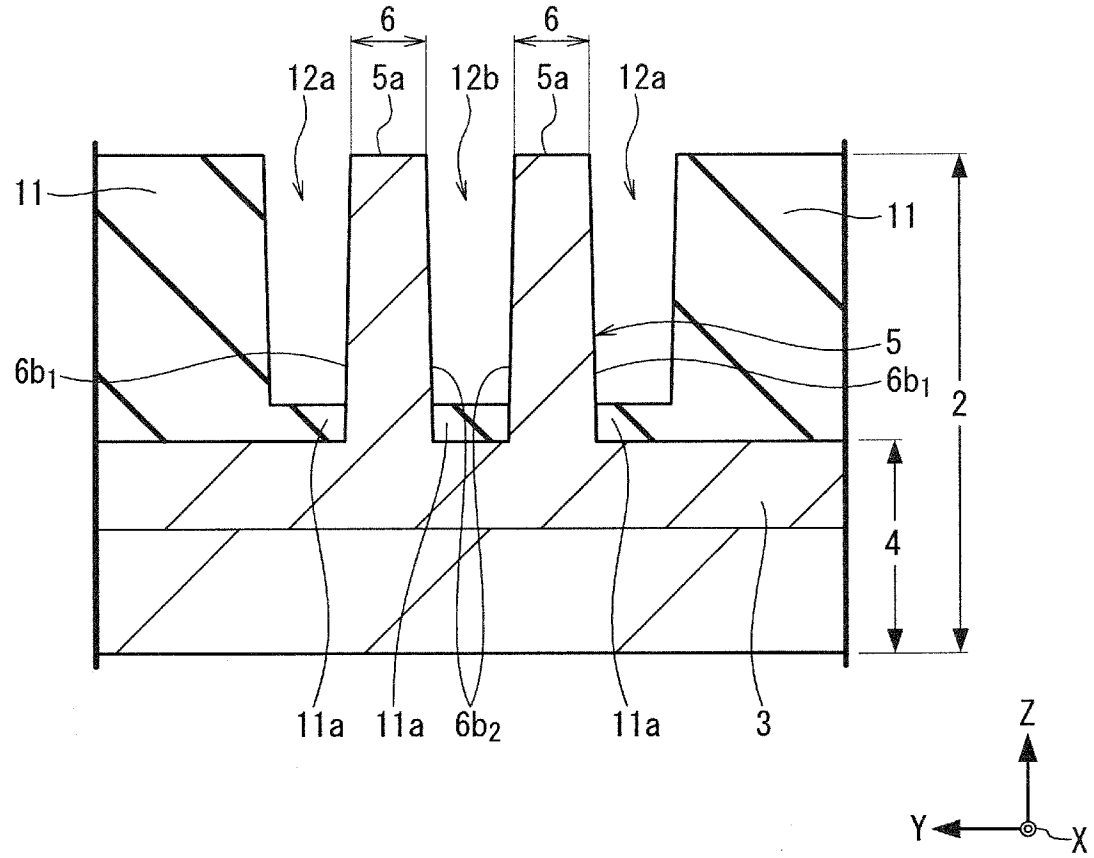
[図13]


7
7b4
7b1
(7b12)
6b1
12a
c13
12b
11a
6
7b1
(7b12)
7
7b4
11
5
7b2
7b2
5b
5a
W1
W2
W2
W1
b13
b13
7b3
7b1
(7b13)
7b1
(7b11)
11a
c13
6b2
7b1
(7b13)
7b1
(7b11)
7b3
Y
X
Z

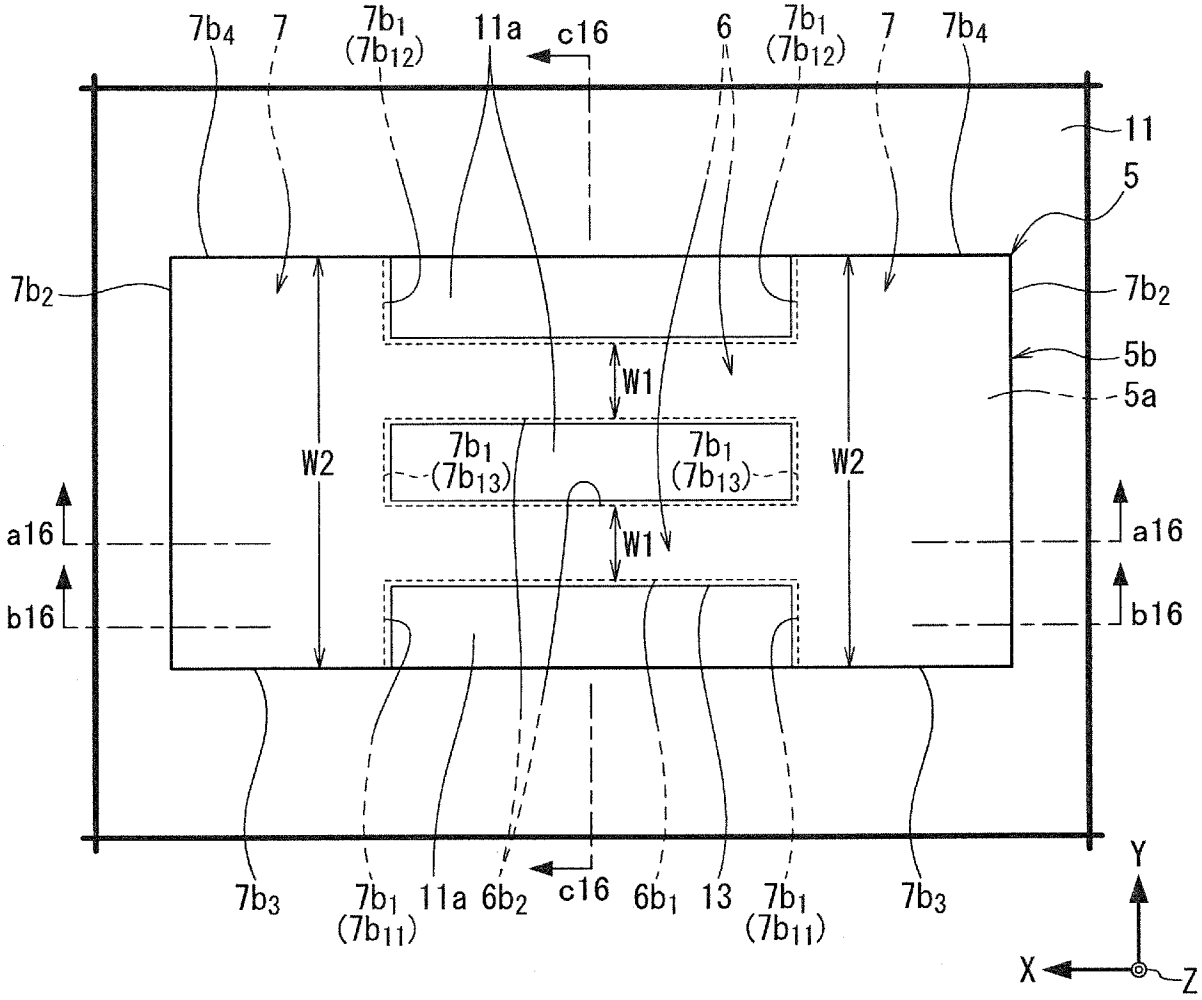
[図14]


7
5a
12a
7
5a
5
11
7b1
(7b11)
7b1
(7b11)
11
5b
7b2
11a
7b2
2
4
3
Z
X
Y

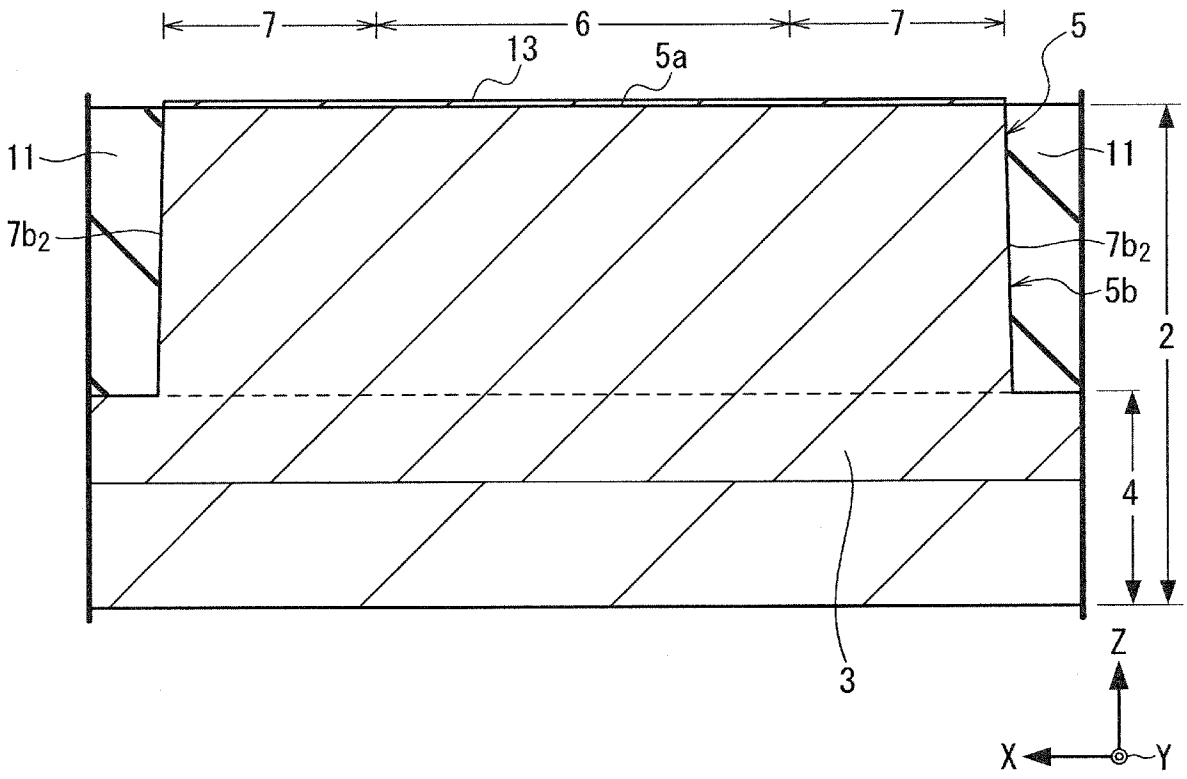
[図15]


6
6
12a
5a
12b
5a
12a
11
11
5
6b1
6b1
2
4
11a
11a
6b2
11a
3
Z
Y
X

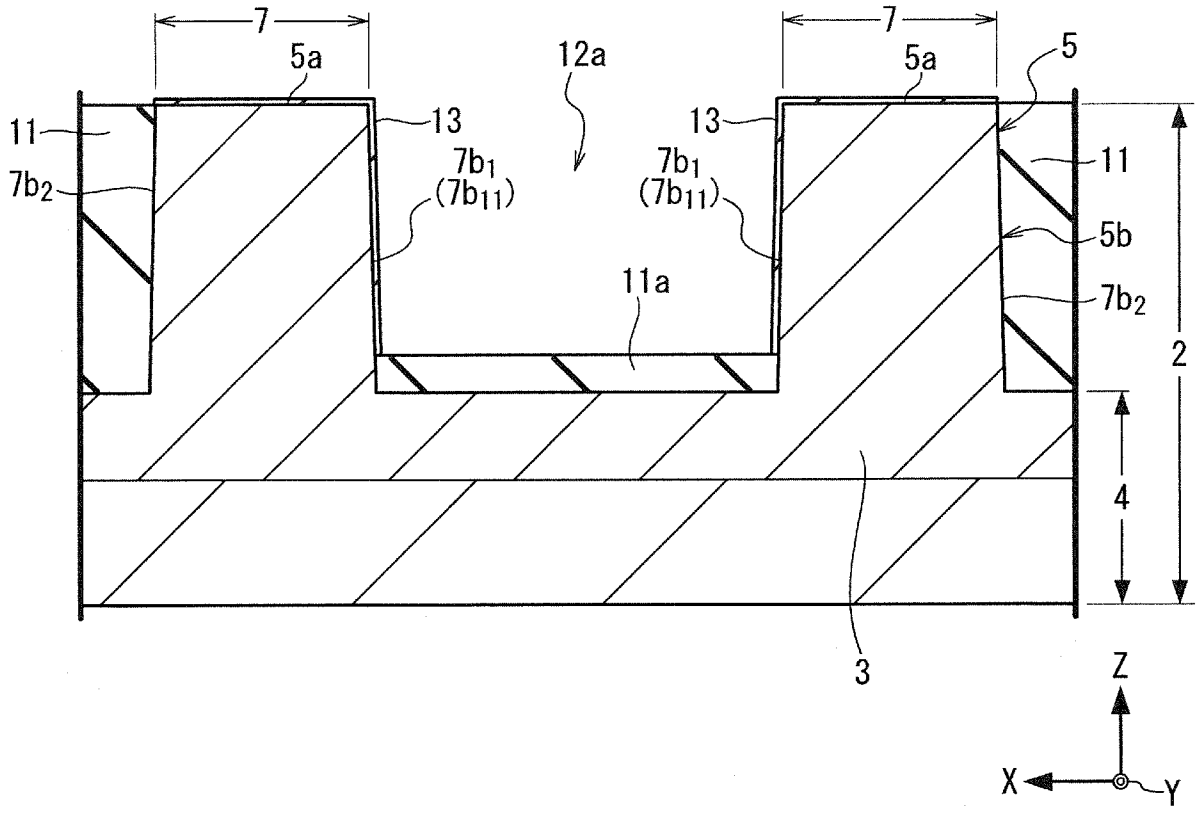
[図16]


7b4
7
7b1
(7b12)
11a
c16
6
7b1
(7b12)
7
7b4
11
5
7b2
7b2
5b
5a
W1
W2
7b1
(7b13)
7b1
(7b13)
W2
W1
a16
b16
a16
b16
7b3
7b1
(7b11)
11a
6b2
c16
6b1
13
7b1
(7b11)
7b3
Y
X
Z

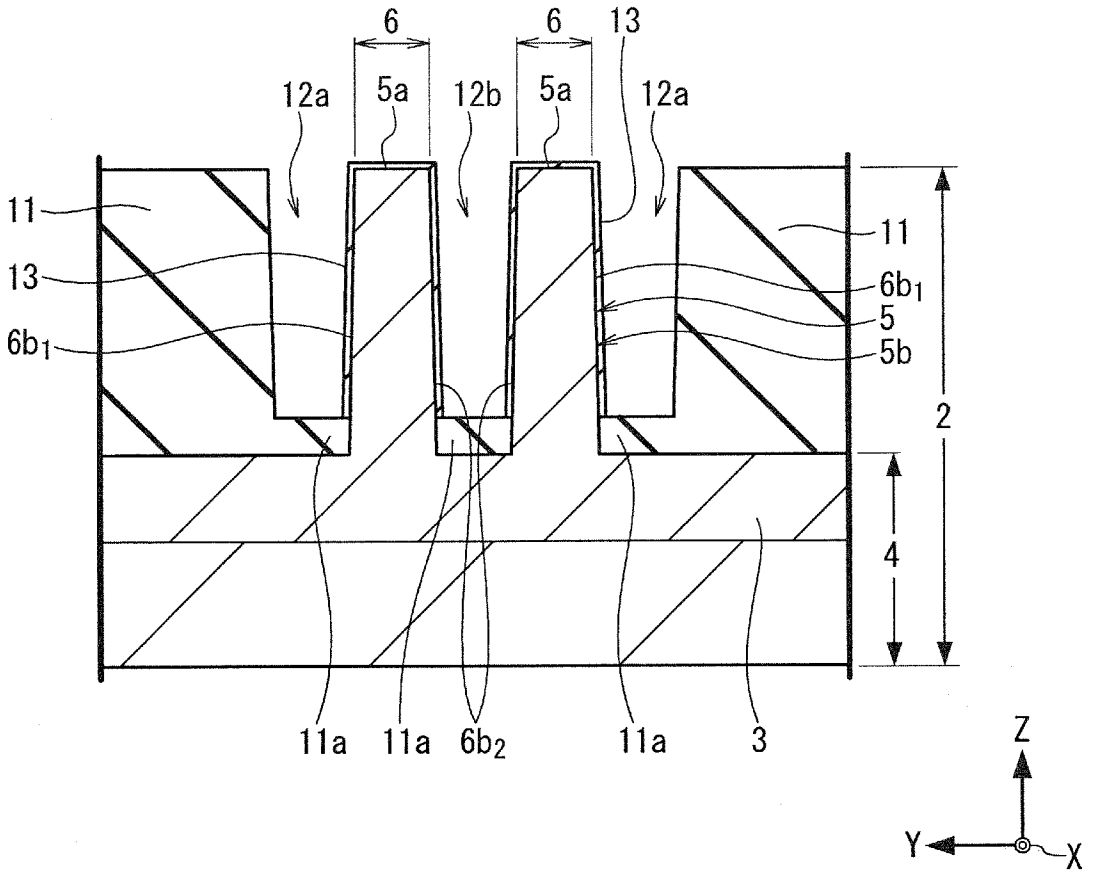
[図17]


7
6
7
5
13
5a
11
11
7b2
7b2
5b
2
4
3
Z
X
Y

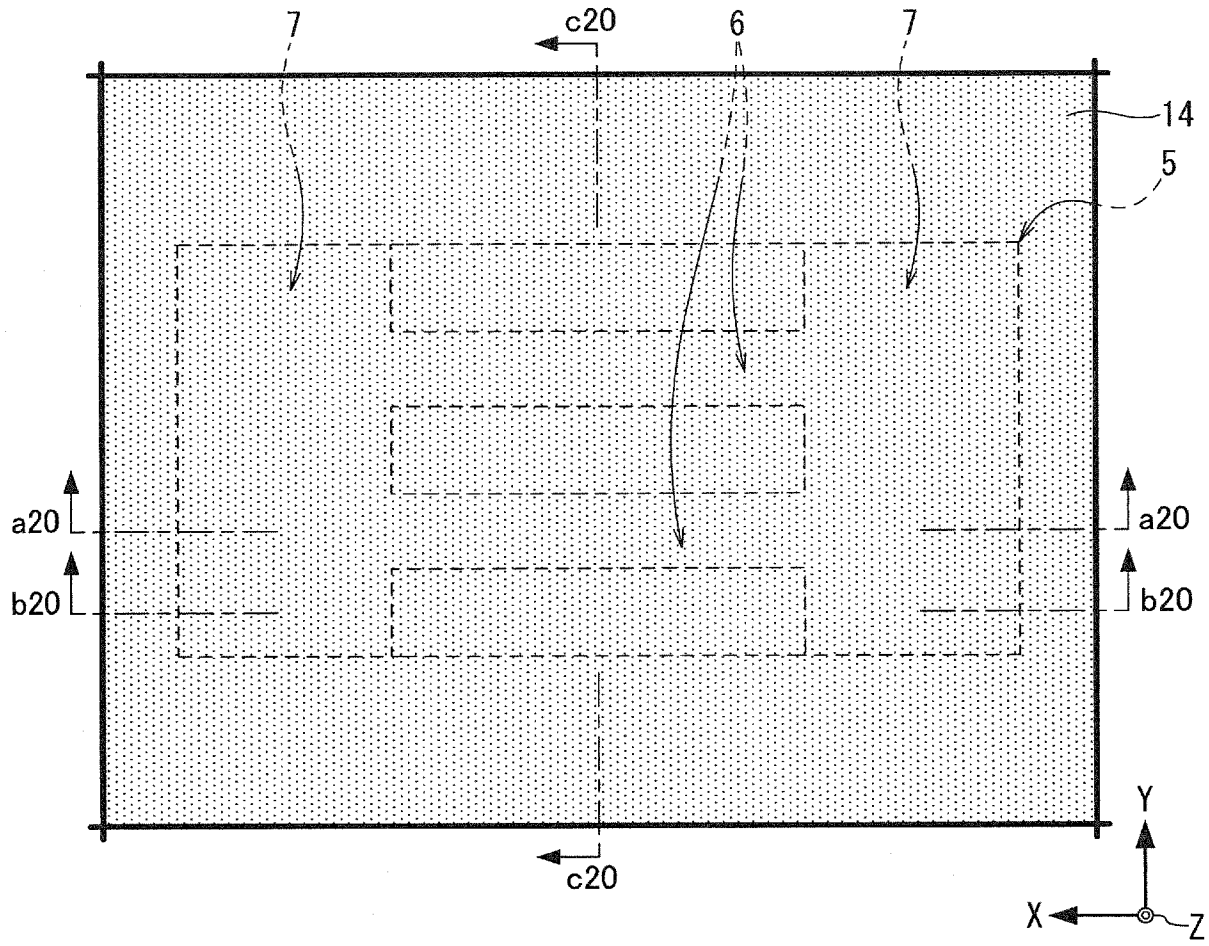
[図18]


7
7
5a
5a
12a
5
11
13
13
11
7b1
(7b11)
7b1
(7b11)
7b2
5b
11a
7b2
2
4
3
Z
X
Y

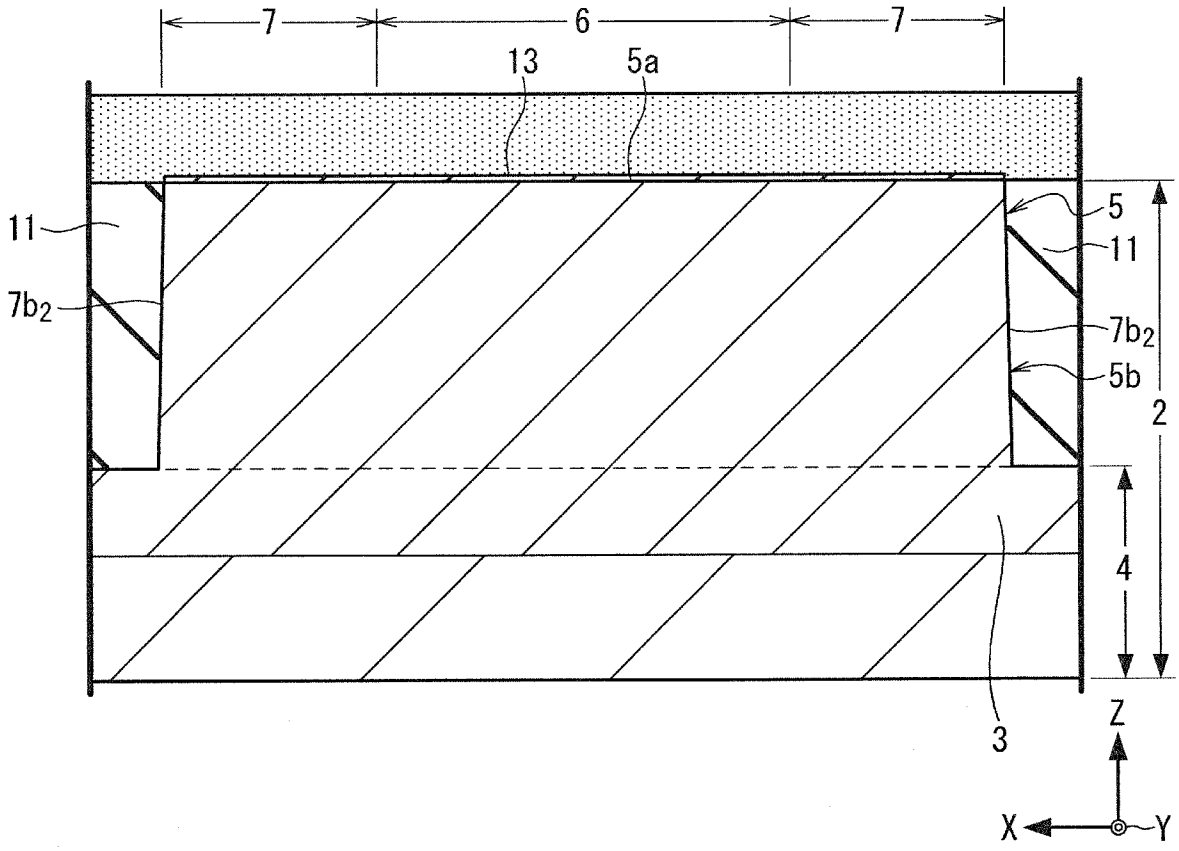
[図19]


6
6
13
12a
5a
12b
5a
12a
11
13
6b1
11
6b1
5
5b
2
4
11a
11a
6b2
11a
3
Z
Y
X

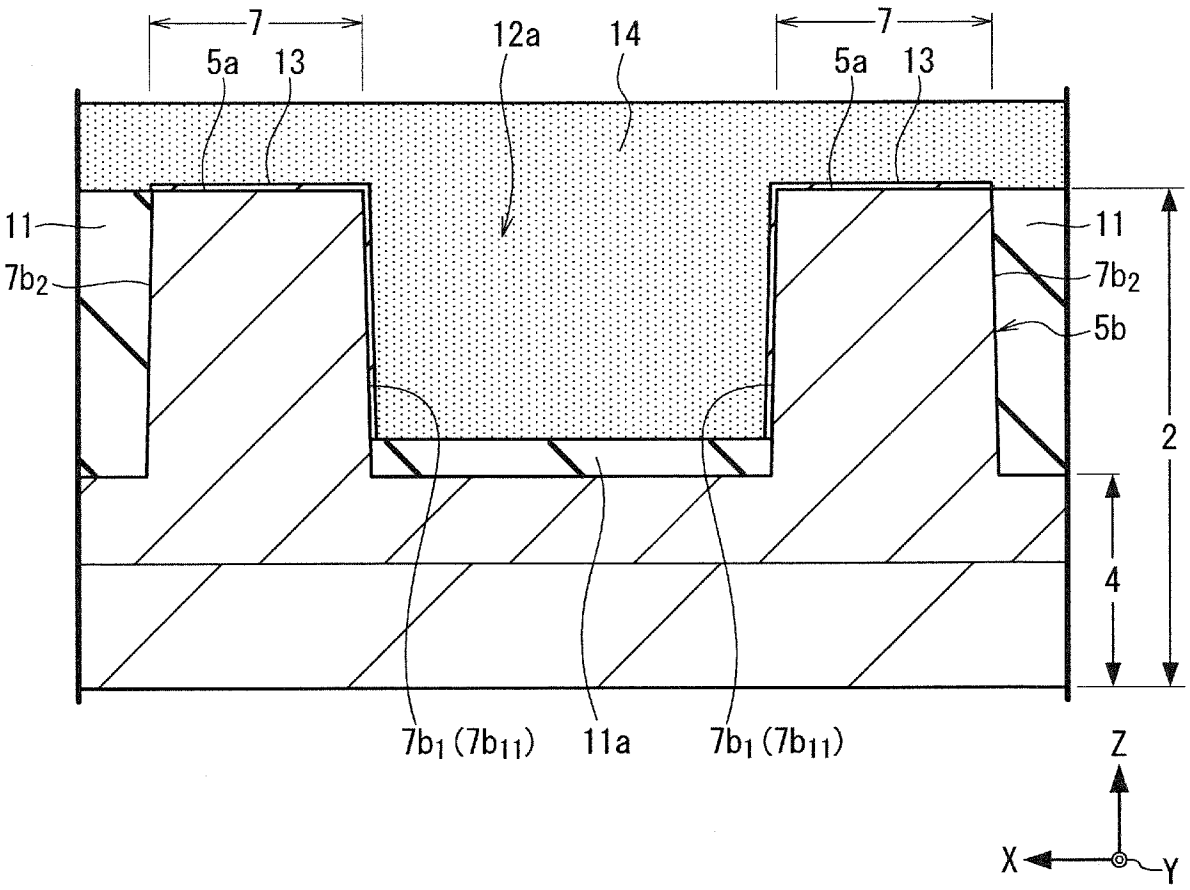
[図20]



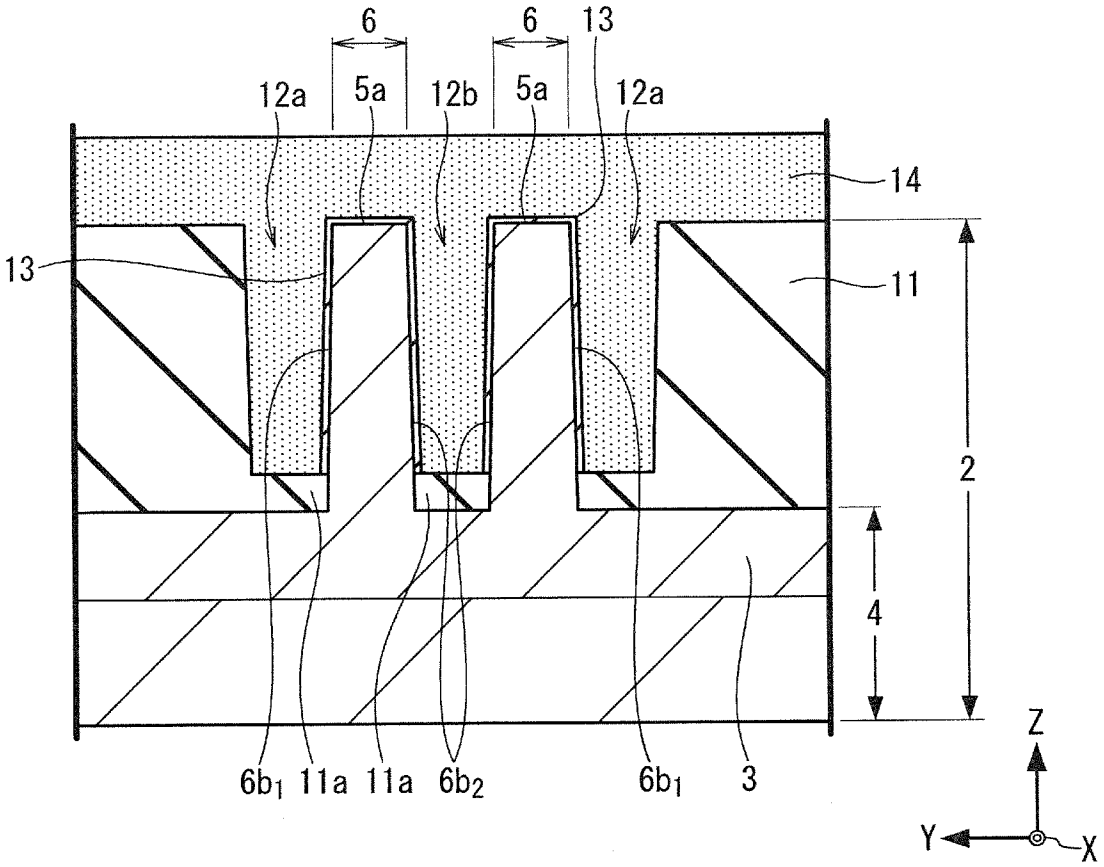
[図21]



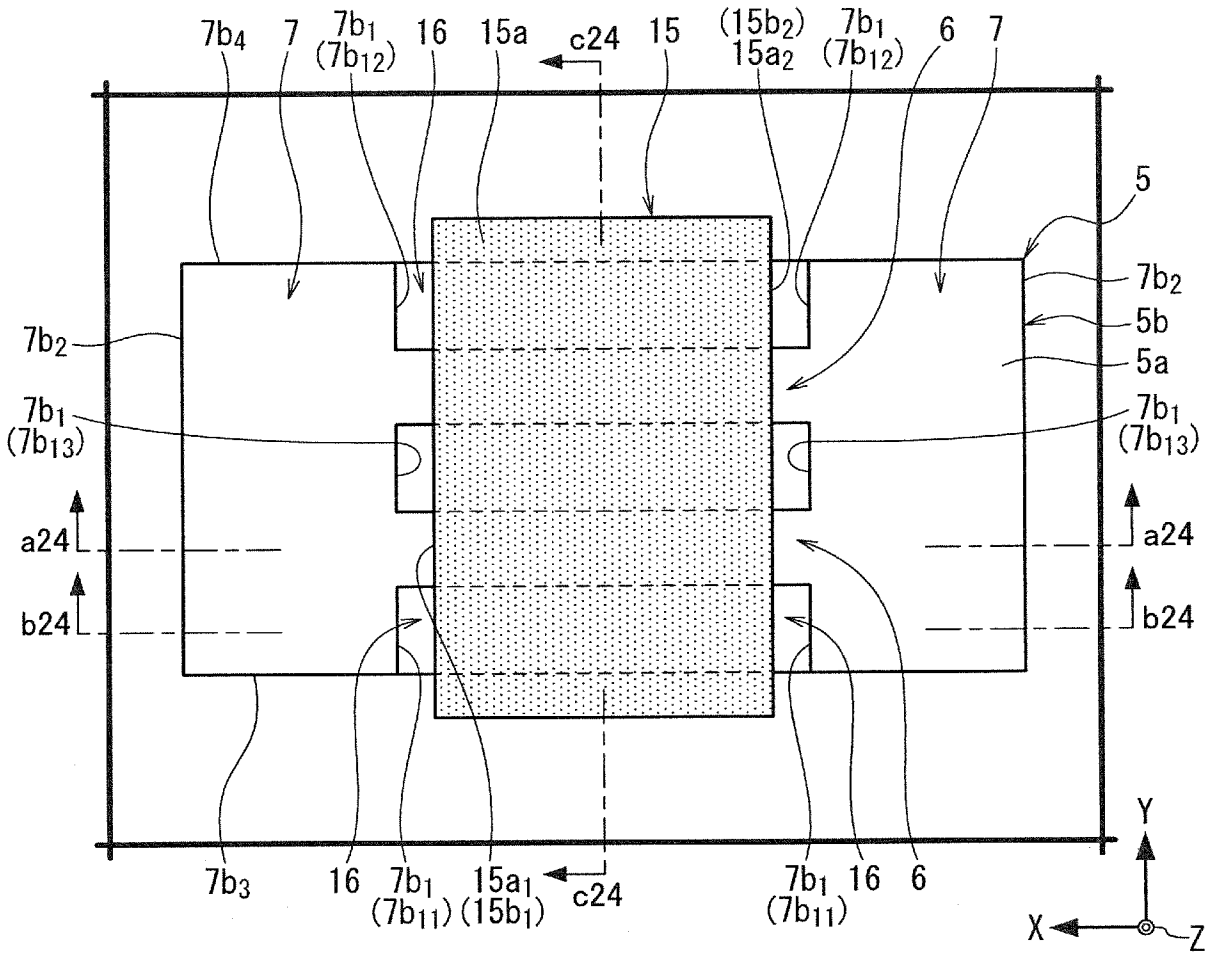
[図22]



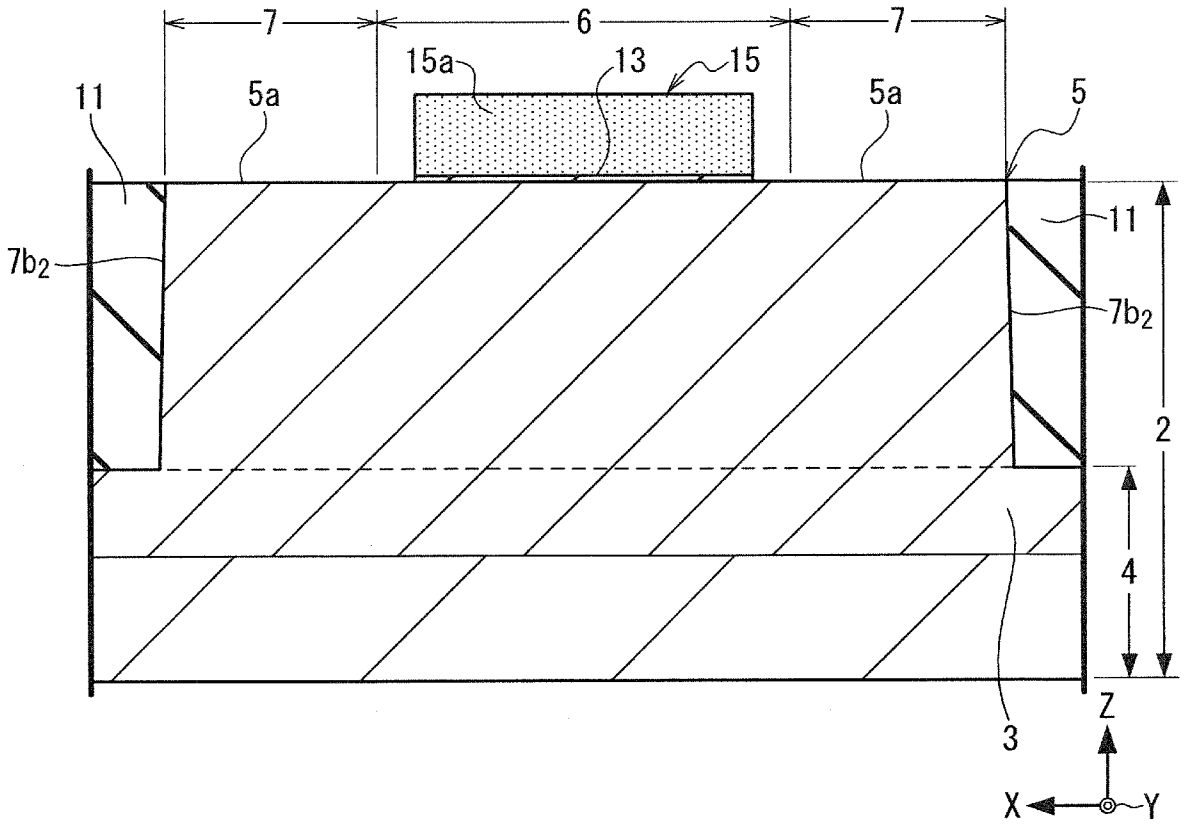
[図23]



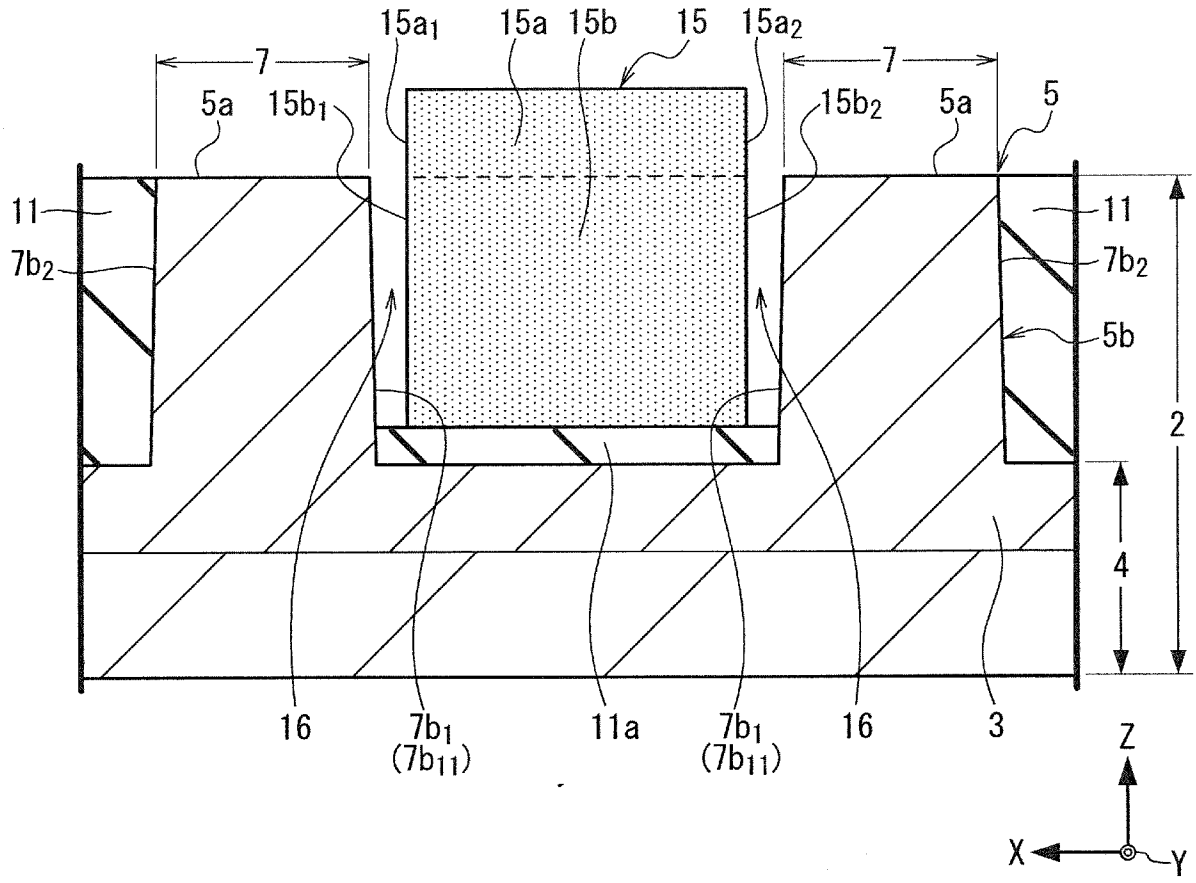
[図24]


7b4
7
7b1
(7b12)
16
15a
c24
15
(15b2)
15a2
7b1
(7b12)
6
7
5
7b2
5b
5a
7b2
7b1
(7b13)
7b1
(7b13)
a24
b24
a24
b24
7b3
16
7b1
(7b11)
15a1
(15b1)
c24
7b1
(7b11)
16
6
Y
X
Z

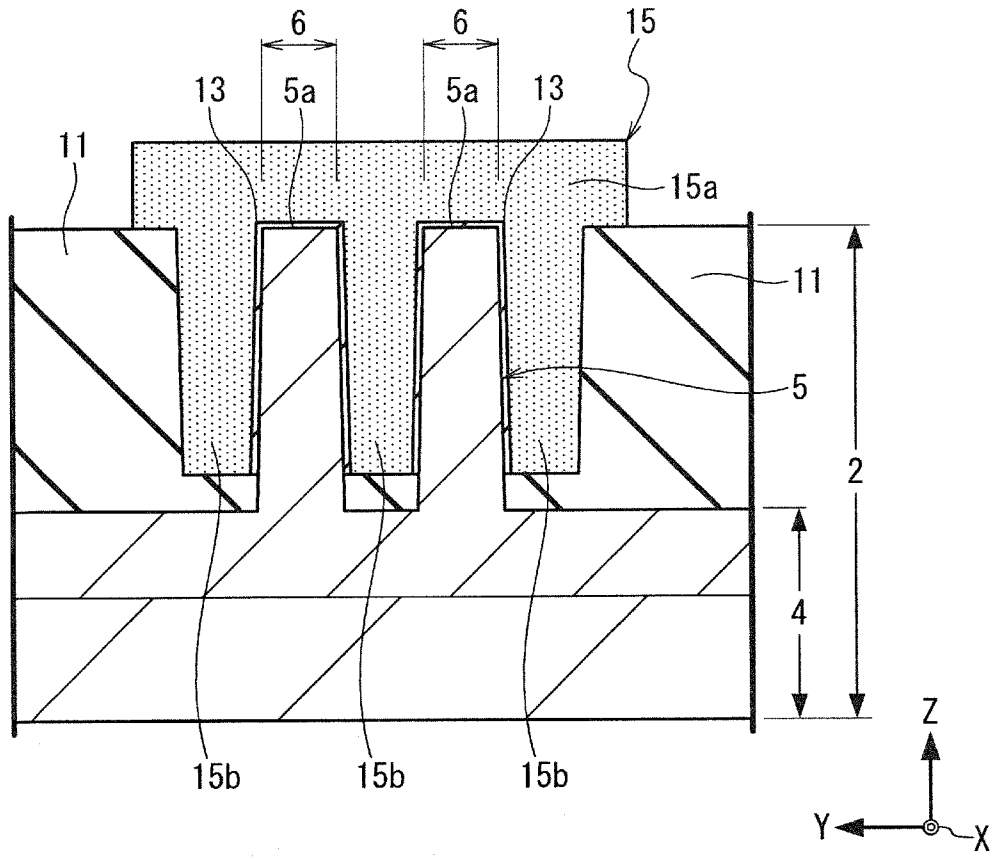
[図25]


7
6
7
15a
13
15
11
5a
5a
5
11
7b2
7b2
2
4
3
Z
X
Y

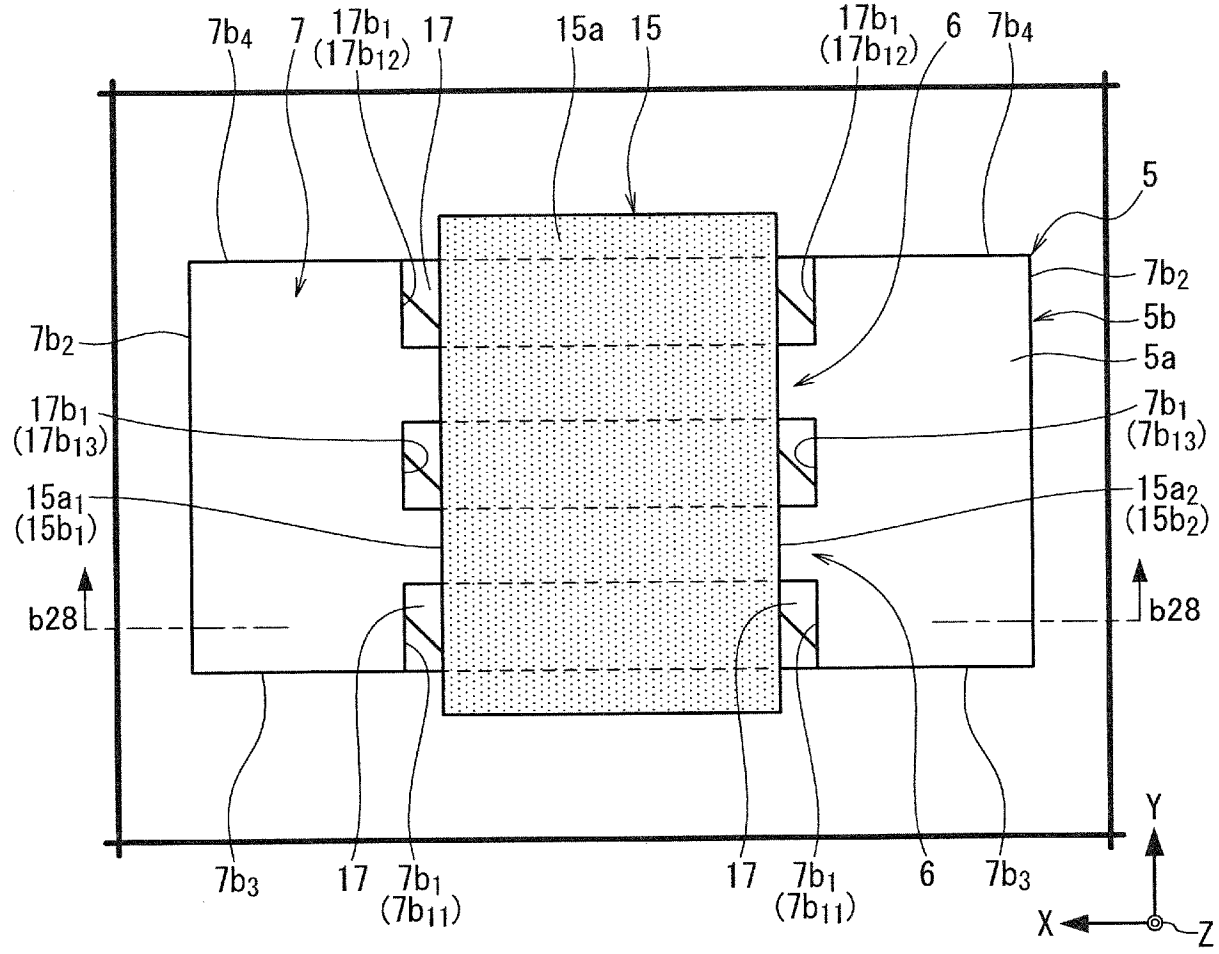
[図26]


15a1
15a
15b
15
15a2
7
7
5a
15b1
15b2
5a
5
11
11
7b2
7b2
5b
2
4
16
7b1
(7b11)
11a
7b1
(7b11)
16
3
Z
X
Y

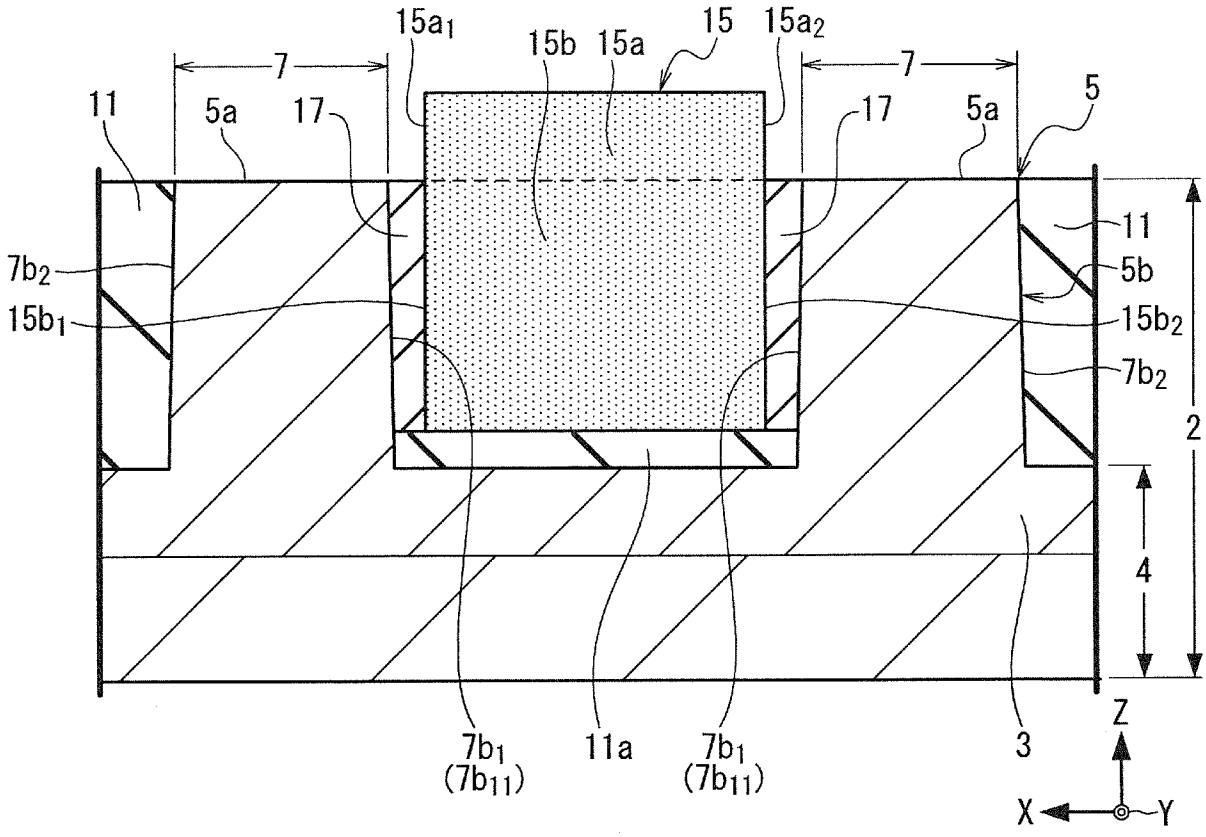
[図27]



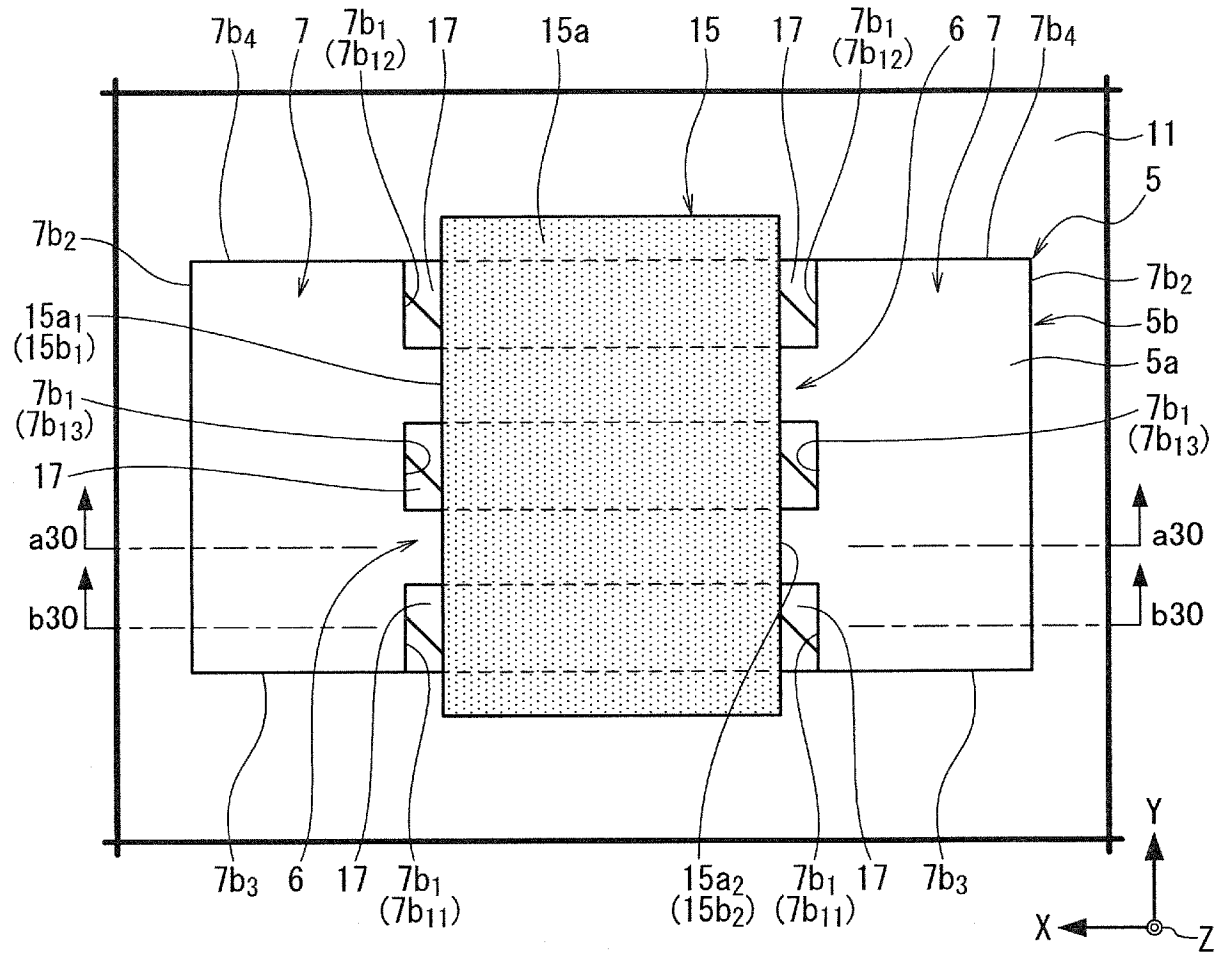
[図28]


7b4
7
17b1 (17b12)
17
15a
15
17b1 (17b12)
6
7b4
5
7b2
5b
5a
7b2
17b1 (17b13)
7b1 (7b13)
15a1 (15b1)
15a2 (15b2)
b28
b28
7b3
17
7b1 (7b11)
17
7b1 (7b11)
6
7b3
Y
X
Z

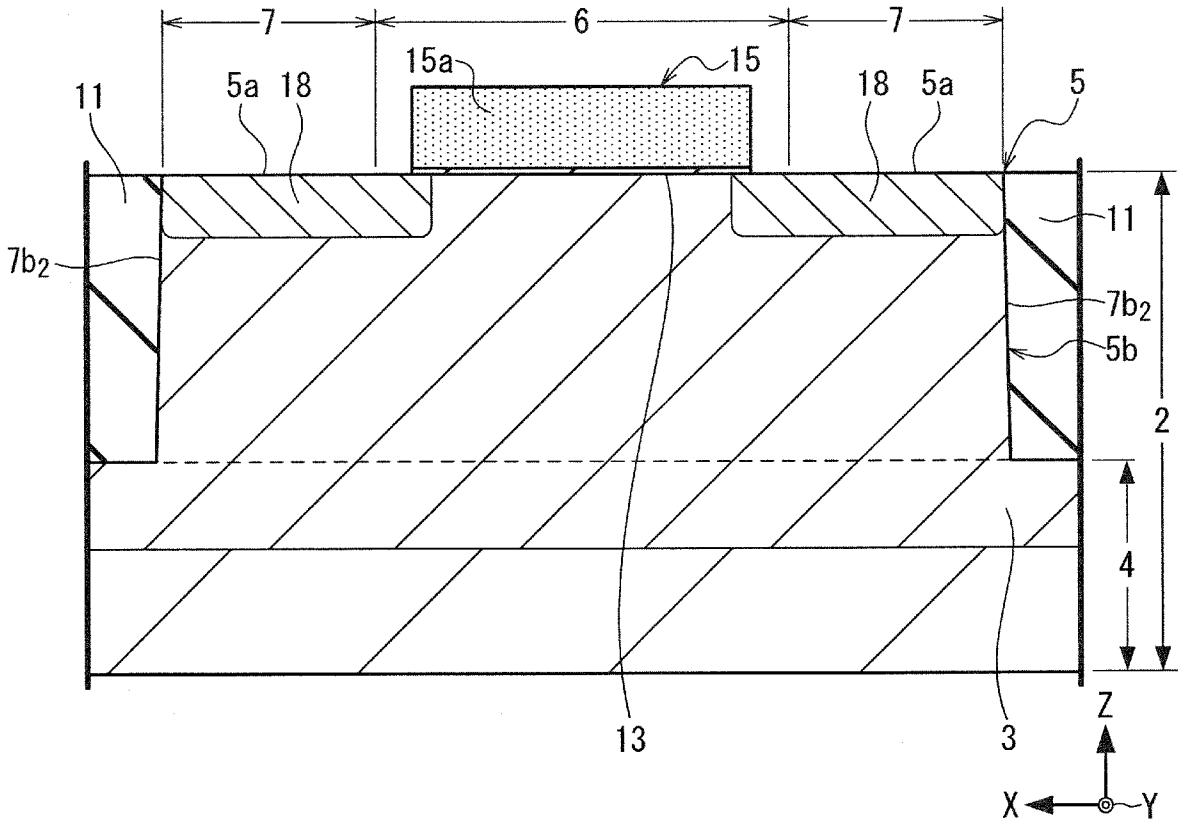
[図29]


15a1
15b
15a
15
15a2
7
7
11
5a
17
17
5a
5
11
7b2
5b
15b1
15b2
7b2
2
4
7b1
(7b11)
11a
7b1
(7b11)
3
Z
X
Y

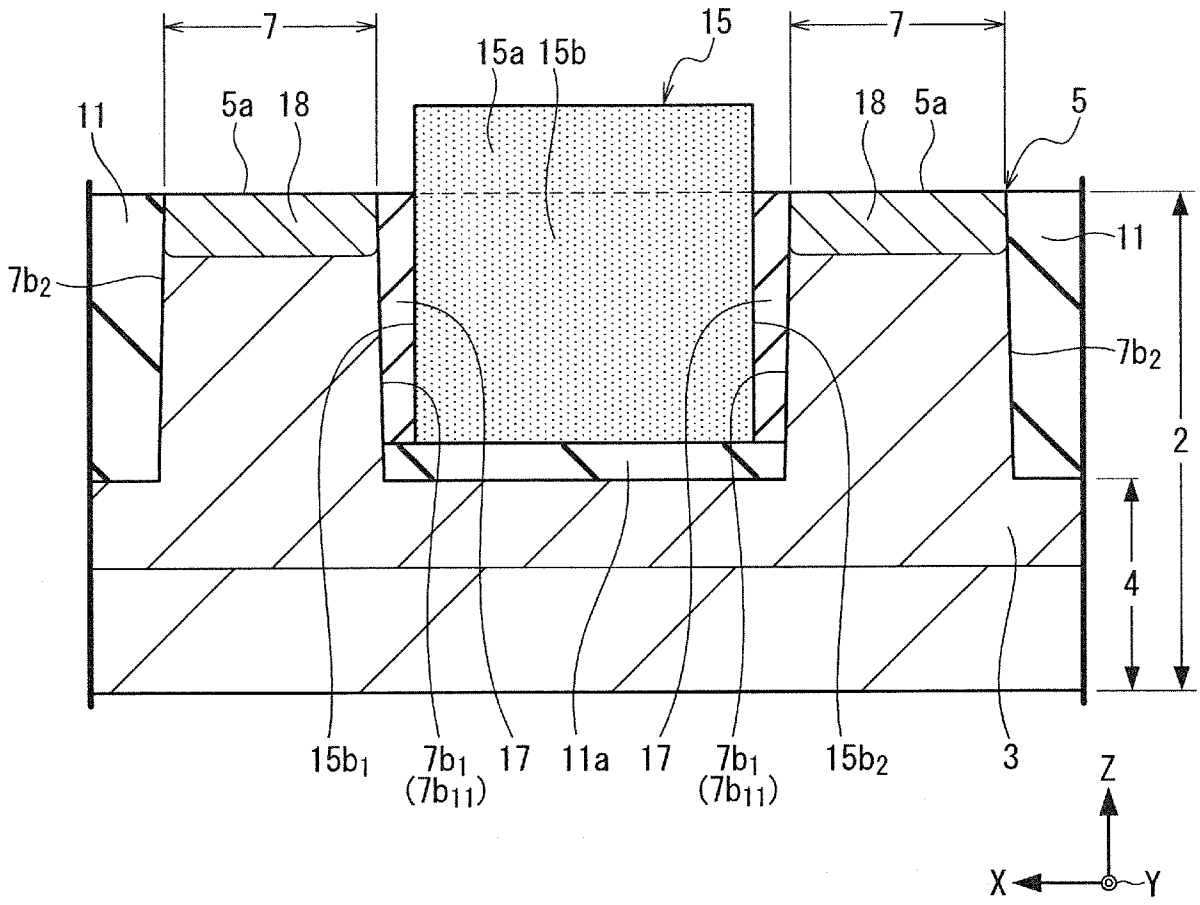
[図30]


7b4
7
7b1
(7b12)
17
15a
15
17
7b1
(7b12)
6
7
7b4
11
5
7b2
15a1
(15b1)
7b1
(7b13)
17
a30
b30
7b2
5b
5a
7b1
(7b13)
a30
b30
7b3
6
17
7b1
(7b11)
15a2
(15b2)
7b1
(7b11)
17
7b3
Y
X
Z

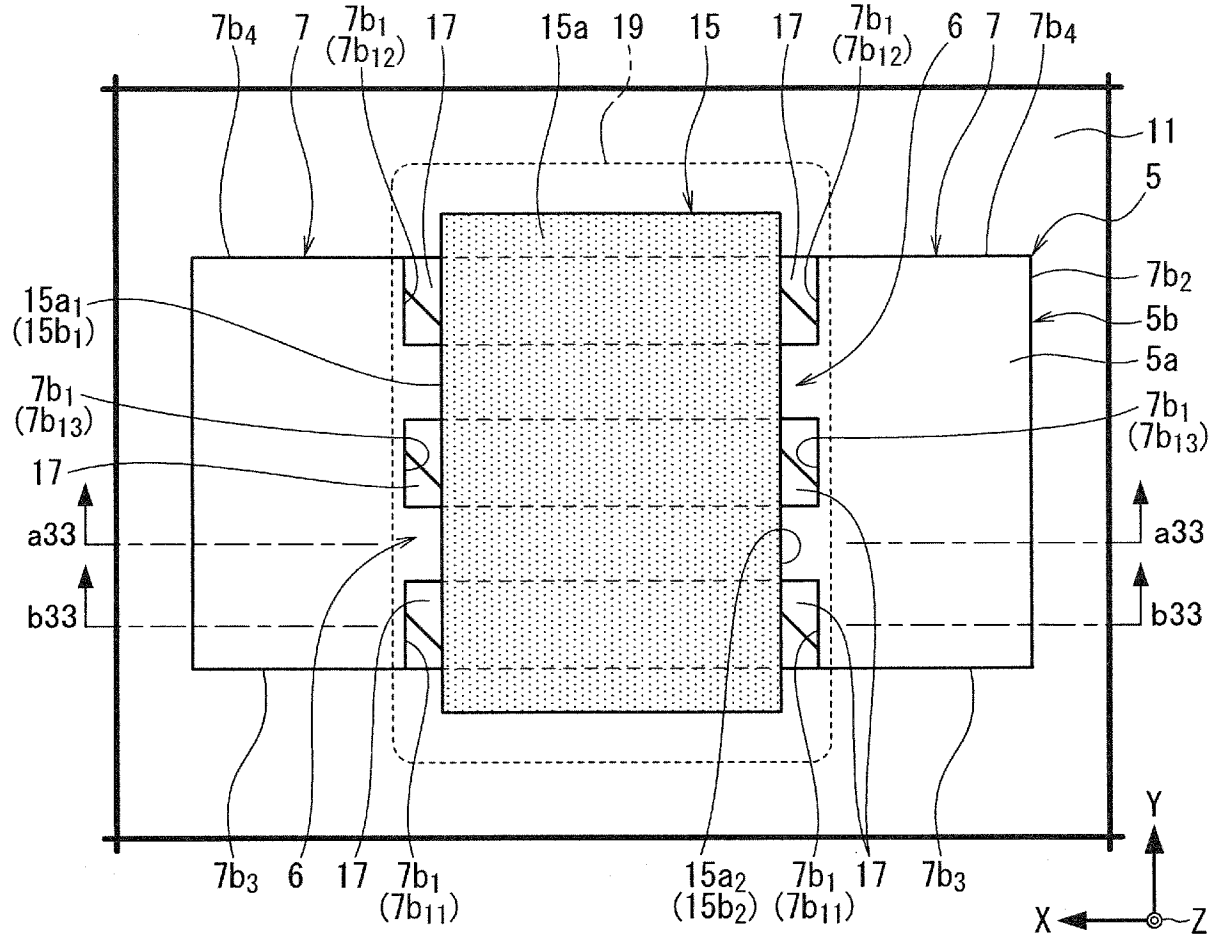
[図31]


7
6
7
15a
15
11
5a
18
18
5a
5
11
7b2
7b2
5b
2
4
13
3
Z
X
Y

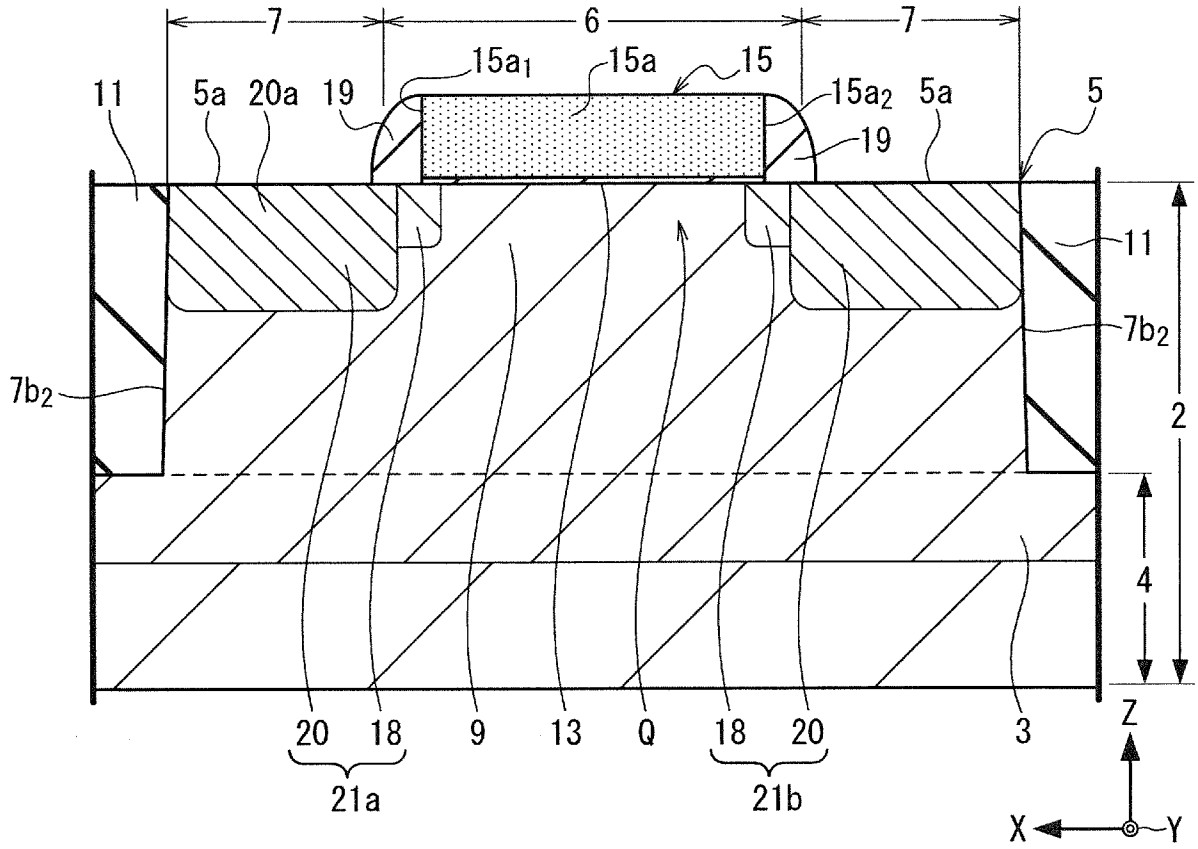
[図32]


7
15
7
15a 15b
11
5a
18
18
5a
5
11
7b2
7b2
2
4
15b1
7b1
(7b11)
17
11a
17
7b1
(7b11)
15b2
3
Z
X
Y

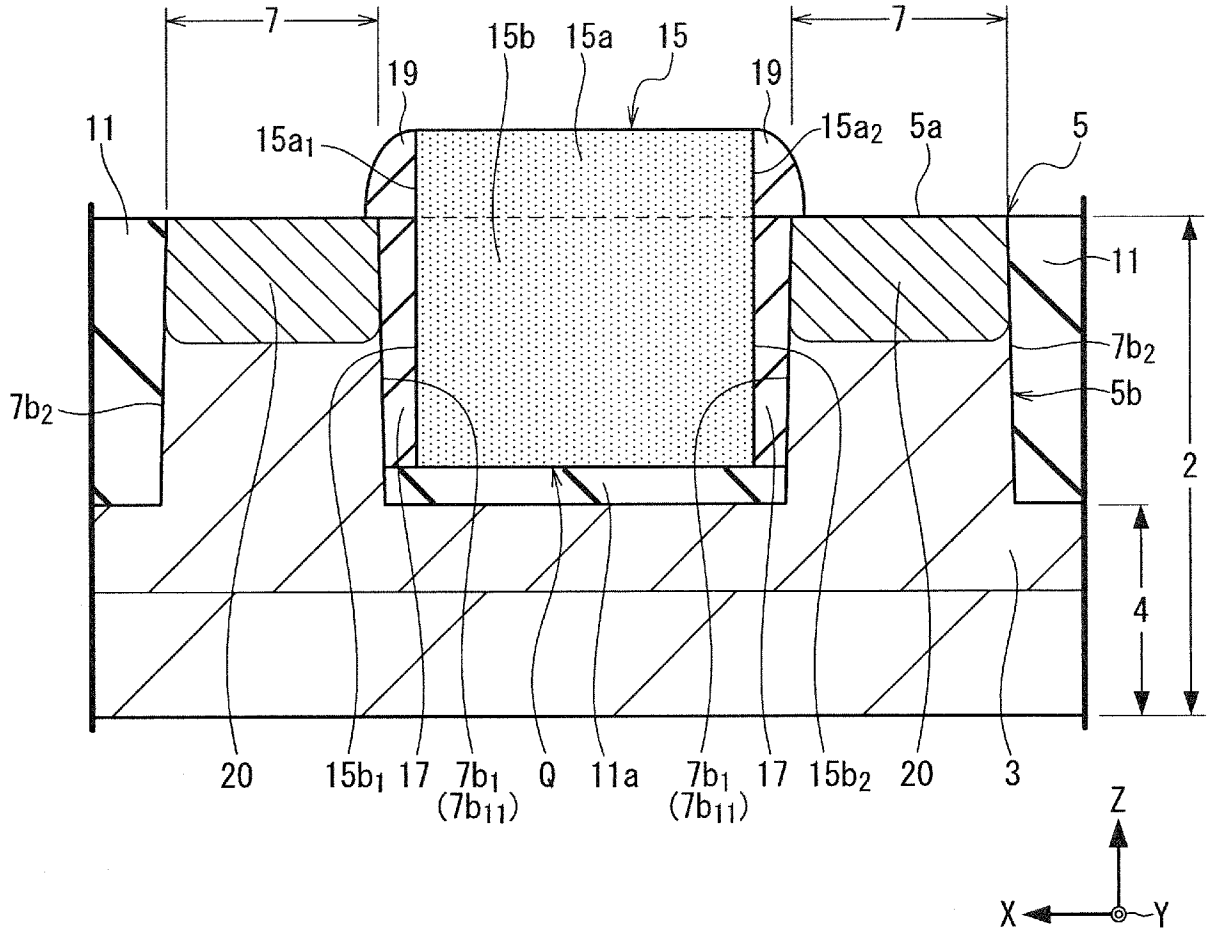
[図33]


7b4
7
7b1
(7b12)
17
15a
19
15
17
7b1
(7b12)
6
7
7b4
11
5
7b2
5b
5a
15a1
(15b1)
7b1
(7b13)
17
a33
b33
7b1
(7b13)
a33
b33
7b3
6
17
7b1
(7b11)
15a2
(15b2)
7b1
(7b11)
17
7b3
Y
X
Z

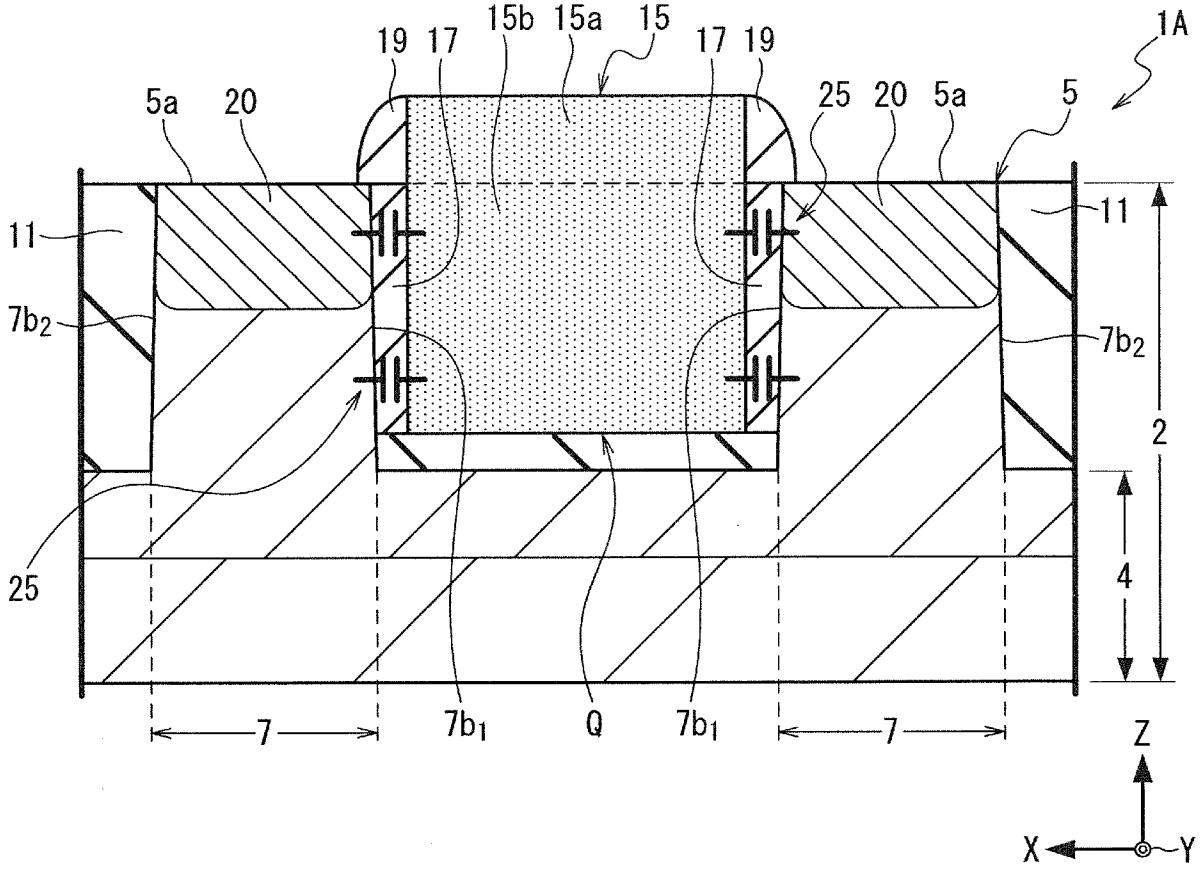
[図34]


7
6
7
11
5a
20a
19
15a1
15a
15
15a2
5a
19
5
11
7b2
7b2
2
4
20
18
9
13
Q
18
20
3
21a
21b
Z
X
Y

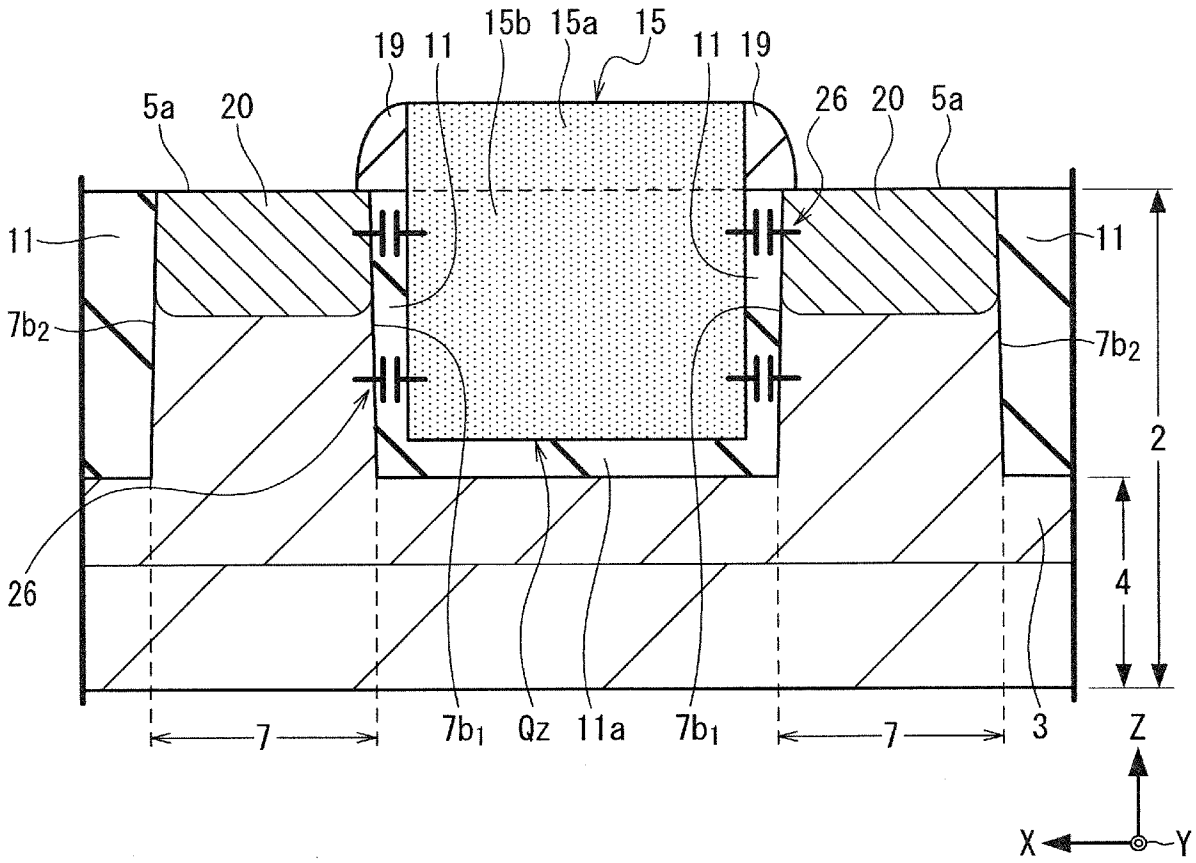
[図35]


7
7
15b
15a
15
19
19
11
15a1
15a2
5a
5
11
7b2
7b2
5b
2
4
20
15b1
17
7b1
(7b11)
Q
11a
7b1
(7b11)
17
15b2
20
3
Z
X
Y

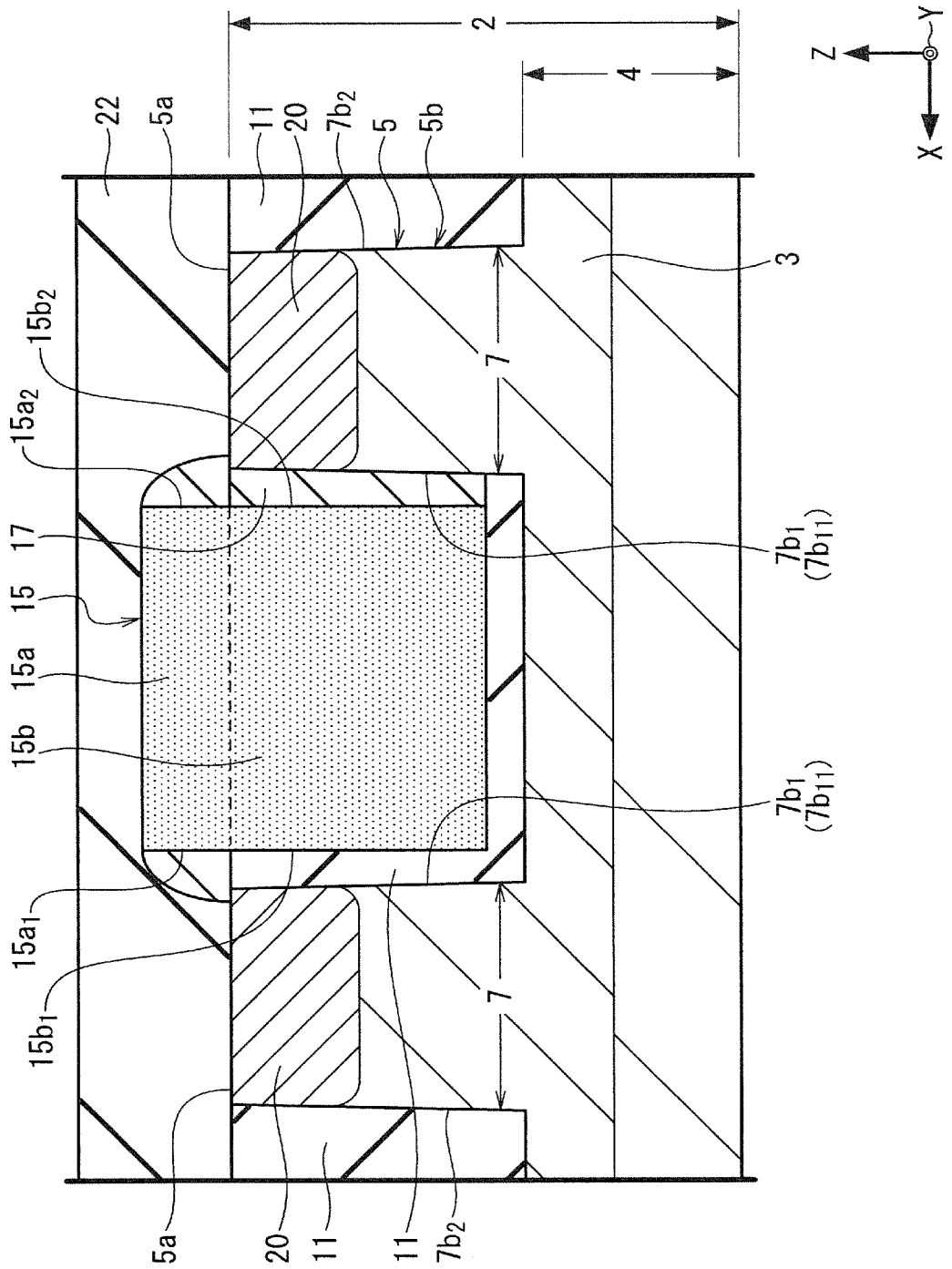
[図36]


1A
19
17
15b
15a
15
17
19
5a
20
25
20
5a
5
11
11
7b2
7b2
2
4
25
7
7b1
Q
7b1
7
Z
X
Y

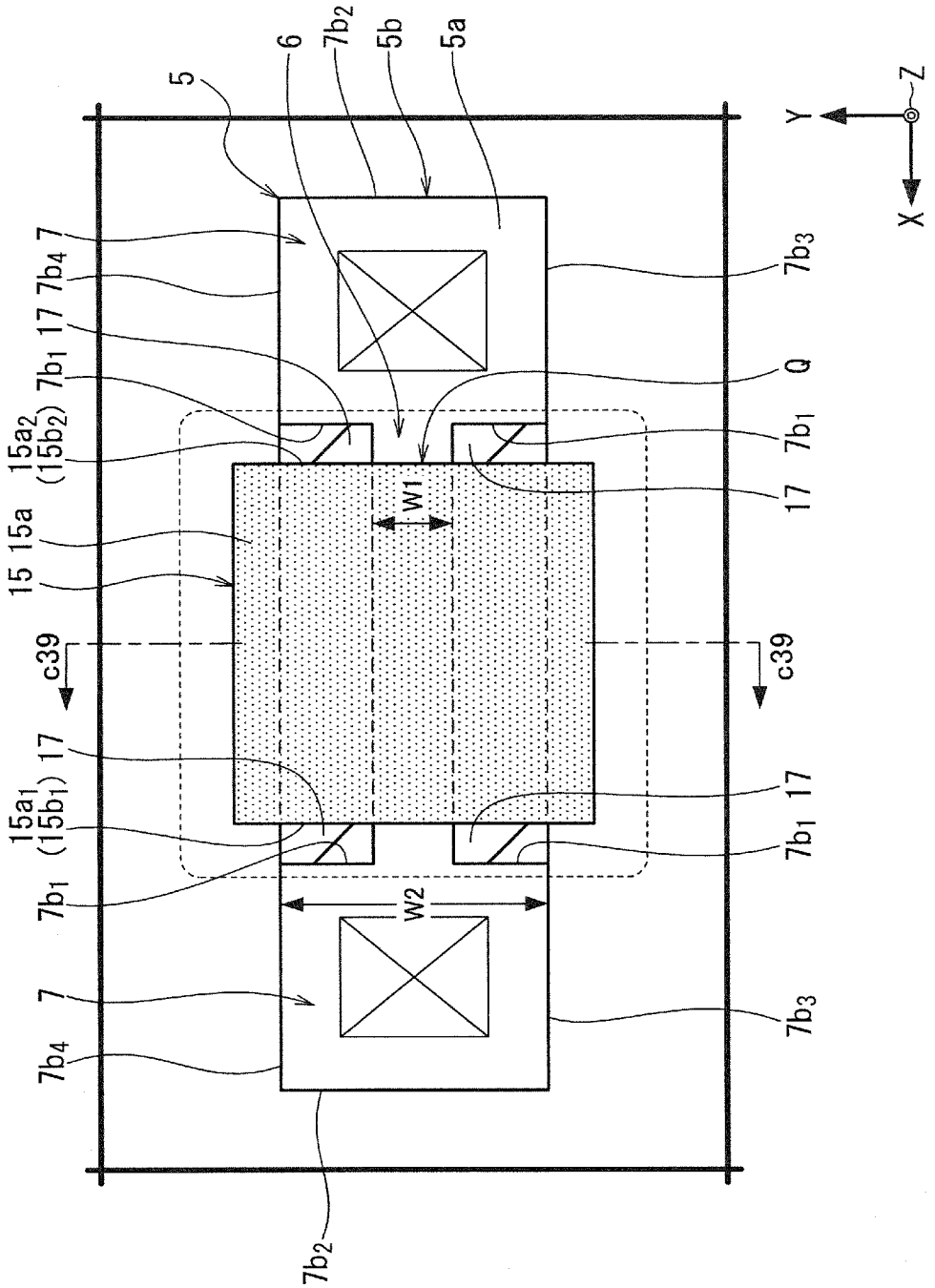
[図37]


19
11
15b
15a
15
11
19
5a
20
26
20
5a
11
11
7b2
7b2
2
4
26
7
7b1
Qz
11a
7b1
7
3
Z
X
Y

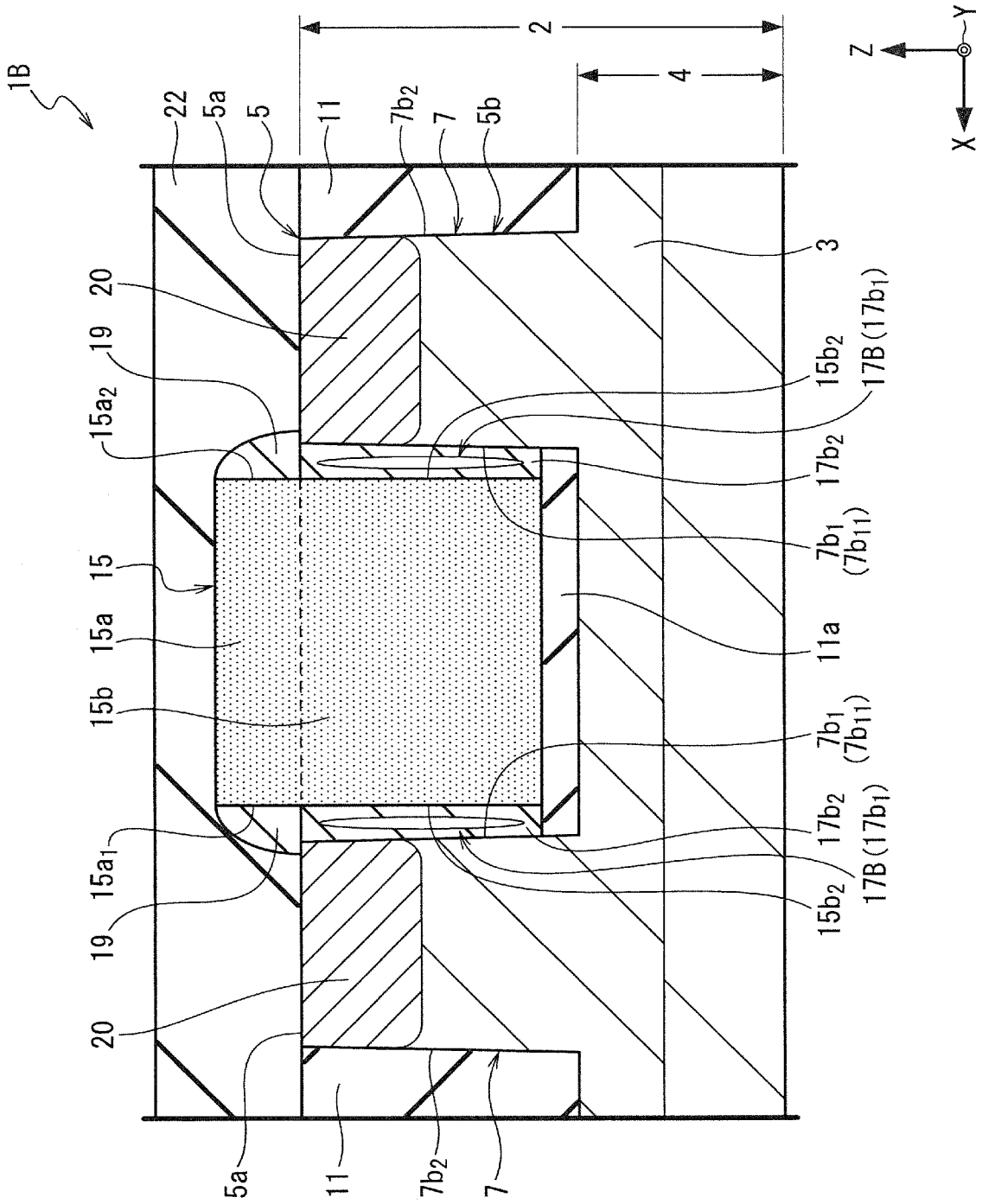
[図38]


2
4
Z
Y
X
22
5a
11
20
7b2
5
5b
3
7
15b2
15a2
17
15
15a
15b
7b1
(7b11)
15a1
15b1
5a
20
11
11
7b2

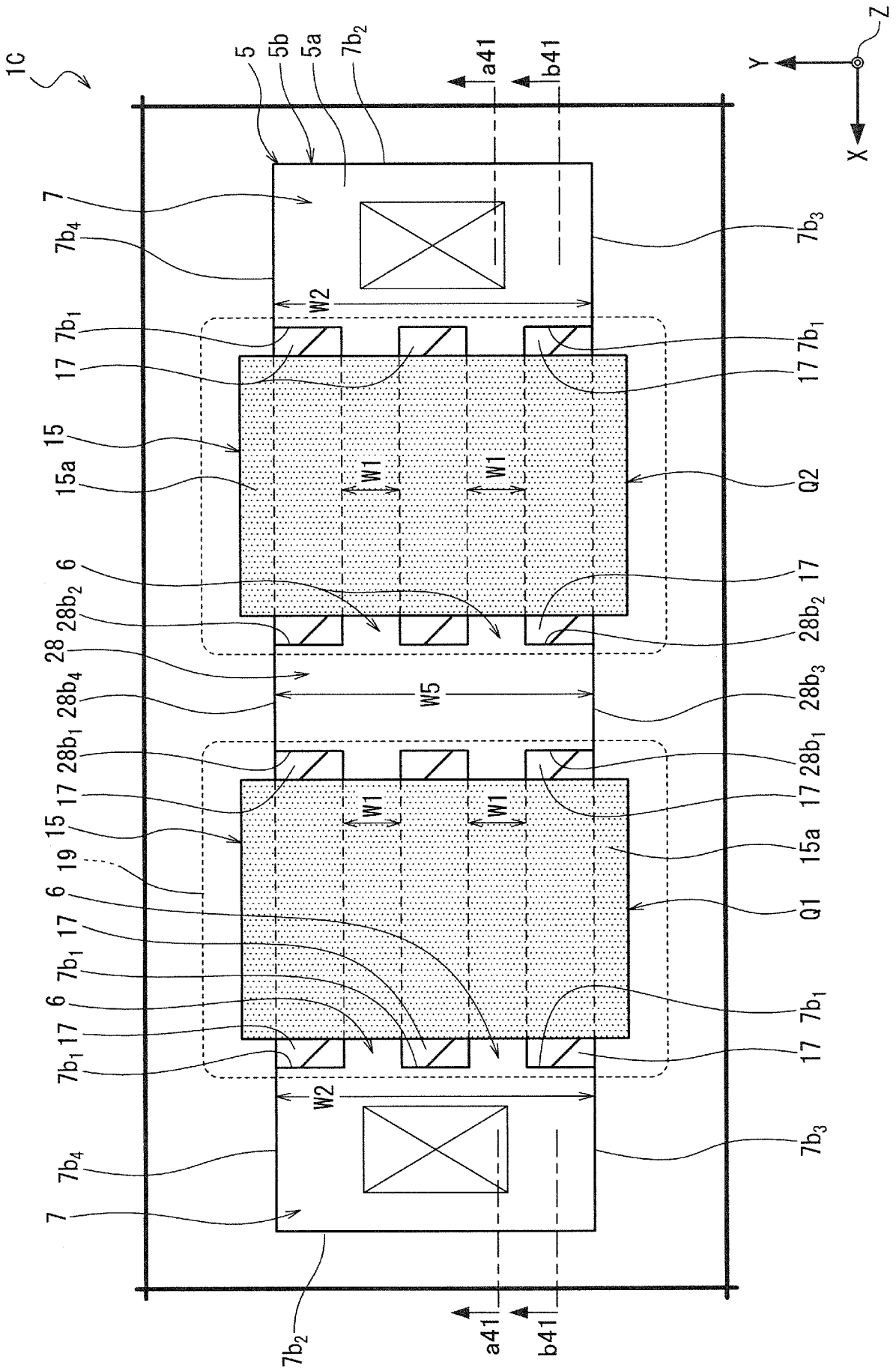
[図39]


5
6
7b2
5b
5a
Y
Z
X
7
7b4
17
7b1
15a2
(15b2)
15a
15
W1
Q
7b1
17
c39
c39
15a1
(15b1)
17
7b1
17
7b1
W2
7
7b4
7b3
7b3
7b2

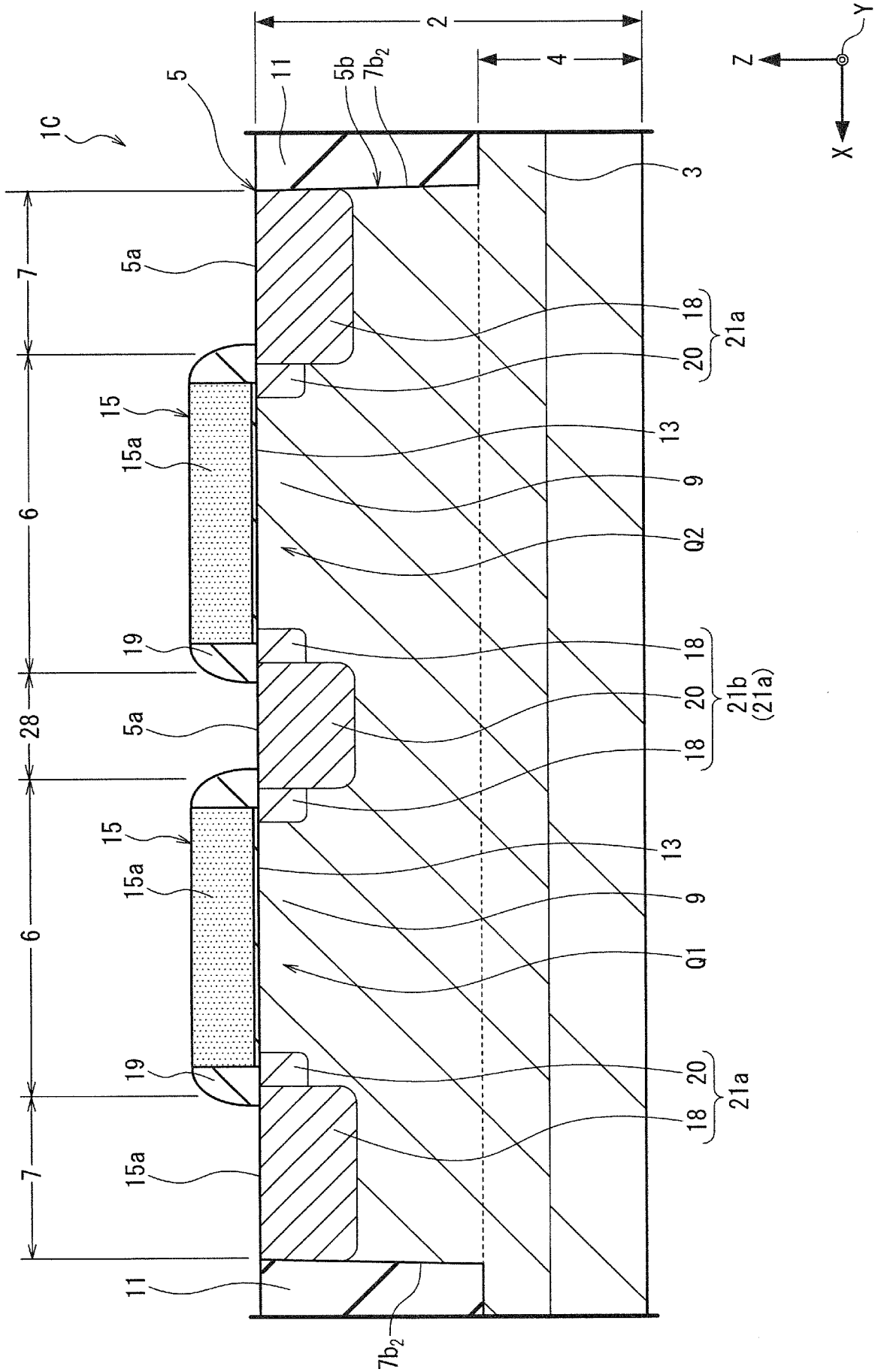
[図40]


1B
2
4
Z
Y
X
22
5a
5
11
7b2
7
5b
3
20
19
15a2
15b2
17B(17b1)
17b2
7b1
(7b11)
15
15a
11a
15b
15a1
5a
11
7b2
7

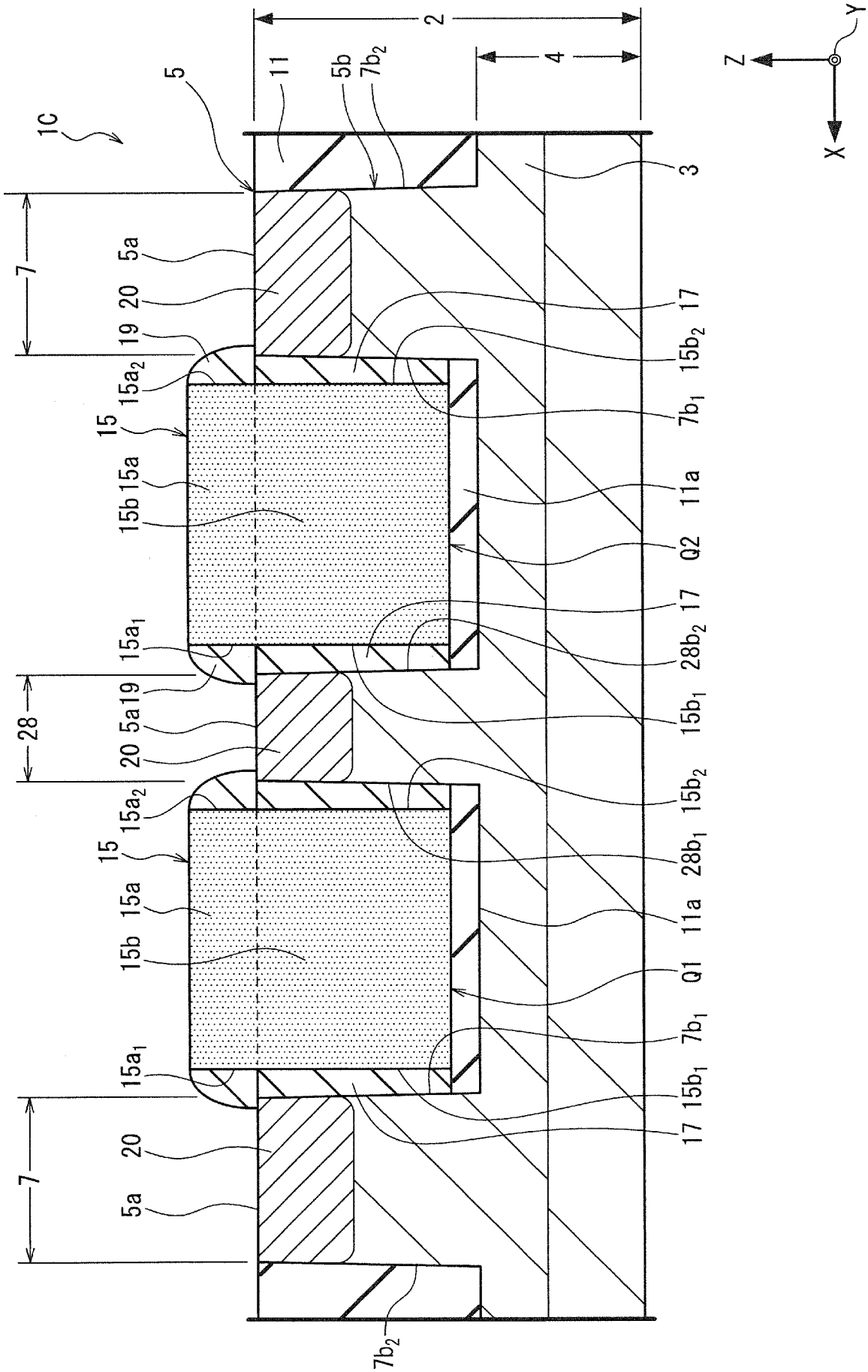
[図41]


1C
5
5b
5a
7b2
a41
b41
Z
Y
X
7
7b4
7b3
W2
7b1
17
15
15a
W1
Q2
6
28b2
28
28b4
W5
28b3
28b1
19
Q1
7b2

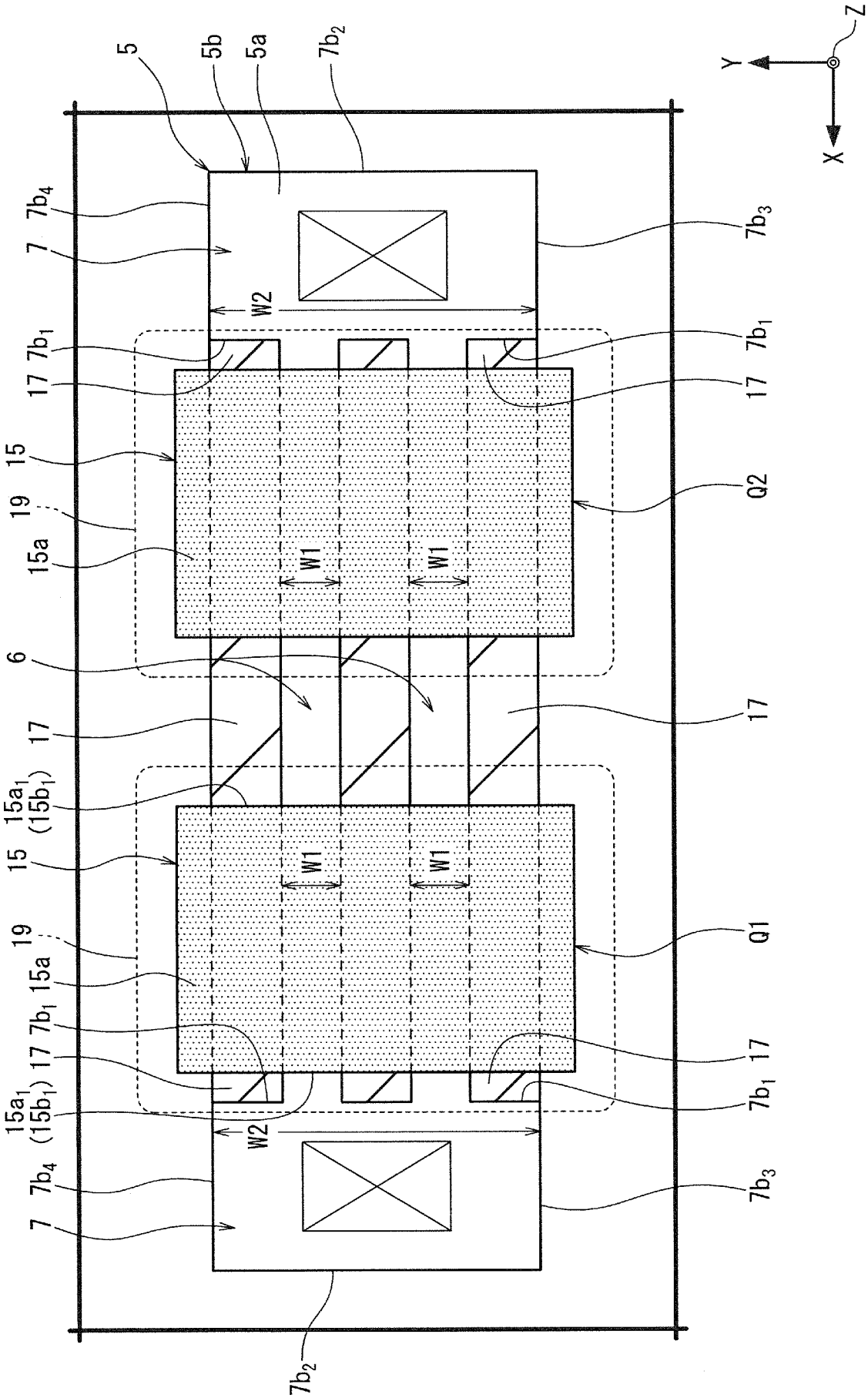
[図42]



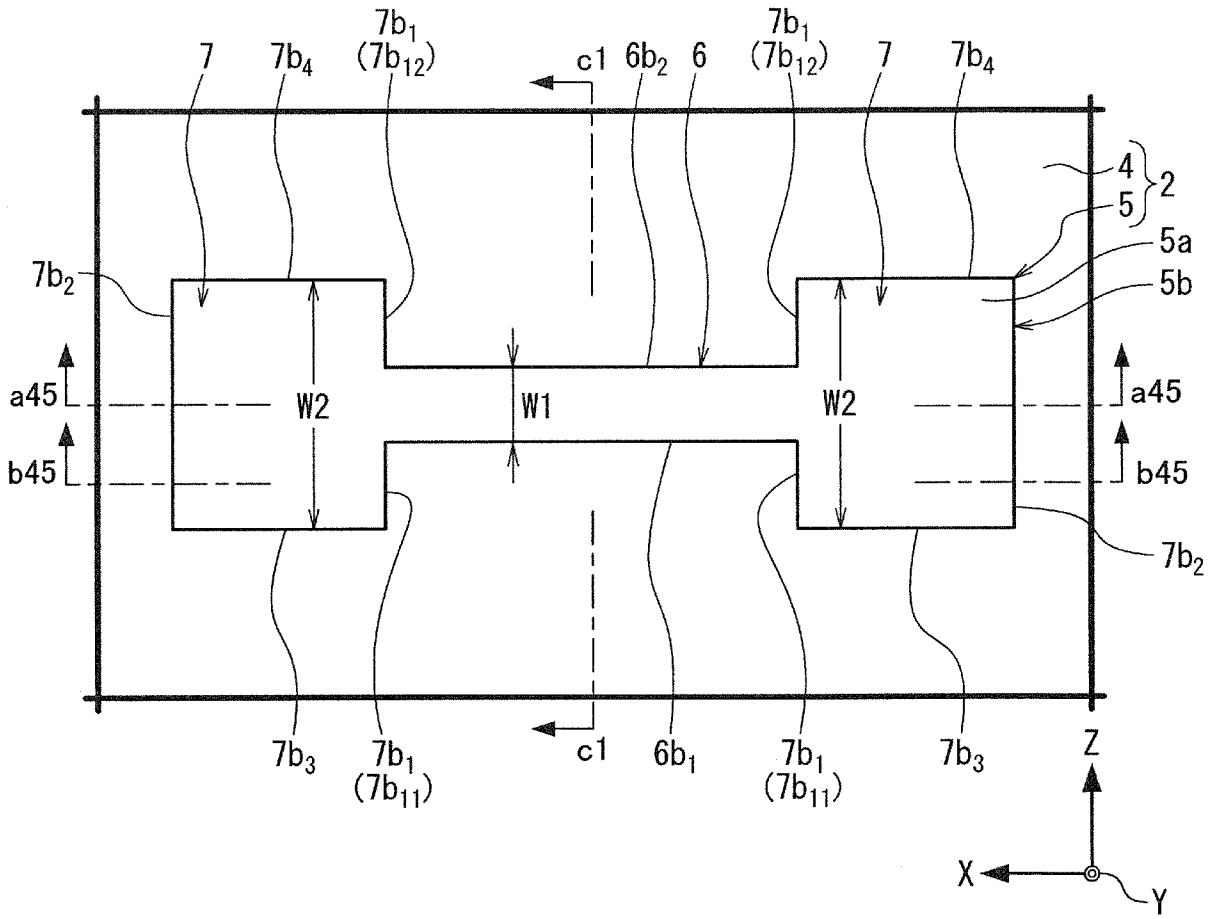
[図43]


1C
2
4
5
11
5b
7b2
3
7
5a
20
19
15a2
15
15b
15a
15a1
28
5a
19
20
15a2
15
15b
15a
15a1
7
20
5a
7b2
17
15b2
7b1
11a
Q2
17
28b2
15b1
15b2
28b1
11a
Q1
7b1
15b1
17
Z
Y
X

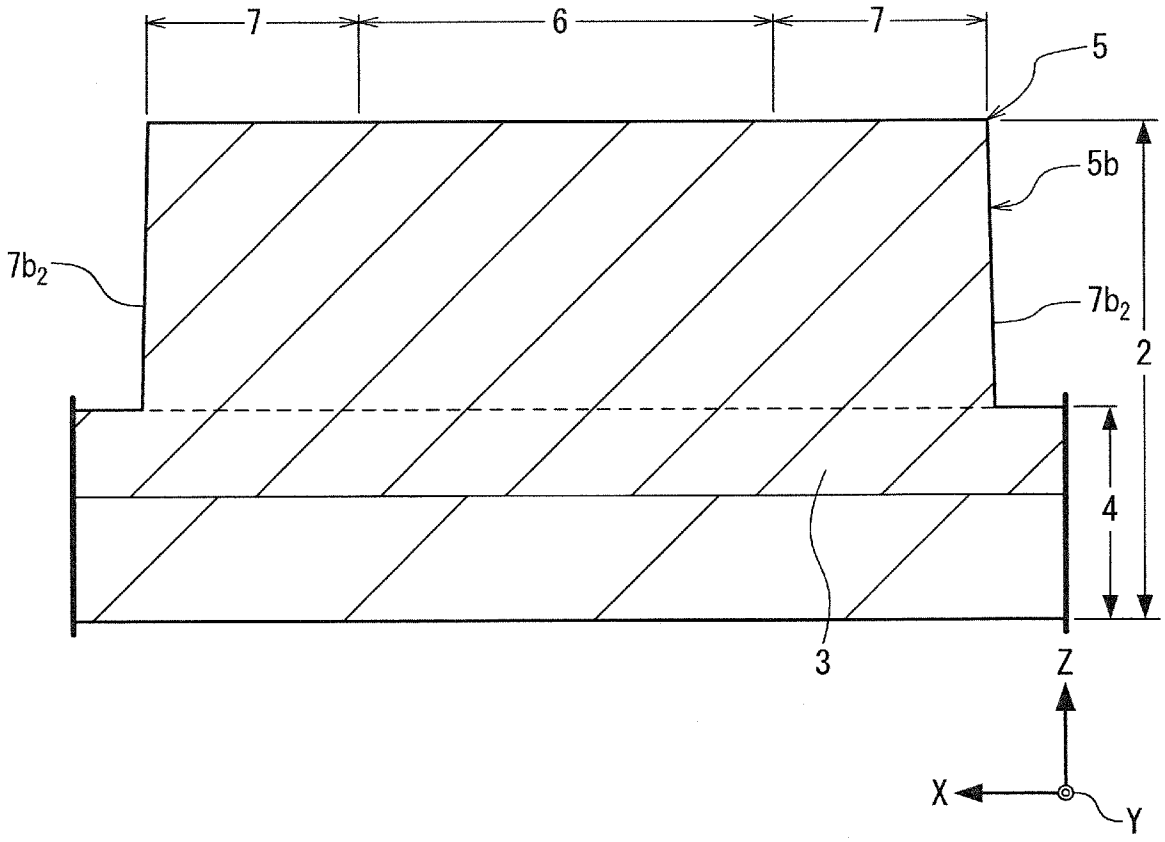
[図44]


Z
Y
X
5
5b
5a
$7b_2$
$7b_4$
7
$7b_3$
W2
$7b_1$
17
15
Q2
19
15a
W1
6
$15a_1$
$(15b_1)$
Q1
$7b_2$

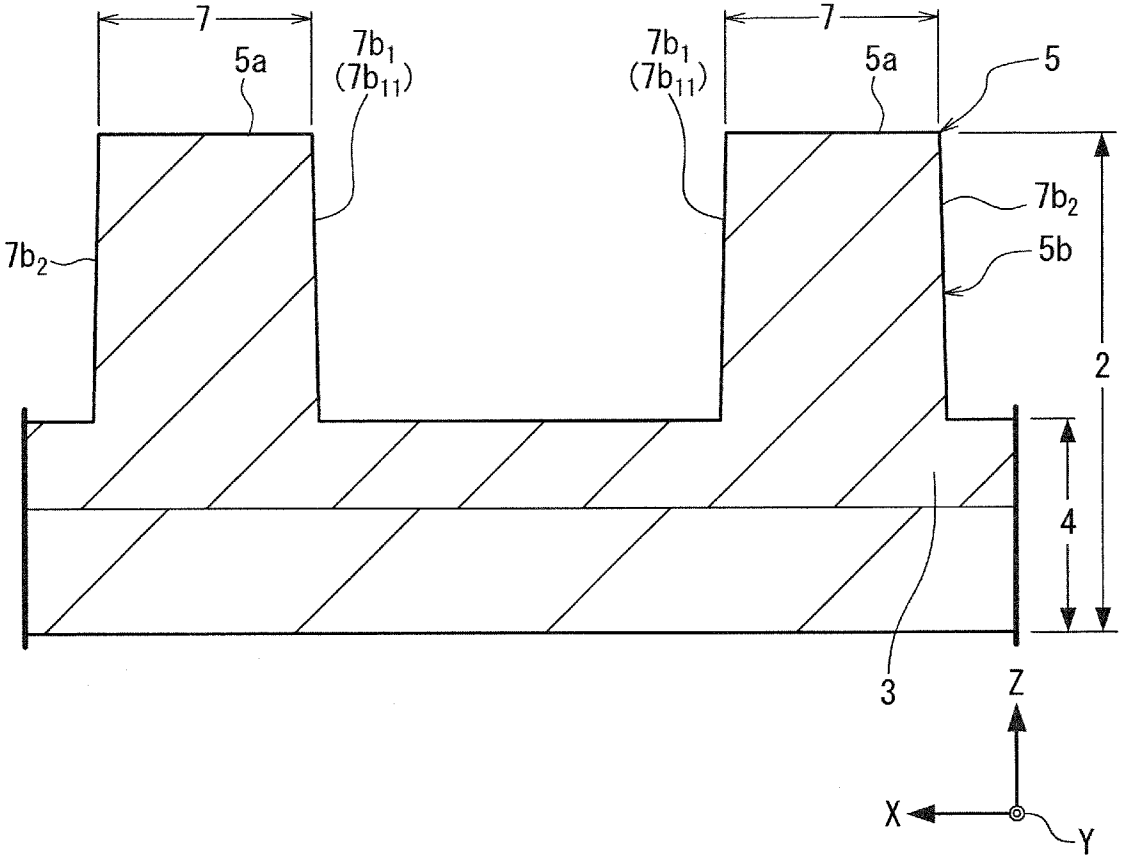
[図45]


7
7b4
7b1 (7b12)
c1
6b2
6
7b1 (7b12)
7
7b4
4
5
2
5a
5b
7b2
a45
b45
W2
W1
W2
a45
b45
7b2
7b3
7b1 (7b11)
c1
6b1
7b1 (7b11)
7b3
Z
X
Y

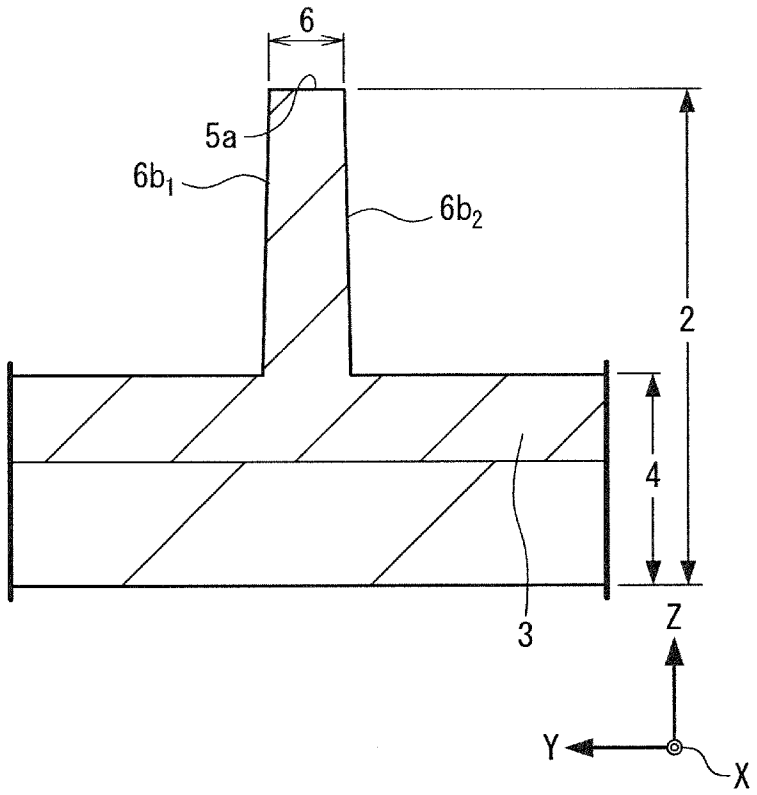
[図46]


7
6
7
5
5b
7b2
7b2
2
4
3
Z
X
Y

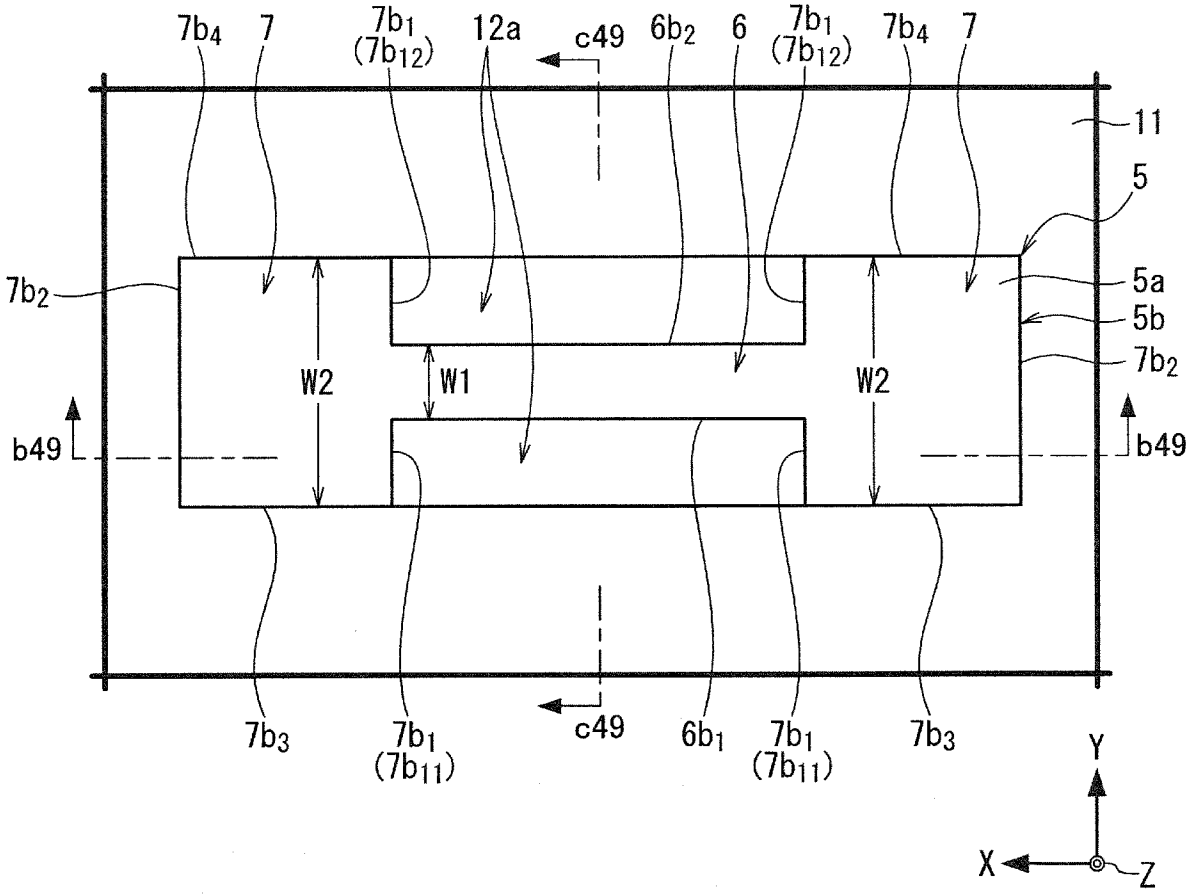
[図47]


7
5a
7b1
(7b11)
7
7b1
(7b11)
5a
5
7b2
7b2
5b
2
4
3
Z
X
Y

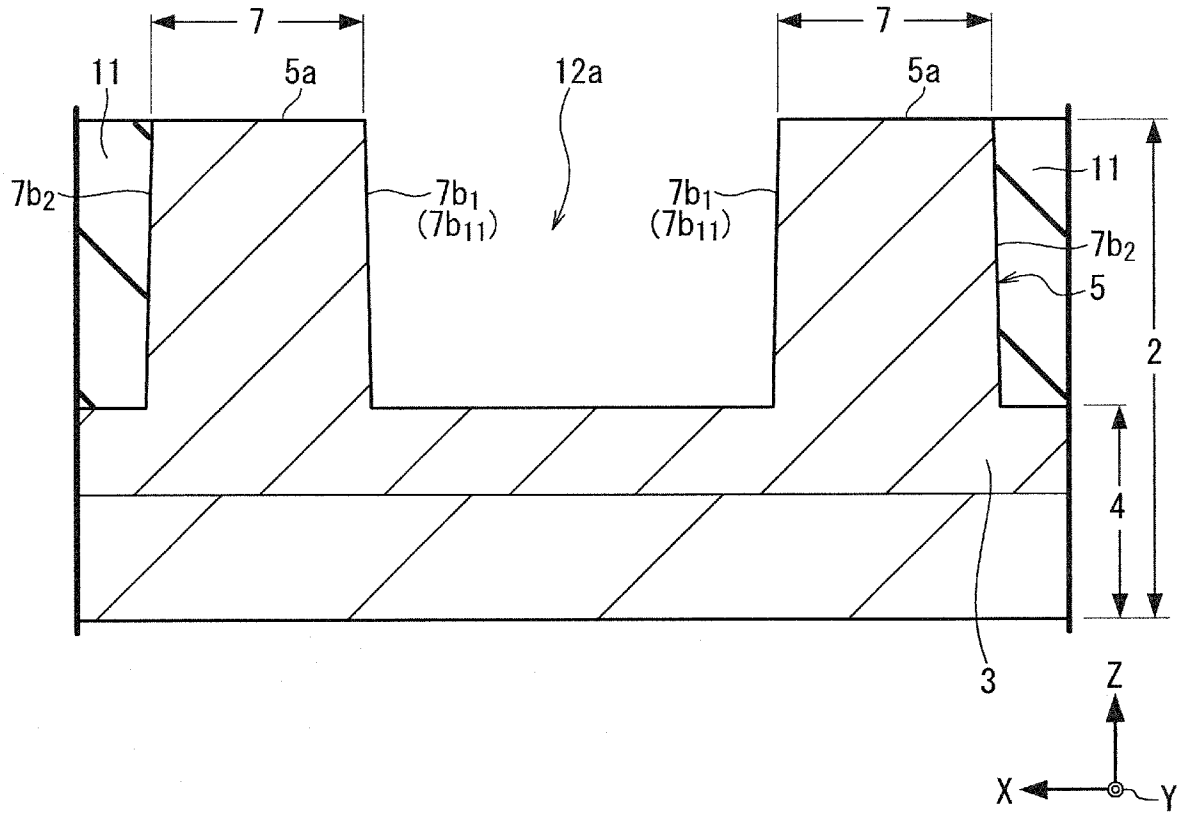
[図48]


6
5a
6b1
6b2
2
4
3
Z
Y
X

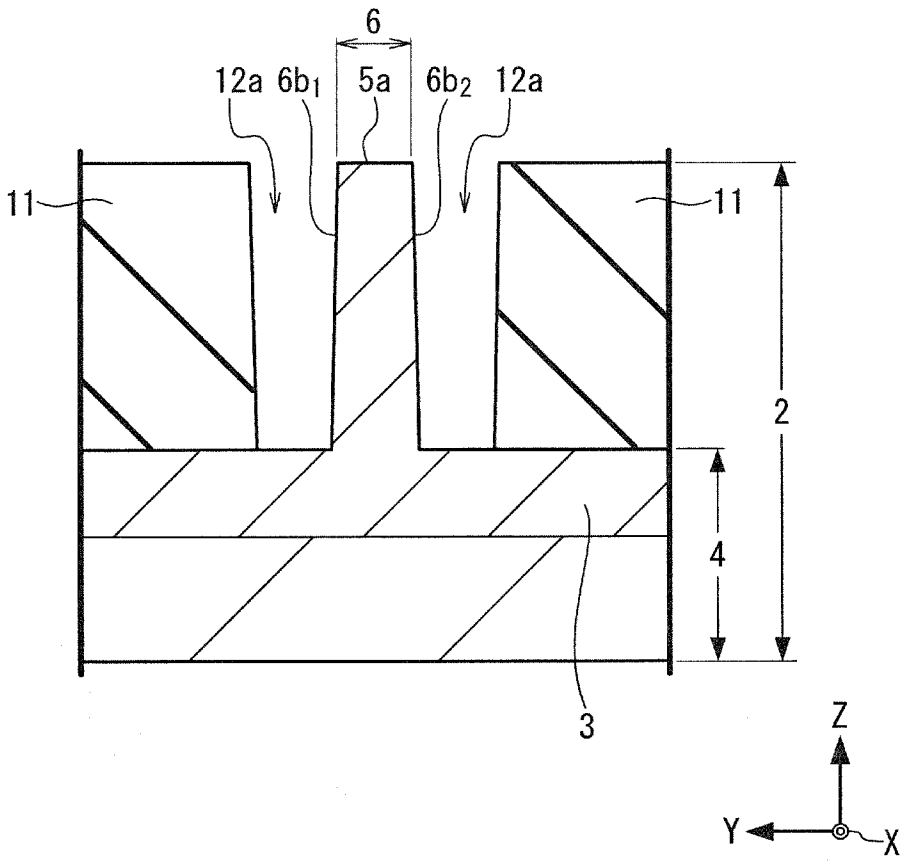
[図49]


7b4
7
7b1
(7b12)
12a
c49
6b2
6
7b1
(7b12)
7b4
7
11
5
7b2
5a
5b
7b2
W2
W1
W2
b49
b49
7b3
7b1
(7b11)
c49
6b1
7b1
(7b11)
7b3
Y
X
Z

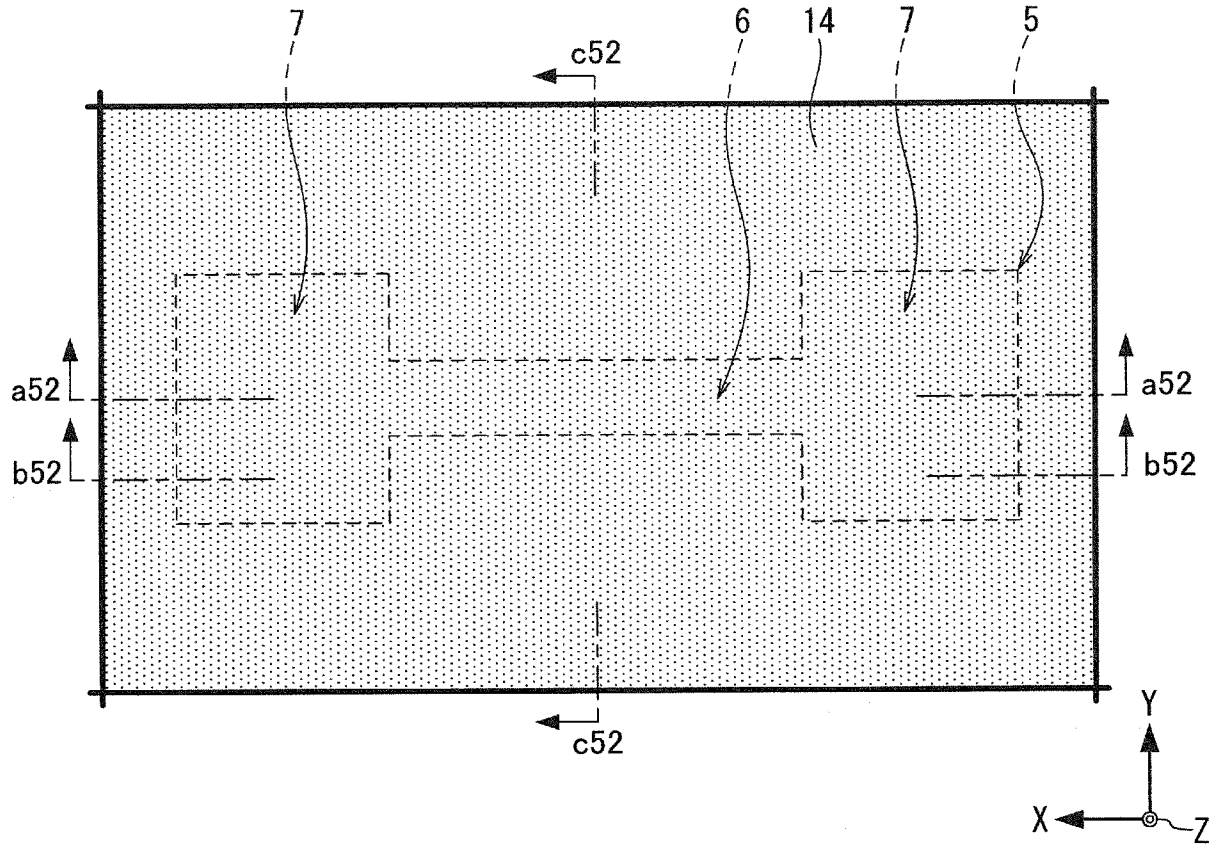
[図50]


7
7
11
5a
12a
5a
7b2
7b1
(7b11)
7b1
(7b11)
11
7b2
5
2
4
3
Z
X
Y

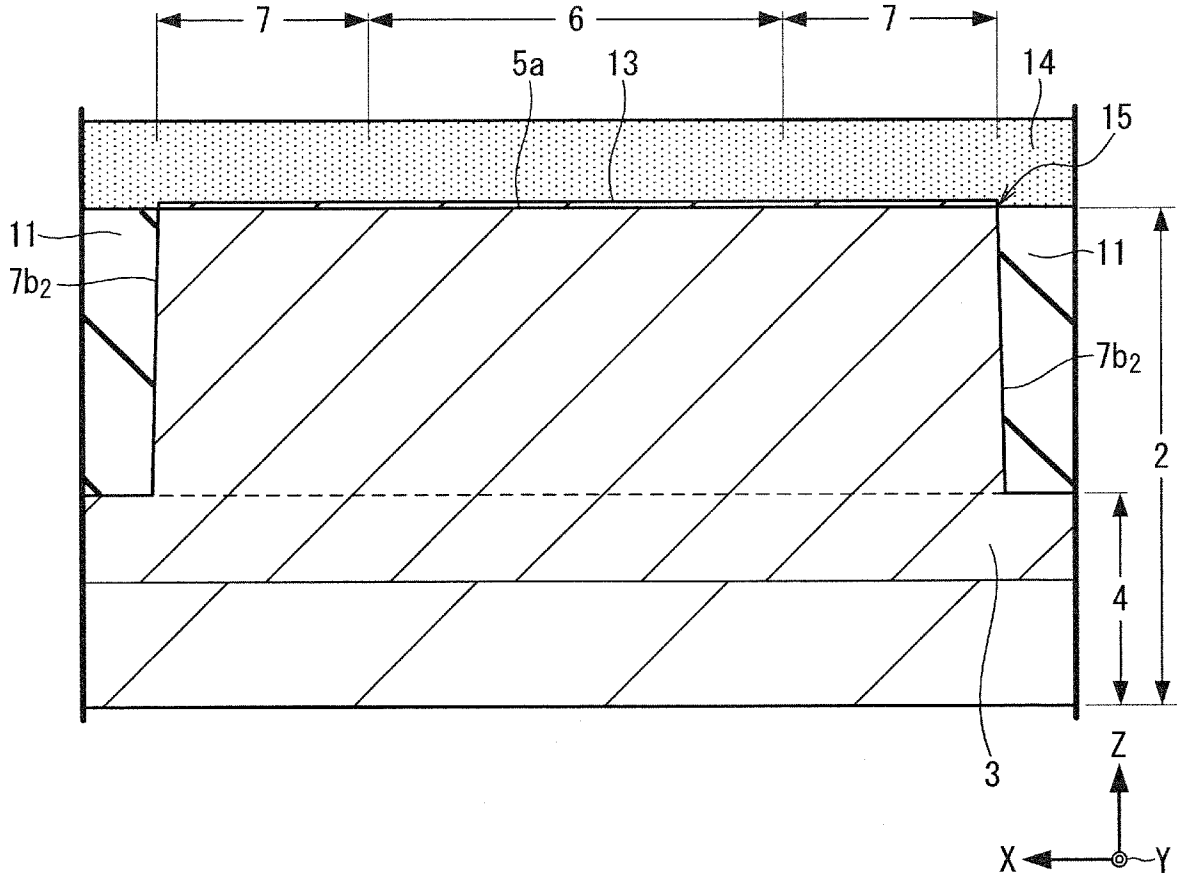
[図51]


6
12a
6b1
5a
6b2
12a
11
11
2
4
3
Z
Y
X

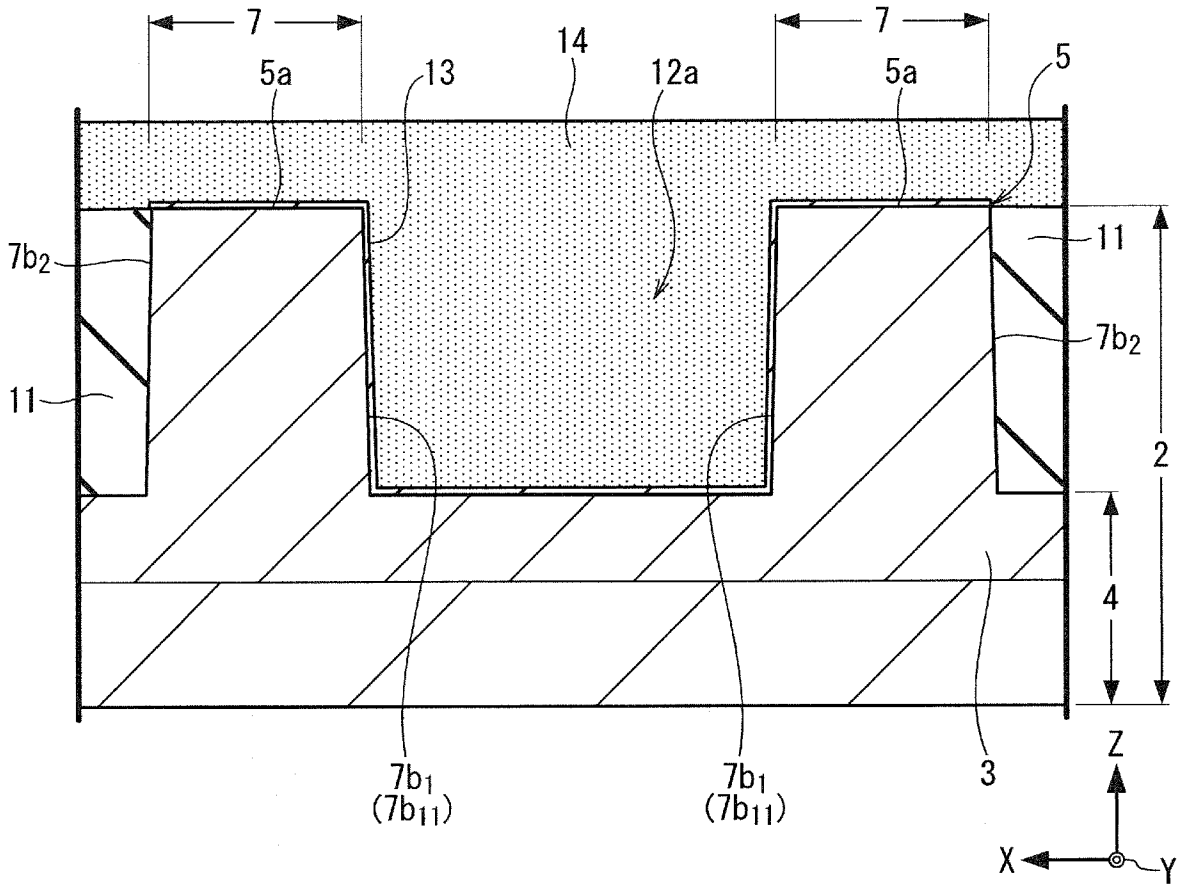
[図52]


7
c52
6
14
7
5
a52
b52
a52
b52
c52
Y
X
Z

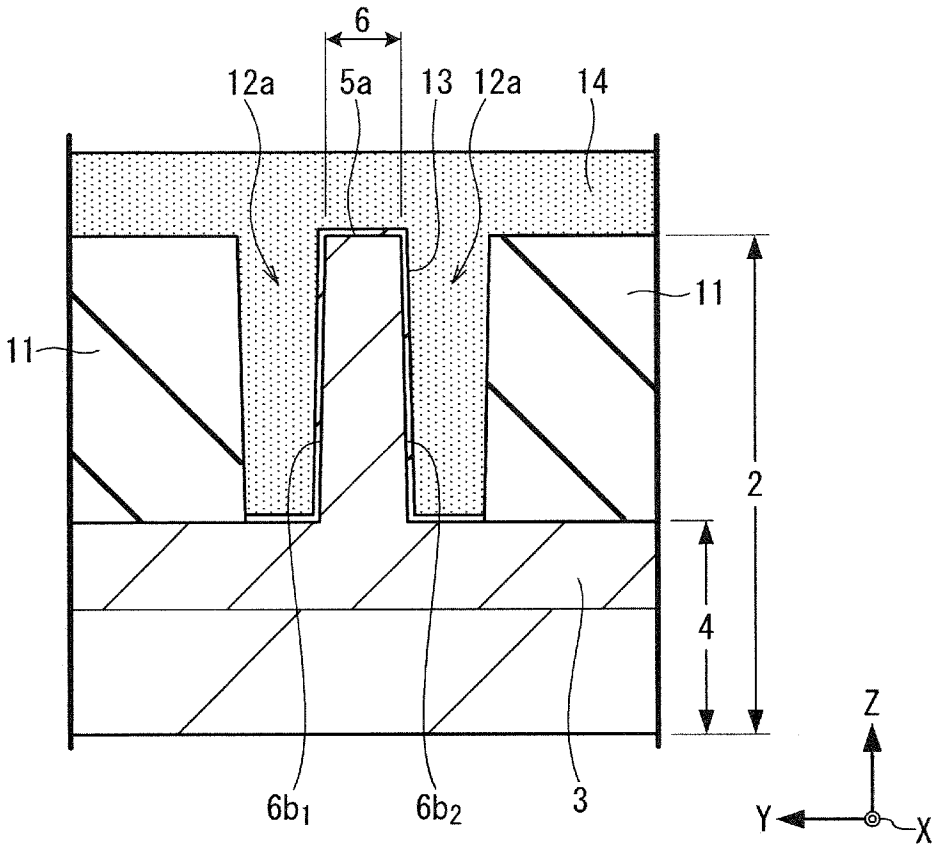
[図53]


7
6
7
5a
13
14
15
11
7b2
11
7b2
2
4
3
Z
X
Y

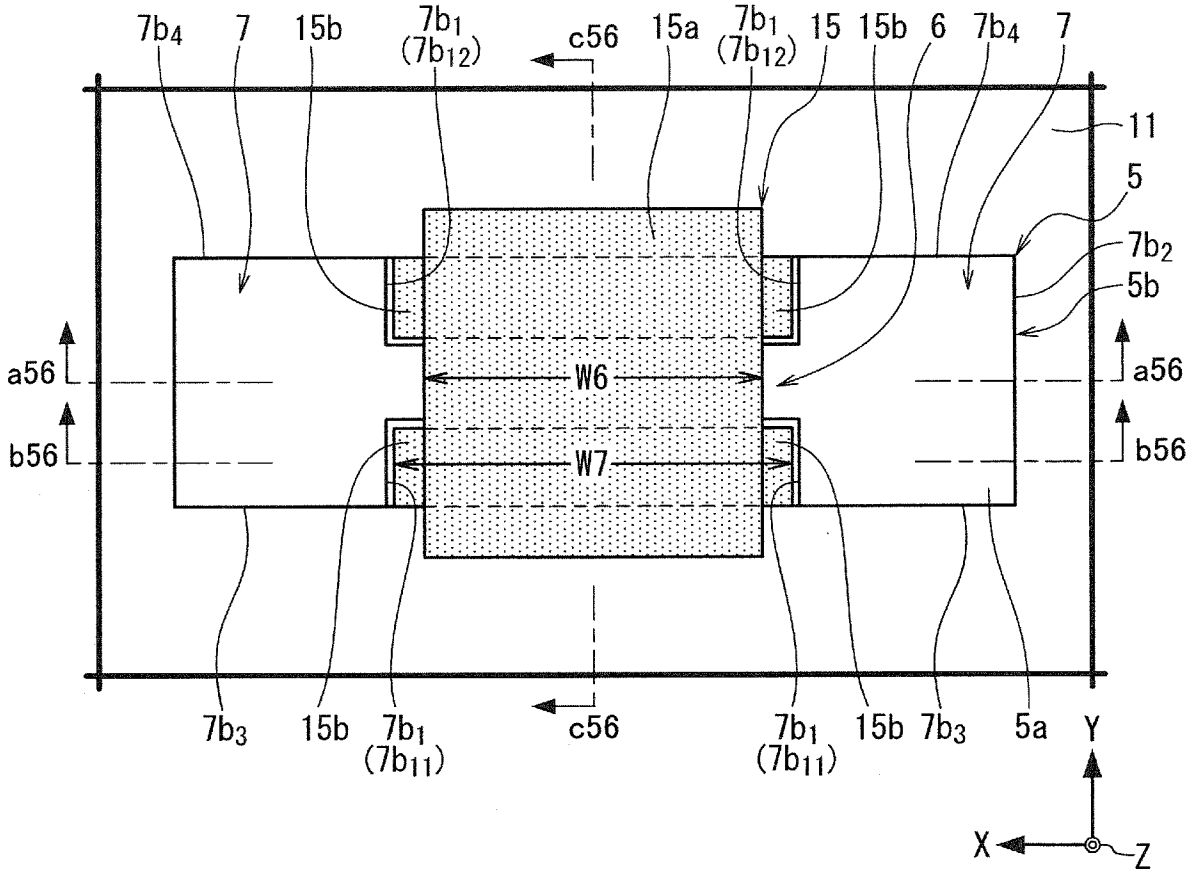
[図54]



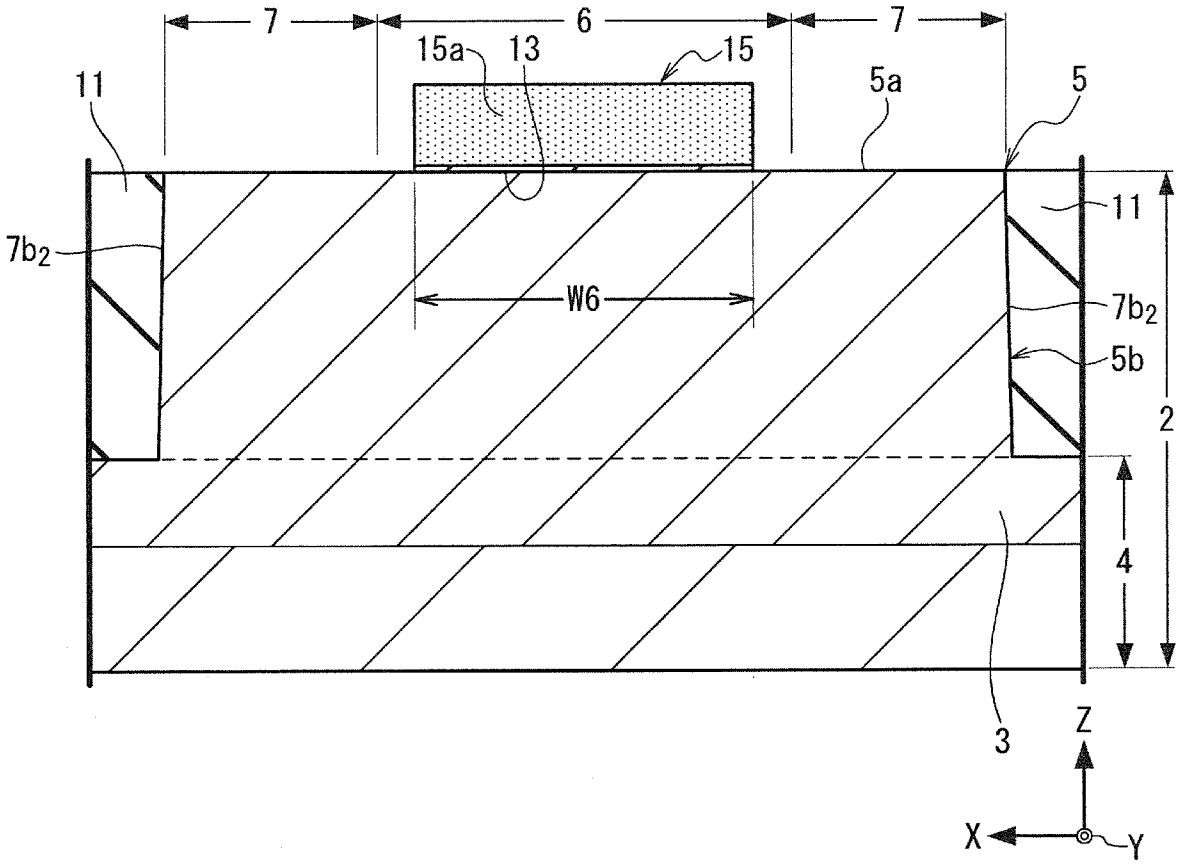
[図55]


6
12a
5a
13
12a
14
11
11
2
4
6b1
6b2
3
Z
Y
X

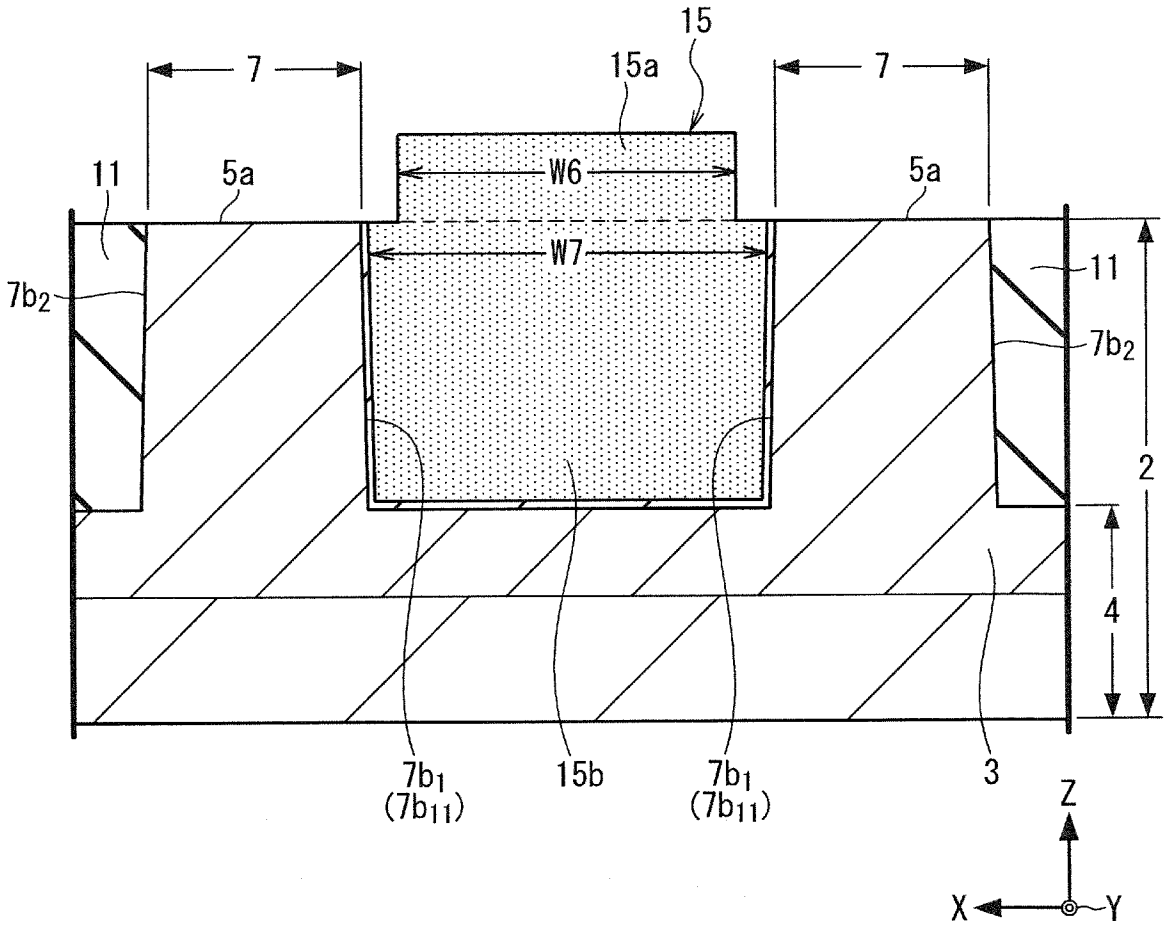
[図56]


7b4
7
15b
7b1
(7b12)
c56
15a
7b1
(7b12)
15
15b
6
7b4
7
11
5
7b2
5b
a56
W6
W7
a56
b56
b56
7b3
15b
7b1
(7b11)
c56
7b1
(7b11)
15b
7b3
5a
Y
X
Z

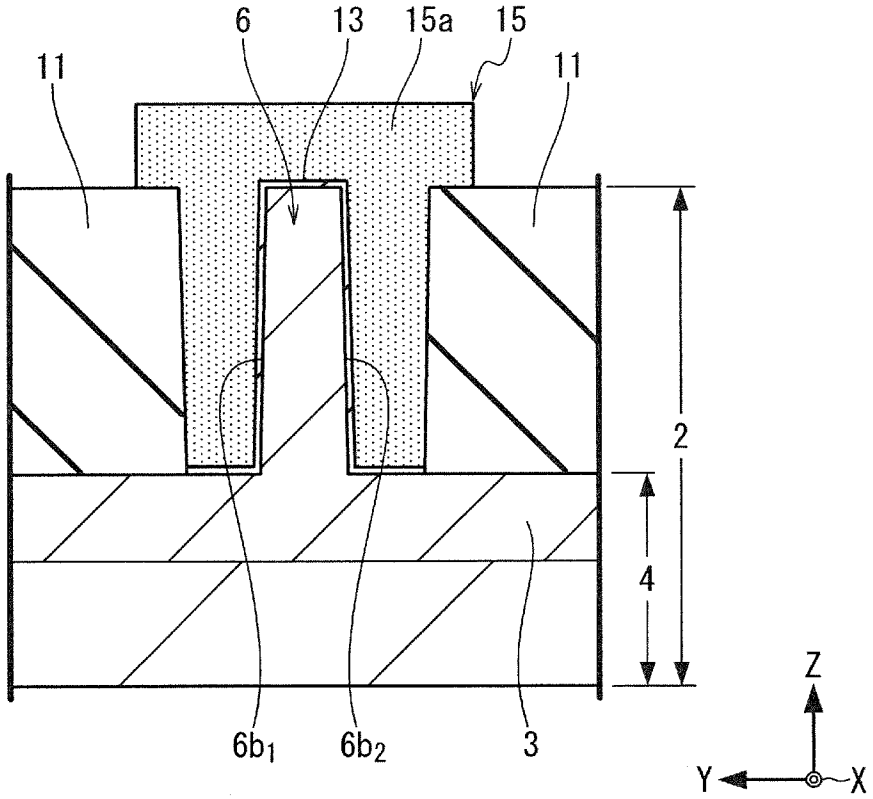
[図57]



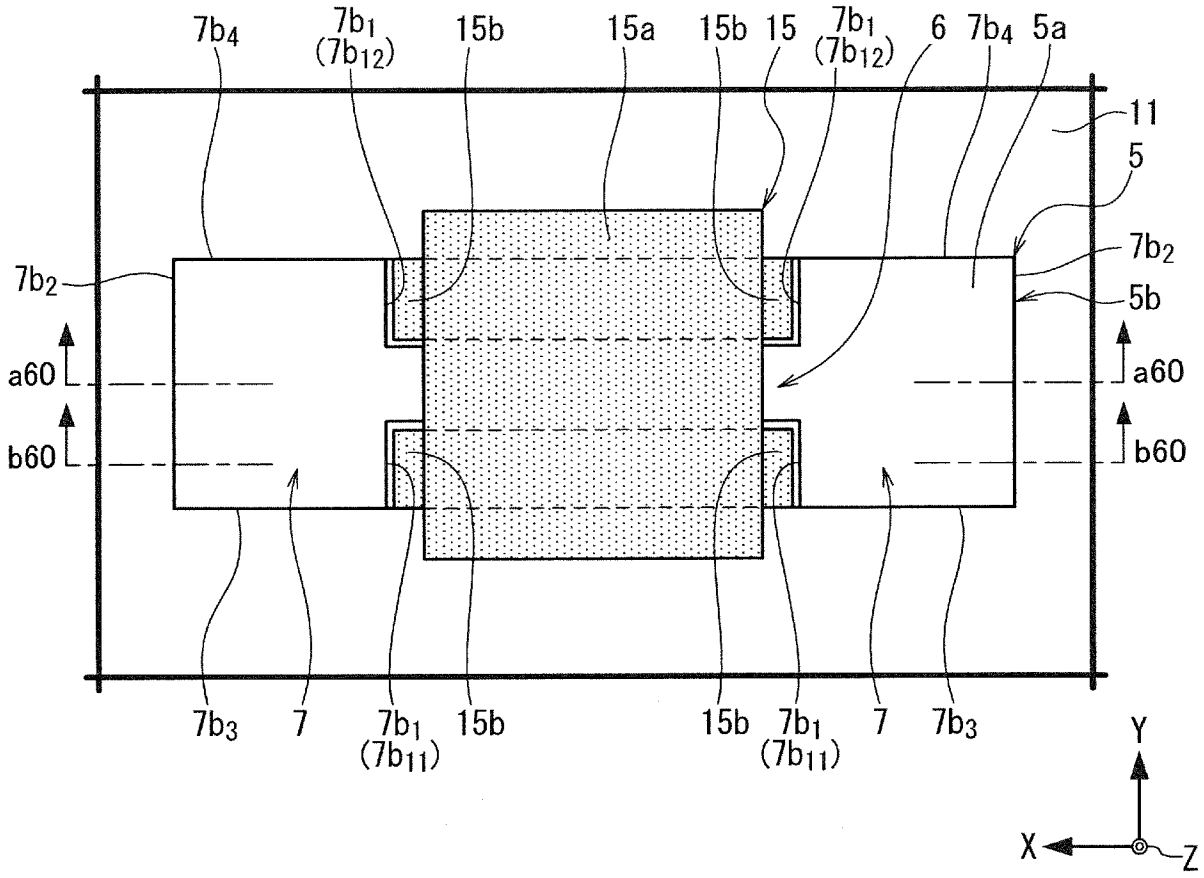
[図58]


15
15a
7
7
11
5a
W6
5a
W7
11
7b2
7b2
2
4
7b1
(7b11)
15b
7b1
(7b11)
3
Z
X
Y

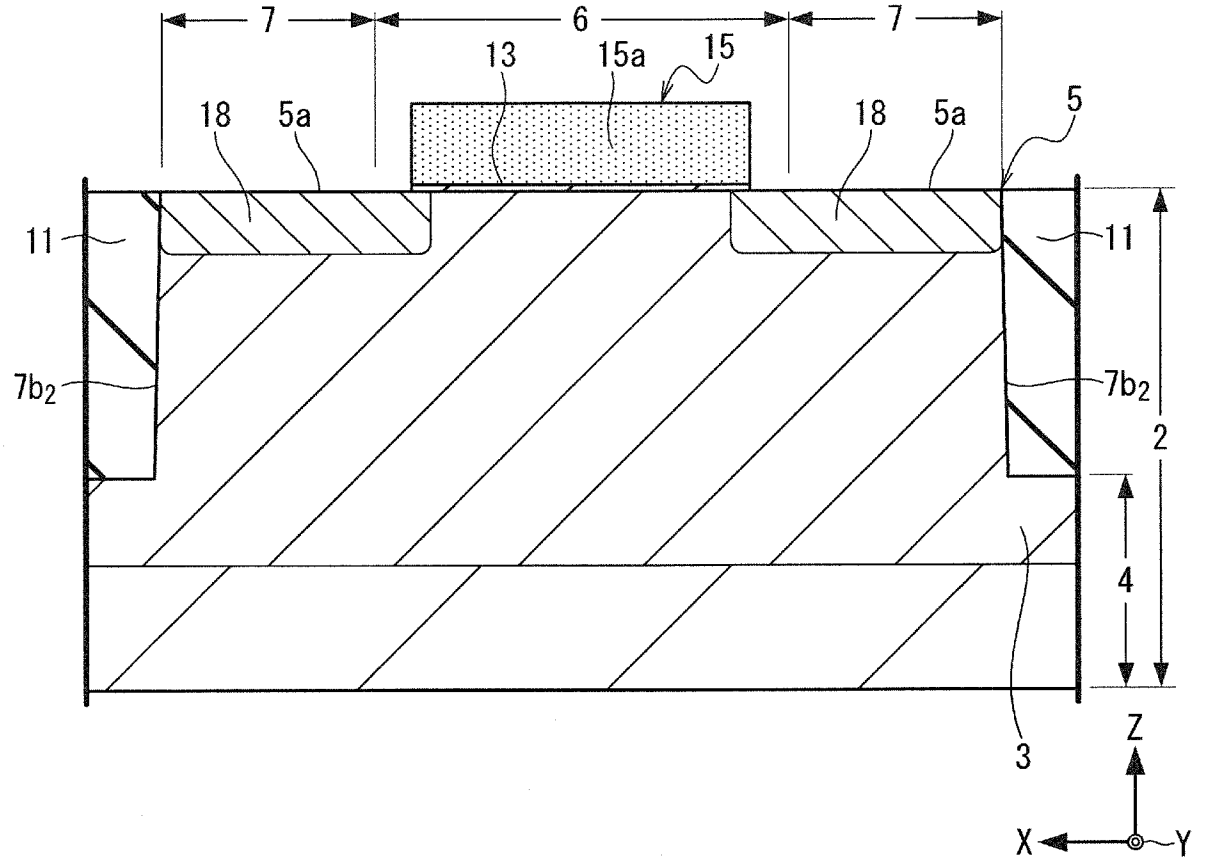
[図59]


6
13
15a
15
11
11
2
4
6b1
6b2
3
Z
Y
X

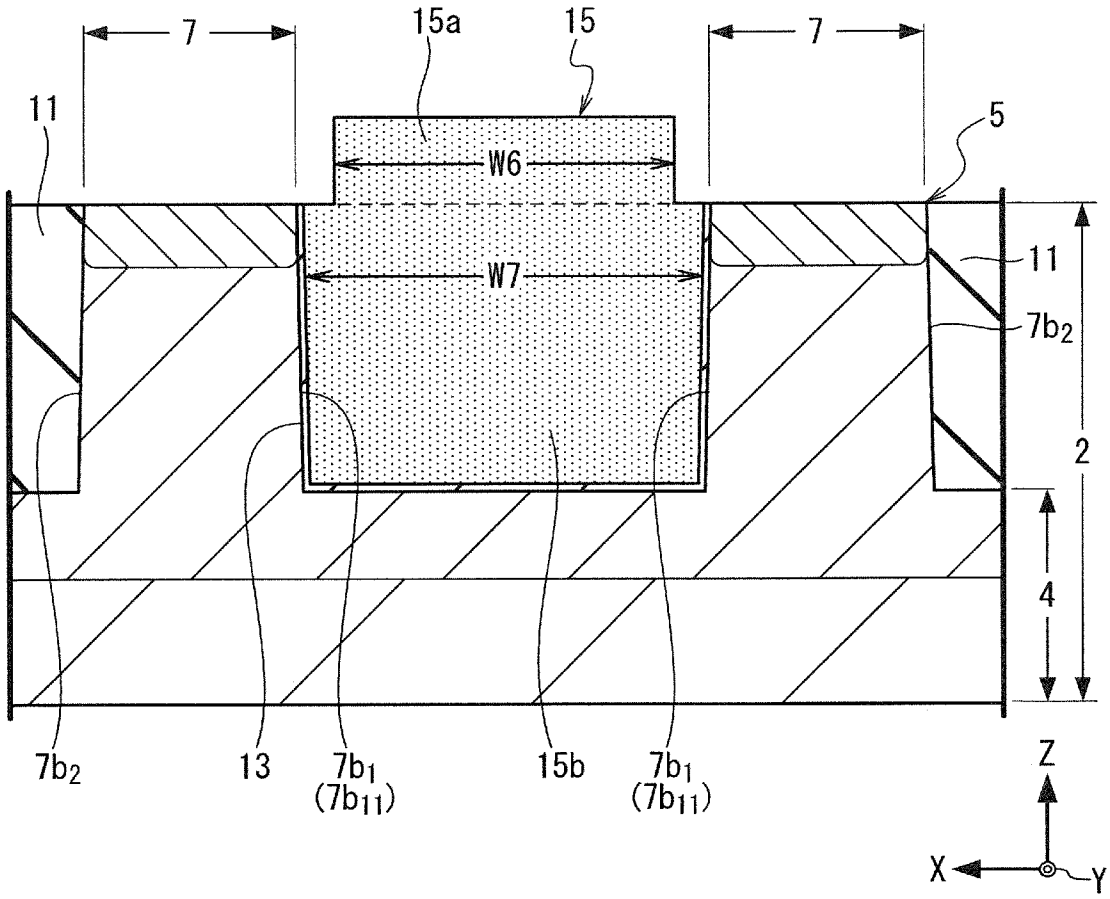
[図60]


7b4
7b1 (7b12)
15b
15a
15b
15
7b1 (7b12)
6
7b4
5a
11
5
7b2
5b
7b2
a60
b60
a60
b60
7b3
7
7b1 (7b11)
15b
15b
7b1 (7b11)
7
7b3
Y
X
Z

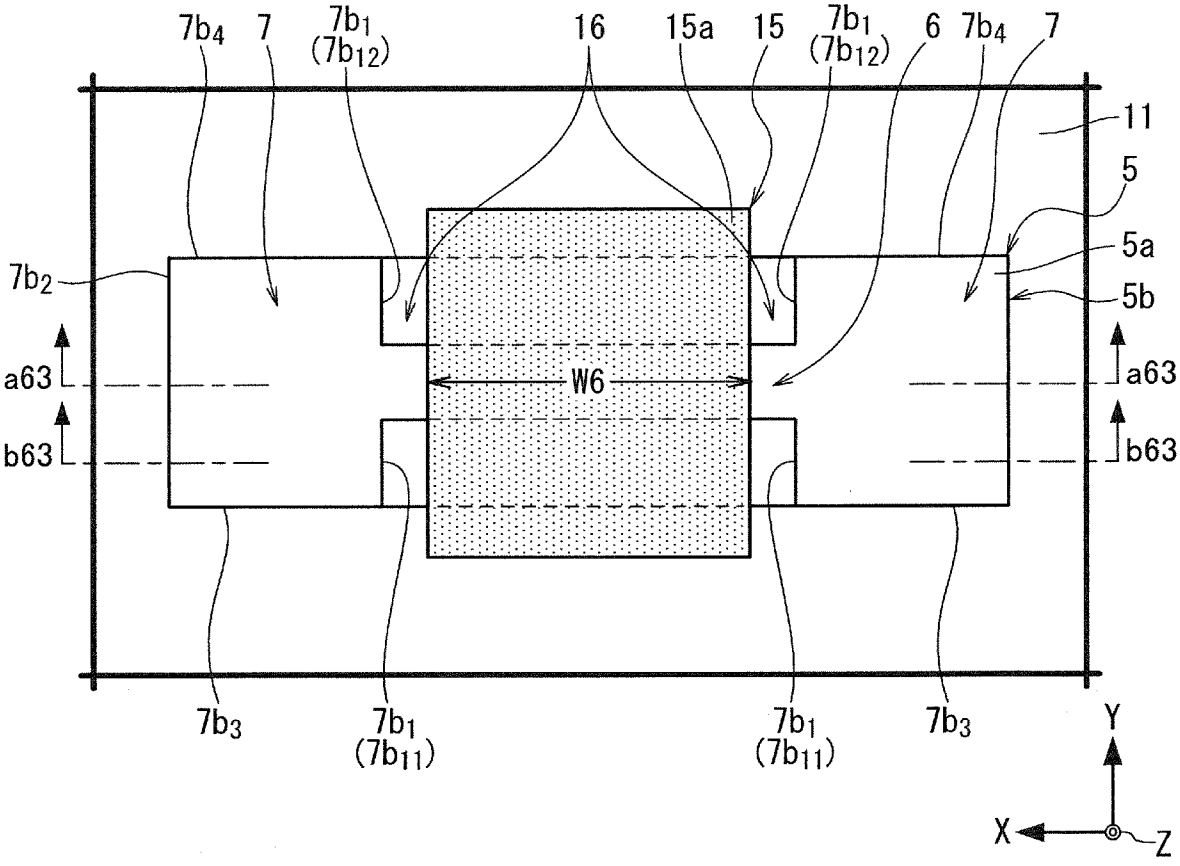
[図61]


7
6
7
13
15a
15
18
5a
18
5a
5
11
11
7b2
7b2
2
4
3
Z
X
Y

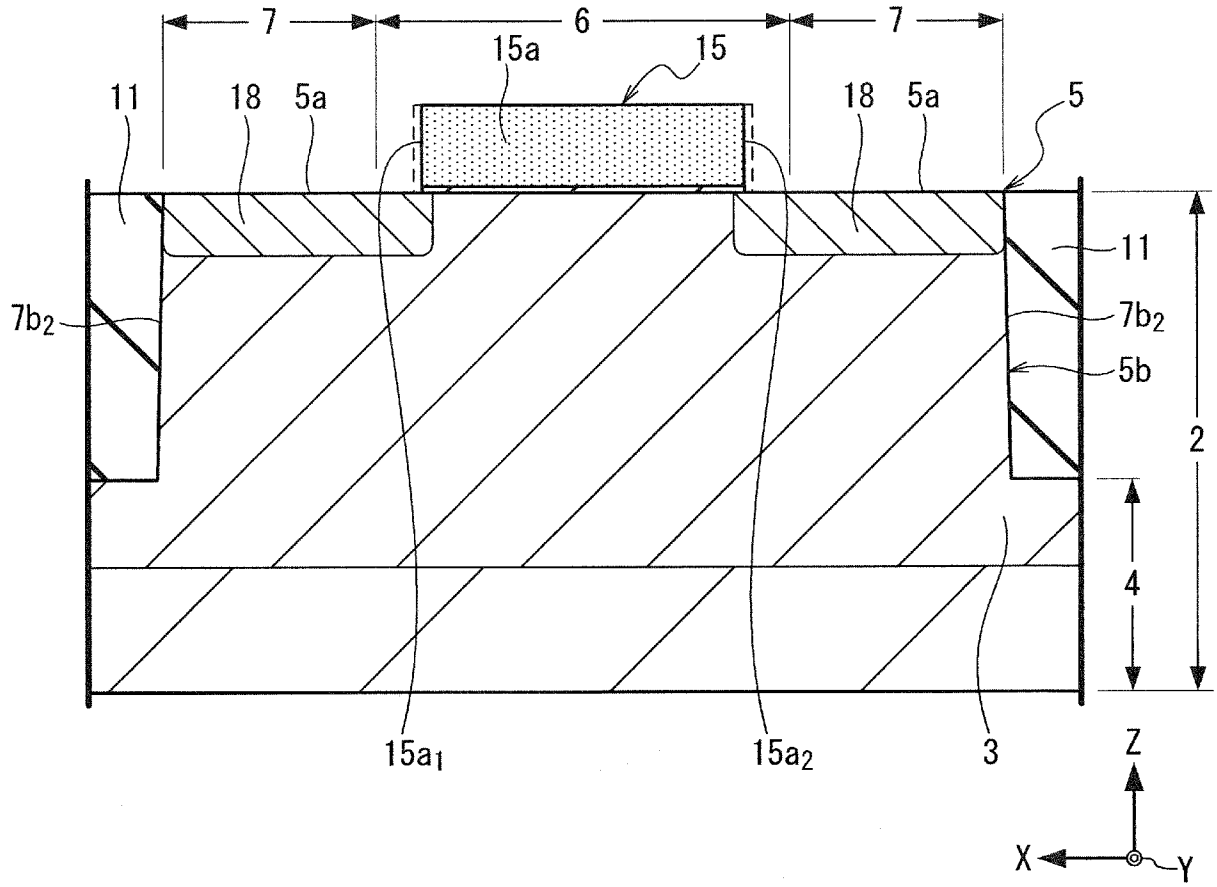
[図62]


7
15a
15
7
11
5
W6
W7
11
7b2
2
4
7b2
13
7b1
(7b11)
15b
7b1
(7b11)
Z
X
Y

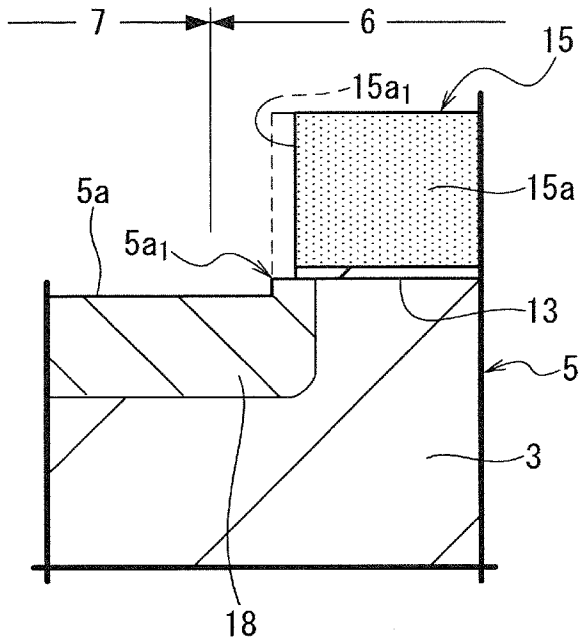
[図63]


7b4
7
7b1
(7b12)
16
15a
15
7b1
(7b12)
6
7b4
7
11
5
5a
5b
7b2
a63
b63
W6
a63
b63
7b3
7b1
(7b11)
7b1
(7b11)
7b3
Y
X
Z

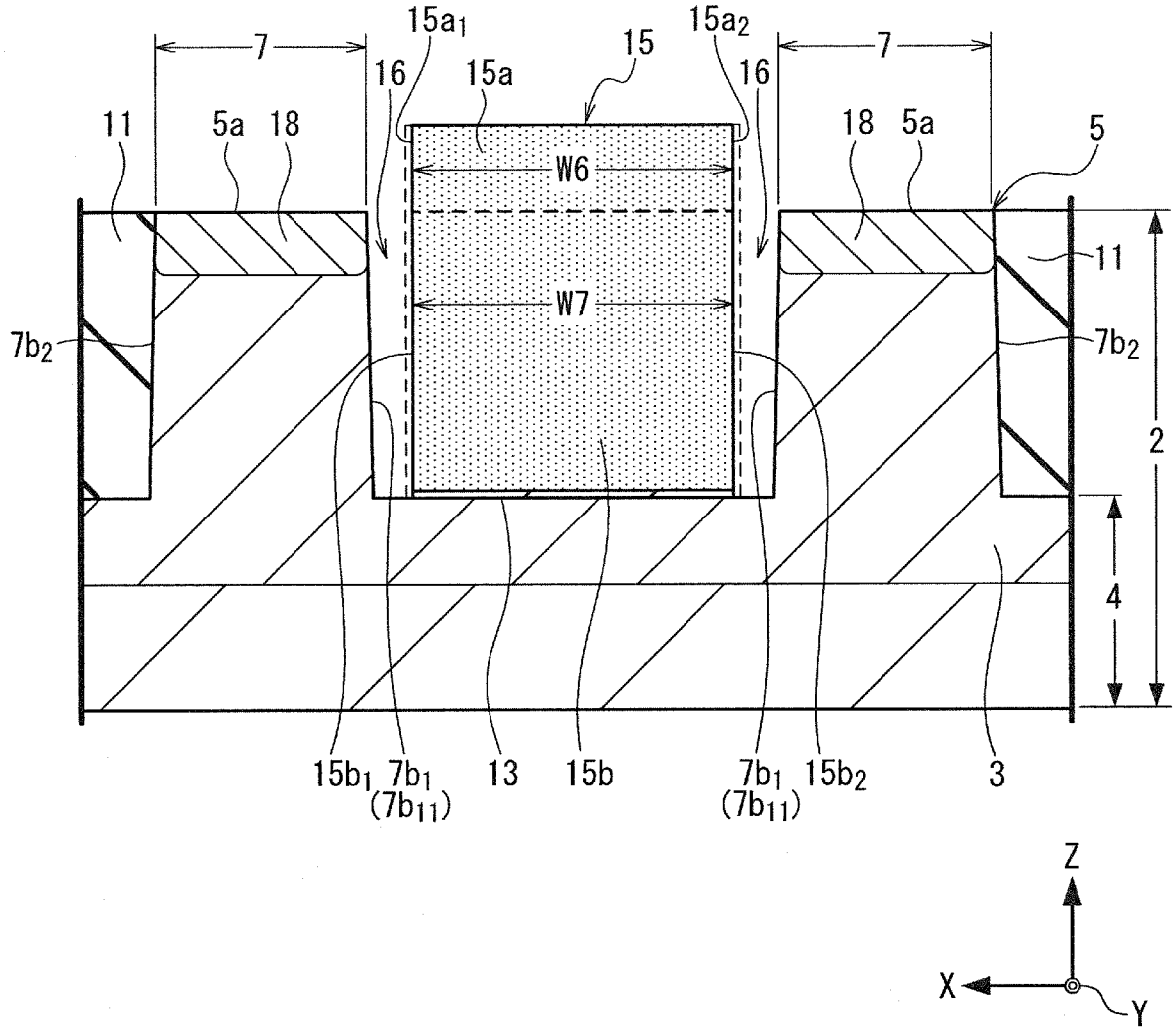
[図64]


7
6
7
15a
15
11
18
5a
18
5a
5
11
7b2
7b2
5b
2
4
15a1
15a2
3
Z
X
Y

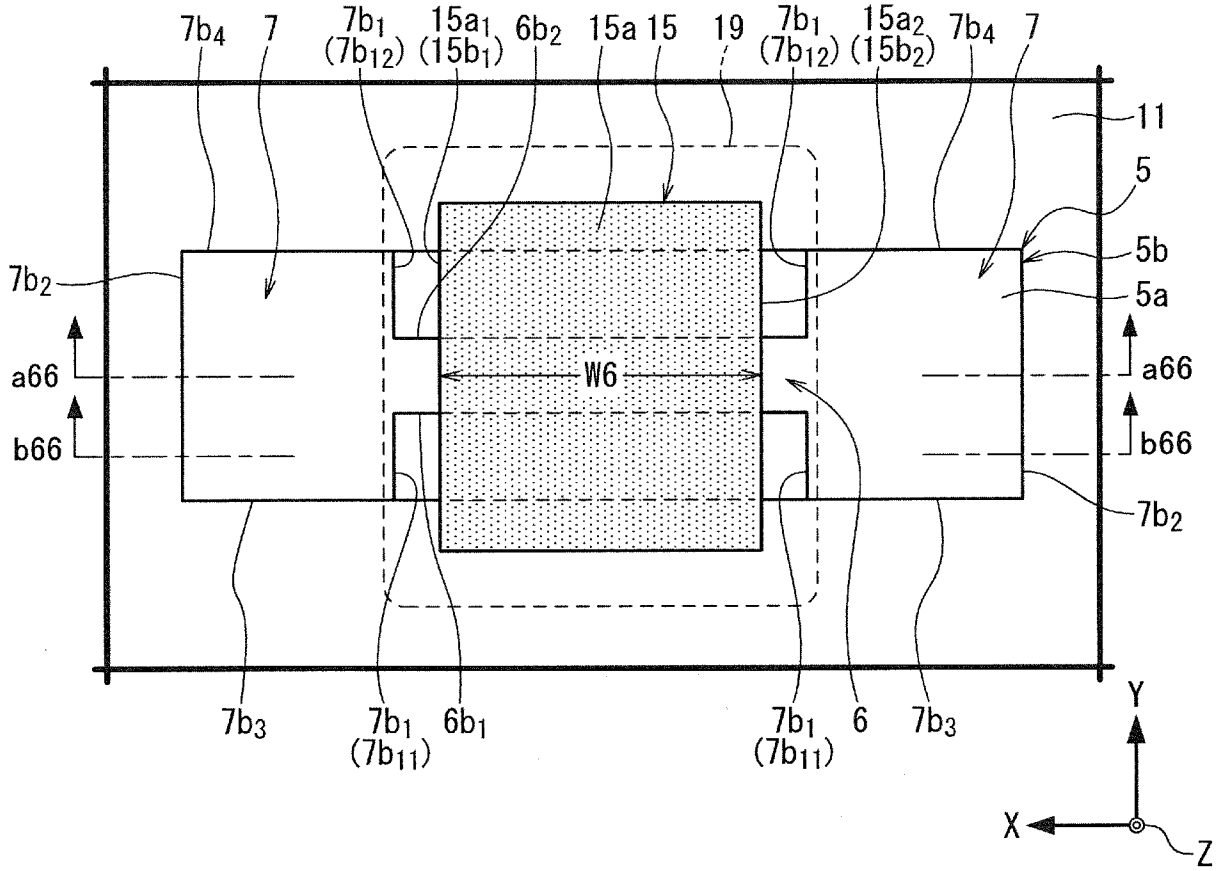
[図64A]


7
6
15
15a1
15a
5a
5a1
13
5
3
18

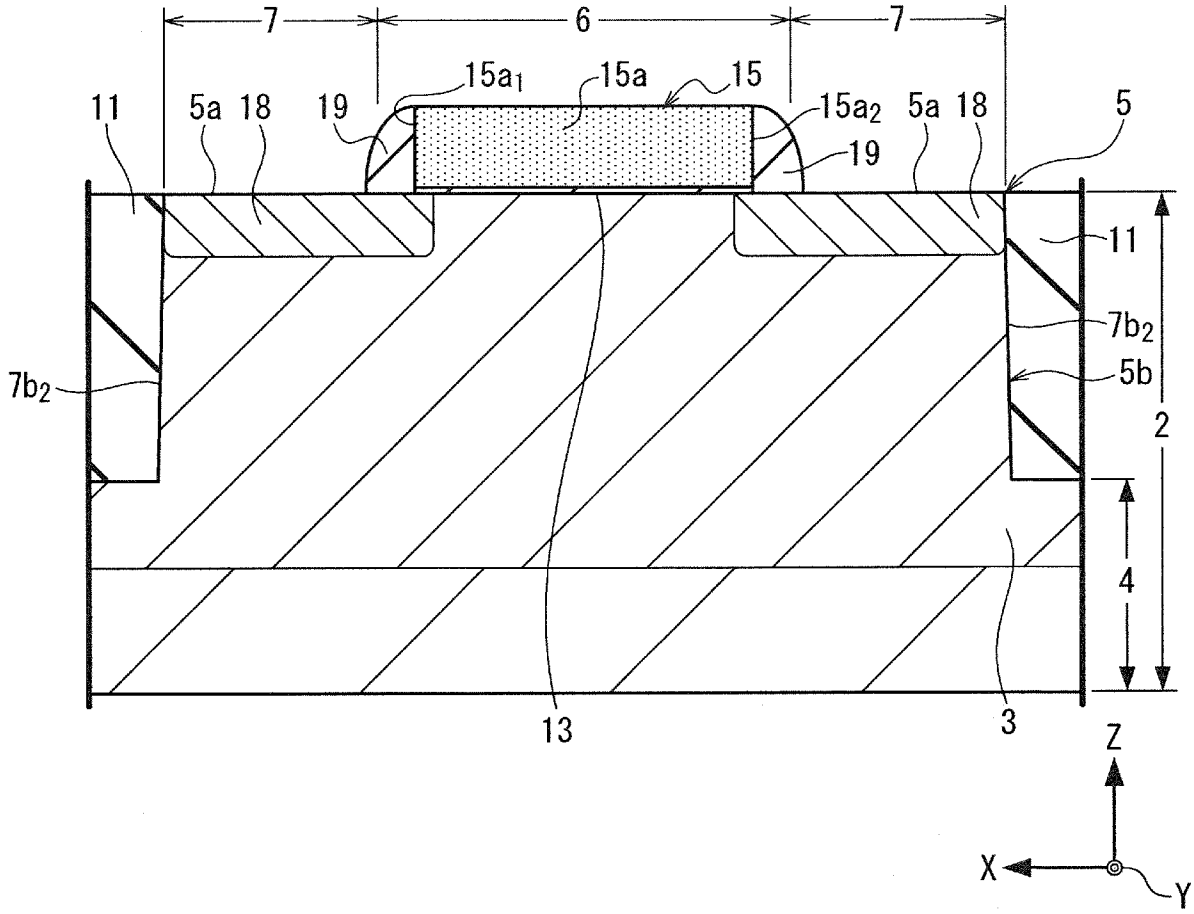
[図65]


7
15a1
16
15a
15
15a2
16
7
11
5a
18
18
5a
5
W6
W7
11
7b2
7b2
2
4
15b1
7b1
(7b11)
13
15b
7b1
(7b11)
15b2
3
Z
X
Y

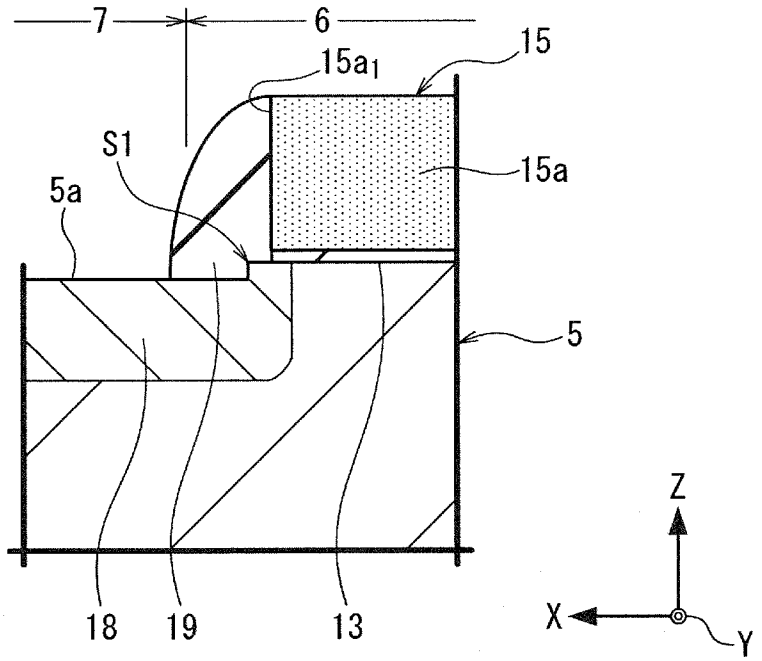
[図66]


7b4
7
7b1 (7b12)
15a1 (15b1)
6b2
15a
15
19
7b1 (7b12)
15a2 (15b2)
7b4
7
11
5
5b
5a
7b2
a66
b66
W6
a66
b66
7b2
7b3
7b1 (7b11)
6b1
7b1 (7b11)
6
7b3
Y
X
Z

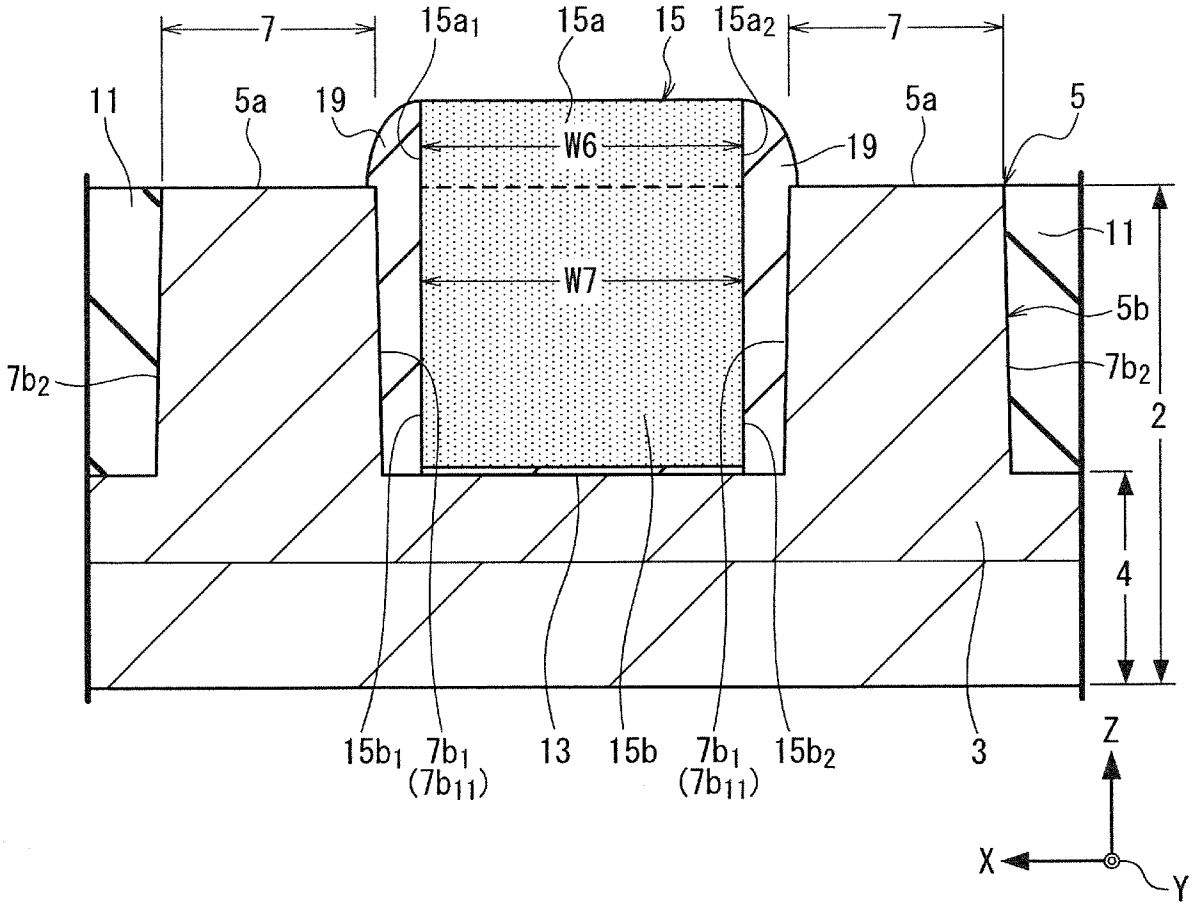
[図67]


7
6
7
11
5a
18
19
15a1
15a
15
15a2
5a
18
19
5
11
7b2
5b
7b2
2
4
13
3
Z
X
Y

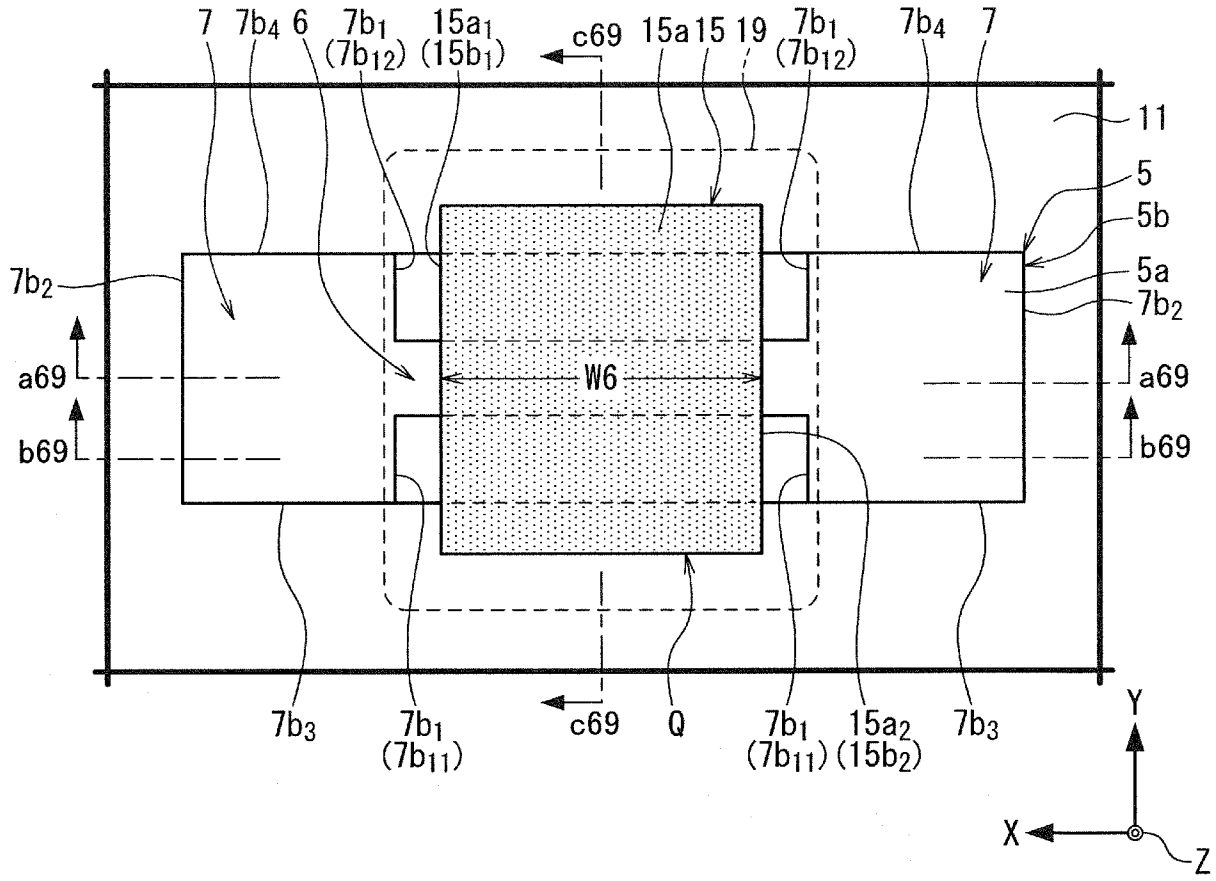
[図67A]


7
6
15
15a1
S1
15a
5a
5
18
19
13
Z
X
Y

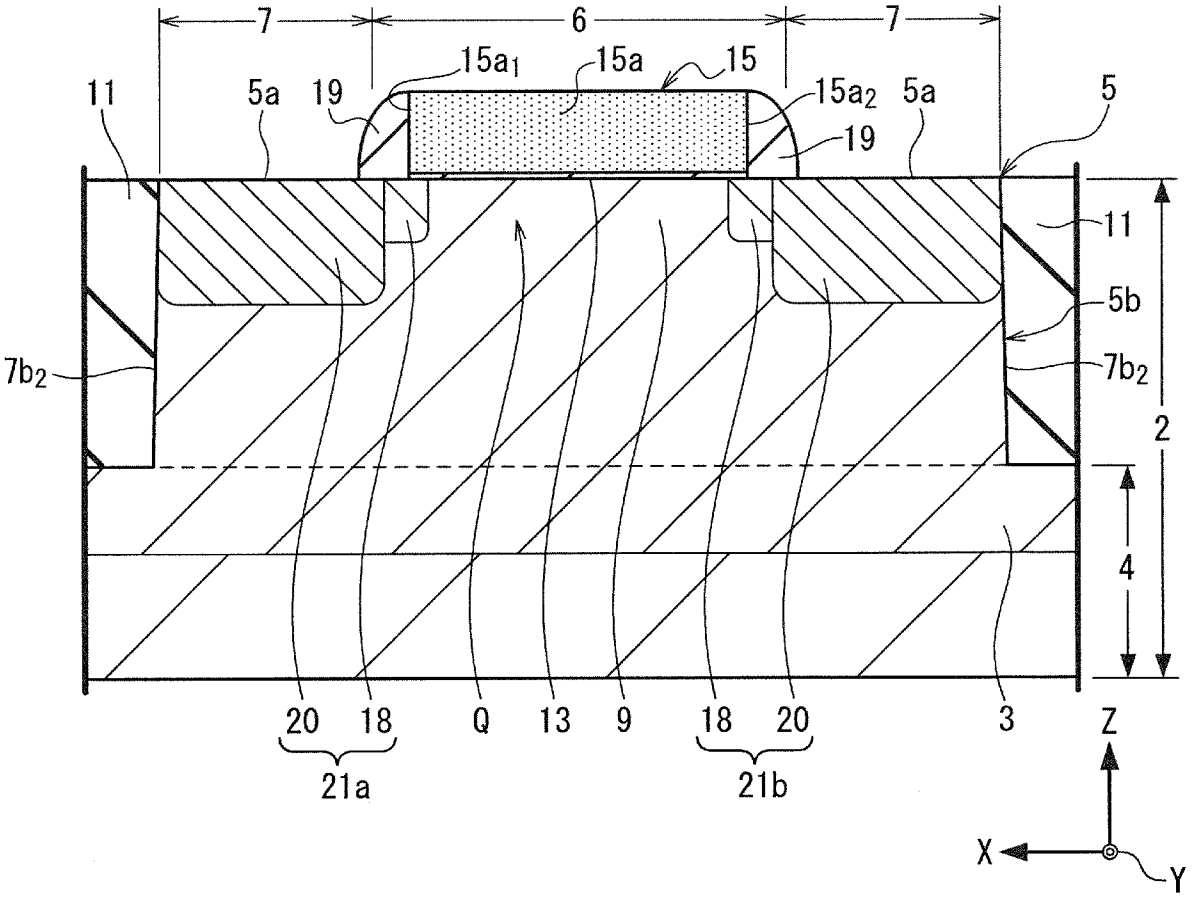
[図68]


7
15a1
15a
15
15a2
7
11
5a
19
W6
19
5a
5
11
W7
5b
7b2
7b2
2
4
15b1
7b1
(7b11)
13
15b
7b1
(7b11)
15b2
3
Z
X
Y

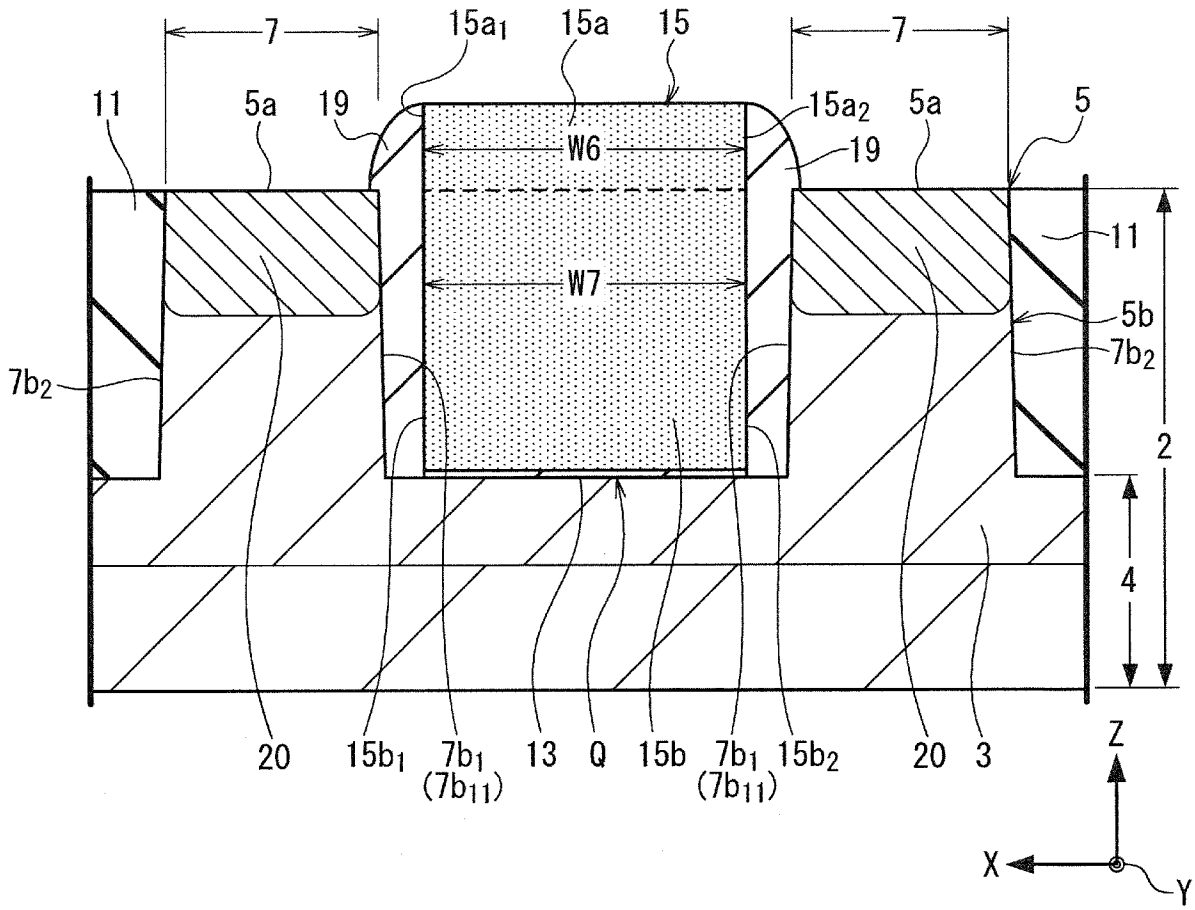
[図69]


7
7b4
6
7b1
(7b12)
15a1
(15b1)
c69
15a
15
19
7b1
(7b12)
7b4
7
11
5
5b
5a
7b2
7b2
a69
W6
a69
b69
b69
7b3
7b1
(7b11)
c69
Q
7b1
(7b11)
15a2
(15b2)
7b3
Y
X
Z

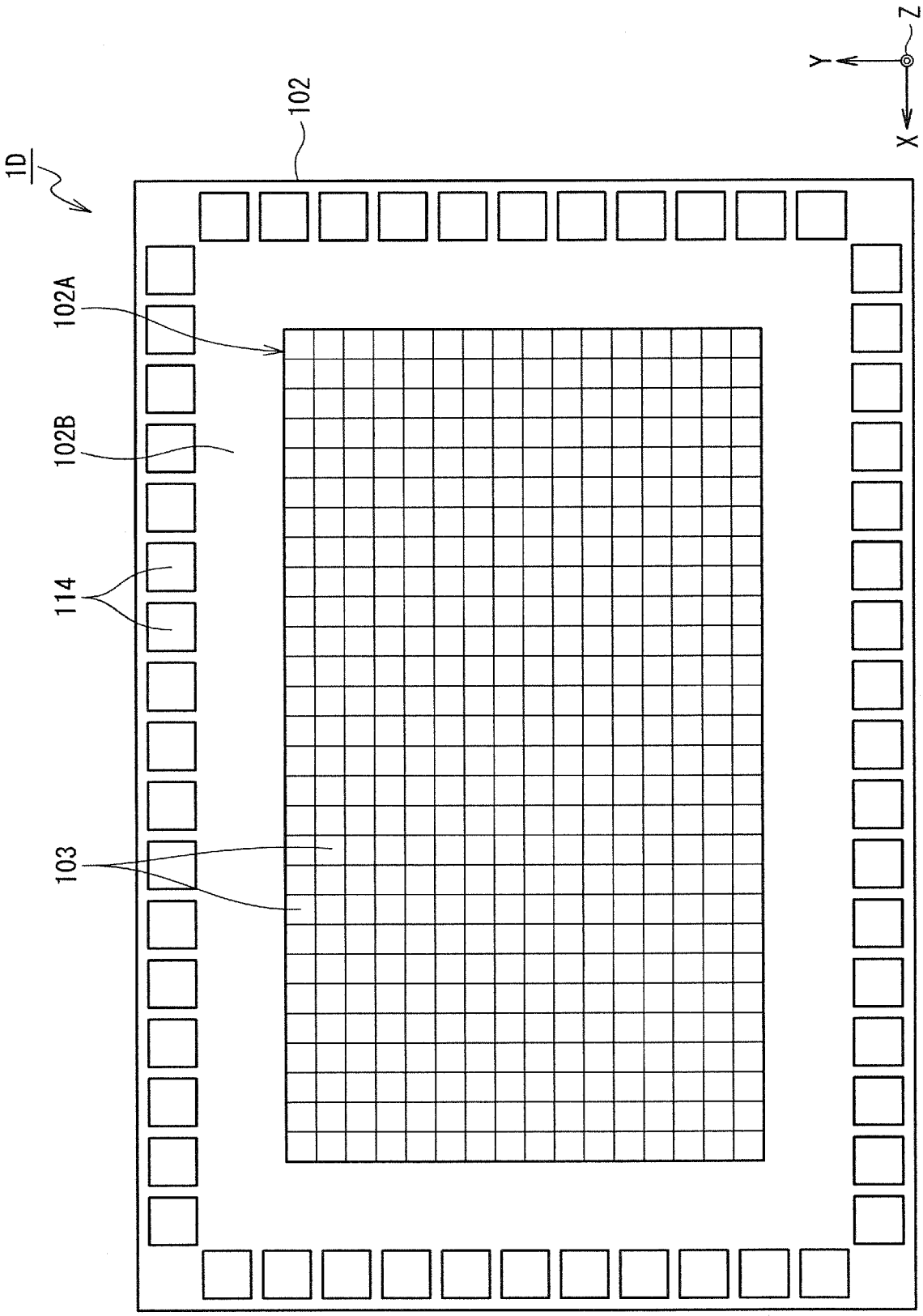
[図70]


7
6
7
15a1
15a
15
11
5a
19
15a2
5a
5
19
11
5b
7b2
7b2
2
4
20
18
Q
13
9
18
20
3
21a
21b
Z
X
Y

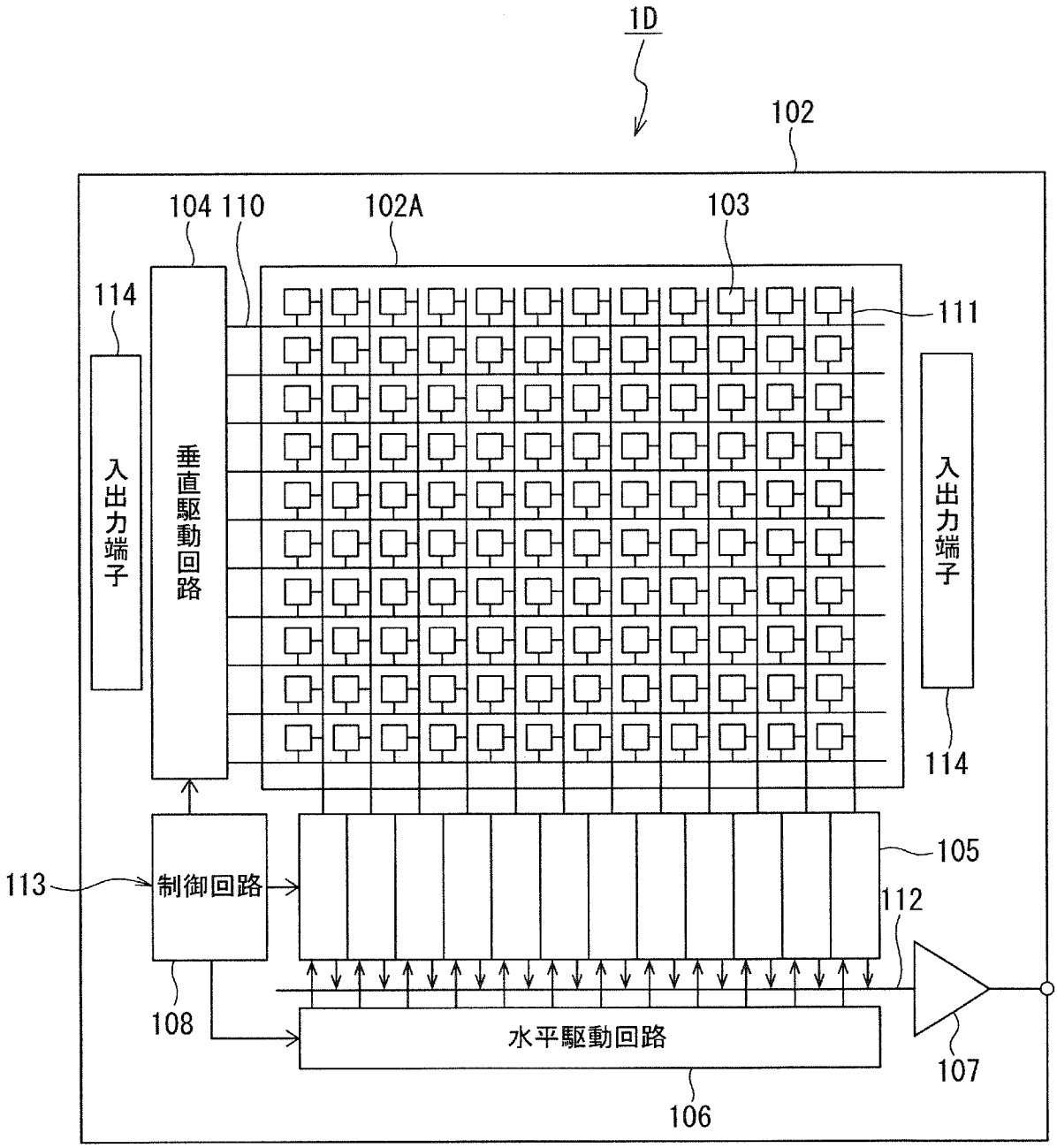
[図71]


7
15a1
15a
15
7
11
5a
19
15a2
5a
5
19
W6
W7
11
5b
7b2
7b2
2
4
20
15b1
7b1
(7b11)
13
Q
15b
7b1
(7b11)
15b2
20
3
Z
X
Y

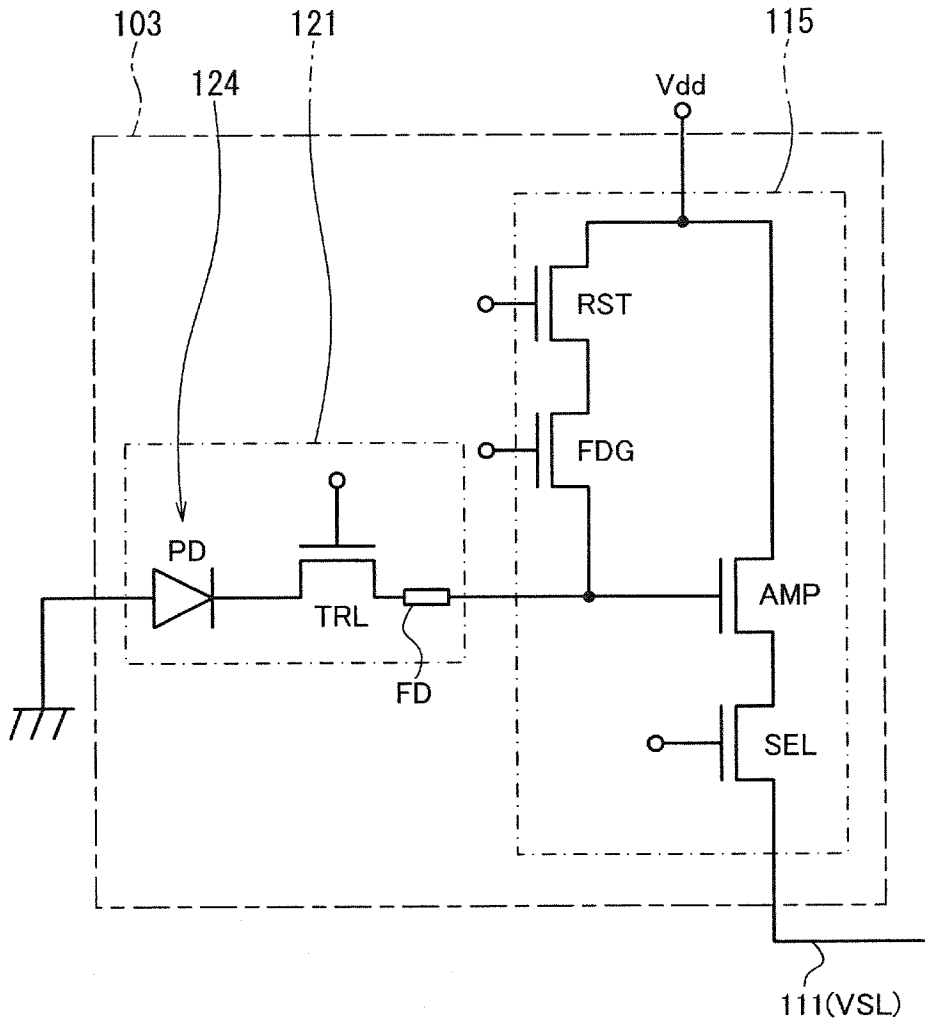
[図72]



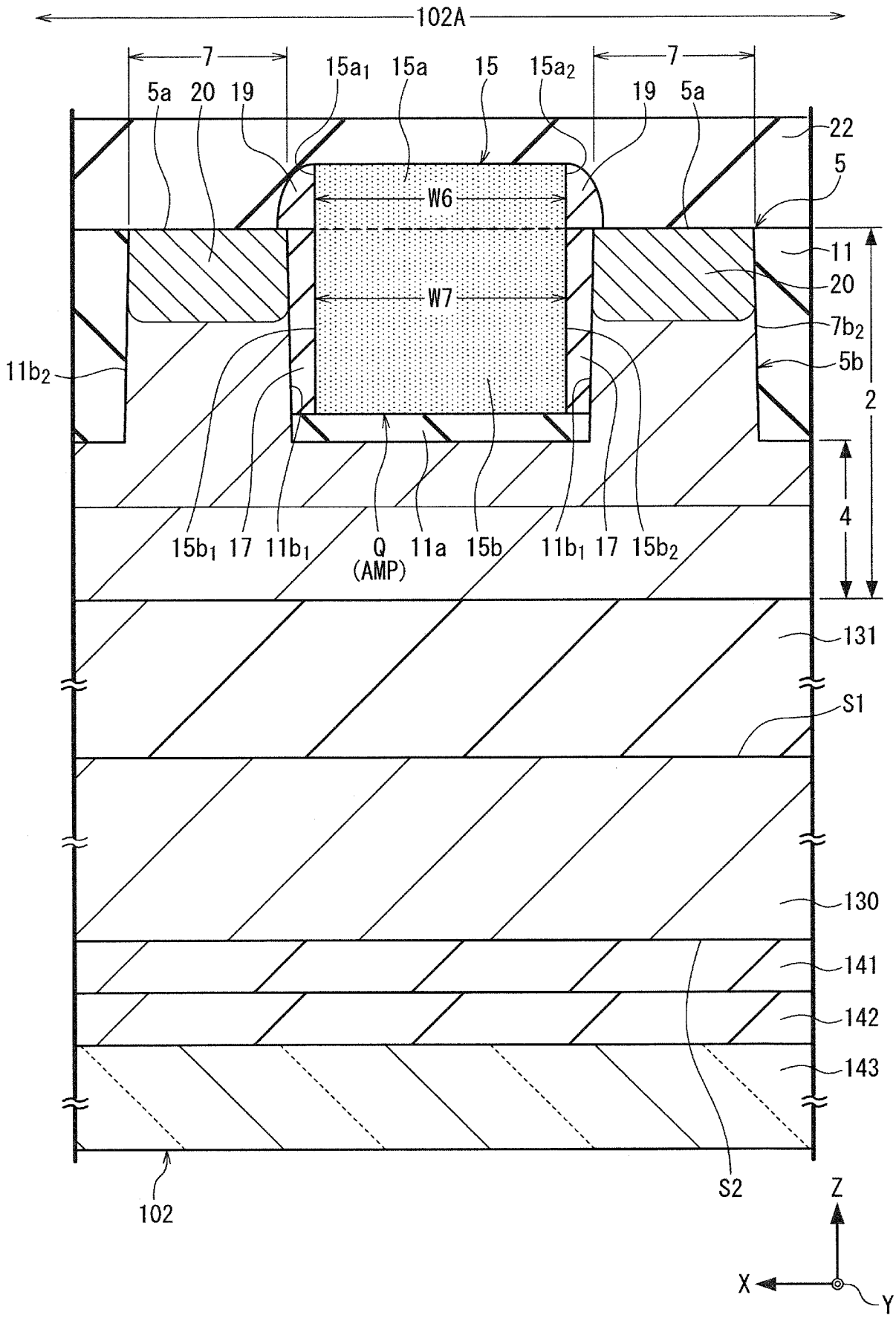
[図73]


1D
102
104
110
102A
103
114
111
入出力端子
垂直駆動回路
入出力端子
114
105
113
制御回路
112
108
水平駆動回路
107
106

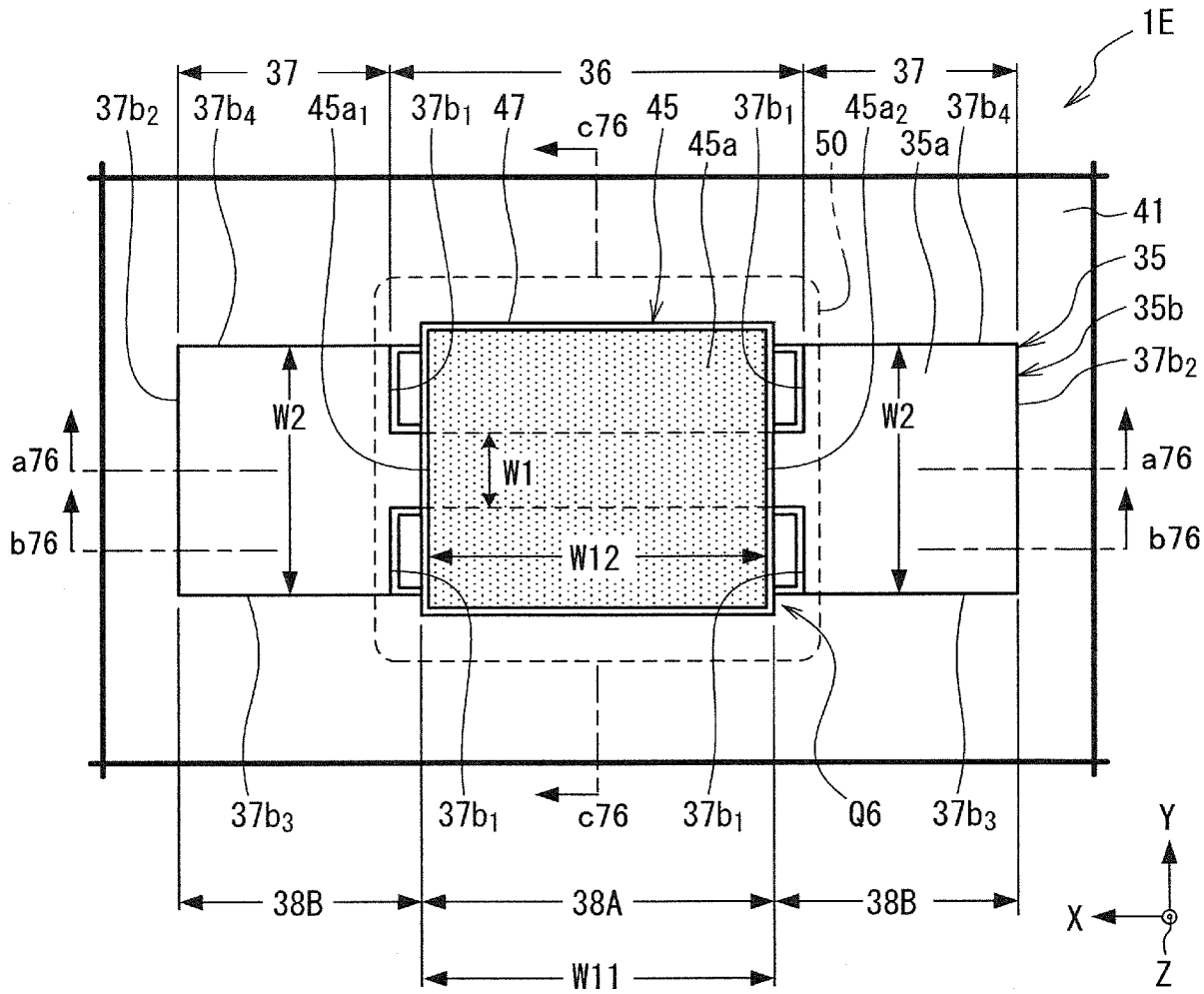
[図74]



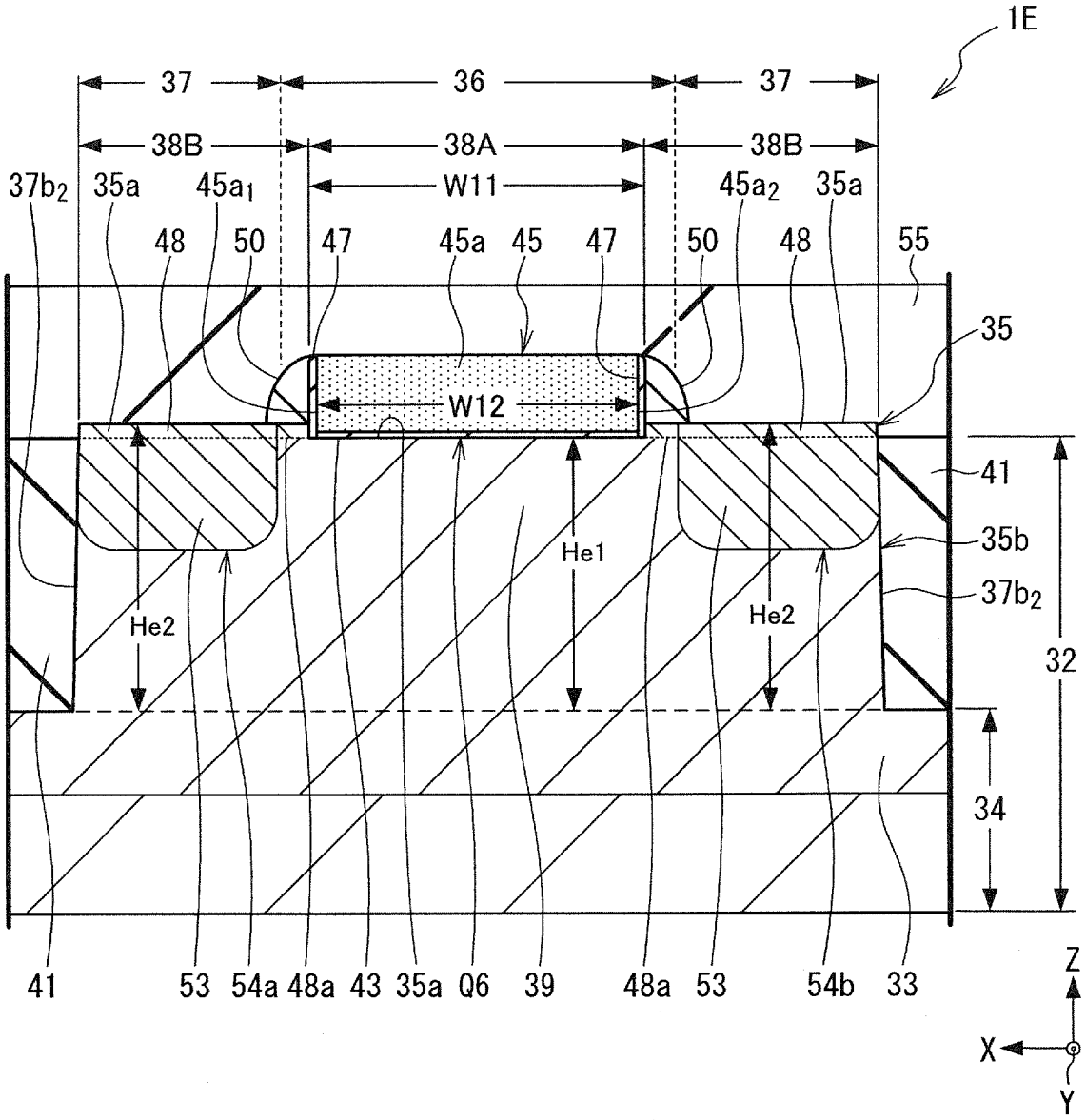
[図75]


102A
7
7
5a
20
19
15a1
15a
15
15a2
19
5a
22
5
W6
W7
11
20
7b2
5b
11b2
2
4
15b1
17
11b1
Q
(AMP)
11a
15b
11b1
17
15b2
131
S1
130
141
142
143
102
S2
Z
X
Y

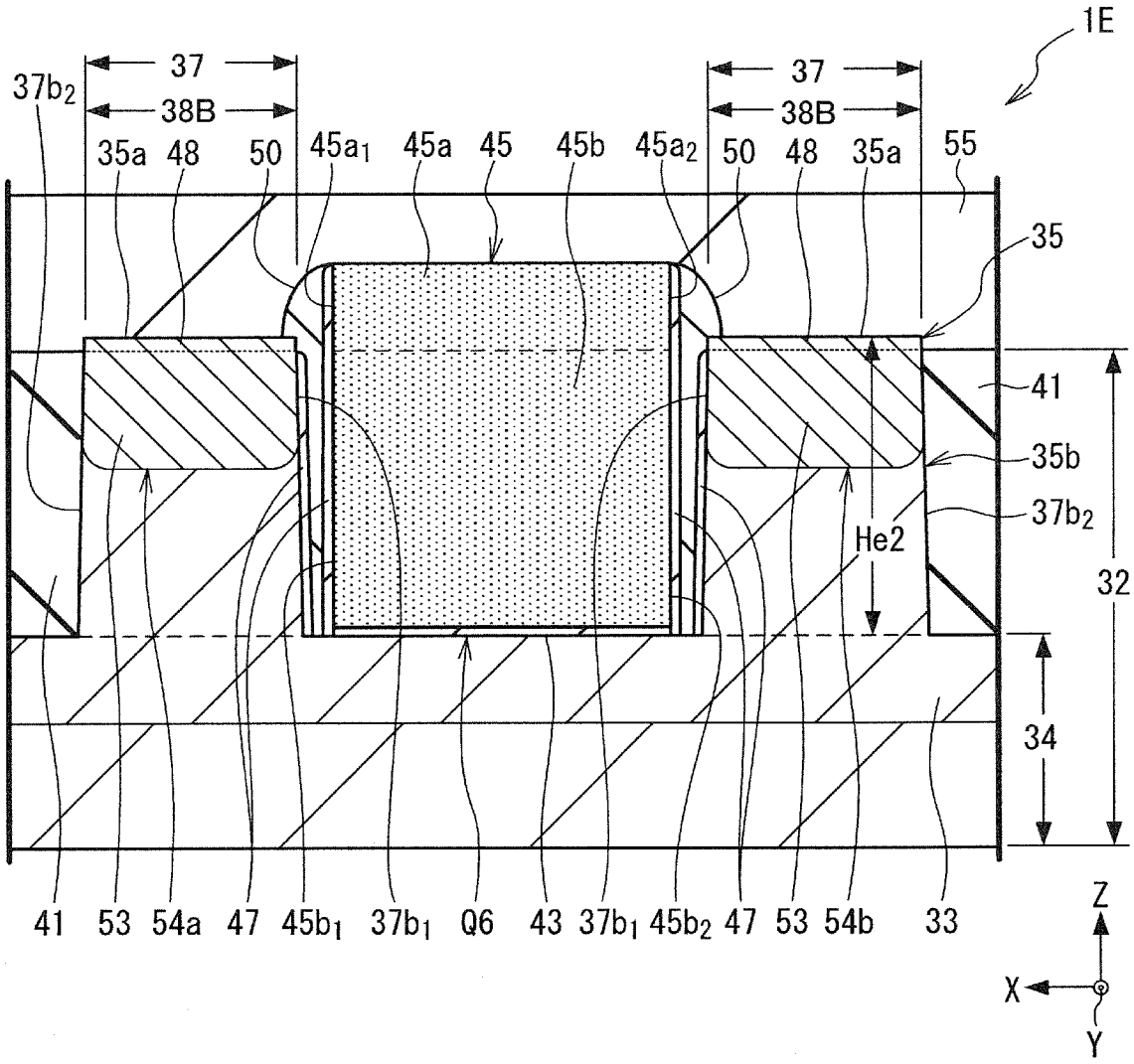
[図76]


1E
37
36
37
37b2
37b4
45a1
37b1
47
c76
45
45a
37b1
45a2
37b4
50
35a
41
35
35b
37b2
W2
W2
W1
W12
a76
b76
a76
b76
37b3
37b1
c76
37b1
Q6
37b3
38B
38A
38B
W11
Y
X
Z

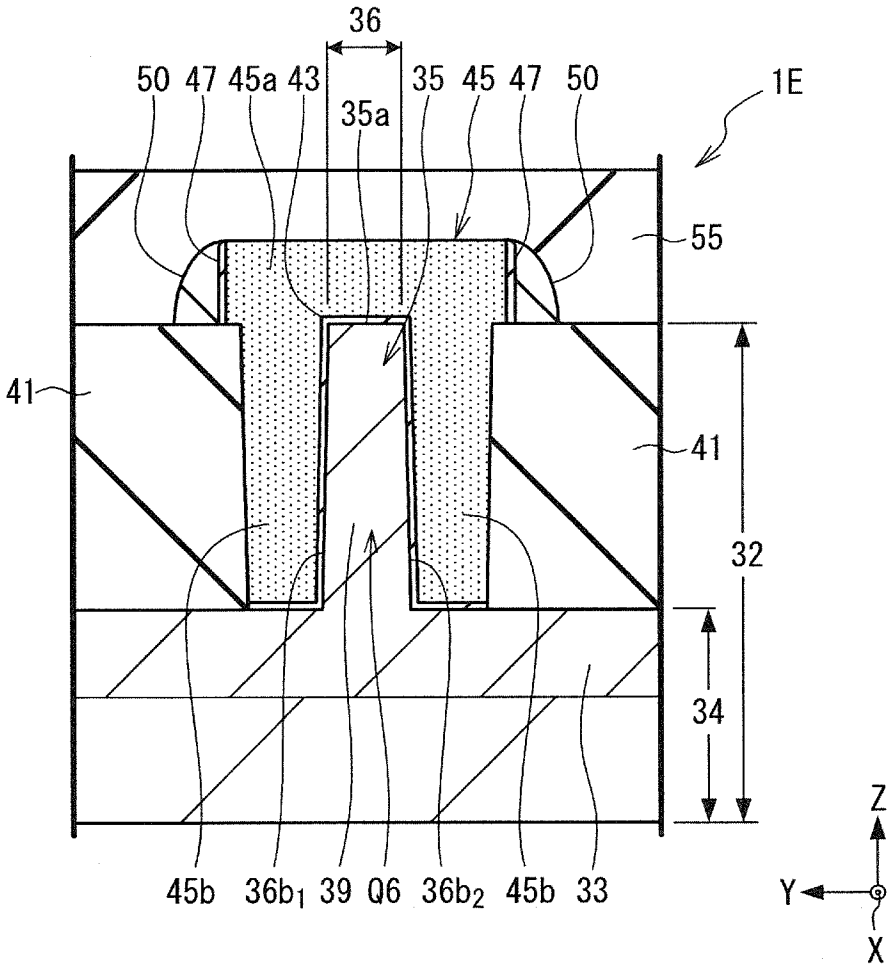
[図77]


1E
37
36
37
38B
38A
38B
W11
37b2
35a
45a1
45a2
35a
48
50
47
45a
45
47
50
48
55
35
W12
41
35b
37b2
He1
He2
He2
32
34
41
53
54a
48a
43
35a
Q6
39
48a
53
54b
33
Z
X
Y

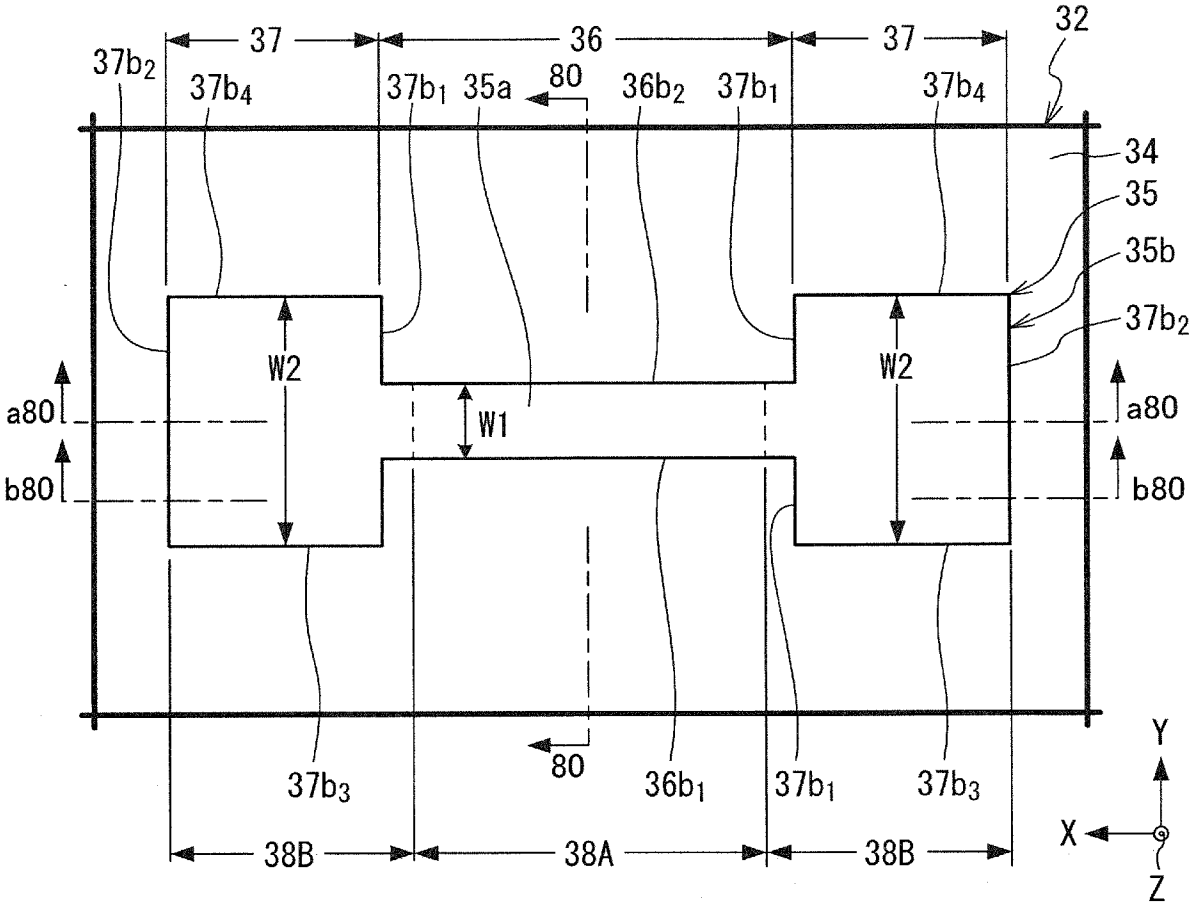
[図78]


1E
37
38B
37b2
35a
48
50
45a1
45a
45
45b
45a2
55
35
41
35b
37b2
He2
32
34
41
53
54a
47
45b1
37b1
Q6
43
37b1
45b2
47
53
54b
33
Z
X
Y

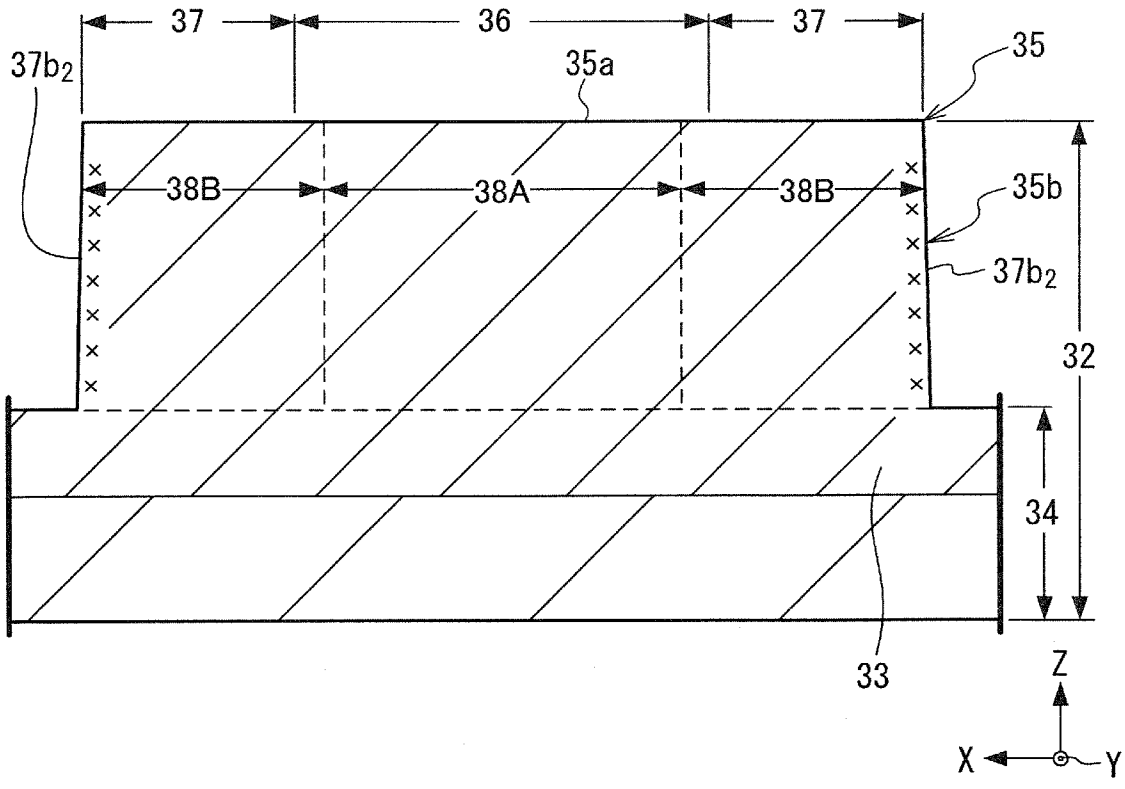
[図79]


36
50
47
45a
43
35a
35
45
47
50
1E
55
41
41
32
34
45b
36b1
39
Q6
36b2
45b
33
Z
Y
X

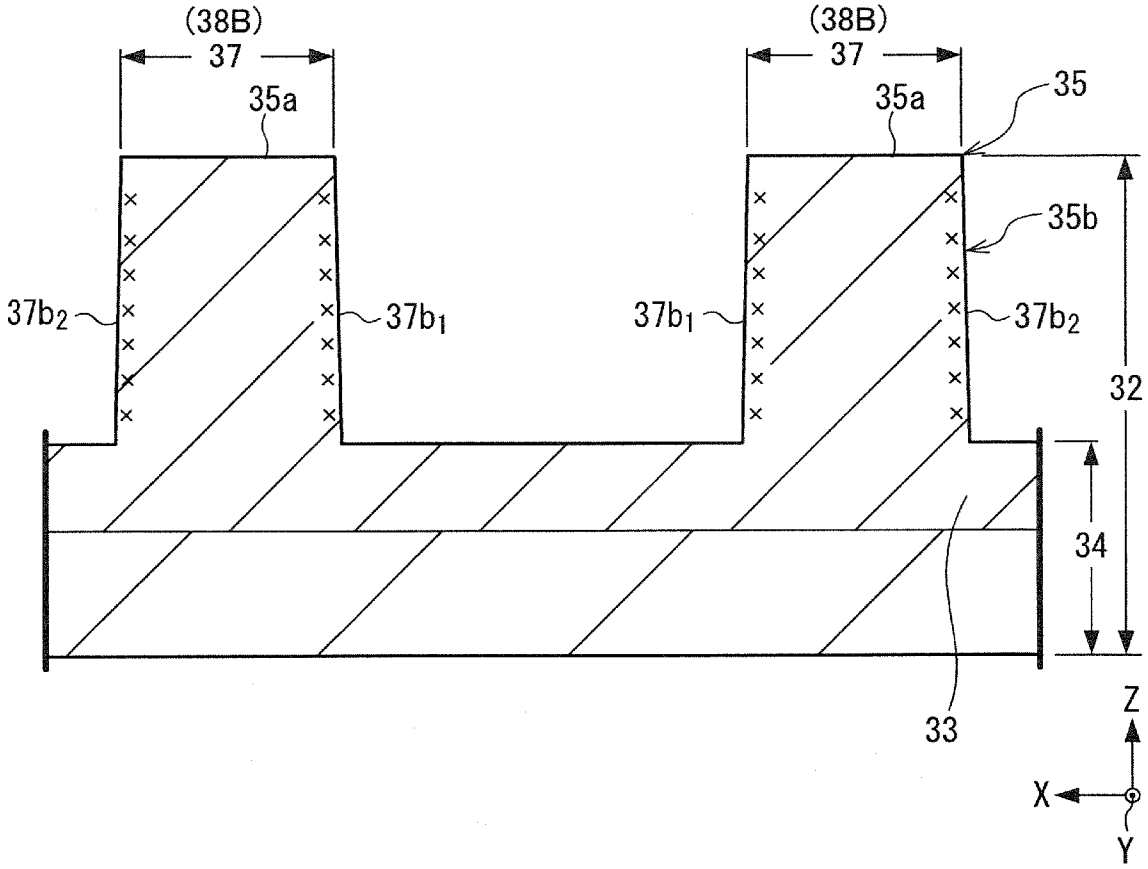
[図80]


37
36
37
32
37b2
37b4
37b1
35a
80
36b2
37b1
37b4
34
35
35b
37b2
W2
W2
W1
a80
b80
a80
b80
37b3
80
36b1
37b1
37b3
38B
38A
38B
Y
X
Z

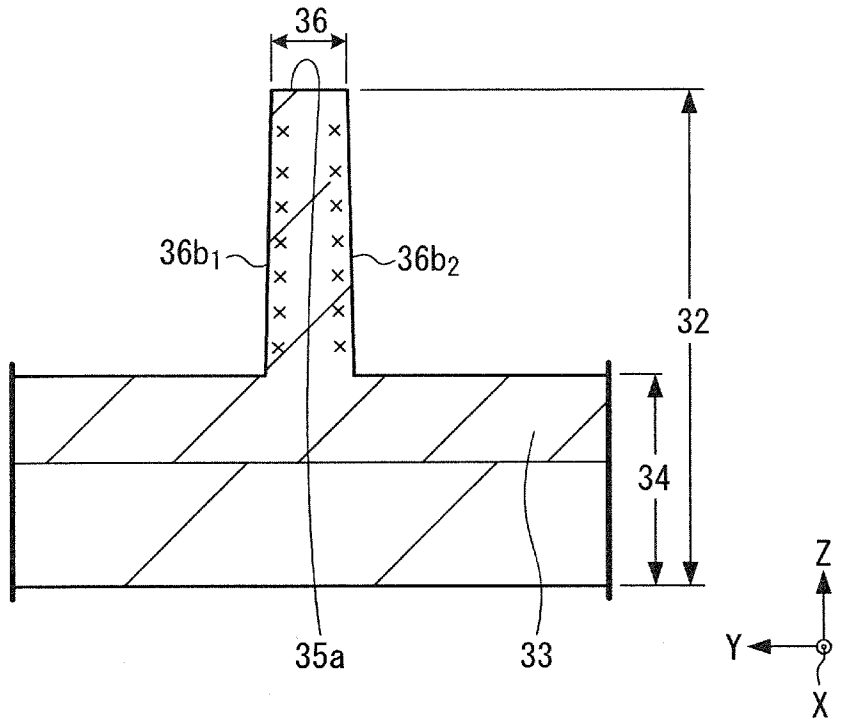
[図81]


37
36
37
37b2
35a
35
38B
38A
38B
35b
37b2
32
34
33
Z
X
Y

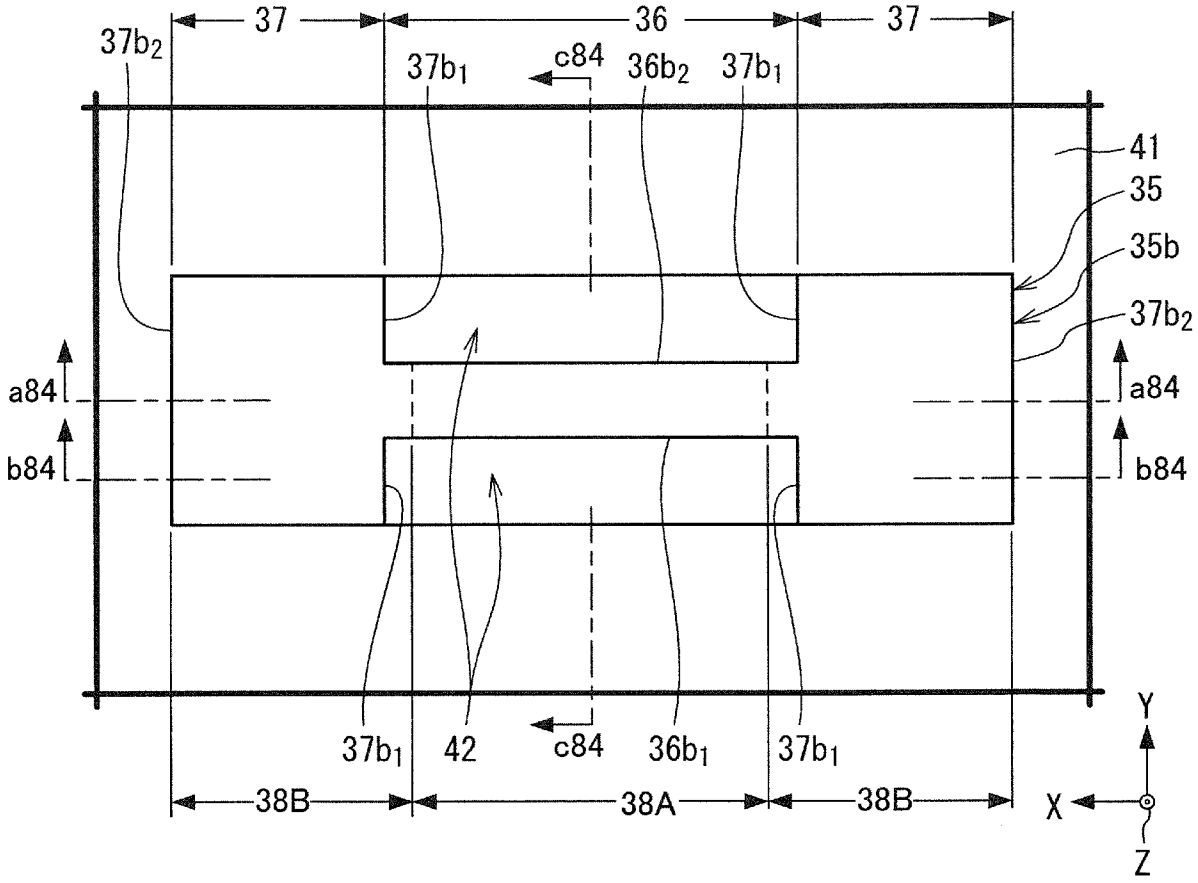
[図82]


(38B)
37
35a
(38B)
37
35a
35
35b
37b2
37b1
37b1
37b2
32
34
33
Z
X
Y

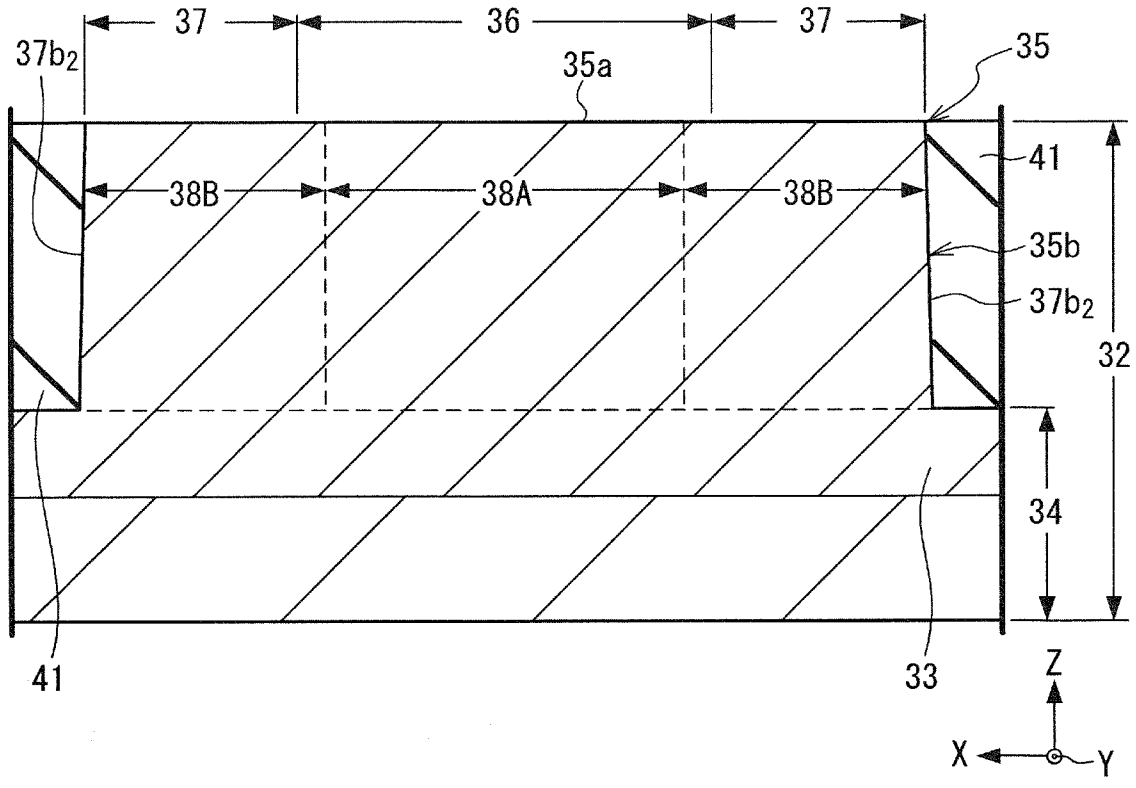
[図83]


36
36b1
36b2
32
34
35a
33
Z
Y
X

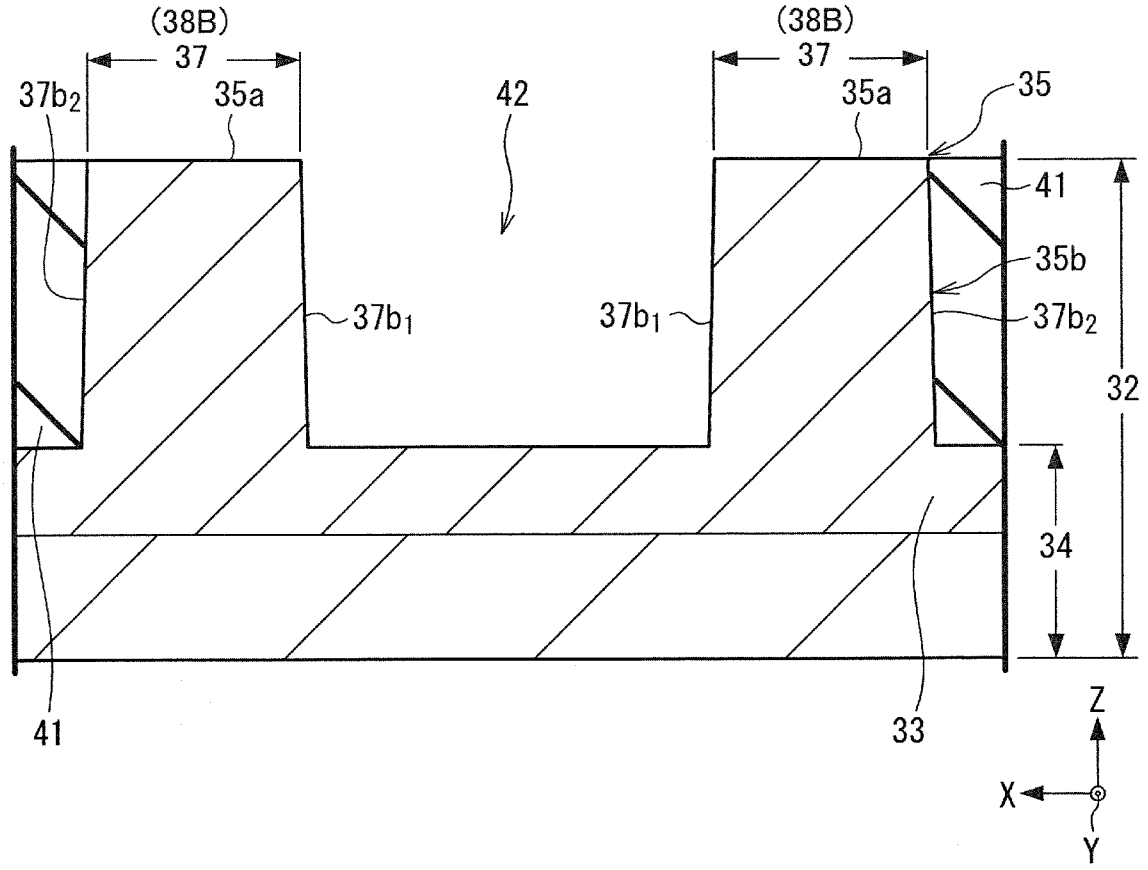
[図84]


37
36
37
37b2
37b1
c84
36b2
37b1
41
35
35b
37b2
a84
b84
a84
b84
37b1
42
c84
36b1
37b1
38B
38A
38B
Y
X
Z

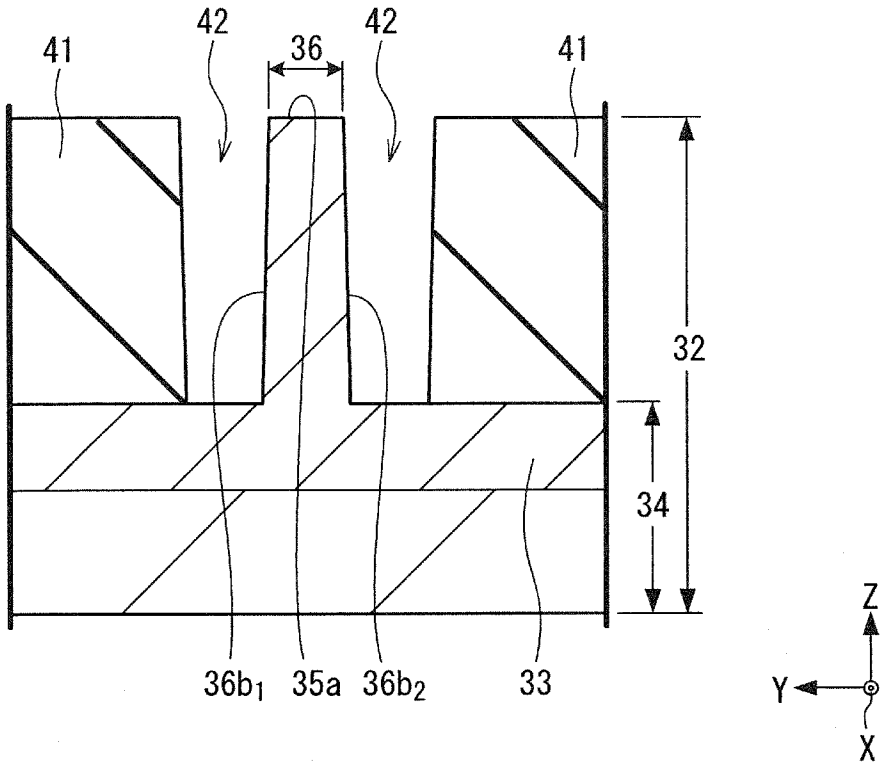
[図85]


37
36
37
37b2
35a
35
41
38B
38A
38B
35b
37b2
32
34
41
33
Z
X
Y

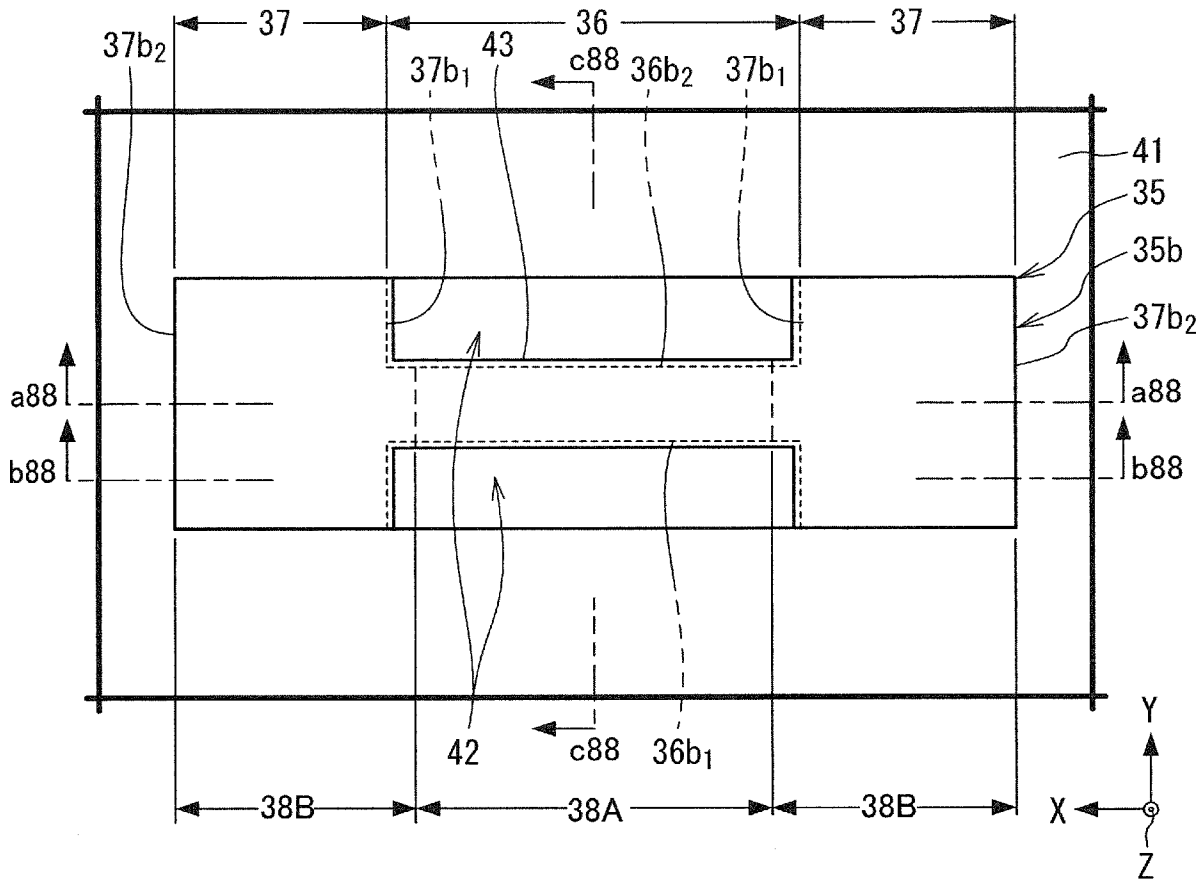
[図86]


(38B)
37
(38B)
37
37b2
35a
42
35a
35
41
35b
37b1
37b1
37b2
32
34
41
33
Z
X
Y

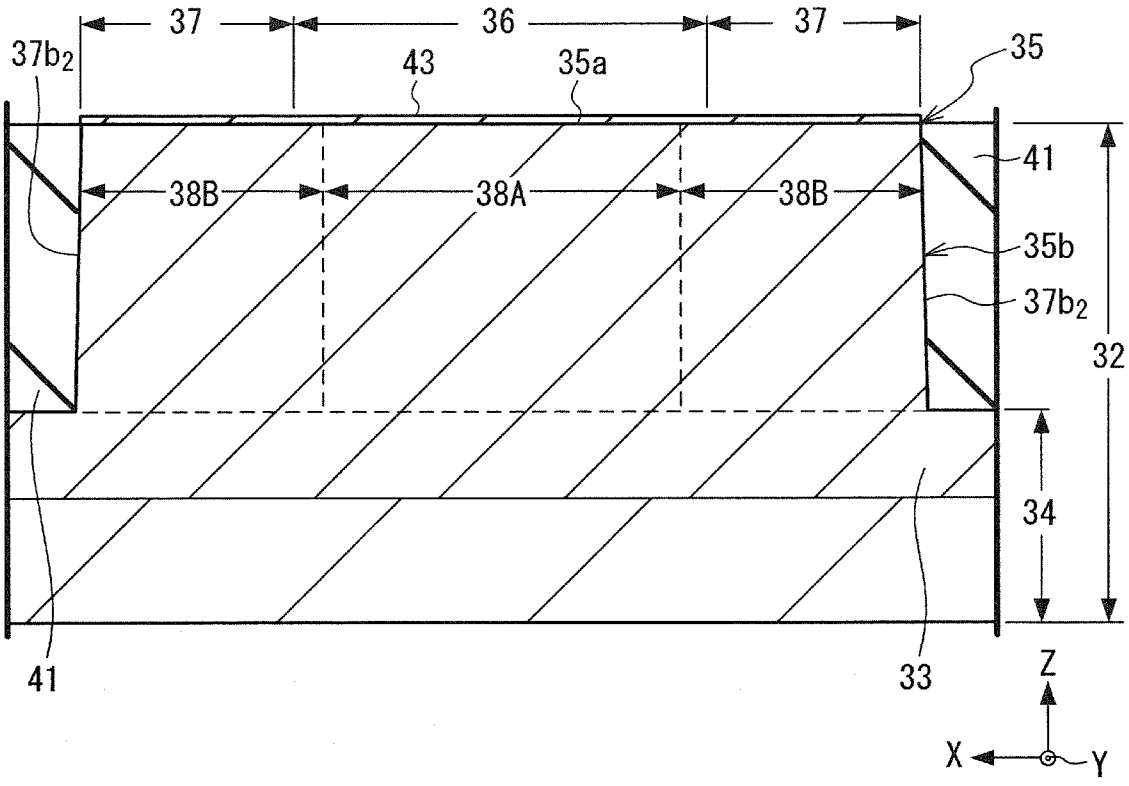
[図87]


41
42
36
42
41
32
34
36b1
35a
36b2
33
Z
Y
X

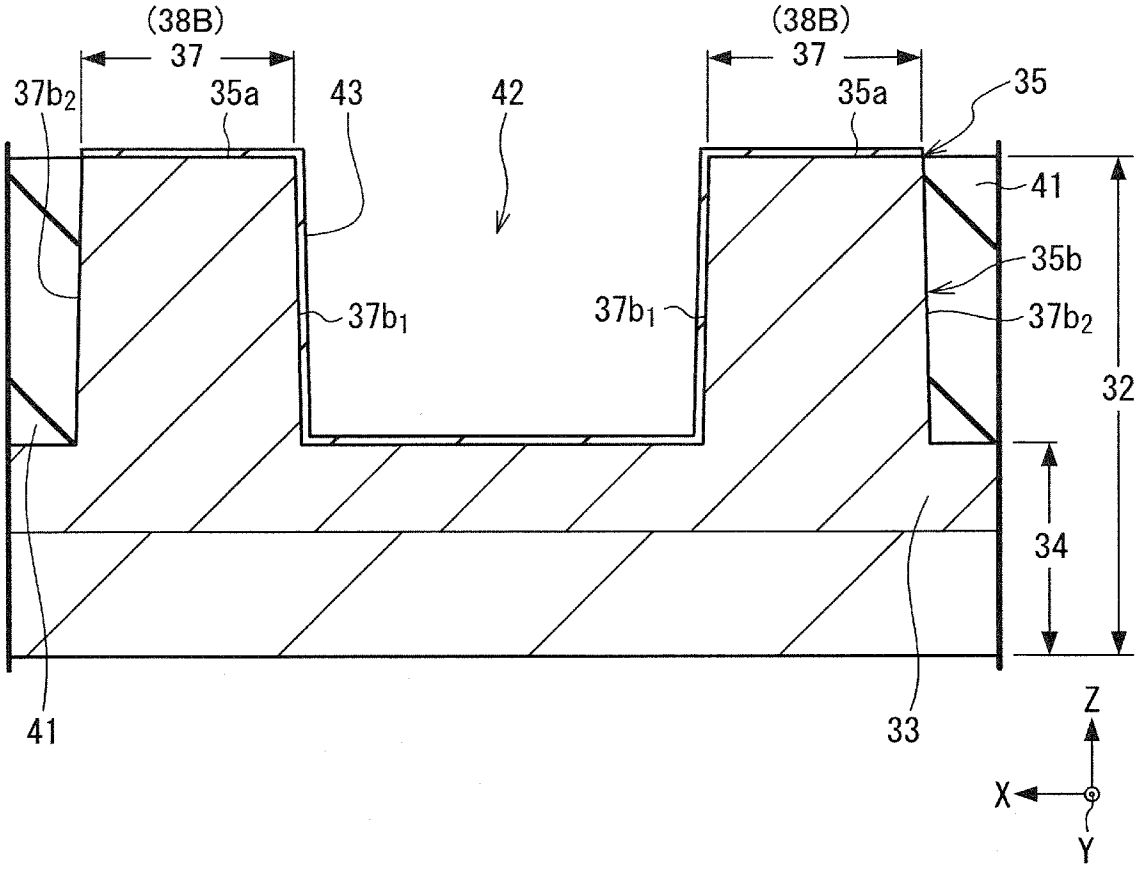
[図88]


37
36
37
37b2
43
c88
37b1
36b2
37b1
41
35
35b
37b2
a88
b88
a88
b88
42
c88
36b1
38B
38A
38B
Y
X
Z

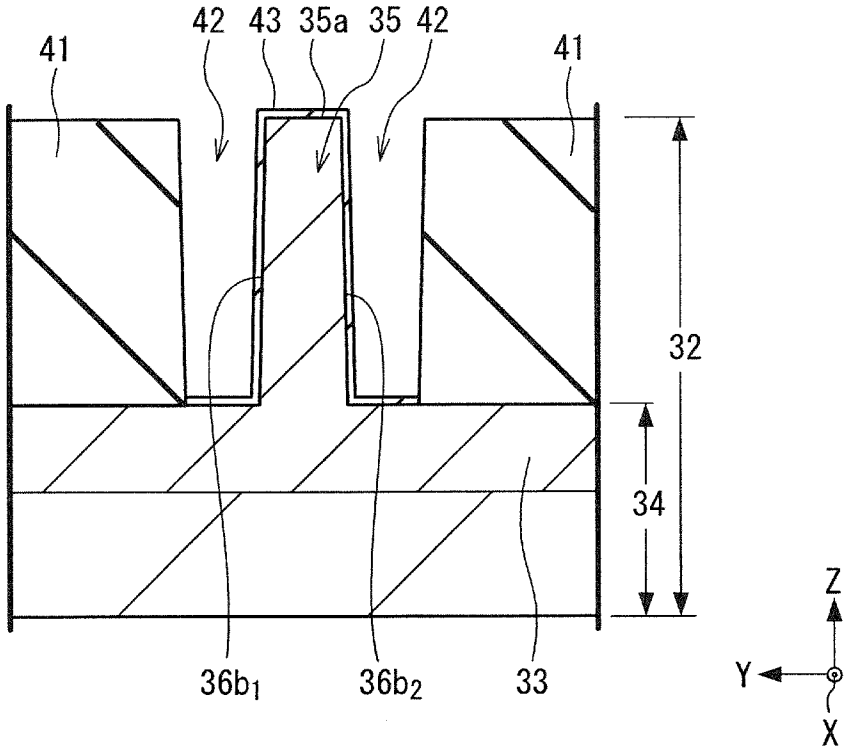
[図89]


37
36
37
37b2
43
35a
35
41
38B
38A
38B
35b
37b2
32
34
41
33
Z
X
Y

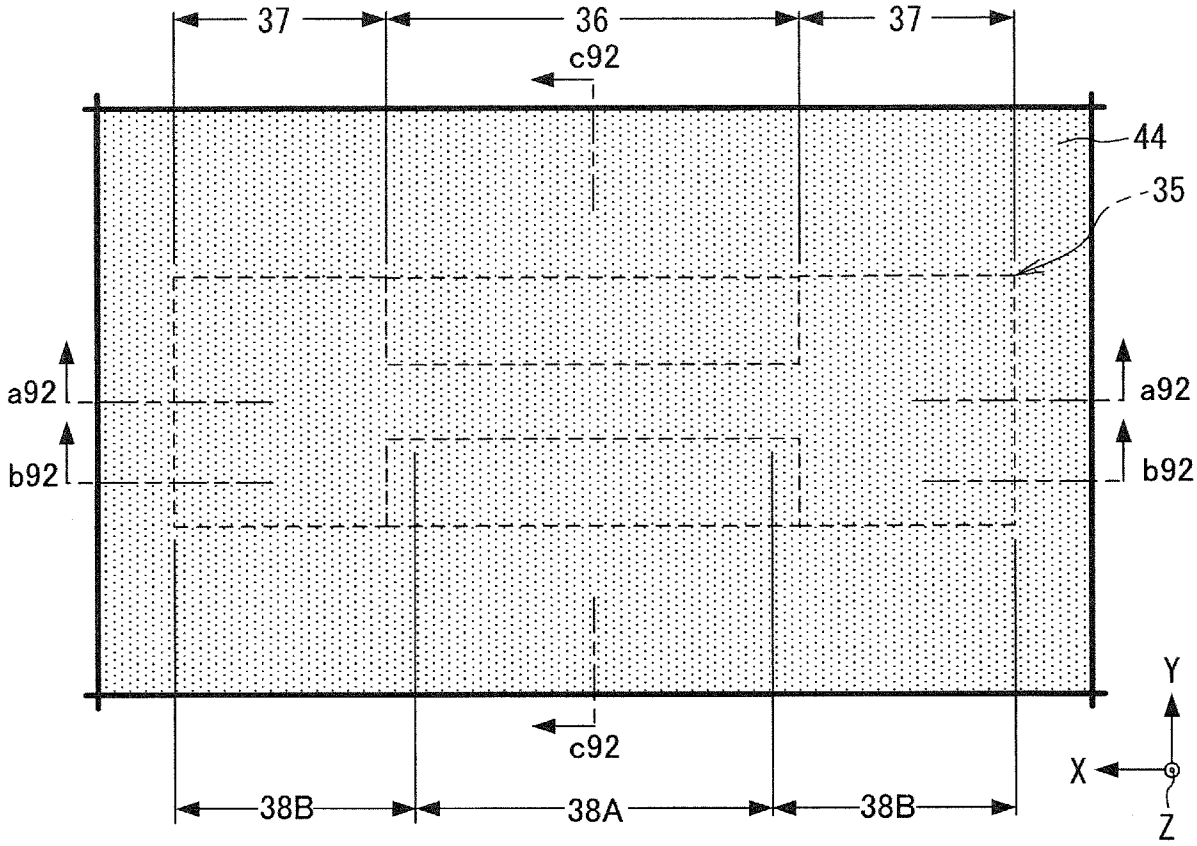
[図90]


(38B)
37
(38B)
37
37b2
35a
43
42
35a
35
41
35b
37b1
37b1
37b2
32
34
41
33
Z
X
Y

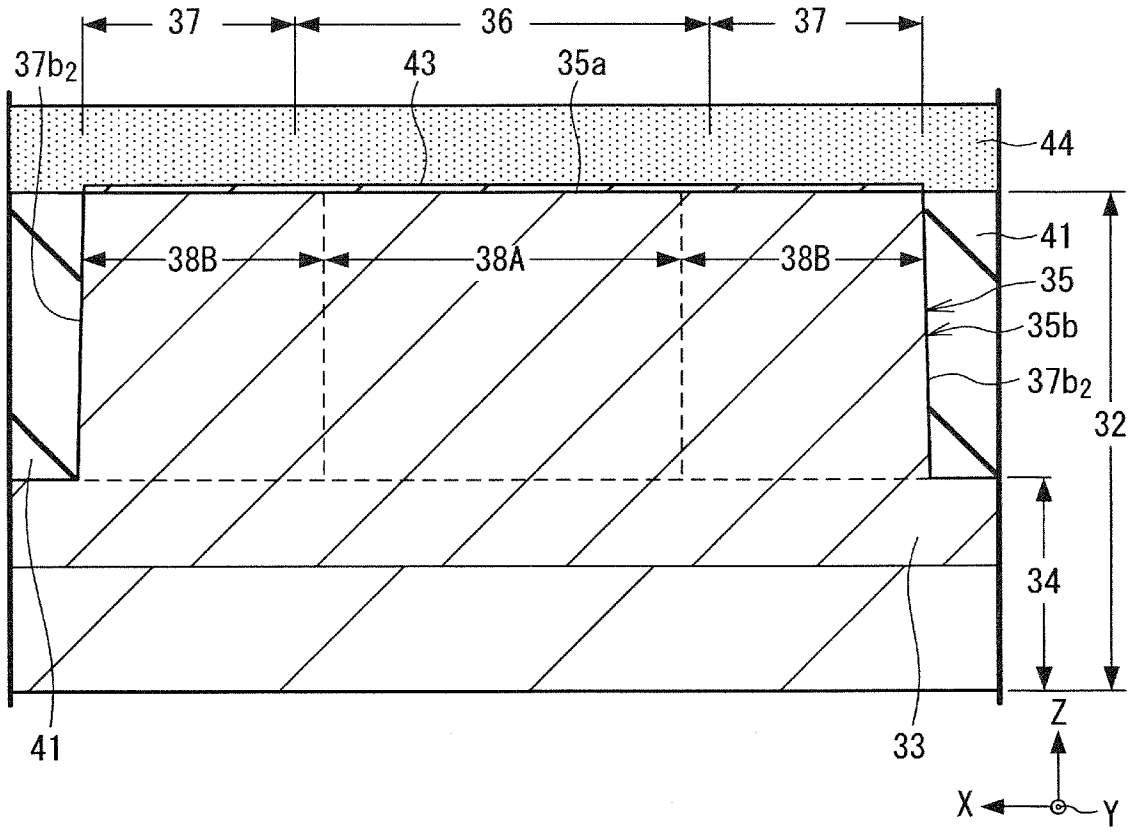
[図91]


41
42
43
35a
35
42
41
32
34
36b1
36b2
33
Z
Y
X

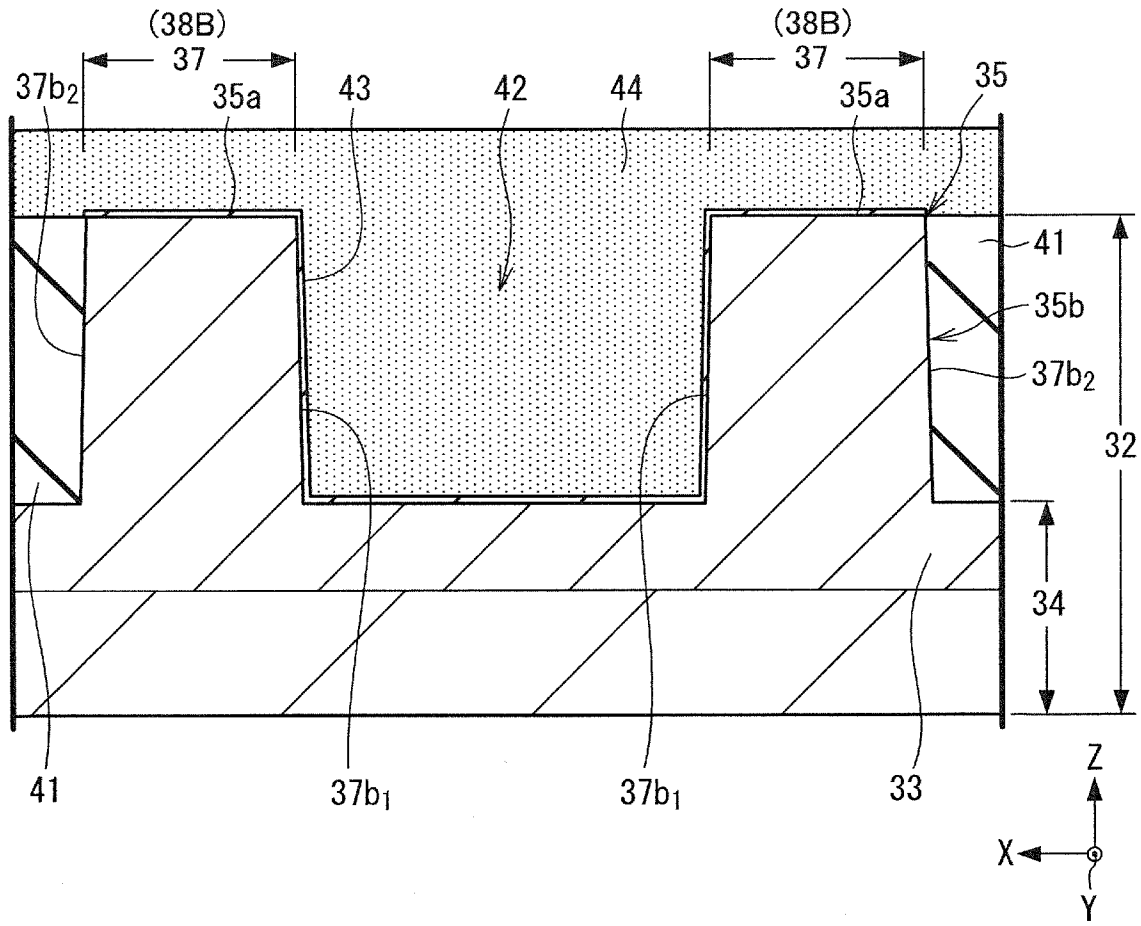
[図92]


37
36
37
c92
44
35
a92
b92
a92
b92
c92
38B
38A
38B
Y
X
Z

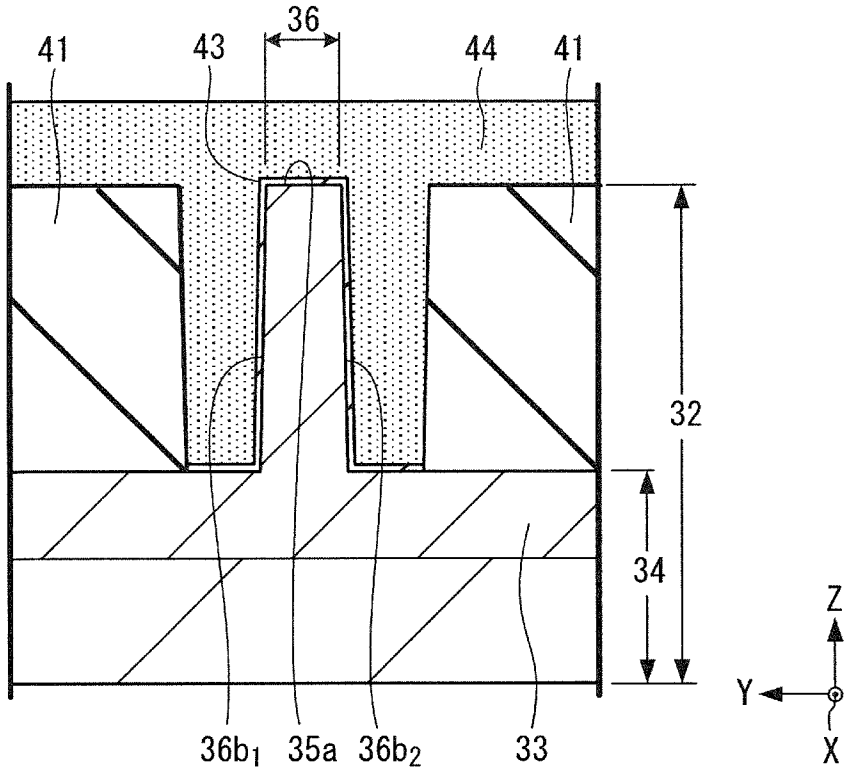
[図93]


37
36
37
37b2
43
35a
44
41
38B
38A
38B
35
35b
37b2
32
34
41
33
Z
X
Y

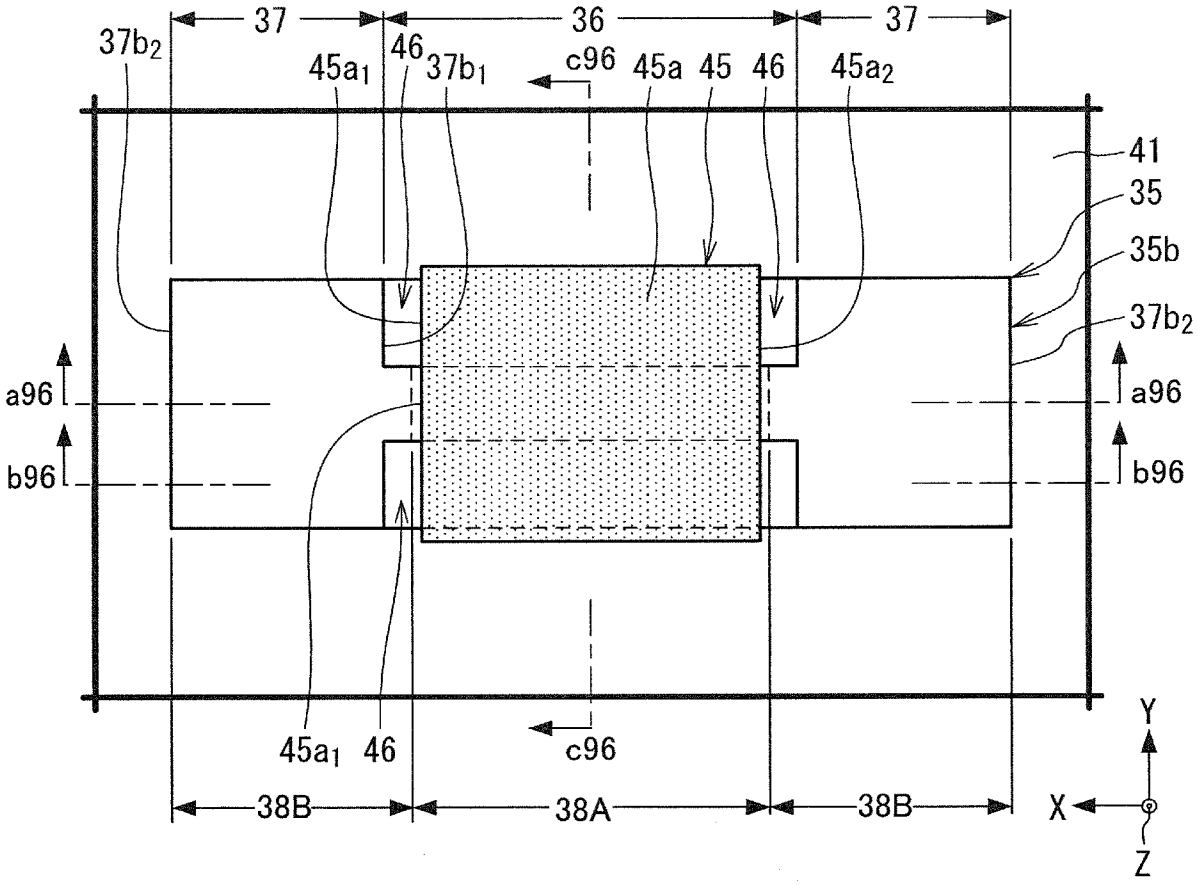
[図94]


(38B)
37
(38B)
37
37b2
35a
43
42
44
35a
35
41
35b
37b2
32
34
41
37b1
37b1
33
Z
X
Y

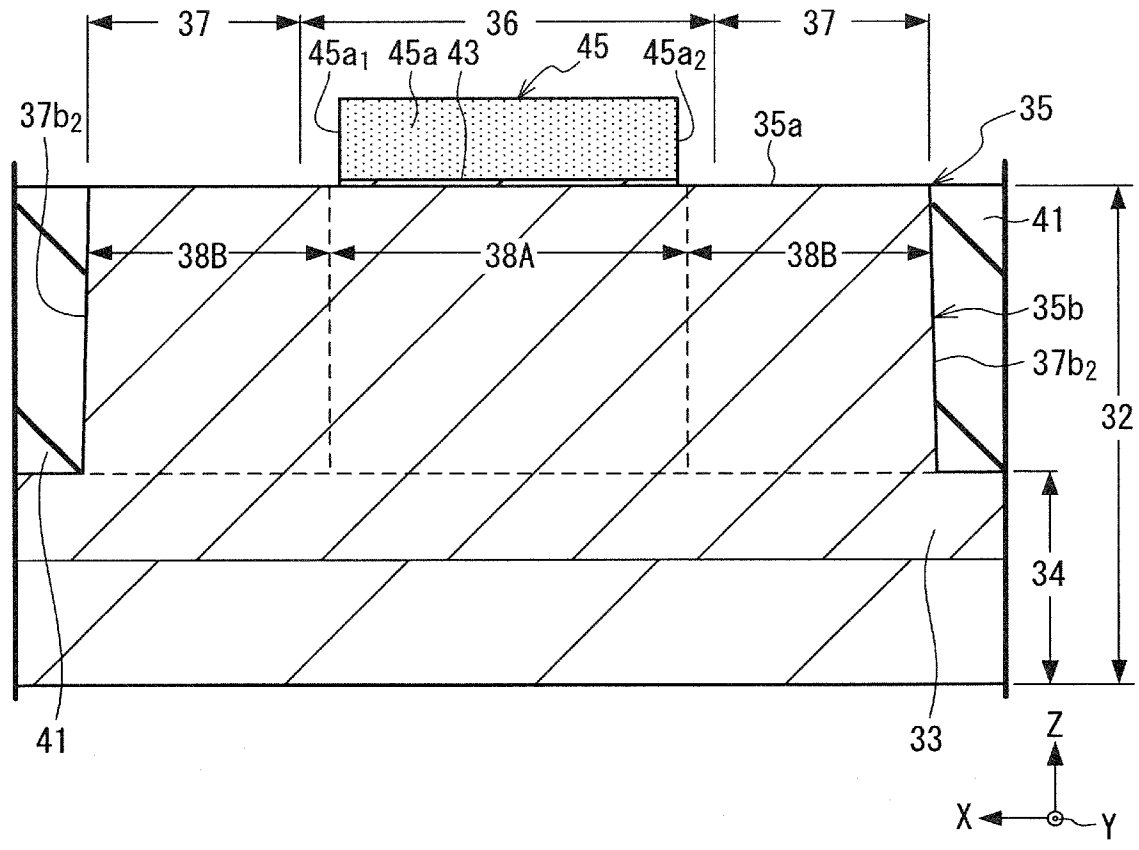
[図95]


36
41
43
44
41
32
34
36b1
35a
36b2
33
Z
Y
X

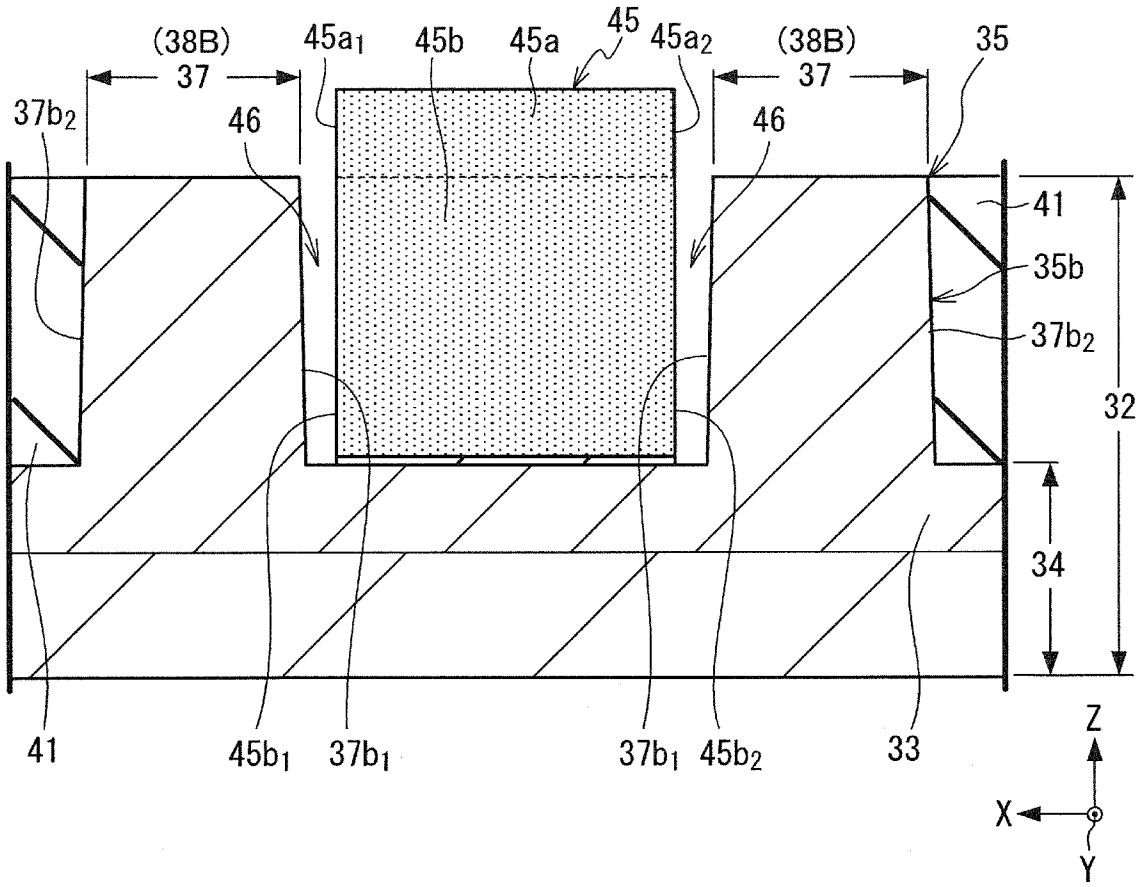
[図96]


37
36
37
37b2
45a1
46
37b1
c96
45a
45
46
45a2
41
35
35b
37b2
a96
b96
a96
b96
45a1
46
c96
38B
38A
38B
Y
X
Z

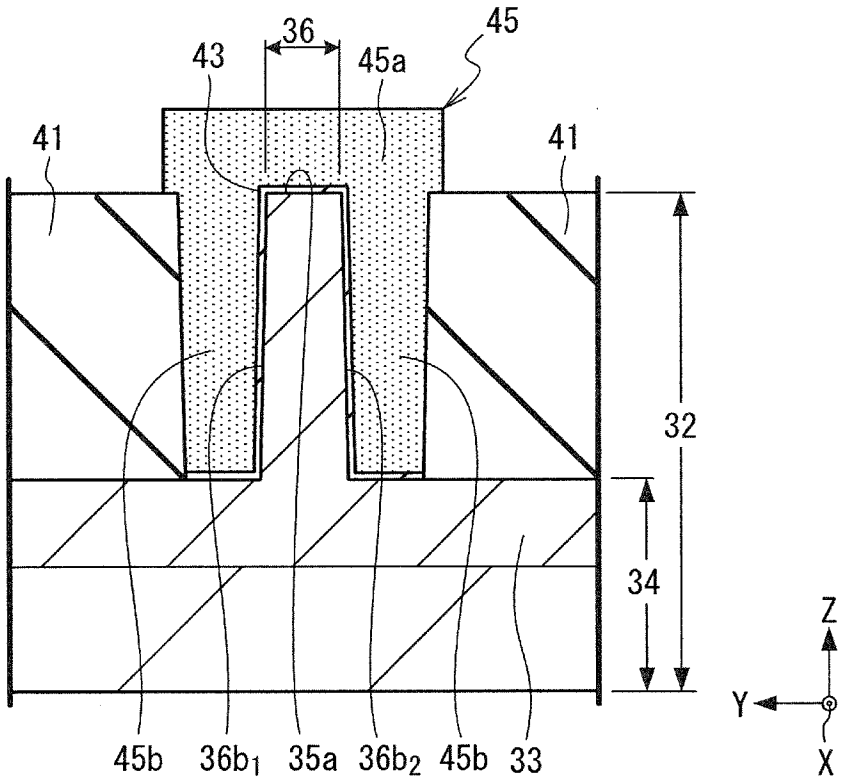
[図97]


37
36
37
45a1
45a
43
45
45a2
37b2
35a
35
41
38B
38A
38B
35b
37b2
32
34
41
33
Z
X
Y

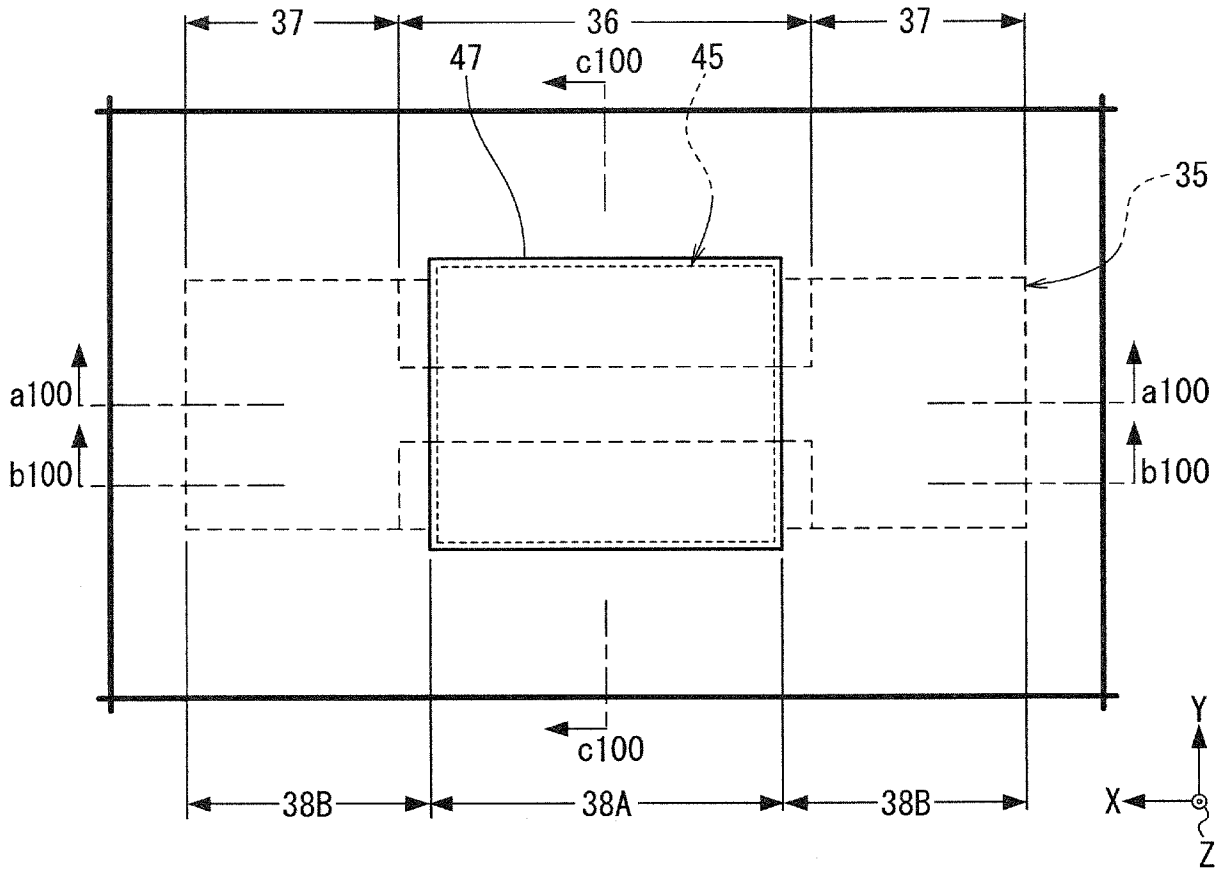
[図98]


(38B)
37
45a1
45b
45a
45
45a2
(38B)
37
35
37b2
46
46
41
35b
37b2
32
34
41
45b1
37b1
37b1
45b2
33
Z
X
Y

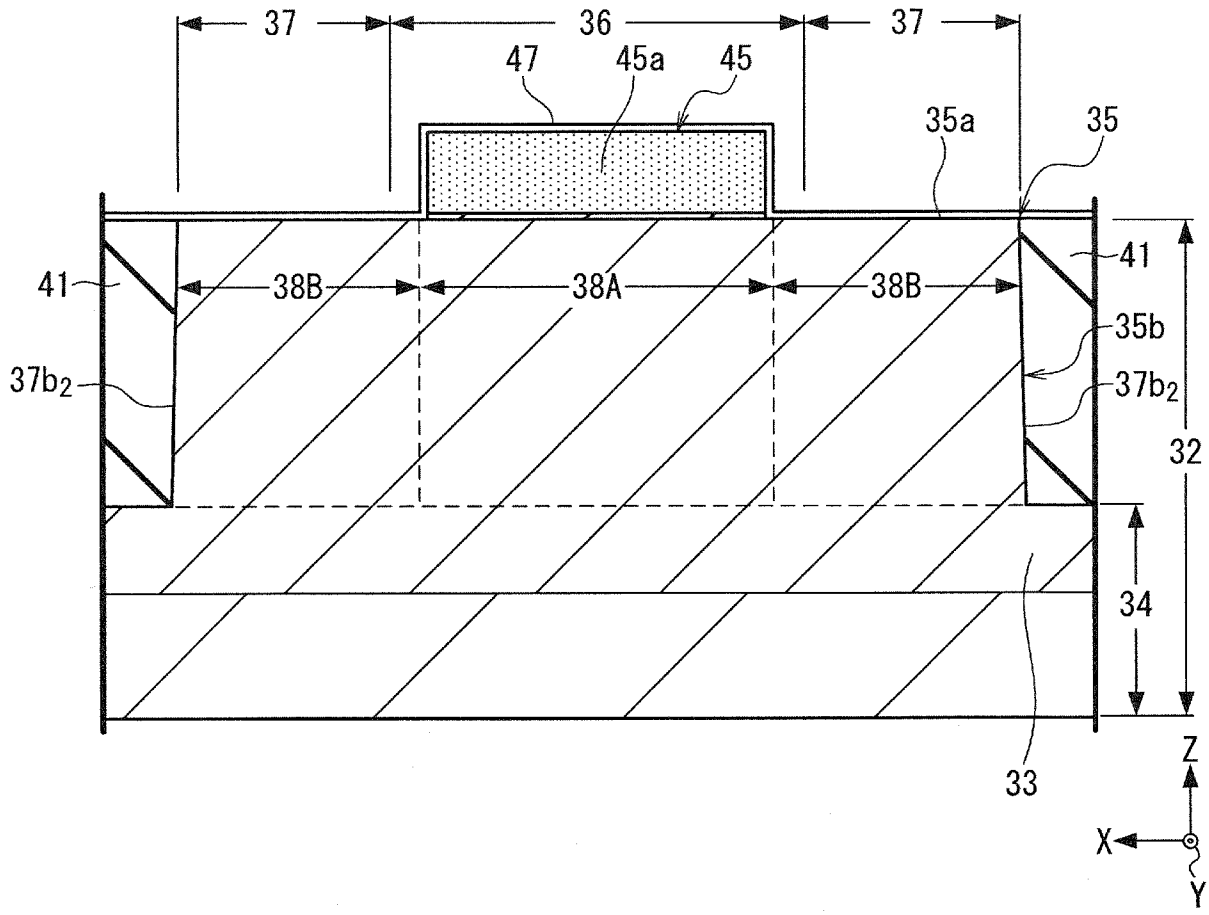
[図99]


45
36
43
45a
41
41
32
34
45b
36b1
35a
36b2
45b
33
Z
Y
X

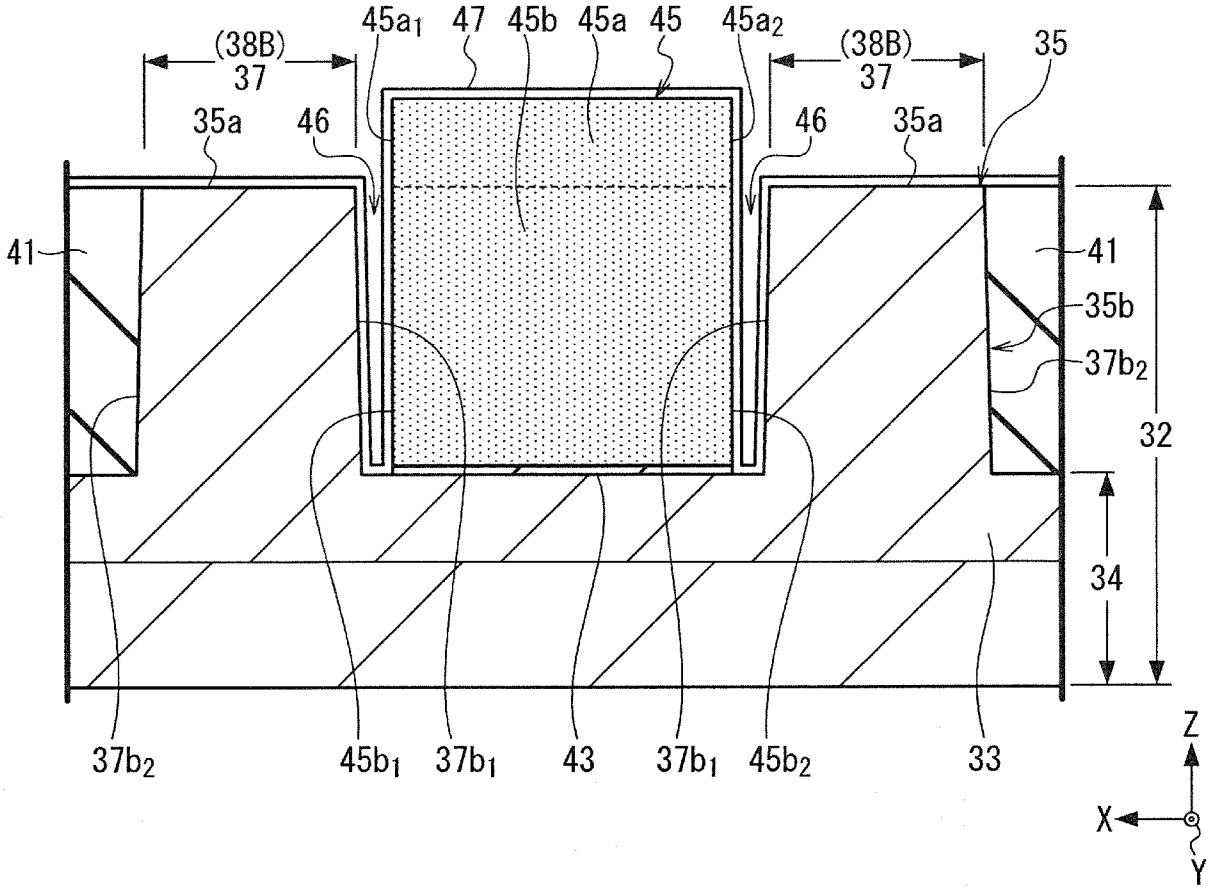
[図100]



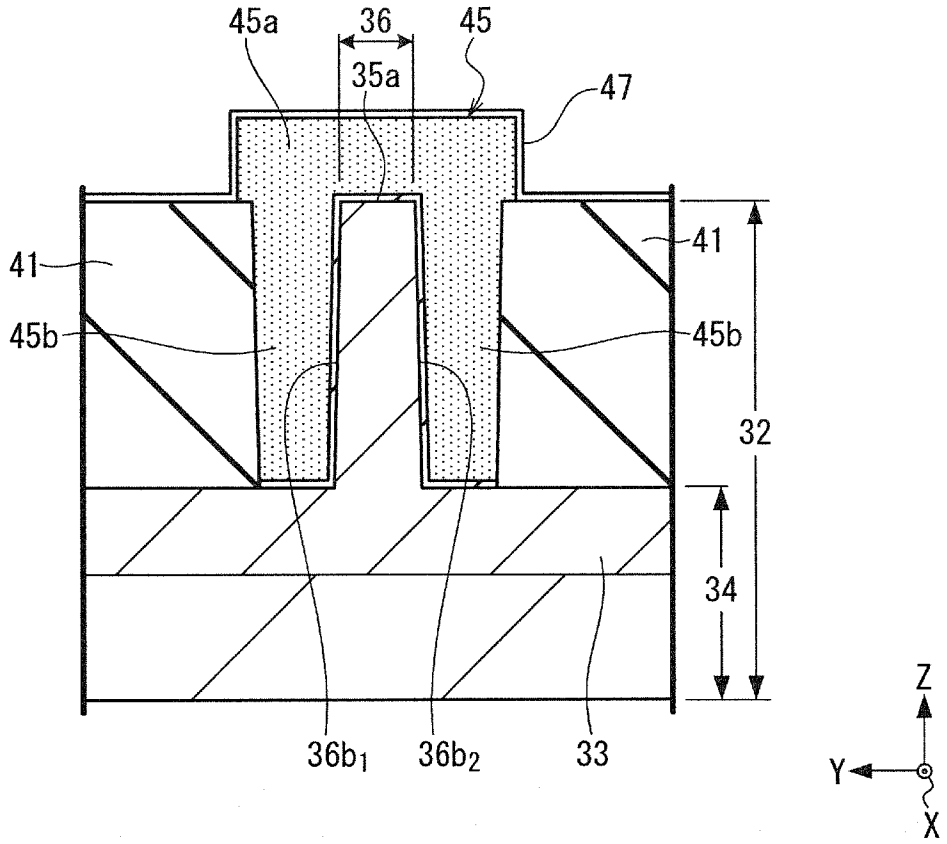
[図101]


37
36
37
47
45a
45
35a
35
41
41
38B
38A
38B
35b
37b2
37b2
32
34
33
Z
X
Y

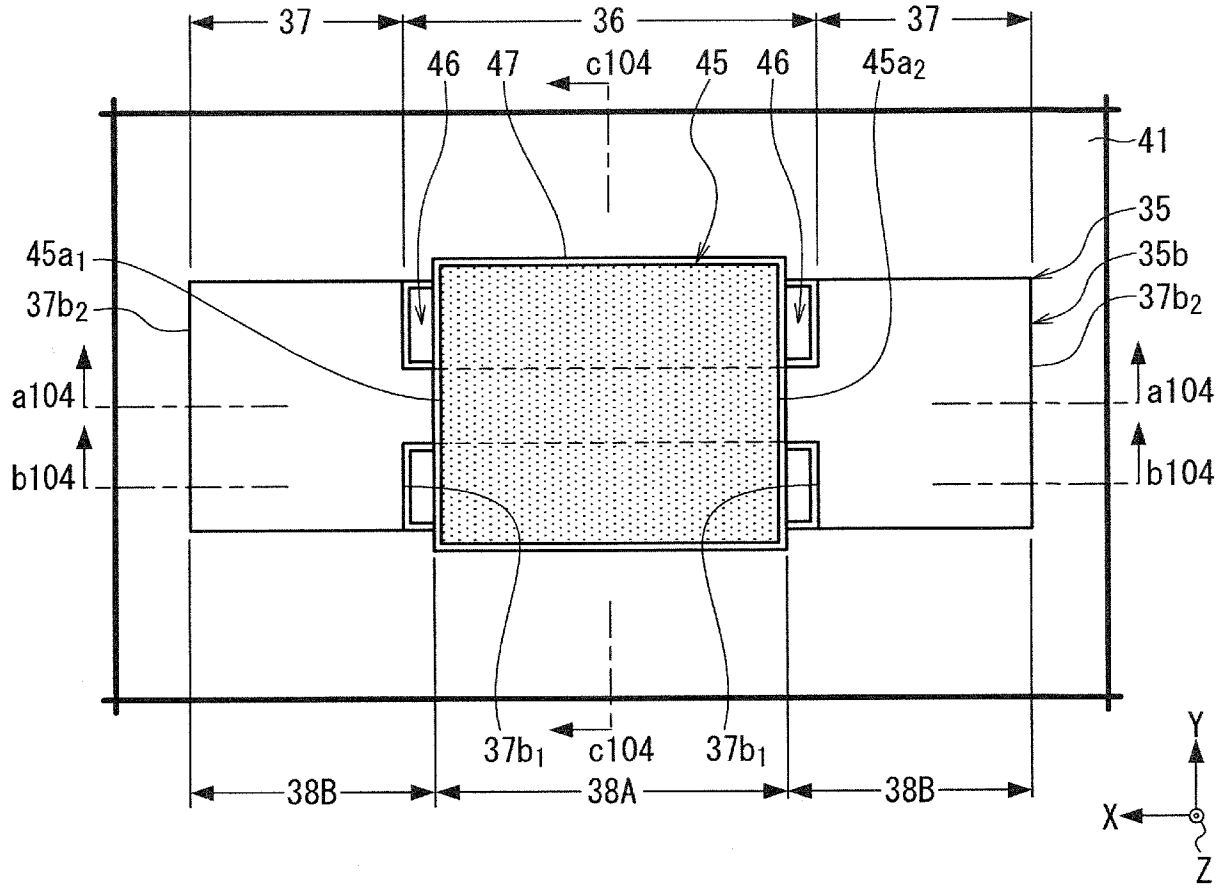
[図102]


45a1
47
45b
45a
45
45a2
(38B)
37
(38B)
37
35
35a
46
46
35a
41
41
35b
37b2
32
34
37b2
45b1
37b1
43
37b1
45b2
33
Z
X
Y

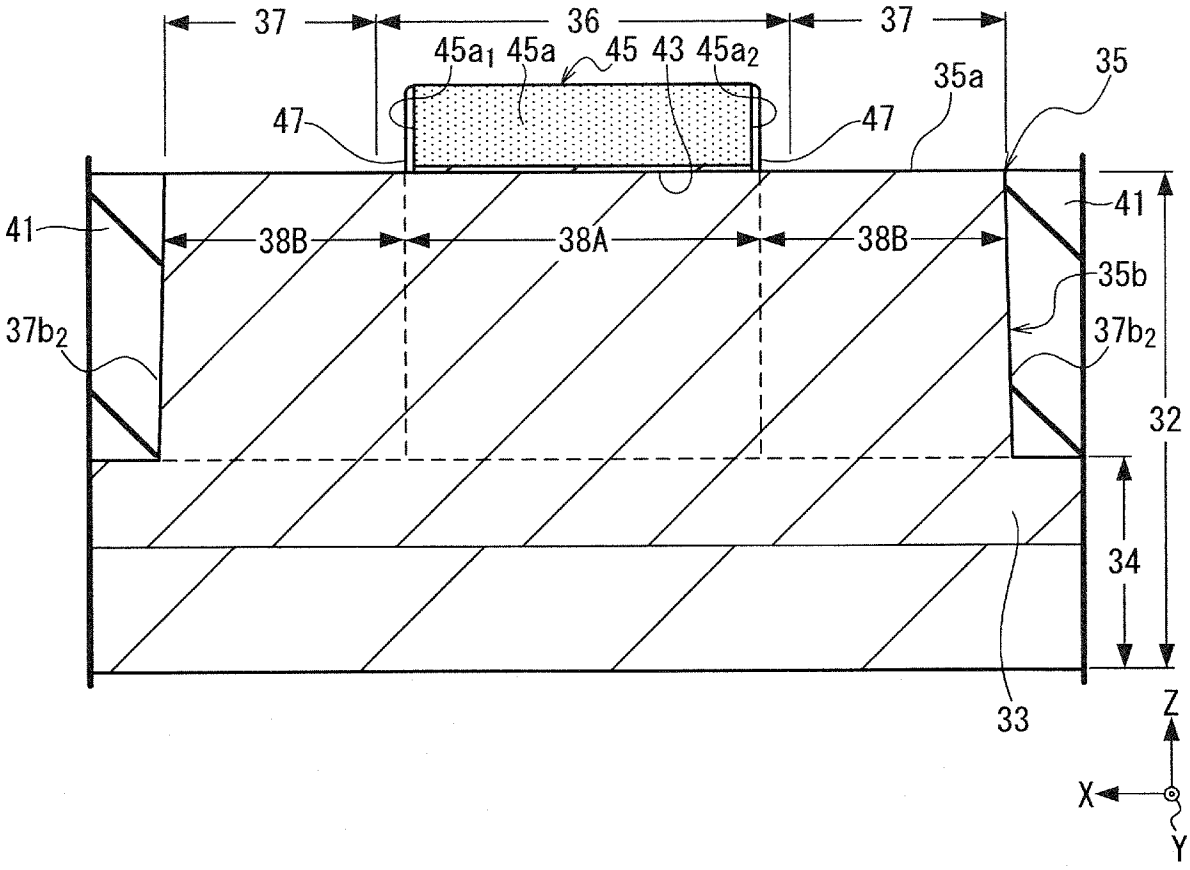
[図103]


45a
36
45
35a
47
41
41
45b
45b
32
34
36b1
36b2
33
Z
Y
X

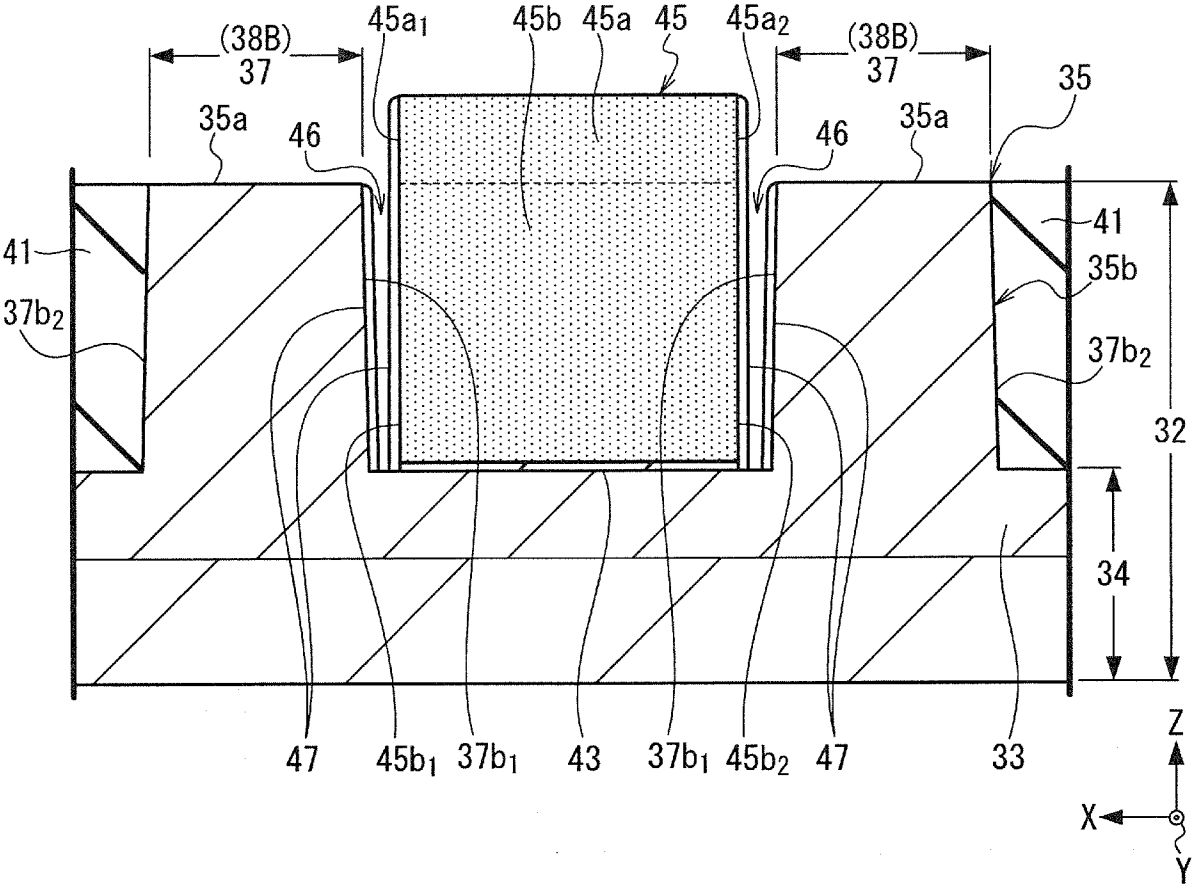
[図104]


37
36
37
46
47
c104
45
46
45a2
41
35
35b
37b2
45a1
37b2
a104
a104
b104
b104
37b1
c104
37b1
38B
38A
38B
Y
X
Z

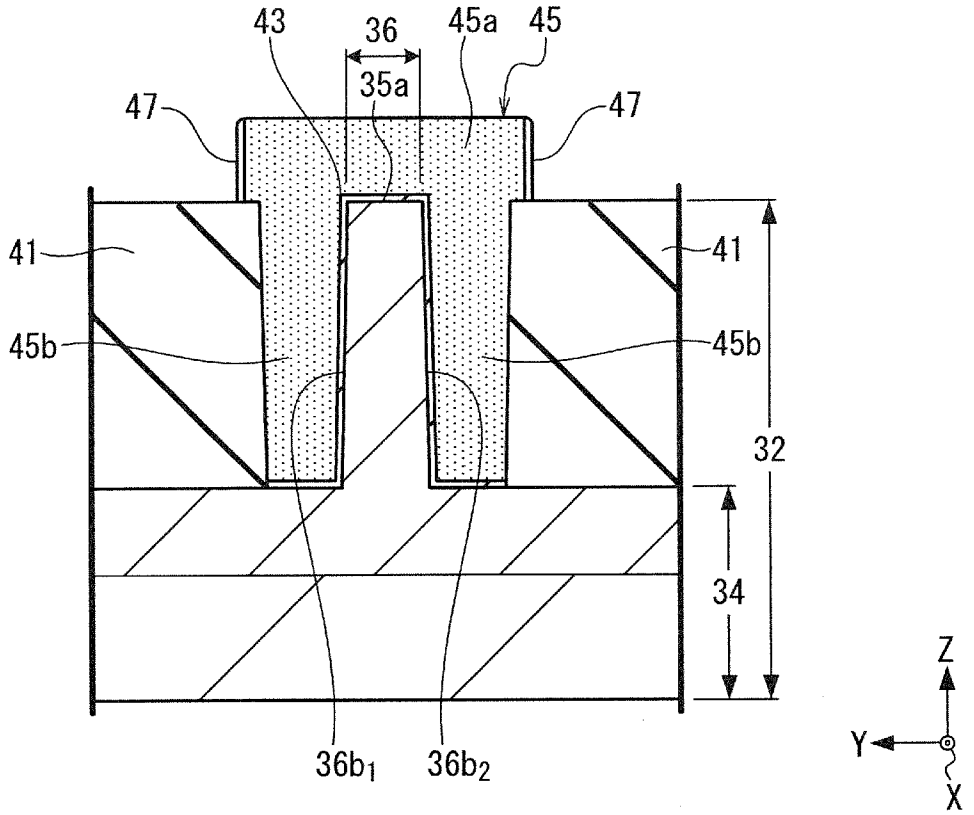
[図105]


37
36
37
45a1 45a 45 43 45a2
35a
35
47
47
41
41
38B
38A
38B
35b
37b2
37b2
32
34
33
Z
X
Y

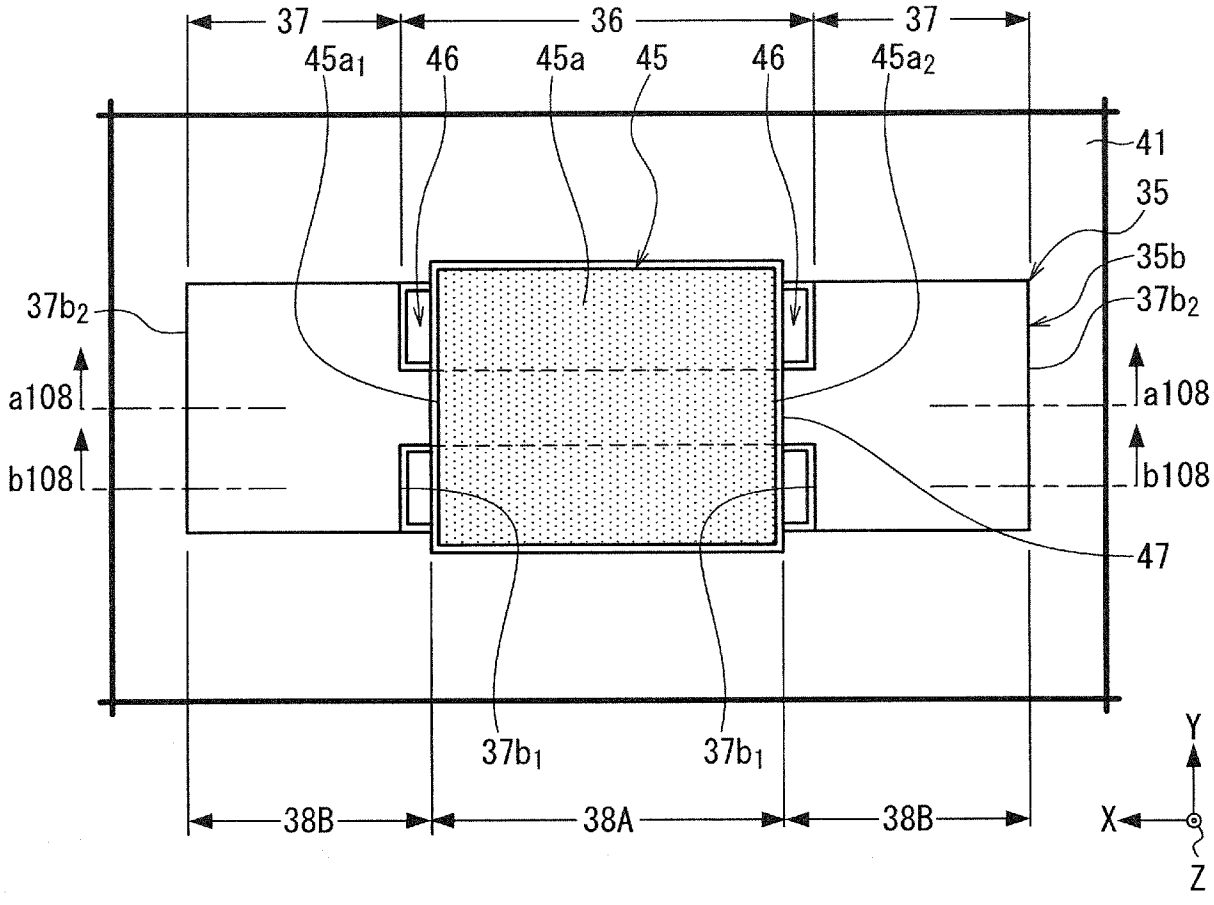
[図106]


(38B)
37
45a1
45b 45a 45 45a2
(38B)
37
35
35a
46
46
35a
41
41
35b
37b2
37b2
32
34
47
45b1
37b1
43
37b1
45b2
47
33
Z
X
Y

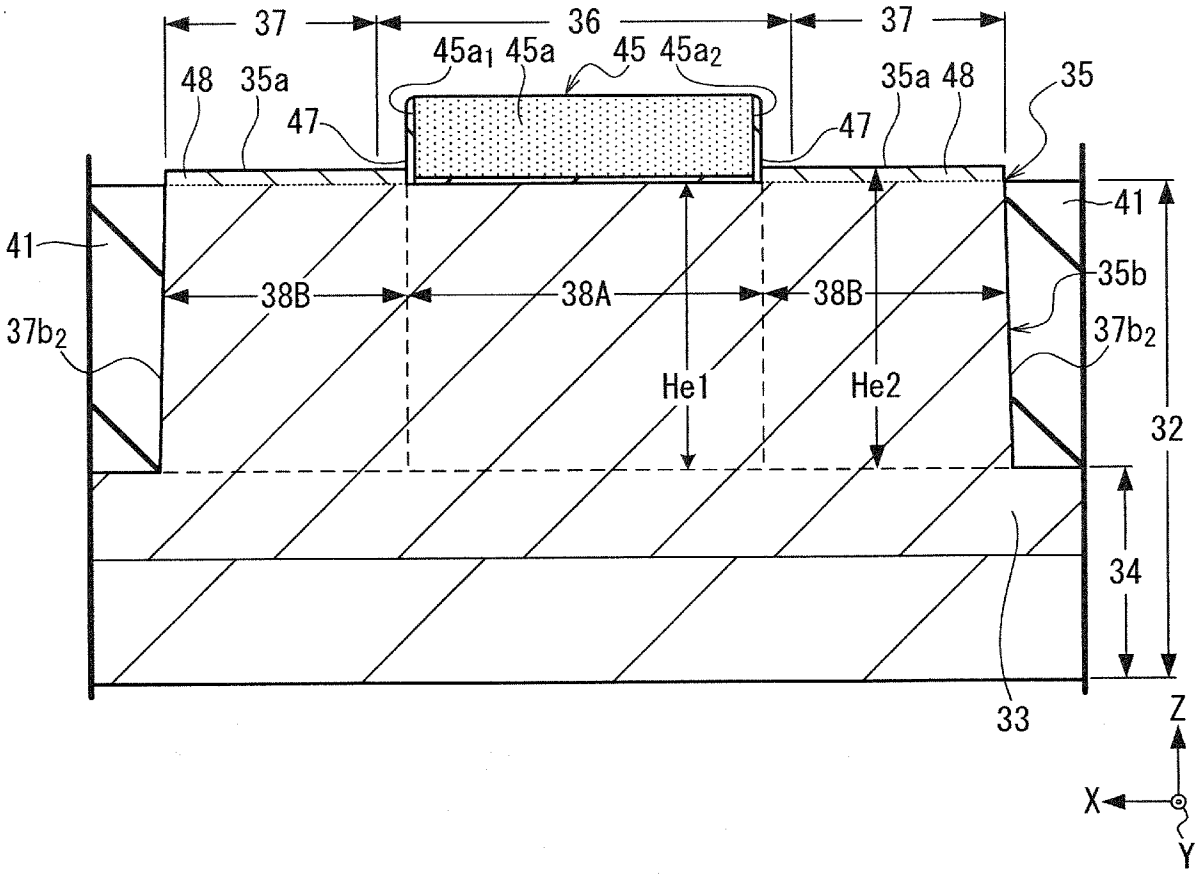
[図107]


43
36
45a
45
35a
47
47
41
41
45b
45b
32
34
36b1
36b2
Z
Y
X

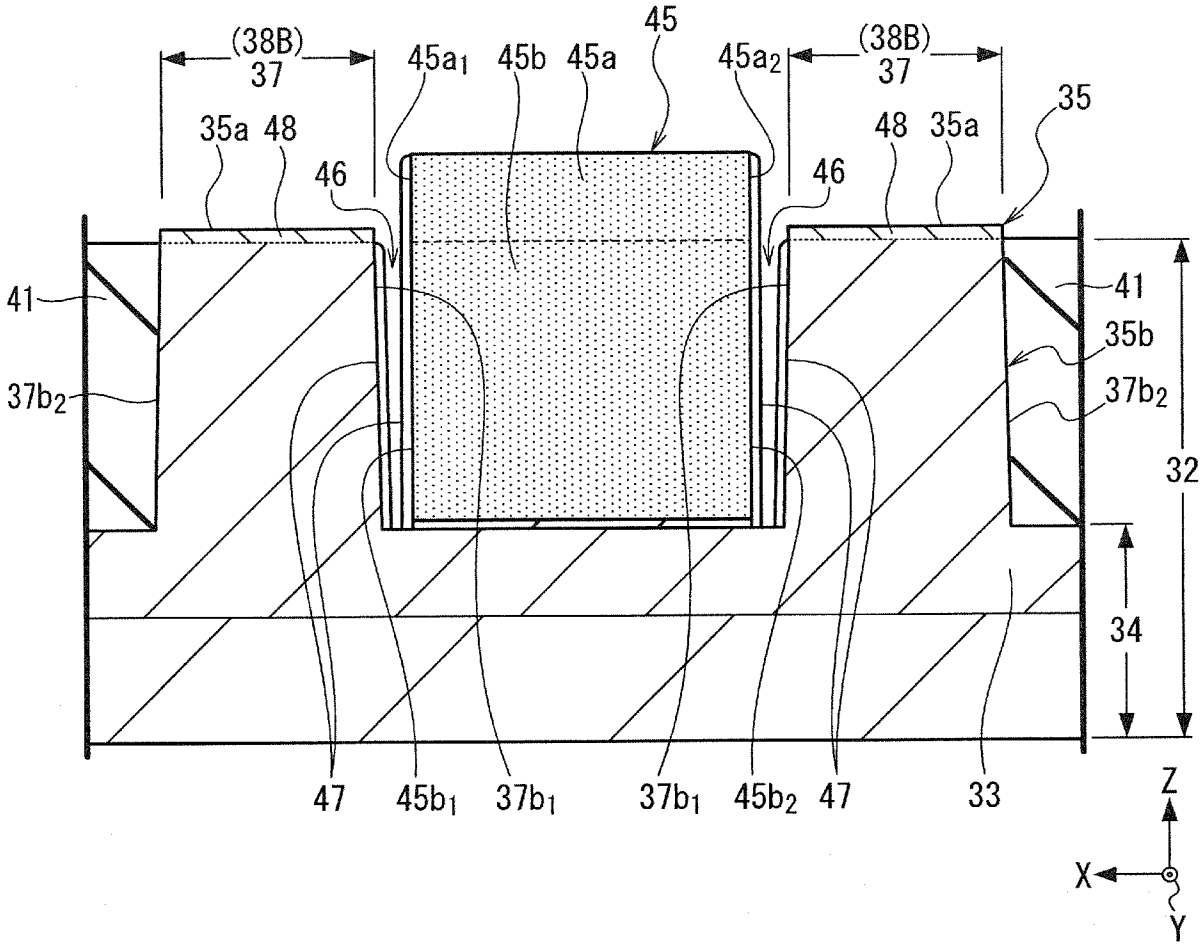
[図108]


37
36
37
45a1
46
45a
45
46
45a2
41
35
35b
37b2
37b2
a108
a108
b108
b108
47
37b1
37b1
38B
38A
38B
Y
X
Z

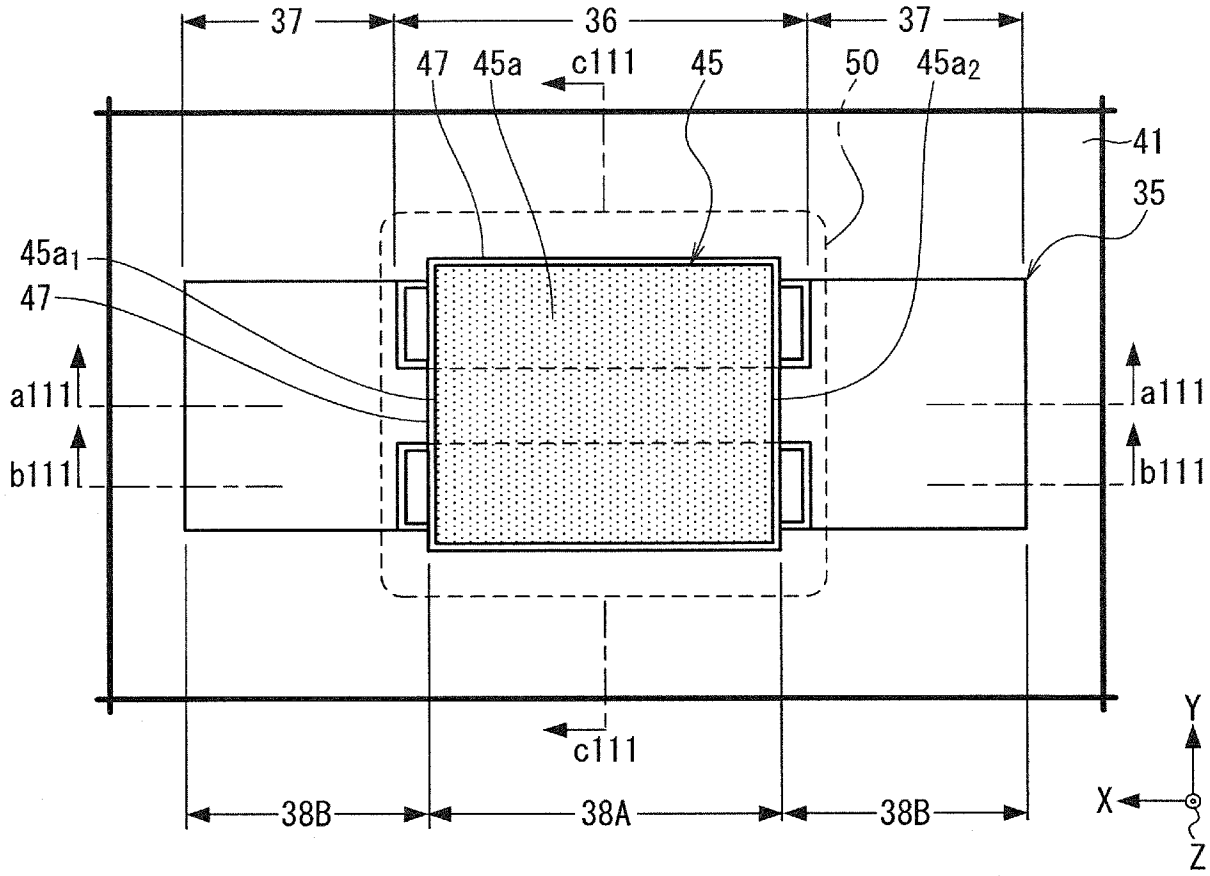
[図109]


37
36
37
45a1 45a
45 45a2
48 35a
47
47
35a 48
35
41
41
38B
38A
38B
35b
37b2
37b2
He1
He2
32
34
33
Z
X
Y

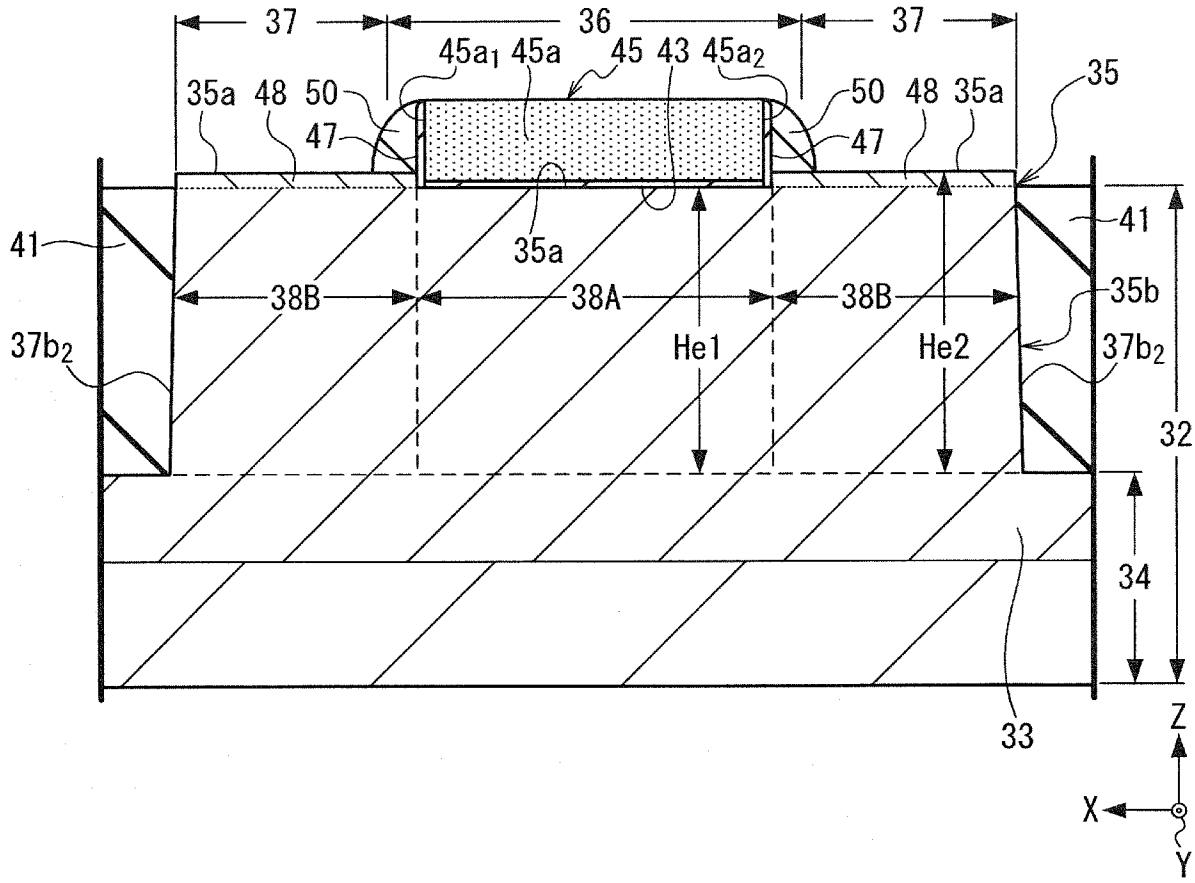
[図110]


(38B)
37
45a1 45b 45a
45
45a2
(38B)
37
35a 48
46
46
48 35a
35
41
41
35b
37b2
37b2
32
34
47
45b1
37b1
37b1
45b2
47
33
Z
X
Y

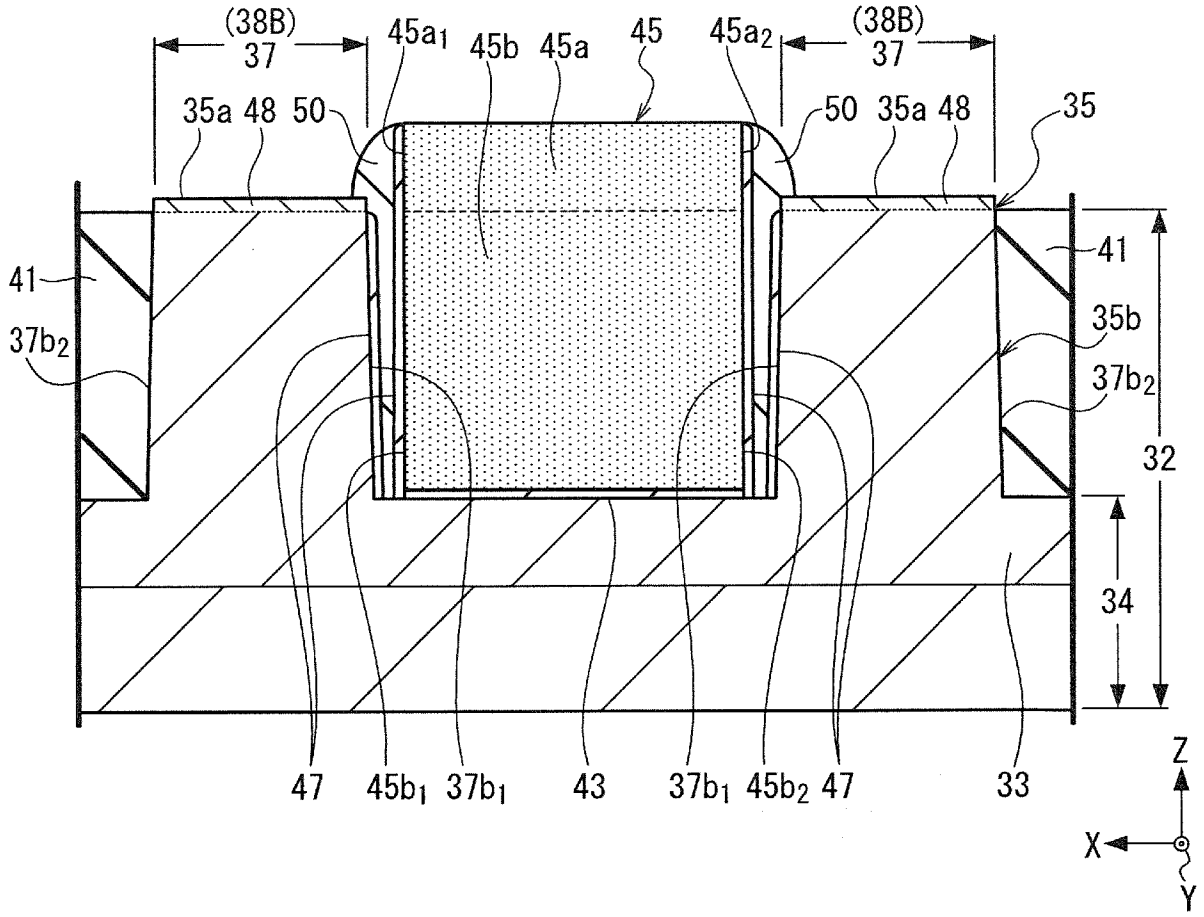
[図111]


37
36
37
47
45a
c111
45
50
45a2
41
35
45a1
47
a111
b111
a111
b111
c111
38B
38A
38B
Y
X
Z

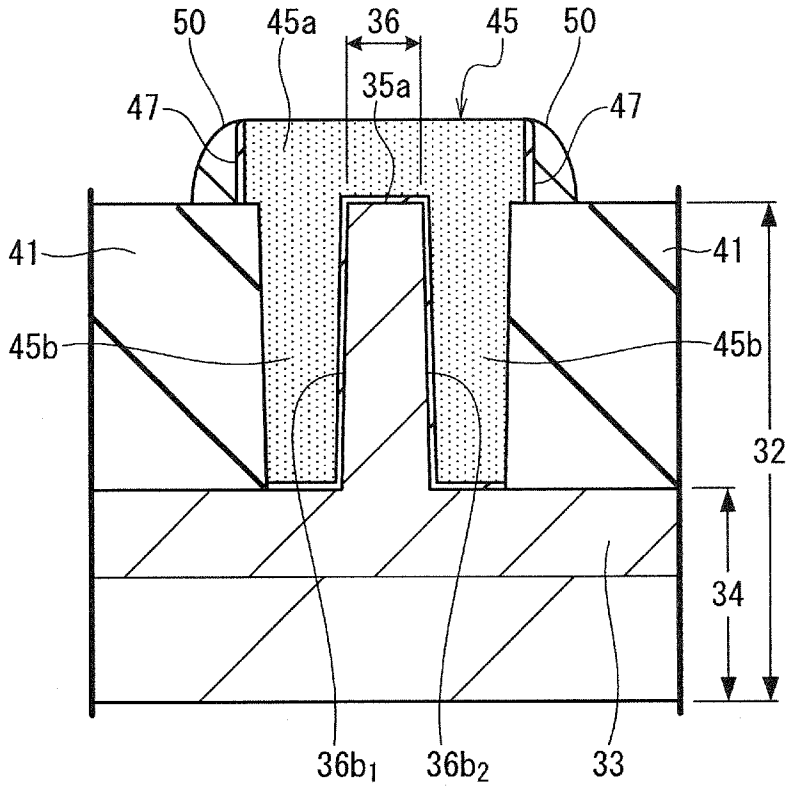
[図112]


37
36
37
45a1
45a
45
43
45a2
35a
48
50
47
50
48
35a
35
47
41
35a
41
38B
38A
38B
35b
37b2
He1
He2
37b2
32
34
33
Z
X
Y

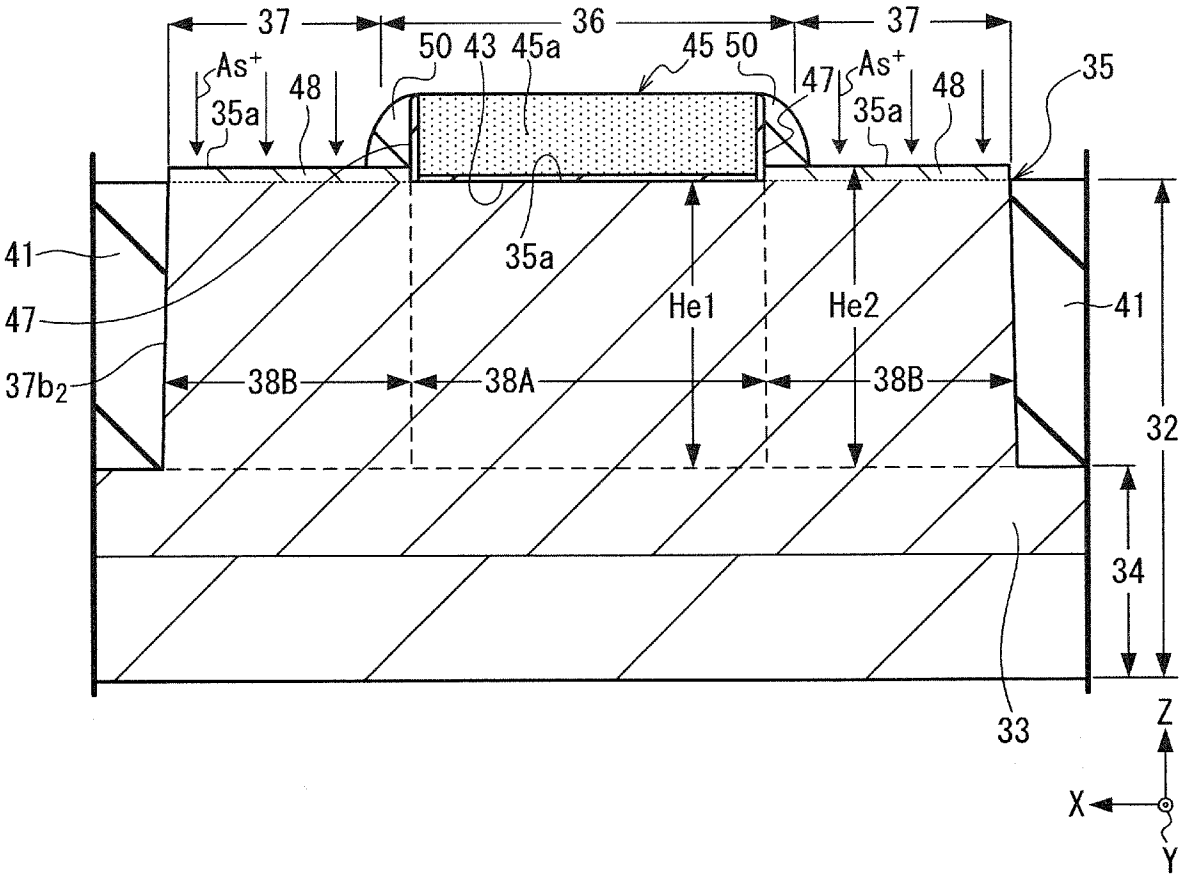
[図113]


(38B)
37
45a1
45b
45a
45
45a2
(38B)
37
35a
48
50
50
35a
48
35
41
41
37b2
35b
37b2
32
34
47
45b1
37b1
43
37b1
45b2
47
33
Z
X
Y

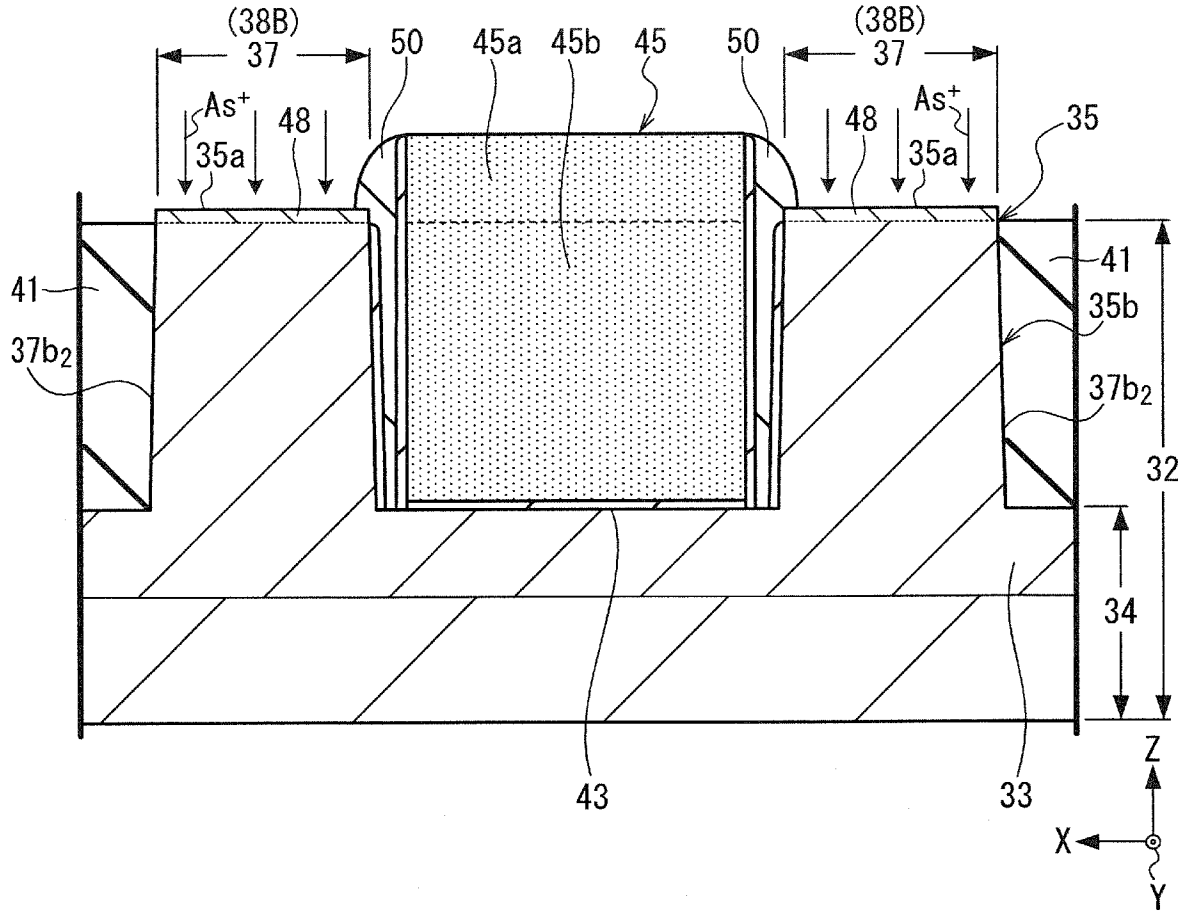
[図114]


50
45a
36
45
50
35a
47
47
41
41
45b
45b
32
34
36b1
36b2
33
Z
Y
X

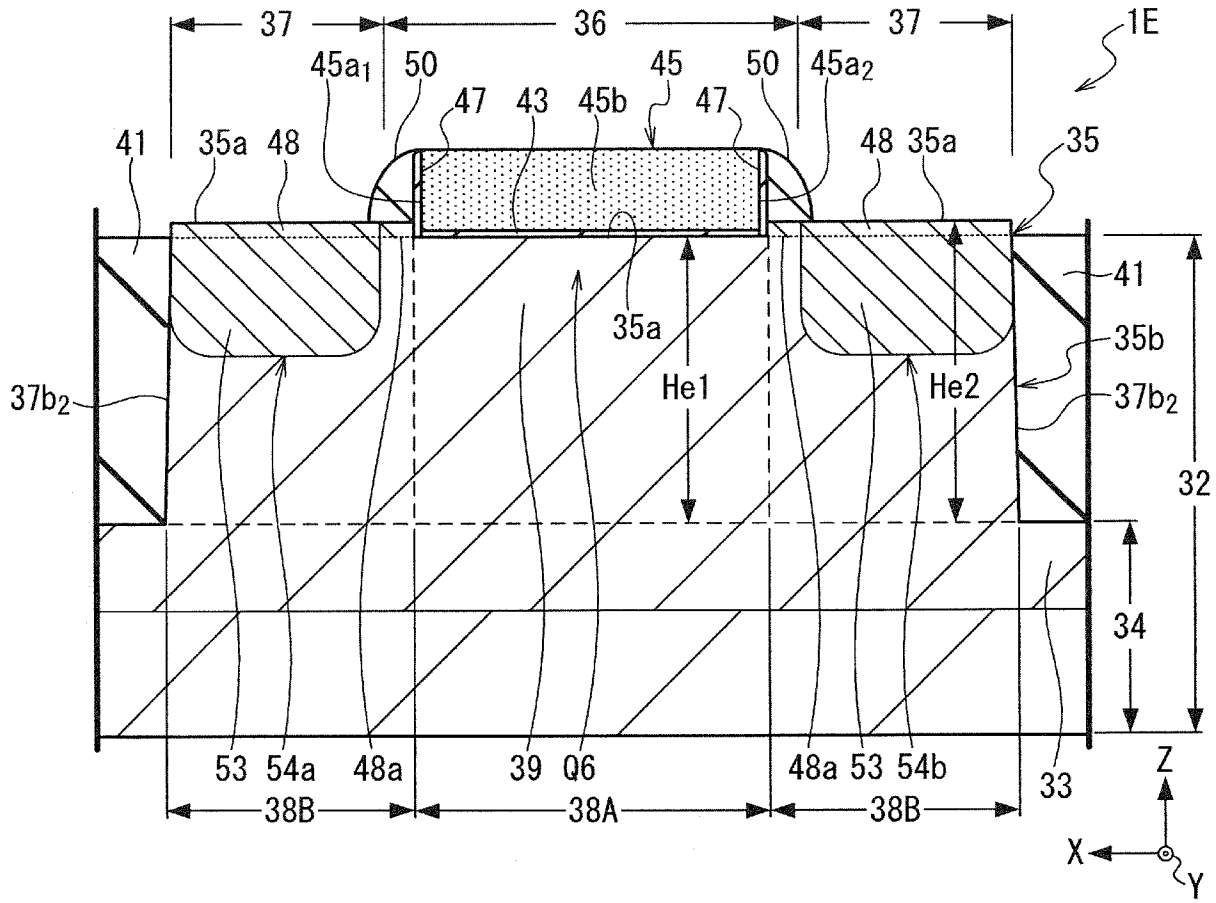
[図115]


37
36
37
50 43 45a
45 50
As+
35a
48
47
35
41
47
37b2
35a
He1
He2
38B
38A
38B
32
34
33
Z
X
Y

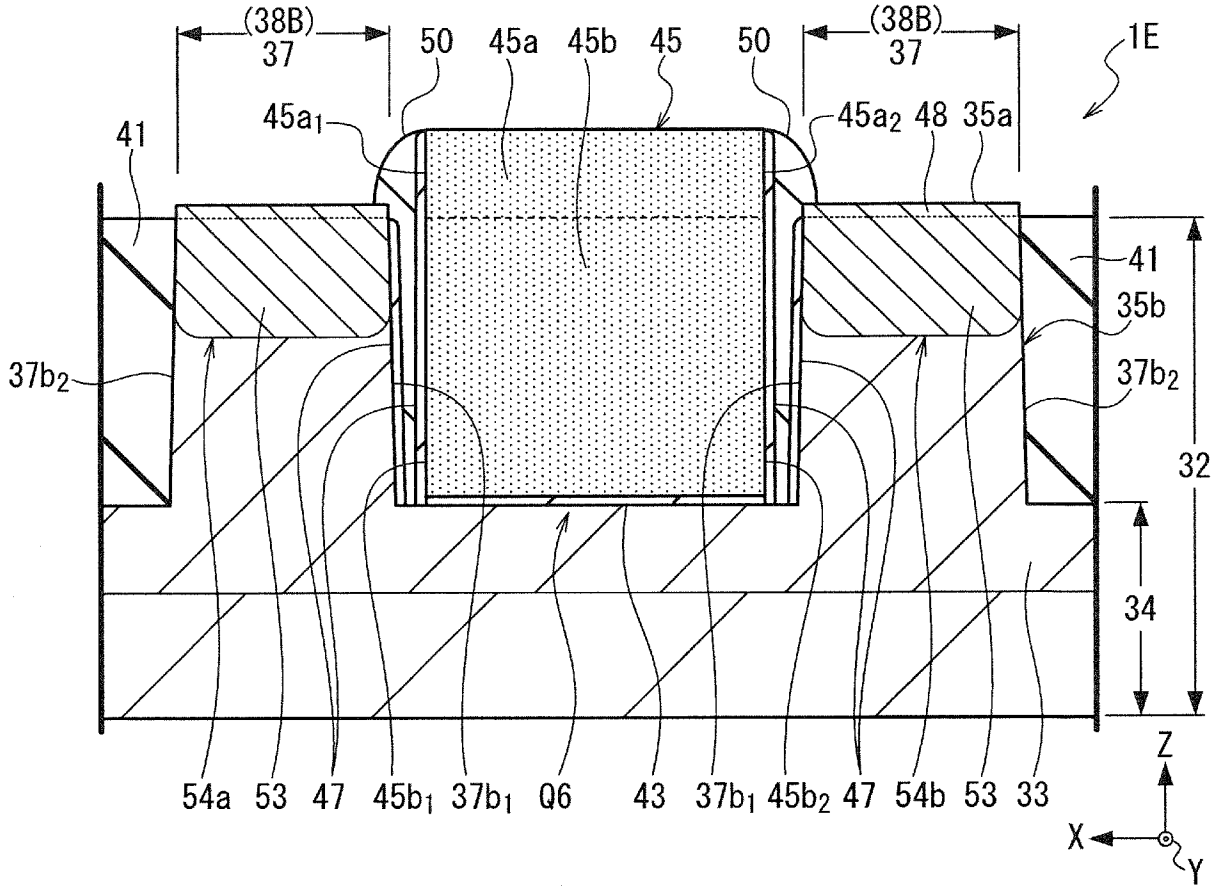
[図116]


(38B)
37
50
45a
45b
45
50
(38B)
37
As+
35a
48
35
41
35b
37b2
32
34
43
33
Z
X
Y

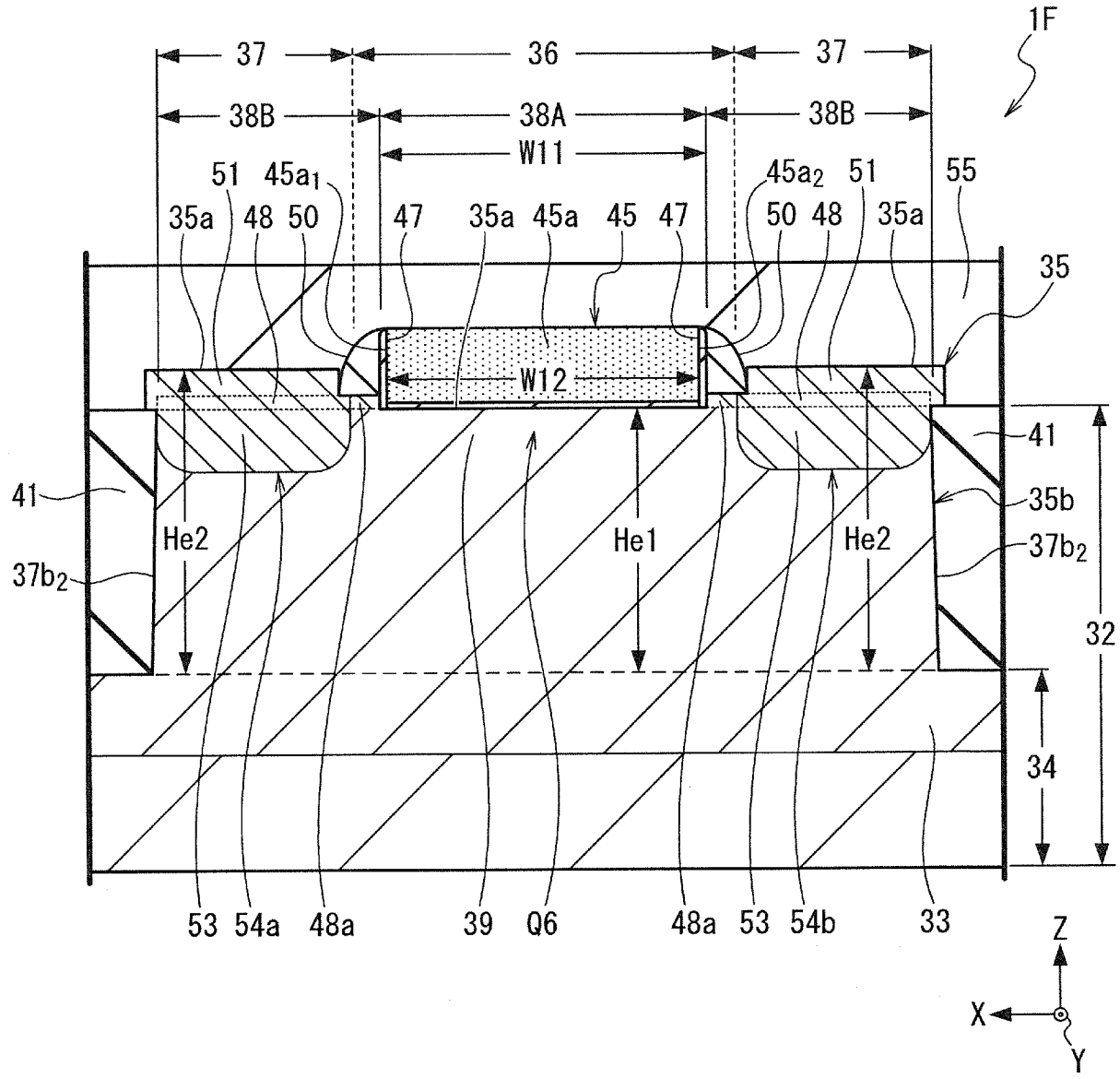
[図117]


37
36
37
1E
45a1
50
45
50
45a2
47
43
45b
47
41
35a
48
48
35a
35
41
35a
35b
He1
He2
37b2
37b2
32
34
53
54a
48a
39
Q6
48a
53
54b
33
38B
38A
38B
Z
X
Y

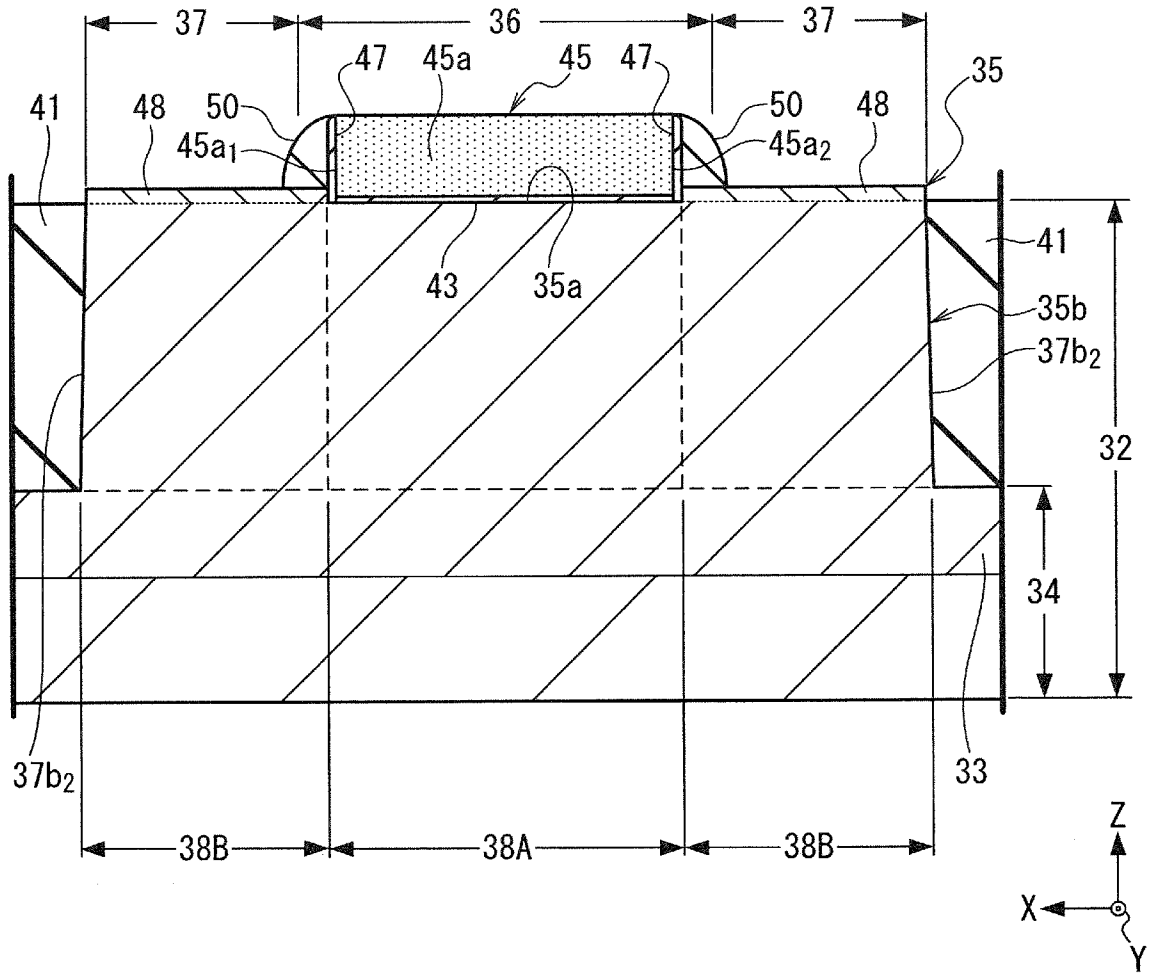
[図118]


(38B)
37
50
45a
45b
45
50
(38B)
37
1E
41
45a1
45a2
48
35a
41
35b
37b2
37b2
32
34
54a
53
47
45b1
37b1
Q6
43
37b1
45b2
47
54b
53
33
Z
X
Y

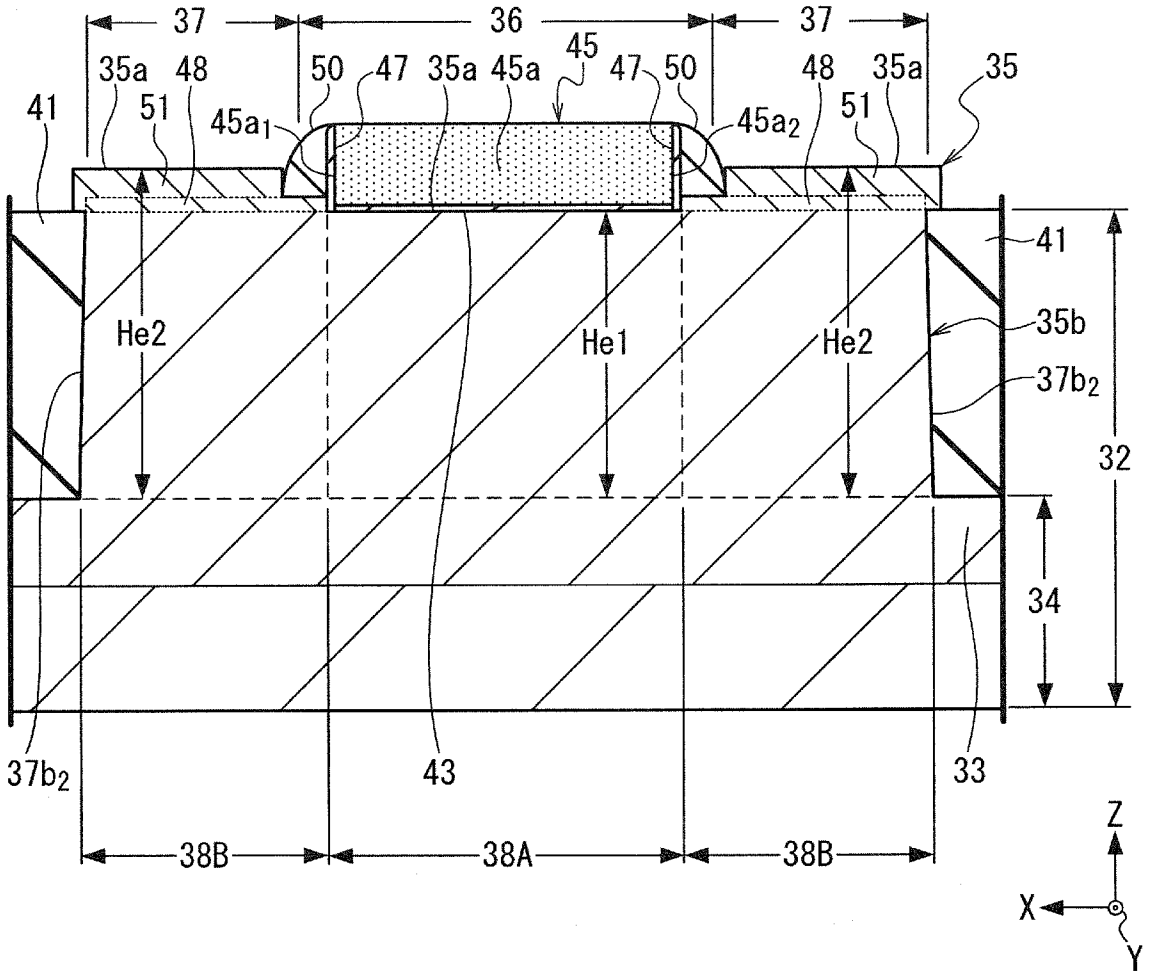
[図119]


1F
37
36
37
38B
38A
38B
W11
51
45a1
45a2
51
55
35a
48
50
47
35a
45a
45
47
50
48
35a
35
W12
41
41
35b
He2
He1
He2
37b2
37b2
32
34
53
54a
48a
39
Q6
48a
53
54b
33
Z
X
Y

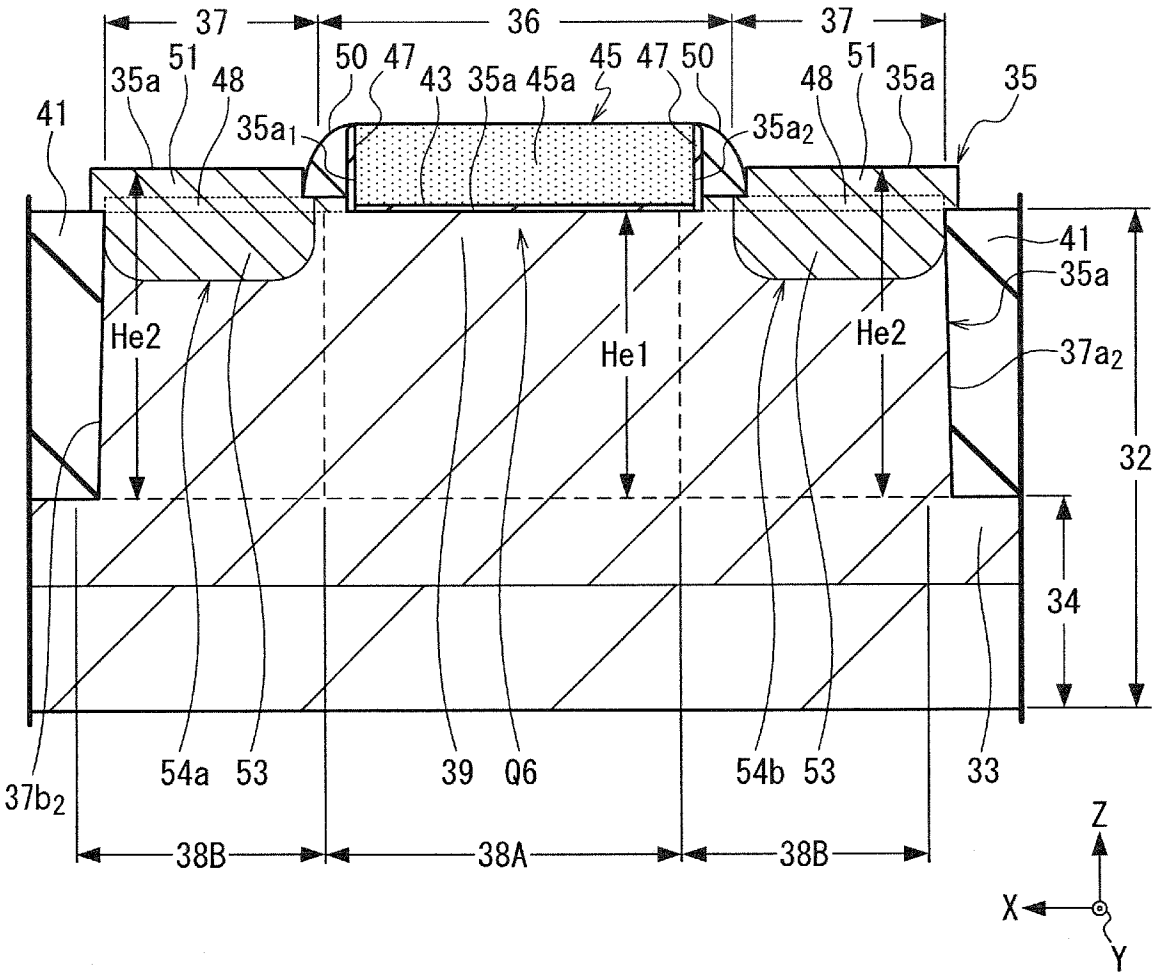
[図120]


37
36
37
47
45a
45
47
35
41
48
50
45a1
50
45a2
48
41
43
35a
35b
37b2
32
34
37b2
33
38B
38A
38B
Z
X
Y

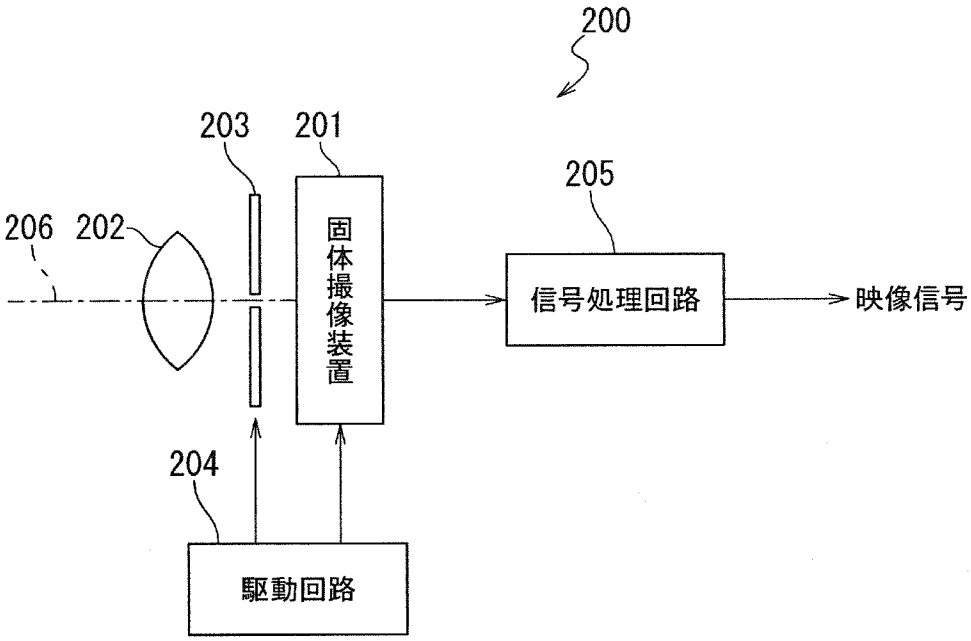
[図121]


37
36
37
35a
48
50
47
35a
45a
45
47
50
48
35a
35
41
51
45a1
45a2
51
41
He2
He1
He2
35b
37b2
32
34
37b2
43
33
38B
38A
38B
Z
X
Y

[図122]


37
36
37
35a
51
48
50
47
43
35a
45a
45
47
50
48
51
35a
35
41
35a1
35a2
41
35a
He2
He1
He2
37a2
32
34
37b2
54a
53
39
Q6
54b
53
33
38B
38A
38B
Z
X
Y

[図123]


200
203
201
205
206
202
固体撮像装置
信号処理回路
映像信号
204
駆動回路

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/018307

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 27/146***(2006.01)i
FI: H01L29/78 301G; H01L27/146 A; H01L29/78 301X; H01L29/78 301Y; H01L29/78 301W

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-141089 A (RENESAS ELECTRONICS CORP.) 03 September 2020 (2020-09-03) paragraphs [0022]-[0096], fig. 3	19-23
A		1-18, 24
A	JP 2012-124296 A (TOSHIBA CORP.) 28 June 2012 (2012-06-28)	1-24
A	US 2020/0091309 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 19 March 2020 (2020-03-19)	1-24
A	US 2018/0006128 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 04 January 2018 (2018-01-04)	1-24
A	JP 2017-535958 A (QUALCOMM INC.) 30 November 2017 (2017-11-30)	1-24

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 July 2023	**01 August 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/018307

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-24 recite multiple inventions that do not have the same or corresponding special technical features, and thus do not meet the requirement of unity of invention, as below.

Document 2: JP 2012-124296 A (TOSHIBA CORP.) 28 June 2012 (2012-06-28)
& US 2012/0146053 A1
& KR 10-2012-0064015 A
& TW 201225294 A

(Invention 1) Claims 1-13 and 24

Claims 1-13 and 24 have the special technical feature (for the invention of a manufacturing method, steps corresponding to this special technical feature) of "having: an island-like semiconductor part including a first portion and a second portion integrally provided beside the first portion in a first direction, and having a wider width in a second direction intersecting the first direction than the first portion, the first and second portions each including the upper surface part and the side surface part; an insulating layer surrounding each of the first and second portions; and a gate electrode provided apart from the second portion and provided from the upper surface part to the side surface part of the first portion", and "including a dielectric part provided between the gate electrode and the second portion, and having a lower relative permittivity than the insulating layer"; thus these claims are classified as invention 1.

(Invention 2) Claims 14-18

Claims 14-18 share, with claim 1 classified as invention 1, the technical feature of "having an island-like semiconductor part including a first portion and a second portion integrally provided beside the first portion in a first direction, and having a wider width in a second direction intersecting the first direction than the first portion, the first and second portions each including the upper surface part and the side surface part; an insulating layer surrounding each of the first and second portions"; and "a gate electrode" (Although the invention of claim 1 relates to a semiconductor device and the invention of claim 14 relates to a method for manufacturing a semiconductor device, it can be said that the two inventions relate to the configuration above per se, and a manufacturing method for forming this configuration, and in view of this, have corresponding technical features). However, this technical feature does not make a contribution over the prior art in light of the disclosure of document 2 (see fig. 1, etc.), and thus cannot be considered a special technical feature. Apart from this feature, there are not the same or corresponding special technical features among these inventions.

Furthermore, claims 14-18 do not depend from claim 1. In addition, claims 14-18 are not substantially identical to or similarly closely related to any of the claims classified as invention 1.

Accordingly claims 14-18 cannot be identified as invention 1.

Meanwhile, claims 14-18 share the technical feature thereamong of "forming a gate electrode having: a leg part formed by patterning the conductive film and embedding the patterned conductive film made adjacent to the first portion into the dug part; and a head part integrally provided to the leg part and overlapping the first portion, and having a narrower width in the first direction than the leg part, and forming an extension region by selectively implanting ions of an impurity into the semiconductor part outside the head part in the state where the leg part remains between the head part and the second portion in a plan view"; thus these claims are classified as invention 2.

(Invention 3) Claims 19-23

Claims 19-23 share, with claim 1 classified as invention 1 and claim 14 classified as invention 2, the technical feature of "having: an island-like semiconductor part including a first portion and a second portion integrally provided beside the first portion in a first direction", and "including the upper surface part and the side surface part"; and "a gate electrode". However, this technical feature does not make a contribution over the prior art in light of the disclosure of document 2 (see fig. 1, etc.), and thus cannot be considered a special technical feature. Apart from this feature, there are not the same or corresponding special technical features among these inventions.

Furthermore, claims 19-23 do not depend from claim 1 or 14. In addition, claims 19-23 are not substantially identical to or similarly closely related to any of the claims classified as invention 1 or 2.

Accordingly claims 19-23 cannot be identified as either of inventions 1 and 2.

Meanwhile, claims 19-23 have the special technical feature wherein "the semiconductor part includes a first region and a pair of second regions provided contiguous to the first region on the opposite sides of the first region in a first direction, and having a higher height than the first region"; thus these claims are classified as invention 3.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/018307

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☑ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/018307

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-141089 A	03 September 2020	US 2020/0279856 A1 paragraphs [0065]-[0139], fig. 3 CN 111640789 A	
JP 2012-124296 A	28 June 2012	US 2012/0146053 A1 KR 10-2012-0064015 A TW 201225294 A	
US 2020/0091309 A1	19 March 2020	US 2021/0050429 A1 US 2022/0367668 A1	
US 2018/0006128 A1	04 January 2018	US 2018/0122915 A1	
JP 2017-535958 A	30 November 2017	US 2016/0148936 A1 WO 2016/085570 A1 EP 3224868 A1 TW 201631763 A KR 10-2017-0086517 A CN 107112284 A SG 11201702858Q A BR 112017010750 A2	

国際調査報告

国際出願番号
PCT/JP2023/018307

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 27/146(2006.01)i
FI: H01L29/78 301G; H01L27/146 A; H01L29/78 301X; H01L29/78 301Y; H01L29/78 301W

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/336; H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2020-141089 A (ルネサスエレクトロニクス株式会社) 03.09.2020 (2020-09-03) [0022]-[0096], 図3	19-23
A		1-18, 24
A	JP 2012-124296 A (株式会社東芝) 28.06.2012 (2012-06-28)	1-24
A	US 2020/0091309 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 19.03.2020 (2020-03-19)	1-24
A	US 2018/0006128 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 04.01.2018 (2018-01-04)	1-24
A	JP 2017-535958 A (クアルコム, インコーポレイテッド) 30.11.2017 (2017-11-30)	1-24

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
13.07.2023	01.08.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
鈴木　聡一郎 5F 3864

電話番号 03-3581-1101 内線 3516

第Ⅲ欄　　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

次のとおり、請求項１～２４には、同一又は対応する特別な技術的特徴を有しない複数の発明が記載されているから、発明の単一性の要件を満たさない。

文献２：JP 2012-124296 A（株式会社東芝）28.06.2012(2012-06-28)
& US 2012/0146053 A1
& KR 10-2012-0064015 A
& TW 201225294 A

（発明１）請求項１～１３、２４
請求項１～１３、２４は、「第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を含み、かつ前記第１部分及び前記第２部分の各々が前記上面部及び前記側面部を含む島状の半導体部と、　前記第１部分及び前記第２部分の各々を囲む絶縁層と、前記第２部分から離間し、かつ前記第１部分の前記上面部及び前記側面部に亘って設けられたゲート電極を有」し、「前記ゲート電極と前記第２部分との間に設けられ、かつ前記絶縁層よりも比誘電率が低い誘電体部を備えている」という特別な技術的特徴（製造方法の発明については、当該特別な技術的特徴に対応する工程）を有しているので、発明１に区分する。

（発明２）請求項１４～１８
請求項１４～１８は、発明１に区分された請求項１と、「第１部分と、第１方向に前記第１部分と並んで一体的に設けられ、かつ前記第１方向と交差する第２方向に沿う前記第１部分の幅と同一方向の幅が前記第１部分の幅よりも広い第２部分と、を含み、かつ前記第１部分及び前記第２部分の各々が前記上面部及び前記側面部を含む島状の半導体部と、前記第１部分及び前記第２部分の各々を囲む絶縁層」と、「ゲート電極を有」するという共通の技術的特徴を有している（請求項１に係る発明は半導体装置の発明であり、請求項１４に係る発明は半導体装置の製造方法の発明であるが、両者は上記の構成それ自体と、当該構成を形成するための製造方法という点で対応する技術的特徴であるといえる）。しかしながら、当該技術的特徴は、文献２（図１等参照）の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。
さらに、請求項１４～１８は、請求項１の従属請求項ではない。また、請求項１４～１８は、発明１に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項１４～１８は発明１に区分できない。
そして、請求項１４～１８は、「前記導電膜をパターンニングして、前記第１部分と隣り合って前記掘り込み部に埋め込まれた脚部と、前記脚部と一体化されると共に前記第１部分と重畳し、かつ前記脚部の前記第１方向に沿う幅と同一方向の幅が前記脚部の幅よりも狭い頭部と、を有するゲート電極を形成し、平面視で前記頭部と前記第２部分との間に前記脚部が残存する状態で前記頭部の外側の前記半導体部に不純物を選択的にイオン注入してエクステンション領域を形成し」という共通の技術的特徴を有しているので、発明２に区分する。

（発明３）請求項１９～２３
請求項１９～２３は、発明１に区分された請求項１及び発明２に区分された請求項１４と、「第１部分と、第１方向に前記第１部分と並んで一体的に設けられ」た「第２部分と、を含み、かつ」、「前記上面部及び前記側面部を含む島状の半導体部」と、「ゲート電極を有」するという共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献２（図１等参照）の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。
さらに、請求項１９～２３は、請求項１及び１４の従属請求項ではない。また、請求項１９～２３は、発明１又は２に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項１９～２３は発明１又は２のいずれにも区分できない。
そして、請求項１９～２３は、「前記半導体部は、第１領域と、前記第１領域の第１方向の両側に前記第１領域と連なって設けられ、かつ前記第１領域の高さよりも高さが高い一対の第２領域と、を含み」という特別な技術的特徴を有しているので、発明３に区分する。

国際調査報告

国際出願番号
PCT/JP2023/018307

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

2. ☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/018307

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-141089 A	03.09.2020	US 2020/0279856 A1 [0065]-[0139], 図3 CN 111640789 A	
JP 2012-124296 A	28.06.2012	US 2012/0146053 A1 KR 10-2012-0064015 A TW 201225294 A	
US 2020/0091309 A1	19.03.2020	US 2021/0050429 A1 US 2022/0367668 A1	
US 2018/0006128 A1	04.01.2018	US 2018/0122915 A1	
JP 2017-535958 A	30.11.2017	US 2016/0148936 A1 WO 2016/085570 A1 EP 3224868 A1 TW 201631763 A KR 10-2017-0086517 A CN 107112284 A SG 112017028580 A BR 112017010750 A2	