(19)国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 221239617 U
(45)授权公告日 2024.06.28

(21)申请号 202322226558.9
(22)申请日 2023.08.18
(30)优先权数据
2208404 2022.08.19 FR
18/230,423 2023.08.04 US
(73)专利权人 意法半导体(克洛尔2)公司
地址 法国克洛尔
专利权人 意法半导体(鲁塞)公司
(72)发明人 F·朱利恩 J·德拉洛 J·杜拉
J·阿穆鲁 S·蒙弗莱
(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 刘奇
(51)Int.Cl.
H01L 29/423(2006.01)
H01L 29/78(2006.01)
H01L 21/336(2006.01)

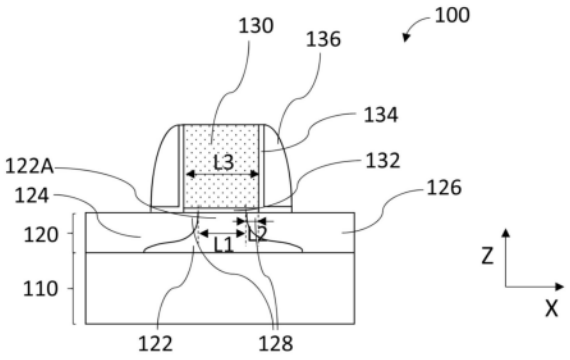
权利要求书2页 说明书9页 附图6页

(54)实用新型名称

晶体管、电子器件及射频开关

(57)摘要

本公开的一个或多个实施例涉及晶体管、电子器件及射频开关。晶体管包括:半导体层;堆叠,所述堆叠在所述半导体上,所述堆叠包括栅极绝缘体以及在所述栅极绝缘体上的栅极区域;其中所述栅极区域包括第一部分和第二部分,所述第二部分在所述第一部分与所述栅极绝缘体之间;所述栅极区域的所述第一部分在所述晶体管的第一横向方向上具有第一长度;并且其中所述栅极区域的所述第二部分在所述第一横向方向上具有比所述第一长度短的第二长度。



CN 221239617 U

1.一种晶体管,其特征在于,包括:

半导体层;

堆叠,所述堆叠在所述半导体上,所述堆叠包括栅极绝缘体以及在所述栅极绝缘体上的栅极区域;

其中所述栅极区域包括第一部分和第二部分,所述第二部分在所述第一部分与所述栅极绝缘体之间;

所述栅极区域的所述第一部分在所述晶体管的第一横向方向上具有第一长度;并且

其中所述栅极区域的所述第二部分在所述第一横向方向上具有比所述第一长度短的第二长度。

2.根据权利要求1所述的晶体管,其特征在于,还包括:

源极区域和漏极区域,所述源极区域和漏极区域在所述半导体层的体区域中,所述源极区域与所述漏极区域之间的所述体区域的上部形成所述晶体管的沟道区域;

其中所述第一横向方向平行于所述沟道区域的长度方向,所述长度方向在所述源极区域与所述漏极区域之间延伸;并且

其中所述栅极区域在所述体区域的所述沟道区域之上延伸。

3.根据权利要求2所述的晶体管,其特征在于,还包括:轻掺杂漏极区域,所述轻掺杂漏极区域在所述沟道区域与每个源极区域和每个漏极区域之间。

4.根据权利要求1所述的晶体管,其特征在于,所述第二部分相对于所述第一部分在所述第一横向方向上居中。

5.根据权利要求1所述的晶体管,其特征在于,所述栅极绝缘体包括:第一区域,所述第一区域在所述栅极区域的中心区域处具有第一厚度;以及第二区域,所述第二区域在所述栅极区域的所述第二部分的横向边缘处具有第二厚度,所述第二厚度大于所述第一厚度。

6.根据权利要求1所述的晶体管,其特征在于,还包括:

氧化层,所述氧化层涂覆所述栅极区域的所述第一部分和所述第二部分的侧面;以及

绝缘间隔物,所述绝缘间隔物与所述氧化层接触。

7.根据权利要求6所述的晶体管,其特征在于,所述氧化层包括:再氧化层,所述再氧化层具有大于或等于5纳米的厚度,并且被定位在所述栅极区域的所述第一部分的侧面上并且覆盖所述栅极区域的所述第一部分的侧面。

8.根据权利要求1所述的晶体管,其特征在于,所述栅极区域中的腔被填充有低介电常数的绝缘层,所述腔由所述第一部分与所述栅极绝缘体之间的所述第二部分的侧面限定。

9.根据权利要求1所述的晶体管,其特征在于,所述栅极区域的所述第二部分包括多晶硅锗合金层,并且其中所述栅极区域的所述第一部分包括多晶硅层。

10.根据权利要求1所述的晶体管,其特征在于,在所述第一横向方向上,所述第一部分的横向边缘与所述第二部分的横向边缘之间的距离在1纳米至30纳米的范围内。

11.根据权利要求1所述的晶体管,其特征在于,在所述第一横向方向上,所述第一部分的横向边缘与所述第二部分的横向边缘之间的距离在从1纳米至20纳米的范围内。

12.根据权利要求1所述的晶体管,其特征在于,在所述第一横向方向上,所述第一部分的横向边缘与所述第二部分的横向边缘之间的距离在从1纳米至10纳米的范围内。

13.一种电子器件,其特征在于,包括至少一个根据权利要求1所述的晶体管。

14.一种射频开关,其特征在于,包括至少一个根据权利要求1所述的晶体管。

晶体管、电子器件及射频开关

技术领域

[0001] 本公开整体涉及电子部件,并且更具体地涉及晶体管。

背景技术

[0002] MOSFET型晶体管是包括导电栅极的场效应晶体管,导电栅极例如是金属,通过被称为栅极绝缘体的介电层与半导体衬底电绝缘。

[0003] MOSFET晶体管的各种实施例是本领域技术人员已知的。

[0004] 期望至少部分地克服MOSFET晶体管的已知实施例的某些缺点。

[0005] 特别需要改进例如针对400MHz至20GHz范围内的频率,用于射频(RF)信号切换应用(也被称为RF开关)的MOSFET晶体管的电性能。

实用新型内容

[0006] 本公开中公开了一种晶体管,包括:半导体层;堆叠,堆叠在半导体上,堆叠包括栅极绝缘体以及在栅极绝缘体上的栅极区域;其中栅极区域包括第一部分和第二部分,第二部分在第一部分与栅极绝缘体之间;栅极区域的第一部分在晶体管的第一横向方向上具有第一长度;并且其中栅极区域的第二部分在第一横向方向上具有比第一长度短的第二长度。

[0007] 在一个实施例中,还包括:源极区域和漏极区域,源极区域和漏极区域在半导体层的体区域中,其中其特征在于,源极区域与漏极区域之间的体区域的上部形成晶体管的沟道区域;其中第一横向方向平行于沟道区域的长度方向,长度方向在源极区域与漏极区域之间延伸;并且其中栅极区域在体区域的沟道区域之上延伸。

[0008] 在一个实施例中,还包括:轻掺杂漏极区域,轻掺杂漏极区域在沟道区域与每个源极区域和每个漏极区域之间。

[0009] 在一个实施例中,第二部分相对于第一部分在第一横向方向上居中。

[0010] 在一个实施例中,栅极绝缘体包括:第一区域,第一区域在栅极区域的中心区域处具有第一厚度;以及第二区域,第二区域在栅极区域的第二部分的横向边缘处具有第二厚度,第二厚度大于第一厚度。

[0011] 在一个实施例中,还包括:氧化层,氧化层涂覆栅极区域的第一部分和第二部分的侧面;以及绝缘间隔物,绝缘间隔物与氧化层接触。

[0012] 在一个实施例中,氧化层包括:再氧化层,再氧化层具有大于或等于5纳米的厚度,并且被定位在栅极区域的第一部分的侧面上并且覆盖栅极区域的第一部分的侧面。

[0013] 在一个实施例中,栅极区域中的腔被填充有低介电常数的绝缘层,腔由第一部分与栅极绝缘体之间的第二部分的侧面限定。

[0014] 在一个实施例中,栅极区域的第二部分包括多晶硅锗合金层,并且其中栅极区域的第一部分包括多晶硅层。

[0015] 在一个实施例中,在第一横向方向上,第一部分的横向边缘与第二部分的横向边

缘之间的距离在1纳米至30纳米的范围内,例如从1纳米至20纳米,或者甚至从1纳米至10纳米。

[0016] 本公开中还公开了一种电子器件,包括至少一个根据前述的晶体管。

[0017] 本公开中还公开了一种射频开关,包括至少一个根据前述的晶体管。

附图说明

[0018] 前述特征和优点以及其他特征和优点将在通过例示、而不限于参考附图给出的具体实施例的本公开的其余部分中进行描述,其中:

[0019] 图1A在截面图中示出了包括MOSFET晶体管的电子器件的示例;

[0020] 图1B在截面图中示出了包括MOSFET晶体管的电子器件的另一示例;

[0021] 图2在截面图中示出了包括根据一个实施例的MOSFET晶体管的电子器件;

[0022] 图3A至图3F是部分示意性地图示了制造根据图2的实施例的MOSFET晶体管的方法示例的连续步骤的截面图;

[0023] 图4在截面图中示出了包括根据另一实施例的MOSFET晶体管的电子器件;以及

[0024] 图5在截面图中示出了包括根据另一实施例的MOSFET晶体管的电子器件。

具体实施方式

[0025] 在各种附图中已通过相同的附图标记来指定相同的特征。具体地,在各种实施例中共同的结构和/或功能特征可以具有相同的附图标记,并且可以设置相同的结构、尺寸和材料性质。

[0026] 为了清楚起见,仅对有助于理解本文所描述的实施例的步骤和元素进行了详细图示和描述。具体地,MOSFET晶体管制造方法的所有步骤未被描述,可以使用通常的微电子方法实现。同样,并未描述MOSFET晶体管的所有细节。此外,所描述的晶体管的各种可能应用尚未全部详细说明。

[0027] 除非另有说明,否则当参考连接在一起的两个元素时,这表示直接连接,不需要除导体以外的任何中间元素,并且当参考耦合在一起的两个元素时,这表示这两个元素可以被连接或者它们可以经由一个或多个其他元素被耦合。

[0028] 在以下描述中,当提及限定绝对位置的术语,诸如术语“前”、“后”、“顶部”、“底部”、“左”、“右”等,或限定相对位置的术语,诸如术语“之上”、“之下”、“上部”、“下部”等,或限定方向的术语,诸如术语“水平”、“竖直”等时,除非另有说明,否则参考附图的取向或MOSFET晶体管处于正常使用位置的取向。

[0029] 在以下描述中,长度对应于MOSFET晶体管在第一横向方向上的尺寸,第一横向方向对应于附图中观察到的X方向,对应于与晶体管传导方向平行的方向,厚度或深度对应于附图中观察到的竖直方向Z(垂直方向)的尺寸,并且宽度对应于与X方向正交的第二横向方向Y上的尺寸。因此,晶体管的沟道长度对应于晶体管的沟道形成区域沿X方向的尺寸,基本上对应于晶体管的源极区域和漏极区域之间的距离。

[0030] 在以下描述中,为方便起见,MOSFET晶体管可以被指定为MOS晶体管或晶体管。

[0031] 以下描述中所示的晶体管是例如N沟道MOS晶体管(NMOS),即,晶体管具有N型掺杂(例如,掺杂有砷或磷原子)的源极和漏极区域,而体区域是P型掺杂的,例如掺杂硼原子。

[0032] 作为变型,所示的晶体管可以是P沟道MOS晶体管(PMOS),即,晶体管具有P型掺杂(例如,掺杂硼原子)的源极和漏极区域,而体区域是N型掺杂的,例如掺杂有砷或磷原子。

[0033] 除非另有说明,否则表述“约”、“大约”、“基本上”和“在…的量级”表示在10%以内,并且优选在5%以内。

[0034] 图1A示出了包括MOSFET晶体管100的电子器件的示例,MOSFET晶体管100形成在半导体层120的内部和顶部。器件包括在半导体层120下方掩埋的绝缘层110。层110和120对应于例如绝缘体上半导体(SOI)类型的堆叠,器件然后包括与掩埋的绝缘层110接触并且在掩埋的绝缘层110下方的衬底(该衬底未在附图中示出)。半导体层120例如位于掩埋的绝缘层110的顶部并与其接触。

[0035] 半导体层120例如由硅制成,例如由单晶硅制成,而掩埋的绝缘层110例如由二氧化硅(SiO_2)制成。

[0036] 晶体管100包括在半导体层120的被称为体区域122的区域中形成的源极区域124和漏极区域126。

[0037] 体区域122的上部122A在源极区域124和漏极区域126之间,形成晶体管100的沟道形成区域,或“沟道区域”。沟道区域122A的长度为L1(在第一横向方向X上)。作为示例,源极124、漏极126和体区域122与半导体层120的上表面齐平。

[0038] 晶体管110还包括位于体区域122之上的栅极区域130。栅极区域130例如由多晶硅制成。栅极区域130可以具有长度L3,长度L3在50纳米至300纳米的范围内,例如在100纳米至200纳米的范围内。

[0039] 栅极区域130通过绝缘层132与体区域122间隔开,绝缘层132被称为栅极绝缘层,或栅极绝缘体。例如,栅极绝缘体由二氧化硅(SiO_2)制成,并且例如厚度在大约1纳米至10纳米的范围内。

[0040] 作为示例,在图1A中,栅极绝缘层132位于半导体层120的顶部并与半导体层120接触,并且栅极区域130位于栅极绝缘层132的顶部并与栅极绝缘层132接触。

[0041] 在栅极区域130的任一侧,在半导体层120的未被所述栅极区域覆盖的部分上,以及在栅极区域130的侧壁(侧面)上,晶体管100包括薄的保护氧化层134,例如SiO_2层。

[0042] 此外,晶体管100包括绝缘间隔物136,涂覆覆盖有氧化层134的栅极区域130的侧面,并且其延伸至覆盖有氧化层134的半导体层120的各部分。绝缘间隔物136例如由氮化硅(SiN)制成。

[0043] 在一些MOS晶体管中,通过从半导体层120的上表面开始,对半导体层120进行掺杂,通常通过离子注入,在沟道区域122A和每个源极区域124/漏极区域126之间形成轻掺杂的漏极区域(LDD)128。该LDD区域128在栅极区域130之后形成,并且通常在形成氧化层134之后形成。因此,栅极区域130,通常在栅极区域的侧面上具有氧化层134,在半导体层用于形成LDD区域128的掺杂操作期间用作保护掩模。LDD区域能够减小植入区域的深度,以限制源极区域和漏极区域之间的寄生静电耦合效应。

[0044] 然而,用于形成这些LDD区域的掺杂操作通常导致这些LDD区域在栅极区域130下方的显著重叠。实际上,在掺杂操作期间,掺杂剂可能在栅极区域下方扩散一定长度。该重叠在图1A中由长度L2表示。这形成了重叠电容Cov,从而增加了晶体管在关断状态下的寄生电容Coff,这可能导致晶体管(例如,开关晶体管)的性能下降,并且因此,例如降低了包括

这样的开关晶体管的射频天线的绝缘功能。

[0045] 为了减少重叠并因此降低重叠电容Cov,如图1B所示,一种技术在栅极区域130'的侧壁和薄的保护氧化层134'上形成偏移间隔物138。由偏移间隔物138形成的偏移L4例如在3纳米至20纳米的范围内。

[0046] 因此,可以看出重叠长度L2'相对于图1A的重叠长度L2减小了。然而,重叠长度L2'保持最小值,以避免在重叠丢失的情况下危及沿沟道L1整个长度的栅极控制,并且避免在重叠水平处增加电阻,从而避免增加晶体管的电阻Ron。

[0047] 偏移间隔物138在形成栅极区域130'之后以及形成LDD区域128'之前形成。因此,偏移间隔物138形成保护掩模,该保护掩模延续由栅极区域形成的掩模用于掺杂操作。这使得掺杂剂能够在栅极区域下方的较短长度上扩散,从而能够减少重叠。

[0048] 如果期望保持基本相同的沟道长度L1,则可以提供形成长度L3'的栅极区域130',长度L3'减小约两倍的偏移值L4。由于电压RF Vmax是可以被施加到晶体管(例如,RF开关)的最大电压,不会冒险使晶体管退化,电压RF Vmax随着沟道长度增加,因此也可以选择增加沟道长度。

[0049] 因此,偏移间隔物能够在不降低电压RF Vmax的情况下,减小乘积Coff*Ron。

[0050] 偏移间隔物通常在形成栅极区域130'和薄氧化层134'之后,利用正硅酸四乙酯(TEOS)作为前驱体,通过层沉积方法(例如,化学气相沉积(CVD)方法)形成,以形成SiO_2层。然后,SiO_2层的一部分被蚀刻,以主要将沉积的SiO_2保持在栅极区域130'的侧面上,从而形成偏移间隔物138。这些操作通常需要形成蚀刻掩模,然后去除该掩模。

[0051] 因此,该制造技术的一个缺点是,这增加了在晶体管的制造方法中形成偏移间隔物所必需的步骤,因而增加了电子器件的制造方法的步骤。

[0052] 发明人提供了能够解决前面描述的改进需求并克服前面描述的晶体管的全部或部分缺点的MOSFET晶体管。具体地,发明人提供了能够改进期望被最小化的Coff*Ron和期望被最大化的电压RF Vmax之间的权衡,并且这不会使得晶体管制造方法复杂化,特别是不会增加耗时和昂贵的步骤。

[0053] MOSFET晶体管的实施例将在下文中描述。所描述的实施例是非限制性的并且基于本公开的指示,本领域技术人员将想到各种变型。

[0054] 图2在截面图中示出了包括根据一个实施例的MOSFET晶体管200的电子器件。

[0055] 与图1A的晶体管100类似,MOSFET晶体管200形成在半导体层220的内部和外部上。器件包括在半导体层220下方掩埋的绝缘层210。层210和层220对应于例如SOI型堆叠,器件然后包括衬底,衬底与掩埋的绝缘层210接触并在其下方(衬底未在图中示出)。半导体层220例如位于掩埋的绝缘层210的顶部并与其接触。

[0056] 半导体层220例如由硅制成,例如由单晶硅制成。半导体层220的厚度可以在10纳米至500纳米的范围内,例如从50纳米到200纳米,例如在60纳米的量级或160纳米的量级。

[0057] 作为示例,掩埋的绝缘层210由二氧化硅(SiO_2)制成。掩埋的绝缘层210的厚度可以在100纳米至600纳米的范围内,例如从200纳米到450纳米,例如在400纳米的量级。

[0058] 晶体管200包括在半导体层220中被称为体区域222的区域中形成的源极区域224和漏极区域226。

[0059] 体区域222的上部222A,在源极区域224和漏极区域226之间,形成晶体管200的沟

道区域。沟道区域222A具有长度L1。

[0060] 在沟道区域222A和每个源极区域224/漏极区域226之间形成轻掺杂漏极区域(LDD)228。

[0061] 作为示例,源极224、漏极226和体区域222与半导体层220的上表面齐平。

[0062] 晶体管210还包括位于体区域222之上、例如沟道区域222A之上的栅极区域230。

[0063] 晶体管200与图1A的晶体管100的区别主要在于栅极区域230包括上部230A(第一部分)和下部230B(第二部分)。上部230A的长度L3A(第一长度)大于下部230B的长度L3B(第二长度),使得上部在下部之上的任一侧上进一步延伸。下部例如在X方向上相对于上部居中,但这不是限制性的。

[0064] 栅极区域230因此具有在其下部中具有切口231的形状。切口231的长度L5基本上对应于L3A和L3B之间的差的一半,并且可以例如在5和25纳米之间变化,甚至在5和15纳米之间变化。该值可以被如关于图3A至图3F描述的制造方法示例中所解释的进行控制。

[0065] 栅极区域230的下部230B能够减少LDD区域228和栅极区域230之间的重叠,从而能够降低重叠电容Cov,而栅极区域230的上部230A在半导体层220的掺杂操作期间形成保护掩模,从而形成LDD区域228,并且该保护掩模的尺寸可以减小掺杂剂在该掺杂操作期间的扩散。此外,与图1B的晶体管100'相比,这能够在不必添加步骤,例如形成偏移间隔物所必需的那些步骤的情况下,限制方法的操作次数,通过控制栅极区域的蚀刻获得栅极区域的形状。这在图3A至图3F的制造方法的示例中进行了图示。

[0066] 根据一个示例,例如关于图5所描述的,栅极区域230的第一部分和第二部分由多晶硅制成,但这并不是限制性的。

[0067] 上部230A的高度H3A(第一高度)和下部230B的高度H3B(第二高度)可以变化。例如,增加H3B可以进一步减小重叠电容Cov。

[0068] 例如,栅极区域230具有:第一长度L3A,在60纳米至500纳米的范围内,例如在80纳米至200纳米的范围内;第二长度L3B,在30纳米至490纳米或50至470纳米范围内,例如在50纳米至190纳米或70纳米至170纳米范围内,甚至从50纳米至80纳米;总高度H3,在50纳米至140纳米范围内,例如在70纳米至110纳米范围内;第一高度H3A,在40纳米至90纳米范围内,例如在60纳米至80纳米范围内;第二高度H3B,在10纳米至50纳米的范围内,例如在10纳米至30纳米的范围内。

[0069] 栅极区域230通过绝缘层232(栅极绝缘体)与体区域222间隔开。例如,栅极绝缘体由二氧化硅(SiO_2)制成。

[0070] 栅极绝缘体具有例如在大约1纳米至10纳米范围内的厚度。对于被称为GO1("栅极氧化物1")的晶体管,即,具有相对较低厚度的栅极绝缘体的晶体管,栅极绝缘体的厚度可以在大约1纳米至4.5纳米的范围内,例如大约2.1纳米,或者对于被称为GO2("栅极氧化物2")的晶体管,即,具有相对较大厚度的栅极绝缘体的晶体管,栅极绝缘体的厚度在大约5纳米至7.5纳米的范围内,例如,大约6.5纳米。

[0071] 作为示例,在图2中,栅极绝缘层232位于半导体层220的顶部并与半导体层220接触,并且栅极区域230B的下部位于栅极绝缘层232的顶部并与栅极绝缘层232接触。

[0072] 在栅极区域230的任一侧,在半导体层220未被栅极区域230B的下部覆盖的各部分上,并且在栅极区域230的侧面上,晶体管200包括薄保护氧化层234,例如SiO_2层。薄氧化层

的厚度例如在2纳米至10纳米范围内,甚至为2纳米至5纳米。在栅极区域230的侧面上,薄保护氧化层234呈现所述栅极区域的形状。

[0073] 此外,晶体管200包括绝缘间隔物236,绝缘间隔物236涂覆覆盖有氧化层234的栅极区域230的侧面,并且在覆盖有氧化层234的半导体层220的各部分上延伸。绝缘间隔物236例如由氮化硅(SiN)制成。

[0074] 图3A至图3F是部分且示意性地图示了根据图2的实施例的MOSFET晶体管200的制造方法示例的截面图。

[0075] 图3A示出了包括掩埋的绝缘层210的初始结构,顶部具有半导体层320。图3A的结构还包括半导体层320上的栅极绝缘层332和栅极绝缘层332上的导电栅极层330。

[0076] 导电栅极层330的顶部具有掩模层302。掩模层302部分覆盖导电栅极层330的上表面330A,用于下文关于图3B详细描述的蚀刻步骤。

[0077] 图3B对应于在图3A所示的结构的导电栅极层330的蚀刻步骤结束时获得的结构。在该步骤期间,导电栅极层330从其上表面330A蚀刻,使得仅保留导电栅极层330位于掩模层302下方的各部分,未被掩模层302覆盖的导电栅极层330的各部分被去除。

[0078] 蚀刻步骤至少在两个连续步骤中执行:步骤1)第一各向异性蚀刻步骤,其被配置用于优选在竖直方向Z,从所述层的上表面330A开始蚀刻导电栅极层330,其中该蚀刻向下执行到深度H3A,深度H3A对应于未来栅极区域230的上部230A的高度;然后步骤2),第二蚀刻步骤,其各向异性(或各向同性)比第一蚀刻步骤少,被配置为将导电栅极层330的其余部分竖直向下蚀刻至沿长度L5横向朝向未来栅极区域中心的深度H3B,形成栅极区域230的下部230B。

[0079] 例如,第一蚀刻步骤使用氯(Cl_2)和四氟化碳(CF_4)来执行,例如持续时间在10秒至70秒的范围内。

[0080] 例如,第二蚀刻步骤使用溴化氢(HBr)来执行,例如,持续时间在50秒至150秒的范围内。

[0081] 上部230A的长度L3A大于下部230B的长度L3B,使得上部在下部之上的任一侧延伸。上部230A的高度H3A和下部230B的高度H3B可以通过调整或调谐蚀刻条件以及第一蚀刻步骤和第二蚀刻步骤之间的转换来限定。长度L5可以通过调整或调谐第二蚀刻步骤的条件(例如使得其或多或少地具有各向异性)来修改。

[0082] 作为示例,以下示出的蚀刻方法包括:步骤3)对栅极绝缘层332进行蚀刻的第三步骤,在该蚀刻结束时,仅将栅极绝缘体232留在栅极区域230下方。该第三蚀刻步骤优选为各向异性蚀刻,被配置用于优选在竖直方向Z上蚀刻栅极绝缘层332。

[0083] 作为示例,蚀刻方法可以被配置为在步骤1和2中选择性地蚀刻栅极绝缘层332的材料之上的导电栅极层330的材料。栅极绝缘层332然后可以起到对蚀刻的阻挡层的作用,使得蚀刻停止在栅极绝缘层332的上表面上(如图3B中的虚线所示)。根据该变型,在蚀刻步骤结束时,即使在未被栅极区域230覆盖的部分中,栅极绝缘层332仍然存在。

[0084] 图3C对应于在以下步骤结束时获得的结构:在栅极区域230的侧面和半导体层320上,例如通过CVD技术形成薄保护氧化层334,例如SiO_2层(其中,在栅极区域230的侧面上,薄保护氧化层334具有所述栅极区域的形状);以及执行第一离子注入,以在半导体层320中形成轻掺杂漏极(LDD)区域328。

[0085] 这两个步骤的顺序可以排列。

[0086] 图3D对应于在以下步骤结束时获得的结构:去除掩模层302的步骤;然后形成绝缘体层336的步骤,绝缘体层336涂覆使用氧化层334覆盖的栅极区域230的侧面并且在覆盖有氧化层334的半导体层320的各部分上延伸。

[0087] 图3E对应于在蚀刻绝缘体层336的步骤结束时获得的结构,以在覆盖有氧化层334的栅极区域230的侧面上形成绝缘间隔物236。

[0088] 图3F对应于在以下步骤结束时获得的结构:蚀刻氧化层334未被绝缘间隔物236覆盖的各部分,形成薄保护氧化层234;然后进行离子注入的第二步骤,以在半导体层320中形成源极224和漏极226区域,从而形成具有源极、漏极、体和沟道区域的半导体层220。

[0089] 对于NMOS晶体管,第一离子注入步骤和第二离子注入步骤可以使用n型掺杂剂,诸如砷(As)或磷(P)。对于PMOS晶体管,第一离子注入步骤和第二离子注入步骤可以使用p型掺杂剂,诸如硼(B)。

[0090] 图4在截面图中示出了包括根据另一实施例的MOSFET晶体管400的电子器件。

[0091] 晶体管400与图2的晶体管200的区别基本上在于,栅极绝缘体432在栅极区域430的中心区域下方的厚度e1小于栅极绝缘体432在栅极区域的周边区域下方(例如具体在栅极绝缘体432未被栅极区域430B的下部430B覆盖的区域周围)的厚度e2。

[0092] 作为示例,在栅极区域430和半导体层220之间,栅极绝缘体432的厚度从栅极区域430的下部430B的边缘朝向所述栅极区域的中心减小。例如,在晶体管的沟道长度的方向X上,从栅极区域430的下部430B的边缘到栅极区域的中心区域,栅极绝缘体的厚度在厚度e2和厚度e1之间以基本连续的方式减小。

[0093] 例如,厚度e1在1纳米至6纳米的范围内,甚至为2纳米至3纳米,而厚度e2在5纳米至10纳米的范围内,甚至为5纳米至7纳米。

[0094] 该厚度增加可以在蚀刻步骤430形成栅极区域430之后,通过栅极绝缘层432的热氧化步骤来获得。例如,热氧化步骤在300℃至1200℃的温度范围内执行,例如,在500℃至1000℃的温度范围内,例如在900℃的量级内执行。例如,热氧化步骤是快速的热氧化,在1秒(s)到2分钟(min)的范围内的持续时间内执行,例如在20秒到1分钟的范围内,例如在35秒的量级内执行。

[0095] 在栅极区域430的周边区域下方提供相对厚的栅极绝缘体432(厚度e2)能够在晶体管400的关断状态下,减小半导体层220和栅极区域430之间的寄生电容Coff。然而,在栅极区域430的中心区域下方保持相对较低的栅极绝缘体432厚度(厚度e1)能够减小或不显著增加晶体管的导通电阻。因此,特别是对于RF信号切换应用,可以获得特别有利地减小的乘积Ron*Coff。

[0096] 减小乘积Ron*Coff的该效果可以特别加强,因为晶体管的栅极区域在其下部中包括切口。实际上,氧化以及因此厚度的增加,可以基本上在切口下方执行,并且因此在由于该栅极区域形状而减少的重叠区域的水平处执行,并且重叠长度减小和栅极绝缘体厚度的增加在该重叠区域水平处的组合能够进一步降低寄生电容Coff。

[0097] 此外,在图4中作为示例已示出,切口长度L5'短于图2的晶体管200的切口长度L5。该特征不一定与前面描述的特征组合。

[0098] 图5在截面图中示出了包括根据另一实施例的MOSFET晶体管500的电子器件。

[0099] 晶体管500与图2的晶体管200的区别主要在于可以单独或组合考虑的三个特征。

[0100] 晶体管500可以包括例如由SiO_2制成的氧化层534,比图2的氧化层234厚,例如大于5纳米。

[0101] 该较厚的氧化层可以在旨在形成所述栅极区域的蚀刻步骤之后,通过对栅极区域530进行再氧化的步骤(例如,通过通常的微电子热再氧化技术)获得。然后可以被称为“栅极区域再氧化层”或“再氧化层”。该再氧化步骤之后(或之前)可以例如使用TEOS作为前驱体,进行化学气相沉积(CVD)。

[0102] 该较厚的氧化层可以能够进一步减小重叠电容Cov。

[0103] 由切口531在栅极区域530的下部中形成的腔可以被填充有低介电常数的材料538(“low-K”,针对“低K材料”),即,具有小于SiO_2的介电常数的材料,例如,碳化硅(SiCO)或硼-碳氮化硅(SiBCN)。

[0104] 这可以在旨在形成所述栅极区域的蚀刻步骤之后,并且例如在形成氧化层534的步骤之后,通过在半导体层220上沉积低K材料的步骤获得,然后通过蚀刻低K材料层的步骤,栅极区域的上部530A在该蚀刻步骤期间保护在其下方布置的低K材料部分。

[0105] 低K材料层优选地具有与栅极区域530的下部530B的高度H3B至少相等的厚度。

[0106] 切口531中的该低K材料层可以能够减小所述切口的横向电容,以及重叠电容Cov,并由此进一步减小电容Coff。

[0107] 栅极区域530的下部530B可以被处理为包括多晶硅锗合金(SiGe),例如由其制成。这可以通过在多晶Si导电栅极下方形成多晶SiGe导电栅极层(通过微电子的标准技术)来获得。例如,第一蚀刻步骤被配置为蚀刻多晶Si,并且第二蚀刻步骤被配置为蚀刻多晶SiGe。两个蚀刻步骤可以在同一蚀刻平台或不同平台中彼此跟随(例如,SiGe可以在湿相中蚀刻,而Si被干法蚀刻)。

[0108] 栅极区域的该特征能够改进对栅极区域530进行蚀刻的控制,特别是改进对在栅极区域530的第一部分530A和第二部分530B之间形成切口531的控制530。该特征还可以能够减少多晶硅的消耗。

[0109] 所公开的实施例可以彼此组合。例如,关于图5描述的一个或多个特征可以与关于图2和/或图4描述的特征组合。

[0110] 此外,对于每个描述的实施例,在栅极区域中形成的切口的长度L5可以例如在1纳米至30纳米之间变化,优选为1纳米至25纳米,更优选仍为5纳米至25纳米之间,甚至5纳米至15纳米之间。

[0111] 因此,实施例可以在不必为此影响晶体管的其他性能因素的情况下,例如在为此不影响最大适用电压的RF Vmax的情况下,能够将MOSFET晶体管的乘积Ron*Coff最小化。此外,该效果可以与其它改进(例如对MOSFET晶体管结构的改进)一起累积,以最小化乘积Ron*Coff和/或最大化RF Vmax。

[0112] 实施例可以发现针对RF(射频)通信应用中使用的电子部件的应用,例如,用于RF信号切换技术(RF开关)和/或无线电天线前端模块(FEM)。对于RF开关,实施例具体能够在不降低电压RF Vmax的情况下减小寄生电容,并减少由栅极引起的漏极泄漏,从而能够以更低的成本改进开关性能,例如达到更高的操作速度。

[0113] 已描述了各种实施例和变型。本领域技术人员将理解,这些不同的实施例和变型

的一些特征可以被组合,并且本领域技术人员将想到其他变型。

[0114] 最后,所述实施例和变型的实际实现方式基于上述给出的功能指示,在本领域技术人员的能力范围内。

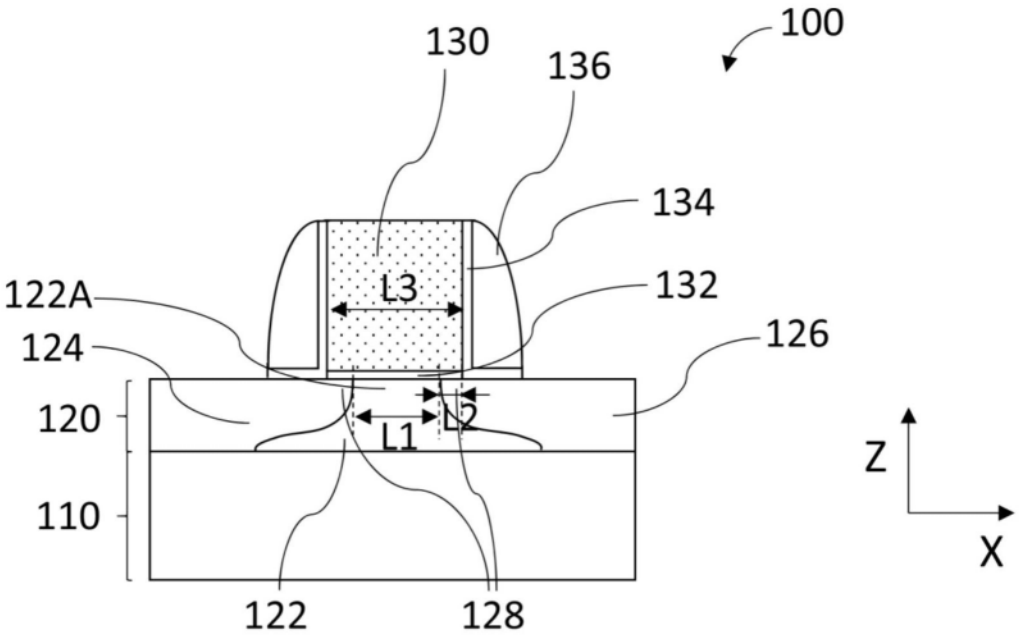

100
130
136
134
122A
L3
132
124
126
120
L2
L1
110
Z
X
122
128

图1A

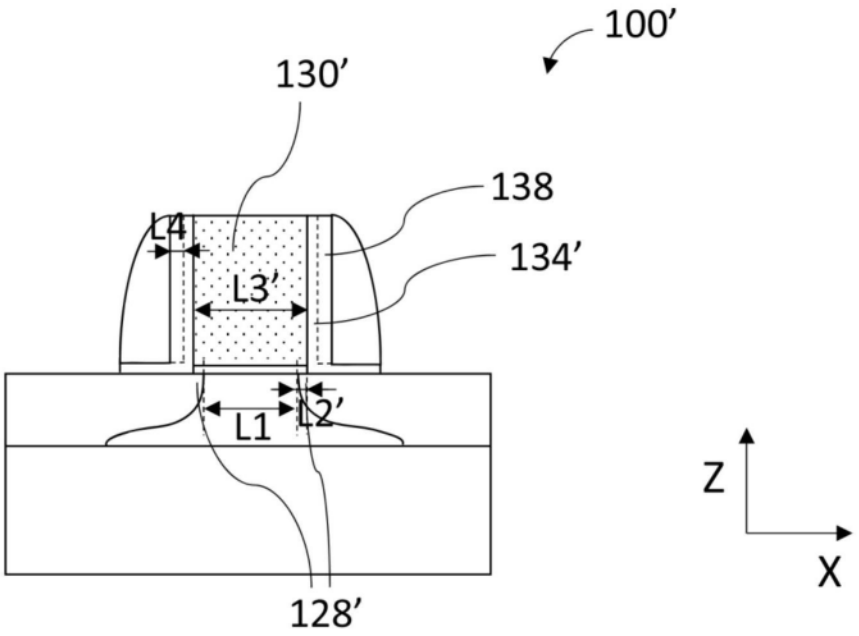

100'
130'
138
L4
134'
L3'
L2'
L1
Z
X
128'

图1B

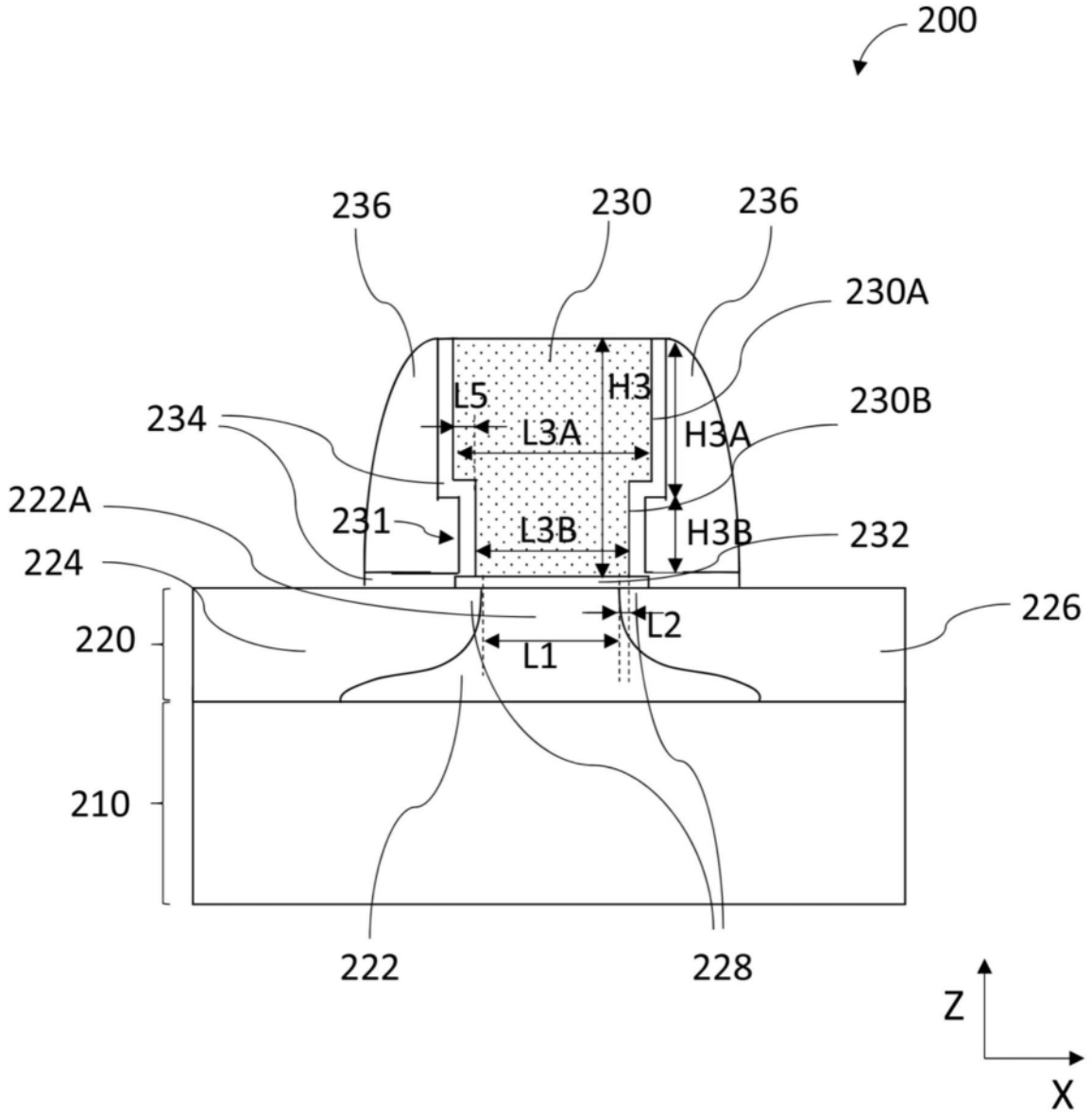

200
236
230
236
230A
L5
H3
234
L3A
H3A
230B
222A
231
L3B
H3B
232
224
226
L2
220
L1
210
222
228
Z
X

图2

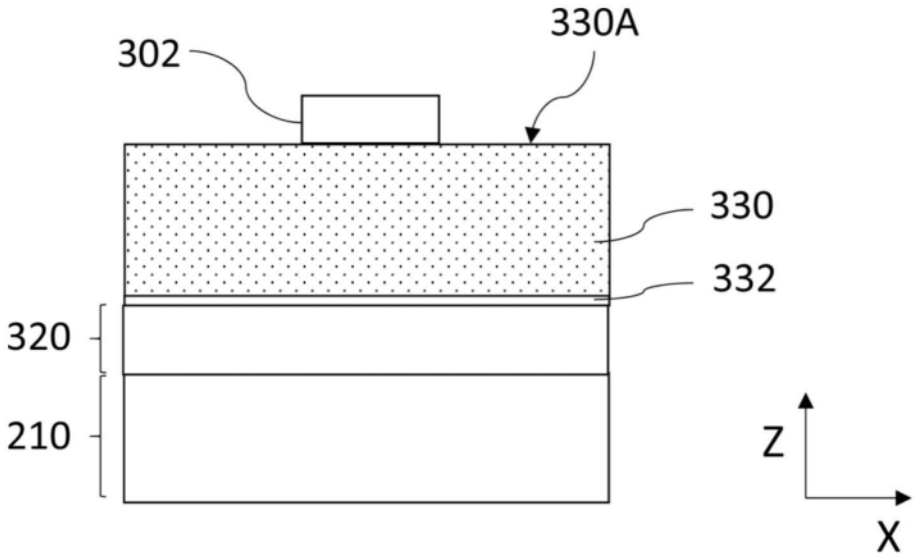

302
330A
330
332
320
210
Z
X

图3A

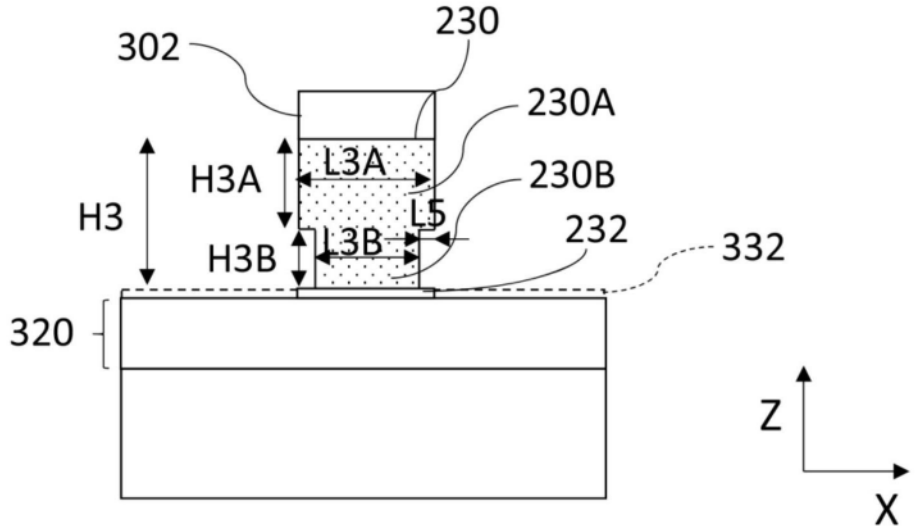

302
230
230A
H3A
L3A
230B
H3
L5
232
332
H3B
L3B
320
Z
X

图3B

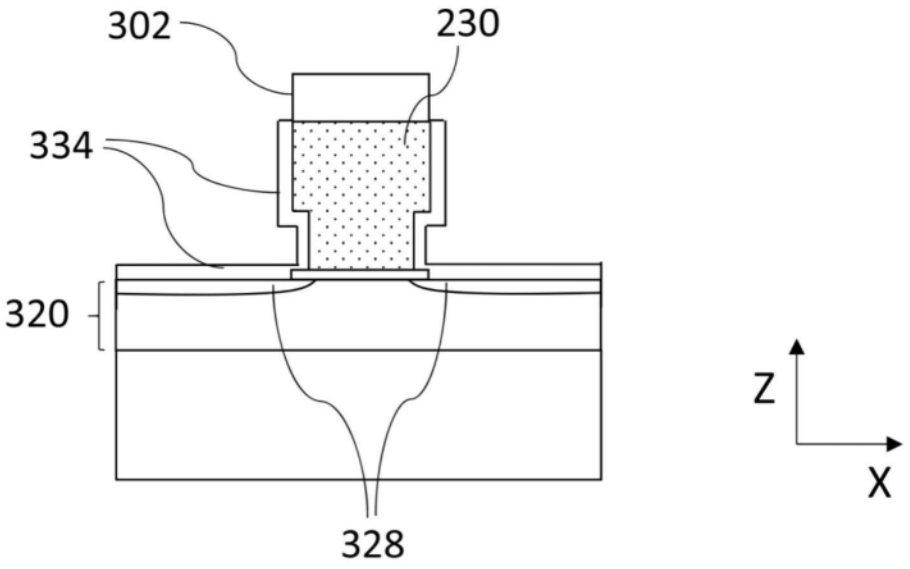


图3C

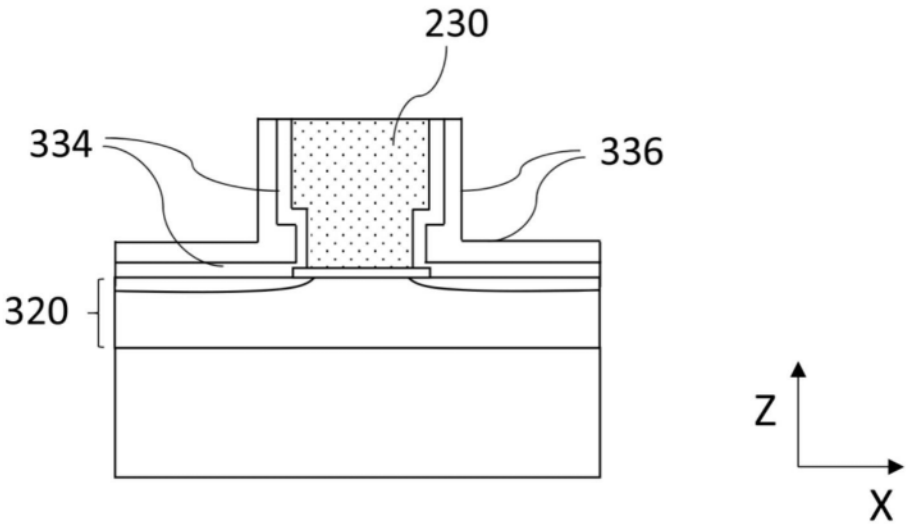


图3D

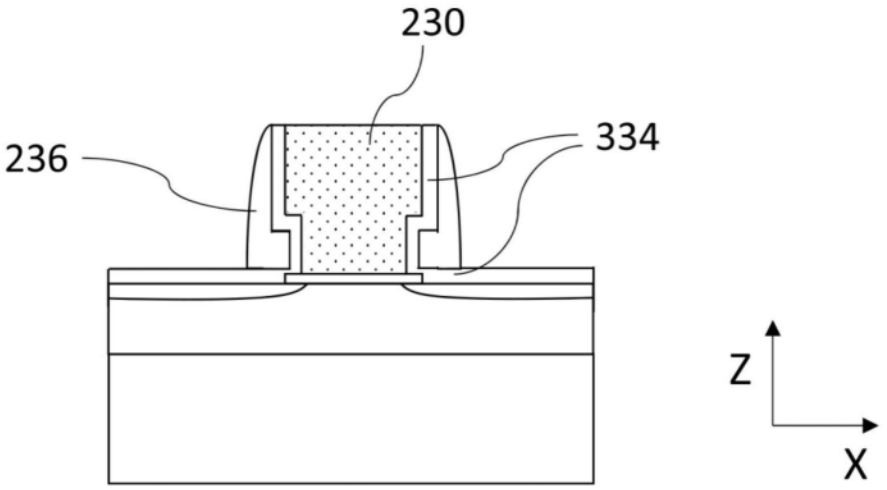


图3E

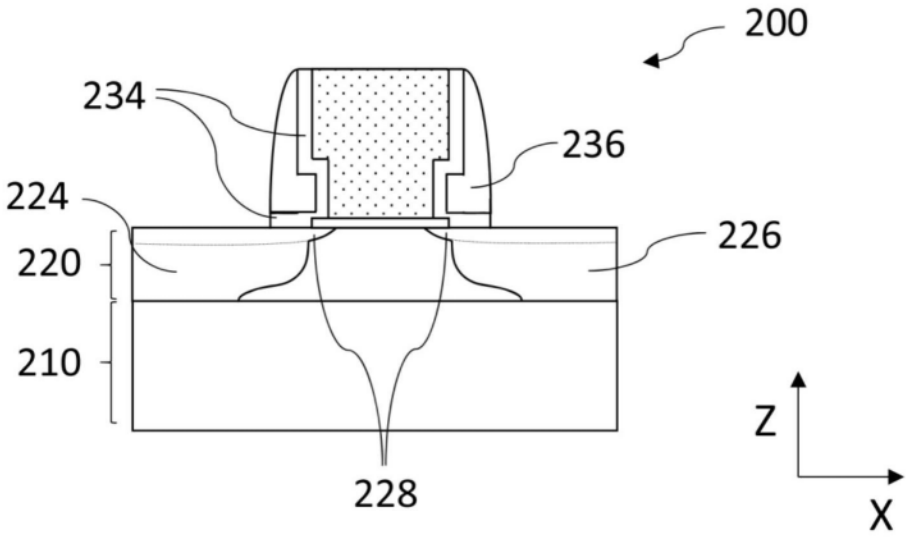


图3F

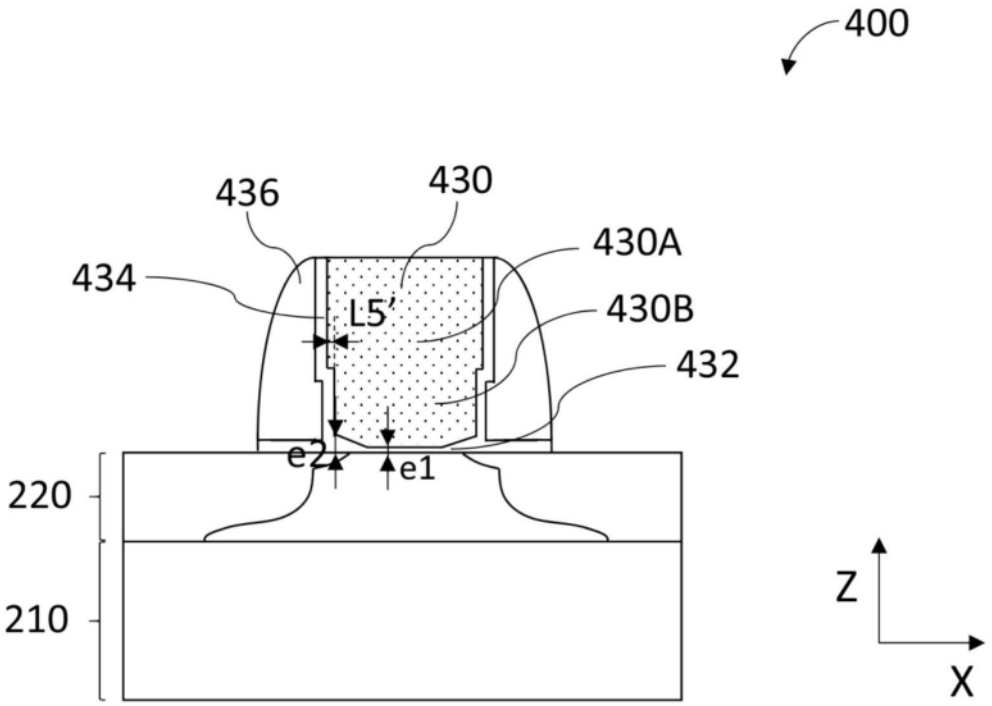

400
436
430
430A
434
L5'
430B
432
e2
e1
220
210
Z
X

图4

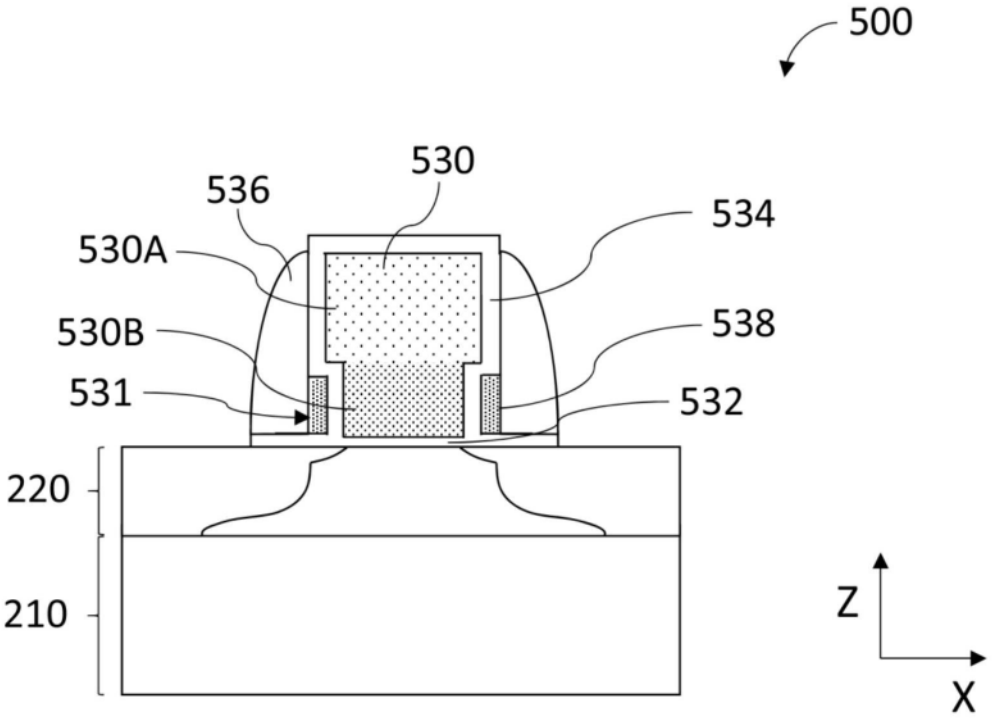

500
530
536
534
530A
530B
538
531
532
220
210
Z
X

图5